

(19) **日本国特許庁(JP)**

(12) **公開特許公報(A)**

(11)特許出願公開番号

特開2012-226160

(P2012-226160A)

(43) 公開日 平成24年11月15日(2012.11.15)

(51) Int.Cl.

F I

テーマコード (参考)

G02F 1/1368 (2006.01)

G O 2 F 1/1368

2H092

G02F 1/1343 (2006.01)

GO2F 1/1343

審査請求 未請求 請求項の数 10 O L (全 16 頁)

(21) 出願番号 特願2011-94268 (P2011-94268)

(22) 出願日 平成23年4月20日 (2011. 4. 20)

(71) 出願人 598172398

株式会社ジャパンディスプレイウェスト
愛知県知多郡東浦町大字緒川字上舟木50
番地

(74) 代理人 100092152

弁理士 服部 毅麿

(72) 發明者 杉山 裕紀

愛知県知多郡東浦町大字緒川字上舟木50
番地 ソニーモバイルディスプレイ株式会
社内

(72) 発明者 松島 寿治

愛知県知多郡東浦町大字緒川字上舟木50
番地 ソニーモバイルディスプレイ株式会
社内

[最終頁に続く](#)

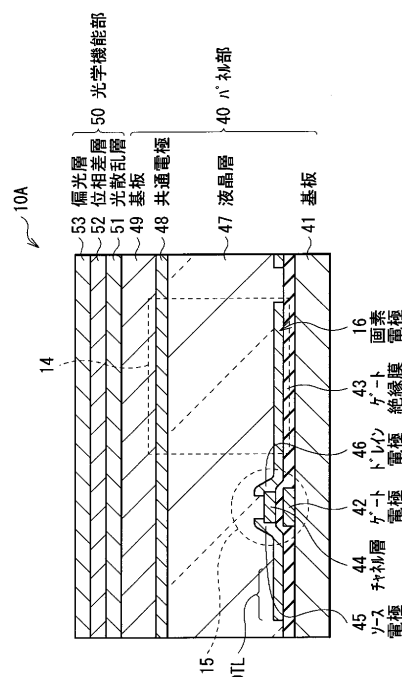
(54) 【発明の名称】 表示パネルおよび表示装置

(57) 【要約】

【課題】プロセスステップを減らし、製造コストを下げることの可能な表示パネルならびにそれを備えた表示装置および電子機器を提供する。

【解決手段】サブピクセル１１ごとに液晶素子１４およびトランジスタ１５が設けられている。トランジスタ１５は、基板４１上に、ゲート電極４２、ゲート絶縁膜４３、チャネル層４４、ソース電極４５およびドレイン電極４６を含んで構成されている。ドレイン電極４６は、画素電極１６と同一面内に形成されており、さらに画素電極１６と接続されている。画素電極１６は反射電極としての役割も有している。

【選択図】 図4



【特許請求の範囲】**【請求項 1】**

液晶素子およびトランジスタをサブピクセルごとに備え、
前記トランジスタは、ゲート電極、ソース電極およびドレイン電極を有し、
前記ドレイン電極そのものが、前記液晶素子を駆動する画素電極として機能する
表示パネル。

【請求項 2】

当該表示パネルは、行状に配置された複数のゲート線と、列状に配置された複数のデータ線とを備え、

前記サブピクセルは、前記ゲート線および前記データ線のレイアウトに対応して行例状に配置され、

前記ドレイン電極は、前記データ線と同層に配置されている

請求項 1 に記載の表示パネル。

【請求項 3】

前記ドレイン電極は反射電極としても機能する

請求項 1 に記載の表示パネル。

【請求項 4】

液晶素子およびトランジスタをサブピクセルごとに備え、

前記液晶素子は、画素電極、液晶層および対向電極をこの順に含む積層体であり、

前記トランジスタは、ゲート電極、ソース電極およびドレイン電極を有し、

前記画素電極は、前記ドレイン電極と接続されると共に前記ドレイン電極と同層に配置されている

表示パネル。

【請求項 5】

前記画素電極は反射電極としても機能する

請求項 4 に記載の表示パネル。

【請求項 6】

行状に配置された複数のゲート線と、列状に配置された複数のデータ線と、前記ゲート線および前記データ線のレイアウトに対応して行例状に配置された複数のサブピクセルとを備え、

各サブピクセルは、液晶素子およびトランジスタを有し、

前記液晶素子は、画素電極、液晶層および対向電極をこの順に含む積層体であり、

前記画素電極は、前記データ線と同層に配置されている

表示パネル。

【請求項 7】

前記画素電極は反射電極としても機能する

請求項 6 に記載の表示パネル。

【請求項 8】

複数のサブピクセルが行列状に配置された表示パネルと、

前記表示パネルを駆動する駆動部と

を備え、

前記表示パネルは、

液晶素子およびトランジスタを前記サブピクセルごとに有し、

前記トランジスタは、ゲート電極、ソース電極およびドレイン電極を有し、

前記ドレイン電極そのものが、前記液晶素子を駆動する画素電極として機能する

表示装置。

【請求項 9】

複数のサブピクセルが行列状に配置された表示パネルと、

前記表示パネルを駆動する駆動部と

を備え、

10

20

30

40

50

前記表示パネルは、
液晶素子およびトランジスタをサブピクセルごとに有し、
前記液晶素子は、画素電極、液晶層および対向電極をこの順に含む積層体であり、
前記トランジスタは、ゲート電極、ソース電極およびドレイン電極を有し、
前記画素電極は、前記ドレイン電極と接続されると共に前記ドレイン電極と同層に配置されている
表示装置。

【請求項 10】

複数のサブピクセルが行列状に配置された表示パネルと、
前記表示パネルを駆動する駆動部と
を備え、
前記表示パネルは、
行状に配置された複数のゲート線と、列状に配置された複数のデータ線と、前記ゲート線および前記データ線のレイアウトに対応して行例状に配置された複数のサブピクセルとを有し、
各サブピクセルは、液晶素子およびトランジスタを有し、
前記液晶素子は、画素電極、液晶層および対向電極をこの順に含む積層体であり、
前記画素電極は、前記データ線と同層に配置されている
表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本技術は、反射型、または反射部と透過部とを兼ね備えた半透過型の表示パネル、およびそれを備えた表示装置に関する。

【背景技術】

【0002】

近年、携帯電話や電子ペーパーなどのモバイル機器向けの表示装置の需要が高くなっており、反射型の表示装置が注目されている。反射型の表示装置は、外部からの入射光（周辺光）を反射板で反射させて表示を行うものであり、バックライトを必要としない。そのため、バックライトの分だけ消費電力が節約されるので、透過型の表示装置を用いた場合と比べて、モバイル機器の長時間駆動が可能である。また、バックライトが不要であることから、その分だけ軽量化や小型化も可能となる。

【0003】

反射型の表示装置では、外光を利用して表示を行うために、散乱機能を持った層を表示装置内に設ける必要がある。例えば、特許文献 1 では、反射電極に凹凸を設けることにより、反射電極に散乱機能を付与することが開示されている。また、特許文献 2 ～ 4 では、反射電極に凹凸を設ける代わりに、散乱フィルムをガラス基板の上面に設けることが開示されている。ここで、特許文献 2 に記載の散乱フィルムは、前方散乱が多く後方散乱が少ない前方散乱フィルムである。特許文献 3、4 に記載の散乱フィルムは、特定方向から入射した光を散乱する異方性前方散乱フィルムである。特許文献 3 に記載の異方性前方散乱フィルムは、光出射時に散乱し光入射時にほとんど散乱しないようになっており、特許文献 4 に記載の異方性前方散乱フィルムは、光入射時に散乱し光出射時にほとんど散乱しないようになっている。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特許第 2 7 7 1 3 9 2 号

【特許文献 2】特開平 1 1 - 2 3 7 6 2 3 号公報

【特許文献 3】特開平 0 9 - 1 1 3 8 9 3 号公報

【特許文献 4】特開 2 0 0 2 - 2 4 4 1 3 4 号公報

10

20

30

40

50

【発明の概要】**【発明が解決しようとする課題】****【0005】**

ところで、反射型の表示装置では、反射電極による反射率を高めるために、通常、TFTを含む表面全体に層間絶縁膜が設けられ、その上に反射電極が設けられている。しかし、そのような構造を作り込むためには、多くのプロセスステップが必要となり、製造コストの低減を妨げているという問題があった。

【0006】

本技術はかかる問題点に鑑みてなされたものであり、その目的は、プロセスステップを減らすことの可能な表示パネル、およびそれを備えた表示装置を提供することにある。

10

【課題を解決するための手段】**【0007】**

本技術による第1の表示パネルは、液晶素子およびトランジスタをサブピクセルごとに備えたものである。トランジスタは、ゲート電極、ソース電極およびドレイン電極を有している。ドレイン電極そのものが、液晶素子を駆動する画素電極として機能する。本技術による第1の表示装置は、複数のサブピクセルが行列状に配置された表示パネルと、表示パネルを駆動する駆動部とを備えたものである。第1の表示装置に含まれる表示パネルは、上記の第1の表示パネルと同一の構成要素を有している。

【0008】

本技術による第1の表示パネルおよび第1の表示装置では、各サブピクセルのトランジスタにおいて、ドレイン電極そのものが、液晶素子を駆動する画素電極として機能する。

20

【0009】

本技術による第2の表示パネルは、液晶素子およびトランジスタをサブピクセルごとに備えたものである。液晶素子は、画素電極、液晶層および対向電極をこの順に含む積層体である。トランジスタは、ゲート電極、ソース電極およびドレイン電極を有している。画素電極は、ドレイン電極と接続されると共にドレイン電極と同層に配置されている。本技術による第2の表示装置は、複数のサブピクセルが行列状に配置された表示パネルと、表示パネルを駆動する駆動部とを備えたものである。第2の表示装置に含まれる表示パネルは、上記の第2の表示パネルと同一の構成要素を有している。

【0010】

30

本技術による第2の表示パネルおよび第2の表示装置では、各サブピクセルの画素電極は、トランジスタのドレイン電極と接続されると共にドレイン電極と同層に配置されている。

【0011】

本技術による第3の表示パネルは、行状に配置された複数のゲート線と、列状に配置された複数のデータ線と、ゲート線およびデータ線のレイアウトに対応して行列状に配置された複数のサブピクセルとを備えたものである。各サブピクセルは、液晶素子およびトランジスタを有している。液晶素子は、画素電極、液晶層および対向電極をこの順に含む積層体である。画素電極は、データ線と同層に配置されている。本技術による第3の表示装置は、複数のサブピクセルが行列状に配置された表示パネルと、表示パネルを駆動する駆動部とを備えたものである。第3の表示装置に含まれる表示パネルは、上記の第3の表示パネルと同一の構成要素を有している。

40

【0012】

本技術による第3の表示パネルおよび第3の表示装置では、各サブピクセルの画素電極は、データ線と同層に配置されている。

【発明の効果】**【0013】**

本技術による第1の表示パネルおよび第1の表示装置によれば、ドレイン電極そのものが、液晶素子を駆動する画素電極として機能するようにしたので、トランジスタを含む表面全体に層間絶縁膜を設け、その上に反射電極を設けた場合と比べて、プロセスステップ

50

を減らすことができる。

【 0 0 1 4 】

本技術による第 2 の表示パネルおよび第 2 の表示装置によれば、画素電極をトランジスタのドレイン電極と接続すると共にドレイン電極と同層に配置するようにしたので、トランジスタを含む表面全体に層間絶縁膜を設け、その上に反射電極を設けた場合と比べて、プロセスステップを減らすことができる。

【 0 0 1 5 】

本技術による第 3 の表示パネルおよび第 3 の表示装置によれば、画素電極をデータ線と同層に配置するようにしたので、トランジスタを含む表面全体に層間絶縁膜を設け、その上に反射電極を設けた場合と比べて、プロセスステップを減らすことができる。

10

【図面の簡単な説明】

【 0 0 1 6 】

【図 1】本技術の第 1 の実施の形態に係る液晶表示装置の概略構成図である。

【図 2】図 1 の画素アレイ部の構成図である。

【図 3】図 1 の画素アレイ部のレイアウト図である。

【図 4】図 1 の画素アレイ部の断面図である。

【図 5】本技術の第 2 の実施の形態に係る液晶表示装置の概略構成図である。

【図 6】図 5 の画素アレイ部の構成図である。

【図 7】図 5 の画素アレイ部のレイアウト図である。

【図 8】図 5 の画素アレイ部の一変形例のレイアウト図である。

20

【図 9】比較例に係るサブピクセルのレイアウト図である。

【図 10】比較例に係るサブピクセルの断面図である。

【図 11】一適用例に係る電子機器の斜視図である。

【発明を実施するための形態】

【 0 0 1 7 】

以下、発明を実施するための形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 第 1 の実施の形態 (図 1 ~ 図 4)

ゲート線がシングルゲートとなっている例

30

2. 第 2 の実施の形態 (図 5 ~ 図 8)

ゲート線がデュアルゲートとなっている例

3. 適用例 (図 11)

上記各実施の形態に係る液晶表示装置が電子機器に適用されている例

【 0 0 1 8 】

< 1. 第 1 の実施の形態 >

[構成]

図 1 は、本技術の第 1 の実施の形態に係る液晶表示装置 1 の概略構成を表したものである。この液晶表示装置 1 は、液晶表示パネル 10 と、液晶表示パネル 10 を駆動する駆動回路 30 とを備えている。この表示装置 1 において、液晶表示パネル 10 の表面のうち外縁以外の領域が各種画像やデータ等を表示する表示領域 10A となっており、液晶表示パネル 10 の表面のうち表示領域 10A の周縁が非表示領域となっている。

40

【 0 0 1 9 】

(液晶表示パネル 10)

液晶表示パネル 10 は、反射型、または反射部と透過部とを兼ね備えた半透過型の液晶パネルである。液晶表示パネル 10 は、複数の画素 12 が表示領域 10A 内に 2 次元配置されたものであり、映像信号 30A に応じて各画素 12 が駆動されることによって画像を表示するものである。各画素 12 は、例えば、複数のサブピクセル 11R, 11G, 11B を含んで構成されている。

【 0 0 2 0 】

50

ここで、サブピクセル 1 1 R は赤色の光を出射するものである。サブピクセル 1 1 R は、後述の反射電極から反射されてきた光のうち赤色の波長帯の光を選択的に透過することにより、赤色の光を出射するようになっている。サブピクセル 1 1 G は緑色の光を出射するものである。サブピクセル 1 1 G は、後述の反射電極から反射されてきた光のうち緑色の波長帯の光を選択的に透過することにより、緑色の光を出射するようになっている。サブピクセル 1 1 B は青色の光を出射するものである。サブピクセル 1 1 B は、後述の反射電極から反射されてきた光のうち青色の波長帯の光を選択的に透過することにより、青色の光を出射するようになっている。なお、以下では、サブピクセル 1 1 R, 1 1 G, 1 1 B の総称としてサブピクセル 1 1 を適宜、用いるものとする。

【0021】

図 2 は、表示領域 1 0 A 内の回路構成の一例を表したものである。表示領域 1 0 A は、例えば、図 1、図 2 に示したように、行状に配置された複数のゲート線 W S L と、列状に配置された複数のデータ線 D T L とを有している。各ゲート線 W S L と各データ線 D T L との交差部に対応して、複数のサブピクセル 1 1 が行列状に配置されている。

【0022】

各サブピクセル 1 1 は、例えば、図 2 に示したように、液晶素子 1 4 と、トランジスタ 1 5 とを有している。液晶素子 1 4 は、例えば、駆動基板上に、画素電極（後述の画素電極 1 6）、配向膜、液晶層（後述の液晶層 4 7）、配向膜および共通電極（後述の共通電極 4 8）を積層したものである。駆動基板は、例えば、ガラス基板上に、上記のトランジスタ 1 5 などが形成されたものである。液晶層は、例えば、ネマティック（Nematic）液晶を含んで構成され、後述するように、駆動回路 3 0 からの印加電圧により、液晶層に入射する光をサブピクセル 1 1 ごとに透過または遮断する変調機能を有している。画素電極は、サブピクセル 1 1 ごとの電極として機能するものであり、例えば、共通電極との対向領域に配置されている。これにより、画素電極と共通電極との間に電圧が印加されると、液晶層内に縦方向の電界が生じるようになっている。共通電極は、液晶層を介して画素電極と対向する対向電極である。共通電極は、各サブピクセル 1 1 における共通の電極であり、表示領域 1 0 A 全体に形成されている。なお、液晶素子 1 4 は、上で例示した構成とは異なる構成となってもよい。トランジスタ 1 5 は、例えば、電界効果型の T F T（Thin Film Transistor；薄膜トランジスタ）であり、チャネルを制御するゲートと、チャネル両端に設けられたソースおよびドレインとによって構成されている。

【0023】

液晶素子 1 4 の一端がトランジスタ 1 5 のソースまたはドレインに接続されており、液晶素子 1 4 の他端が図示しない基準電位線（例えばグラウンド線）に接続されている。トランジスタ 1 5 のゲートがゲート線 W S L に接続されており、トランジスタ 1 5 のソースおよびドレインのうち液晶素子 1 4 に未接続の方がデータ線 D T L に接続されている。ここで、1 水平ラインに属する複数のサブピクセル 1 1 において、トランジスタ 1 5 のゲートが共通のゲート線 W S L に接続されている。

【0024】

（駆動回路 3 0）

次に、液晶表示パネル 1 0 の周辺に設けられた駆動回路 3 0 内の各回路について、図 1 を参照して説明する。駆動回路 3 0 は、例えば、図 1 に示したように、映像信号処理回路 3 1、タイミング生成回路 3 2、信号線駆動回路 3 3 および走査線駆動回路 3 4 を有している。

【0025】

映像信号処理回路 3 1 は、外部から入力されたデジタルの映像信号 3 0 A を補正すると共に、補正した後の映像信号をアナログに変換して信号線駆動回路 3 3 に出力するものである。タイミング生成回路 3 2 は、信号線駆動回路 3 3 および走査線駆動回路 3 4 が連動して動作するように制御するものである。タイミング生成回路 3 2 は、例えば、外部から入力された同期信号 3 0 B に応じて（同期して）、これらの回路に対して制御信号 3 2 A を出力するようになっている。

10

20

30

40

50

【 0 0 2 6 】

信号線駆動回路 3 3 は、制御信号 3 2 A の入力に応じて（同期して）、映像信号処理回路 3 1 から入力されたアナログの映像信号（映像信号 3 0 A に対応する信号電位）を、各データ線 D T L に印加して、選択対象のサブピクセル 1 1 に書き込むものである。信号線駆動回路 2 3 は、例えば、映像信号 3 0 A に対応する信号電圧 V_{sig} を出力することが可能となっている。

【 0 0 2 7 】

走査線駆動回路 3 4 は、制御信号 3 2 A の入力に応じて（同期して）、複数のゲート線 W S L に選択パルスを順次印加して、複数のサブピクセル 1 1 をゲート線 W S L 単位で順次選択するものである。走査線駆動回路 3 4 は、例えば、トランジスタ 1 5 をオンさせるときに印加する電圧 V_{on} と、トランジスタ 1 5 をオフさせるときに印加する電圧 V_{off} とを出力することが可能となっている。ここで、電圧 V_{on} は、トランジスタ 1 5 のオン電圧以上の値（一定値）となっている。電圧 V_{off} は、トランジスタ 1 5 のオン電圧よりも低い値（一定値）となっている。

【 0 0 2 8 】

（レイアウト・断面）

図 3 は、表示領域 1 0 A のうちサブピクセル 1 1 に対応する部分のレイアウトの一例を表したものである。図 4 は、トランジスタ 1 5 およびその近傍の断面構成の一例を表したものであり、図 3 の A - A 線に対応する部分の断面構成の一例を表したものである。サブピクセル 1 1 は、例えば、図 4 に示したように、表示パネル 4 0 上に光学機能部 5 0 を備えた構造となっている。

【 0 0 2 9 】

表示パネル 4 0 は、例えば、図 4 に示したように、基板 4 1 上に、トランジスタ 1 5 を有している。トランジスタ 1 5 は、例えば、基板 4 1 上に、ゲート電極 4 2、ゲート絶縁膜 4 3、チャネル層 4 4、ソース電極 4 5 およびドレイン電極 4 6 を含んで構成されている。基板 4 1 は、可視光に対して透明な基板、例えば、板ガラスまたは透光性の樹脂基板からなる。基板 4 1 は、可視光に対して不透明な基板、例えば、シリコンウェハーなどであってもよい。ソース電極 4 5 は、データ線 D T L と同一面内に形成されており、例えば、データ線 D T L と一体に形成されている。なお、ソース電極 4 5 は、製造過程においてデータ線 D T L とは別体に形成されたものであってもよい。ドレイン電極 4 6 も、データ線 D T L と同一面内に形成されており、データ線 D T L およびソース電極 4 5 と接触しないように、データ線 D T L およびソース電極 4 5 とは所定の間隙を介して配置されている。ドレイン電極 4 6 は、同一面内に形成されたサブピクセル 1 1 の画素電極 1 6 に接続されている。画素電極 1 6 は、例えば、図 3 に示したように、サブピクセル 1 1 全体に渡って広がっている。ドレイン電極 4 6 は、例えば、画素電極 1 6 と一体に形成されている。ドレイン電極 4 6 が画素電極 1 6 と一体に形成されている場合には、ドレイン電極 4 6 そのものが画素電極 1 6 であるということもできる。なお、ドレイン電極 4 6 は、製造過程において画素電極 1 6 とは別体で形成されたものであってもよい。画素電極 1 6 は、反射電極としての役割も有しており、その表面が平坦面（例えば鏡面）となっている。ドレイン電極 4 6 および画素電極 1 6 は、例えば、A l や、A l - N d 合金などの金属材料で構成されている。

【 0 0 3 0 】

表示パネル 4 0 は、さらに、例えば、図 4 に示したように、画素電極 1 6 を含む表面の上方に液晶層 4 7 を有しており、液晶層 4 7 の上方に、共通電極 4 8 および基板 4 9 を液晶層 4 7 側から順に有している。液晶層 4 7 は、例えば、ネマティック液晶を含んで構成され、後述するように、駆動回路 3 0 からの印加電圧により、液晶層 4 7 に入射する光をサブピクセル 1 1 ごとに透過または遮断する変調機能を有している。共通電極 4 8 は、液晶層 4 7 を介して画素電極 1 6 と対向する対向電極である。共通電極 4 8 は、各サブピクセル 1 1 における共通の電極であり、全てのサブピクセル 1 1 と向き合って配置されている。共通電極 4 8 は、可視光に対して透明な導電性材料からなり、例えば、I T O (Indi

10

20

30

40

50

um Tin Oxide ; 酸化インジウムスズ) からなる。

【 0 0 3 1 】

なお、図示しないが、例えば、ドレイン電極 4 6 と液晶層 4 7 との間には、トランジスタ 1 5 を保護するパッシベーション層と、液晶層 4 7 内の液晶分子を配向させる配向膜とがドレイン電極 4 6 側から順に積層したものが配置されている。配向膜は、液晶層 4 7 と直接に接している。また、図示しないが、例えば、液晶層 4 7 と共通電極 4 8 との間には、液晶層 4 7 内の液晶分子を配向させる配向膜が配置されている。この配向膜も、液晶層 4 7 と直接に接している。また、図示しないが、例えば、共通電極 4 8 と基板 4 9 との間には、カラーフィルタが配置されている。

【 0 0 3 2 】

カラーフィルタは、液晶層 4 7 を透過してきた光を、例えば、赤 (R)、緑 (G) および青 (B) の三原色にそれぞれ色分離するためのカラーフィルタを、画素電極の配列と対応させて配列したものである。カラーフィルタは、例えば、サブピクセル 1 1 R に対応して赤用フィルタを有しており、サブピクセル 1 1 G に対応して緑用フィルタを有しており、サブピクセル 1 1 B に対応して青用フィルタを有している。

【 0 0 3 3 】

光学機能部 5 0 は、例えば、図 4 に示したように、光散乱層 5 1、位相差層 5 2 および偏光層 5 3 を表示パネル 4 0 側から順に有している。

【 0 0 3 4 】

光散乱層 5 1 は、例えば、基板 4 9 の上面に貼り合わされている。光散乱層 5 1 は、例えば、屈折率の互いに異なる 2 種類の領域が厚さ方向に延在するとともに所定の方向に傾斜して形成された光学フィルムである。光散乱層 5 1 は、例えば、特定方向から入射した光を散乱する異方性前方散乱フィルムである。光散乱層 5 1 は、例えば、特定方向から光が入射してきた場合に、その入射光をほとんど散乱せずに透過させ、反射電極で反射されてきた光を大きく散乱するようになっている。また、光散乱層 5 1 は、例えば、特定方向とは異なる方向から光が入射してきた場合には、偏光層 5 3 側からの光入射時だけでなく偏光層 5 3 側への光出射時にも、ほとんど散乱せずに透過させるようになっている。

【 0 0 3 5 】

なお、光散乱層 5 1 は、常にフィルム状である必要はなく、例えば、基板 4 9 と位相差層 5 2 とを互いに貼り合わせる粘着剤または接着剤であってもよい。また、光散乱層 5 1 は、基板 4 9 と位相差層 5 2 との間以外の部位に配置することも可能である。光散乱層 5 1 は、例えば、基板 4 9 と位相差層 5 2 との間ではなく、位相差層 5 2 と偏光板 5 3 との間に配置されていてもよい。また、光散乱層 5 1 は、基板 4 9 と位相差層 5 2 との間だけでなく、それ以外の部位にも配置することが可能である。光散乱層 5 1 は、例えば、基板 4 9 と位相差層 5 2 との間に配置されるとともに、位相差層 5 2 と偏光板 5 3 との間に配置されていてもよい。

【 0 0 3 6 】

位相差層 5 2 は、例えば、そのリタレーションが可視光領域のうち最も視感度の高い緑色光波長の約 $1/4$ に相当する値となっている光学フィルムである。位相差層 5 2 は、例えば、偏光層 5 3 側から入射してきた直線偏光光を円偏光に変換する機能を有しており、 $1/4$ 波長板として機能する。なお、高帯域にするために、偏光層 5 3 と、位相差層 5 2 との間に、可視光の最も視感度が高い緑色光波長の約 $1/2$ に相当するリタレーションを有する位相差層 (例えば $1/2$ 波長板) がさらに設けられていてもよい。

【 0 0 3 7 】

偏光層 5 3 は、所定の直線偏光成分を吸収し、それ以外の偏光成分を透過する機能を有している。従って、偏光層 5 3 は、外部から入射してきた外光を直線偏光に変換する機能を有している。

【 0 0 3 8 】

[効果]

次に、本実施の形態の液晶表示装置 1 の効果について説明する。

10

20

30

40

50

【 0 0 3 9 】

通常、反射型の表示装置では、図 9 および図 1 0 (図 9 の A - A 線に対応する断面図) に示したように、画素電極 7 2 による反射率を高めるために、トランジスタ 1 5 を含む表面全体に層間絶縁膜 7 1 が設けられ、その上に画素電極 7 2 が設けられている。しかし、そのような構造を作り込むためには、多くのプロセスステップが必要となり、製造コストの低減を妨げているという問題があった。

【 0 0 4 0 】

一方、本実施の形態では、図 3、図 4 に示したように、画素電極 1 6 がドレイン電極 4 6、ソース電極 4 5 およびデータ線 D T L と同層に形成されており、さらにドレイン電極 4 6 と接続されている。また、画素電極 1 6 がドレイン電極 4 6 と一体に形成されている場合には、ドレイン電極 4 6 そのものが画素電極 1 6 として機能しているとも言える。さらに、本実施の形態では、画素電極 1 6 が反射電極も兼ねている。そのため、図 9、図 1 0 に示したような層間絶縁膜 7 1 や画素電極 7 2 を設ける必要がない。これにより、反射型の表示装置としての機能を損なうことなく、プロセスステップを減らし、製造コストを下げることができる。

【 0 0 4 1 】

< 2 . 第 2 の実施の形態 >

図 5 は、本技術の第 2 の実施の形態に係る液晶表示装置 2 の概略構成を表したものである。この液晶表示装置 2 は、液晶表示パネル 6 0 と、液晶表示パネル 6 0 を駆動する駆動回路 3 0 とを備えている。この表示装置 2 において、液晶表示パネル 6 0 の表面のうち外縁以外の領域が各種画像やデータ等を表示する表示領域 6 0 A となっており、液晶表示パネル 6 0 の表面のうち表示領域 6 0 A の周縁が非表示領域となっている。

【 0 0 4 2 】

(液晶表示パネル 6 0)

液晶表示パネル 6 0 は、反射型、または反射部と透過部とを兼ね備えた半透過型の液晶パネルである。液晶表示パネル 6 0 は、複数の画素 1 2 が表示領域 6 0 A 内に 2 次元配置されたものであり、映像信号 3 0 A に応じて各画素 1 2 が駆動されることによって画像を表示するものである。

【 0 0 4 3 】

図 6 は、表示領域 6 0 A 内の回路構成の一例を表したものである。表示領域 6 0 A は、例えば、図 5、図 6 に示したように、行状に配置された複数組のゲート線 W S L 1 , W S L 2 と、列状に配置された複数のデータ線 D T L とを有している。複数組のゲート線 W S L 1 , W S L 2 は、走査線駆動回路 3 4 に接続されており、走査線駆動回路 3 4 によって順次 (非同時に) 駆動されるようになっている。

【 0 0 4 4 】

1 水平ラインに属する複数のサブピクセル 1 1 において、1 本のデータ線 D T L に対応して、2 つのサブピクセル 1 1 が接続されており、それら 2 つのサブピクセル 1 1 は、互いに異なるゲート線 W S L 1 , W S L 2 にそれぞれ接続されている。このように、液晶表示パネル 6 0 は、デュアルゲート型の表示パネルとなっている。

【 0 0 4 5 】

図 7 は、表示領域 6 0 A のうちサブピクセル 1 1 に対応する部分のレイアウトの一例を表したものである。図 7 に示したように、1 水平ラインに属する複数のサブピクセル 1 1 のうち互いに異なるデータ線 D T L に接続された 2 つのサブピクセル 1 1 の間には、データ線 D T L が存在しておらず、データ線 D T L が存在しない分だけ、画素電極 1 6 (またはドレイン電極 4 6) の面積が広がっている。ただし、液晶表示パネル 6 0 がデュアルゲート型となっているので、ゲート線 W S L 2 が増えた分だけ、画素電極 1 6 (またはドレイン電極 4 6) の面積は狭くなっている。しかし、通常、サブピクセル 1 1 の形状は、水平方向に短く、垂直方向に長い長方形状となっており、サブピクセル 1 1 の長手方向に延在しているデータ線 D T L が存在しなくなったことにより増える面積の方が、サブピクセル 1 1 の短手方向に延在しているゲート線 W S L 2 が存在することになったことにより

減少する面積よりも大きくなっている。従って、液晶表示パネル 60 がデュアルゲート型となっていることにより、画素電極 16 (またはドレイン電極 46) の面積を、第 1 の実施の形態における画素電極 16 (またはドレイン電極 46) の面積よりも大きくすることができる。従って、各サブピクセル 11 の開口率についても、第 1 の実施の形態よりも大きくすることができる。

【0046】

[変形例]

上記第 2 の実施の形態において、例えば、図 8 に示したように、画素電極 16 (またはドレイン電極 46) が、他のサブピクセル 11 のトランジスタ 15 のゲートが接続されているゲート線 WSL1 の直上にまで延在していてもよい。このようにした場合には、各サブピクセル 11 の開口率を更に大きくすることができる。

10

【0047】

< 3 . 適用例 >

次に、上記各実施の形態およびそれらの変形例に係る表示装置 1, 2 の一適用例について説明する。図 11 は、本適用例に係る電子機器 100 の概略構成の一例を表す斜視図である。電子機器 2 は、携帯電話機であり、例えば、図 11 に示したように、本体部 111 と、本体部 111 に対して開閉可能に設けられた表示体部 112 とを備えている。本体部 111 は、操作ボタン 115 と、送話部 116 を有している。表示体部 112 は、表示装置 113 と、受話部 117 とを有している。表示装置 113 は、電話通信に関する各種表示を、表示装置 113 の表示画面 114 に表示するようになっている。電子機器 100 は、表示装置 113 の動作を制御するための制御部 (図示せず) を備えている。この制御部は、電子機器 100 全体の制御を司る制御部の一部として、またはその制御部とは別に、本体部 111 または表示体部 112 の内部に設けられている。

20

【0048】

表示装置 113 は、上記実施の形態およびその変形例に係る表示装置 1 と同一の構成を備えている。これにより、表示装置 113 の製造コストを、プロセスステップが減った分だけ下げることができる。

【0049】

なお、上記各実施の形態およびそれらの変形例に係る表示装置 1, 2 を適用可能な電子機器としては、以上に説明した携帯電話機等の他にも、パーソナルコンピュータ、液晶テレビ、ビューファインダ型またはモニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話機、POS 端末器等が挙げられる。

30

【0050】

(1)

液晶素子およびトランジスタをサブピクセルごとに備え、
前記トランジスタは、ゲート電極、ソース電極およびドレイン電極を有し、
前記ドレイン電極そのものが、前記液晶素子を駆動する画素電極として機能する
表示パネル。

(2)

当該表示パネルは、行状に配置された複数のゲート線と、列状に配置された複数のデータ線とを備え、

40

前記サブピクセルは、前記ゲート線および前記データ線のレイアウトに対応して行列状に配置され、

前記ドレイン電極は、前記データ線と同層に配置されている

(1) に記載の表示パネル。

(3)

前記ドレイン電極は反射電極としても機能する

(1) または (2) に記載の表示パネル。

(4)

50

液晶素子およびトランジスタをサブピクセルごとに備え、
前記液晶素子は、画素電極、液晶層および対向電極をこの順に含む積層体であり、
前記トランジスタは、ゲート電極、ソース電極およびドレイン電極を有し、
前記画素電極は、前記ドレイン電極と接続されると共に前記ドレイン電極と同層に配置されている

表示パネル。

(5)

行状に配置された複数のゲート線と、列状に配置された複数のデータ線と、前記ゲート線および前記データ線のレイアウトに対応して行列状に配置された複数のサブピクセルとを備え、

10

各サブピクセルは、液晶素子およびトランジスタを有し、
前記液晶素子は、画素電極、液晶層および対向電極をこの順に含む積層体であり、
前記画素電極は、前記データ線と同層に配置されている
表示パネル。

(6)

前記画素電極は反射電極としても機能する

(4) または (5) に記載の表示パネル。

(7)

複数のサブピクセルが行列状に配置された表示パネルと、
前記表示パネルを駆動する駆動部と

20

を備え、

前記表示パネルは、

液晶素子およびトランジスタを前記サブピクセルごとに有し、
前記トランジスタは、ゲート電極、ソース電極およびドレイン電極を有し、
前記ドレイン電極そのものが、前記液晶素子を駆動する画素電極として機能する
表示装置。

(8)

当該表示パネルは、行状に配置された複数のゲート線と、列状に配置された複数のデータ線とを備え、

前記サブピクセルは、前記ゲート線および前記データ線のレイアウトに対応して行列状に配置され、

30

前記ドレイン電極は、前記データ線と同層に配置されている

(7) に記載の表示装置。

(9)

前記ドレイン電極は反射電極としても機能する

(7) または (8) に記載の表示装置。

(10)

複数のサブピクセルが行列状に配置された表示パネルと、
前記表示パネルを駆動する駆動部と

40

を備え、

前記表示パネルは、

液晶素子およびトランジスタをサブピクセルごとに有し、
前記液晶素子は、画素電極、液晶層および対向電極をこの順に含む積層体であり、
前記トランジスタは、ゲート電極、ソース電極およびドレイン電極を有し、
前記画素電極は、前記ドレイン電極と接続されると共に前記ドレイン電極と同層に配置されている

表示装置。

(11)

複数のサブピクセルが行列状に配置された表示パネルと、
前記表示パネルを駆動する駆動部と

50

を備え、
 前記表示パネルは、
 行状に配置された複数のゲート線と、列状に配置された複数のデータ線と、前記ゲート線および前記データ線のレイアウトに対応して行列状に配置された複数のサブピクセルとを有し、
 各サブピクセルは、液晶素子およびトランジスタを有し、
 前記液晶素子は、画素電極、液晶層および対向電極をこの順に含む積層体であり、
 前記画素電極は、前記データ線と同層に配置されている
 表示装置。

(12)

10

前記画素電極は反射電極としても機能する
 (10)または(11)に記載の表示装置。

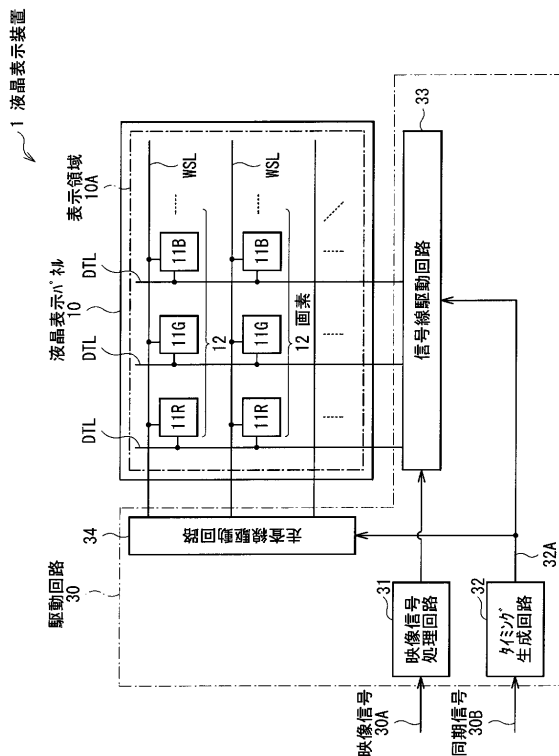
【符号の説明】

【0051】

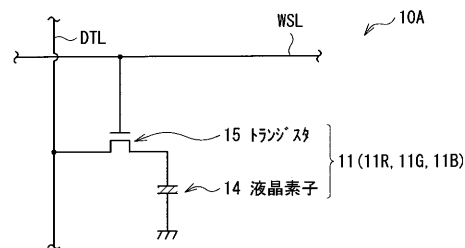
1, 2 ... 液晶表示装置、10, 60 ... 液晶表示パネル、10A, 60A ... 表示領域、11, 11R, 11G, 11B ... サブピクセル、12 ... 画素、14 ... 液晶素子、15 ... トランジスタ、30 ... 駆動回路、31 ... 映像信号処理回路 31 ... タイミング生成回路、32A ... 制御信号、33 ... 信号線駆動回路、34 ... 走査線駆動回路、100 ... 電子機器、111 ... 本体部、112 ... 表示部、113 ... 表示装置、114 ... 表示画面、115 ... 操作ボタン、116 ... 送話部。

20

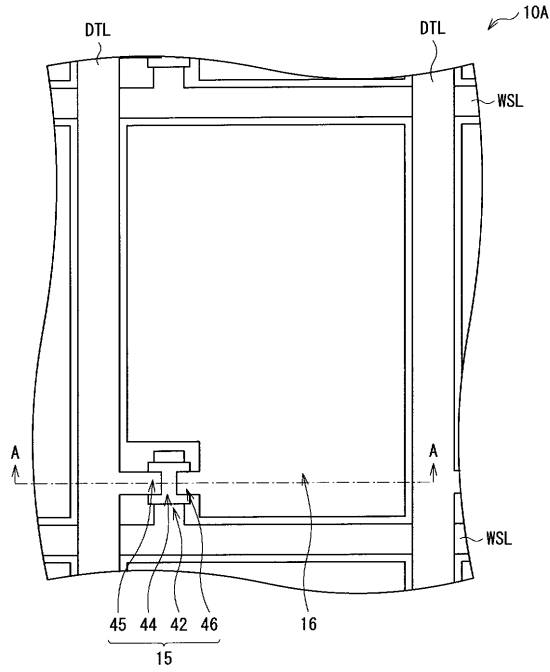
【図1】



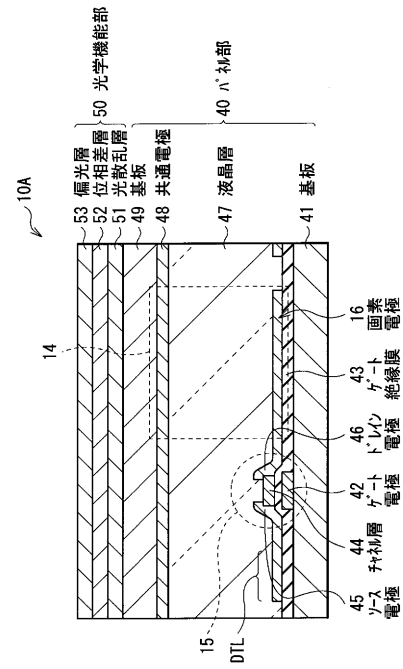
【図2】



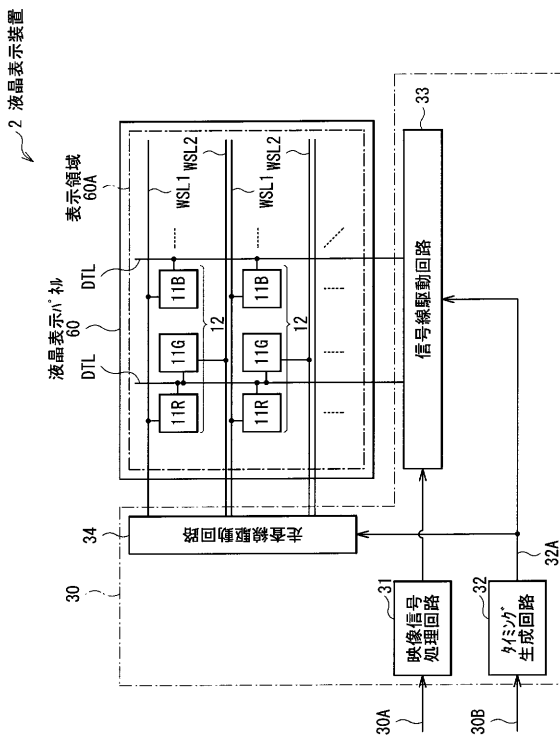
【 図 3 】



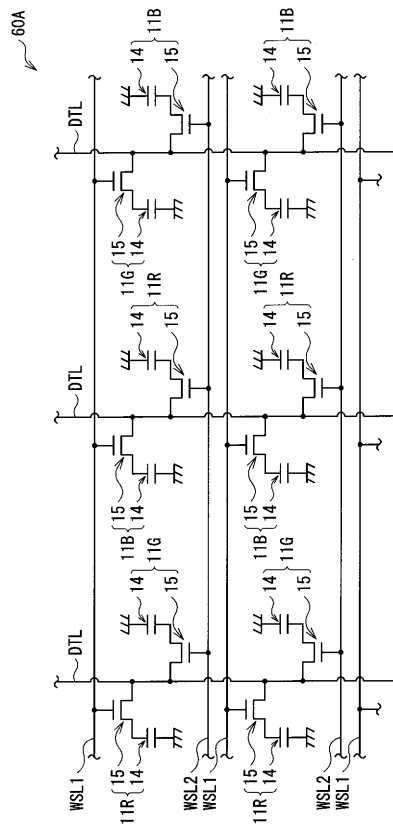
【 図 4 】



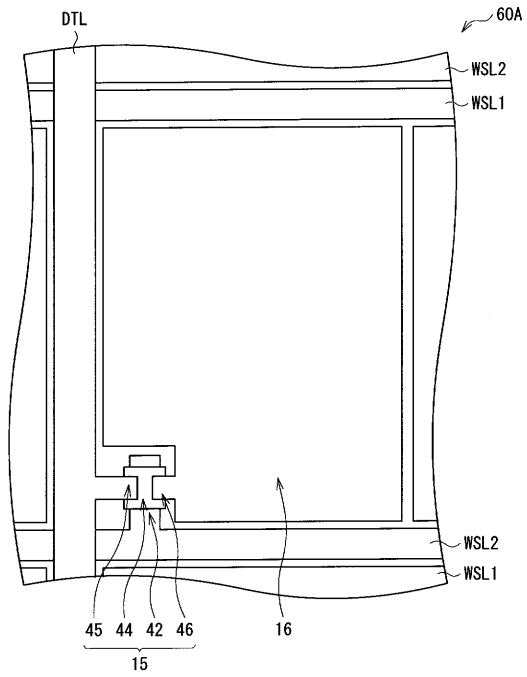
【 図 5 】



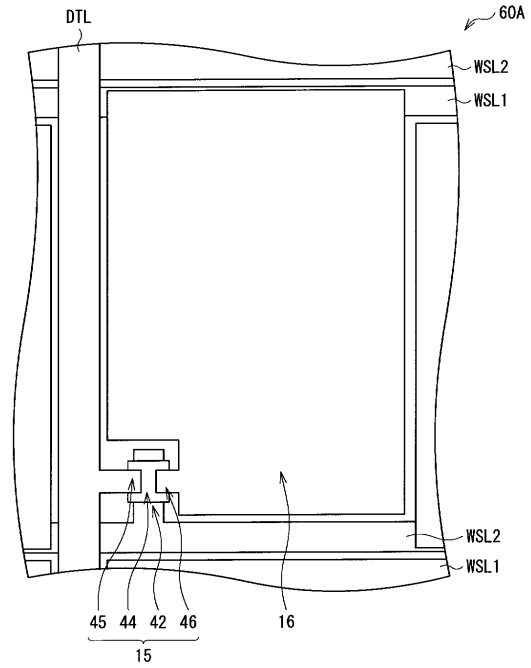
【 図 6 】



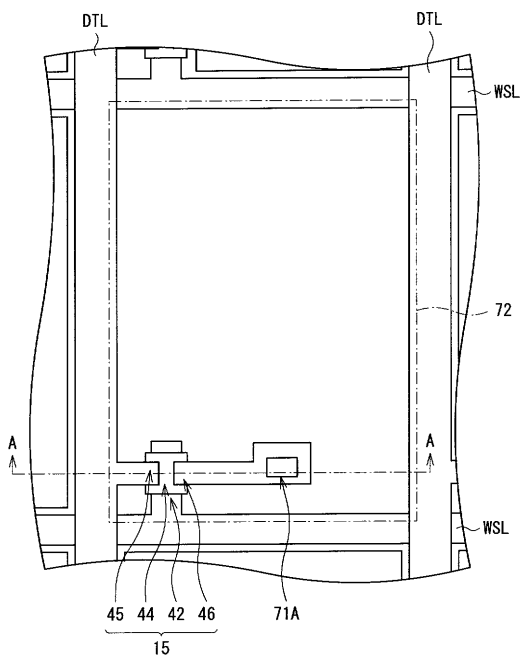
【図 7】



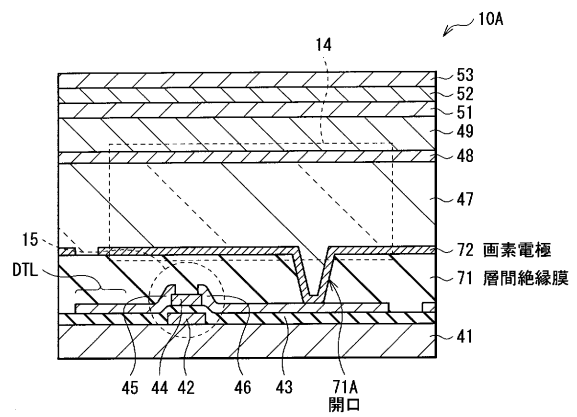
【図 8】



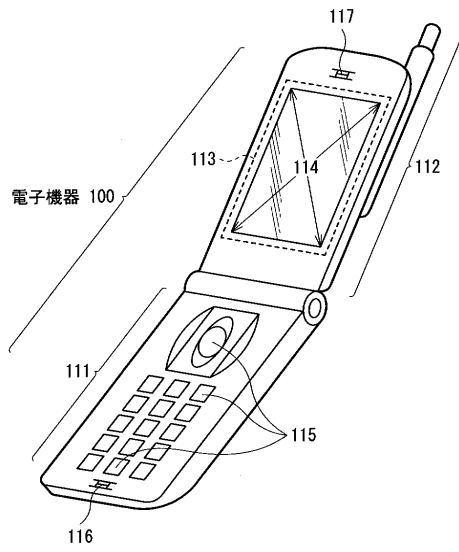
【図 9】



【図 10】



【図 11】



フロントページの続き

F ターム(参考) 2H092 HA05 JA26 JB07 JB64 JB66 JB69 KA19 KB05 KB14 NA27
PA12

专利名称(译)	显示面板和显示设备		
公开(公告)号	JP2012226160A	公开(公告)日	2012-11-15
申请号	JP2011094268	申请日	2011-04-20
[标]申请(专利权)人(译)	日本显示器西股份有限公司		
申请(专利权)人(译)	有限公司日本西显示器		
[标]发明人	杉山裕紀 松島寿治		
发明人	杉山 裕紀 松島 寿治		
IPC分类号	G02F1/1368 G02F1/1343		
CPC分类号	G02F1/133553 G02F1/133504 G02F1/133555 G02F1/136286 G02F2001/134345 G02F2201/40		
FI分类号	G02F1/1368 G02F1/1343		
F-TERM分类号	2H092/HA05 2H092/JA26 2H092/JB07 2H092/JB64 2H092/JB66 2H092/JB69 2H092/KA19 2H092/KB05 2H092/KB14 2H092/NA27 2H092/PA12 2H192/AA24 2H192/BC62 2H192/BC72 2H192/CB05 2H192/CC24 2H192/CC62 2H192/EA43 2H192/GD03		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种能够减少处理步骤数量并降低制造成本的显示面板，以及显示装置和包括该显示面板的电子设备。为每个子像素提供液晶元件和晶体管。晶体管15被配置为在基板41上包括栅电极42，栅绝缘膜43，沟道层44，源电极45和漏电极46。漏电极46形成在与像素电极16相同的平面中，并且进一步连接到像素电极16。像素电极16还用作反射电极。[选择图]图4

