

(11) 特許出願公開番号

**特開2011-221550**

(P2011-221550A)

(43) 公開日 平成23年11月4日(2011.11.4)

(51) Int. Cl.	F I	テーマコード (参考)
<b>G 0 9 G 3/36 (2006.01)</b>	G 0 9 G 3/36	2 H 1 9 3
<b>G 0 9 G 3/20 (2006.01)</b>	G 0 9 G 3/20 6 1 2 K	5 C 0 0 6
<b>G 0 2 F 1/133 (2006.01)</b>	G 0 9 G 3/20 6 1 2 J	5 C 0 8 0
	G 0 9 G 3/20 6 1 1 J	
	G 0 9 G 3/20 6 2 2 D	

審査請求 有 請求項の数 11 O L (全 37 頁) 最終頁に続く

(21) 出願番号 特願2011-131769 (P2011-131769)  
 (22) 出願日 平成23年6月14日 (2011. 6. 14)  
 (62) 分割の表示 特願2004-532810 (P2004-532810)  
                   の分割  
     原出願日 平成15年8月26日 (2003. 8. 26)  
 (31) 優先権主張番号 10-2002-0052020  
 (32) 優先日 平成14年8月30日 (2002. 8. 30)  
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 503447036  
サムスン エレクトロニクス カンパニー  
リミテッド  
大韓民国キョンギード, スウォン-シ, ヨ  
ントン-ク, マエタン-ドン 4 1 6

(74) 代理人 100121382  
弁理士 山下 託嗣

(74) 代理人 100094145  
弁理士 小野 由己男

(74) 代理人 100106367  
弁理士 稲積 朋子

最終頁に続く

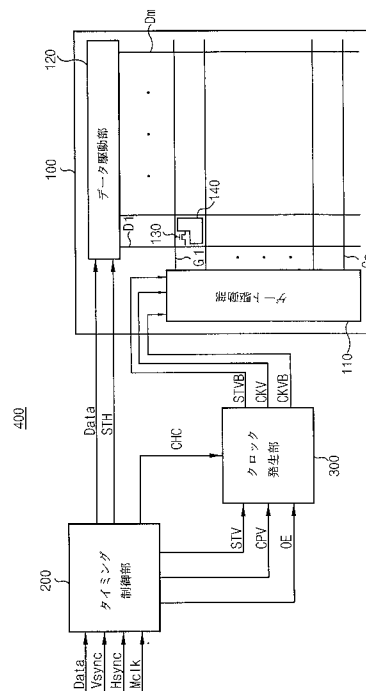
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】改善された表示特性を有する液晶表示装置を提供する。

【解決手段】クロック発生部は、ゲート駆動信号を決定する第1区間と互いに充放電する第2区間を有する第1及び第2クロックを発生してゲート駆動部に印加することでゲート駆動信号のパルス幅を調節する。また、ゲートラインの一端に放電トランジスタを形成し次のゲートラインが動作される以前に現在ゲートラインを放電させる。ゲートラインの一端には第1ゲート駆動部が配置されゲートラインの他端には第1ゲート駆動部が誤動作を起こすとき動作されゲートラインを駆動する第2ゲート駆動部が配置される。従って、高速動作を可能にしながらゲート遅延を防止することができゲート駆動信号の遅延を防止することができる。

【選択図】図 1



**【特許請求の範囲】****【請求項 1】**

第 1 方向に延長された複数のゲートラインと、第 2 方向に延長された複数のデータラインと、第 1 電極が前記ゲートラインに連結され第 2 電極が前記データラインに連結されるスイッチング素子と、前記スイッチング素子の第 3 電極に連結された画素電極とを有する液晶パネルと、

前記ゲートラインの第 1 端部に連結され前記複数のゲートラインに順次にゲート駆動信号を印加するためのゲート駆動部と、

前記データラインに連結され前記データラインにデータ駆動信号を印加するためのデータ駆動部と、

次のゲートラインに印加される第 1 ゲート駆動信号に応答して現在ゲートラインに印加される第 2 ゲート駆動信号を放電させるための放電部と、  
を含むことを特徴とする液晶表示装置。

**【請求項 2】**

前記放電部は、第 1 電極が前記現在ゲートラインに連結され、第 2 電極が放電電圧入力端子に連結され、前記第 1 ゲート駆動信号によって駆動され前記第 2 ゲート駆動信号を前記放電電圧に放電させるトランジスタからなることを特徴とする請求項 1 記載の液晶表示装置。

**【請求項 3】**

前記ゲート駆動部は、第 1 クロック、及び前記第 1 クロックと反対の位相を有する第 2 クロックの提供を受け、

前記第 1 及び第 2 クロックは第 1 区間の間、前記ゲート駆動信号のレベルを決定し、第 2 区間の間、前記第 1 及び第 2 クロックの充電または放電させることを特徴とする請求項 1 記載の液晶表示装置。

**【請求項 4】**

前記第 1 クロックは前記第 1 区間で第 1 電源電圧  $V_{on}$  を保持し、前記第 2 区間で第 1 極性を有し、

前記第 2 クロックは前記第 1 区間で前記第 1 電源電圧  $V_{on}$  と極性が反転した第 2 電源電圧  $V_{off}$  を保持し、前記第 2 区間で前記第 1 極性と極性が反転した第 2 極性を有し、

第 1 クロック及び第 2 クロックは、傾きを有することを特徴とする請求項 3 記載の液晶表示装置。

**【請求項 5】**

第 1 方向に延長された複数のゲートラインと、前記第 1 方向と直交する第 2 方向に延長された複数のデータラインと、第 1 電極が前記ゲートラインに連結され第 2 電極が前記データラインに連結されるスイッチング素子と、前記スイッチング素子の第 3 電極に連結された画素電極とを有する液晶パネルと、

前記ゲートラインの第 1 端部に連結され前記ゲートラインに順次にゲート駆動信号を印加するための第 1 ゲート駆動部と、

前記第 1 ゲート駆動部の誤動作の際駆動され、前記ゲートラインの第 2 端部に連結され前記ゲートラインに順次に前記ゲート駆動信号を印加するための第 2 ゲート駆動部と、

前記データラインに連結され前記データラインにデータ信号を印加するためのデータ駆動部と、

前記第 1 ゲート駆動部の動作の際次のゲートラインに印加される第 1 ゲート駆動信号に  
応答して現在のゲートラインに印加された第 2 ゲート駆動信号を放電させるための第 1 放電部と、

前記第 2 ゲート駆動部の動作の際前記第 2 ゲート駆動信号によって駆動され前記第 2 ゲート駆動信号を放電させるための第 2 放電部と、  
を含むことを特徴とする液晶表示装置。

**【請求項 6】**

前記第 1 ゲート駆動部に連結された外部連結端子をさらに含み、前記外部連結端子は開

10

20

30

40

50

示信号が入力される第1入力端子と、第1クロックが入力される第2入力端子と、第1クロックと同位相における極性が反転された第2クロックが入力される第3入力端子と、第1電源電圧が入力される第4入力端子と、第2電源電圧が入力される第5入力端子と、で構成されることを特徴とする請求項5記載の液晶表示装置。

【請求項7】

前記第1及び第2クロックは、第1区間の間前記ゲート駆動信号のレベルを決定し、第2区間の間前記第1及び第2クロックの充電または放電させることを特徴とする請求項6記載の液晶表示装置。

【請求項8】

前記第2ゲート駆動部に連結された外部連結端子をさらに含み、前記外部連結端子は開始信号が入力される第1入力端子と、第1クロックと第1電源電圧が選択的に印加される第2入力端子と、第1クロックと反転の位相を有する第2クロックと第2電源電圧が選択的に印加される第3入力端子と、第1電源電圧と第2電源電圧が選択的に印加される第4入力端子と、第2電源電圧が入力される第5入力端子と、で構成されることを特徴とする請求項5記載液晶表示装置。

10

【請求項9】

前記第1及び第2クロックは、前記ゲート駆動信号のレベルを決定する第1区間と、前記第1及び第2クロックが充電または放電される第2区間と、で区分されることを特徴とする請求項8記載の液晶表示装置。

【請求項10】

前記第1放電部は、第1電極が前記現在のゲートラインに連結され第2電極が放電電圧入力端子に連結され、前記第1ゲート駆動信号によって駆動され前記第2ゲート駆動信号を前記放電電圧に放電させる第1トランジスタからなることを特徴とする請求項5記載の液晶表示装置。

20

【請求項11】

前記第2放電部は、第1電極が前記現在のゲートラインに連結され、第2電極が放電電圧入力端子に連結され、前記第1ゲート駆動信号によって駆動され前記第2ゲート駆動信号を前記放電電圧に放電させる第2トランジスタからなることを特徴とする請求項5記載の液晶表示装置。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明は液晶表示装置に関し、さらに詳細には改善された表示特性を有する液晶表示装置に関する。

【背景技術】

【0002】

一般に、液晶表示装置は、それぞれの内面に形成された電極を有する2つの基板と2つの基板の間に介在された液晶層を含む。このような液晶表示装置は、電極に電圧を印加して液晶分子配列を変換させ、液晶層を通じて透過された光の量を調節することによって所望する画像を得る。

40

【0003】

現在、TFT-LCDが液晶表示装置の最も一般的な形態である。電極は2つの基板上にそれぞれ形成され、薄膜トランジスタは各電極に提供された電源をスイッチングするために使用される。薄膜トランジスタは2つの基板のうちいずれか一つに形成される。一般的に、薄膜トランジスタが単位画素領域に形成された液晶表示装置はアモルファスシリコンa-Si液晶表示装置と、ポリシリコン(poly-Si)液晶表示装置と、で区別される。

【0004】

ポリシリコン液晶表示装置は素子動作を高速化することができ、素子の低電力駆動が可能な長所がある反面、薄膜トランジスタ製造工程が複雑な短所がある。従って、ポリシリ

50

コンポリ - s i 液晶表示装置は、小型表示装置に主に適用され、a - s i 液晶表示装置は主なノートブックPC、LCDモニター、HDTVなどの大きい画面表示装置に適用される。

【0005】

最近には、a - s i 液晶表示装置でもポリシリコン液晶表示装置のように液晶表示パネルのガラス基板上にデータ駆動回路及びゲート駆動回路を形成することで組立工程の数を減少させようとする技術開発に力を注いでいる。

【0006】

一方、使用者の要求に応じて液晶表示装置は漸次大型サイズを有し、高解像度を追求する方向に開発されつつある。このような問題を解決するためにはある所定時間内にさらに多くの信号線を動作させる技術が要求される。

10

【発明の概要】

【発明が解決しようとする課題】

【0007】

従って、本発明の目的は、上記課題を解決することができる液晶表示装置を提供することにある。

【課題を解決するための手段】

【0008】

第1方向に延長された複数のゲートラインと、第2方向に延長された複数のデータラインと、第1電極が前記ゲートラインに連結され第2電極が前記データラインに連結されるスイッチング素子と、前記スイッチング素子の第3電極に連結された画素電極とを有する液晶パネルと、

20

前記ゲートラインの第1端部に連結され前記複数のゲートラインに順次にゲート駆動信号を印加するためのゲート駆動部と、

前記データラインに連結され前記データラインにデータ駆動信号を印加するためのデータ駆動部と、

次のゲートラインに印加される第1ゲート駆動信号に応答して現在ゲートラインに印加される第2ゲート駆動信号を放電させるための放電部と、  
を含むことを特徴とする液晶表示装置を提供する。

【0009】

30

ここで、前記放電部は、第1電極が前記現在ゲートラインに連結され、第2電極が放電電圧入力端子に連結され、前記第1ゲート駆動信号によって駆動され前記第2ゲート駆動信号を前記放電電圧に放電させるトランジスタからなることを特徴とする。

【0010】

ここで、前記ゲート駆動部は、第1クロック、及び前記第1クロックと反対の位相を有する第2クロックの提供を受け、

前記第1及び第2クロックは第1区間の間、前記ゲート駆動信号のレベルを決定し、第2区間の間、前記第1及び第2クロックの充電または放電させることを特徴とする。

【0011】

40

ここで、前記第1クロックは前記第1区間で第1電源電圧V<sub>on</sub>を保持し、前記第2区間で第1極性を有し、

前記第2クロックは前記第1区間で前記第1電源電圧V<sub>on</sub>と極性が反転した第2電源電圧V<sub>off</sub>を保持し、前記第2区間で前記第1極性と極性が反転した第2極性を有し、

第1クロック及び第2クロックは、傾きを有することを特徴とする。

【0012】

第1方向に延長された複数のゲートラインと、前記第1方向と直交する第2方向に延長された複数のデータラインと、第1電極が前記ゲートラインに連結され第2電極が前記データラインに連結されるスイッチング素子と、前記スイッチング素子の第3電極に連結された画素電極とを有する液晶パネルと、

前記ゲートラインの第1端部に連結され前記ゲートラインに順次にゲート駆動信号を印

50

加するための第 1 ゲート駆動部と、

前記第 1 ゲート駆動部の誤動作の際駆動され、前記ゲートラインの第 2 端部に連結され前記ゲートラインに順次に前記ゲート駆動信号を印加するための第 2 ゲート駆動部と、

前記データラインに連結され前記データラインにデータ信号を印加するためのデータ駆動部と、

前記第 1 ゲート駆動部の動作の際次のゲートラインに印加される第 1 ゲート駆動信号に応答して現在のゲートラインに印加された第 2 ゲート駆動信号を放電させるための第 1 放電部と、

前記第 2 ゲート駆動部の動作の際前記第 2 ゲート駆動信号によって駆動され前記第 2 ゲート駆動信号を放電させるための第 2 放電部と、

を含むことを特徴とする液晶表示装置を提供する。

#### 【0013】

ここで、前記第 1 ゲート駆動部に連結された外部連結端子をさらに含み、前記外部連結端子は開示信号が入力される第 1 入力端子と、第 1 クロックが入力される第 2 入力端子と、第 1 クロックと同位相における極性が反転された第 2 クロックが入力される第 3 入力端子と、第 1 電源電圧が入力される第 4 入力端子と、第 2 電源電圧が入力される第 5 入力端子と、で構成されることを特徴とする。

#### 【0014】

ここで、前記第 1 及び第 2 クロックは、第 1 区間の間前記ゲート駆動信号のレベルを決定し、第 2 区間の間前記第 1 及び第 2 クロックの充電または放電させることを特徴とする。

#### 【0015】

ここで、前記第 2 ゲート駆動部に連結された外部連結端子をさらに含み、前記外部連結端子は開始信号が入力される第 1 入力端子と、第 1 クロックと第 1 電源電圧が選択的に印加される第 2 入力端子と、第 1 クロックと反転の位相を有する第 2 クロックと第 2 電源電圧が選択的に印加される第 3 入力端子と、第 1 電源電圧と第 2 電源電圧が選択的に印加される第 4 入力端子と、第 2 電源電圧が入力される第 5 入力端子と、で構成されることを特徴とする。

#### 【0016】

ここで、前記第 1 及び第 2 クロックは、前記ゲート駆動信号のレベルを決定する第 1 区間と、前記第 1 及び第 2 クロックが充電または放電される第 2 区間と、で区分されることを特徴とする。

#### 【0017】

ここで、前記第 1 放電部は、第 1 電極が前記現在のゲートラインに連結され第 2 電極が放電電圧入力端子に連結され、前記第 1 ゲート駆動信号によって駆動され前記第 2 ゲート駆動信号を前記放電電圧に放電させる第 1 トランジスタからなることを特徴とする。

#### 【0018】

ここで、前記第 2 放電部は、第 1 電極が前記現在のゲートラインに連結され、第 2 電極が放電電圧入力端子に連結され、前記第 1 ゲート駆動信号によって駆動され前記第 2 ゲート駆動信号を前記放電電圧に放電させる第 2 トランジスタからなることを特徴とする。

#### 【0019】

また、ゲートラインの一端に放電トランジスタを形成し、次のステージが動作される以前に現在のステージを放電させることで液晶表示装置のゲート駆動信号の遅延を防止することができる。

#### 【0020】

また、ゲートラインの一端には第 1 ゲート駆動部が配置されゲートの他端には第 1 ゲート駆動部が誤動作を起こすとき動作されゲートラインを駆動する第 2 ゲート駆動部を配置することによって液晶表示装置が正常的に駆動することができる。

#### 【図面の簡単な説明】

#### 【0021】

10

20

30

40

50

- 【図 1】本発明の一実施形態による液晶表示装置を示すブロック図である。
- 【図 2】図 1 に示されたクロック発生部のブロック図である。
- 【図 3】図 2 に示された入力信号のタイミング図である。
- 【図 4】図 2 に示された D - フリップ・フロップの回路図である。
- 【図 5】図 4 に示された D - フリップ・フロップのタイミング図である。
- 【図 6】図 2 に示された第 1 電圧印加回路の回路図である。
- 【図 7】図 2 に示された第 2 電圧印加回路の回路図である。
- 【図 8】図 2 に示された充放電回路を示す回路図である。
- 【図 9】図 2 に示されたクロック発生部から出力される第 1 及び第 2 クロックをシミュレーションした波形図である。 10
- 【図 10】図 2 に示されたクロック発生部から第 1 及び第 2 クロックを出力するのに必要とされる電流をシミュレーションした波形図である。
- 【図 11】第 1 及び第 2 クロックによる各ステージの出力波形を示す波形図である。
- 【図 12】本発明の他の形態によるクロック発生制御信号を示す波形図である。
- 【図 13】本発明の他の形態によるクロック発生制御信号を示す波形図である。
- 【図 14】本発明の他の実施形態による液晶表示装置を示す概略図である。
- 【図 15】図 14 に示された放電部の概略図である。
- 【図 16】放電部の電流のシミュレーション結果を示す波形図である。
- 【図 17】図 14 に示された液晶表示装置のゲート駆動信号のシミュレーション結果を示す波形図である。 20
- 【図 18】従来のゲート駆動信号をシミュレーションした波形図である。
- 【図 19】図 14 に示された液晶パネルによるゲート駆動信号をシミュレーションした波形図である。
- 【図 20】本発明の他の実施形態による液晶表示装置を示す概略図である。
- 【図 21】本発明の他の実施形態による液晶表示装置を示す概略図である。
- 【図 22】図 20 に示された第 1 ゲート駆動部の内部構成を示す回路図である。
- 【図 23】図 22 に示された第 1 ゲート駆動部の出力をシミュレーションした波形図である。
- 【図 24】図 20 に示された第 2 ゲート駆動部の第 1 電源電圧入力端子に第 1 電源電圧を印加した場合、第 1 ゲート駆動部の出力をシミュレーションした波形図である。 30
- 【図 25】図 20 に示された第 2 ゲート駆動部の第 1 及び第 2 クロック入力端子に第 2 電源電圧を印加した場合第 1 ゲート駆動部の出力をシミュレーションした波形図である。
- 【発明を実施するための形態】
- 【0022】
- 以下、図面を参照して本発明の望ましい一実施形態をより詳細に説明する。
- 【0023】
- 図 1 は本発明の一実施形態による液晶表示装置を示すブロック図である。
- 【0024】
- 図 1 に示すように、液晶表示装置 400 はゲート駆動部 110 とデータ駆動部 120 が形成された液晶パネル 100、外部から信号にตอบสนองして液晶パネル 100 を制御するタイミング制御部 200、及びゲート駆動部 110 に提供される第 1 及び第 2 クロック CKV、CKVB を発生するクロック発生部 300 を含む。 40
- 【0025】
- タイミング制御部 200 は各種タイミング信号を発生してゲート駆動部 110 とデータ駆動部 120 を制御する。即ち、外部から提供される水平同期信号である Hsync (Horizontal synchronizer) 信号に同期されデータ駆動部で画像データ信号をアナログ値に変換してアナログ値であるデータ信号をデータラインに印加することを命令する水平開始信号である STH (start Horizontal) 信号をデータ駆動部に出力する。また、垂直同期信号である Vsync (Vertical synchronizer) 信号に同期され第 1 垂直開始信号である STV (Star 50

t v e r t i c a l ) 信号をクロック発生部に出力する。

【0026】

タイミング制御部200は、ゲート駆動信号の周期を決定するゲートクロック信号であるCPV(Clock Pulse Vertical)信号、ゲート駆動信号をイネーブルさせるゲートオンイネーブル信号であるOE(Output Enable)信号、第1及び第2クロックの充放電を制御する充放電制御信号であるCHC信号をクロック発生部に出力する。

【0027】

一方、液晶パネル100は第1方向に延長された複数のゲートラインG1~Gn、第1方向と直交する第2方向に延長された複数のデータラインD1~Dm、ゲートラインとデータラインD1~Dmに連結されたTFT130、及びTFT130に連結された画素データ140で構成される。

【0028】

また、液晶パネル100にはゲートラインG1~Gnに順次に駆動信号を印加するためのゲート駆動部110と、データラインD1~Dmにデータ信号を印加するためのデータ駆動部120が具備される。具体的に、液晶パネルは、TFT基板、カラーフィルター基板(図示せず)、TFT基板とカラーフィルター基板との間に形成された液晶層(図示せず)で構成され、ゲートラインG1~Gn、データラインD1~Dm、TFT130及び画素電極140はTFT基板上に形成される。

【0029】

データ駆動部120はSTH信号に应答して液晶パネル100の各画素に印加されるデータ信号を生成する。ここで、データ信号は各画素を充電させるための充電電圧である。

【0030】

ゲート駆動部110は複数のステージが従属的に連結された一つのシフトレジストからなり、各ゲートラインは各ステージの出力端子と結合される。従って、各ステージが順次に駆動されながらゲートラインG1~Gnに順次にゲート駆動信号を出力する。即ち、ゲート駆動部110は、第1垂直開始信号STVと反対の位相を有する第2垂直開始信号STVB信号に应答してゲートラインG1~Gnに順次にハイレベル区間を有するゲート駆動信号を印加してデータ信号が各画素に印加されることを制御する。ここで、ゲート信号はゲートラインG1~Gnに連結されているTFT130を駆動するのに十分な電圧レベルを有する。TFT130がゲート信号によって駆動されると、データ信号はTFT130を通じて画素電極140に印加され液晶層を充電させる。

【0031】

クロック発生部300はタイミング制御部200から提供されるCPV信号及びOE信号に应答して互いに反転された位相を有する第1及び第2クロックCKV、CKVBを出力する。ここで、第1クロックCKVはゲート駆動部110の奇数番目のステージに提供され、第2クロックCKVBはゲート駆動部110の偶数番目のステージに提供される。

【0032】

このようなクロック発生部300は、CPV信号、イネーブルOE信号及び第1垂直開始信号であるSTV信号に应答して第1及び第2クロックCKV、CKVBがゲート駆動信号を決定する一定電圧を有するように発生させる第1及び第2電圧印加回路(図示せず)と、ゲートクロック信号であるCPV信号と充放電信号であるCHC信号に应答して第1及び第2クロックが互いに充放電することができるよう制御する充放電回路(図示せず)と、を含む。また、クロック発生部300は、第1垂直開始信号であるSTV信号をゲート駆動部110からゲートラインG1~Gnに順次に印加するために、順次にゲート駆動信号を出力することを命令する第2垂直開始信号であるSTVB信号をゲート駆動部110に出力する。

【0033】

従って、第1クロックCKVと第2クロックCKVBは第1区間では一定電圧を保持し、第2区間では互いに充放電する。これにより、第1及び第2クロックによってゲート駆

10

20

30

40

50

動信号のパルス幅が減少され高速動作を可能にする。

【0034】

また、このような構造は第1及び第2クロックを発生させるためにクロック発生部300に提供される別途の制御信号を使用せず、既存のタイミング制御部200から出力されるCPV信号とOE信号をそのまま使用することができる。

【0035】

図2は図1に示されたクロック発生部のブロック図であり、図3は図2に示された入力信号のタイミング図である。

【0036】

図2に示すように、クロック発生部300は、第1クロックイネーブル信号であるOCS (Odd Clock Pulse) 信号と第2クロックイネーブル信号であるECS (Even Clock Pulse) 信号を出力するためのD-フリップ・フロップ310、OCS信号に应答して第1クロックCKVを出力するための第1電圧印加回路320、ECS信号に应答して第2クロックCKVBを出力するための第2電圧印加回路330、及び第1クロックCKV及び第2クロックCKVBを互いに充放電(充電共有)させるための充放電回路340を含む。

【0037】

具体的に、D-フリップ・フロップ310はSTV信号の入力を受け、OE信号に同期し、第1端QBを通じてECS信号を出力し第2端Qを通じてOCS信号を出力する。ここで、OE信号はゲート波形の遅延現象分だけゲート駆動部110の出力を抑制させる役割を遂行する。即ち、OE信号はゲート波形が遅延される時間の間ハイ状態を有し発生される1H周期のパルスである。

【0038】

第1電圧印加回路320は、ゲートクロック信号であるCPV信号、イネーブル信号であるOE信号及びOCS信号に应答して第1区間の間一定電圧を保持する第1クロックイネーブル信号であるCKVを出力する。また、第2電圧印加回路330は、CPV信号、OE信号及びECS信号に应答して第1区間の間一定電圧を保持する第2クロックCKVBを出力する。充放電回路340はCPV信号の入力を受け、第1及び第2電圧印加回路のターンオフの際、駆動され第1及び第2クロックCKV、CKVBを充放電させる。

【0039】

図3に示されたように、CPV信号は1H周期に発生され、OE信号がゲート波形遅延時間の間一定デューティ期間のハイ状態を有するように1H周期に発生される。

【0040】

このとき、CPV信号がハイ状態でありOE信号のロー状態のとき定義される第3区間t3では第1及び第2電圧印加回路320、330が駆動され、CPV信号がロー状態であり、OE信号がロー状態であるかハイ状態であるとき定義される第4区間t4では充放電回路340が駆動される。第3及び第4区間t3、t4の間には第1及び第2電圧印加回路320、330と充放電回路340が全部駆動されない第5区間t5が備えられる。即ち、第5区間t5はCPV信号がロー状態でありOE信号がロー状態である区間として定義され、充放電回路340の駆動時間を遅延させ形成される第4区間t4の前段に定義される。

【0041】

充放電回路340の駆動時間の遅延については以後充放電回路340の回路図を説明するとき詳細に見てみる。

【0042】

以下、図面を参照してクロック発生部300の内部を構成回路について具体的に説明する。

【0043】

図4は図2に示されたD-フリップ・フロップの回路図であり、図5は図4に示されたD-フリップ・フロップのタイミング図である。

10

20

30

40

50



## 【 0 0 4 4 】

図 4 及び図 5 に示すように、第 1 垂直開始信号 S T V と反転の位相を有する第 2 垂直開始信号 S T V B 信号に応答して D - フリップ・フロップ 3 1 0 がクリアーされ、D - フリップ・フロップ 3 1 0 の第 1 端子 Q B から出力される第 2 クロックイネーブル信号 E C S はハイレベルになる。即ち、D - フリップ・フロップ 3 1 0 は、第 1 垂直開始信号である S T V 信号を受信し、クロック端子 C L K に入力される O E 信号に同期して 2 H を 1 周期にとして第 1 クロックイネーブル信号 O C S 及び第 2 クロックイネーブル信号 E C S をそれぞれ出力する。このとき、第 1 クロックイネーブル信号 O C S は、ゲート駆動部の奇数番目のステージに提供される第 1 クロック C K V を出力する第 1 電圧印加回路 3 2 0 をイネーブルさせる。また、第 1 クロックイネーブル信号 E C S は、ゲート駆動部の偶数番目のステージに提供される第 2 クロック C K V B を出力する第 2 電圧印加回路 3 3 0 をイネーブルさせる。

10

## 【 0 0 4 5 】

図 6 では C P V、O E 及び O C S によって第 1 クロック C K V を発生する第 1 電圧印加回路 3 2 0 を説明し、図 6 では、C P V、O E 及び E C S によって第 2 クロック C K V B を発生する第 2 電圧印加回路 3 3 0 を説明する。

## 【 0 0 4 6 】

図 6 は図 2 に示された第 1 電圧印加回路の回路図であり、図 7 は図 2 に示された第 2 電圧印加回路の回路図である。

## 【 0 0 4 7 】

20

図 6 に示すように、第 1 電圧印加回路 3 2 0 は、ハイレベルの前記 O C S 信号に応答して前記第 1 クロック C K V に第 1 電源電圧 V o n を出力するための第 1 電源電圧供給部 3 2 1 と、ローレベルの O C S 信号に応答して前記第 1 クロック C K V に第 2 電源電圧 V o f f を出力するための第 2 電源電圧供給部 3 2 3 を含む。

## 【 0 0 4 8 】

第 1 電源電圧供給部 3 2 1 はオン電圧発生部 3 2 1 a とオン電圧発生部 3 2 1 a の駆動を制御する第 1 制御部 3 2 1 b で構成される。

## 【 0 0 4 9 】

第 1 制御部 3 2 1 b は、第トランジスタ T 1、第トランジスタ T 2、第 1 抵抗 R 1 及び第 2 抵抗 R 2 で構成される。

30

## 【 0 0 5 0 】

具体的に、第 1 トランジスタ T 1 はエミッター端が O E 信号入力端子に連結されコレクタ端が第 2 トランジスタ T 2 のエミッター端に連結される。第 1 抵抗 R 1 は第 1 トランジスタ T 1 のベース端と O C S 信号入力端子との間に連結される。また、第 2 トランジスタ T 2 はコレクタ端がオン電圧発生部 3 2 1 a に連結される。第 2 抵抗 R 2 は第 2 トランジスタ T 2 のベース端と C P V 信号入力端子との間に連結される。

## 【 0 0 5 1 】

従って、第 1 トランジスタ T 1 は O C S 信号と O E 信号との電圧差によって動作され、第 2 トランジスタ T 2 は第 1 トランジスタ T 1 が駆動されることによって印加される O E 信号と C P V 信号との電圧差によって駆動されることでオン電圧発生部 3 2 1 a の動作を制御する。

40

## 【 0 0 5 2 】

一方、オン電圧発生部 3 2 1 a は第 3 トランジスタ T 3、第 3 ないし第 5 抵抗 R 3 ~ R 5 からなる。

## 【 0 0 5 3 】

具体的に、第 3 トランジスタ T 3 はエミッター端が第 1 電源電圧に連結され、コレクタ端が出力端 C K V に連結される。また、第 3 抵抗 R 3 は第 3 トランジスタ T 3 のエミッター端と第 3 トランジスタ T 3 のベース端との間に連結され、第 4 及び第 5 抵抗 R 4、R 5 は第 3 トランジスタ T 3 のベース端と第 2 トランジスタ T 2 のコレクタ端との間で直列連結される。

50

## 【 0 0 5 4 】

従って、第 3 トランジスタ T 3 は、第 1 クロック信号 C K V を出力する。

## 【 0 0 5 5 】

第 2 電源電圧供給部 3 2 3 はオフ電圧発生部 3 2 3 a と、オフ電圧発生部 3 2 3 a を制御する第 2 制御部 3 2 3 b を有する。

## 【 0 0 5 6 】

第 2 制御部 3 2 3 b は第 4 及び第 5 トランジスタ T 4、T 5、第 6 ないし第 1 1 抵抗 R 6 ~ R 1 1 で構成される。

## 【 0 0 5 7 】

具体的に、第 4 トランジスタ T 4 はエミッター端が C P V 信号入力端子に連結されコレクタ端が第 5 トランジスタ T 5 に連結される。また、第 6 抵抗 R 6 は第 4 トランジスタ T 4 のエミッター端とベース端との間に連結され、第 7 及び第 8 抵抗 R 7、R 8 は第 4 トランジスタ T 4 のベース端と O E 信号入力端子との間に直列連結される。一方、第 5 トランジスタ T 5 はコレクタ端がオフ電圧発生部 3 2 3 a に連結される。第 9 抵抗 R 9 は第 5 トランジスタ T 5 のエミッター端とベース端との間に連結され、第 1 0 及び第 1 1 抵抗 R 1 0、R 1 1 は第 5 トランジスタ T 5 のベース端と O C S 信号入力端子との間で直列連結される。

10

## 【 0 0 5 8 】

第 4 トランジスタ T 4 は、C P V 信号と O E 信号の電圧差によって駆動され C P V 信号を出力し出力された信号と O C S 信号の電圧差によって第 5 トランジスタ T 5 が駆動され C P V 信号を出力する。このとき、出力された C P V 信号がオフ電圧発生部 3 2 3 a に提供される。

20

## 【 0 0 5 9 】

一方、オフ電圧発生部 3 2 3 a は第 6 トランジスタ T 6、第 1 2 ないし第 1 4 抵抗 R 1 2 ~ R 1 4 からなる。

## 【 0 0 6 0 】

具体的に、第 6 トランジスタ T 6 はエミッター端が第 2 電源電圧に連結されコレクタ端が出力端 C K V に連結される。また、第 1 2 抵抗 R 1 2 は第 5 トランジスタ T 5 のエミッター端と第 1 3 及び第 1 4 抵抗 R 1 3、R 1 4 の第 1 端に並列連結され、第 1 3 抵抗 R 1 3 の第 2 端は第 6 トランジスタ T 6 のエミッター端に連結され第 1 4 抵抗 R 1 4 の第 2 端は第 6 トランジスタ T 6 のベース端に連結される。従って、第 6 トランジスタ T 6 が第 2 制御部 3 2 3 b から出力される C P V 信号によって駆動されると出力端 C K V には第 2 電源電圧が出力される。

30

## 【 0 0 6 1 】

図 6 に提示された第 1 ないし第 6 トランジスタ T 1 ~ T 6 はバイポーラ接合電界トランジスタ ( B i p o l a r J u n c t i o n T r a n s i s t o r ; B J T ) であることが望ましい。

## 【 0 0 6 2 】

図 7 に示すように、第 2 電圧印加回路 3 3 0 は E C S 信号のハイ区間に応答して前記第 2 クロック C K V B に第 1 電源電圧を出力するための第 1 電源電圧供給部 3 3 1 と E C S 信号のロー区間に応答して前記第 2 クロック C K V B に第 2 電源電圧 V o f f を出力するための第 2 電源電圧供給部 3 3 3 を含む。

40

## 【 0 0 6 3 】

第 1 電源電圧供給部 3 3 1 はオン電圧発生部 3 3 1 a とオン電圧発生部 3 3 1 a の駆動を制御する第 1 制御部 3 3 1 b で構成される。

## 【 0 0 6 4 】

第 1 制御部 3 3 1 b は第 1 及び第 2 トランジスタ T 1、T 2、第 1 及び第 2 抵抗 R 1、R 2 で構成される。

## 【 0 0 6 5 】

具体的に、第 1 トランジスタ T 1 はエミッター端が O E 信号入力端子に連結されコレク

50

タ端が第2トランジスタT2に連結される。第1抵抗R1は第1トランジスタT1のベース端とECS信号入力端子との間に連結される。また、第2トランジスタT2はエミッター端が第1トランジスタT1に連結され、コレクタ端がオン電圧発生部331aに連結され、第2抵抗R2は第2トランジスタT2のベース端とCPV信号入力端子との間に連結される。

【0066】

従って、第1トランジスタT1はECS信号とOE信号との電圧差によって動作され、第2トランジスタT2は第1トランジスタT1が駆動されることによって印加されるOE信号とCPV信号との電圧差によって駆動されることでオン電圧発生部331aの動作を制御する。

10

【0067】

一方、オン電圧発生部331aは第3トランジスタT3、第3ないし第5抵抗R3～R5からなる。具体的に、第3トランジスタT3はエミッター端が第1電源電圧によって連結され、コレクタ端が出力端CKVBに連結される。また、第3抵抗R3は第3トランジスタT3のエミッター端とベース端との間に連結され、第4及び第5抵抗R4、R5は第3トランジスタT3のベース端と第2トランジスタT2のコレクタ端との間で直列連結される。

【0068】

従って、第3トランジスタT3は第2クロック信号CKVBを端子に出力する。

【0069】

第2電源電圧供給部333はオフ電圧発生部333aと、オフ電圧発生部333aを制御する第2制御部333bを有する。

20

【0070】

第2制御部333bは第4及び第5トランジスタT4、T5、第6ないし第11抵抗R6～R11からなる。

【0071】

具体的に、第4トランジスタT4はエミッター端がCPV信号入力端子に連結されコレクタ端が第5トランジスタT5のエミッター端に連結される。また、第6抵抗R6の第4トランジスタT4のエミッター端とベース端との間に連結され、第7及び第8抵抗R7、R8は第4トランジスタT4のベース端とOE信号入力端子との間で直列連結される。一方、第5トランジスタT5はコレクタ端がオフ電圧発生部333aに連結される。第9抵抗R9は第5トランジスタT5のエミッター端とベース端との間に連結され、第10及び第11抵抗R10、R11は第5トランジスタT5のベース端とECS信号入力端子との間で直列連結される。

30

【0072】

第4トランジスタT4は、ゲートクロック信号CPVとイネーブル信号OEとの電圧差に応答してゲートクロック信号CPV信号を出力する。また、第5トランジスタT5は、第4トランジスタT4から出力されたゲートクロック信号CPVと第2クロックイネーブル信号ECSとの電圧差に応答してCPV信号を出力する。このとき、第5トランジスタT5から出力されたCPV信号はオフ電圧発生部333aに提供される。

40

【0073】

一方、オフ電圧発生部333aは第6トランジスタT6、第12ないし第14抵抗R12～R14からなる。

【0074】

具体的に、第6トランジスタT6はエミッター端が第2電源電圧に連結されコレクタ端が出力端CKVBに連結される。第12抵抗R12は第5トランジスタT5のエミッター端と第13及び第14抵抗R13、R14の第1端に並列連結され、第13抵抗R13の第2端は第6トランジスタT6のエミッター端に連結され第14抵抗R14の第2端は第6トランジスタT6のベース端に連結される。従って、第6トランジスタT6が第2制御部333bに出力されるCPV信号によってターンオンされると出力端CKVBには第2

50

電源電圧が出力される。

【0075】

図7に提示された第1ないし第6トランジスタT1～T6はBJTであることが望ましい。

【0076】

図8は図2に示された充放電回路を示す回路図である。

【0077】

図8に示すように、充放電回路340は第1及び第2クロックCKV、CKVBを充電/放電させる充電部341、充電部材341を駆動する充電駆動部342、充電駆動部342を制御する充電制御部343を有する。

【0078】

充電制御部343は第1ないし第3トランジスタT1～T3、第1ないし第10抵抗R1～R10からなる。

【0079】

具体的に、第1トランジスタT1はエミッター端がCPV信号入力端子に連結されコレクタ端は第4抵抗R4の第1端に連結される。第1抵抗R1は第1トランジスタT1のエミッター端とベース端との間に連結され、第2及び第3抵抗R2、R3は第1トランジスタT1のベース端とグランド電圧入力端子Voとの間で直列連結される。また、第4抵抗R4は第2トランジスタT2のベース端に連結された第5抵抗R5と第2トランジスタT2のエミッター端に連結された第6抵抗R6に並列連結される。

【0080】

第3トランジスタT3はエミッター端が第1電源電圧入力端子Vonに連結され、コレクタ端が第10抵抗R10を経由して第2トランジスタT2のコレクタ端に連結される。第7抵抗R7は第3トランジスタT3のエミッター端とベース端との間に連結され、第8及び第9抵抗R8、R9は第3トランジスタT3のベース端とCPV信号入力端子との間に直列連結される。

【0081】

充電駆動部342は第4及び第5トランジスタT4、T5、第11ないし第14抵抗R11～R14からなる。

【0082】

具体的に、第4トランジスタT4はエミッター端が第2クロック端子CKVBに連結されコレクタ端が第12抵抗R12を経て第1クロック端子CKVに連結される。第11抵抗R11は第4トランジスタT4のベース端と充放電制御信号CHC入力端子との間に連結される。また、第5トランジスタT5はエミッター端が第12抵抗R12に連結されコレクタ端が第13抵抗R13を経て第1クロック端子CKVに連結される。第14抵抗R14は第5トランジスタT5のベース端と充放電制御信号CHCの入力端子との間に連結される。

【0083】

充電部341は第1クロック端子CKVとグランド電圧入力端子Voとの間に連結された第1キャパシタC1と、第2クロック端子CKVBとグランド電圧入力端子Voとの間に連結された第2キャパシタC2と、で構成される。

【0084】

従って、充放電回路340は第1及び第2電圧印加回路320、330の第3及び第6トランジスタT3、T6がターンオンされた状態でCPV信号がロー状態であるとき駆動される。即ち、CPV信号がロー信号であると第1トランジスタT1がターンオフされそれによって第2トランジスタT2もターンオフされる。このとき、CPV信号と第1電源電圧によってターンオンされた第3トランジスタT3を通じて第1電源電圧は充電駆動部342に印加される。

【0085】

従って、充電駆動部342の第5トランジスタT5は第1電源電圧とCHC信号によっ

10

20

30

40

50

てターンオンされ第 2 キャパシタ C 2 を充電させる。このとき、充電電圧が第 2 クロック端子 C K V B に出力される。一方、第 1 キャパシタ C 1 は放電動作を遂行することによって放電電圧を第 1 クロック端子 C K V に出力する。

【 0 0 8 6 】

一方、第 6 トランジスタ T 6 は C H C 信号によってターンオンされ第 1 ノードの電位が上昇されながら第 1 キャパシタ C 1 が充電される。従って、第 1 クロック端子 C K V に充電電圧を出力する。それと同時に第 2 キャパシタ C 2 が放電され第 2 クロック端子 C K V B に放電電圧を出力する。

【 0 0 8 7 】

このように、第 1 及び第 2 電圧印加回路 3 2 0、3 3 0 がターンオフされた状態で C P V 信号がローに発生されると、第 1 及び第 2 クロック C K V、C K V B が互いに充放電を共有しながら出力される。

10

【 0 0 8 8 】

このとき、第 1 及び第 2 電圧印加回路 3 2 0、3 3 0 が動作していない期間に充放電回路 3 4 0 を駆動するためには、充電駆動部 3 4 2 に第 1 電源電圧が提供される時間を、第 3 トランジスタ T 3 のコレクタに接続される第 1 0 抵抗によって遅延させる必要がある。

【 0 0 8 9 】

従って、図 3 に示された第 5 区間 t 5 を確保することができ、第 1 及び第 2 クロック電源印加回路 3 2 0、3 3 0 と充放電回路 3 4 0 とが同時に駆動されることを防止することができる。

20

【 0 0 9 0 】

図 9 は図 2 に示されたクロック発生部から出力される第 1 及び第 2 クロックをシミュレーションした波形図であり、図 1 0 は図 1 及び図 2 クロックを出力するのに必要な電流をシミュレーションした波形図である。但し、第 1 電源電圧は 2 0 V であり、第 2 電源電圧は - 1 4 V である。

【 0 0 9 1 】

図 9 及び図 1 0 に示すように、第 1 クロック C K V は第 1 区間 t 1 では第 1 電源電圧を保持し、第 2 区間 t 2 では第 1 極性の傾きを有して出力される。一方、第 2 クロック C K V B は第 1 区間 t 1 では第 1 電源電圧と位相の反転された第 2 電源電圧を保持し、第 2 区間 t 2 では第 1 極性と位相の反対された第 2 極性の一定傾きを有して出力される。

30

【 0 0 9 2 】

各クロック C K V、C K V B の  $t_1 + t_2 = 1 H$  で、 $t_2$  時間の間、位相が異なる第 1 及び第 2 クロック C K V、C K V B を充放電 (charge sharing) するようになる。そして、クロック発生部 3 0 0 では従来の波形でより半分程度の電圧遷移をさせ、クロック発生部 3 0 0 での消費電力を半分以下に減少させることができる。

【 0 0 9 3 】

消費電力 P は次の数式 1 のように表される。

【 0 0 9 4 】

【 数 1 】

40

$$P \propto f \Delta V_2 C$$

【 0 0 9 5 】

電圧遷移が半分程度に減少されるとき、消費電力は数式 1 のように電圧遷移の二乗に比例するので、クロック発生部 3 0 0 での消費電力が 1 / 4 程度に減少される。即ち、第 1 及び第 2 クロック C K V、C K V B を発生するためのクロック発生部 3 0 0 の消費電力が減少される。

【 0 0 9 6 】

図 1 1 は第 1 及び第 2 クロックによる各ステージの出力波形を示す波形図である。

【 0 0 9 7 】

50

図 1 1 に示すように、第 2 クロックの上昇エッジで  $i$  番目のステージから  $i$  番面のゲート駆動信号が出力される。以後、 $i + 1$  番目のステージから出力された  $i + 1$  番目のゲート駆動信号が第 1 電圧  $V_1$  レベルに至ったとき  $i$  番目のゲート駆動信号が放電され、第 1 電圧  $V_1$  の時間分だけ  $i$  番目のゲート駆動信号のハイレベル保持時間が減少される。

【0098】

このように、ゲート駆動部 110 に第 1 及び第 2 クロック  $CKV$ 、 $CKVB$  を印加するとゲート駆動信号のパルス幅が調節されることで第 1 及び第 2 クロック  $CKV$ 、 $CKVB$  は液晶表示装置 400 の高速動作を可能にする。

【0099】

図 1 ないし図 1 1 でのクロック発生部 300 に提供され第 1 及び第 2 電圧印加回路 320、330 と充放電回路 340 を制御するクロック発生制御信号が  $CPV$  信号と  $OE$  信号である場合本発明の実施形態として説明した。しかし、クロック発生制御信号はここに限定されず多様な形態に具現されることができる。

【0100】

以後、図 1 2 及び図 1 3 ではクロック発生制御信号の他の形態を示す図面である。

【0101】

図 1 2 及び図 1 3 は本発明の他の形態によるクロック発生制御信号を示す波形図である。

【0102】

図 1 2 に示すように、クロック発生制御信号は 1 H 周期を有する第 1 制御信号  $CT_1$  と 1 H 周期を有し第 1 制御信号  $CT_1$  と部分的に反転された位相を有する第 2 制御信号  $CT_2$  を含む。ここで、第 1 及び第 2 制御信号  $CT_1$ 、 $CT_2$  は第 1 及び第 2 電圧印加回路 320、330 と充放電回路 340 の駆動を制御する。

【0103】

具体的に、第 1 制御信号  $CT_1$  がハイ状態であり第 2 制御信号  $CT_2$  がロー状態のとき定義される第 3 区間  $t_3$  では第 1 及び第 2 電圧印加回路 320、330 が駆動される。第 1 制御信号  $CT_1$  がロー状態であり第 2 制御信号  $CT_2$  がハイ状態のとき定義される第 4 区間  $t_4$  では充放電回路 340 が駆動される。また、第 3 及び第 4 区間  $t_3$ 、 $t_4$  の間に存在し、第 1 制御信号  $CT_1$  と第 2 制御信号  $CT_2$  が全部ロー状態のとき定義される第 5 区間  $t_5$  では第 1 及び第 2 電圧印加回路 320、330 と充放電回路 340 が全部動作しない。従って、第 1 及び第 2 電圧印加回路 320、330 の動作と充放電回路 340 の動作が同時に駆動される現象を防止することができる。

【0104】

一方、図 1 3 に示されたようにクロック発生回路は 1 H 周期を有する第 3 制御信号と、1 H 周期を有し第 3 制御信号がロー状態のときハイ状態に発生される第 4 制御信号と、からなることができる。ここで、第 3 及び第 4 制御信号  $CT_3$ 、 $CT_4$  は第 1 及び第 2 電圧印加回路と 320、330 充放電回路 340 の駆動を制御する。

【0105】

具体的に、第 3 制御信号  $CT_3$  がハイ状態であり第 4 制御信号  $CT_4$  がロー状態のとき、定義される第 3 区間  $t_3$  では第 1 及び第 2 電圧印加回路が動作する。また、第 3 制御信号  $CT_3$  がロー状態であり第 4 制御信号  $CT_4$  がロー状態のとき定義される第 4 区間  $t_4$  では充放電回路が動作する。第 3 区間  $t_3$  と第 4 区間  $t_4$  との間に存在され、第 3 制御信号  $CT_3$  がロー状態であり、第 4 制御信号  $CT_4$  がハイ状態のとき定義される第 5 区間  $t_5$  では第 1 及び第 2 電圧印加回路と充放電回路が全部動作しない。従って、第 1 及び第 2 電圧印加回路の動作と充放電回路の動作が同時に駆動される現象を防止することができる。

【0106】

図 1 4 は本発明の他の実施形態による液晶表示装置を示す概略図であり、図 1 5 は図 1 4 に示された遅延防止部の概略図である。図 1 6 は放電部の電流のシミュレーション結果を示す波形図であり、図 1 7 は図 1 4 に示された液晶表示装置のゲート駆動信号のシミュ

10

20

30

40

50

レーション結果を示す波形図である。

【0107】

図14に示すように、液晶表示装置500はゲート駆動部110、電極駆動部120及び放電部150が形成された液晶パネル100を含む。

【0108】

液晶パネル100には第1方向に延長された複数のゲートラインG1～Gnと、第1方向と直交する第2方向に延長された複数のデータラインD1～Dmが形成される。前記ゲートラインG1～GnとデータラインD1～Dmによって定義される領域には第1電極131が前記ゲートラインG1～Gnに連結され第2電極132が前記データラインD1～Dmに連結されるTFT130が形成される。TFT130は第1電極131に提供されるゲート駆動信号によって駆動され第2電極132に提供されるデータ信号を画素電極140に出力するスイッチング素子である。

10

【0109】

ゲート駆動部110はゲートラインG1～Gnの第1端部に連結され前記ゲートラインG1～Gnに順次にゲート駆動信号を印加する。また、データ駆動部120はデータラインD1～Dmに連結されゲート駆動信号が印加されることによってデータラインD1～Dmにデータ信号を印加する。

【0110】

一方、放電部150は第1端部と向き合うゲートラインG1～Gnの第2端部それぞれに連結される。図15に示されたように、放電部150は次のゲートラインGi+1に印加される第1ゲート駆動信号によって駆動され現在ゲートラインGiに印加された第2ゲート駆動信号を放電電圧、即ち、第2電源電圧Voffに放電させる。ここで、iは1よりは大きくnよりは小さい自然数である。

20

【0111】

放電部150は第1電極155aが現在ゲートラインGiに連結され、第2電極155bが第2電源電圧入力端子に連結され、第3電極155cが次のゲートラインGi+1に連結された放電トランジスタ155からなる。

【0112】

即ち、第1ゲート駆動信号が放電トランジスタ155のしきい電圧以上に増加されると放電トランジスタ155が駆動され第2ゲート駆動信号を第2電源電圧Voffに放電させる。

30

【0113】

図16及び図17に示すように、第1ゲート駆動信号が放電トランジスタ155のしきい電圧以上に上昇されると、放電トランジスタ155が駆動されながら第2ゲート駆動信号を第2電源電圧Voffに放電させる。従って、放電トランジスタ155は第1ゲート駆動信号がプルアップされる以前に第2ゲート駆動信号を十分に放電させ第2ゲート駆動信号が遅延される現象を防止することができる。

【0114】

図18は従来のゲート駆動信号をシミュレーションした波形図であり、図19は図14に示された液晶パネルによるゲート駆動信号をシミュレーションした波形図である。図18及び図19では一つのゲートラインに連結された一番目のスイッチング素子に印加される一番目の駆動信号Vfirst、中間部分のスイッチング素子に印加される中間ゲート駆動信号Vcenter、最後のスイッチング素子に印加される最後のゲート駆動信号Vendを示す。

40

【0115】

図18に示すように、第1、第2及び第3ゲート駆動信号Vfirst、Vcenter、Vendは、'140μs'付近で完全に放電される。また、各ゲート駆動信号が第2電源電圧Voffに到達する時間もそれぞれ異なることで示された。

【0116】

一方、図19に示すように、第1、第2及び第3ゲート駆動信号Vfirst、Vcenter、Ven

50

dそれぞれ印加されるゲート駆動信号は ' $136\mu s$ ' 近傍で完全に放電される。即ち、図18に示す従来の第1、第2及び第3ゲート駆動信号Vfirst、Vcenter、Vendと比較すると、本願発明の第1、第2及び第3ゲート駆動信号Vfirst、Vcenter、Vendは、従来より ' $4\mu s$ ' 程度ゲート駆動信号の遅延を短縮させることができる。また、ゲート駆動信号が第2電源電圧に到達する時間もそれぞれ一致することでゲート駆動信号の全体的な遅延特性を改善することができる。

【0117】

図20及び図21は本発明の他の実施形態による液晶表示装置を示す概略図である。

【0118】

図20に示すように、液晶表示装置600は第1ゲート駆動部160、第2ゲート駆動部170、データ駆動部120、第1放電部180及び第2放電部190を含む。

10

【0119】

具体的に、液晶パネル100には第1方向に延長された複数のゲートラインG1~Gnと、第1方向と直交する第2方向に延長された複数のデータラインD1~Dmが形成される。ゲートラインG1~GnとデータラインD1~Dmに定義される領域には第1電極がゲートラインG1~Gnに連結され第2電極がデータラインD1~Dmに連結されるTFT130が形成される。TFT130は第1電極から提供されるゲート駆動信号によって駆動され第2電極を通じて提供されるデータ信号を画素電極140に印加するスイッチング素子である。

【0120】

20

また、液晶パネル100上にはゲートラインG1~Gnの第1端部に連結されゲートラインG1~Gnに順次にゲート駆動信号を印加するための第1ゲート駆動部160、データラインD1~Dmの一端部に連結されゲート駆動信号が印加されると同時にデータラインD1~Dmにデータ信号を出力するデータ駆動部120が具備される。

【0121】

一方、液晶パネル100には第1ゲート駆動部160の誤動作の際駆動され、ゲートラインG1~Gnの第2端部に連結されゲートラインG1~Gnに順次にゲート駆動信号を印加するための第2ゲート駆動部170がさらに具備される。従って、第1ゲート駆動部160が誤動作する場合第2ゲート駆動部170が動作されることで液晶パネル100を正常的に駆動することができる。

30

【0122】

第1及び第2ゲート駆動部160、170それぞれは、従属的に連結された複数のステージからなる一つのシフトレジスタから構成され、互いに同一の構成を有する。

【0123】

図20に示されたように、第1ゲート駆動部160は外部から提供される信号の入力を受ける5個の外部入力端子を具備する。具体的に、外部入力端子はSTV信号入力端子、第1クロック入力端子CKV、第2クロック入力端子CKVB、第1電源電圧入力端子、及び第2電源電圧入力端子Voffを含む。

【0124】

また、前記第2ゲート駆動部170は5個の外部入力端子を具備する。このとき、第1ゲート駆動部160が正常的に駆動される場合には前記外部入力端子を通じてSTV信号、第1電源電圧、及び第2電源電圧のみの提供を受ける。即ち、第1クロック入力端子CKVには第1電源電圧Vonが印加され、第2クロック入力端子にも第1電源電圧が印加される。また、第1電源電圧入力端子には第2電源電圧が印加される。従って、第1ゲート駆動部160が正常的に駆動される場合第2ゲート駆動部170はバイアス状態を保持する。

40

【0125】

しかし、第1ゲート駆動部160が誤動作を起こすと第1クロック入力端子CKVには第1クロックCKVが提供され、第2クロック入力端子CKVBには第2クロックCKVが提供され、第1電源電圧入力端子には第1電源電圧が提供されることによって正常的な

50



ゲート駆動信号を出力する。

【0126】

一方、第1ゲート駆動部160の動作の際、ゲート駆動信号の遅延を防止するためにゲートラインG1～Gnの第2端部には第1放電部180が連結され、第2ゲート駆動部170の動作の際、ゲート駆動信号の遅延を防止するためにゲートラインG1～Gnの第1端部には第2放電部190が連結される。

【0127】

具体的に、第1放電部180は第1電極が現在ゲートラインの第1端部に連結され、第2電極が第2電源電圧入力端子Voffに連結され、第3電極が次のゲートラインの第1端部に連結された第1放電トランジスタからなる。従って、第1放電トランジスタは第1ゲート駆動部160から出力され次のゲートラインに印加される第1ゲート駆動信号によって駆動され現在のゲートラインに印加された第2ゲート駆動信号を第2電源電圧Voffに放電させる。

【0128】

一方、第2放電部190は第1電極が現在ゲートラインの第2端部に連結され第2電極が第2電源電圧入力端子Voffに連結され第3電極が次のゲートラインの第2端部に連結された第2放電トランジスタからなる。従って、第2放電トランジスタは第2ゲート駆動部170から出力され次のゲートラインに印加される第1ゲート駆動信号によって駆動され現在のゲートラインに印加された第2ゲート駆動信号を第2電源電圧Voffに放電させる。

【0129】

図20ではゲートラインG1～Gnの第1端部に第1ゲート駆動部160が配置され、第2端部に第2ゲート駆動部170が配置された構造を提示した。しかし、第1及び第2ゲート駆動部160、170は互いに反対に配置されることができる。このような構造は図20に示される。

【0130】

図21に示された液晶表示装置700でゲートラインG1～Gnの第1端部には第1ゲート駆動部160が配置され、第2端部には第1ゲート駆動部160が誤動作を起こす場合動作される第2ゲート駆動部170が配置される。

【0131】

図22は図20に示された第1ゲート駆動部の内部構成を示す回路図であり、図23は図22に示された第1ゲート駆動部の出力をシミュレーションした波形図である。但し、第1ゲート駆動部160は各ステージが従属的に連結された一つのシフトレジスタからなり、各ステージは同一の構成を有する。

【0132】

図22に示すように、シフトレジスタの各ステージ161はプルアップ部161a、プルダウン部161b、プルアップ駆動部161c及びプルダウン駆動部161dを含む。

【0133】

プルアップ部161aはクロック入力端子CKVにドレインが連結され、第1ノードN1にゲートが連結され、現在端出力端子Goutiにソースが連結された第1NMOSトランジスタNT1から構成される。

【0134】

プルダウン部161bは出力端子OUTにドレインが連結され、第2ノードN2にゲートが連結され、ソースが第2電源電圧Voffに連結された第2NMOSトランジスタNT2から構成される。

【0135】

プルアップ駆動部161cはキャパシタC1、第3ないし第5NMOSトランジスタNT3～NT5から構成される。キャパシタC1は第1ノードN1と出力端子との間に連結される。第3トランジスタNT3は第1電源電圧Vonにドレインが連結され、端子(Gouti-1)にゲートが連結され、第1ノードN1にソースが連結される。第4NMOS

10

20

30

40

50

SトランジスタNT4は第1ノードN1にドレインが連結され、次の端出力端子(Gout+1)にゲートが連結され、ソースが第2電源電圧Voffに連結される。第5NMOSTランジスタNT5は第1ノードN1にドレインが連結され、第2ノードN2にゲートが連結され、ソースが第2電源電圧に連結される。

【0136】

プルダウン駆動部161dは第6及び第7NMOSTランジスタNT6、NT7から構成される。第6NMOSTランジスタNT6は第1電源電圧Vonにドレインとゲートが共通に結合され、第2ノードN2にソースが連結される。第7NMOSTランジスタNT7は第2ノードN2にドレインが連結され、第1ノードN1にゲートが連結され、ソースが第2電源電圧Voffに結合される。このとき、第6NMOSTランジスタNT6のサイズは第7NMOSTランジスタNT7のサイズより約16倍程度大きく形成される。

10

【0137】

第1クロック、第2クロックCKV、CKVB及びSTV信号がシフトレジストに供給されると、各ステージから順次にゲート駆動信号が出力される。具体的に、各ステージでは以前ステージの出力信号に応答して第1クロックCKVのハイレベル区間を出力端子にゲート駆動信号(Gouti)に発生する。

【0138】

現在端出力端子(Gouti)に第1クロックのハイレベル区間が表れ出すと、この出力電圧がキャパシタC1にブートストラップ(BOOTSTRAP)されプルアップトランジスタNT11のゲート電圧がターンオン電圧VDD以上に上昇するようになる。従って、第1NMOSTランジスタNT1が完全な導通状態を保持するようになる。このとき、第3NMOSTランジスタNT3のサイズは完全導通状態を保持するようになる。このとき、第3NMOSTランジスタNT3のサイズは第5NMOSTランジスタNT5のサイズより約2倍程度大きいのでSTV信号によって第5NMOSTランジスタがターンオンされても第1NMOSTランジスタNT1をターンオン状態に遷移させる。

20

【0139】

一方、プルダウン駆動部161dは入力信号によって第7NMOSTランジスタNT7がターンオフされ第2ノードN2が第1電源電圧Vonに上昇され第2NMOSTランジスタNT2をターンオンさせる。従って、出力端子Goutiの出力信号の電圧が第2電源電圧状態である。このとき、以前ステージの出力端子Gout(i-1)によって第7NMOSTランジスタNT7がターンオンされるので第2ノードN2の電位が第2電源電圧Voffにダウンされる。

30

【0140】

以後、第6NMOSTランジスタNT6はターンオンされても、第7NMOSTランジスタNT7のサイズが第6NMOSTランジスタNT6のサイズより約16倍程度大きいので第2ノードN2は第2電源電圧状態に保持される。従って、第2NMOSTランジスタNT2はターンオン状態からターンオフ状態に遷移される。

【0141】

現在端出力端子Goutiの電圧が第2電源電圧Voff状態に遷移されると、第7NMOSTランジスタNT7がターンオフされるので、第6NMOSTランジスタNT6を通じて第2ノードN2に第1電源電圧Vonのみ供給される状態であるので第2ノードN2の電位は第2電源電圧Voffで第1電源電圧に上昇され始める。第2ノードN2の電位が上昇され始めると、第5NMOSTランジスタNT5がターンオンされ始め、これによりキャパシタの充電電圧は第5NMOSTランジスタNT5を通じて放電され始める。従って、第1NMOSTランジスタNT1もターンオフされ始める。

40

【0142】

続いて、次端出力信号(Gout+1)がターンオン電圧に上昇されることによって、第4NMOSTランジスタNT4がターンオンされる。このとき、第4NMOSTランジスタNT4のサイズは第5NMOSTランジスタNT5より約2倍程度大きいので第1ノードN1の電位は第5NMOSTランジスタNT5のみターンオンされたときよりさらに

50

速く第2電源電圧にダウンされる。従って、第1NMOSトランジスタNT1はターンオフされ、第2NMOSトランジスタNT2はターンオンされ、現在端出力端子Goutiは第1電源電圧Vonから第2電源電圧Voffにダウンされる。

【0143】

次端の出力信号Gouti+1がローレベルに下降され第4NMOSトランジスタNT4がターンオフされても第2ノードN2は第6NMOSトランジスタNT6を通じて第1電源電圧Vonにバイアス状態を保持する。また、第1ノードN1はターンオン状態を保持する第5NMOSトランジスタNT5を通じて第2電源電圧Voffを保持する。従って、第2ノードN2の電位が第1電源電圧Vonに保持されるので第2NMOSトランジスタNT2がターンオフされる誤動作の懸念のない動作が行われる。

10

【0144】

図24は図20に示された第2ゲート駆動部の第1電源電圧入力端子に第1電源電圧を印加する場合第1ゲート駆動部の出力をシミュレーションした波形図である。図25は図20に示された第2ゲート駆動部の第1及び第2クロック入力端子に第2電源電圧を印加する場合、第1ゲート駆動部の出力をシミュレーションした波形図である。

【0145】

図24に示すように第2ゲート駆動部170の外部入力端子のうち第1電源電圧入力端子Vonに第1電源電圧vonをそのまま提供した場合第1ゲート駆動部160から出力される各ステージの出力波形が不良になる。従って、液晶表示装置の表示特性が低下される。

20

【0146】

一方、図25に示されたように第2ゲート駆動部170の外部入力端子のうち第1及び第2クロック入力端子CKV、CKVBに第2電源電圧Voffを提供する場合、第1ゲート駆動部160から出力される各ステージの出力波形の電圧レベルがダウンされる。このような電圧降下は第1ゲート駆動部160を駆動させるための消費電力を増加させる。

【0147】

従って、第1ゲート駆動部160が正常駆動の際、第2ゲート駆動部170の第1及び第2クロック入力端子CKV、CKVBに第1電源電圧を印加し、第1電源電圧入力端子Vonに第2電源電圧を印加することが望ましい。

【0148】

前述した液晶表示装置によると、クロック発生部はゲート駆動信号を決定する第1区間と互いに充放電する第2区間を有する第1及び第2クロックを発生してゲート駆動部に印加することによってゲート駆動信号のパルス幅を調節する。従って、ゲートラインが高速に動作され与えられた時間、即ち、一つのフレームの間該当ゲートラインを全部駆動することができ高解像度を有する液晶表示装置を具現することができる。

30

【0149】

また、ゲートラインの一端に放電トランジスタを形成して次のゲートラインが動作される以前に現在ゲートラインを放電させる。従って、ゲート駆動信号の遅延を防止することができる。

【0150】

また、ゲートラインの一端には第1ゲート駆動部が配置されゲートラインの他端には第1ゲート駆動部が誤動作を起こすとき動作されゲートラインを駆動する第2ゲート駆動部が配置される。従って、第1ゲート駆動部がまともに動作されなくても第2ゲート駆動部によって液晶表示装置が正常的に駆動されることができる。

40

【0151】

以上、本発明の実施形態によって詳細に説明したが、本発明はこれに限定されず、本発明が属する技術分野において通常の知識を有する者であれば、本発明の思想と精神を離れることなく、本発明を修正または変更できる。

【符号の説明】

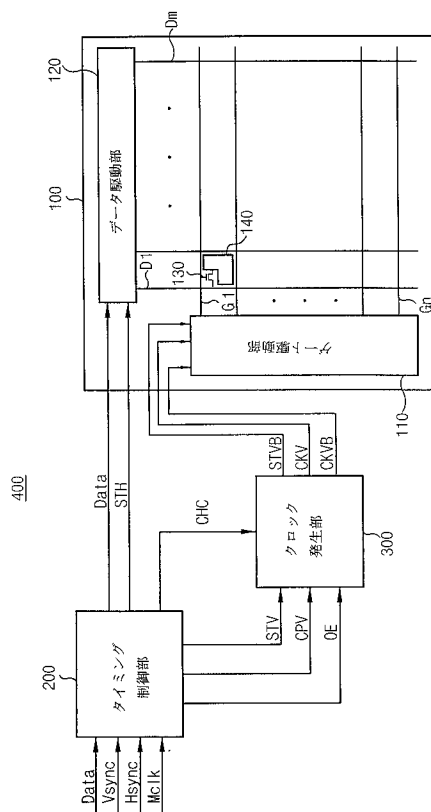
【0152】

50

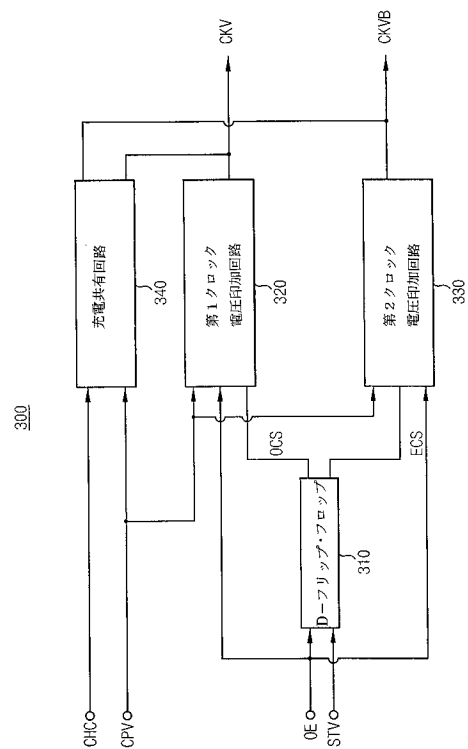
1 0 0	液晶パネル
1 1 0	ゲート駆動部
1 2 0	データ駆動部
1 6 0	第1ゲート駆動部
1 7 0	第2ゲート駆動部
1 8 0	第1放電部
1 9 0	第2放電部
2 0 0	タイミング制御部
3 0 0	クロック発生部
3 1 0	D - フリップ・フロップ
3 2 0	第1電圧印加回路
3 3 0	第2電圧印加回路
3 4 0	充放電回路
4 0 0	液晶表示装置

10

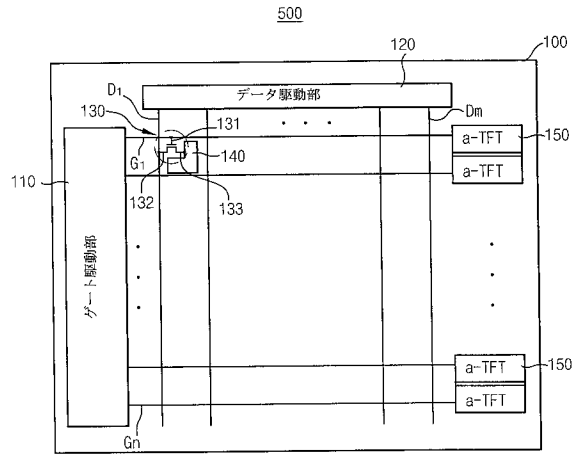
【図1】



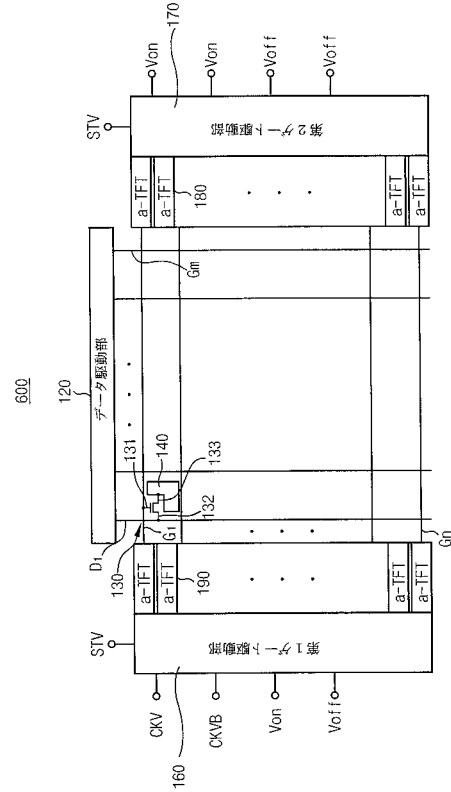
【図2】



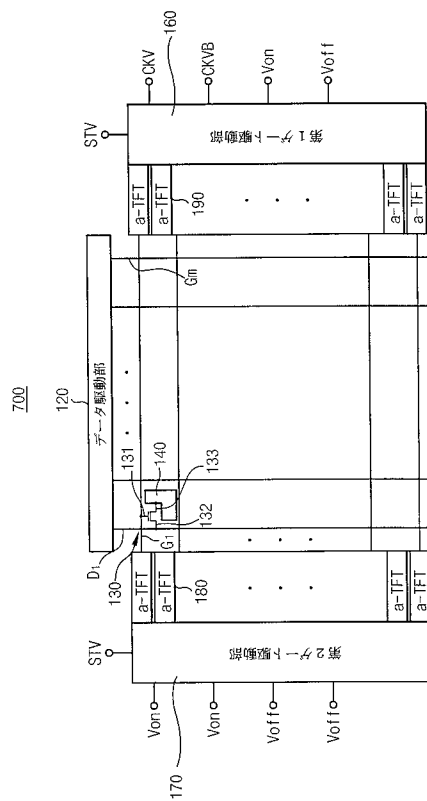
【図 14】



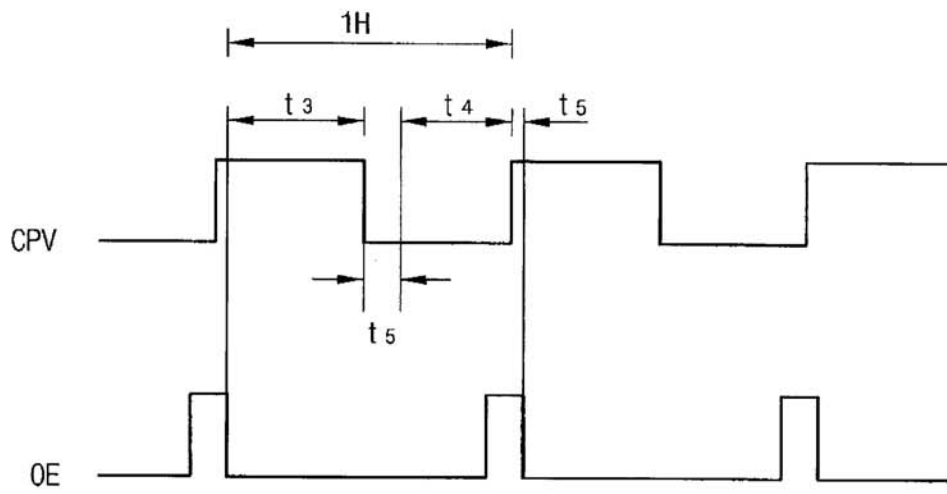
【図 20】



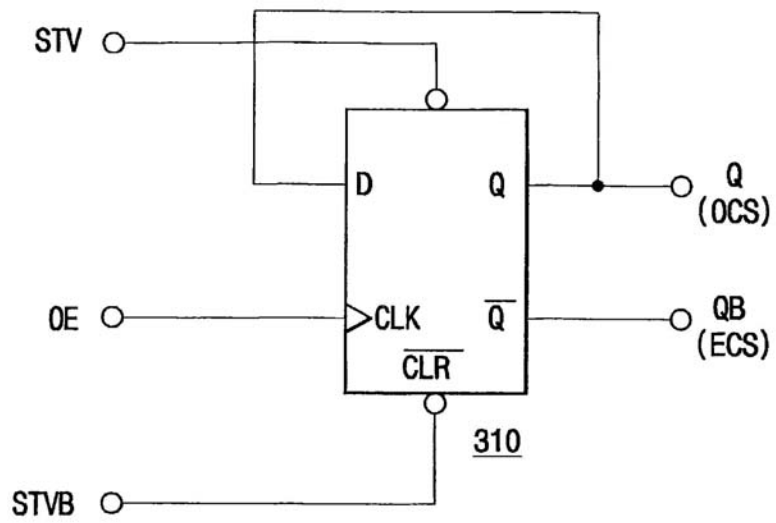
【図 21】



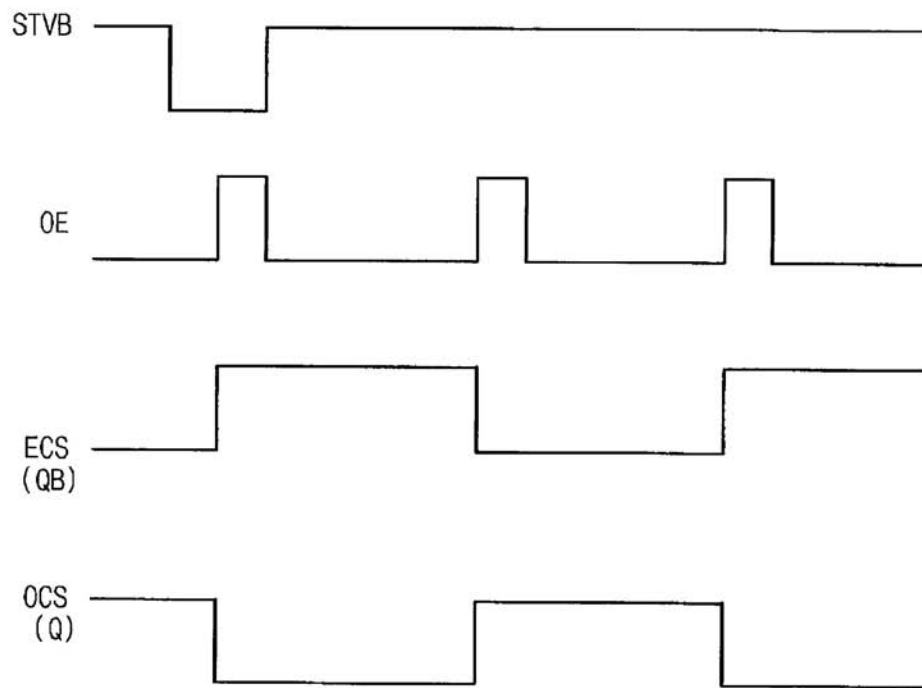
【図 3】



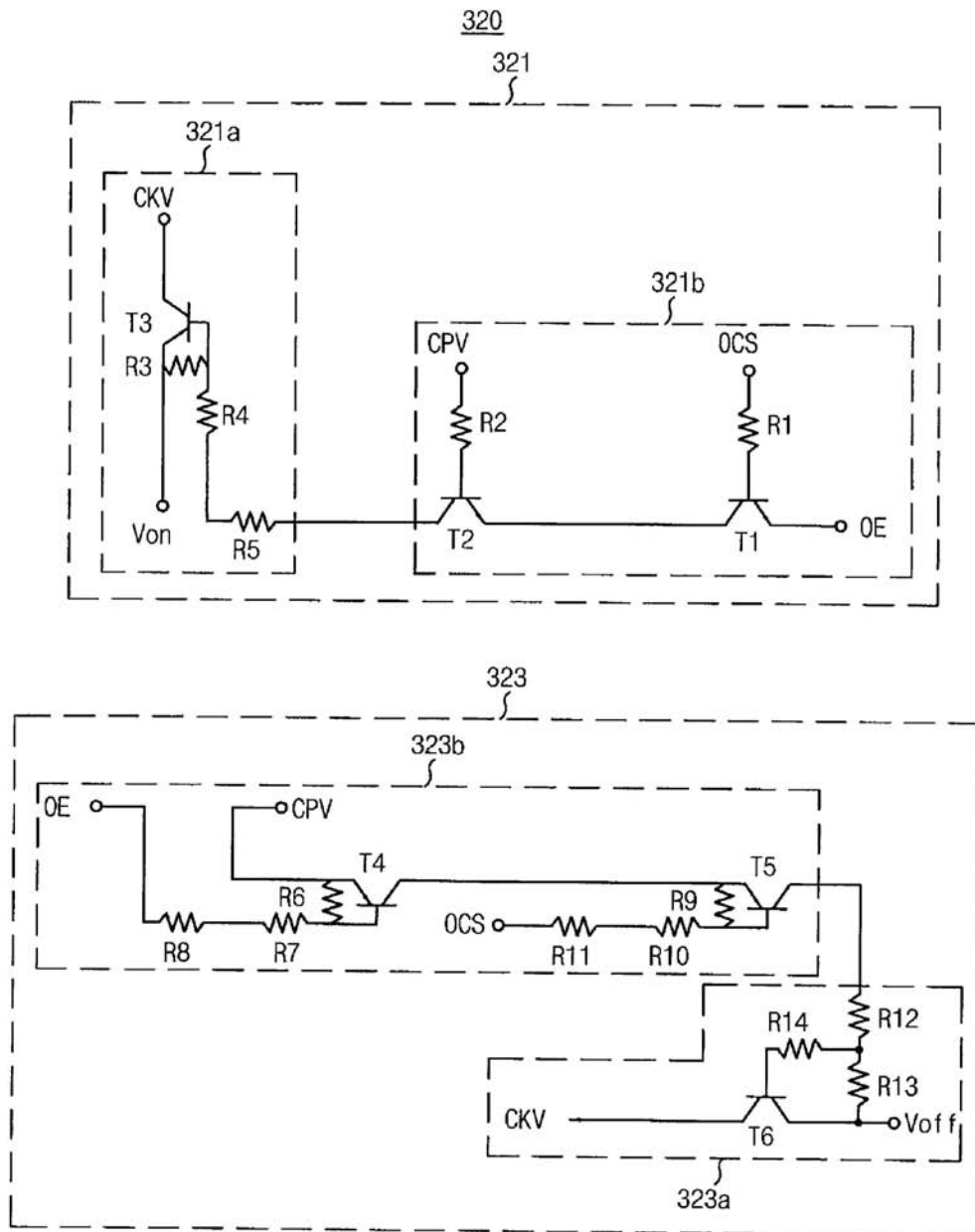
【図 4】



【 図 5 】

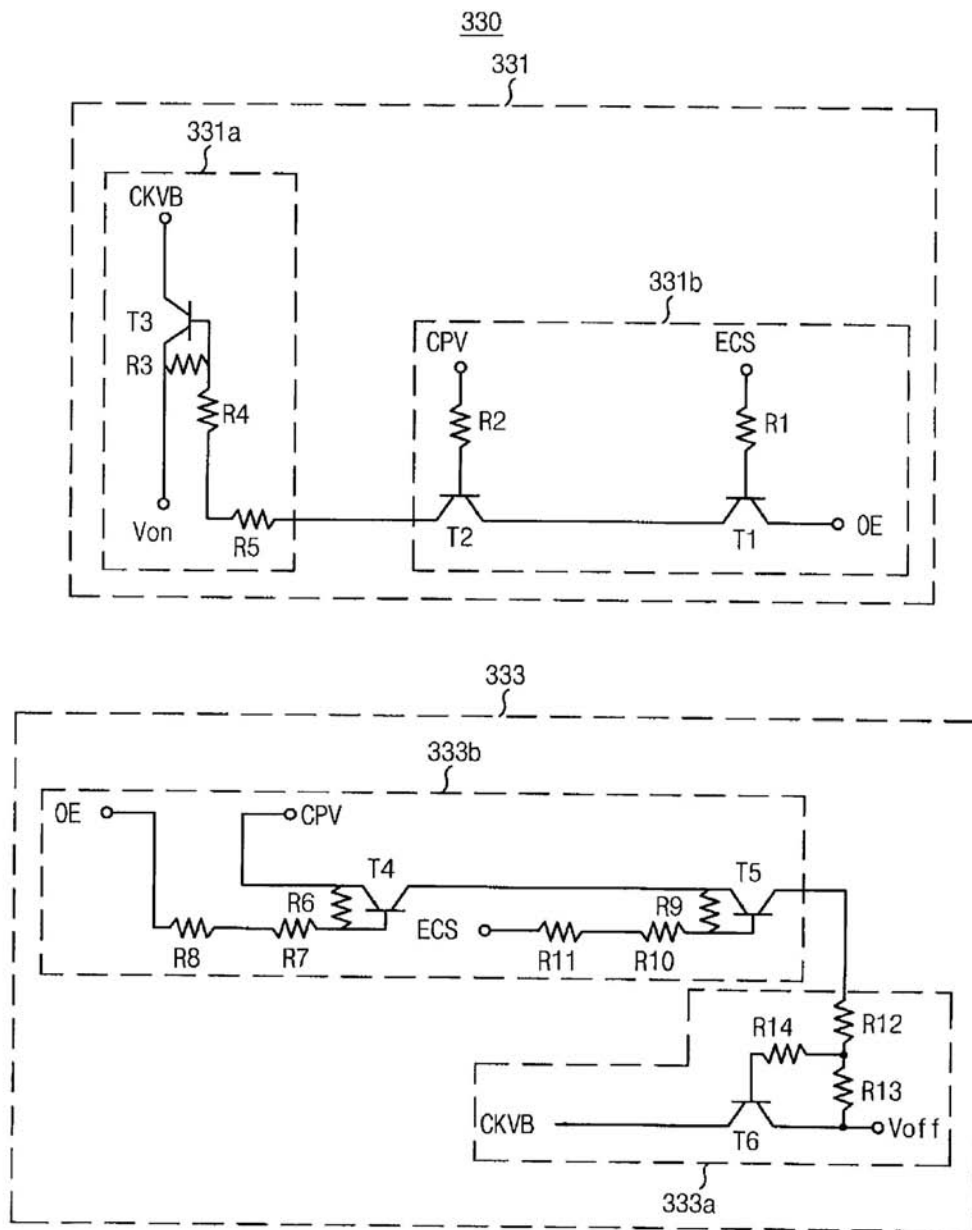


【図 6】

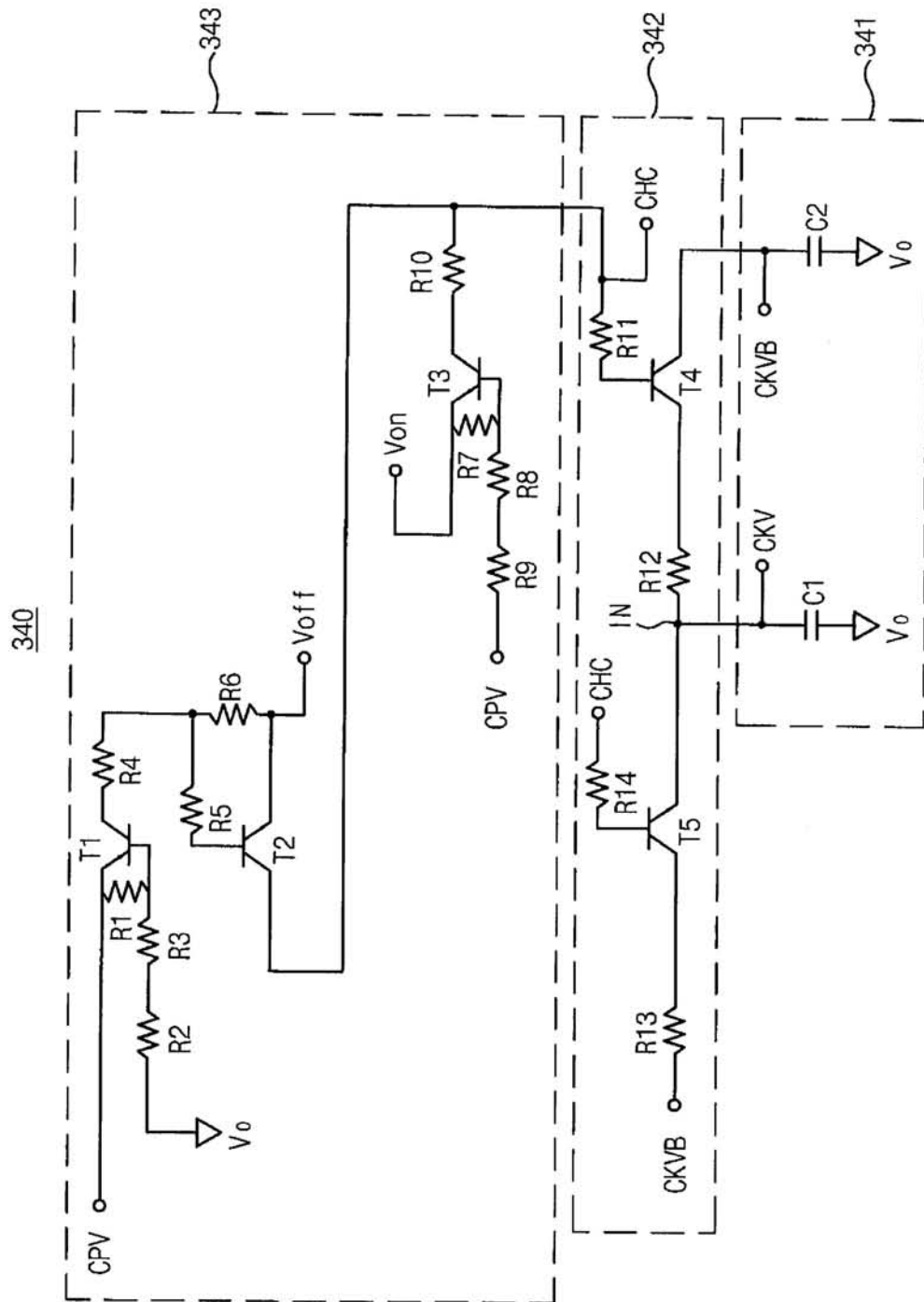




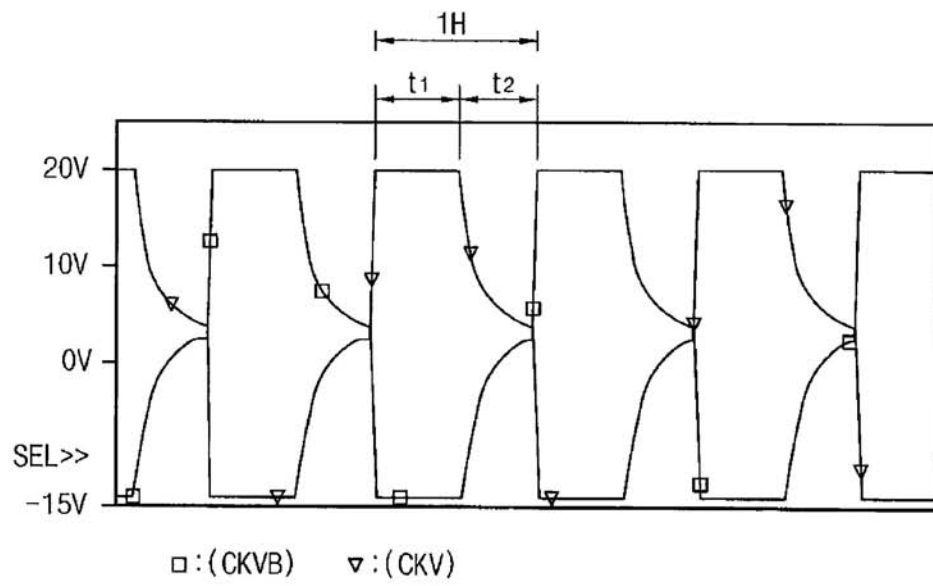
【図 7】



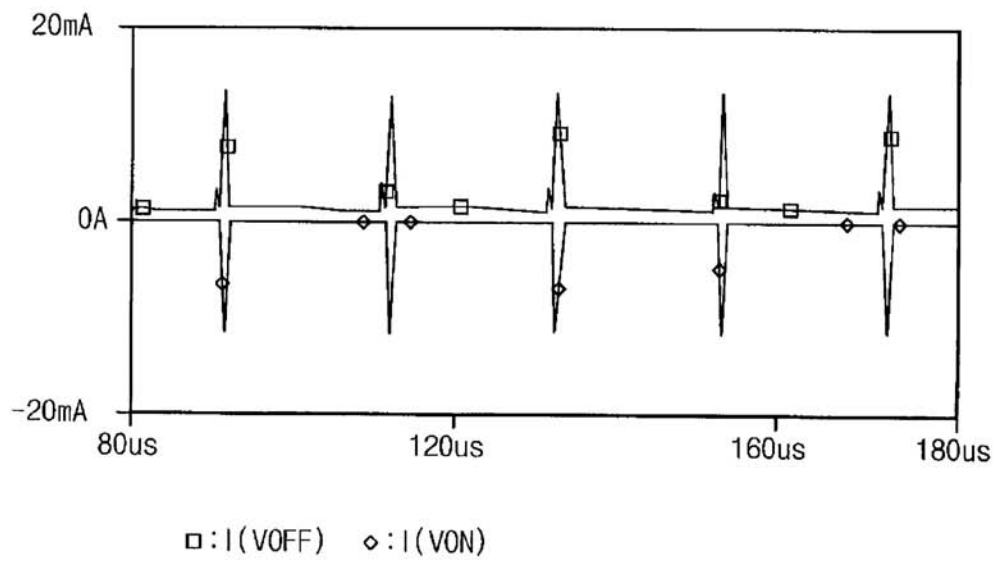
【図 8】



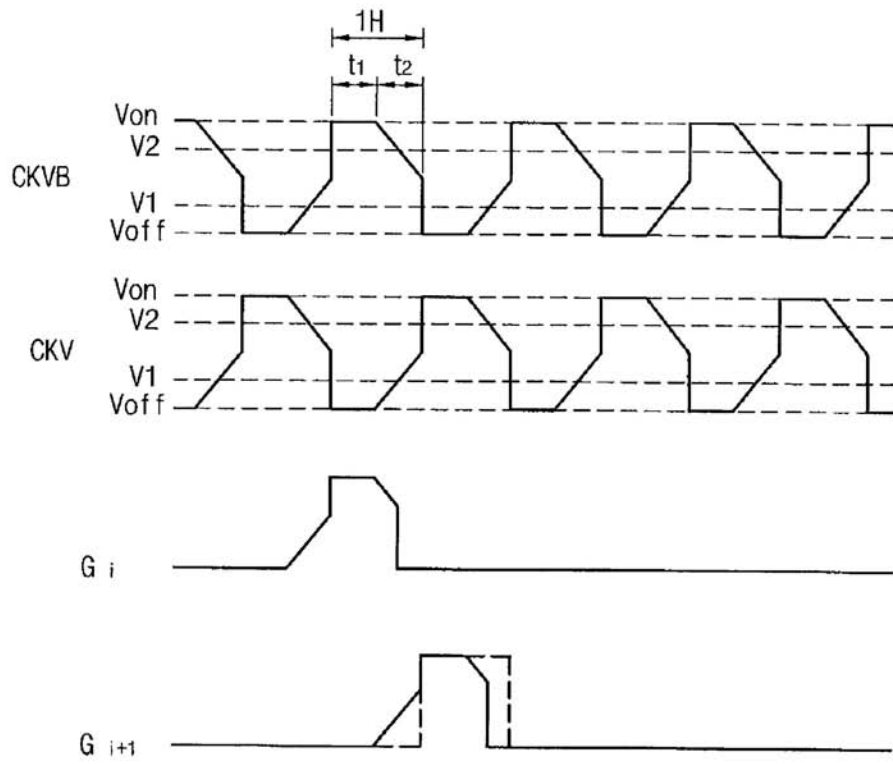
【図 9】



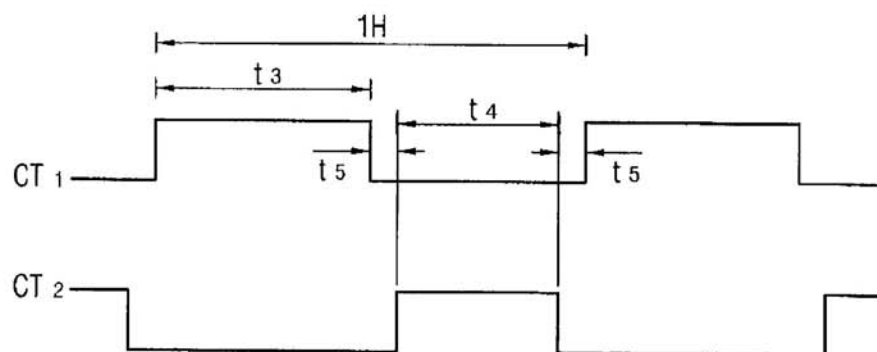
【図 10】



【 図 1 1 】



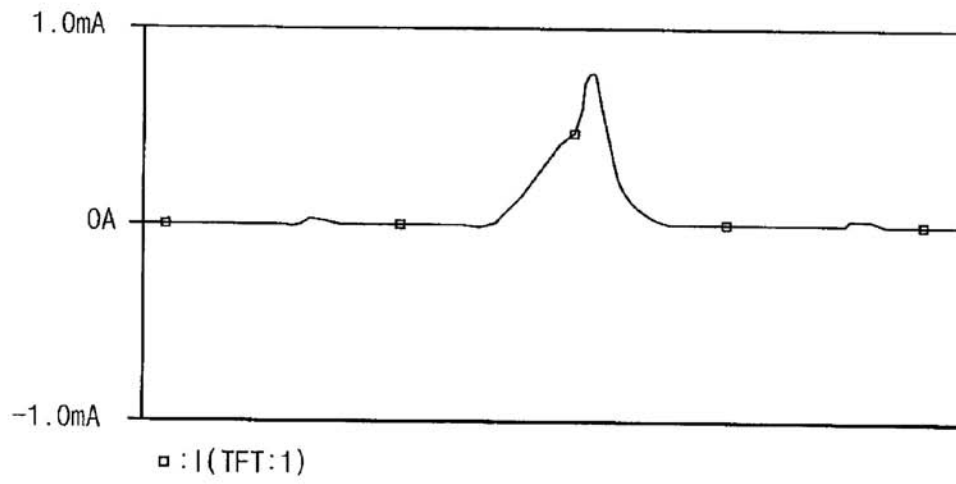
【 図 1 2 】



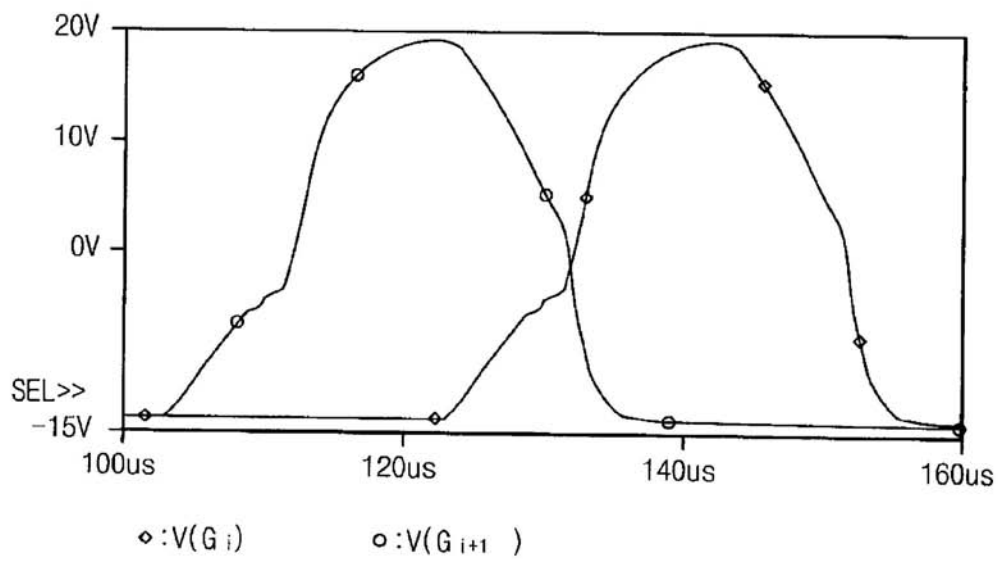
Timing diagram for CT3 and CT4 signals. The diagram shows two signals, CT3 and CT4, over a period of 1H. CT3 is a high-level signal with a pulse width of t3 and a period of 1H. CT4 is a low-level signal with a pulse width of t4 and a period of 1H. The signals are shown as a sequence of pulses. The diagram includes labels for CT3, CT4, and time intervals t3, t4, and t5.

The diagram shows a differential pair of NMOS transistors, labeled 155. The gates of both transistors are connected to a common input node  $G_{i+1}$ . The source of the left transistor is connected to ground, and the source of the right transistor is connected to a common source node labeled  $V_{off}$ . The drains of the two transistors are connected to a common output node labeled  $G_i$ . The transistors are labeled 155a and 155b for the left and right devices respectively, and 155c for the common source node.

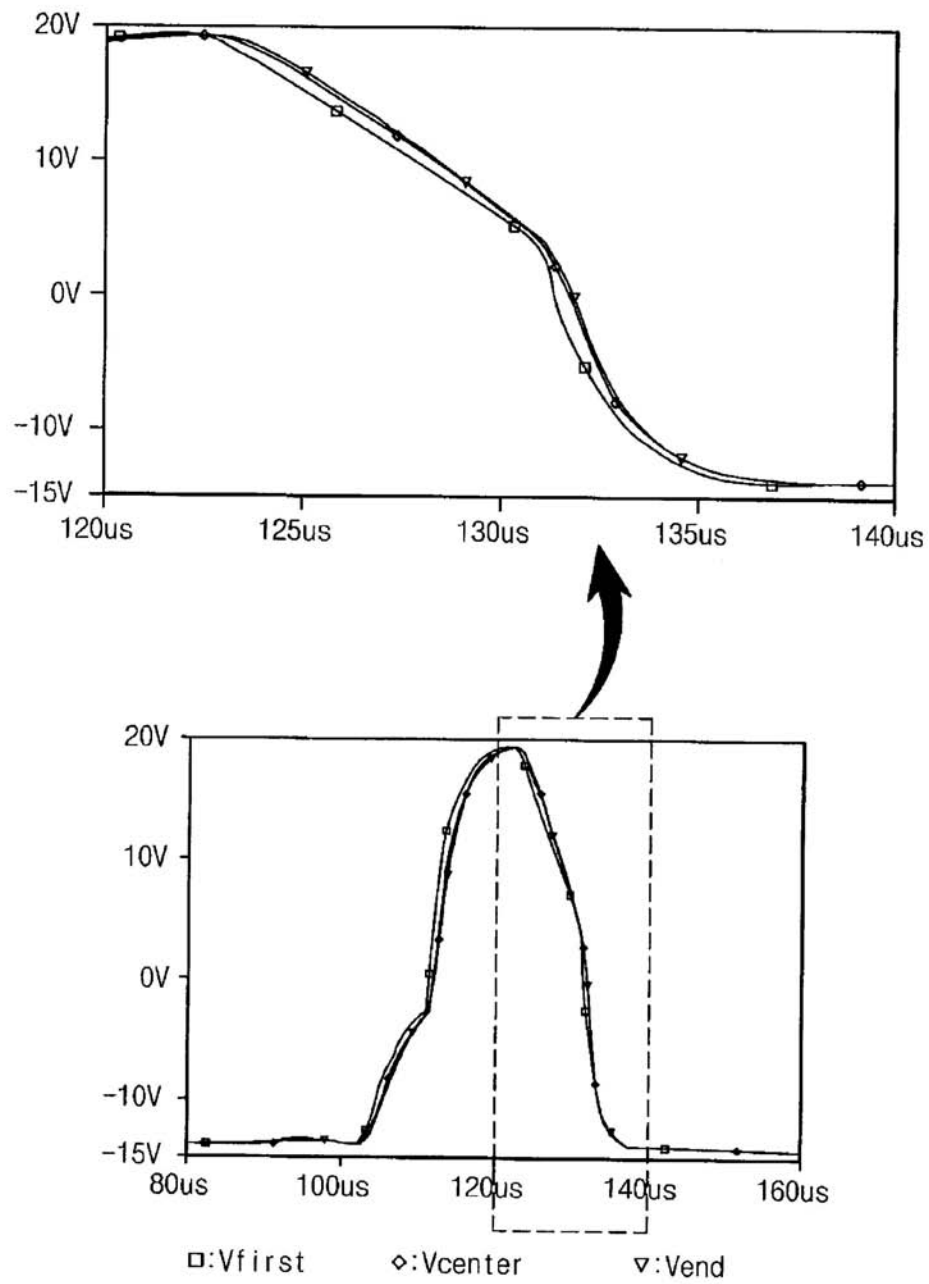
【図 16】



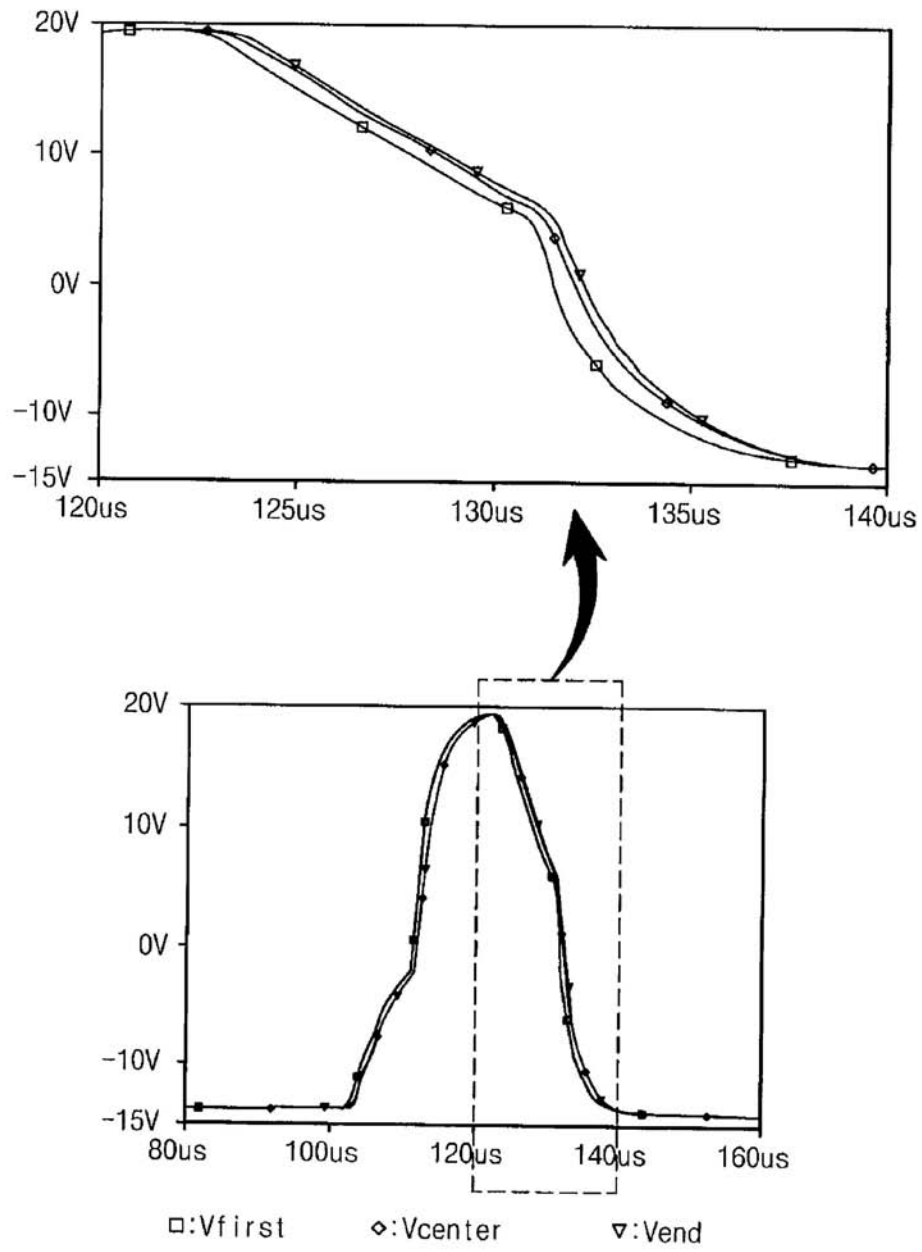
【図 17】



【図 18】

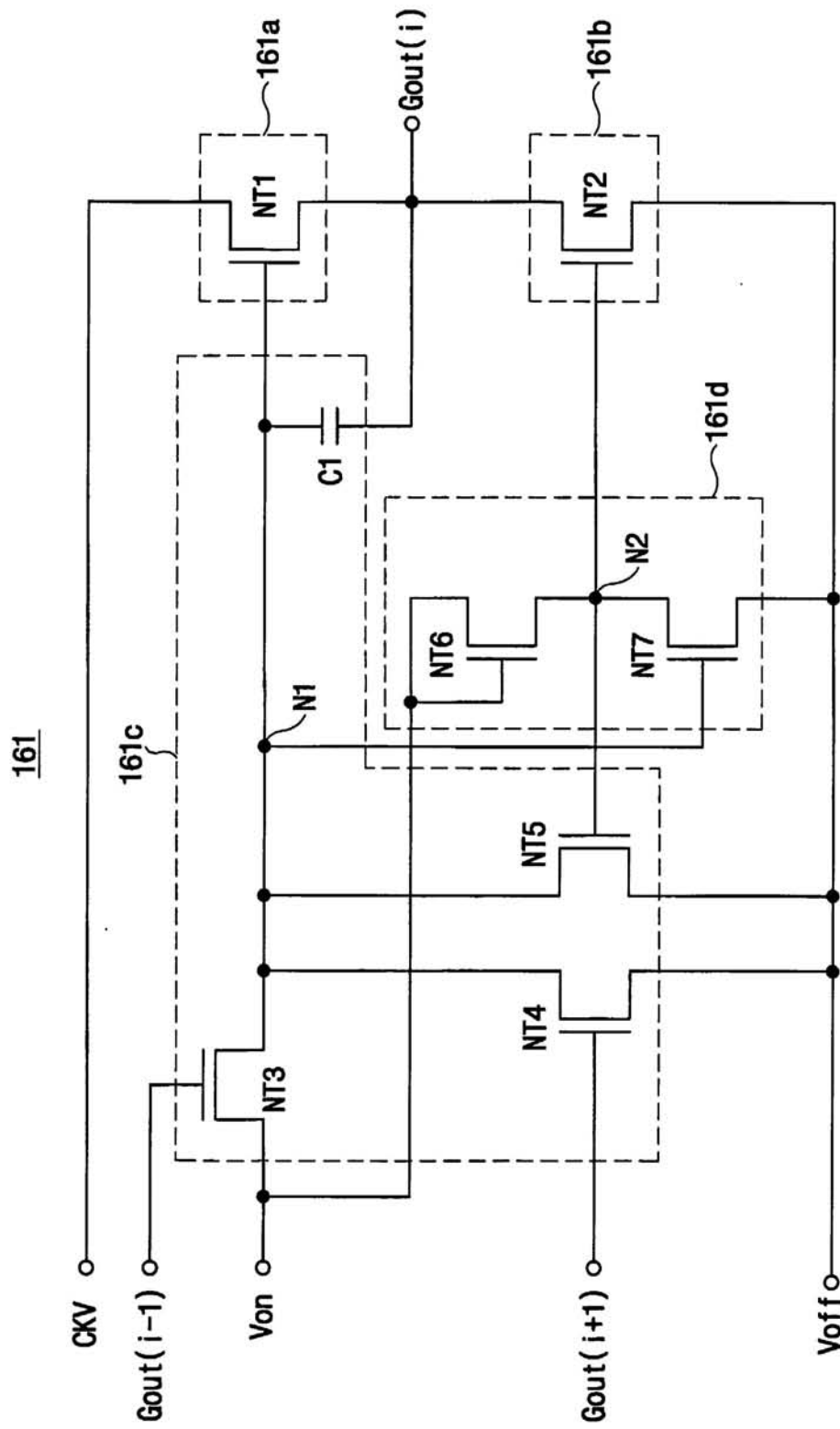


【図 19】

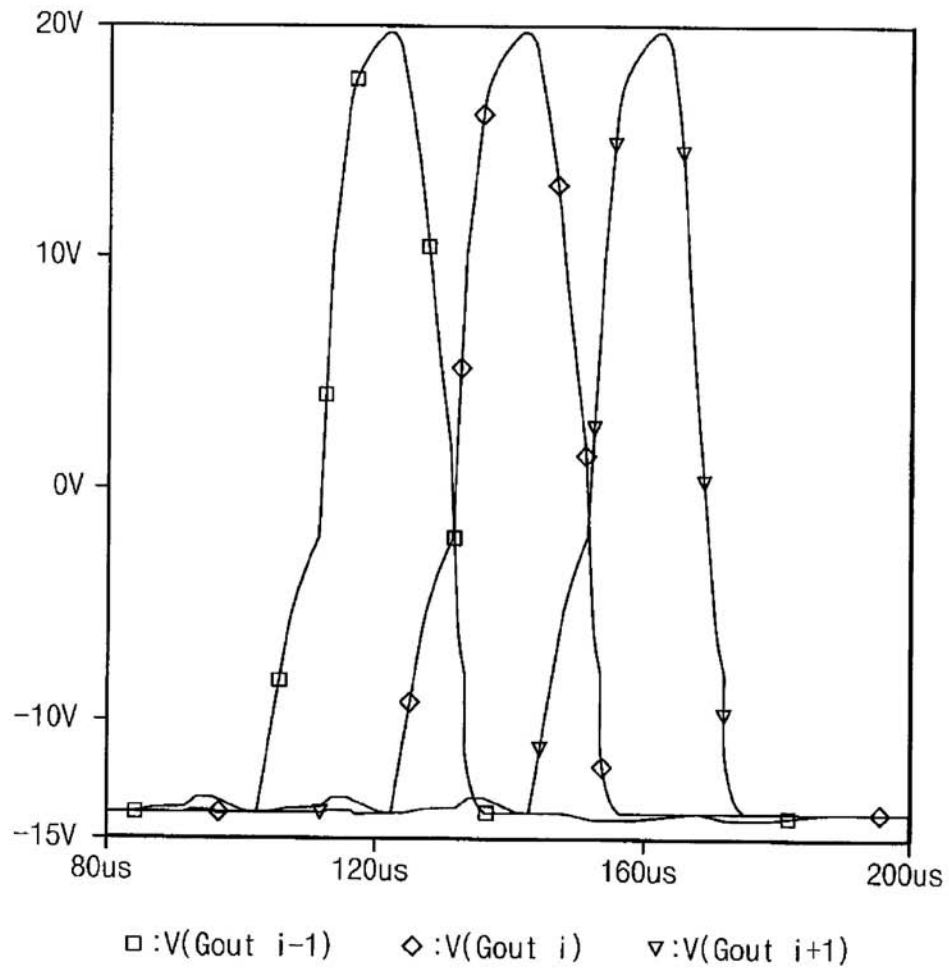




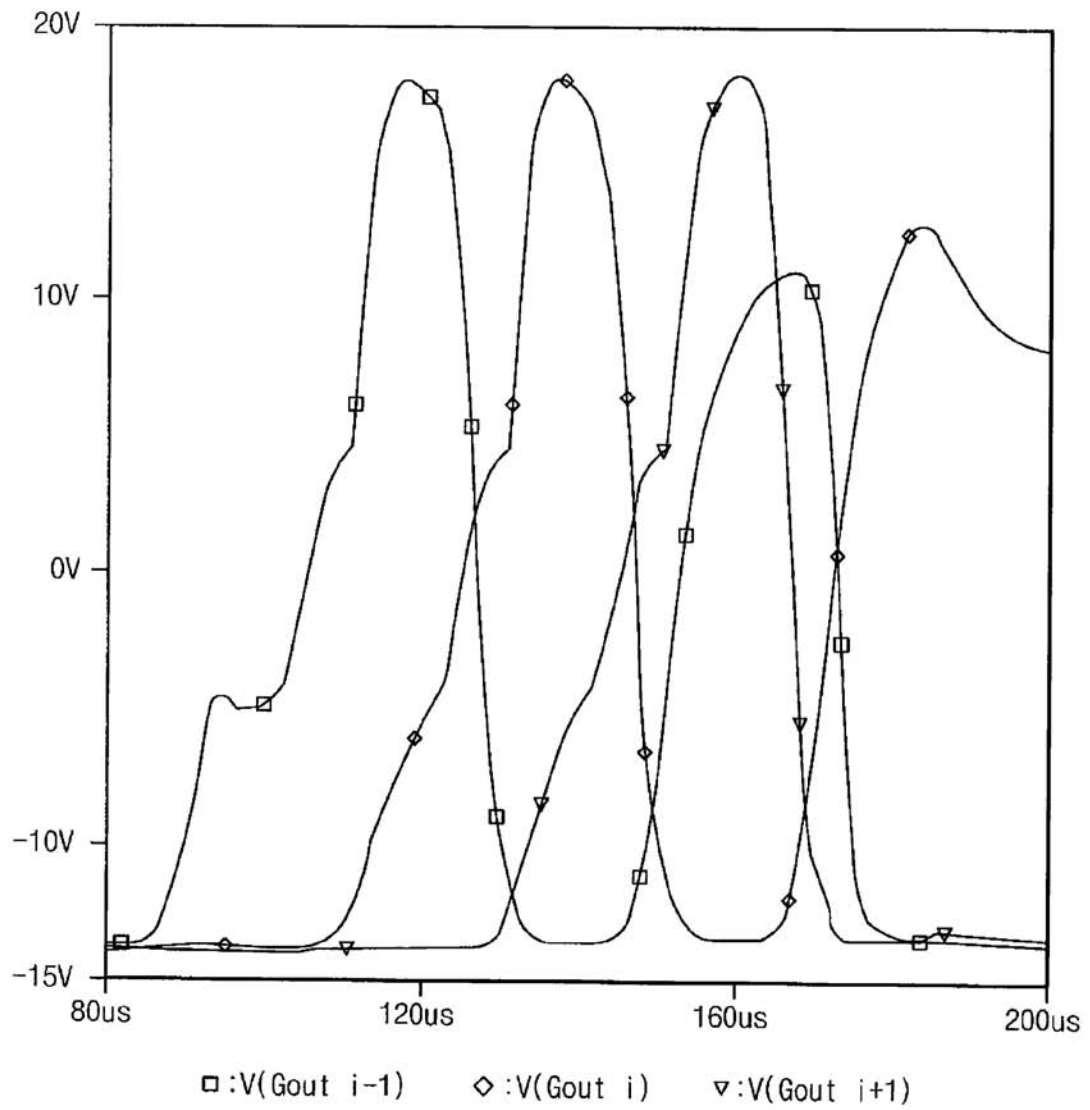
【 図 2 2 】



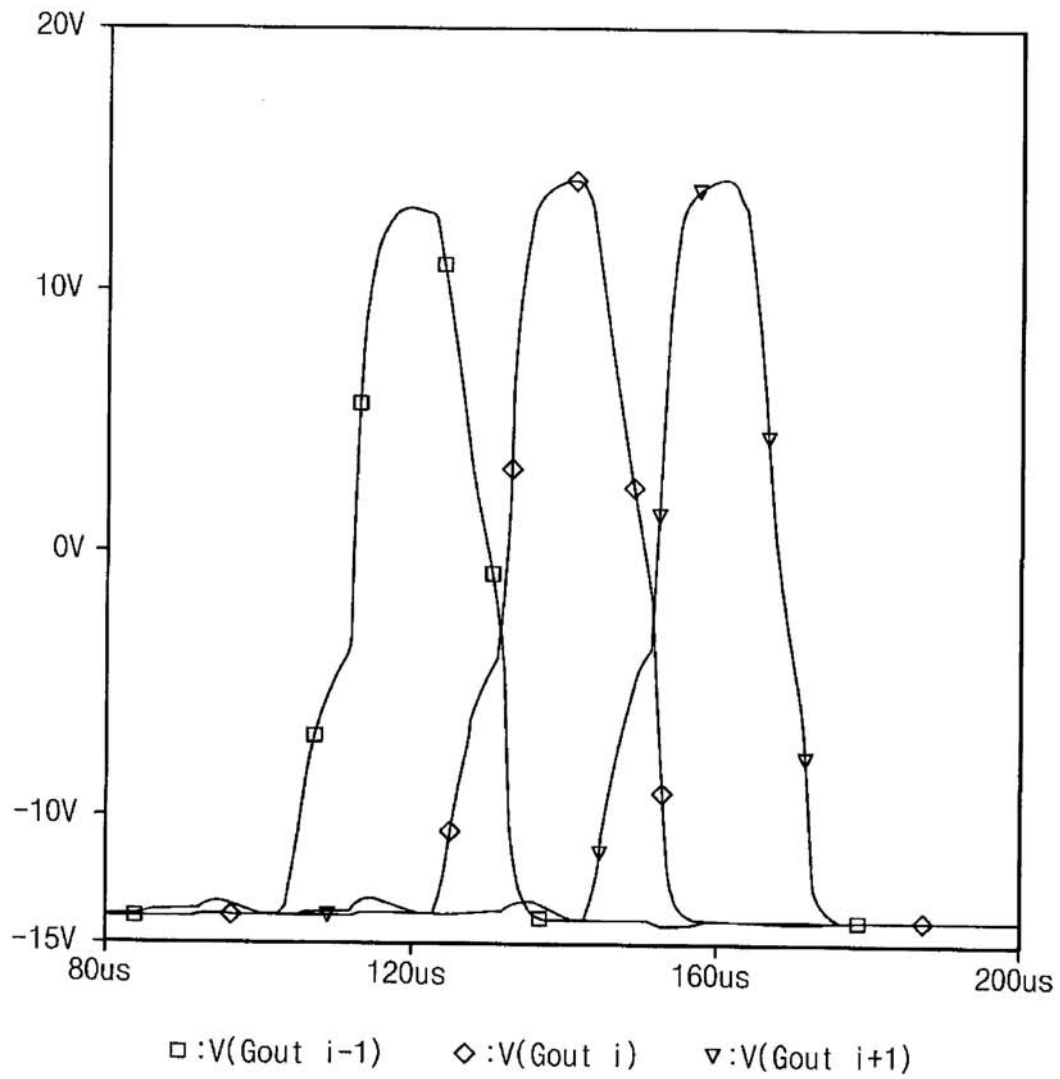
【図 23】



【図 24】



【図 25】



---

 フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20 6 2 2 G	
	G 0 9 G 3/20 6 2 2 Q	
	G 0 9 G 3/20 6 4 1 C	
	G 0 2 F 1/133 5 5 0	

(72)発明者 ムン, スン - フワン

大韓民国, ギョンギ - ド 4 4 9 - 8 4 3 , ヨンギン - シ, スジ - ウプ, サンヒョン - リ, 2 0 5  
 - 1 5 0 4 ヒュンダイ I - パーク 6 - チャ アパ - ト

F ターム(参考) 2H193 ZA04 ZB02 ZF21 ZK25

5C006 AA16 AC22 AF42 AF72 BB16 BC20 FA11

5C080 AA10 BB05 DD08 DD25 DD28 EE29 FF11 JJ02 JJ03 JJ04

JJ05

专利名称(译)	液晶表示装置		
公开(公告)号	<a href="#">JP2011221550A</a>	公开(公告)日	2011-11-04
申请号	JP2011131769	申请日	2011-06-14
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
[标]发明人	ムンスンフワン		
发明人	ムン,スン-フワン		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3677 G09G2330/08		
FI分类号	G09G3/36 G09G3/20.612.K G09G3/20.612.J G09G3/20.611.J G09G3/20.622.D G09G3/20.622.G G09G3/20.622.Q G09G3/20.641.C G02F1/133.550 G09G3/20.670.E		
F-TERM分类号	2H193/ZA04 2H193/ZB02 2H193/ZF21 2H193/ZK25 5C006/AA16 5C006/AC22 5C006/AF42 5C006/AF72 5C006/BB16 5C006/BC20 5C006/FA11 5C080/AA10 5C080/BB05 5C080/DD08 5C080/DD25 5C080/DD28 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05		
代理人(译)	山下大沽嗣		
优先权	1020020052020 2002-08-30 KR		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

提供一种具有改善的显示特性的液晶显示装置。时钟发生单元产生具有用于确定栅极驱动信号的第一间隔和用于充电和放电的第二间隔的第一和第二时钟，并将第一和第二时钟施加到栅极驱动单元，从而产生栅极驱动信号调整脉冲宽度。而且，放电晶体管形成在栅极线的一端，并且当前栅极线在操作下一条栅极线之前被放电。第一栅极驱动器设置在栅极线的一端，第二栅极驱动器设置在栅极线的另一端，以在第一栅极驱动器发生故障时操作栅极线。因此，可以在实现高速操作的同时防止栅极延迟并且防止栅极驱动信号的延迟。 点域1

