

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-217635

(P2010-217635A)

(43) 公開日 平成22年9月30日(2010.9.30)

(51) Int.Cl.
G02F 1/1368 (2006.01)F I
G O 2 F 1/1368テーマコード (参考)
2 H O 9 2

審査請求 未請求 請求項の数 3 O L (全 13 頁)

(21) 出願番号 特願2009-65659 (P2009-65659)
(22) 出願日 平成21年3月18日 (2009.3.18)(71) 出願人 000002185
ソニー株式会社
東京都港区港南1丁目7番1号
(74) 代理人 100092152
弁理士 服部 毅巖
(72) 発明者 九鬼 祐一郎
長野県安曇野市豊科田沢6925 エプソ
ンイメージングデバイス株式会社内
(72) 発明者 新井 修
長野県安曇野市豊科田沢6925 エプソ
ンイメージングデバイス株式会社内
(72) 発明者 大橋 哲也
長野県安曇野市豊科田沢6925 エプソ
ンイメージングデバイス株式会社内

最終頁に続く

(54) 【発明の名称】 液晶表示パネル

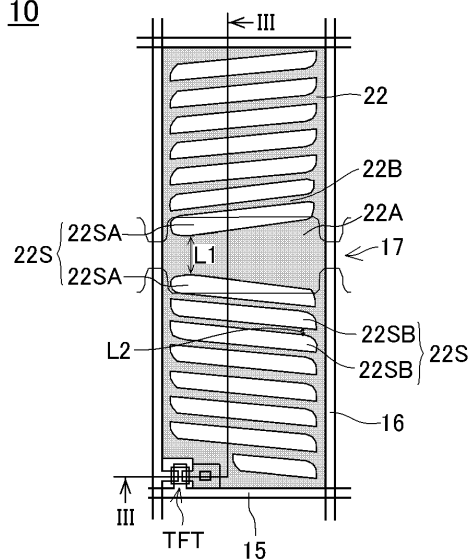
(57) 【要約】

【課題】 幅広いコモン配線を採用してフォトリソグラフィ法によりスリットを形成しても、コモン配線上に位置するスリット状開口が結合したり、隣接するスリット間に位置する帯状画素電極部分が細くなったり、切断されることがなくなるようにしたF F Sモードの液晶表示パネルを提供すること。

【解決手段】 コモン配線17と平面視で重なる画素電極22の重複部分22Aを挟んで隣接する2つのスリット状開口間22SA間の最短距離L1を、コモン配線17と平面視で重ならない画素電極22部分の任意の2つの隣接するスリット状開口22SAないし22SB間の最短距離L2よりも長く($L1 > L2$)形成する。

【選択図】 図2

10



【特許請求の範囲】

【請求項 1】

第 1 透明基板と第 2 透明基板との間に液晶層が挟持されており、前記第 1 透明基板の液晶層側には、絶縁膜を挟んで互いに異なる層に形成され、表示領域を各サブ画素領域に区画する複数の信号線及び走査線と、前記走査線間に平行に、前記走査線と同層に形成された複数のコモン配線と、前記各サブ画素領域に配置され、絶縁膜を挟んで互いに異なる層に形成された共通電極及び複数のスリット状開口が形成された画素電極と、を備えた液晶表示パネルであって、

前記コモン配線は、前記信号線と平面視で交差する部分の幅よりも前記サブ画素領域における幅が広く形成されており、前記コモン配線と平面視で重なる画素電極部分の幅は、前記コモン配線と平面視で重ならない画素電極部分の幅よりも広くされている、ことを特徴とする液晶表示パネル。

10

【請求項 2】

前記画素電極に形成される複数のスリット状開口は前記サブ画素領域の列方向の中央部を境として互いに逆方向に傾斜しており、前記コモン配線は前記サブ画素領域の列方向中央部に形成されていることを特徴とする請求項 1 に記載の液晶表示パネル。

【請求項 3】

前記画素電極のコモン配線を挟んで隣接する 2 つのスリット状開口間の最短距離は、その他の部分の隣接する 2 つのスリット状開口間の距離の 1.5 倍以上とされている、ことを特徴とする請求項 1 に記載の液晶表示パネル。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、コモン配線と導通された共通電極と、複数のスリット状開口が形成された画素電極とで液晶層に電界を印加する FFS (Fringe Field Switching) モードの液晶表示パネルに関する。詳しくは、本発明は、コモン配線が共通電極の表面又は裏面に直接接触するように形成されているとともに、このコモン配線が部分的に幅広に形成されている FFS モードの液晶表示パネルに関する。

【背景技術】

【0002】

液晶表示パネルとしては、表面にそれぞれ電極が形成された一対の透明基板で液晶層を挟持する縦電界方式のものが広く知られている。この縦電界方式の液晶表示パネルは、一方の透明基板に配置された画素電極と他方の透明基板に配置された共通電極に電圧を印加することによって液晶層に電界を発生させ、これにより液晶が再配列される特性を利用して種々の情報を表示するものである。縦電界方式の液晶表示パネルとしては TN (Twisted Nematic) モードのものが一般的であるが、視野角が狭いという問題点を有することから、VA (Vertical Alignment) モード、MVA (Multidomain Vertical Alignment) モード等、種々の改良されたモードのものも開発されている。

30

【0003】

一方、縦電界方式の液晶表示パネルとは異なり、一方の透明基板上にのみ画素電極及び共通電極を配置した横電界方式の液晶表示パネルも知られている。この横電界方式の液晶表示パネルは、IPS (In-Plane Switching) モードのものと FFS モードのものに大別される。

40

【0004】

IPS モードの液晶表示パネルは、画素電極及び共通電極を同一層に配置し、液晶層に印加する電界方向を基板にほぼ平行にすることで液晶分子を基板に平行な方向 (横方向) に再配列させるものであり、前述の縦電界方式の液晶表示パネルと比して非常に広い視野角が得られることで知られている。IPS モードの液晶表示パネルは、液晶層に電界を発生させるための画素電極と共通電極が同一層に横並びで配置されているため、画素電極上の液晶分子が十分駆動されず、透過率等の低下を招いてしまうといった問題点を有してい

50

る。

【 0 0 0 5 】

このような I P S モードの液晶表示パネルの問題点を解決するために、 F F S モードの液晶表示パネルが開発されている。この F F S モードの液晶表示パネルは、液晶層に電圧を印加するための一対の電極がそれぞれ異なる層に配置されたものである。

【 0 0 0 6 】

この F F S モードの液晶表示パネルは、 I P S モードの液晶表示パネルよりも広視野角かつ高コントラストであり、更に低電圧駆動ができると共により高透過率であるため明るい表示が可能となるという特徴を有する。加えて、 I P S モードの液晶表示パネルよりも画素電極と共通電極との重畳面積が平面視で大きいことにより大きな補助容量が副次的に得られることから、別途補助容量電極を設ける必要がないので、 I P S モードの液晶表示パネルよりも高い開口率が得られるという特徴も有する。

10

【 0 0 0 7 】

図 5 A は、従来の F F S モードの液晶表示パネルの一例を示す 1 サブ画素領域分の概略平面図である。なお、以下では上電極が画素電極として作動し、下電極が共通電極として作動するものとして説明する。図 5 A に示されるように、 F F S モードの液晶表示パネルは、アレイ基板上には、走査線 1 0 1 と信号線 1 0 2 で区画されるサブ画素領域を覆うように画素電極 1 0 3 と共通電極（図示省略）が形成され、画素電極 1 0 3 にはフリンジ電界を発生するために複数のスリット状開口（以下、単に「スリット」という）が形成される。このようなスリットを有する液晶表示パネルとしては、例えば図 5 A に示されるように、 1 サブ画素領域内で列方向上下でスリット S の傾斜方向を反転させて中央に位置するスリットをくの字形状としていわゆるデュアルドメイン化を図ったもの等があり、その他にも、より良好な画像を得るために種々のスリット形状ないしスリット配置とした液晶表示パネルが提案されている（下記特許文献 1 参照）。

20

【 0 0 0 8 】

なお、図 5 A に示されているようなデュアルドメイン化されている F F S モードの液晶表示パネルにおいては、列方向中央部は液晶の傾斜方向が互いに反対方向となる領域の境界となるために正常な画像表示ができないので、図 5 A において参照符号 1 0 4 ' で示したように、コモン配線を列方向中央部に配置することも行われている（下記特許文献 1 参照）。更に、 F F S モードの液晶表示パネルでは、明るい表示となるようにするため、画素電極に形成するスリットの幅をスリット間に存在している画素電極部分の幅よりも広くすることが一般的に行われている。

30

【 0 0 0 9 】

また、サブ画素領域には、アルミニウム等の金属材料からなるコモン配線 1 0 4 A が形成されている。これは、画素電極及び共通電極に広く採用されている I T O（Indium Tin Oxide）、 I Z O（Indium Zinc Oxide）等の透明導電性材料の電気抵抗が一般的な金属材料に比して大きいこと、共通電極とコモン配線 1 0 4 A とを導通させることにより、共通電極に印加されるコモン電位の安定化を図るためである。

【 0 0 1 0 】

このコモン配線 1 0 4 A は、走査線 1 0 1 や信号線 1 0 2 と短絡しないように、例えば、走査線 1 0 1 と信号線 1 0 2 との間に介在されるゲート絶縁膜（図示省略）の下層において、走査線 1 0 1 と平行に、そして信号線 1 0 2 と平面視で交差するように形成されている。そして、このコモン配線 1 0 4 A は、 T F T 等を避けてサブ画素領域を覆う共通電極で被覆されることにより、或いは共通電極の表面に形成されることにより、共通電極と導通されている。（下記特許文献 2 及び 3 参照）。

40

【 先行技術文献 】

【 特許文献 】

【 0 0 1 1 】

【 特許文献 1 】 特開 2 0 0 7 - 2 6 4 2 3 1 号公報

【 特許文献 2 】 特開 2 0 0 8 - 3 0 4 7 4 4 号公報

50

【特許文献 3】特開 2 0 0 8 - 3 1 0 2 1 0 号 公 報

【発明の概要】

【発明が解決しようとする課題】

【0012】

近年の液晶表示パネルの小型化、高精細化の進展に伴い、各サブ画素領域のサイズが小さくなってきている。このような状況に対応させるために、コモン配線の太さを細くすると、コモン配線の抵抗が大きくなると共にコモン配線と共通電極との間の接触面積が小さくなって接触抵抗が大きくなるので、共通電極の電位が不安定となる。そのため、コモン配線はある程度の太さを維持する必要がある。

【0013】

そこで、図 5 B に示されているように、各サブ画素領域内でのコモン配線 1 0 4 B の太さを太くすることが考えられる。なお、図 5 B においては、信号線 1 0 2 とコモン配線 1 0 4 B との交差部におけるコモン配線 1 0 4 の太さが細くされているが、これは信号線 1 0 2 とコモン配線 1 0 4 B との間に形成される寄生容量抑制のためである。このような構成とすると、コモン配線 1 0 4 B と共通電極との間の接触面積が増加し、しかも、コモン配線 1 0 4 B の電気抵抗の低減化を図ることができ、共通電極に印加される基準電位が安定化される。

【0014】

しかしながら、このような幅広なコモン配線 1 0 4 B を形成すると、図 5 B に示されているように、コモン配線 1 0 4 B と平面視で重なる画素電極 1 0 3 に形成不良箇所 P が生じ、隣接するスリット同士 S_1 及び S_2 ないし S_1 及び S_3 が繋がってしまうと共に、隣接するスリット間に形成されるべき画素電極 1 0 3 部分が切断されてしまうという新たな問題が生じることが見出された。

【0015】

このような問題点が生じる理由について、図 6 を参照して説明する。なお、図 6 A ~ 図 6 C は、幅広に形成されたコモン配線をサブ画素領域の中央に配置した場合のフォトリソグラフィー法による画素電極へのスリット形成工程を示す模式断面図である。

【0016】

コモン配線 1 0 4 B は、透明基板 1 0 6 の表面に走査線（図示省略）と同一層に形成されている。コモン配線 1 0 4 B の上層には、コモン配線 1 0 4 B の表面を被覆する共通電極と、走査線と、スイッチング素子としての T F T のゲート電極と、共通電極等の表面を被覆するゲート絶縁膜とが形成されている。更に、ゲート絶縁膜の表面には、信号線と、T F T のソース電極及びドレイン電極と、パッシベーション膜がそれぞれ形成されている（いずれも図示省略）。なお、これら共通電極、ゲート絶縁膜、パッシベーション膜等は図 6 A ~ 図 6 C においては構造物 1 0 7 として示されている。

【0017】

そして、上電極へのフォトリソグラフィー法によるスリット形成工程においては、図 6 A に示されるように、上電極となる透明導電性膜 1 0 8 の表面全体にレジストを塗布して、このレジスト膜 1 0 9 の表面全体を上電極用パターンが形成されたマスク部材 1 1 0 を用い、その上部から紫外線 UV を照射して露光処理を行っている。

【0018】

しかしながら、幅広に形成されたコモン配線 1 0 4 B の上方は、I T O や I Z O からなる共通電極、画素電極や、窒化ケイ素や酸化ケイ素からなるゲート絶縁膜、パッシベーション膜といった透明性材料でしか覆われていない。このため、上方から照射された紫外線 UV は、金属材料からなるコモン配線 1 0 4 B の表面で反射され、反射した紫外線 R - U V はコモン配線 1 0 4 B の上方にある非露光予定のレジスト部分を下方から露光してしまうことになる。その結果、図 6 B に示されるように、現像後のコモン配線 1 0 4 B の上方にあるレジストパターン 1 0 9 B の断面形状は、他の領域のレジストパターン 1 0 9 A 、 1 0 9 C に比べると、予定した形状よりもずっと細いものになってしまう。これは、コモン配線 1 0 4 B によって反射する紫外線 R - U V がレジストを余分に露光することを予測

10

20

30

40

50

してマスクを予め大きく設けるといった対策では確実に回避できない現象である。

【0019】

そして、上述のような理由により、透明導電性膜108のエッチング処理後には、図6Cに示されるように、コモン配線104Bの上方のスリットS₁が予定したよりも幅広となる結果、図5Bに示したように画素電極103に形成不良箇所Pが生じ、隣接するスリット同士が繋がってしまう（スリット間の画素電極が分断される）現象が発生する。このような現象は、画素電極の電気抵抗値の上昇の要因ともなり、良好な画像表示の妨げになってしまう。

【0020】

本発明者は、上述の問題点を解決すべく種々検討を重ねた結果、コモン配線が形成される領域は、バックライトからの光を透過しないので画像表示に寄与しない領域であって、しかも、ブラックマトリクス等により遮光される領域であるから、コモン配線と平面視で重なる位置にスリットを形成しなければ、上述のような画素電極の形成不良を抑制することができることを見出し、本発明を完成するに至ったものである。

【0021】

すなわち、本発明は、幅広なコモン配線の上方に位置する画素電極の部分に、スリットやスリット間の画素電極部分の形成不良が生じ難いFFSモードの液晶表示パネルを提供することを目的とする。

【課題を解決するための手段】

【0022】

上記目的を達成するために、本発明の液晶表示パネルは、第1透明基板と第2透明基板との間に液晶層が挟持されており、前記第1透明基板の液晶層側には、絶縁膜を挟んで互いに異なる層に形成され、表示領域を各サブ画素領域に区画する複数の信号線及び走査線と、前記走査線間に平行に、前記走査線と同層に形成された複数のコモン配線と、前記各サブ画素領域に配置され、絶縁膜を挟んで互いに異なる層に形成された共通電極及び複数のスリット状開口が形成された画素電極と、を備えた液晶表示パネルであって、前記コモン配線は、前記信号線と平面視で交差する部分の幅よりも前記サブ画素領域における幅が広く形成されており、前記コモン配線と平面視で重なる画素電極部分の幅は、前記コモン配線と平面視で重ならない画素電極部分の幅よりも広くされていることを特徴とする。

【0023】

本発明の液晶表示パネルは、前記第1透明基板の液晶層側には、絶縁膜を挟んで互いに異なる層に形成され、表示領域を各サブ画素領域に区画する複数の信号線及び走査線と、前記走査線間に平行に、前記走査線と同層に形成された複数のコモン配線と、前記各サブ画素領域に配置され、絶縁膜を挟んで互いに異なる層に形成された共通電極及び複数のスリット状開口が形成された画素電極と、を備えており、FFSモードの液晶表示パネルとして作動する。

【0024】

そして、本発明の液晶表示パネルでは、前記コモン配線は、前記信号線と平面視で交差する部分の幅よりも前記サブ画素領域における幅が広く形成されており、前記コモン配線と平面視で重なる画素電極部分の幅は、前記コモン配線と平面視で重ならない画素電極部分の幅よりも広くされている。このような構成とすることにより、フォトリソグラフィ法を適用して画素電極を形成する際に、コモン配線の上方のレジストが余分に露光されてしまっても、帯状画素電極部分の幅が狭くなることが抑制され、また、コモン配線と重ならない部分では、正常に露光されるため、帯状画素電極部分の幅が狭くなることがなく、隣接するスリット同士が繋がってしまうこともなくなる。そのため、本発明の液晶表示パネルによれば、サブ画素領域内のコモン配線を太くしたことによってコモン配線の電気抵抗が小さくなり、しかも隣接するスリット同士が繋がってしまうことに起因する画素電極の電気抵抗値の上昇が抑制されるため、画素電極に印加されるコモン電位が劣化せず、良好な表示画質が得られる液晶表示パネルとなる。

【0025】

また、本発明の液晶表示パネルにおいては、前記画素電極に形成される複数のスリット状開口は前記サブ画素領域の列方向の中央部を境として互いに逆方向に傾斜しており、前記コモン配線は前記サブ画素領域の列方向中央部に形成されていることが好ましい。

【0026】

また、本発明の液晶表示装置においては、画素電極に形成される複数のスリット状開口がサブ画素領域の列方向の中央部を境として互いに逆方向に傾斜しているので、サブ画素領域の列方向中央部を境として液晶分子の配向方向が異なる2つのドメインが形成されるから、視野角が非常に広がる。しかも、2つのドメインの境界部であるサブ画素領域の列方向の中央部は正常な画像表示ができない領域である。本発明の液晶表示パネルにおいては、このサブ画素領域の列方向の中央部にコモン配線を形成しているので、コモン配線が表示画質及び表示の明るさに悪影響を及ぼすことが抑制されるだけでなく、コモン配線と走査線との間の短絡も抑制されるようになる。

【0027】

また、本発明の液晶表示パネルにおいては、前記画素電極のコモン配線を挟んで隣接する2つのスリット状開口間の最短距離は、その他の部分の隣接する2つのスリット状開口間の距離の1.5倍以上とされていることが好ましい。

【0028】

画素電極のコモン配線を挟んで隣接する2つのスリット状開口間の最短距離がその他の部分の隣接する2つのスリット状開口間の距離の1.5倍以上とされていれば、フォトリソグラフィ法を適用して画素電極を形成する際にコモン配線の上方のレジストが余分に露光されてしまっても、コモン配線を挟んで隣接する2つのスリット状開口同士が繋がってしまうことがなくなる。なお、画素電極のコモン配線を挟んで隣接する2つのスリット状開口間の最短距離の上限値、その他の部分の隣接する2つのスリット状開口間の距離の1.5倍以上であれば任意であるが、あまり大きくても液晶分子に表示に有効なフリンジ電界を与えることができなくなって表示が暗くなるので、2倍以下が好ましい。

【図面の簡単な説明】

【0029】

【図1】本実施形態の液晶表示パネルのアレイ基板を示す模式平面図である。

【図2】本実施形態の液晶表示パネルの1サブ画素領域分の平面図である。

【図3】図2のIII-III線断面図である。

【図4】本実施形態の液晶表示パネルの製造手順を示す工程図である。

【図5】図5Aは従来の液晶表示パネルの1サブ画素領域の平面図であり、図5Bは従来の液晶表示パネルにおいてコモン配線を幅広とした場合の1サブ画素領域の平面図である。

【図6】液晶表示パネルにおける画素電極へのスリット形成工程を示す図である。

【発明を実施するための形態】

【0030】

以下、図面を参照して本発明の最良の実施形態を説明する。但し、以下に示す実施形態は、本発明の技術思想を具体化するための液晶表示パネルを例示したものであって、本発明をこの液晶表示パネルに特定することを意図するものではなく、特許請求の範囲に含まれるその他の実施形態にも等しく適応し得るものである。なお、この明細書における説明のために用いられた各図面においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならせて表示しており、必ずしも実際の寸法に比例して表示されているものではない。

【0031】

本実施形態に係るFFSモードの液晶表示パネル10を図1～図4を用いて説明する。この液晶表示パネル10の概略構成は、図3に示すように、液晶層LCがアレイ基板AR及びカラーフィルタ基板CFとで挟持され、液晶層LCの厚みは柱状スペーサー（図示省略）によって均一に維持されている。そして、アレイ基板ARの背面及びカラーフィルタ基板CFの前面にはそれぞれ偏光板が形成されており、更に、アレイ基板ARの背面

側にはバックライトが配置（いずれも図示省略）されている。

【0032】

この液晶表示パネル10は、図1に示すように、各種の画像が表示される表示領域DAと、表示領域DAを取り囲む額縁領域PFとを備え、この額縁領域PFの一端部にドライバーICを載置するためのドライバー接続用端子部Drと、外部機器と接続するための外部機器接続用端子部TPとが形成されている。そして、額縁領域PFには、表示領域DAの走査線をドライバー接続用端子部Drへ引き回す走査線引き回し配線11と、信号線をドライバー接続用端子部Drへと引き回す信号線引き回し配線12と、共通電極となる下電極と導通されるコモン配線をドライバー接続用端子部Dr及び外部機器接続用端子部TPへと引き回すコモン引き回し配線13とが形成されている。

10

【0033】

次に、図2及び図3を参照してアレイ基板ARの詳細構成について説明する。アレイ基板ARは、ガラスや石英、プラスチック等の透明性絶縁材料からなる第1透明基板14を基体としている。この第1透明基板14の液晶層LC側には、複数の走査線15及び信号線16が互いに交差するように配置されており、これにより表示領域DAが複数のサブ画素領域に区画されている。

【0034】

走査線15は、アルミニウム、アルミニウム合金、モリブデン等の金属材料からなり、第1透明基板14の表面において行方向に互いに平行となるように形成されている。走査線15の一部は部分的に幅広とされ、走査線15と信号線16との交差部近傍まで延在されて、TFTのゲート電極Gを構成している。また、この走査線15の形成時に、図1に示した額縁領域PFの走査線引き回し配線11が同時一体形成され、これにより走査線15がドライバー接続用端子部Drと導通されている。

20

【0035】

また、第1透明基板14の表面には、コモン配線17が形成されている。このコモン配線17は、走査線15と同一材料で同時形成されるものであり、走査線15と信号線16との間に介在されるゲート絶縁膜19の下層において、走査線15との接触を避けて走査線15と平行に、かつ信号線16と平面視で交差するように形成されている。本実施形態では、コモン配線17と走査線15との間の短絡を抑制する目的も含めて、コモン配線17はサブ画素領域のほぼ中央に配置されている。そして、このコモン配線17の形成時に、図1に示した額縁領域PFのコモン引き回し配線13が同時一体形成され、これによりコモン配線17がドライバー接続用端子部Dr及び外部機器接続用端子部TPと導通されている。

30

【0036】

また、それぞれのサブ画素領域毎に、第1透明基板14の露出した表面と共にコモン配線17の表面を被覆するように、ITOやIZOからなる共通電極18が形成されている。そして、上記走査線15、ゲート電極G、共通電極18及び露出している第1透明基板14の表面は、窒化ケイ素や酸化ケイ素等の透明性絶縁材料からゲート絶縁膜19で被覆されている。更に、ゲート絶縁膜19の表面には平面視でゲート電極Gと重なる位置に非晶質シリコンや多結晶シリコン等からなる半導体層20が形成されている。

40

【0037】

また、ゲート絶縁膜19の表面には、アルミニウム、アルミニウム合金、モリブデン等の金属材料からなる複数の信号線16が、列方向に互いに平行となるように形成されている。この信号線16の一部はTFT形成領域まで延在されており、この延在部分は、半導体層20の表面と部分的に接触されており、TFTのソース電極Sを構成している。また、この信号線16の形成時に、図1に示した額縁領域PFの信号線引き回し配線12が同時一体形成され、これにより信号線16がドライバー接続用端子部Drと導通されている。

【0038】

更に、ゲート絶縁膜19の表面には、TFTを構成するドレイン電極Dが形成されてい

50

る。このドレイン電極 D は、信号線 16 及びソース電極 S と同一の材料でこれらと同時に形成され、チャンネル領域を形成するためにソース電極 S と所定距離隔てて半導体層 20 と部分的に接触されている。そして、上記ゲート電極 G、ゲート絶縁膜 19、半導体層 20、ソース電極 S 及びドレイン電極 D によってスイッチング素子としての TFT が構成される。

【0039】

上述した信号線 16、ソース電極 S、ドレイン電極 D、TFT のチャンネル領域、露出しているゲート絶縁膜 19 の表面は、例えば窒化ケイ素や酸化ケイ素等の透明性絶縁材料からなるパッシベーション膜 21 で被覆されている。そして、このパッシベーション膜 21 を覆うようにして、サブ画素領域毎に複数のスリット 22 S が設けられた画素電極 22 が形成されている。この画素電極 22 は、共通電極 18 と同じく、ITO ないし IZO 等の透明導電性材料からなり、パッシベーション膜 21 を貫通してドレイン電極 D に達するように設けられたコンタクトホール 21 CH を経てドレイン電極 D と導通されている。更に、画素電極 22 の表面は配向膜（図示省略）で被覆されている。なお、画素電極 22 及びスリット 22 S の具体的構成については後述する。

10

【0040】

次にカラーフィルター基板 CF について説明する。図 3 に示されるように、カラーフィルター基板 CF は、ガラスや石英、プラスチック等の透明性絶縁材料からなる第 2 透明基板 23 を基体としている。この第 2 透明基板 23 には、サブ画素領域毎に異なる色の光（R、G、B あるいは無色）を透過するカラーフィルター層 24 とブラックマトリクス 25 が形成されている。この例では、ブラックマトリクス 25 は、TFT 形成領域や走査線の上方領域のみならず、コモン配線 17 の上方にも配置されている。また、カラーフィルター層 24 とブラックマトリクス 25 を覆うようにしてトップコート層 26 が形成されており、トップコート層 26 を覆うようにして配向膜（図示省略）が形成されている。

20

【0041】

そして、上述のように形成されたアレイ基板 AR とカラーフィルター基板 CF と対向配置させ、周縁部をシール材（図示省略）によってシールし、液晶層 LC をアレイ基板 AR とカラーフィルター基板 CF の間に形成された密封エリア内に封止することにより本実施形態の液晶表示パネル 10 が得られる。

【0042】

ここで、本実施形態の FFS モードの液晶表示パネル 10 におけるコモン配線 17、画素電極 22 及びスリット 22 S の具体的構成について詳細に説明する。この画素電極 22 の複数のスリット 22 S は、図 2 に示されるように、サブ画素領域の列方向中央部を中心として上側と下側とで傾斜方向が互いに反対方向となっており、これによりデュアルドメイン化を達成している。そして、コモン配線 17 は、正常な画像表示ができない領域である 2 つのドメインの境界部、すなわち、サブ画素領域の列方向中央部に形成されている。このような構成とすると、コモン配線 17 と走査線 15 との間の短絡を抑制することもできるようになる。また、画素電極 22 の各スリット 22 S の間には帯状画素電極部分 22 A、22 B が形成されている。ここでは、表示が明るくなるようにするため、各スリット 22 S の幅は、コモン配線 17 と平面視で重ならないスリット 22 S B 間に存在している

30

40

【0043】

また、本実施形態の液晶表示パネル 10 では、コモン配線 17 と平面視で重なる帯状画素電極部分 22 A が、その他の帯状画素電極部分 22 B よりも幅広となされている。すなわち、幅広なコモン配線 17 と平面視で重なる帯状画素電極部分 22 A を挟んで隣接する 2 つのスリット 22 S A 間の最短距離 L1 は、幅広なコモン配線 17 と平面視で重ならない部分の任意の 2 つの隣接するスリット 22 S B 間の最短距離 L2 よりも長くなっている。より具体的には、この例では L1 は L2 の約 1.5 倍程度とされている。

【0044】

このように、サブ画素領域の中央にスリットを形成せず、 $L1 > L2$ となる構成とする

50

ことにより、フォトリソグラフィー法を適用して画素電極を形成する際に、コモン配線 17 の上方のレジストが余分に露光されてしまっても、その他の部分では正常に露光されるから、帯状画素電極部分 22 A ないし 22 B の幅が狭くなることが抑制され、また、隣接するスリット 22 S A ないし 22 S B 同士が繋がってしまうことがなくなる。それによって、画素電極 22 の電気抵抗値の上昇が抑制されるため、良好な画像表示が可能となるという効果も生じる。なお、幅広なコモン配線 17 が形成される領域は、バックライトの光を透過しないので画像表示に寄与しない領域としてブラックマトリクス等により遮光される領域であるから、上述のように、コモン配線 17 の上方にはスリットを形成しなくても特段の不利はない。

【0045】

なお、この例では、幅広なコモン配線 17 の上方領域にもスリット 22 S A の一部が差し掛かって形成されている例を示したが、このコモン配線 17 の上方領域にはスリットを全く形成しないようにしてもよい。また、この例では、スリットの形状は全てバー状とされているが、走査線 15 或いは信号線 16 に対して全て「く」字状となるように屈曲部を有する形状とするなど、様々な形状のものを適用することができる。更に、スリットの配置として、サブ画素領域の列方向中央部を中心として上側と下側とで傾斜方向が反転されている例を示したが、一方向のみに傾いているものとしてもよく、この場合においてはコモン配線 17 をサブ画素の列方向上下に位置している走査線の何れか一方側に寄せて配置してもよい。

【0046】

次に、図 4 を参照して、本実施形態の液晶表示パネル 10 の製造工程について説明する。まず、第 1 透明基板 14 の表面全体に亘って例えば Al / Mo の 2 層構造の金属薄膜を形成した後、フォトリソグラフィー法及びエッチング法によって、複数本の走査線 15 と、複数本の幅広なコモン配線 17 とを、図 2 に示したように互いが平行になるように、かつコモン配線 17 がサブ画素領域の中央に位置するように形成する。この際、走査線 15 の一部が部分的に幅広とされて走査線 15 と信号線 16 との交差部近傍まで延在されることにより TFT のゲート電極 G が同時に形成される（図 4 A）。

【0047】

次いで、上記工程により得られた基板の表面全体を、スパッタリング法によって例えば ITO からなる透明導電性膜で被覆し、フォトリソグラフィー法及びエッチング法によって下電極となる共通電極 18 を形成する（図 4 B）。この共通電極 18 はコモン配線 17 の幅広部分と直接接触されることにより導通されているが、走査線 15 ないしゲート電極 G とは導通されないように、かつ信号線 16 と平面視で重複しないようにサブ画素領域毎に独立したものとして形成されている。

【0048】

次いで、上記工程により得られた基板の表面全体を、プラズマ CVD 法によって窒化ケイ素又は酸化ケイ素からなるゲート絶縁膜 19 で被覆する（図 4 C）。

【0049】

次いで、プラズマ CVD 法により、たとえばアモルファス・シリコン（以下「a-Si」という。）層及びオーミット層となる n^+ a-Si 層をゲート絶縁膜 19 の表面全体に亘って形成した後に、フォトリソグラフィー法及びエッチング法によって、TFT 形成領域に a-Si 層及び n^+ a-Si 層からなる半導体層 20 を形成する（図 4 D）。

【0050】

次いで、上記工程により得られた基板の表面全体を、例えば Mo / Al / Mo の 3 層構造の金属薄膜で被覆した後、フォトリソグラフィー法及びエッチング法によって、TFT のソース電極 S（信号線 16 の一部）とドレイン電極 D を形成する（図 4 E）。このソース電極 S 部分及びドレイン電極 D 部分は、いずれも半導体層 20 の表面に部分的に重なっており、両電極間に被覆されていない半導体層 20 の露出領域が TFT のチャネル領域 TFT-ch となる。

【0051】

次いで、上記工程により得られた基板の表面全体を、プラズマＣＶＤ法によって、窒化ケイ素又は酸化ケイ素からなるパッシベーション膜２１で被覆した後、ドレイン電極Ｄと接触する箇所のパッシベーション膜２１にプラズマエッチング法によってコンタクトホール２１ＣＨを形成してドレイン電極Ｄの一部を露出させる（図４Ｆ）。

【００５２】

次いで、上記工程により得られた基板の表面全体を、スパッタリング法によって例えばＩＴＯからなる透明導電性膜２２０で被覆する（図４Ｇ）。そして、フォトリソグラフィー法及びエッチング法によって、図２に示したように、幅広なコモン配線１７と平面視で重なる帯状画素電極部分２２Ａが、その他の帯状画素電極部分２２Ｂよりも幅広となったスリット２２ＳＡを有する画素電極２２を形成する（図４Ｈ）。なお、このような幅広な帯状画素電極部分２２Ａは、露光時にコモン配線１７と平面視で重なる領域に配置されるマスクのパターン部分を、通常よりも若干大きくすることにより容易に形成することができる。また、この際に画素電極２２が、パッシベーション膜２１のコンタクトホール２１ＣＨを経てドレイン電極と導通される。

【００５３】

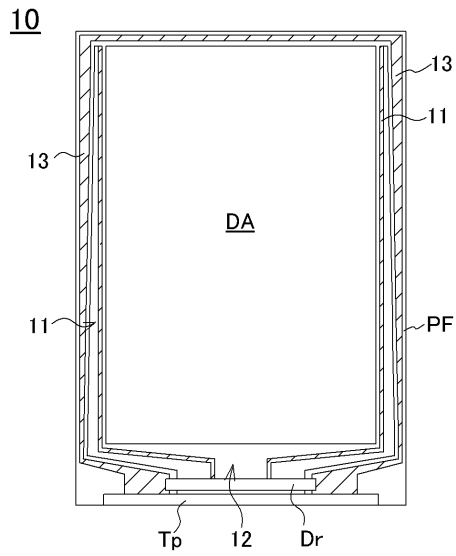
更に、この表面全体に亘り所定の配向膜（図示せず）を形成することによりアレイ基板ＡＲが完成される。そして、このようにして製造されたアレイ基板ＡＲと別途製造されたカラーフィルター基板ＣＦとを対向させ、周囲をシール材でシールして両基板間に液晶を注入することにより実施例に係るＦＦＳモードの液晶表示パネル１０が得られる。

【符号の説明】

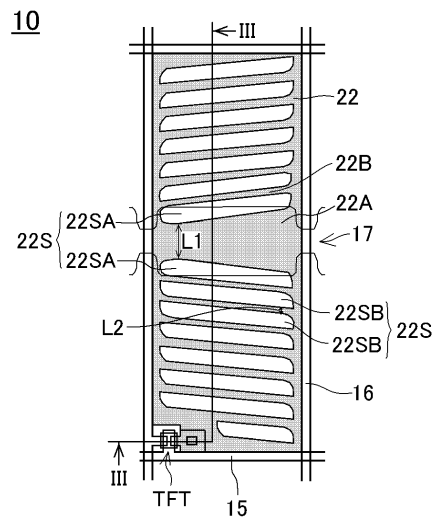
【００５４】

１０…液晶表示パネル １１…走査線引き回し配線 １２…信号線引き回し配線 １３…コモン引き回し配線 １４…第１透明基板 １５…走査線 １６…信号線 １７…コモン配線 １８…共通電極 １９…ゲート絶縁膜 ２０…半導体層 ２１…パッシベーション膜 ２１ＣＨ…コンタクトホール ２２…画素電極 ２２Ａ、２２Ｂ…帯状画素電極部分 ２２Ｓ、２２ＳＡ、２２ＳＢ…画素電極のスリット ２３…第２透明基板 ２４…カラーフィルター層 ２５…ブラックマトリクス ２６…トップコート層 ＡＲ…アレイ基板 ＬＣ…液晶層 ＣＦ…カラーフィルター基板 ＤＡ…表示領域 ＰＦ…額縁領域 Ｄｒ…ドライバー接続用端子部 ＴＰ…外部機器接続用端子部

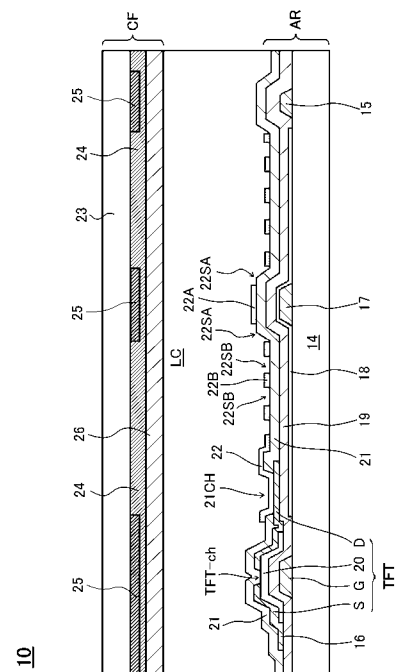
【図 1】



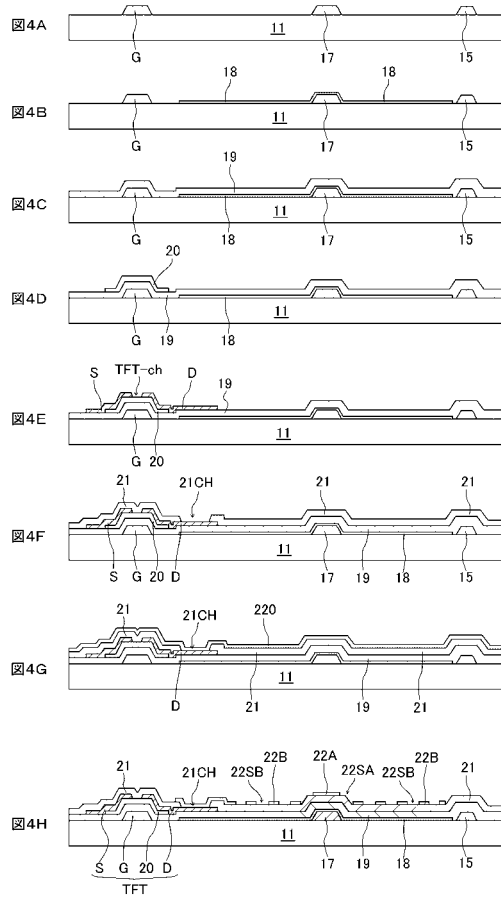
【図 2】



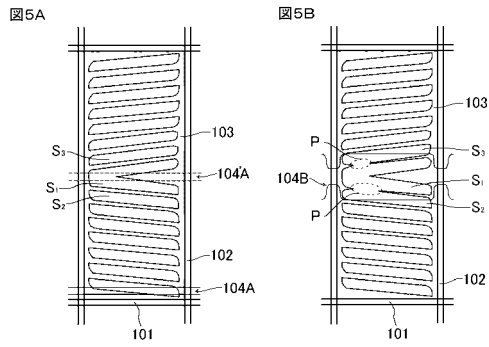
【図 3】



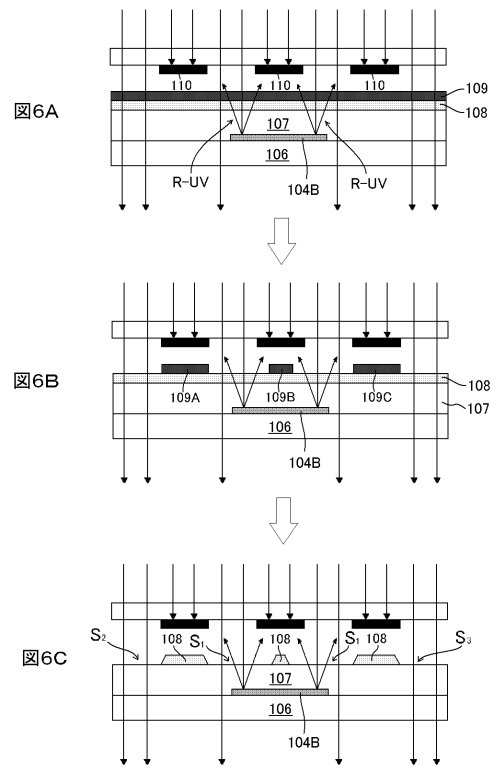
【図 4】



【 図 5 】



【 図 6 】



フロントページの続き

F ターム(参考) 2H092 GA13 GA32 GA40 JA24 JA34 JA37 JA41 JA46 JB22 JB31
JB56 JB57 MA08 MA13 MA17 NA25 PA02 PA08 QA05

专利名称(译)	液晶显示面板		
公开(公告)号	JP2010217635A	公开(公告)日	2010-09-30
申请号	JP2009065659	申请日	2009-03-18
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	九鬼祐一郎 新井修 大構哲也		
发明人	九鬼 祐一郎 新井 修 大構 哲也		
IPC分类号	G02F1/1368		
FI分类号	G02F1/1368 G02F1/1343		
F-TERM分类号	2H092/GA13 2H092/GA32 2H092/GA40 2H092/JA24 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JA46 2H092/JB22 2H092/JB31 2H092/JB56 2H092/JB57 2H092/MA08 2H092/MA13 2H092/MA17 2H092/NA25 2H092/PA02 2H092/PA08 2H092/QA05 2H092/JB69 2H192/AA24 2H192/BB13 2H192/BB53 2H192/BB73 2H192/BB82 2H192/BC31 2H192/CB05 2H192/FA44 2H192/GA42 2H192/HA32 2H192/JA32		
其他公开文献	JP5455011B2		
外部链接	Espacenet		

摘要(译)

解决的问题：通过采用宽通用布线的光刻方法形成狭缝 而且，位于公共配线上的狭缝形开口被组合，或者它们位于相邻的狭缝之间。FFS模式，其中条纹像素电极部分不会变薄或切割 提供液晶显示面板。 解决方案：共用布线17和在平面图中重叠的像素电极22彼此相邻，并且其间具有重叠部分22A。彼此接触的两个狭缝形开口之间的最短距离L1为22SA 非重叠像素电极22部分的任何两个相邻的狭缝形开口22SA至22 它形成得比SB之间的最短距离L2 ($L1 > L2$) 长。 [选择图]图2

10

