

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5906551号  
(P5906551)

(45) 発行日 平成28年4月20日 (2016. 4. 20)

(24) 登録日 平成28年4月1日 (2016. 4. 1)

(51) Int. Cl. F I  
**GO2F 1/1368 (2006.01)** GO2F 1/1368  
**GO2F 1/1343 (2006.01)** GO2F 1/1343

請求項の数 7 外国語出願 (全 12 頁)

<p>(21) 出願番号 特願2011-221369 (P2011-221369)                  (22) 出願日 平成23年10月5日 (2011. 10. 5)                  (65) 公開番号 特開2012-83754 (P2012-83754A)                  (43) 公開日 平成24年4月26日 (2012. 4. 26)                  審査請求日 平成26年9月10日 (2014. 9. 10)                  (31) 優先権主張番号 1003996                  (32) 優先日 平成22年10月8日 (2010. 10. 8)                  (33) 優先権主張国 フランス (FR)</p>	<p>(73) 特許権者 510163846                  コミシリア ア レネルジ アトミック                  エ オ エナジーズ オルタネティヴズ                  フランス、エフ-75015 パリ、パテ                  イマ &lt;ル ポナン デー&gt;、25 リュ                  ルブラン                  (74) 代理人 100071054                  弁理士 木村 高久                  (72) 発明者 セグラ プチャデス ジョセップ                  フランス、38600 フォンテーニュ、                  13 リュ ロペール フィネ                  審査官 弓指 洋平</p>
--	---

最終頁に続く

(54) 【発明の名称】 補助蓄積コンデンサを有するCMOS技術における透過型液晶ディスプレイ

(57) 【特許請求の範囲】

【請求項1】

画素の行と列のマトリックスを含む透過型液晶ディスプレイであって、各画素が、透明画素電極 (E<sub>p</sub>) と全画素に共通の透明な対電極 (C<sub>E</sub>) との間の液晶 (C<sub>L</sub>)、駆動トランジスタ (Q)、及び補助蓄積コンデンサ (C<sub>s</sub>) を備え、前記駆動トランジスタのゲートが、第1の行導体から書き込み制御パルスを受けるように、与えられた行の全画素に共通の第1の行導体 (L<sub>i</sub>) に接続され、前記駆動トランジスタのドレインが、表示されるべきグレースケールを表わすアナログ電圧を列導体から受けるように、与えられた列の全画素に共通の列導体 (C<sub>j</sub>) に接続され、そして前記駆動トランジスタのソースが、前記画素の前記透明画素電極と前記補助蓄積コンデンサの端子とに接続され、前記駆動トランジスタが前記液晶と前記補助蓄積コンデンサとの間に位置し、その前記補助蓄積コンデンサが、相互に入り込んだ平行な極板を有する不透明の金属で作られた、少なくとも2つの構造の堆積で構成され、各構造がそれぞれの金属化階層 (M<sub>2</sub> ~ M<sub>5</sub>) 内に作られ、前記相互に入り込んだ極板構造がそれぞれの構造内に平行な指を備え、1つの構造の指が他の構造の指に対して直角であることを特徴とするディスプレイ。

【請求項2】

前記駆動トランジスタ及び前記補助蓄積コンデンサが画素面積の50%よりも小さい面積を占めることを特徴とする、請求項1に記載のディスプレイ。

【請求項3】

前記補助蓄積コンデンサが、設けられるべき相互接続に応じて各種の前記金属化階層を

接続する導電性ビア・ホール(22、24)を有する、絶縁層によって分離された少なくとも3つの前記金属化階層の堆積から成ることを特徴とする、請求項2に記載のディスプレイ。

【請求項4】

前記補助蓄積コンデンサが、前記駆動トランジスタ全体を覆う連続的な不透明の面を形成する極板を備えることを特徴とする、請求項1～3のいずれか一項に記載のディスプレイ。

【請求項5】

補償コンデンサ $C_{comp}$ が、与えられた行の中の全画素を接続する補助行導体( $L'_i$ )に接続され、前記補償コンデンサが前記駆動トランジスタの上方に位置することを特徴とする、請求項1～4のいずれか一項に記載のディスプレイ。

10

【請求項6】

前記補償コンデンサが、前記トランジスタ全体を覆う連続的な不透明の面を有する極板を備えることを特徴とする、請求項5に記載のディスプレイ。

【請求項7】

前記駆動トランジスタと前記補助蓄積コンデンサが単結晶シリコン・オン・インシュレータ(SOI)基板の単結晶表面層の上にあることを特徴とする、請求項1～6のいずれか一項に記載のディスプレイ。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は、能動マトリックスの液晶ディスプレイによる画像表示に関する。それはとりわけ、例えば(LCOS、すなわちLiquid Crystal on Silicon技術=シリコン上の液晶技術により、)単結晶シリコン基板上に作られる小さい透過型ディスプレイに適用可能である。

【背景技術】

【0002】

能動マトリックスのディスプレイは、画素の行と列のマトリックスを備え、各画素は画素電極と全画素に共通の対電極との間に液晶を含む。画素電極と共通電極との間に加えられる電圧は、電界の絶対値に応じて液晶の分子を方向付ける電界を生み出す。この方向付けは、偏光子の使用と組み合わせて、加えられる電界に応じた光透過率のレベルを定義するように、結晶を通過する光の偏光に影響する。駆動トランジスタ(画素の能動素子)は、所与の列の全画素の画素電極をそれぞれの列導体に接続する。列導体は、与えられた瞬間に画素に加えられるグレースケールを定義するアナログ電圧を受ける。トランジスタがオン(導通状態)の場合、この電圧は画素電極に加えられ、オフの場合、画素は絶縁されたコンデンサとして機能し、以前に受けた電圧レベルを保つ。画素の所与の行における駆動トランジスタは、それぞれの行導体により制御される。従って、画像の走査線が描かれるとき、与えられた瞬間に、アドレス指定された行の中の画素中へ、列導体によってこの瞬間に加えられた情報を書き込むように、マトリックスの様々な行は連続的にアドレス指定される。

30

40

【0003】

図1はそのようなマトリックスの一般的構造を示し、ここでCLは液晶セル、Qはこのセルと関連するトランジスタを示し、そのセルとトランジスタは一緒に画素を形成する。共通の対電極はCEで表わされ、画素の電極はEpで表わされる。n行のマトリックスに対して、行制御導体は $L_1 \sim L_n$ で表わされる。m列のマトリックスに対して、列導体は $C_1 \sim C_m$ である。行のデコーダDECは様々な行を連続的にアドレス指定する。或る行がアドレス指定されるとき、デジタル/アナログ変換回路DACは列導体に一組のアナログ電圧を加え、その電圧はこの行によって表示される画像を表わす。変換回路はデジタル信号に基づきこれらのアナログ電圧を生成する。シーケンス回路SEQは、行デコーダと変換回路DACの同期動作を確実にする。

50

## 【 0 0 0 4 】

対電極の極性を周期的に反転させる回路のような、別の回路が存在し得る。それらは示されていない。

## 【 0 0 0 5 】

2つの電極間の液晶はコンデンサとして機能する。対応する行が書かれる間、端子がそれらに与えられる電圧を保ち得るようにするのは、この容量性の挙動である。しかしこのコンデンサは低い値を持ち、そして一般に補助の蓄積コンデンサでそれを補うことが望ましい。これは駆動トランジスタの漏れ電流が、画素のコンデンサ内に蓄積された電荷の損失をもたらし、それにより液晶の電極間で電圧変化を生じるためである。さらに、液晶が加えられる電圧に応じて、それに与えられる分子の向きをとるに従い、液晶の静電容量もまた徐々に変化する。

10

## 【 0 0 0 6 】

この補助蓄積コンデンサは、それが液晶の固有の静電容量値を増すように作用するため、基本的に液晶の複数の電極と並列に接続される。

## 【 0 0 0 7 】

しかしながら、問題の静電容量は比較的小さいため、駆動トランジスタQのゲート - ソースの静電容量は無視出来ず、書き込み電圧の印加が中断されたとき、液晶の端子間をわたる電圧の好ましくない変更を生じることが観察されている。これは所与の行のトランジスタQのゲートへの制御パルスを通じて、書き込み電圧が印加されるためである。このパルスは所要の書き込み電圧をトランジスタのソースに移動させ、液晶のコンデンサ及び補助蓄積コンデンサをこの値まで充電する。しかしながら、ゲート端子に加えられる電圧パルスが終了するとき、これら2つのコンデンサはトランジスタのゲート - ソース静電容量値に比例して、そのゲート - ソース静電容量へと部分的に放電する。そのとき液晶に残る電圧は正確には所要とされるものと異なる。

20

## 【 0 0 0 8 】

この影響を取り除くために、次の解決策を想定することが可能である：

補助蓄積コンデンサを液晶の電極E<sub>p</sub>と対電極C<sub>E</sub>との間ではなく、電極E<sub>p</sub>と次の行の制御導体との間に接続すること。図2は対応する回路図を示し、そこでは各画素に対して、トランジスタQ、この画素の液晶のコンデンサC<sub>c</sub>、及び補助蓄積コンデンサC<sub>s</sub>が示され、後者は(それ自体が、対応するトランジスタQのソースに接続される)画素の電極と、次の行の制御導体L<sub>i+1</sub>との間に接続される。駆動トランジスタをオン(導通)させるパルスが終了する(立ち下がりエッジ)時の、液晶の端子を横切る電圧損失は、次の行のトランジスタをオン(導通)させるパルスの始動(立ち上がりエッジ)の際の、対応する電圧増加によって補償される。この補償は補助蓄積コンデンサの値(キャパシタンス)が、駆動トランジスタのゲート - ソース静電容量値と等しい場合に有効である。

30

補助蓄積コンデンサ又は追加の補償コンデンサを、行の全画素に共通の補助行導体に接続し、書き込み制御パルスと同期して調整可能な振幅の異極性の補償パルスを供給すること。従って、書き込み制御パルスの立ち下がりエッジは画素電極における電圧を低下させる傾向がある一方で、補償パルスの立ち上がりエッジは、その補償パルスの振幅に比例してこの電圧を増加させる傾向がある。補償パルスの振幅レベルを調整することにより、書き込み制御パルスの終了の影響を補償することが可能である。図3は各画素がそのときi番目の行に対する、それぞれL<sub>i</sub>とL'<sub>i</sub>の2つの行導体により制御されることを示す。第2の行導体L'<sub>i</sub>は蓄積コンデンサC<sub>s</sub>の第2の端子に接続され、第1の端子は液晶の画素電極及びトランジスタQのソースに接続されている。その行の全画素は、このようにして導体L'<sub>i</sub>に接続される。代わりに補助蓄積コンデンサC<sub>s</sub>を、単純に液晶及び補償コンデンサC<sub>comp</sub>の両方と並列に用意することが可能であり、補償コンデンサはそのとき画素電極と行導体L'<sub>i</sub>との間に接続される。これら2つの解決策は図3に示されている。

40

## 【 0 0 0 9 】

いずれの場合も、少なくとも1つのコンデンサ(補助蓄積コンデンサ及び/又は補償コ

50

ンデンサ)が画素ごとに必要とされる。

【0010】

トランジスタが非晶質シリコンで作られる、ガラス板上の能動マトリックス表示技術において、画素は最も一般的に図4に示すような構成で作られる。画素は長方形又は正方形であり、2つの連続する行導体 $L_i$ 及び $L_{i+1}$ と、2つの連続する列導体 $C_j$ 及び $C_{j+1}$ との間の面積を占める。透明画素電極 $E_p$ はこの矩形の大部分を占め、矩形のコーナ一部は、そのゲートが行導体 $L_i$ に接続され、そのソースが電極 $E_p$ に接続され、そのドレインが列導体 $C_j$ に接続される、非晶質シリコン・トランジスタ $Q$ により占められる。

【0011】

補助蓄積コンデンサ $C_{st}$ は、この場合全く単純に画素電極 $E_p$ の横方向の延長部と、この延長部の上方を通り、そこから絶縁層によって分離された次の行導体 $L_{i+1}$ によって形成される。これは図2に示す構成であるが、非晶質シリコン技術に適合させられている。画素電極は、透明な特性を持つインジウムスズ酸化物(ITO)で作られる。

10

【0012】

このタイプの画素構造は、非晶質シリコンで作られるトランジスタのマトリックスを含む、透過型ディスプレイにおいて使用され得る。

【0013】

LCOS技術において、すなわち単結晶シリコン基板上で作られる小型ディスプレイは、画素の電極 $E_p$ が透明ではなく反射するように、一般的に反射型である。この電極は、図4に示されている非晶質シリコンディスプレイ用のように、駆動トランジスタ $Q$ の側に横方向には置かれておらず、完全にトランジスタを覆っている。トランジスタは当然、画素の電極による光から保護される。

20

【0014】

LCOS技術で透過型ディスプレイを作ることが要望される場合、反射型金属は光の通過を阻むため、画素の電極をもはや反射型金属で作ることは不可能である。透過型ディスプレイにおいては、光源により生み出される光は、観察されるか又は画面上に投影される前に一旦液晶及び、画素を制御する電子回路の層を通過するのに対し、反射型ディスプレイでは、光は反射型電極により反射される前に一旦液晶を通過し、そして再度液晶を通過する。

【0015】

透過型ディスプレイにおいては、従って画素電極が(ITOで作られ)透明なことが必要である。しかし、そのときトランジスタは光に曝されて、大きな漏れ電流が誘発される危険性があり、これらの電流は画素の照度の関数として変化する。これらの漏れ電流は、画素に印加される電圧が、書き込みの瞬間に続く時間枠にわたって存続すべきであるのに対して、その電圧が書き込み中に容量的に正しく維持されることを妨げる。

30

【0016】

さらに、単結晶シリコン基板上におけるLCOS技術のディスプレイでは画素が非常に小さく、それにより十分な値の静電容量を各画素に与えることを困難にしている。

【発明の概要】

【課題を解決するための手段】

40

【0017】

こうした理由から、本発明は、以下に記載する画素の行と列のマトリックスを含む透過型液晶ディスプレイを提供する。本ディスプレイにおいて、各画素が、透明画素電極と全画素に共通の透明な対電極との間の液晶、駆動トランジスタ、及び補助蓄積コンデンサを備え、トランジスタのゲートが、第1の行導体から書き込み制御パルスを受けると、与えられた行の全画素に共通の第1の行導体に接続され、トランジスタのドレインが、表示されるべきグレースケールを表わすアナログ電圧を列導体から受けるように、与えられた列の全画素に共通の列導体に接続され、そしてトランジスタのソースが、画素の電極と補助蓄積コンデンサの端子とに接続される。本ディスプレイは、トランジスタが液晶と補助蓄積コンデンサとの間に位置し、その蓄積コンデンサが、相互に入り込んだ平行な極板

50

を有する不透明の金属で作られた、少なくとも2つの構造の堆積で構成され、各構造がそれぞれの金属化階層内に作られ、相互に入り込んだ極板構造がそれぞれの構造内に平行な指を備え、1つの構造の指が他の構造の指に対して直角であることを特徴とする。

【0018】

コンデンサはそのとき液晶、駆動トランジスタ、及び補助蓄積コンデンサにより形成される堆積の上流側（照明に関して上流）に位置する。動作において、ディスプレイの光源はそれゆえコンデンサを照らすが、トランジスタは照らさないか、殆ど照らさず、後者はコンデンサによってマスキングされる。画素の残りはコンデンサによってマスキングされず、光が液晶に到達する可能性があり、ここではコンデンサは障害物でない（すなわち透明電極を通る）。

10

【0019】

トランジスタ及び補助蓄積コンデンサは画素面積の（50%よりも小さく、極力小さい）小部分を占める。具体的にコンデンサの横方向の占有寸法は、画素の開口、すなわちそれを通して光が全体の画素面積まで通り得る画素面積の比率が、出来る限り大きく保たれるように、最小化されねばならない。

【0020】

可能な限り大きな静電容量と、可能な限り小さな横方向の占有寸法を有する補助蓄積コンデンサを得るため、コンデンサは各構造がそれぞれの不透明な金属化階層で作られる、少なくとも2つの相互に入り込んだ極板構造の堆積で構成される。金属化はアルミニウム及び/又は銅で作られることが望ましい。相互に入り込んだ構造は絶縁層により分離され、導電性のピア・ホールにより互いに接続される。

20

【0021】

例えば、6つの金属化階層を有するディスプレイにおいて、4つの重ねられた階層が、各々2つの電極を持つ4つの相互に入り込んだ極板構造を作るために使用され得る。様々な階層の対応する電極は、ピア・ホールにより全て相互に接続される。2つの異なる階層における2つの相互に入り込んだ構造の指の方向は、光をより良く阻止するように（互いに直角に）交代している。

【0022】

1つの実施形態において、コンデンサはトランジスタ全体を覆う連続した不透明な面積を占める極板を備える。

30

【0023】

補償コンデンサは更に、補助蓄積コンデンサと同じ金属層の堆積内に作られ得る。このコンデンサは、画素電極と補償電圧の印加を可能にする導電線との間に電気接続されている。このコンデンサは、光からのトランジスタの保護に役立ち、それは連続的に不透明でトランジスタ全体を覆う極板を有し得る。

【0024】

トランジスタと補助蓄積コンデンサは“silicon-on-insulator”（SOI＝シリコン・オン・インシュレータ）基板の単結晶表面層の上に作られることが望ましい。

【0025】

本発明の別の特徴及び利点は添付図に関連して与えられる、以下の詳細記述を読むことにより明らかになるであろう。

40

【図面の簡単な説明】

【0026】

【図1】マトリックス液晶ディスプレイの構造を示す。

【図2】次の行に接続されている、各画素において補助蓄積コンデンサを有する等価回路図を示す。

【図3】制御導体につながれた補償コンデンサを任意に有する、補助導電線に接続された補助蓄積コンデンサを伴う別の回路図を示す。

【図4】非晶質シリコンの能動マトリックス・ディスプレイ用の、従来の画素構造の一例

50

を示す。

【図5】LCO5技術における、本発明による透過型画素構造を通した断面の図を示す。

【図6】交差した方向に向いている指を有する、本発明において用いられ得る2つの容量性の相互に入り込んだ構造を概略的に示す。

【図7】3つの金属化階層を用いた、別の画素構造を通した断面の図を示す。

【図8】図7の3つの階層の各々に対する金属化のエッチング用の例示的パターンの上面図を示す。

【発明を実施するための形態】

【0027】

透過性液晶ディスプレイは、例えば図1～3に示すうちの1つのように組織された画素の行と列のマトリックスを含む。図5の断面には1つの画素のみが示されている。各画素は、画素電極E<sub>p</sub>と全画素に共通の対電極C<sub>E</sub>との間に液晶セルC<sub>L</sub>を含む。駆動トランジスタQは液晶セルに接着された単結晶シリコンに基づく、CMOS技術構造10から作られる。共通の電極C<sub>E</sub>と画素電極E<sub>p</sub>は(ITOで作られて)透明であるが、しかし(例えばアルミニウムで作られる)不透明のシールドBCLは、反射効果を用いて液晶セルを經由して到達し得る光からトランジスタを保護するように、画素電極とトランジスタとの間に局部的に介在する。

10

【0028】

CMOS構造10を作るために様々な技術が存在する。例として示される技術において、構造10はSOI(シリコン・オン・インシュレータ)基板から形成される。この基板は画素電極E<sub>p</sub>に隣接するシリコン酸化物の絶縁層12と、そこに駆動トランジスタが形成されている単結晶シリコン14の層との重ね合わせを含む。示されているトランジスタは、多結晶シリコンで作られた絶縁ゲートGにより覆われている、p型トレンチ(溝)により分離されたn<sup>+</sup>型ドーピングされたソース及び、n<sup>+</sup>型ドーピングされたドレインを備えるnMOSトランジスタである。そのトランジスタは代わりにpMOSトランジスタであり得る。トランジスタは、シリコン酸化物で満たされたSTI(shallow trench isolation=浅いトレンチ絶縁)により、隣接する画素のトランジスタから分離される。

20

【0029】

トランジスタは、画素のマトリックス用回路図を確立するために必要な相互接続の形成と、補助蓄積コンデンサC<sub>s,t</sub>及び任意選択的には、補償コンデンサC<sub>c,omp</sub>の形成とを可能にする、絶縁層と金属層の交番により覆われている。金属層は相互に接続され、そして絶縁層を貫通する導電性ビア・ホールにより、トランジスタに接続される。絶縁層12内に形成される導電性ビア・ホール16は、さらにトランジスタのソースと画素電極E<sub>p</sub>との間の接続を確立出来るようにする。

30

【0030】

金属層はアルミニウム及び/又は銅で作られることが望ましい。それらは光に対して不透明であり、とりわけ、示されている堆積の上方に置かれるディスプレイの(図示されていない)光源からの光に対して不透明である。

【0031】

(トランジスタが図4で非晶質シリコン技術において画素面積の小部分を占めるのが示されているのと同様に、)トランジスタは画素面積の小部分を占め、図5に主として示されているのは画素のこの部分である。

40

【0032】

図5に示す例において、それぞれ参照記号M1～M6で示される6つの重ね合わせられた金属化階層が存在する。階層の数は異なり得る。各種の階層の機能は変わる可能性があり、その一例のみが下記に与えられているが、いずれの場合も、それらは蓄積コンデンサC<sub>s,t</sub>及び任意選択的に、補償コンデンサC<sub>c,omp</sub>を生成するために使用される。それらは更に画素内部の相互接続、及びマトリックスの動作に必要なとされる相互接続(制御線、接地線、列導体、等)の全てを形成する。金属化階層は太い水平方向の線で象徴的に示

50

され、ビア・ホールは太い垂直方向の線で象徴的に示されている。階層を分離する（シリコン酸化物で作られる）絶縁層は、連続的に堆積されている金属化階層同士間に、連続して堆積されるが、しかしそれらは、その中に複数の金属化階層が組み込まれている単一の絶縁層 20 として示されている。

#### 【0033】

図5の例において：

階層 M1 は 2 つの機能を有する。それはビア・ホールによりトランジスタのゲートに接続された行導体  $L_i$  を形成し、同時にそれはビア・ホール 16 を用いてトランジスタのソースを画素電極に接続し、

階層 M2 は、そこに画素が接続されている列導体  $C_1$  を生み出すために使用され、これはビア・ホールによりトランジスタのドレインに接続され、同時にそれは補助蓄積コンデンサ  $C_{s_t}$  の一部分を生み出すために使用され、

階層 M3 は全マトリックスに共通の接地面への接続に使われ、同時にそれは補助蓄積コンデンサ  $C_{s_t}$  の別の部分を生み出すために使用され、

階層 M4 及び M5 もまた補助蓄積コンデンサ  $C_{s_t}$  の一部分を生み出すために使用され、そして最後に

階層 M6 は、この例において補償コンデンサが蓄積コンデンサと異なる場合に、補償コンデンサ  $C_{comp}$  の極板を作るために使用されるか、あるいは補償コンデンサが存在しない場合に、補助蓄積コンデンサ  $C_{s_t}$  の一部分を生み出すために使用される。階層 M6 はまた、回路が図3に示すように配置される場合、補償列導体  $L'_i$  を形成するために使用される。堆積の最終階層 M6 内に作られるコンデンサの極板は、蓄積コンデンサ  $C_{s_t}$  を生み出すために用いられる全ての金属部分を覆う、連続的な（不透明の）金属領域であることが望ましい。

#### 【0034】

様々な金属化階層における導体の配置は、上記に示すものと異なり得る：例えば階層 M3 よりもむしろ階層 M1 が、接地された相互接続の形成に使用されることができ、階層 M3 が  $L'_i$  を補償コンデンサに接続するため、及び補償コンデンサが 1 つの場合はその補償コンデンサ自体を形成するために用いられ得る、等。

#### 【0035】

補助蓄積コンデンサ  $C_{s_t}$  はトランジスタを完全に覆い、それを透過する光の殆どを出来る限り防ぐ。トランジスタ上方の金属化階層数が多い程、光の障壁は良好である。不透明な遮蔽 BCL もまた下方から到達しやすい光からトランジスタを保護する。

#### 【0036】

横方向の占有寸法を制限しながら蓄積コンデンサの値を最大化するために、それを相互に入り込んだ極板を有する構造で構成することが望ましく、そして電氣的に並列接続された、相互に入り込んだ極板を有する幾つかの構造の重ね合わせで構成することが望ましい。

#### 【0037】

例として示される場合の、階層 M2 ~ M5 の各々は、相互に入り込んだ極板を有する部分的なコンデンサを含み、すなわち部分的なコンデンサの 2 つの極板が同じ金属化階層内に形成される。各極板は、他の極板に属する別の一連の導体の内の導体近くに位置する、互いに電気接続された一連の導体（又はその構造の指）を含む。その中に金属化階層が組み込まれている絶縁層 20 は、2 つの極板に属する指同士の間誘電体を形成する。点線の円で囲まれている図は、階層 4 におけるそのような部分的コンデンサの原理と一般的外観を示す上面図である。その他の階層は同様に作られる。本図は 2 つの極板の平行な指を示すが、実際には極板の正確なレイアウトは、必要とされる相互接続及び、とりわけ金属化階層間に作られるべき接触ビア・ホールに関連する制約を考慮した、各階層において利用可能なスペースに依存する。

#### 【0038】

22 及び 24 のような導電性ビア・ホールは、階層の重ね合わせが並列につながれた部

10

20

30

40

50

分的コンデンサを形成するように、様々な階層間の対応する極板を接続する。

【0039】

相互に入り込んだ極板の指は、そこを通過する光をより適切に阻止するため、1つの階層から別の階層へと交差するように方向付けられることが望ましい。図6は指が全て並行で直線である単純化された構成で、この交差した向きを示す。実際にはコンデンサの極板の指はもっと湾曲し得る。

【0040】

(例えばM3とM5のような)2つの隣接しない階層に対応する櫛が平行な指を持つ場合、再び光の透過を減らす目的で1つの階層の指を、他の階層の指間の隙間に対向して置こうと試みることが可能だと付け加えられるべきである。

【0041】

相互に入り込んだ構造により形成されるコンデンサの静電容量は、絶縁層により分離された2つの連続する金属層間の静電容量よりも、高くなり得ることが理解されるであろう。これはその構造の指から生じる静電容量が、それらの全長にわたり向き合っているためである。指は細長く、それらの数は多く、それらの幅と間隔は数 $\mu\text{m}$ であり得る。

【0042】

最後に、各種の金属化階層間の導電性ビア・ホールは、トランジスタを光から保護するのを助ける。それらは任意の横方向に伝播する光を捉える傾向がある。それゆえ電気接続されるべき2つの導電素子を接続するためには、1つだけよりも複数のビア・ホールを用意することが有利である。

【0043】

図5の例において、補償コンデンサが連続的な不透明の極板を含むが、蓄積コンデンサ $C_{s,t}$ (又は2つの蓄積コンデンサ)が、連続的な不透明の極板を持つのが代替的に可能であることが理解されるであろう。

【0044】

図7は別の画素構造の例を示す。この例において、3つの金属化階層M1、M2、及びM3だけが用いられる。これは製作費用の理由で、金属化階層の数を最小限にすることが有利であり得るためである。しかしながら光の防御の有効性は低下する。実際には少なくとも3つの金属化階層が存在するであろう。図7の例において：

階層M1は、ビア・ホール16を用いてトランジスタのソースを画素電極に接続するために用いられる。それはまた、それに画素がつながれており、ビア・ホールによってトランジスタのドレインに接続されている、列導体 $C_1$ を生み出すためにも使用される。それはさらに接地導体GNDを作るためにも用いられ、最後にそれは補助蓄積コンデンサ $C_{s,t}$ の一部分を作り上げる、相互に入り込んだコンデンサを形成するために用いられることができ、

階層M2は、金属化階層M1内に形成されるコンデンサ部分と並列に接続される、行導体 $L_i$ 及び、蓄積コンデンサ $C_{s,t}$ の別の(相互に入り込んだ)部分を作り出すために使用され、最後に

階層M3は本例において、補償コンデンサが蓄積コンデンサと異なる場合か、あるいは補償コンデンサが無い時は補助蓄積コンデンサ $C_{s,t}$ の一部分である場合に、補償コンデンサ $C_{comp}$ の極板を作るために使用される。階層M3はまた、回路が図3に示すように配置される場合に、補償行導体 $L'_i$ を形成するために使用される。堆積の最後の階層M3内に作られるコンデンサの極板は、蓄積コンデンサ $C_{s,t}$ を作るために使用される金属部分の全てを覆う、連続的な(不透明)金属領域であることが望ましい。コンデンサ $C_{comp}$ の別の極板は、階層M2の相互に入り込んだ蓄積コンデンサの極板の1つにより形成される。

【0045】

図8は上に示される素子を形成するための、3つの金属化階層M1、M2、及びM3に対する可能な構成を示す。本図は(より暗くハッチングされた領域としての)階層間の接続ビア・ホール及び、トランジスタのソース、ゲート、及びドレインを接続するビア・ホ

10

20

30

40

50

ールを示す。

【 0 0 4 6 】

補助蓄積コンデンサ  $C_{st}$  はトランジスタを覆い、殆どの光がそれを透過するのを出来る限り防ぐ。トランジスタ上方の金属化階層の数が多い程、光に対する障壁はより良くなる。

【 0 0 4 7 】

図 8 の構成において、トランジスタを光からより良く保護するように、トランジスタを完全に覆う、連続した不透明な極板を持つのは補償コンデンサ  $C_{comp}$  である。従ってトランジスタは、透過性ディスプレイの光源による照明から、蓄積コンデンサ及び補償コンデンサを含む集合体により、非常にうまく保護される。

【符号の説明】

【 0 0 4 8 】

- 1 0 CMOS 構造
- 1 2 絶縁層
- 1 4 単結晶シリコン
- 1 6 ピア・ホール
- 2 0 絶縁層
- 2 2 導電性ピア・ホール
- 2 4 導電性ピア・ホール

【 図 1 】

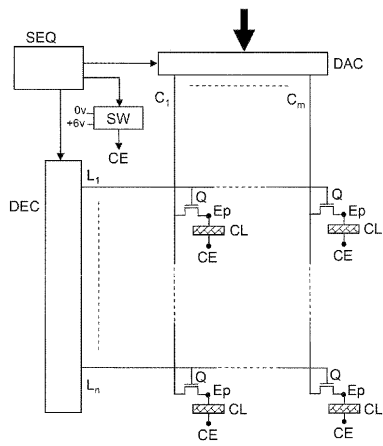


図 1

【 図 2 】

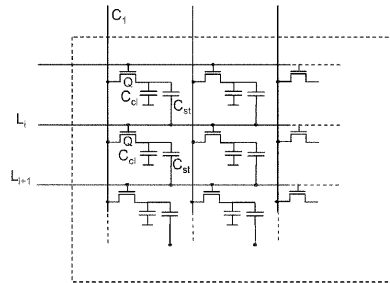


図 2

【 図 3 】

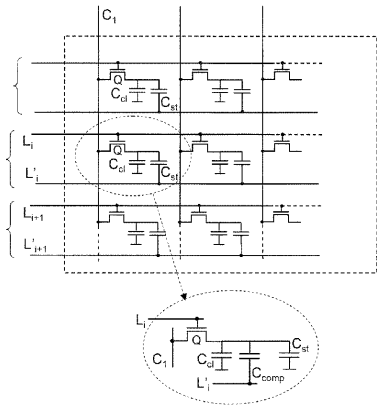


図 3

【 図 4 】

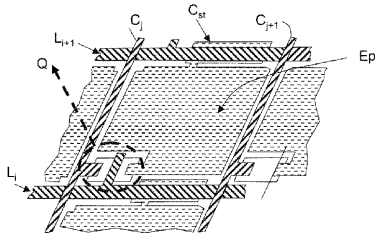


図 4

【 図 6 】

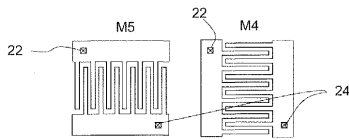


図 6

【 図 5 】

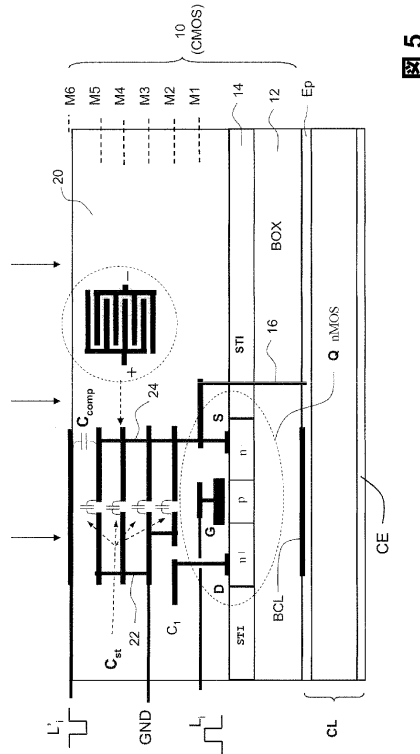


図 5

【 図 7 】

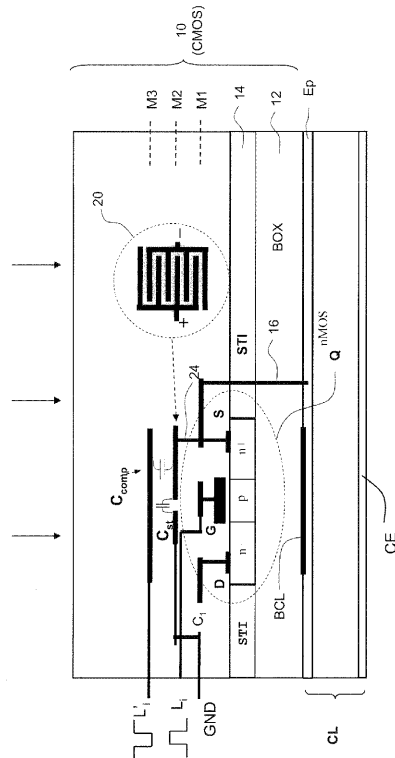
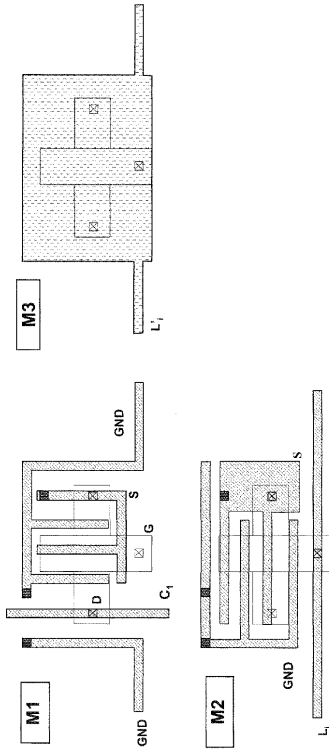


図 7

【 8 】



8

---

フロントページの続き

- (56)参考文献 特開2001-249362(JP,A)  
特開2000-252428(JP,A)  
米国特許出願公開第2006/0024905(US,A1)  
米国特許出願公開第2007/0075341(US,A1)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1368  
G02F 1/1343  
H01L 27/04

专利名称(译)	采用CMOS技术的透射式液晶显示器，带辅助存储电容器		
公开(公告)号	<a href="#">JP5906551B2</a>	公开(公告)日	2016-04-20
申请号	JP2011221369	申请日	2011-10-05
[标]申请(专利权)人(译)	原子能委员会		
申请(专利权)人(译)	Komishiria 一个Reneruji原子D 2 O Enajizu Orutanetivuzu		
当前申请(专利权)人(译)	Komishiria 一个Reneruji原子D 2 O Enajizu Orutanetivuzu		
[标]发明人	セグラ プチャデス ジョセツ		
发明人	セグラ プチャデス ジョセツ		
IPC分类号	G02F1/1368 G02F1/1343		
CPC分类号	G02F1/136213 G02F1/136286 G02F2001/13606 G02F2201/40 H01G4/306 H01L23/5223 H01L28/86 H01L2924/0002		
FI分类号	G02F1/1368 G02F1/1343		
F-TERM分类号	2H092/GA14 2H092/JA23 2H092/JA46 2H092/JB05 2H092/JB44 2H092/JB54 2H092/JB64 2H092/JB66 2H092/JB68 2H092/JB69 2H092/KA03 2H092/KA07 2H092/NA07 2H092/NA24 2H192/AA24 2H192/BC42 2H192/BC72 2H192/CB24 2H192/CB35 2H192/CC73 2H192/DA02 2H192/DA23 2H192/DA42 2H192/DA65 2H192/DA67 2H192/DA74 2H192/EA04 2H192/EA15 2H192/EA72 2H192/GD03 2H192/GD61		
代理人(译)	高久木村		
优先权	2010003996 2010-10-08 FR		
其他公开文献	JP2012083754A		
外部链接	<a href="#">Espacenet</a>		

<b>摘要(译)</b> 提供一种CMOS技术的透射式液晶显示器，其具有辅助存储电容器。本发明涉及通过有源矩阵的液晶显示器的图像显示。尤其适用于在例如硅衬底上制造的小型显示器（通过LCOS，即硅上的液晶技术=硅上的液晶技术）。辅助存储电容器Cst形成在像素的驱动晶体管上，即，驱动晶体管形成在液晶和存储电容器之间。存储电容器由多个并联的部分电容器形成，每个部分电容器具有在相应的金属化层（M1至M5）中相互交叉的结构。金属化（铝和/或铜）是不透明的，因此电容器保护晶体管免受光照，保护水平越高，用于形成互穿结构的金属化水平的数量越多有。[选中图]图5	(21) 出願番号	特願2011-221369 (P2011-221369)	(73) 特許権者	510163846
	(22) 出願日	平成23年10月5日 (2011.10.5)		コミシリア ア レネルジ アトミック
	(65) 公開番号	特開2012-83754 (P2012-83754A)		エ オ エナジーズ オルタネティヴズ
	(43) 公開日	平成24年4月26日 (2012.4.26)		フランス、エフ-75015 パリ、パテ
		審査請求日	平成26年9月10日 (2014.9.10)	イマ クル ボナン ザー、25 リュ
	(31) 優先権主張番号	1003996		ルブラン
	(32) 優先日	平成22年10月8日 (2010.10.8)	(74) 代理人	100071054
	(33) 優先権主張国	フランス (FR)		弁理士 木村 高久
			(72) 発明者	セグラ プチャデス ジョセツ
				フランス、38600 フォンテーニュ、
			13 リュ ロベール フィネ	
			審査官 弓指 洋平	