

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5754782号
(P5754782)

(45) 発行日 平成27年7月29日 (2015. 7. 29)

(24) 登録日 平成27年6月5日 (2015. 6. 5)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)

G02F 1/133 (2006.01)

G02F 1/1333 (2006.01)

G09F 9/00 (2006.01)

G09F 9/30 (2006.01)

G09G 3/36

G02F 1/133 530

G02F 1/133 550

G02F 1/1333

G09F 9/00 346A

請求項の数 20 (全 32 頁) 最終頁に続く

(21) 出願番号 特願2013-108896 (P2013-108896)
 (22) 出願日 平成25年5月23日 (2013. 5. 23)
 (65) 公開番号 特開2014-228737 (P2014-228737A)
 (43) 公開日 平成26年12月8日 (2014. 12. 8)
 審査請求日 平成25年10月4日 (2013. 10. 4)
 審判番号 不服2014-13739 (P2014-13739/J1)
 審判請求日 平成26年7月15日 (2014. 7. 15)

早期審査対象出願

(73) 特許権者 308017571
 シナプティクス・ディスプレイ・デバイス
 合同会社
 東京都中野区中野四丁目10番2号
 (74) 代理人 100089071
 弁理士 玉村 静世
 (72) 発明者 辻 壯介
 東京都小平市上水本町五丁目20番1号
 株式会社ルネサスエスピードライバ内

合議体

審判長 酒井 伸芳

審判官 中塚 直樹

審判官 樋口 信宏

最終頁に続く

(54) 【発明の名称】 半導体装置、及び表示装置

(57) 【特許請求の範囲】

【請求項 1】

複数のラインで構成される1フレーム毎の画像データを表示する表示パネルを駆動するための駆動信号を出力可能な表示駆動回路を備える半導体装置であって、

前記表示パネルは、前記ラインを構成する複数の画素の1画素ごとに、前記画像データに対応する量の電荷を保持するキャパシタを備え、

前記表示駆動回路は、1フレーム期間内に、第1表示駆動期間と第1ブランク期間と第2表示駆動期間とを順次含む、時分割動作を可能に構成され、

前記第1及び第2表示駆動期間は、それぞれ、前記第1ブランク期間以上の長い期間、前記表示パネルの駆動が停止される、ブランク期間を含まず、

前記表示駆動回路は、前記第1表示駆動期間に、所定周期で分散する、前記表示パネルの1フレーム内の複数のラインを駆動し、前記第1ブランク期間に前記表示パネルの駆動を停止し、前記第2表示駆動期間に前記1フレーム内の前記第1表示駆動期間に表示駆動された複数のラインとは異なる、前記表示パネルの複数のラインを駆動する、駆動信号を出力可能に構成され、

前記半導体装置は、前記表示パネル上に積層されたタッチパネルのタッチ状態を検知可能な、タッチパネルコントローラをさらに備え、

前記タッチパネルコントローラは、前記第1ブランク期間に前記タッチ状態を検知するタッチ状態検知動作を行い、前記第1及び第2表示駆動期間に前記タッチ状態検知動作を停止する、半導体装置。

10

20

【請求項 2】

請求項 1 において、前記表示駆動回路は、前記第 1 表示駆動期間に 1 フレーム内の M (M は 1 以上の整数) ライン周期で N (N は 1 以上の整数) ライン毎に分散する、前記表示パネルの複数のラインを駆動し、前記第 2 表示駆動期間に前記 1 フレーム内の前記第 1 表示駆動期間に表示駆動された複数のラインとは異なり、前記フレーム内の前記 M ライン周期で前記 N ライン毎に分散する、前記表示パネルの複数のラインを駆動する、駆動信号を出力可能に構成される、半導体装置。

【請求項 3】

請求項 2 において、前記表示駆動回路は、前記第 1 表示駆動期間に 1 フレーム内の前記 M ライン周期で 1 ライン毎に分散する、前記表示パネルの複数のラインを駆動し、前記第 2 表示駆動期間に前記 1 フレーム内の前記第 1 表示駆動期間に表示駆動された複数のラインとは異なり、前記フレーム内の前記 M ライン周期で 1 ライン毎に分散する、前記表示パネルの複数のラインを駆動する、駆動信号を出力可能に構成される、半導体装置。

10

【請求項 4】

請求項 3 において、前記表示駆動回路は、前記第 1 表示駆動期間に 1 フレーム内の 2 ライン周期で 1 ライン毎に分散する、前記表示パネルの複数のラインを駆動し、前記第 2 表示駆動期間に前記 1 フレーム内の前記第 1 表示駆動期間に表示駆動された複数のラインとは異なる他の複数のラインを駆動する、駆動信号を出力可能に構成される、半導体装置。

【請求項 5】

請求項 2 において、前記表示駆動回路は、第 1 フレームの第 1 表示駆動期間に前記第 1 フレーム内の M (M は 1 以上の整数) ライン周期で N (N は 1 以上の整数) ライン毎に分散する、前記表示パネルの複数のラインを駆動し、前記第 1 フレームの第 2 表示駆動期間には、前記第 1 表示駆動期間に表示駆動された複数のラインとは異なり、前記第 1 フレーム内の前記 M ライン周期で前記 N ライン毎に分散する、前記表示パネルの複数のラインを駆動し、前記第 1 フレームと連続する第 2 フレームの第 1 表示駆動期間に、前記第 1 フレームの第 1 表示駆動期間に表示駆動された複数のラインとは異なり、前記第 2 フレーム内の前記 M ライン周期で前記 N ライン毎に分散する、前記表示パネルの複数のラインを駆動する、駆動信号を出力可能に構成される、半導体装置。

20

【請求項 6】

請求項 5 において、前記表示駆動回路は、第 1 フレームの第 1 表示駆動期間に前記第 1 フレーム内の奇数ラインを駆動し、前記第 1 フレームの第 2 表示駆動期間に前記第 1 フレーム内の偶数ラインを駆動し、前記第 1 フレームと連続する第 2 フレームの第 1 表示駆動期間に前記第 2 フレーム内の偶数ラインを駆動し、前記第 2 フレームの第 2 表示駆動期間に前記第 2 フレーム内の奇数ラインを駆動する、駆動信号を出力可能に構成される、半導体装置。

30

【請求項 7】

請求項 1 において、前記表示駆動回路は、メモリと制御部とを備え、
前記制御部は、表示すべき 1 フレームの上のラインから順次走査された順序で入力される画像データを、前記メモリに書き込み、前記第 1 表示駆動期間に、前記第 1 表示駆動期間に表示すべきラインの画像データを、表示駆動すべき順序で前記メモリから読み出し、
前記第 2 表示駆動期間に、前記第 2 表示駆動期間に表示すべきラインの画像データを、前記メモリから読み出し、

40

前記表示駆動回路は、読み出された画像データに基づいて前記駆動信号を生成し、
前記制御部は、前記タッチパネルコントローラに対し、タイミング信号を出力し、
前記タッチパネルコントローラは、前記タイミング信号にもとづいて、前記第 1 ブランク期間と前記第 1 及び第 2 表示駆動期間における、前記タッチ状態検知動作の開始と停止を制御する、半導体装置。

【請求項 8】

請求項 1 または請求項 7 において、前記表示駆動回路と前記タッチパネルコントローラとが、同一半導体基板上に集積された、半導体装置。

50

【請求項 9】

複数のラインで構成される 1 フレーム毎の画像データを表示する表示パネルと、前記表示パネルを駆動するための駆動信号を出力可能な表示駆動回路とを備え、

前記表示パネルは、前記ラインを構成する複数の画素の 1 画素ごとに、前記画像データに対応する量の電荷を保持するキャパシタを備え、

前記表示駆動回路は、1 フレーム期間内に、第 1 表示駆動期間と第 1 ブランク期間と第 2 表示駆動期間とを順次含む、時分割動作を可能に構成され、

前記第 1 及び第 2 表示駆動期間は、それぞれ、前記第 1 ブランク期間以上の長い期間、前記表示パネルの駆動が停止される、ブランク期間を含まず、

前記表示駆動回路は、前記第 1 表示駆動期間に 1 フレーム内の所定周期で分散する、前記表示パネルの複数のラインを駆動し、前記第 1 ブランク期間に前記表示パネルの駆動を停止し、前記第 2 表示駆動期間に前記 1 フレーム内の前記第 1 表示駆動期間に表示駆動された複数のラインとは異なる、前記表示パネルの複数のラインを駆動し、

前記表示装置は、前記表示パネル上に積層されたタッチパネルと、前記タッチパネルのタッチ状態を検知するタッチパネルコントローラとをさらに備え、

前記タッチパネルコントローラは、前記第 1 ブランク期間に前記タッチ状態を検知するタッチ状態検知動作を行い、前記第 1 及び第 2 表示駆動期間に前記タッチ状態検知動作を停止する、表示装置。

【請求項 10】

請求項 9 において、前記表示駆動回路は、前記第 1 表示駆動期間に 1 フレーム内の M (M は 1 以上の整数) ライン周期で N (N は 1 以上の整数) ライン毎に分散する、前記表示パネルの複数のラインを駆動し、前記第 2 表示駆動期間に前記 1 フレーム内の前記第 1 表示駆動期間に表示駆動された複数のラインとは異なり、前記フレーム内の前記 M ライン周期で前記 N ライン毎に分散する、前記表示パネルの複数のラインを駆動する、表示装置。

【請求項 11】

請求項 10 において、前記表示駆動回路は、前記第 1 表示駆動期間に 1 フレーム内の前記 M ライン周期で 1 ライン毎に分散する、前記表示パネルの複数のラインを駆動し、前記第 2 表示駆動期間に前記 1 フレーム内の前記第 1 表示駆動期間に表示駆動された複数のラインとは異なり、前記フレーム内の前記 M ライン周期で 1 ライン毎に分散する、前記表示パネルの複数のラインを駆動する、表示装置。

【請求項 12】

請求項 11 において、前記表示駆動回路は、前記第 1 表示駆動期間に 1 フレーム内の 2 ライン周期で 1 ライン毎に分散する、前記表示パネルの複数のラインを駆動し、前記第 2 表示駆動期間に前記 1 フレーム内の前記第 1 表示駆動期間に表示駆動された複数のラインとは異なる他の複数のラインを駆動する、表示装置。

【請求項 13】

請求項 10 において、前記表示駆動回路は、第 1 フレームの第 1 表示駆動期間に前記第 1 フレーム内の M (M は 1 以上の整数) ライン周期で N (N は 1 以上の整数) ライン毎に分散する、前記表示パネルの複数のラインを駆動し、前記第 1 フレームの第 2 表示駆動期間には、前記第 1 表示駆動期間に表示駆動された複数のラインとは異なり、前記第 1 フレーム内の前記 M ライン周期で前記 N ライン毎に分散する、前記表示パネルの複数のラインを駆動し、前記第 1 フレームと連続する第 2 フレームの第 1 表示駆動期間に、前記第 1 フレームの第 1 表示駆動期間に表示駆動された複数のラインとは異なり、前記第 2 フレーム内の前記 M ライン周期で前記 N ライン毎に分散する、前記表示パネルの複数のラインを駆動する、表示装置。

【請求項 14】

請求項 13 において、前記表示駆動回路は、第 1 フレームの第 1 表示駆動期間に前記第 1 フレーム内の奇数ラインを駆動し、前記第 1 フレームの第 2 表示駆動期間に前記第 1 フレーム内の偶数ラインを駆動し、前記第 1 フレームと連続する第 2 フレームの第 1 表示駆動期間に前記第 2 フレーム内の偶数ラインを駆動し、前記第 2 フレームの第 2 表示駆動期

10

20

30

40

50

間に前記第 2 フレーム内の奇数ラインを駆動する、表示装置。

【請求項 15】

請求項 10 において、前記表示駆動回路は、表示駆動すべきラインを示すフラグを前記表示パネルに供給し、前記表示パネルは、前記 M ライン周期で前記 N ライン毎に記憶素子を設けたシフトレジスタを備え、前記シフトレジスタは、前記フラグが入力され 1 ライン毎にシフト可能に構成される、表示装置。

【請求項 16】

請求項 15 において、前記表示パネルは、2 ライン周期で 1 ライン毎に記憶素子を設けた 2 組のシフトレジスタを備える、表示装置。

【請求項 17】

請求項 16 において、前記 2 組のシフトレジスタは、前記表示パネルの表示領域を挟む領域に配置される、表示装置。

【請求項 18】

請求項 10 において、前記表示駆動回路は、圧縮回路とメモリと展開回路と制御部とを備え、

前記制御部は、表示すべき 1 フレームの上のラインから順次走査された順序で入力される画像データを、前記圧縮回路によってデータ圧縮して前記メモリに書き込み、前記第 1 表示駆動期間に、前記第 1 表示駆動期間に表示すべきラインの画像データを含むデータ圧縮されたデータを、表示駆動すべき順序で前記メモリから読み出し、前記第 2 表示駆動期間に、前記第 2 表示駆動期間に表示すべきラインの画像データを含む、データ圧縮されたデータを、前記メモリから読み出し、

前記展開回路は、前記メモリから読み出されたデータ圧縮された前記データを展開することにより、表示すべき前記ラインの画像データを復元し、

前記表示駆動回路は、復元された前記画像データに基づいて前記駆動信号を生成する、表示装置。

【請求項 19】

請求項 18 において、前記表示駆動回路は、前記第 1 表示駆動期間に 1 フレーム内の M (M は 1 以上の整数) ライン周期で N (N は 1 以上の整数) ライン毎に分散する、前記表示パネルの複数のラインを駆動し、前記第 2 表示駆動期間に前記 1 フレーム内の前記第 1 表示駆動期間に表示駆動された複数のラインとは異なり、前記フレーム内の前記 M ライン周期で前記 N ライン毎に分散する、前記表示パネルの複数のラインを駆動する、駆動信号を出力可能に構成され、

前記圧縮回路は、前記 N ラインを単位として画像データのの前記データ圧縮を実行し、前記展開回路は、前記 N ラインを単位として前記データ圧縮のデータを展開することにより画像データを復元する、表示装置。

【請求項 20】

請求項 19 において、前記表示駆動回路は、表示駆動すべきラインを示すフラグを前記表示パネルに供給し、前記表示パネルは、前記 M ライン周期で前記 N ライン毎に記憶素子を設けたシフトレジスタを備え、前記シフトレジスタは、前記フラグが入力され 1 ライン毎にシフト可能に構成される、表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、タッチセンサを搭載した表示パネルの表示ドライバ IC (Integrated Circuit)、表示ドライバとタッチコントロール回路を集積した LSI (Large Scale Integrated circuit)、及び、それらを実装した表示装置に関し、特に画質劣化の防止に好適に利用できるものである。

【背景技術】

【0002】

従来は表示パネルとタッチパネルが独立したオンセル方式が主流であったが、近年、特

10

20

30

40

50

にモバイル用パネルモジュールでより薄型化が可能な、表示パネルとタッチパネルを一体化したインセル方式が普及しつつある。オンセル方式では表示パネルとタッチセンサは独立しているため、表示ドライバとタッチコントローラも、独立させたセパレートチップが主流である。セパレートチップでは、表示駆動とセンシングは、非同期で動作させるのが一般的である。一方、インセル方式では、センス時のノイズを抑えるため、表示駆動とセンシングを同時に行わずに時分割で交互に動作させる方式が提案されている。

【 0 0 0 3 】

特許文献 1 には、インセル方式のタッチセンサと表示素子を、時分割で交互に動作させる、表示装置及びその駆動方法が開示されている。タッチセンサのセンシングと表示素子の駆動とを時分割で交互に行う。1 フレームを表示モードとタッチセンシングモードに分割し、両モードが交互に実行されるようにゲートドライバ、ソースドライバ及びタッチコントローラをタイミングコントローラにより制御する方式である。このシステムは、画像表示を複数ライン毎に間欠的に行い、表示ドライバからの画像出力が停止している期間にタッチセンスを行うことで高いタッチ検出精度を実現する。表示素子を駆動する信号のノイズが、タッチセンサの検出信号に混入することがないため、ノイズの影響を軽減することができる。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 4 】

【 特許文献 1 】 特開 2 0 1 2 - 5 9 2 6 5 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 5 】

特許文献 1 について本発明者が検討した結果、以下のような新たな課題があることがわかった。

【 0 0 0 6 】

例えば液晶表示パネルのように、画素ごとに、表示すべき画像データに対応する量の電荷を、キャパシタに保持する表示パネルを使って、特許文献 1 に記載されるような、タッチセンサのセンシングと表示素子の駆動とを時分割で交互に行う動作をさせた場合、表示駆動される期間の異なる領域の境界において、本来輝度が滑らかに変化すべき境界部分で輝度が急峻に変化する段差が生じ、画質を劣化させる問題があることがわかった。

【 0 0 0 7 】

例えば液晶表示パネルでは、画素ごとに順次、表示すべき画像データに対応する量の電荷を、キャパシタに充電し、キャパシタに保持されている電荷量に応じて生じる電位差によって液晶による偏光量を制御することにより、表示される輝度を制御している。キャパシタに保持されている電荷は、リークにより時間の経過とともに徐々に減少し、それに伴って表示される輝度も変化する。画像フレーム全体で一様に輝度が変化すれば、人間の視覚によってその変化を認知することは困難であるが、本来輝度が滑らかに変化する領域の途中に、輝度の段差があると、その段差が大きい場合であっても、領域の境界で線状につながっていれば、人間の視覚は、その線を視認してしまう。

【 0 0 0 8 】

例えば 1 フレームの上半分を表示した後、センシング期間を設け、その後下半分の表示を行うとすると、フレームの上半分の領域の各画素のキャパシタに保持されている電荷は、下半分の領域の各画素のキャパシタに保持される電荷よりも、センシング期間の分だけ一律に長い時間リークにより減少する。そのため、上半分の領域と下半分の領域の境界では、リークによる電荷の減少量に一律の差が生じる。この電荷の減少量の差が境界線上での輝度差となり、人間の視覚によって認知されることとなる。

【 0 0 0 9 】

このような輝度差は、視認される程度になると、画質の劣化となる。

【 0 0 1 0 】

液晶表示パネルを例に採って説明したが、画素ごとに表示すべき画像データに対応する量の電荷を、キャパシタに保持する表示パネルを使って、表示素子の駆動を領域ごとに間欠的に行う表示装置では、共通に発生し得る課題である。

【 0 0 1 1 】

このような課題を解決するための手段を以下に説明するが、その他の課題と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

【課題を解決するための手段】

【 0 0 1 2 】

－実施の形態によれば、下記の通りである。

【 0 0 1 3 】

すなわち、1画素ごとに画像データに対応する量の電荷を保持するキャパシタを備え、複数のラインで構成される1フレーム毎の画像データを表示する表示パネルと、それを駆動するための表示駆動回路、それを備える半導体装置、またはその表示駆動回路を備える表示装置であって、以下のように構成される。

【 0 0 1 4 】

表示駆動回路は、1フレーム期間内に、表示パネルを駆動する複数の表示駆動期間と、表示パネルの駆動を停止するブランク期間とを交互に含む、時分割動作を行なう。1フレーム内の複数のラインを、数ライン毎に複数の表示駆動期間に概ね均等に分散して表示駆動する。

【発明の効果】

【 0 0 1 5 】

前記一実施の形態によって得られる効果を簡単に説明すれば下記のとおりである。

【 0 0 1 6 】

すなわち、時分割表示に伴って生じた輝度差による領域の境界を視認されにくくし、時分割表示に起因する表示画質の劣化を防止することができる。

【図面の簡単な説明】

【 0 0 1 7 】

【図1】図1は、本発明に係る表示装置の構成例を表すブロック図である。

【図2】図2は、本発明の代表的な実施形態に係る表示動作を示すタイミングチャートである。

【図3】図3は、図2に示すタイミングチャートの一部拡大図である。

【図4】図4は、表示装置におけるパネル内ゲート制御回路の構成例を表す回路図である。

【図5】図5は、図4に示すパネル内ゲート制御回路の動作を示すタイミングチャートである。

【図6】図6は、実施形態1に係る表示動作を示すタイミングチャートである。

【図7】図7は、図6に示すタイミングチャートの一部拡大図である。

【図8】図8は、実施形態1の表示装置におけるパネル内ゲート制御回路の構成例を表す回路図である。

【図9】図9は、図8に示すパネル内ゲート制御回路の動作を示すタイミングチャートである。

【図10】図10は、実施形態2の表示装置におけるパネル内ゲート制御回路の構成例を表す回路図である。

【図11】図11は、実施形態3に係る表示動作を示すタイミングチャートである。

【図12】図12は、実施形態3の表示装置におけるパネル内ゲート制御回路の動作を示すタイミングチャートである。

【図13】図13は、従来の時分割動作における、画像の表示例を示す説明図である。

【図14】図14は、本発明に係る表示装置による時分割動作における、画像の表示例を示す説明図である。

【図15】図15は、実施形態4に係る表示装置の構成例を表すブロック図である。

10

20

30

40

50

【図 16】図 16 は、実施形態 4 に係る表示装置におけるパネル内ゲート制御回路の構成例を表す回路図である。

【図 17】図 17 は、図 16 に示すパネル内ゲート制御回路の動作を示すタイミングチャートである。

【図 18】図 18 は、実施形態 4 に係る表示動作を示すタイミングチャートである。

【図 19】図 19 は、実施形態 4 に係る表示装置による時分割動作における、画像の表示例を示す説明図である。

【発明を実施するための形態】

【0018】

1. 実施の形態の概要

10

先ず、本願において開示される代表的な実施の形態について概要を説明する。代表的な実施の形態についての概要説明で括弧を付して参照する図面中の参照符号はそれが付された構成要素の概念に含まれるものを例示するに過ぎない。

【0019】

〔1〕＜ラインを均等に複数の表示駆動期間に分散して表示する表示駆動回路＞

複数のラインで構成される 1 フレーム毎の画像データを表示する表示パネル（5）を駆動するための駆動信号を出力可能な表示駆動回路（3）を備える半導体装置（2 または 3）であって、以下のように構成される。

【0020】

前記表示パネルは、前記ラインを構成する複数の画素の 1 画素ごとに、前記画像データ 20 に対応する量の電荷を保持するキャパシタを備える。

【0021】

前記表示駆動回路は、1 フレーム期間（時刻 $t_0 \sim t_6$ ）内に、第 1 表示駆動期間（時刻 $t_0 \sim t_1$ ）と第 1 ブランク期間（時刻 $t_1 \sim t_2$ ）と第 2 表示駆動期間（時刻 $t_2 \sim t_3$ ）とを順次含む、時分割動作を可能に構成される。

【0022】

前記表示駆動回路は、前記第 1 表示駆動期間に、所定周期で分散する、前記表示パネルの 1 フレーム内の複数のライン（31）を駆動し、前記第 1 ブランク期間に前記表示パネルの駆動を停止し、前記第 2 表示駆動期間に前記 1 フレーム内の前記第 1 表示駆動期間に表示駆動された複数のラインとは異なる、前記表示パネルの複数のライン（32）を駆動 30 する、駆動信号を出力可能に構成される。

【0023】

これにより、時分割表示に伴って生じた輝度差による領域の境界が視認されにくく、時分割表示に起因する表示画質の劣化が防止された、表示パネルを駆動するための表示駆動回路を備える半導体装置を提供することができる。

【0024】

〔2〕＜タッチパネル一体型表示装置における表示とセンスの時分割動作＞

項 1 において、前記半導体装置は、前記表示パネル上に積層されたタッチパネル（6）のタッチ状態を検知可能な、タッチパネルコントローラ（4）をさらに備え、以下のように構成される。 40

【0025】

前記タッチパネルコントローラは、前記第 1 ブランク期間に前記タッチ状態を検知するタッチ状態検知動作を行い、前記第 1 及び第 2 表示駆動期間に前記タッチ状態検知動作を停止する。

【0026】

これにより、タッチパネルを一体に積層された表示パネルを備える表示装置にも、時分割表示に起因する表示画質の劣化を生じさせることなく、タッチ検出動作における検出精度を向上することができる、半導体装置を提供することができる。第 1 ブランク期間とそれに含まれる上記タッチ状態検知動作を行う期間は、上記第 1 または第 2 表示駆動期間の一方または両方と、時間的に重複してもよい。時間的な重複を減らすことによって、タッ 50

チ検出動作における信号対雑音比 (S/N 比) は向上し、時間的な重複をなくすことによって S/N 比は最良となる。 S/N 比を向上することによって、検出精度を向上することができる。一方、時間的な重複を許すことによって、タッチ検出動作にかかる時間を長くすることができるので、それによって検出精度を向上することができる場合もある。

【 0 0 2 7 】

〔 3 〕 < M ライン周期で N ライン毎に分散 >

項 1 または項 2 において、前記表示駆動回路は、前記第 1 表示駆動期間に 1 フレーム内の M (M は 1 以上の整数) ライン周期で N (N は 1 以上の整数) ライン毎に分散する、前記表示パネルの複数のラインを駆動し、前記第 2 表示駆動期間に前記 1 フレーム内の前記第 1 表示駆動期間に表示駆動された複数のラインとは異なり、前記フレーム内の前記 M ライン周期で前記 N ライン毎に分散する、前記表示パネルの複数のラインを駆動する、駆動信号を出力可能に構成される。

10

【 0 0 2 8 】

これにより、表示駆動期間の異なる領域の境界が概ね均等に分散され、時分割表示に伴って生じた輝度差による領域の境界を視認されにくくし、接続される表示パネルにおいて、時分割表示に起因する表示画質の劣化を防止することができる、表示駆動回路を備えた半導体装置を提供することができる。例えば、上記所定周期を M ラインとし、1 フレーム期間内に M/N 回の表示駆動期間と M/N 回または $M/N + 1$ 回または $M/N - 1$ 回のブランク期間に分割する、時分割動作において、表示駆動期間の異なる領域が均等に分割される。

20

【 0 0 2 9 】

〔 4 〕 < 1 ライン毎に分散 ($N = 1$) >

項 3 において、前記表示駆動回路は、前記第 1 表示駆動期間に 1 フレーム内の前記 M ライン周期で 1 ライン毎に分散する、前記表示パネルの複数のラインを駆動し、前記第 2 表示駆動期間に前記 1 フレーム内の前記第 1 表示駆動期間に表示駆動された複数のラインとは異なり、前記フレーム内の前記 M ライン周期で 1 ライン毎に分散する、前記表示パネルの複数のラインを駆動する、駆動信号を出力可能に構成される。

【 0 0 3 0 】

これにより、表示駆動期間の異なる領域が細かくかつ均等に分散され、時分割表示に伴って生じた輝度差による領域の境界を視認されにくくし、接続される表示パネルにおいて、時分割表示に起因する表示画質の劣化を防止することができる、表示駆動回路を備えた半導体装置を提供することができる。例えば、上記所定周期を M ラインとし、1 フレーム期間内に M 回の表示駆動期間と M 回または $M + 1$ 回または $M - 1$ 回のブランク期間に分割する、時分割動作において、表示駆動期間の異なる領域が均等に分割される。

30

【 0 0 3 1 】

〔 5 〕 < 1 ライン毎に交互に分散 >

項 4 において、前記表示駆動回路は、前記第 1 表示駆動期間に 1 フレーム内の 2 ライン周期で 1 ライン毎に分散する、前記表示パネルの複数のラインを駆動し、前記第 2 表示駆動期間に前記 1 フレーム内の前記第 1 表示駆動期間に表示駆動された複数のラインとは異なる他の複数のラインを駆動する、駆動信号を出力可能に構成される。

40

【 0 0 3 2 】

これにより、表示駆動期間の異なる領域が細かくかつ均等に分散され、時分割表示に伴って生じた輝度差による領域の境界を視認されにくくし、接続される表示パネルにおいて、時分割表示に起因する表示画質の劣化を防止することができる、表示駆動回路を備えた半導体装置を提供することができる。例えば、1 フレーム内に 2 回の表示駆動期間を含む時分割動作において、一方で奇数ラインを他方で偶数ラインを表示するなどにより、表示駆動期間の異なる領域が細かくかつ均等に分散される。

【 0 0 3 3 】

〔 6 〕 < 連続するフレームで表示する領域の順序を変える >

項 3 において、前記表示駆動回路は、以下のような動作をさせるための駆動信号を出力

50

可能に構成される。

【 0 0 3 4 】

第 1 フレームの第 1 表示駆動期間に前記第 1 フレーム内の M (M は 1 以上の整数) ライン周期で N (N は 1 以上の整数) ライン毎に分散する、前記表示パネルの複数のラインを駆動する。前記第 1 フレームの第 2 表示駆動期間には、前記第 1 表示駆動期間に表示駆動された複数のラインとは異なり、前記第 1 フレーム内の前記 M ライン周期で前記 N ライン毎に分散する、前記表示パネルの複数のラインを駆動する。前記第 1 フレームと連続する第 2 フレームの第 1 表示駆動期間には、前記第 1 フレームの第 1 表示駆動期間に表示駆動された複数のラインとは異なり、前記第 2 フレーム内の前記 M ライン周期で前記 N ライン毎に分散する、前記表示パネルの複数のラインを駆動する。

10

【 0 0 3 5 】

これにより、表示駆動期間の異なる領域の境界が時間軸方向にも均等に分散され、時分割表示に伴って生じた輝度差による領域の境界を視認されにくくし、接続される表示パネルにおいて、時分割表示に起因する表示画質の劣化を防止することができる、表示駆動回路を備えた半導体装置を提供することができる。

【 0 0 3 6 】

〔 7 〕 < 連続するフレームで奇数ラインと偶数ラインを交互に表示 >

項 6 において、前記表示駆動回路は、以下のような動作をさせるための駆動信号を出力可能に構成される。

【 0 0 3 7 】

20

第 1 フレームの第 1 表示駆動期間に前記第 1 フレーム内の奇数ラインを駆動し、前記第 1 フレームの第 2 表示駆動期間に前記第 1 フレーム内の偶数ラインを駆動し、前記第 1 フレームと連続する第 2 フレームの第 1 表示駆動期間に前記第 2 フレーム内の偶数ラインを駆動し、前記第 2 フレームの第 2 表示駆動期間に前記第 2 フレーム内の奇数ラインを駆動する。

【 0 0 3 8 】

これにより、奇数ラインと偶数ラインが表示駆動される表示駆動期間が、前半と後半の表示駆動期間の間でフレーム毎に交互に入れ替えられ、画素ごとの電荷の保持性能にばらつきがある場合であっても、時分割表示に伴って生じた輝度差による領域の境界を視認されにくくし、接続される表示パネルにおいて、時分割表示に起因する表示画質の劣化を防止することができる、表示駆動回路を備えた半導体装置を提供することができる。

30

【 0 0 3 9 】

〔 8 〕 < インターレースのためのフレームメモリ >

項 1 から項 7 のうちの 1 項において、前記表示駆動回路は、メモリ (1 4) と制御部 (1 3) とを備える。

【 0 0 4 0 】

前記制御部は、表示すべき 1 フレームの上のラインから順次走査された順序で入力される画像データを、前記メモリに書き込み、前記第 1 表示駆動期間に、前記第 1 表示駆動期間に表示すべきラインの画像データを、表示駆動すべき順序で前記メモリから読み出す。さらに、前記制御部は、前記第 2 表示駆動期間に、前記第 2 表示駆動期間に表示すべきラインの画像データを、前記メモリから読み出す。

40

【 0 0 4 1 】

前記表示駆動回路は、読み出された画像データに基づいて前記駆動信号を生成する。

【 0 0 4 2 】

これにより、表示駆動回路は、従来通りラスタースキャン (順次走査) された画像データが、走査された順序のまま入力された場合であっても、順序を適切に入れ替えて表示パネルへ駆動信号として出力することができる。一旦、1 フレーム分の画像データをメモリに入力して、表示すべきライン毎に所定の周期で読み出す。メモリは、少なくとも 1 フレーム分の画像データを格納できる記憶容量を備えると良い。

【 0 0 4 3 】

50

〔 9 〕 < タッチパネルコントローラに対するタイミング信号 >

項 2 において、前記表示駆動回路は、メモリ (1 4) と制御部 (1 3) とを備える。

【 0 0 4 4 】

前記制御部は、表示すべき 1 フレームの上のラインから順次走査された順序で入力される画像データを、前記メモリに書き込み、前記第 1 表示駆動期間に、前記第 1 表示駆動期間に表示すべきラインの画像データを、表示駆動すべき順序で前記メモリから読み出す。さらに、前記制御部は、前記第 2 表示駆動期間に、前記第 2 表示駆動期間に表示すべきラインの画像データを、前記メモリから読み出す。

【 0 0 4 5 】

前記表示駆動回路は、読み出された画像データに基づいて前記駆動信号を生成する。

10

【 0 0 4 6 】

前記制御部は、前記タッチパネルコントローラに対し、タイミング信号を出力する。

【 0 0 4 7 】

前記タッチパネルコントローラは、前記タイミング信号にもとづいて、前記第 1 ブランク期間と前記第 1 及び第 2 表示駆動期間における、前記タッチ状態検知動作の開始と停止を制御する。

【 0 0 4 8 】

これにより、表示駆動回路が、従来通りラスタースキャン (順次走査) された画像データが、走査された順序のまま入力された場合であっても、適切に順序を入れ替えて表示パネルへ駆動信号として出力することができ、さらに、表示駆動動作とタッチ状態検出動作を同期させることができる。

20

【 0 0 4 9 】

〔 1 0 〕 < 表示駆動回路とタッチパネルコントローラとを集積 >

項 2 または項 9 において、前記表示駆動回路と前記タッチパネルコントローラとが、同一半導体基板上に集積される。

【 0 0 5 0 】

これにより、部品点数を減らし、基板の実装面積を低減することができる。表示駆動回路とタッチパネルコントローラ以外の回路、例えば M P U がさらに同一半導体基板上に集積されてもよい。

【 0 0 5 1 】

30

〔 1 1 〕 < 画像データを圧縮してメモリに格納 >

項 8 において、前記表示駆動回路は、圧縮回路 (3 3) と展開回路 (3 4) とをさらに備える。

【 0 0 5 2 】

前記制御部は、表示すべき 1 フレームの上のラインから順次走査された順序で入力される画像データを、前記圧縮回路によってデータ圧縮して前記メモリに書き込む。前記第 1 表示駆動期間には、前記第 1 表示駆動期間に表示すべきラインの画像データを含むデータ圧縮されたデータを、表示駆動すべき順序で前記メモリから読み出し、前記第 2 表示駆動期間には、前記第 2 表示駆動期間に表示すべきラインの画像データを含む、前記データ圧縮されたデータを、前記メモリから読み出す。

40

【 0 0 5 3 】

前記展開回路は、前記メモリから読み出されたデータ圧縮された前記データを展開することにより、表示すべき前記ラインの画像データを復元する。

【 0 0 5 4 】

前記表示駆動回路は、復元された前記画像データに基づいて前記駆動信号を生成する。

【 0 0 5 5 】

これにより、メモリ (1 4) の容量を小さく抑えることができる。

【 0 0 5 6 】

〔 1 2 〕 < データ圧縮の単位ライン数と分散表示の単位ライン数を一致 >

項 1 1 において、前記表示駆動回路は、前記第 1 表示駆動期間に 1 フレーム内の M (M

50

は1以上の整数)ライン周期でN(Nは1以上の整数)ライン毎に分散する、前記表示パネルの複数のラインを駆動し、前記第2表示駆動期間に前記1フレーム内の前記第1表示駆動期間に表示駆動された複数のラインとは異なり、前記フレーム内の前記Mライン周期で前記Nライン毎に分散する、前記表示パネルの複数のラインを駆動する、駆動信号を出力可能に構成される。

【0057】

前記圧縮回路は、同じ前記Nラインを単位として画像データの前記データ圧縮を実行し、前記展開回路も、同じ前記Nラインを単位として前記データ圧縮のデータを展開することにより画像データを復元する。

【0058】

これにより、圧縮回路(33)と展開回路(34)を効率よく動作させることができる。データ圧縮の単位ライン数をNラインとし表示駆動を同じNライン毎に行うので、換言すれば、表示すべきNラインの画像データを画像圧縮の単位として一括して圧縮して格納し、一括して展開するので、展開された画像データと表示される画像データが一致し、展開された画像データに無駄が生まれない。

【0059】

〔13〕<ラインを均等に複数の表示駆動期間に分散して表示する表示装置>

複数のラインで構成される1フレーム毎の画像データを表示する表示パネル(5)と、前記表示パネルを駆動するための駆動信号を出力可能な表示駆動回路(3)とを備え、以下のように構成される。

【0060】

前記表示パネルは、前記ラインを構成する複数の画素の1画素ごとに、前記画像データに対応する量の電荷を保持するキャパシタを備える。

【0061】

前記表示駆動回路は、1フレーム期間(時刻 $t_0 \sim t_6$)内に、第1表示駆動期間(時刻 $t_0 \sim t_1$)と第1ブランク期間(時刻 $t_1 \sim t_2$)と第2表示駆動期間(時刻 $t_2 \sim t_3$)とを順次含む、時分割動作を可能に構成される。

【0062】

前記表示駆動回路は、前記第1表示駆動期間に1フレーム内の所定周期で分散する、前記表示パネルの複数のライン(31)を駆動し、前記第1ブランク期間に前記表示パネルの駆動を停止し、前記第2表示駆動期間に前記1フレーム内の前記第1表示駆動期間に表示駆動された複数のラインとは異なる、前記表示パネルの複数のライン(32)を駆動する。

【0063】

これにより、時分割表示に伴って生じた輝度差による領域の境界を視認されにくくし、時分割表示に起因する表示画質の劣化を防止することができる。

【0064】

〔14〕<タッチパネル一体型表示装置における表示とセンスの時分割動作>

項13において、前記表示パネル上に積層されたタッチパネル(6)と、前記タッチパネルのタッチ状態を検知するタッチパネルコントローラ(4)とをさらに備える。

【0065】

前記タッチパネルコントローラは、前記第1ブランク期間に前記タッチ状態を検知するタッチ状態検知動作を行い、前記第1及び第2表示駆動期間に前記タッチ状態検知動作を停止する。

【0066】

これにより、タッチパネルが一体に積層された表示パネルを備える表示装置においても、時分割表示に起因する表示画質の劣化を生じさせることなく、タッチ検出動作における検出精度を向上することができる。第1ブランク期間とそれに含まれる上記タッチ状態検知動作を行う期間は、上記第1または第2表示駆動期間の一方または両方と、時間的に重複してもよい。時間的な重複を減らすことによって、タッチ検出動作における信号対雑音

10

20

30

40

50

比 (S/N 比) は向上し、時間的な重複をなくすことによって S/N 比は最良となる。 S/N 比が向上することによって、検出精度を向上することができる。一方、時間的な重複を許すことによって、タッチ検出動作にかかる時間を長くとることができるので、それによって検出精度を向上することができる場合もある。

【0067】

〔15〕＜Mライン周期でNライン毎に分散＞

項13または項14において、前記表示駆動回路は、前記第1表示駆動期間に1フレーム内のM (Mは1以上の整数) ライン周期でN (Nは1以上の整数) ライン毎に分散する、前記表示パネルの複数のラインを駆動し、前記第2表示駆動期間に前記1フレーム内の前記第1表示駆動期間に表示駆動された複数のラインとは異なり、前記フレーム内の前記Mライン周期で前記Nライン毎に分散する、前記表示パネルの複数のラインを駆動する。

10

【0068】

これにより、表示駆動期間の異なる領域の境界が概ね均等に分散され、時分割表示に伴って生じた輝度差による領域の境界を視認されにくくし、時分割表示に起因する表示画質の劣化を防止することができる。例えば、上記所定周期をMラインとし、1フレーム期間内にM/N回の表示駆動期間とM/N回またはM/N+1回またはM/N-1回のブランク期間に分割する、時分割動作において、表示駆動期間の異なる領域が均等に分割される。

【0069】

〔16〕＜1ライン毎に分散 (N=1)＞

20

項15において、前記表示駆動回路は、前記第1表示駆動期間に1フレーム内の前記Mライン周期で1ライン毎に分散する、前記表示パネルの複数のラインを駆動し、前記第2表示駆動期間に前記1フレーム内の前記第1表示駆動期間に表示駆動された複数のラインとは異なり、前記フレーム内の前記Mライン周期で1ライン毎に分散する、前記表示パネルの複数のラインを駆動する。

【0070】

これにより、表示駆動期間の異なる領域が細かくかつ均等に分散され、時分割表示に伴って生じた輝度差による領域の境界を視認されにくくし、時分割表示に起因する表示画質の劣化をさらに防止することができる。例えば、上記所定周期をMラインとし、1フレーム期間内にM回の表示駆動期間とM回またはM+1回またはM-1回のブランク期間に分割する、時分割動作において、表示駆動期間の異なる領域が均等に分割される。

30

【0071】

〔17〕＜1ライン毎に交互に分散＞

項16において、前記表示駆動回路は、前記第1表示駆動期間に1フレーム内の2ライン周期で1ライン毎に分散する、前記表示パネルの複数のラインを駆動し、前記第2表示駆動期間に前記1フレーム内の前記第1表示駆動期間に表示駆動された複数のラインとは異なる他の複数のラインを駆動する。

【0072】

これにより、表示駆動期間の異なる領域が細かくかつ均等に分散され、時分割表示に伴って生じた輝度差による領域の境界を視認されにくくし、時分割表示に起因する表示画質の劣化をさらに防止することができる。例えば、1フレーム内に2回の表示駆動期間を含む時分割動作において、一方で奇数ラインを他方で偶数ラインを表示するなどにより、表示駆動期間の異なる領域が細かくかつ均等に分散される。

40

【0073】

〔18〕＜連続するフレームで表示する領域の順序を変える＞

項15において、前記表示駆動回路は、第1フレームの第1表示駆動期間に前記第1フレーム内のM (Mは1以上の整数) ライン周期でN (Nは1以上の整数) ライン毎に分散する、前記表示パネルの複数のラインを駆動する。さらに前記表示駆動回路は、前記第1フレームの第2表示駆動期間には、前記第1表示駆動期間に表示駆動された複数のラインとは異なり、前記第1フレーム内の前記Mライン周期で前記Nライン毎に分散する、前記

50

表示パネルの複数のラインを駆動する。さらに前記表示駆動回路は、前記第 1 フレームと連続する第 2 フレームの第 1 表示駆動期間に、前記第 1 フレームの第 1 表示駆動期間に表示駆動された複数のラインとは異なり、前記第 2 フレーム内の前記 M ライン周期で前記 N ライン毎に分散する、前記表示パネルの複数のラインを駆動する。

【 0 0 7 4 】

これにより、表示駆動期間の異なる領域の境界が時間軸方向にも均等に分散され、時分割表示に伴って生じた輝度差による領域の境界を視認されにくくし、時分割表示に起因する表示画質の劣化を防止することができる。

【 0 0 7 5 】

〔 1 9 〕 < 連続するフレームで奇数ラインと偶数ラインを交互に表示 >

10

項 1 8 において、前記表示駆動回路は、第 1 フレームの第 1 表示駆動期間に前記第 1 フレーム内の奇数ラインを駆動し、前記第 1 フレームの第 2 表示駆動期間に前記第 1 フレーム内の偶数ラインを駆動し、前記第 1 フレームと連続する第 2 フレームの第 1 表示駆動期間に前記第 2 フレーム内の偶数ラインを駆動し、前記第 2 フレームの第 2 表示駆動期間に前記第 2 フレーム内の奇数ラインを駆動する。

【 0 0 7 6 】

これにより、奇数ラインと偶数ラインが表示駆動される表示駆動期間が、前半と後半の表示駆動期間の間でフレーム毎に交互に入れ替えられ、画素ごとの電荷の保持性能にばらつきがある場合であっても、時分割表示に伴って生じた輝度差による領域の境界を視認されにくくし、時分割表示に起因する表示画質の劣化を防止することができる。

20

【 0 0 7 7 】

〔 2 0 〕 < パネル内ゲート制御回路 >

項 1 5 において、前記表示駆動回路は、表示駆動すべきラインを示すフラグを前記表示パネルに供給し、前記表示パネルは、前記 M ライン周期で前記 N ライン毎に記憶素子を設けたシフトレジスタ (2 2) を備える。前記シフトレジスタは、前記フラグが入力され 1 ライン毎にシフト可能に構成される。

【 0 0 7 8 】

これにより、表示駆動回路と表示パネルの間の信号線の数減らすことができる。

【 0 0 7 9 】

〔 2 1 〕 < パネル内ゲート制御回路に 2 ライン周期 1 ライン毎のシフトレジスタ 2 組 >

30

項 2 0 において、前記表示パネルは、2 ライン周期で 1 ライン毎に記憶素子を設けた 2 組のシフトレジスタ (2 2 _ 4、2 2 _ 5) を備える。

【 0 0 8 0 】

これにより、2 ライン周期で 1 ライン毎に、即ち、1 ライン毎に交互に、表示領域を分散させるための回路を、容易に構成することができる。

【 0 0 8 1 】

〔 2 2 〕 < パネル内ゲート制御回路内の 2 組のシフトレジスタは表示パネルの両側に配置 >

項 2 1 において、前記 2 組のシフトレジスタは、前記表示パネルの表示領域を挟む領域に配置される。

40

【 0 0 8 2 】

これにより、パネル内ゲート制御回路を効率よく配置することができる。各ゲート線を駆動するゲートドライバとシフトレジスタを構成する記憶素子 (フリップフロップ) のレイアウトに許されるピッチが、ゲート線のピッチの 2 倍のピッチまで拡大されるからである。

【 0 0 8 3 】

〔 2 3 〕 < 画像データを圧縮してメモリに格納 >

項 1 5 において、前記表示駆動回路は、圧縮回路 (3 3) とメモリ (1 4) と展開回路 (3 4) と制御部 (1 3) とを備える。

【 0 0 8 4 】

50

前記制御部は、表示すべき１フレームの上のラインから順次走査された順序で入力される画像データを、前記圧縮回路によってデータ圧縮して前記メモリに書き込む。前記第１表示駆動期間には、前記第１表示駆動期間に表示すべきラインの画像データを含むデータ圧縮されたデータを、表示駆動すべき順序で前記メモリから読み出し、前記第２表示駆動期間には、前記第２表示駆動期間に表示すべきラインの画像データを含む、前記データ圧縮されたデータを、前記メモリから読み出す。

【００８５】

前記展開回路は、前記メモリから読み出されたデータ圧縮された前記データを展開することにより、表示すべき前記ラインの画像データを復元する。

【００８６】

前記表示駆動回路は、復元された前記画像データに基づいて前記駆動信号を生成する。

【００８７】

これにより、表示駆動回路は、従来通りラスタースキャン（順次走査）された画像データが、走査された順序のまま入力された場合であっても、順序を適切に入れ替えて表示パネルへ駆動信号として出力することができる。一旦、１フレーム分の画像データをメモリに入力して、表示すべきライン毎に所定の周期で読み出す。メモリは、少なくとも１フレーム分の画像データを格納できる記憶容量を備えると良い。画像データが書き込むときに圧縮され読み出された後に展開されることにより、メモリ（１４）の容量を小さく抑えることができる。

【００８８】

〔２４〕＜データ圧縮の単位ライン数と分散表示の単位ライン数を一致＞

項２３において、前記表示駆動回路は、前記第１表示駆動期間に１フレーム内の M （ M は１以上の整数）ライン周期で N （ N は１以上の整数）ライン毎に分散する、前記表示パネルの複数のラインを駆動し、前記第２表示駆動期間に前記１フレーム内の前記第１表示駆動期間に表示駆動された複数のラインとは異なり、前記フレーム内の前記 M ライン周期で前記 N ライン毎に分散する、前記表示パネルの複数のラインを駆動する、駆動信号を出力可能に構成される。

【００８９】

前記圧縮回路は、同じ前記 N ラインを単位として画像データの前記データ圧縮を実行し、前記展開回路は、同じ前記 N ラインを単位として前記データ圧縮のデータを展開することにより画像データを復元する。

【００９０】

これにより、圧縮回路（３３）と展開回路（３４）を効率よく動作させることができる。データ圧縮の単位ライン数を N ラインとし表示駆動を同じ N ライン毎に行うので、換言すれば、表示すべき N ラインの画像データを画像圧縮の単位として一括して圧縮して格納し、一括して展開するので、展開された画像データと表示される画像データが一致し、展開された画像データに無駄が生まれない。

【００９１】

〔２５〕＜パネル内ゲート制御回路に N ライン毎のシフトレジスタ＞

項２４において、前記表示駆動回路は、表示駆動すべきラインを示すフラグを前記表示パネルに供給し、前記表示パネルは、前記 M ライン周期で前記 N ライン毎に記憶素子を設けたシフトレジスタを備え、前記シフトレジスタは、前記フラグが入力され１ライン毎にシフト可能に構成される、表示装置。

【００９２】

これにより、表示駆動回路と表示パネルの間の信号線の数減らすことができ、 M ライン周期で N ライン毎に、即ち、画像圧縮の単位ライン数毎に表示領域を分散させるための回路を、容易に構成することができる。

【００９３】

２．実施の形態の詳細

実施の形態について更に詳述する。

10

20

30

40

50

【 0 0 9 4 】

〔代表的な実施形態〕＜ラインを均等に複数の表示駆動期間に分散して表示する表示装置＞

図 1 は、本発明に係る表示装置の構成例を表すブロック図である。

【 0 0 9 5 】

本発明に係る表示装置は、複数のラインで構成される 1 フレーム毎の画像データを表示する表示パネル 5 と、表示パネル 5 を駆動するための駆動信号を出力可能な表示駆動回路 3 を備える半導体装置を含んで構成される。表示駆動回路 3 を備える半導体装置は、特に制限されないが、例えば、公知の C M O S (Complementary Metal-Oxide-Semiconductor field effect transistor) L S I (Large Scale Integrated circuit) の半導体製造技術を用いて、単一シリコン基板上に形成される。表示駆動回路 3 のみを単一半導体基板上に形成した半導体装置であってもよく、他の機能回路を集積した I C (Integrated Circuit) 2 であってもよい。

10

【 0 0 9 6 】

表示パネル 5 は、フレーム内のラインを構成する複数の画素の 1 画素ごとに、画像データに対応する量の電荷を保持するキャパシタを備える。キャパシタには、その画素に表示すべき画像データに対応する量の電荷が、順次転送され保持されている。表示パネル 5 では、保持されている電荷量に比例して生じる、キャパシタの電極間の電位差に基づいて、その画素に表示される輝度が決まる。例えば、液晶表示パネルでは、キャパシタの電極は、液晶を偏光させるための電界を生じさせ、偏光量に応じて光の透過量が制御され、その画素の輝度となる。ここで、表示パネル 5 を駆動するための駆動信号は、表示すべき画像データに対応する量の電荷に対応するソース駆動信号と、転送すべき画素が存在するラインを指定するゲート駆動信号を含み、表示駆動回路 3 は、ソース駆動信号を出力するためのソースドライバ 9 と、ゲート駆動信号を生成するための信号を出力するゲート制御ドライバ 8 を含んで構成されるとよい。

20

【 0 0 9 7 】

図 1 に示した表示装置 1 を構成する他のブロックについては、後述する。

【 0 0 9 8 】

図 2 は、本発明の代表的な実施形態に係る表示動作を示すタイミングチャートである。横軸に時間を取り、縦軸に表示駆動されるライン番号を示す。

30

【 0 0 9 9 】

表示駆動回路 3 は、1 フレーム期間 (時刻 $t_0 \sim t_6$) 内に、第 1 表示駆動期間 (時刻 $t_0 \sim t_1$) と第 1 ブランク期間 (時刻 $t_1 \sim t_2$) と第 2 表示駆動期間 (時刻 $t_2 \sim t_3$) とを順次含む、時分割動作を可能に構成される。図 2 に示す例では、1 フレーム期間 (時刻 $t_0 \sim t_6$) 内に、さらに第 2 ブランク期間 (時刻 $t_3 \sim t_4$) と第 3 表示駆動期間 (時刻 $t_4 \sim t_5$) と帰線期間 (時刻 $t_5 \sim t_6$) を順次含む。時刻 $t_6 \sim t_7$ の表示駆動期間と時刻 $t_7 \sim t_8$ のブランク期間は、次のフレームに含まれている。

【 0 1 0 0 】

表示駆動回路 3 は、第 1 表示駆動期間 (時刻 $t_0 \sim t_1$) に、1 フレーム内の所定周期で分散する、表示パネル 5 の複数のラインを駆動し、第 1 ブランク期間 (時刻 $t_1 \sim t_2$) に表示パネル 5 の駆動を停止する。第 2 表示駆動期間 (時刻 $t_2 \sim t_3$) には、そのフレームの第 1 表示駆動期間 (時刻 $t_0 \sim t_1$) に表示駆動された複数のラインとは異なる、複数のラインを駆動する。第 2 ブランク期間 (時刻 $t_3 \sim t_4$) には、表示パネル 5 の駆動を停止する。さらに、第 3 表示駆動期間 (時刻 $t_4 \sim t_5$) には、そのフレームの第 1 表示駆動期間 (時刻 $t_0 \sim t_1$) にも第 2 表示駆動期間 (時刻 $t_2 \sim t_3$) にも表示駆動されていない、残りの複数のラインを駆動する。

40

【 0 1 0 1 】

1 フレーム内の表示駆動期間の数、1 つの表示駆動期間に表示駆動されるライン数とその周期は、任意に定めることができる。また、表示駆動とは、表示のための信号の駆動を指す。「駆動」により、画素ごとに備えられた前記キャパシタに電荷が転送される。「駆

50

動」は、時分割で行われるが、転送された電荷はキャパシタに保持され、それに応じて常時「表示」される。

【0102】

これにより、時分割表示に伴って生じた輝度差による領域の境界が視認されにくく、時分割表示に起因する表示画質の劣化が防止された、表示パネルを駆動するための表示駆動回路を備える半導体装置を提供することができる。

【0103】

本発明の視覚的効果を、図13と図14を引用して説明する。

【0104】

図13は、従来の時分割動作における、画像の表示例を示す説明図であり、図14は、
本発明に係る表示装置による時分割動作における、画像の表示例を示す説明図である。上
述の例とは異なり、理解を容易にするため、1フレーム期間内の表示駆動期間が2つの場
合に、単純化したものである。それぞれ、1フレームに表示される画像を示し、画像の輝
度が高い程、色の濃いハッチングで表す。

10

【0105】

図13に示す従来の時分割動作では、1フレームの上半分を表示駆動した後（第1表示
駆動期間）、一定のブランク期間を経て、1フレームの下半分を表示駆動する（第2表示
駆動期間）。1つの表示駆動期間内では、1ライン毎に順次、そのラインの各画素に表示
すべき画像データに対応する量の電荷が、各画素のキャパシタに転送されて保持される。
転送された後、キャパシタのリークなどにより、転送された電荷量は時間と共に徐々に減
少していく。1つの表示駆動期間内では、上から1ライン毎に順次転送されるので、電荷
の減少量は、上から1ライン毎に徐々に大きくなる。1つの表示駆動期間内では、電荷の
減少量は、滑らかに変化するので、人間の視覚ではその差を認知することはできない。し
かし、図13に示すように、第1表示駆動期間に表示駆動された領域31と、第2表示駆
動期間に表示駆動された領域32との境界では、電荷の減少量は、ブランク期間による減
少量だけ、不連続に変化することとなる。第1表示駆動期間に表示駆動された領域31で
は、第2表示駆動期間に表示駆動された領域32と比べて、ブランク期間による減少量だ
け余計にかつ一律に減少しているからである。人間の視覚では、図13に示すように、第
1表示駆動期間に表示駆動された領域31と、第2表示駆動期間に表示駆動された領域3
2との境界線が、はっきりと認識されてしまう。本来、輝度が滑らかに変化すべき画像に
は存在しない、線が認識されるので、表示画質の劣化となる。

20

30

【0106】

一方、図14に示す、本発明に係る表示装置による時分割動作における、画像の表示例
では、第1表示駆動期間に表示駆動された領域31と、第2表示駆動期間に表示駆動され
た領域32が、均等に分散されている。境界では同じ輝度差があるが、分散されているの
で、人間の視覚では視認されにくくなっているのがわかる。紙面の制限のため図14には
粗い分散を示したが、実際の表示装置では、その大きさと解像度から、人間の視覚で視認
できない程度の細かさで分散すればよい。解像度が高い小さな表示装置では、数ライン毎
に分散させれば十分であるが、数十型などの大型の表示装置では、1ライン毎に分散させ
るとよい。

40

【0107】

<タッチパネル一体型表示装置における表示とセンスの時分割動作>

図1に示した表示装置1を構成する他のブロックについて説明する。表示装置1は、表
示駆動回路3を内蔵したIC2と表示パネル5の上に積層されているタッチパネル6を含
んで構成されるものとして説明する。表示パネル5とタッチパネル6は、単純に重ね合せ
られたオンセル方式でも、一体化されたインセル方式でもよい。IC2は、表示駆動回路
3の他、タッチパネル6に接続されるタッチパネルコントローラ4と、表示装置1全体を
制御するMPU7とを含んで構成される。

【0108】

タッチパネルコントローラ4は、MPU7によって制御され、タッチパネル6にタッチ

50

検出用の信号を出力し、タッチパネル 6 から受信するタッチセンス信号に基づいて、MPU 7 によってタッチ座標やタッチ状態を検出する。

【0109】

表示駆動回路 3 は、前述のゲート制御ドライバ 8 とソースドライバ 9 の他、電源回路 10、システムインタフェース 11、表示インタフェース 12、制御部 13、メモリ 14、データラッチ 15、及び、階調電圧選択部 16 を含んで構成される。電源回路 10 は外部から供給される電源を、適宜レベル変換し安定化して、ゲート制御ドライバ 8 とソースドライバ 9 の駆動電圧を始め、その他の回路の動作電源を生成し供給する。システムインタフェース 11 は、表示装置 1 に接続される図示されないホストからのコマンドを受信し、検出されたタッチ座標などのデータをホストへ出力する、インタフェース回路である。表示インタフェース 12 は、表示すべき画像データを受信するインタフェース回路である。制御部 13 は、システムインタフェース 11 と MPU 7 との間のコマンドやデータの授受を行い、また、MPU 7 からの制御を受けて、タッチパネルコントローラ 4、ゲート制御ドライバ 8、ソースドライバ 9、データラッチ 15、及び、階調電圧選択部 16 のタイミング制御を行ない、表示インタフェース 12 を介して受信した画像データをメモリ 14 に転送する。メモリ 14 に一旦保持された画像データは、データラッチ 15 に読み出され、階調電圧選択部 16 に送られる。階調電圧選択部 16 は、画像データに基づいて、その画素が表示駆動されるべきソース線の階調電圧を選択し、ソースドライバ 9 に出力する。ソースドライバ 9 は、選択された階調電圧で表示パネル 5 のソース線を駆動する。

【0110】

制御部 13 は、表示すべき 1 フレームの上のラインから順次走査された順序で入力される画像データを、メモリ 14 に書き込み、各表示駆動期間には、その期間に表示すべきラインの順序での画像データを、メモリ 14 からデータラッチ 15 に読み出す。ホストからは、表示すべき画像データが、1 フレームの上のラインから順次走査された順序で入力されるので、表示される順序に入れ替える必要があるためである。

【0111】

これにより、表示駆動回路 3 は、従来通りラスタースキャン（順次走査）された画像データが、走査された順序のまま入力された場合であっても、順序を適切に入れ替えて表示パネルへ駆動信号として出力することができる。一旦、1 フレーム分の画像データをメモリに入力して、表示すべきライン毎に所定の周期で読み出すため、メモリ 14 は、少なくとも 1 フレーム分の画像データを格納できる記憶容量を備えると良い。

【0112】

制御部 13 は、上記のように、各表示駆動期間には、その期間に表示すべきラインの順序での画像データを、メモリ 14 から読み出すためのタイミング制御を行う。合わせて、タッチパネルコントローラ 4 に対し、タイミング信号を出力する。タッチパネルコントローラ 4 は、受信したタイミング信号にもとづいて、ブランク期間にタッチパネル 6 のタッチ状態検知動作を行い、表示駆動期間にタッチ状態検知動作を停止する。

【0113】

図 2 に示したタイミングチャートを引用して、表示駆動とタッチセンスの時分割動作について説明する。

【0114】

タッチパネルコントローラ 4 は、ブランク期間にタッチパネル 6 のタッチ状態を検知するタッチ状態検知動作を行い、表示駆動期間にタッチ状態検知動作を停止する。表示駆動回路 3 が表示パネル 5 の駆動を停止している、第 1 ブランク期間（時刻 $t_1 \sim t_2$ ）と第 2 ブランク期間（時刻 $t_3 \sim t_4$ ）に、タッチパネル 6 のタッチ状態検知動作を行なう。表示駆動回路 3 が表示パネル 5 の複数のラインを駆動する第 1 表示駆動期間（時刻 $t_0 \sim t_1$ ）、第 2 表示駆動期間（時刻 $t_2 \sim t_3$ ）及び第 3 表示駆動期間（時刻 $t_4 \sim t_5$ ）には、タッチパネル 6 のタッチ状態検知動作を停止する。帰線期間（時刻 $t_5 \sim t_6$ ）にもタッチ状態検知動作を行なってもよい。

【0115】

これにより、タッチパネル 6 を一体に積層された表示パネル 5 を備える表示装置 1 においても、時分割表示に起因する表示画質の劣化を生じさせることなく、タッチ検出動作における検出精度を向上することができる。

【0116】

表示駆動とタッチ状態検出動作は、時間的に完全に分割されるのが理想的であるが、タッチ状態検出動作が上記第 1 または第 2 表示駆動期間の一部に食い込んで、表示駆動とタッチ状態検出動作が時間的に重複してもよい。時間的な重複を減らすことによって、タッチ検出動作における信号対雑音比 (S/N 比) は向上し、時間的な重複をなくすことによって S/N 比は最良となる。 S/N 比が向上することによって、検出精度を向上することができる。一方、時間的な重複を許すことによって、タッチ検出動作にかかる時間を長くとることができるので、それによって検出精度を向上することができる場合もある。

10

【0117】

< M ライン周期で N ライン毎に分散 >

ラインを均等に複数の表示駆動期間に分散して表示する動作について、より詳細に説明する。

【0118】

図 3 は、図 2 に示すタイミングチャートの一部拡大図である。1 フレームが 1024 ラインで構成される場合を例に採って示す。この値に制限されるものではなく、本発明は、1 フレームが任意のライン数の表示パネルに適用することができる。

【0119】

20

表示駆動回路 3 は、第 1 表示駆動期間 (時刻 $t_0 \sim t_1$) には、1 フレーム内に M (M は 1 以上の整数) ライン周期で N (N は 1 以上の整数) ライン毎に分散する、表示パネル 5 の複数のラインを駆動し、第 2 表示駆動期間 (時刻 $t_2 \sim t_3$) には、同じフレーム内に M ライン周期で N ライン毎に分散する、第 1 表示駆動期間 (時刻 $t_0 \sim t_1$) に表示駆動された複数のラインとは異なる、複数のラインを駆動する。図 3 に示すように、第 1 表示駆動期間 (時刻 $t_0 \sim t_1$) には、時刻 $t_0 \sim t_{11}$ に第 1 ~ 第 N ラインを駆動し、時刻 $t_{11} \sim t_{12}$ に第 $M+1$ ~ 第 $M+N$ ラインを駆動し、時刻 $t_{12} \sim t_{13}$ に第 $2M+1$ ~ 第 $2M+N$ ラインを駆動し、時刻 $t_{15} \sim t_1$ に第 $1024-M+1$ ~ 第 $1024-2N$ ラインを駆動する。第 2 表示駆動期間 (時刻 $t_2 \sim t_3$) には、時刻 $t_2 \sim t_{21}$ に第 $N+1$ ~ 第 $2N$ ラインを駆動し、時刻 $t_{21} \sim t_{22}$ に第 $M+N+1$ ~ 第 $M+2N$ ラインを駆動し、時刻 $t_{22} \sim t_{23}$ に第 $2M+N+1$ ~ 第 $2M+2N$ ラインを駆動し、時刻 $t_{25} \sim t_3$ に第 $1024-2N+1$ ~ 第 $1024-N$ ラインを駆動する。第 3 表示駆動期間 (時刻 $t_4 \sim t_5$) には、時刻 $t_4 \sim t_{31}$ に第 $2N+1$ ~ 第 $3N$ ラインを駆動し、時刻 $t_{31} \sim t_{32}$ に第 $M+2N+1$ ~ 第 $2M$ ラインを駆動し、時刻 $t_{32} \sim t_{33}$ に第 $2M+2N+1$ ~ 第 $2M+3N$ ラインを駆動し、時刻 $t_{35} \sim t_5$ に第 $1024-N+1$ ~ 第 1024 ラインを駆動する。図 3 は、1 フレームに 3 回の表示駆動期間を持つ、 $M=3N$ の場合を例示するが、 M と N の値は任意に定めることができる。例えば、上記所定周期を M ラインとし、1 フレーム期間内に M/N 回の表示駆動期間を含む時分割動作において、表示駆動期間の異なる領域が均等に分割される。この時分割動作では、 M/N 回の表示駆動期間のそれぞれに対応して、 M/N 回のブランク期間を設けることができる。また、ブランク期間は、 M/N 回のそれぞれの表示駆動期間の前と後に $M/N+1$ 回設けても良いし、同じフレームの表示駆動期間どうしの間に $M/N-1$ 回設けても良い。 M と N の値は、表示パネルの大きさと解像度 (1 フレーム当たりのライン数) を考慮し、1 フレームを分割する領域が、輝度差を視認できない程度に十分に細かい大きさとなるように、決めることができる。

30

40

【0120】

これにより、表示駆動期間の異なる領域の境界が概ね均等に分散され、時分割表示に伴って生じた輝度差による領域の境界を視認されにくくし、時分割表示に起因する表示画質の劣化を防止することができる

< パネル内ゲート制御回路 >

50

図4は、表示パネル5の表示素子を駆動するパネル内ゲート制御回路20の構成例を表す回路図である。

【0121】

表示パネル5は、複数のソース線S1～S2400と複数のゲート線G1～G1024の交点のそれぞれに表示素子17を備えることによって2次元に配列された複数の表示素子17と、パネル内ゲート制御回路20とを備える。表示素子17は例えば液晶素子であり、液晶素子17は、ソース電極をソース線の1本に、ゲート電極をゲート線の1本に接続され、ドレイン電極にキャパシタを備えるMOSFET(Metal Oxide Semiconductor Field Effect Transistor)によるトランスファゲートを備える。ゲート線によって選択されたトランスファゲートが導通し、ソース線に印加された電圧により、電荷がキャパシタに転送される。転送された電荷はキャパシタで保持され、液晶に印加される。液晶は印加された電解に応じて偏光を制御され、それによって光の透過度が変化する。表示パネル5では、このようにして表示輝度が制御される。液晶素子17は、画素毎に1個またはカラーの場合は、1画素に対し、色数分の素子数通常3個を設ける。図4に示した例は、1フレーム当たり1024ライン、1ライン当たり2400素子で、1画素に1個の液晶素子17を設けた例である。1フレーム当たりのライン数、1ライン当たりの画素数は、任意であり、カラーの場合は、1画素に対し色数分の通常3組の回路を備えればよい。このことは、他の図面及び本願の他の実施形態にも全て同様に妥当する。

【0122】

パネル内ゲート制御回路20は、複数のゲート線G1～G1024を駆動するゲートドライバ21__1～21__1024と部分シフトレジスタ22__1～22__3を縦続接続した全体シフトレジスタ22を備える。それぞれの部分シフトレジスタ22__1～22__3は、3ライン周期で1ライン毎に縦続接続された記憶素子を備える。記憶素子は、例えばフリップフロップ23である。部分シフトレジスタ22__1は、3ライン周期で1ライン毎に縦続接続されたフリップフロップ23__1、23__4、23__7...23__1022を備える。部分シフトレジスタ22__2は、3ライン周期で1ライン毎に縦続接続されたフリップフロップ23__2、23__5、23__8...23__1023を備える。部分シフトレジスタ22__3は、3ライン周期で1ライン毎に縦続接続されたフリップフロップ23__3、23__6、23__9...23__1024を備える。

【0123】

全体シフトレジスタ22には、初段の部分シフトレジスタ22__1に、表示駆動すべきラインを示すフラグFLGが、表示駆動回路3から入力され、合せて入力されるクロックCLKによって順次シフトされる。

【0124】

これにより、表示駆動回路と表示パネルの間の信号線の数減らすことができる。

【0125】

図4に示した例では、全体シフトレジスタを構成する部分シフトレジスタの数を3とし、3ライン周期で1ライン毎にフリップフロップを設けた例を示したが、本発明はこれに制限されるものではない。全体シフトレジスタを構成する部分シフトレジスタの数は、1フレーム内の表示駆動期間の数と同じであり、部分シフトレジスタには、表示駆動におけるラインの分散と同じく、Mライン周期でNライン毎に記憶素子を設ければよい。

【0126】

パネル内ゲート制御回路20の動作について説明する。

【0127】

図5は、図4に示すパネル内ゲート制御回路の動作を示すタイミングチャートである。横軸に時間を取り、縦方向に上から、フラグFLG、クロックCLK、及び、ゲート線G1～G1024の波形を示す。フラグFLGが入力されると、表示駆動期間が開始される。時刻t0の直前にフラグFLGが入力され、同時に入力されるクロックCLKによって、全体シフトレジスタ22における初段の部分シフトレジスタ22__1の初段のフリップフロップ23__1に取り込まれる。第1表示駆動期間(時刻t0～t1)において、まず

、フリップフロップ23__1に転送されたフラグFLGが入力されるゲートドライバ21__1は、時刻t0にゲート線G1を駆動する。次に時刻t11にG4が、t12にG7が駆動され、以降、時刻t14にG1022が駆動されるまで、フラグFLGは順次シフトされる。ブランク期間(時刻t1~t2)にはクロックCLKが停止され、フラグFLGは転送されない。次に第2表示駆動期間(時刻t2~t3)において、部分シフトレジスタ22__1の出力が次の部分シフトレジスタ22__2に転送される。部分シフトレジスタ22__2の初段のフリップフロップ23__2に転送されたフラグFLGが入力されるゲートドライバ21__2は、時刻t2にゲート線G2を駆動する。次に時刻t21にG5が、t22にG8が駆動され、以降、時刻t24にG1023が駆動されるまで、フラグFLGは順次シフトされる。ブランク期間(時刻t3~t4)にはクロックCLKが停止され、フラグFLGは転送されない。次に第3表示駆動期間(時刻t4~t5)において、部分シフトレジスタ22__2の出力が次の部分シフトレジスタ22__3に転送される。部分シフトレジスタ22__3の初段のフリップフロップ23__3に転送されたフラグFLGが入力されるゲートドライバ21__3は、時刻t4にゲート線G3を駆動する。次に時刻t31にG6が、t32にG9が駆動され、以降、時刻t34にG1024が駆動されるまで、フラグFLGは順次シフトされる。帰線期間(時刻t5~t6)にはクロックCLKが停止され、フラグFLGは転送されない。

【0128】

以上の動作により、1フレーム内の1024本のラインは、3ライン周期で1ライン毎に3つの表示駆動期間に均等に分散して表示駆動される。これにより、時分割表示に伴って生じた輝度差による領域の境界が視認されにくく、時分割表示に起因する表示画質の劣化が防止された、表示パネルを駆動するための表示駆動回路を備える半導体装置を提供することができる。

【0129】

〔実施形態1〕<1ライン毎に交互に分散>

本実施形態1において、表示駆動回路3は、1フレーム内に2回の表示駆動期間を持つ時分割動作を行ない、それぞれの表示駆動期間に1ラインごとに交互に表示駆動を行う。例えば、一方の表示駆動期間に奇数ラインを、他方の表示駆動期間に偶数ラインを、それぞれ表示する。

【0130】

図6は、実施形態1に係る表示動作を示すタイミングチャートであり、図7は、図6に示すタイミングチャートの一部拡大図である。

【0131】

1フレーム内に第1表示駆動期間(時刻t0~t1)と第2表示駆動期間(時刻t2~t3)を持ち、さらに、ブランク期間(時刻t1~t2)と帰線期間(時刻t3~t4)を含む。時刻t4~t5の表示駆動期間は、次のフレームの表示である。ブランク期間(時刻t1~t2)と帰線期間(時刻t3~t4)には、タッチ状態検出動作を行ってもよい。図7に示すように、第1表示駆動期間(時刻t0~t1)には、第1ラインから2ライン周期で第1023ラインまでの奇数ラインを表示駆動し、第2表示駆動期間(時刻t2~t3)には、第2ラインから2ライン周期で第1024ラインまでの偶数ラインを表示駆動する。次のフレームの第1表示駆動期間(時刻t4~t5)には、再び奇数ラインを表示駆動する。

【0132】

これにより、異なる表示駆動期間に駆動される領域が1ライン毎に交互に分散されることになり、均等でかつ最も細かく分散された状態となり、時分割表示に伴って生じた輝度差による領域の境界を視認されにくくし、時分割表示に起因する表示画質の劣化をさらに防止することができる。

【0133】

<パネル内ゲート制御回路に2ライン周期1ライン毎のシフトレジスタ2組>

図8は、実施形態1の表示装置におけるパネル内ゲート制御回路の構成例を表す回路図

である。

【 0 1 3 4 】

2次元に配列された複数の表示素子17は図4と同様であるので、説明を省略する。パネル内ゲート制御回路20が、複数のゲート線G1~G1024を駆動するゲートドライバ21__1~21__1024を備える点も同様である。パネル内ゲート制御回路20は、2ライン周期で1ライン毎に記憶素子を設けた2組のシフトレジスタ22__4と22__5を備える。シフトレジスタ22__4は、記憶素子として縦続接続されたフリップフロップ23__1、23__3、...23__1023を備え、シフトレジスタ22__5は、縦続接続されたフリップフロップ23__2、23__4、...23__1024を備える。シフトレジスタ22__4にはフラグ1(FLG1)とクロック1(CLK1)が入力され、クロック1(CLK1)によって入力されたフラグ1(FLG1)が順次シフトされる。シフトレジスタ22__5にはフラグ2(FLG2)とクロック2(CLK2)が入力され、クロック2(CLK2)によって入力されたフラグ2(FLG2)が順次シフトされる。

10

【 0 1 3 5 】

これにより、1ライン毎に2ライン周期で(1ライン毎に交互に)表示領域を分散させるための回路を、容易に構成することができる。

【 0 1 3 6 】

図9は、図8に示すパネル内ゲート制御回路の動作を示すタイミングチャートである。横軸に時間を取り、縦方向に上から、フラグ1(FLG1)、クロック1(CLK1)、フラグ2(FLG2)、クロック2(CLK2)、及び、ゲート線G1~G1024の波形を示す。フラグ1(FLG1)が入力されると、第1表示駆動期間が開始される。時刻t10にフラグ1(FLG1)が入力され、同時に入力されるクロック1(CLK1)によって、シフトレジスタ22__4の初段のフリップフロップ23__1に取り込まれる。第1表示駆動期間(時刻t0~t1)において、まず、フリップフロップ23__1に転送されたフラグ1(FLG1)が入力されるゲートドライバ21__1は、時刻t0にゲート線G1を駆動する。次に時刻t11にG3が、t12にG5が駆動され、以降、時刻t14にG1023が駆動されるまで、フラグ1(FLG1)は順次シフトされる。ブランク期間(時刻t1~t2)にはクロック1(CLK1)とクロック2(CLK2)は共に停止され、フラグ1(FLG1)とフラグ2(FLG2)はどちらも転送されない。次にフラグ2(FLG2)が入力されると、第2表示駆動期間が開始される。時刻t20にフラグ2(FLG2)が入力され、同時に入力されるクロック2(CLK2)によって、シフトレジスタ22__5の初段のフリップフロップ23__2に取り込まれる。第2表示駆動期間(時刻t2~t3)において、まず、フリップフロップ23__2に転送されたフラグ2(FLG2)が入力されるゲートドライバ21__2は、時刻t2にゲート線G2を駆動する。次に時刻t21にG4が、t22にG6が駆動され、以降、時刻t24にG1024が駆動されるまで、フラグ2(FLG2)は順次シフトされる。帰線期間(時刻t3~t4)にはクロック1(CLK1)とクロック2(CLK2)は共に停止され、フラグ1(FLG1)とフラグ2(FLG2)はどちらも転送されない。

20

30

【 0 1 3 7 】

以上の動作により、1フレーム内の1024本のラインは、2ライン周期で1ライン毎に2つの表示駆動期間に均等に分散して表示駆動される。これにより、時分割表示に伴って生じた輝度差による領域の境界が視認されにくく、時分割表示に起因する表示画質の劣化が防止された、表示パネルを駆動するための表示駆動回路を備える半導体装置を提供することができる。

40

【 0 1 3 8 】

シフトレジスタ22__5にはフラグ2(FLG2)とクロック2(CLK2)を入力する代わりに、シフトレジスタ22__4の最終段のフリップフロップ23__1023の出力とクロック1(CLK1)を入力しても良い。この場合は、図4に示したパネル内ゲート制御回路20の動作と同様となる。また、入力される信号線もフラグ1(FLG1)とクロック1(CLK1)の2本でよい。一方、図8に示したように、独立に2個のシフトレ

50

ジスタ 22__4 と 22__5 を備えることにより、シフトレジスタ 1 個当たりのクロックの負荷が $1/2$ になること、また、図 9 に示すように、第 1 表示駆動期間にクロック 2 (CLK 2) を停止し、第 2 表示駆動期間にクロック 1 (CLK 1) を停止することにより、クロックを駆動するための消費電力は、 $1/4$ に抑えることができる。また、独立に動作しているため、後述の実施形態 2 及び実施形態 3 に示す実施の形態が容易になる。

【0139】

〔実施形態 2〕＜パネル内ゲート制御回路内の 2 組のシフトレジスタは表示パネルの両側に配置＞

図 10 は、実施形態 2 の表示装置におけるパネル内ゲート制御回路の構成例を表す回路図である。パネル内ゲート制御回路 20 を、奇数ラインのゲートを駆動するパネル内ゲート制御回路 20__1 と、偶数ラインのゲートを駆動するパネル内ゲート制御回路 20__2 に分けて備える。奇数ラインのゲートを駆動するパネル内ゲート制御回路 20__1 には、ゲートドライバ 21__1、21__3、... 21__1023 を備え、それぞれには、シフトレジスタ 22__4 を構成するフリップフロップ 23__1、23__3、... 23__1023 の出力が入力され、ゲート線 G1, G3, ... G1023 を出力する。偶数ラインのゲートを駆動するパネル内ゲート制御回路 20__2 には、ゲートドライバ 21__2、21__4、... 21__1024 を備え、それぞれには、シフトレジスタ 22__5 を構成するフリップフロップ 23__2、23__4、... 23__1024 の出力が入力され、ゲート線 G2, G4, ... G1024 を出力する。

【0140】

パネル内ゲート制御回路 20__1 とパネル内ゲート制御回路 20__2 は、表示パネル 5 の複数の表示素子 17 が 2 次元配列された表示領域を挟む領域、即ち、表示領域の両側に配置されるとよい。

【0141】

これにより、パネル内ゲート制御回路 20 を効率よく配置することができる。各ゲート線を駆動するゲートドライバ 21 とシフトレジスタを構成する記憶素子 (フリップフロップ) 23 のレイアウトに許されるピッチが、ゲート線のピッチの 2 倍のピッチまで拡大されるからである。

【0142】

シフトレジスタ 22__4 と 22__5 を独立に備え、それぞれに、フラグ 1 (FLG 1) とクロック 1 (CLK 1)、フラグ 2 (FLG 2) とクロック 2 (CLK 2) を入力することにより、表示パネル 5 の複数の表示素子 17 が 2 次元配列された表示領域を挟む領域、即ち、表示領域の両側に配置することが容易になる。

【0143】

〔実施形態 3〕＜連続するフレームで表示する領域の順序を変える＞

以上説明した実施の形態では、各表示駆動期間に駆動するラインの番号は、フレーム毎に同じであるものとして、換言すれば各フレームで表示駆動されるラインの順序は、一定であるものとして説明した。例えば、あるフレームで、第 1 表示駆動期間に G1, G4, G7... が駆動され、第 2 表示駆動期間に G2, G5, G8... が駆動され、第 3 表示駆動期間に G3, G6, G9... が駆動されとする。そのとき次のフレームでも第 1 表示駆動期間には同じ G1, G4, G7... が駆動され、第 2 表示駆動期間にも前フレームの第 2 表示駆動期間と同じ G2, G5, G8... が駆動され、第 3 表示駆動期間も同様に前フレームの第 3 表示駆動期間と同じ G3, G6, G9... が駆動される。

【0144】

これに対し、本実施形態 3 においては、連続するフレームで表示する領域の順序を変える。

【0145】

図 11 は、実施形態 3 に係る表示動作を示すタイミングチャートである。

【0146】

時刻 $t_0 \sim t_6$ までの第 1 フレームには、表示駆動回路 3 は、図 2 に示したのと同様に

、第 1 表示駆動期間（時刻 $t_0 \sim t_1$ ）に、第 1 フレーム内の所定周期で分散する複数のラインを駆動する。第 2 表示駆動期間（時刻 $t_2 \sim t_3$ ）には、第 1 フレームの第 1 表示駆動期間（時刻 $t_0 \sim t_1$ ）に表示駆動された複数のラインとは異なる、複数のラインを駆動する。第 3 表示駆動期間（時刻 $t_4 \sim t_5$ ）には、第 1 フレームの第 1 表示駆動期間（時刻 $t_0 \sim t_1$ ）にも第 2 表示駆動期間（時刻 $t_2 \sim t_3$ ）にも表示駆動されていない、残りの複数のラインを駆動する。

【0147】

時刻 $t_6 \sim t_{12}$ までの第 2 フレームには、表示駆動回路 3 は、第 1 表示駆動期間（時刻 $t_6 \sim t_7$ ）に、第 1 フレームの第 1 表示駆動期間（時刻 $t_0 \sim t_1$ ）に駆動された複数のラインとは異なる複数のライン、例えば、第 1 フレームの第 2 表示駆動期間（時刻 $t_2 \sim t_3$ ）に駆動された複数のラインを駆動する。第 2 フレームの第 2 表示駆動期間（時刻 $t_8 \sim t_9$ ）には、第 2 フレームの第 1 表示駆動期間（時刻 $t_6 \sim t_7$ ）に駆動された複数のラインと異なり、第 1 フレームの第 2 表示駆動期間（時刻 $t_2 \sim t_3$ ）に駆動された複数のラインとは異なる複数のライン、例えば、第 1 フレームの第 3 表示駆動期間（時刻 $t_4 \sim t_5$ ）に駆動された複数のラインを駆動する。第 2 フレームの第 3 表示駆動期間（時刻 $t_{10} \sim t_{11}$ ）には、第 2 フレームの第 1 表示駆動期間（時刻 $t_6 \sim t_7$ ）にも第 2 表示駆動期間（時刻 $t_8 \sim t_9$ ）にも表示駆動されていない、残りの複数のラインを駆動する。

【0148】

これにより、時分割表示に伴って生じた輝度差が、フレーム毎に変化するため時間軸方向に分散され、領域の境界がより視認されにくくなる。また、画素ごとの電荷の保持性能にばらつきがある場合であっても、時分割表示に伴って生じた輝度差による領域の境界を視認されにくくなる。よって、時分割表示に起因する表示画質の劣化が防止される。

【0149】

< 連続するフレームで奇数ラインと偶数ラインを交互に表示 >

以上は、1 フレーム内の表示駆動期間が 3 回の場合を例に採って説明したが、1 フレーム内の表示駆動期間の数は任意である。

【0150】

1 フレーム内の表示駆動期間を 2 回とし、第 1 フレームの第 1 表示駆動期間に奇数ラインを駆動し、第 2 表示駆動期間に偶数ラインを駆動し、後続の第 2 フレームの第 1 表示駆動期間に偶数ラインを駆動し、第 2 フレームの第 2 表示駆動期間に奇数ラインを駆動する。

【0151】

図 12 は、実施形態 3 の表示装置におけるパネル内ゲート制御回路 20 の動作を示すタイミングチャートである。横軸に時間を取り、縦方向に上から、フラグ 1（FLG1）、クロック 1（CLK1）、フラグ 2（FLG2）、クロック 2（CLK2）、及び、ゲート線 G1～G1024 の波形を示す。時刻 $t_0 \sim t_4$ までの第 1 フレームにおける動作は、図 9 に示したタイミングチャートと同じであるので、説明を省略する。第 1 フレームの第 1 表示駆動期間（時刻 $t_0 \sim t_1$ ）には奇数ラインが駆動され、第 2 表示駆動期間（時刻 $t_2 \sim t_3$ ）には偶数ラインが駆動される。図 9 に示したタイミングチャートでは、第 2 フレームの第 1 表示駆動期間（時刻 $t_4 \sim t_5$ ）には、第 1 フレームの第 1 表示駆動期間（時刻 $t_0 \sim t_1$ ）と同じく、奇数ラインが駆動され、第 2 表示駆動期間（時刻 $t_6 \sim t_7$ ）には、第 1 フレームの第 2 表示駆動期間（時刻 $t_2 \sim t_3$ ）と同じく、偶数ラインが駆動される。一方、図 12 に示す実施形態 3 の表示装置におけるパネル内ゲート制御回路 20 の動作を示すタイミングチャートでは、第 2 フレームの第 1 表示駆動期間（時刻 $t_4 \sim t_5$ ）には、第 1 フレームの第 1 表示駆動期間（時刻 $t_0 \sim t_1$ ）とは異なり、偶数ラインが駆動され、第 2 表示駆動期間（時刻 $t_6 \sim t_7$ ）には、第 1 フレームの第 2 表示駆動期間（時刻 $t_2 \sim t_3$ ）と異なる、奇数ラインが駆動される。

【0152】

これにより、奇数ラインと偶数ラインが表示駆動される表示駆動期間が、前半と後半の

表示駆動期間の間でフレーム毎に交互に入れ替えられ、画素ごとの電荷の保持性能にばらつきがある場合であっても、時分割表示に伴って生じた輝度差による領域の境界を視認されにくくし、時分割表示に起因する表示画質の劣化を防止することができる。

【0153】

本実施形態3の表示装置には、図8に示したパネル内ゲート制御回路20を採用することが好適である。フラグ1 (FLG1) とクロック1 (CLK1)、フラグ2 (FLG2) とクロック2 (CLK2) をそれぞれ独立に入力することができるので、図12のタイミングチャートに示す、フレーム毎に表示順序を入れ替える動作の制御を容易に行うことができる。

【0154】

〔実施形態4〕＜複数ライン単位で、データ圧縮と展開＞

図15は、本実施形態4に係る表示装置の構成例を表すブロック図である。図1に示した表示装置の構成例と比較して、表示駆動回路3は、圧縮回路33と展開回路34とをさらに備える。

【0155】

制御部13は、表示すべき1フレームの上のラインから順次走査された順序で入力される画像データを、圧縮回路33によってデータ圧縮してメモリ14に書き込む。各表示駆動期間には、その期間に表示すべきラインの画像データを含む、データ圧縮されたデータを、メモリ14から読み出す。展開回路34は、メモリ14から読み出されたデータ圧縮されたデータを、展開することにより、表示すべきラインの画像データを復元し、データラッチ15に転送する。その後、代表的な実施形態で上述したのと同様に、表示駆動回路3は、復元された前記画像データに基づいて前記駆動信号を生成する。その他の構成要素は、代表的な実施形態その他の実施形態について上述したのと同様に動作する。

【0156】

これにより、表示駆動回路3は、従来通りラスタースキャン（順次走査）された画像データが、走査された順序のまま入力された場合であっても、順序を適切に入れ替えて表示パネルへ駆動信号として出力することができる。一旦、1フレーム分の画像データをメモリに入力して、表示すべきライン毎に所定の周期で読み出すため、メモリ14は、少なくとも1フレーム分の画像データを格納できる記憶容量を備えると良い。画像データが書き込むときに圧縮され読み出された後に展開されることにより、メモリ14の容量を小さく抑えることができる。

【0157】

表示駆動回路3は、各表示駆動期間に1フレーム内のM（Mは1以上の整数）ライン周期でN（Nは1以上の整数）ライン毎に概ね均等に分散する、複数のラインを表示駆動する。MとNの値は任意に定めることができるが、本実施形態4では、圧縮回路33は、Nラインを単位として画像データの前記データ圧縮を実行し、展開回路34も、Nラインを単位としてデータ圧縮のデータを展開することにより画像データを復元する。

【0158】

これにより、圧縮回路33と展開回路34を効率よく動作させることができる。データ圧縮の単位ライン数をNラインとし表示駆動を同じNライン毎に行うので、換言すれば、表示すべきNラインの画像データを画像圧縮の単位として、圧縮して格納し展開するので、展開された画像データと表示される画像データが一致し、展開された画像データに無駄が生まれない。

【0159】

図16は、実施形態4に係る表示装置におけるパネル内ゲート制御回路の構成例を表す回路図である。M = 4, N = 2とした例である。画像圧縮の単位ライン数を2ラインとすることにより、上下に隣接する画素の画素データに相関が強いという、一般の画像特有の特性を利用した、画像のデータ圧縮アルゴリズムを採用することができる。2ライン単位で圧縮され、2ライン単位で展開され復元されるので、同じ2ライン単位で表示駆動することにより、展開回路34の動作に無駄を生じさせないように設計することができる。画

10

20

30

40

50

像圧縮の単位ライン数を3ラインまたは4ラインとすると、上下に隣接する画素の画素データに相関が強いという、画像の上記特性をさらに効率よく利用した、画像のデータ圧縮アルゴリズムを採用することができる。この場合も、データ圧縮の単位ライン数と表示駆動の単位ライン数(Nライン)を一致させることにより、展開回路34の動作に無駄を生じさせないように設計することができる。

【0160】

図16に示した本実施形態4に係る表示パネル5は、図10に示した表示パネルと同様に複数のソース線S1～S2400と複数のゲート線G1～G1024の交点のそれぞれに表示素子17を備えることによって2次元に配列された複数の表示素子17と、パネル内ゲート制御回路20__1～20__2とを備える。

10

【0161】

パネル内ゲート制御回路20__1には、ゲートドライバ21__1、21__2、21__5(図示を省略)、21__6(図示を省略)…21__1021(図示を省略)、21__1022を備え、それぞれには、シフトレジスタ22__4を構成するフリップフロップ23__1、23__2、23__5(図示を省略)、23__6(図示を省略)…23__1021(図示を省略)、23__1022の出力が入力され、ゲート線G1、G2、G5(図示を省略)、G6(図示を省略)…G1021(図示を省略)、G1022を出力する。

【0162】

パネル内ゲート制御回路20__2には、ゲートドライバ21__3、21__4、21__7(図示を省略)、21__8(図示を省略)…21__1023、21__1024を備え、それぞれには、シフトレジスタ22__5を構成するフリップフロップ23__3、23__4、23__7(図示を省略)、23__8(図示を省略)…23__1023、23__1024の出力が入力され、ゲート線G3、G4、G7(図示を省略)、G8(図示を省略)…G1023、G1024を出力する。

20

【0163】

シフトレジスタ22__4と22__5には、フラグ1(FLG1)とクロック1(CLK1)、フラグ2(FLG2)とクロック2(CLK2)がそれぞれ入力される。

【0164】

これにより、表示駆動回路と表示パネルの間の信号線の本数を減らすことができ、Mライン周期でNライン毎に、即ち、画像圧縮の単位ライン数毎に表示領域を分散させるための回路を、容易に構成することができる。また、パネル内ゲート制御回路20__1と20__2は、表示パネル5の複数の表示素子17が2次元配列された表示領域を挟む領域、即ち、表示領域の両側に配置することが容易になる。

30

【0165】

パネル内ゲート制御回路20__1と20__2の動作について説明する。

【0166】

図17は、図16に示すパネル内ゲート制御回路の動作を示すタイミングチャートである。横軸に時間を取り、縦方向に上から、フラグ1(FLG1)、クロック1(CLK1)、フラグ2(FLG2)、クロック2(CLK2)、及び、ゲート線G1～G1024の波形を示す。フラグ1(FLG1)が入力されると、第1表示駆動期間が開始される。時刻t10にフラグ1(FLG1)が入力され、同時に入力されるクロック1(CLK1)によって、シフトレジスタ22__4の初段のフリップフロップ23__1に取り込まれる。第1表示駆動期間(時刻t0～t1)において、まず、フリップフロップ23__1に転送されたフラグ1(FLG1)が入力されるゲートドライバ21__1は、時刻t0にゲート線G1を駆動する。次に時刻t11にG2が、t12にG5が駆動され、以降、G1022が駆動されるまで、フラグ1(FLG1)は順次シフトされる。ブランク期間(時刻t1～t2)にはクロック1(CLK1)とクロック2(CLK2)は共に停止され、フラグ1(FLG1)とフラグ2(FLG2)はどちらも転送されない。次にフラグ2(FLG2)が入力されると、第2表示駆動期間が開始される。時刻t20にフラグ2(FLG2)が入力され、同時に入力されるクロック2(CLK2)によって、シフトレジスタ

40

50

2 2 __ 5 の初段のフリップフロップ 2 3 __ 3 に取り込まれる。第 2 表示駆動期間（時刻 $t_2 \sim t_3$ ）において、まず、フリップフロップ 2 3 __ 3 に転送されたフラグ 2（FLG 2）が入力されるゲートドライバ 2 1 __ 3 は、時刻 t_2 にゲート線 G 3 を駆動する。次に時刻 t_{21} に G 4 が、 t_{22} に G 7 が駆動され、以降、時刻 t_{24} に G 1 0 2 4 が駆動されるまで、フラグ 2（FLG 2）は順次シフトされる。帰線期間（時刻 $t_3 \sim t_4$ ）にはクロック 1（CLK 1）とクロック 2（CLK 2）は共に停止され、フラグ 1（FLG 1）とフラグ 2（FLG 2）はどちらも転送されない。以降、次のフレームの第 1 表示駆動期間（時刻 $t_4 \sim t_5$ ）と第 2 表示駆動期間（時刻 $t_6 \sim$ ）も、上述した第 1 表示駆動期間（時刻 $t_0 \sim t_1$ ）と第 2 表示駆動期間（時刻 $t_2 \sim t_3$ ）と、それぞれ同様に動作する。

10

【0167】

図 18 は、実施形態 4 に係る表示動作を示すタイミングチャートである。

【0168】

1 フレーム内に第 1 表示駆動期間（時刻 $t_0 \sim t_1$ ）と第 2 表示駆動期間（時刻 $t_2 \sim t_3$ ）を持ち、さらに、ブランク期間（時刻 $t_1 \sim t_2$ ）と帰線期間（時刻 $t_3 \sim t_4$ ）を含む。時刻 $t_4 \sim t_5$ の表示駆動期間は、次のフレームの表示である。ブランク期間（時刻 $t_1 \sim t_2$ ）と帰線期間（時刻 $t_3 \sim t_4$ ）には、タッチ状態検出動作を行ってもよい。第 1 表示駆動期間（時刻 $t_0 \sim t_1$ ）には、4 ライン周期で 2 ライン毎に第 1 ラインから第 1 0 2 2 ラインまでのラインを表示駆動し、第 2 表示駆動期間（時刻 $t_2 \sim t_3$ ）には、4 ライン周期で 2 ライン毎に第 3 ラインから第 1 0 2 4 ラインまでのラインを表示駆動する。

20

【0169】

以上の動作により、1 フレーム内の 1 0 2 4 本のラインは、4 ライン周期で 2 ライン毎に 2 つの表示駆動期間に均等に分散して表示駆動される。これにより、時分割表示に伴って生じた輝度差による領域の境界が視認されにくく、時分割表示に起因する表示画質の劣化が防止された、表示パネルを駆動するための表示駆動回路を備える半導体装置を提供することができる。このとき、分散されるライン数（2 ライン）は、画像のデータ圧縮の単位ライン数と一致するように設計されているので、展開回路 3 4 の動作に無駄を生じさせない。

【0170】

30

図 19 は、実施形態 4 に係る表示装置による時分割動作における、画像の表示例を示す説明図である。図 1 4 と同様に、1 フレームに表示される画像を示し、画像の輝度が高い程、色の濃いハッチングで表す。本実施形態 4 の画像の表示例では、第 1 表示駆動期間に表示駆動された領域 3 1 と、第 2 表示駆動期間に表示駆動された領域 3 2 が、2 ライン毎に均等に分散されている。図 1 3 に示した、単純に 2 分割した画像に比べれば、人間の視覚では視認されにくくなっているのがわかる。1 ライン毎に分散される図 1 4 に示した例と比較すれば、第 1 表示駆動期間に表示駆動された領域 3 1 と第 2 表示駆動期間に表示駆動された領域 3 2 のそれぞれの面積が大きいので、境界線が視認されやすくなっているが、解像度が高い小さな表示装置では、人間の視覚で視認され得るレベル以下に設計することができる。

40

【0171】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。例えば、回路例とタイミングチャートは、正論理の回路を例に採って説明したが、負論理の回路に変更することもできる。

【符号の説明】

【0172】

- 1 表示装置
- 2 タッチパネルコントローラを内蔵した表示ドライバ IC
- 3 表示駆動回路

50

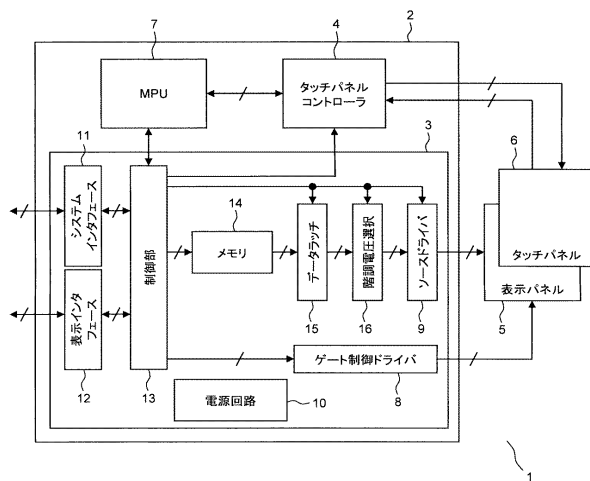
- 4 タッチパネルコントローラ
- 5 表示パネル（液晶表示パネル）
- 6 タッチパネル
- 7 M C U
- 8 ゲート制御ドライバ
- 9 ソースドライバ
- 10 電源回路
- 11 システムインタフェース
- 12 表示インタフェース
- 13 制御部
- 14 メモリ
- 15 データラッチ
- 16 階調電圧選択
- 17 表示素子（液晶素子）
- 20 パネル内ゲート制御回路
- 21 ゲートドライバ
- 22 シフトレジスタ
- 23 フリップフロップ
- 31 第1表示駆動期間に表示駆動される領域
- 32 第2表示駆動期間に表示駆動される領域
- 33 圧縮回路
- 34 展開回路

10

20

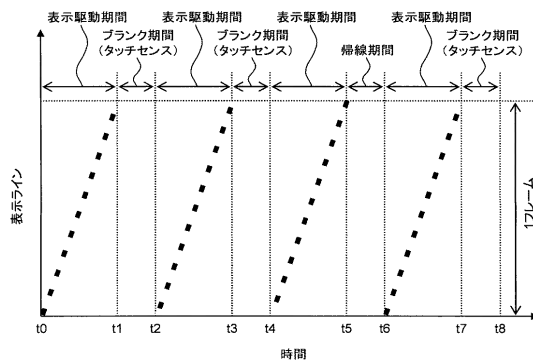
【図1】

図1



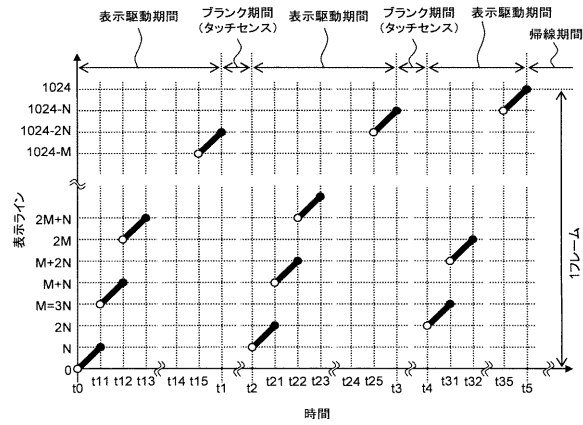
【図2】

図2



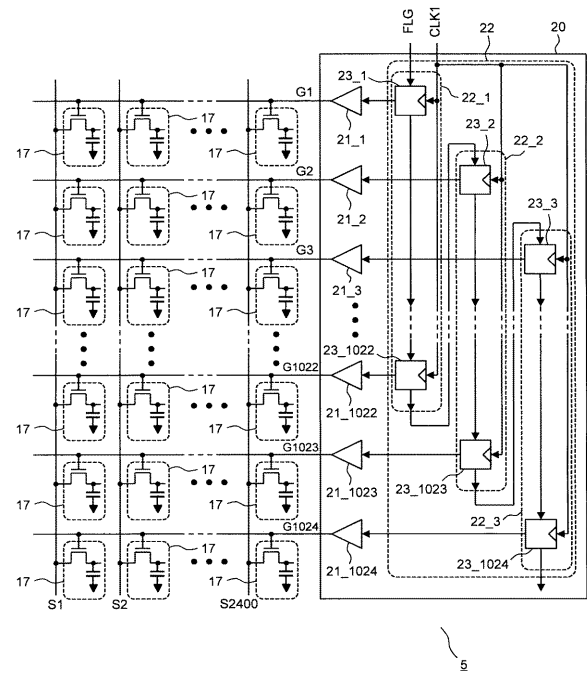
【図 3】

図3



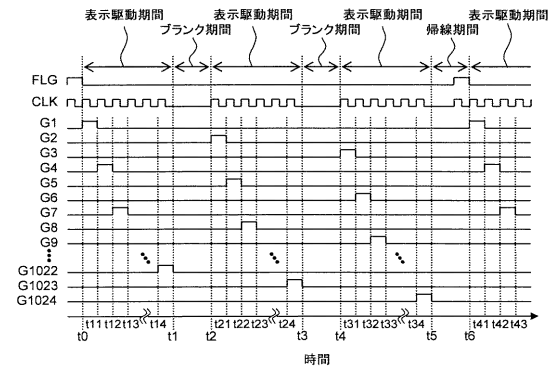
【図 4】

図4



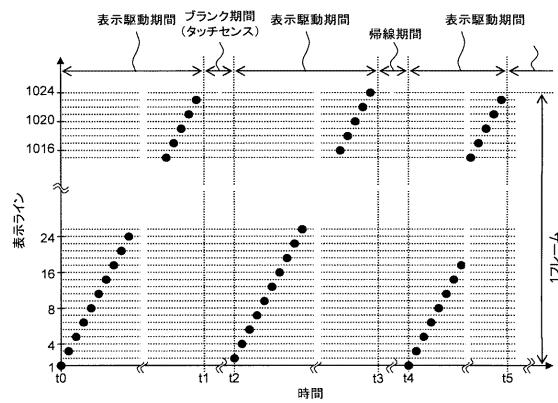
【図 5】

図5



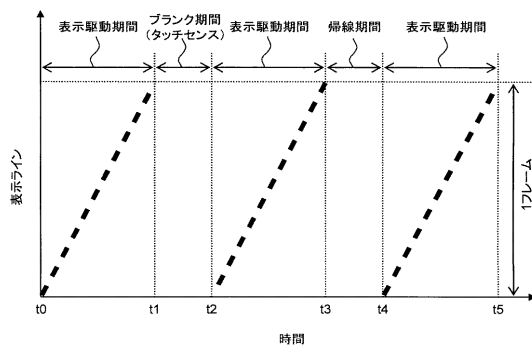
【図 7】

図7



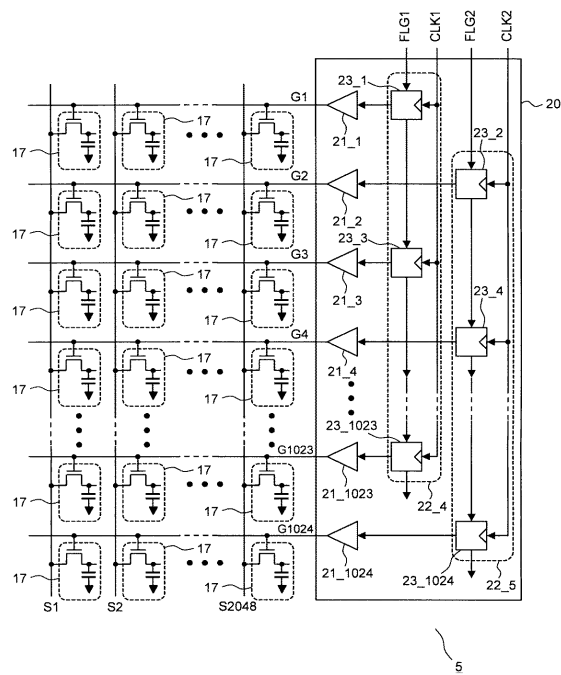
【図 6】

図6



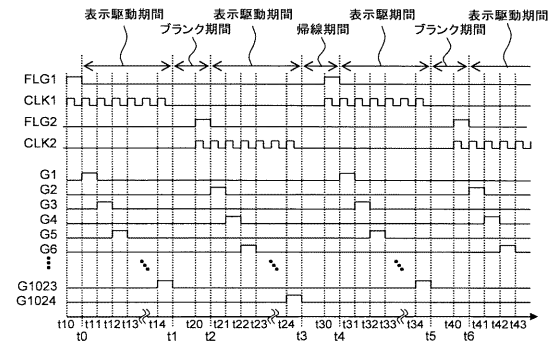
【図 8】

図8



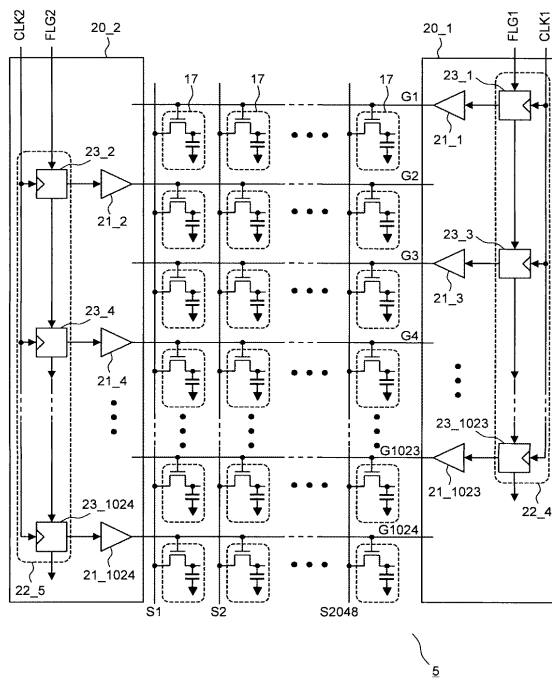
【図 9】

図9



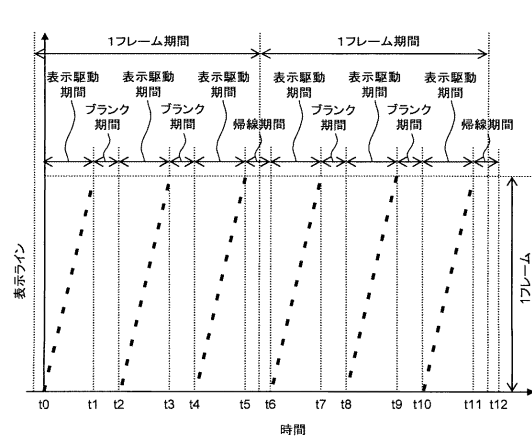
【図 10】

図10



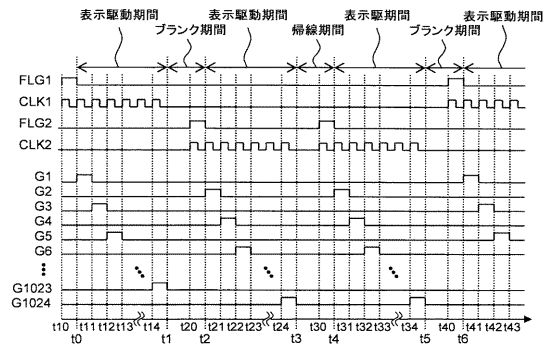
【図 11】

図11



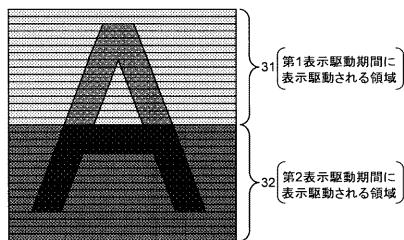
【図 1 2】

図12



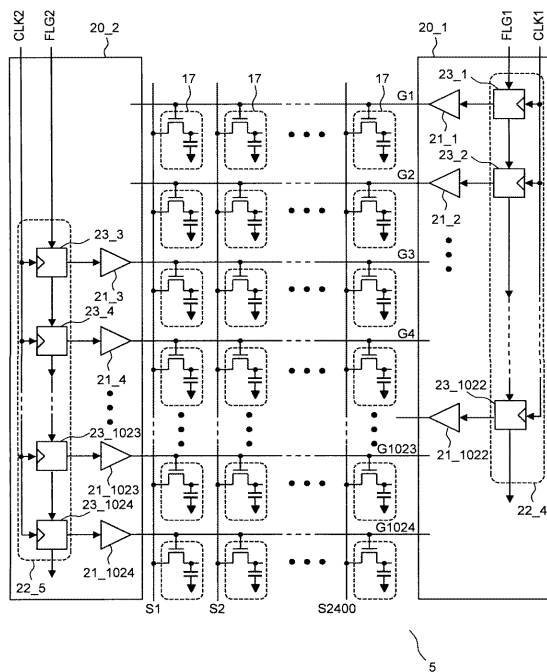
【図 1 3】

図13



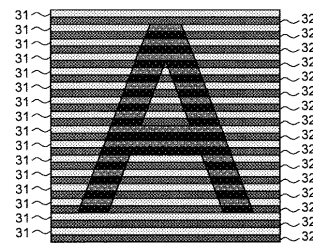
【図 1 6】

図16



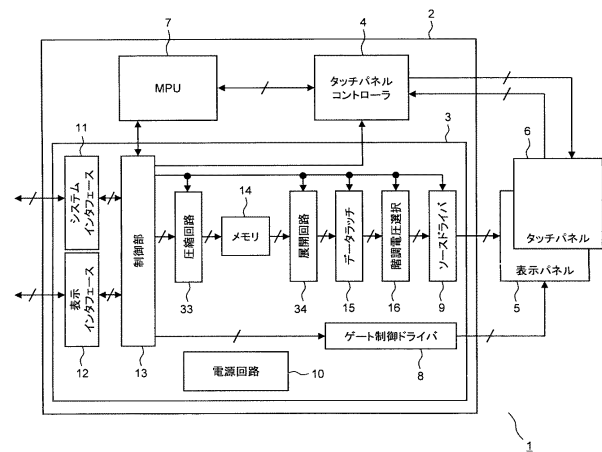
【図 1 4】

図14



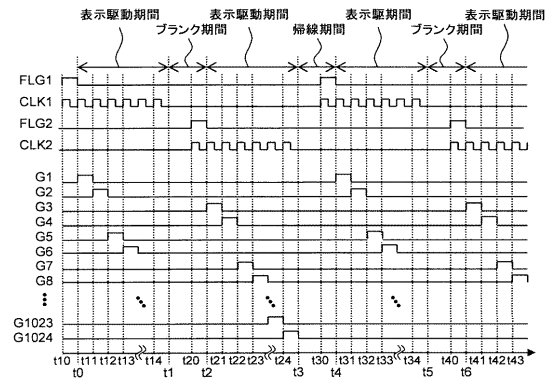
【図 1 5】

図15



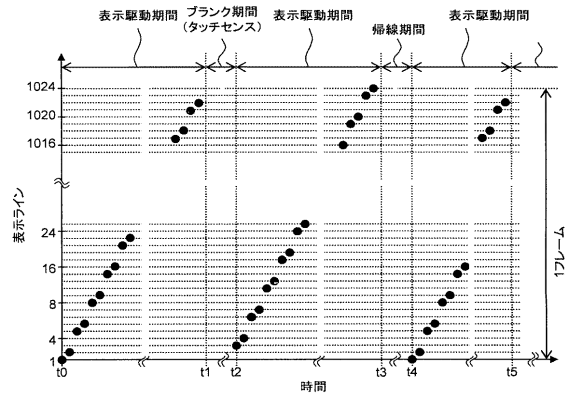
【図 1 7】

図17



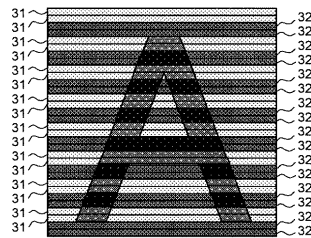
【図 18】

図18



【図 19】

図19



 フロントページの続き

(51)Int.Cl.			F I		
G 0 9 G	3/20	(2006.01)	G 0 9 F	9/00	3 6 6 A
			G 0 9 F	9/30	3 3 8
			G 0 9 G	3/20	6 1 2 T
			G 0 9 G	3/20	6 2 2 E
			G 0 9 G	3/20	6 2 2 K
			G 0 9 G	3/20	6 2 2 M
			G 0 9 G	3/20	6 3 1 B
			G 0 9 G	3/20	6 3 2 B
			G 0 9 G	3/20	6 4 2 A
			G 0 9 G	3/20	6 4 2 B
			G 0 9 G	3/20	6 9 1 D

(56)参考文献 特開 2 0 1 2 - 6 4 1 3 4 (J P , A)
 特開平 6 - 5 9 2 4 3 (J P , A)
 特開 2 0 1 1 - 1 9 7 6 8 5 (J P , A)
 特開 2 0 1 3 - 5 0 7 3 8 (J P , A)
 国際公開第 2 0 1 3 / 2 1 8 4 6 (W O , A 1)
 特開 2 0 0 3 - 2 0 8 1 3 3 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G09G 3/00-3/38

G02F 1/133

专利名称(译)	半导体器件和显示器件		
公开(公告)号	JP5754782B2	公开(公告)日	2015-07-29
申请号	JP2013108896	申请日	2013-05-23
[标]申请(专利权)人(译)	瑞萨SP驱动器		
申请(专利权)人(译)	瑞萨SP驱动器		
当前申请(专利权)人(译)	Synaptics的显示设备有限责任公司		
[标]发明人	辻 壮介		
发明人	辻 壮介		
IPC分类号	G09G3/36 G02F1/133 G02F1/1333 G09F9/00 G09F9/30 G09G3/20		
FI分类号	G09G3/36 G02F1/133.530 G02F1/133.550 G02F1/1333 G09F9/00.346.A G09F9/00.366.A G09F9/30.338 G09G3/20.612.T G09G3/20.622.E G09G3/20.622.K G09G3/20.622.M G09G3/20.631.B G09G3/20.632.B G09G3/20.642.A G09G3/20.642.B G09G3/20.691.D G09G3/20.622.N		
F-TERM分类号	2H189/HA16 2H189/LA03 2H189/LA08 2H189/LA10 2H189/LA30 2H189/LA31 2H193/ZA04 2H193/ZA05 2H193/ZC25 2H193/ZD32 2H193/ZE09 2H193/ZF12 2H193/ZF16 2H193/ZF19 2H193/ZF23 2H193/ZF44 2H193/ZJ02 2H193/ZP03 5C006/AC22 5C006/AF03 5C006/AF04 5C006/AF26 5C006/AF42 5C006/AF57 5C006/AF61 5C006/AF68 5C006/AF73 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC20 5C006/BC22 5C006/BF02 5C006/BF03 5C006/BF38 5C006/BF50 5C006/EC05 5C006/FA21 5C080/AA10 5C080/BB05 5C080/BB06 5C080/DD13 5C080/DD14 5C080/FF07 5C080/FF09 5C080/FF11 5C080/GG10 5C080/GG11 5C080/GG12 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C094/AA02 5C094/BA43 5C094/DA09 5C094/EA10 5C094/FB19 5G435/AA01 5G435/BB12 5G435/EE37 5G435/EE49		
其他公开文献	JP2014228737A		
外部链接	Espacenet		

摘要(译)

该半导体器件包括：显示面板（例如液晶显示面板），其具有用于保持与每个像素中的图像数据量相对应的电荷的电容器，并且显示由线组成的每个帧的图像数据；以及用于激活显示面板的显示驱动电路。显示驱动电路执行时分动作，其中一帧周期包括交替布置的显示面板被激活的显示驱动周期和显示面板的激活保持停止的空白周期。显示驱动电路驱动显示几行中几乎均匀分布到显示驱动周期的一帧的行。

(21) 出願番号	特願2013-108896 (P2013-108896)	(73) 特許権者	308017571
(22) 出願日	平成25年5月23日 (2013. 5. 23)		シナプティクス・ディスプレイ・デバイス
(65) 公開番号	特開2014-228737 (P2014-228737A)		合同会社
(43) 公開日	平成26年12月8日 (2014. 12. 8)		東京都中野区中野四丁目10番2号
審査請求日	平成25年10月4日 (2013. 10. 4)	(74) 代理人	100089071
審判番号	不服2014-13739 (P2014-13739/J1)		弁理士 玉村 静世
審判請求日	平成26年7月15日 (2014. 7. 15)	(72) 発明者	辻 壮介
早期審査対象出願			東京都小平市上水本町五丁目20番1号
			株式会社ルネサスエスピードライブ内
		合議体	
		審判長	酒井 伸芳
		審判官	中塚 直樹
		審判官	樋口 信宏