

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5081195号
(P5081195)

(45) 発行日 平成24年11月21日(2012.11.21)

(24) 登録日 平成24年9月7日(2012.9.7)

(51) Int.Cl.	F I
GO2F 1/1368 (2006.01)	GO2F 1/1368
GO2F 1/1345 (2006.01)	GO2F 1/1345
HO1L 29/786 (2006.01)	HO1L 29/78 612Z
HO1L 21/336 (2006.01)	HO1L 29/78 623Z

請求項の数 6 (全 36 頁)

(21) 出願番号	特願2009-122967 (P2009-122967)	(73) 特許権者	000005049
(22) 出願日	平成21年5月21日(2009.5.21)		シャープ株式会社
(62) 分割の表示	特願2000-258850 (P2000-258850)		大阪府大阪市阿倍野区長池町2番2号
原出願日	平成12年8月29日(2000.8.29)	(74) 代理人	100101214
(65) 公開番号	特開2009-187029 (P2009-187029A)		弁理士 森岡 正樹
(43) 公開日	平成21年8月20日(2009.8.20)	(72) 発明者	長瀬 洋二
審査請求日	平成21年5月21日(2009.5.21)		神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
(31) 優先権主張番号	特願平11-244468	(72) 発明者	田中 義規
(32) 優先日	平成11年8月31日(1999.8.31)		神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
(33) 優先権主張国	日本国(JP)	(72) 発明者	藤川 徹也
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

複数のバスラインで画定された複数の画素ごとに形成されたスイッチング素子と、前記複数のバスラインに接続されたショートリングと、前記複数のバスラインのそれぞれと前記ショートリングとの間に形成された静電気保護素子部とを有するアクティブマトリクス型の液晶表示装置において、

前記静電気保護素子部は、

前記バスラインに接続されるソース/ドレイン電極と、前記ショートリングに接続されるドレイン/ソース電極とを有する第1の薄膜トランジスタと、

前記第1の薄膜トランジスタのゲート電極に接続された導電体と、

前記バスラインに接続されたソース/ドレイン電極と、前記導電体に接続されたドレイン/ソース電極と、電氣的に孤立しているゲート電極とを有する第2の薄膜トランジスタと、

前記ショートリングに接続されたソース/ドレイン電極と、前記導電体に接続されたドレイン/ソース電極と、電氣的に孤立しているゲート電極とを有する第3の薄膜トランジスタと

を備えていることを特徴とする液晶表示装置。

【請求項 2】

請求項1記載の液晶表示装置において、

前記第3の薄膜トランジスタは、複数の前記第1の薄膜トランジスタの前記ゲート電極

10

20

を前記ショートリングに接続する共用トランジスタであること
を特徴とする液晶表示装置。

【請求項 3】

請求項 1 又は 2 に記載の液晶表示装置において、
前記第 1 の薄膜トランジスタのゲート電極は、前記導電体と容量を介して接続されていること
を特徴とする液晶表示装置。

【請求項 4】

請求項 1 乃至 3 のいずれか 1 項に記載の液晶表示装置において、
前記第 2 及び第 3 の薄膜トランジスタの少なくとも一方のチャネル長は、前記第 1 の薄膜トランジスタのチャネル長より短いこと
を特徴とする液晶表示装置。 10

【請求項 5】

請求項 1 乃至 4 のいずれか 1 項に記載の液晶表示装置において、
前記薄膜トランジスタは、チャネルエッチング型であること
を特徴とする液晶表示装置。

【請求項 6】

請求項 1 乃至 4 のいずれか 1 項に記載の液晶表示装置において、
前記薄膜トランジスタは、エッチングストッパ型であること
を特徴とする液晶表示装置。 20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜トランジスタ (Thin Film Transistor: 以下、TFT という) をスイッチング素子として備えたアクティブマトリクス型の液晶表示装置 (Liquid Crystal Display) に関し、特に、アレイ側基板上に形成された TFT やバスライン間を静電気による破壊や短絡から保護する静電気保護素子を備えた液晶表示装置に関する。

【背景技術】

【0002】

アクティブマトリクス型の LCD は、優れた画像品質が得られるフラットパネル・ディスプレイとしてコンピュータや OA 機器等に多用されている。このアクティブマトリクス型の LCD は、TFT 及び画素電極が形成されたアレイ側基板と共通電極が形成された対向基板との間に封止した液晶層に対して両電極から電圧を印加して液晶を駆動するようになっている。 30

【0003】

アレイ側基板上には、駆動する表示画素を選択するための走査信号が順次入力される複数のゲートバスラインが互いに平行に形成されている。また、複数のゲートバスライン上には絶縁膜が形成され、絶縁膜上にはゲートバスラインにほぼ直交する複数のデータバスラインが形成されている。互いに直交する複数のゲートバスラインとデータバスラインとでマトリクス状に画定される各領域が画素領域となり、各画素領域内には TFT と表示電極が形成されている。TFT のゲート電極は所定のゲートバスラインに接続され、ドレイン電極は所定のデータバスラインに接続され、ソース電極は画素領域内の表示電極に接続されている。 40

【0004】

ところで、TFT - LCD の液晶動作を制御する TFT やゲートバスライン、データバスライン等は絶縁物であるガラス基板の上に形成されるため基本的に静電気に弱い。従って、TFT を作り込むアレイ側基板工程からアレイ側基板と対向基板とを張り合わせて液晶を封止しドライバ IC 等を搭載させるパネル工程までの間でアレイ側基板上に静電気が発生すると、TFT が破壊されたりその特性が変動してしまったり、あるいは各バスライ 50

ン間が短絡したりする不具合が生じてパネルの製造歩留まりが著しく低下してしまう。このため、アレイ側基板上の素子やバスラインを静電気から保護する確実な手段が必要になる。

【0005】

アレイ側基板を静電気から保護する手段として、例えば、バスラインを全て共通電極（ショートリング）に接続して同電位に保つ手法が知られている。ショートリングは、データバスラインあるいはゲートバスラインの形成時にこれらの形成材料で形成される。このため、数k以下の抵抗値で各バスラインが電氣的に接続される。従って、パネル上の特定箇所に帯電があっても瞬時に電荷分散が生じるため、表示部内のTFTの素子破壊もしくは特性変化を防止することができる。

10

【0006】

しかし、この方法では各バスライン同士が短絡されてしまうためバスラインごとに独立の信号を印加することができない。このため、表示パネルの画素電極と共通（コモン）電極間に電荷を保持させて、そのチャージング量を検出して各画素のTFTの特性試験を高精度で行うアレイ検査（TFT検査）ができなくなるという問題が生じる。また、ショートリングは隣接するバスラインを低抵抗で電氣的に接続するためパネル工程もしくはパネル完成以降のユニット組み立て工程において除去する必要がある、それ以降の工程では静電気対策が施されないという問題がある。

【0007】

そこで、ショートリングと各バスライン間に抵抗成分を設ける方法が考案されている。図40は、特開平8-101397号公報に開示された、バスラインとショートリングとの間に抵抗成分を接続した従来技術の説明図である。図40はアレイ側基板表面の一部を示しており、バスライン504端部にはゲートメタルあるいはドレインメタル上に形成されたITO（インジウム・ティン・オキサイド）をパターンニングして蛇行した抵抗層400が形成されている。蛇行した抵抗層400の先端はショートリング506に接続されている。この構造によりアレイ検査が可能になる。通常この抵抗層400及びショートリング506は、パネル組み立て時のパネルスクライプ工程において、図中破線で示したスクライプラインSLを切断することにより除去される。

20

【0008】

ところがこの方法は、ITOで高抵抗化を図るには蛇行距離を長くするための領域を確保する必要が生じ、このためパネル外形サイズが大きくなってしまいう問題がある。

30

【0009】

上記方法のほか、バスラインとショートリングとの間にトランジスタ等による静電気保護素子を挿入するという方法が考案されている。たとえば特開昭61-79259号公報にはゲート電極をソース/ドレイン電極と容量結合させる方法が示されている。

【0010】

図41は特開昭61-79259号に示されている従来技術の説明図である。図41(a)は、アレイ側基板の一部を基板面に向かって見た状態を示しており、図41(b)は、静電気保護素子の断面を示している。図41(a)に示すように、静電気保護素子500は、バスライン502端部の外部取り出し電極504とショートリング506との間に配されたTFT構造を有している。静電気保護素子500はガラス基板508上の画素領域に形成されるTFTと同一工程で形成される。

40

【0011】

図41(b)に示すように、ガラス基板508上にゲート電極510が形成され、ゲート電極510上にはゲート絶縁膜512を介して例えばアモルファスシリコン（以下、a-Siと略記する）からなる動作半導体層514が形成されている。動作半導体層514上には保護膜520が形成され、保護膜を挟んで動作半導体層514の両側には、ソース電極518とドレイン電極516が形成されている。ドレイン電極516はショートリング506に接続され、ソース電極518は外部取り出し電極504に接続されている。基板面方向に見て、ゲート電極510はソース/ドレイン電極518、516と平面的重な

50

りを有しており、ソース/ドレイン電極 5 1 8、5 1 6 と容量結合によって接続されている。

【 0 0 1 2 】

従ってソース/ドレイン電極 5 1 8、5 1 6 間に静電気による高電圧が発生した場合には、ゲート電極 5 1 0 はソース/ドレイン電極 5 1 8、5 1 6 間に生じる電位差の中間の電位になるため動作半導体層 5 1 4 にチャネルが形成され、静電気による電荷がバスライン 5 0 2 から開放される。

【 0 0 1 3 】

しかし、この静電気保護素子 5 0 0 の構造は構成素子が 1 個であるため冗長性に乏しい。つまり、静電気による高電圧をただ 1 つの T F T で受け止めるため破壊されやすく、破壊によりバスライン 5 0 2 とショートリング 5 0 6 との間が絶縁されてしまうと、画素領域の T F T が静電気に曝される可能性が高くなってしまう。また仮に静電気による異常が発生しなくても何らかの原因で静電気保護素子 5 0 0 が短絡してしまうと T F T 試験が行えなくなってしまう。

【 0 0 1 4 】

次に、図 4 1 に示した構成より冗長性を持たせた、特開平 1 0 - 3 0 3 4 3 1 号公報に開示された静電気保護回路について図 4 2 を用いて説明する。静電気保護素子である第 1 の T F T 5 3 0 のソース電極 (S) はバスラインの外部取り出し電極 5 0 2 に接続されており、他方のドレイン電極 (D) はショートリング 5 0 6 に接続されている。第 1 の T F T 5 3 0 のゲート電極 (G) はバスライン外部取り出し電極 5 0 2 とショートリング 5 0 6 のいずれとも電氣的に絶縁された導電体 5 3 6 に接続されている。

【 0 0 1 5 】

一方、第 2 の T F T 5 3 2 のソース電極 (S) 及びゲート電極 (G) はバスラインの外部取り出し電極 5 0 2 に接続されており、他方のドレイン電極 (D) は導電体 5 3 6 に接続されている。また、第 3 の T F T 5 3 4 のドレイン電極 (D) は導電体 5 3 6 に接続されており、他方のソース電極 (S) およびゲート電極 (G) はショートリング 5 0 6 に接続されている。

【 0 0 1 6 】

静電気によって、ショートリング 5 0 6 に対して正の高電圧がバスラインに発生した場合、第 2 の T F T 5 3 2 ではゲート電極 (G) に高電圧が印加されてチャネルが形成されるため導電率が急激に大きくなる。一方、第 3 の T F T 5 3 4 のゲート電極 (G) はショートリング 5 0 6 に接続されているため、チャネルが形成されることはなく、導電率は非常に小さいままである。この導電率の差は非常に大きく、従って導電体 5 3 6 の電位は、バスラインの電位とほぼ等しくなる。この結果、静電気保護素子である第 1 の T F T 5 3 0 のゲート電極にはバスラインとショートリング 5 0 6 との間の電圧が印加されてチャネルが形成され、電荷を開放することができる。なお、第 2 及び第 3 の T F T 5 3 2、5 3 4 は基本的に電流を流さず、第 1 の T F T 5 3 0 のゲート電位を制御するためだけに使われる。

【 0 0 1 7 】

このように上記静電気保護回路では、第 2 及び第 3 の T F T 5 3 2、5 3 4 のゲート電極 (G) がバスラインの外部取り出し電極 5 0 2 またはショートリング 5 0 6 に接続されているため、外部取り出し電極 5 0 2 及びショートリング 5 0 6 との間の電位差は即座に解消される。ところが、静電気によって発生した電圧が時間の経過と共に低くなると導電体 5 3 6 の電位も低くなって第 1 の T F T 5 3 0 の導電率が低下する。このため、静電気による電圧が比較的低い (~ 数ボルト) 状態では電荷の解放の効率が低下してしまう。

【 0 0 1 8 】

また、これまでの製造上の経験から静電気による障害の発生は、非常に高い電圧レベルで時間的には短い鋭いパルス状の静電気による場合と、電圧は比較的低くても長時間に渡って当該電圧を各素子に印加し続ける静電気による場合があることが分かっている。従って、特開平 1 0 - 3 0 3 4 3 1 号公報に記載された静電気保護回路は、前者の場合に対し

10

20

30

40

50

ては効果が期待できるが、後者の場合に対しては電圧がある程度低くなった時点で電流の逃げ道が断たれるため効果が殆ど期待できない。さらに上記公報に記載された静電気保護回路では、静電気による電流は全て第1のTFTを流れるため冗長性に乏しく、負荷が大きくなりすぎて第1のTFTが破壊されてしまう可能性を有している。また、第2のTFT532のゲート電極(G)がバスラインの外部取り出し電極502と直接接続され、第3のTFT534のゲート電極(G)がショートリング506と直接接続されているため、短絡に対する冗長性が低くなってしまっている。

【0019】

さらに他の従来の静電気保護回路として、図43に示す特開平8-262485号公報に記載された構成がある。これは各バスライン504とショートリング506との間を非線型素子402、404を用いた双方向トランジスタによる抵抗成分を介して接続した静電気保護回路である。双方向トランジスタの他に抵抗成分となり得るショットキーダイオードのような非線型素子を介する場合もある。非線型素子による抵抗成分は各バスラインを駆動させる場合に影響しないように十分な高抵抗成分をもつためパネル完成後も残存させることができる。また静電気に対しては電荷分散が可能な程度の電流は流れるため耐静電気素子として機能する。

【0020】

双方向トランジスタのような非線型素子で高抵抗成分を設ける方式では比較的狭い領域で高抵抗成分を形成することが可能であるが素子構造が複雑になり、その上非線型素子であるがため外部電荷(例えば静電気)により抵抗成分が変化するという電流制御面での問題が生じる。またガラス端面近傍のようなトランジスタの動作半導体膜の動作保証領域外では高抵抗成分を形成することができないため、マザーガラスに対してパネルサイズを大きくできないという問題がある。

【発明の概要】

【発明が解決しようとする課題】

【0021】

このように従来の液晶表示装置では、パネル工程もしくはパネル完成以降のユニット組み立て工程でショートリングを除去する必要があるが、ショートリング除去以後の工程で静電気対策を施せないという問題が生じる。

また、ITOを用いた蛇行パターンを設ける方式では蛇行距離を長くするとパネル外形サイズが大きくなってしまいう問題がある。

【0022】

さらに従来の液晶表示装置では、静電気による素子破壊を防止させるための静電気保護素子(回路)が冗長性に乏しくバスライン及びショートリング間が短絡し易かったり、比較的低い電圧が長時間発生する静電気に対しては保護回路として機能しないという問題を有している。

またさらに、高抵抗成分に双方向トランジスタのような非線型素子を用いると素子構造が複雑になると共に電流制御面でも不利になる。また非線型素子をガラス端面近傍に形成できないのでマザーガラスに対してパネルサイズを大きくできないという問題を有している。

【0023】

本発明の目的は、冗長性に優れた静電気保護回路を備えた液晶表示装置を提供することにある。

また本発明の目的は、比較的低い電圧が長時間発生する静電気に対しても十分な保護機能を備えた液晶表示装置を提供することにある。

またさらに本発明の目的は、基板組み立て工程の最終段階まで静電気対策の施せる液晶表示装置を提供することにある。

さらに本発明の目的は、静電気保護素子部がパネルサイズに影響を与えない液晶表示装置を提供することにある。

またさらに本発明の目的は、素子構造が簡素で電流制御面で不利のない静電気保護素子

10

20

30

40

50

部を有する液晶表示装置を提供することにある。

【課題を解決するための手段】

【0024】

上記目的は、複数のバスラインで画定された複数の画素ごとに形成されたスイッチング素子と、前記複数のバスラインに接続されたショートリングと、前記複数のバスラインのそれぞれと前記ショートリングとの間に形成された静電気保護素子部とを有するアクティブマトリクス型の液晶表示装置において、前記静電気保護素子部は、前記バスラインに接続されるソース/ドレイン電極と、前記ショートリングに接続されるドレイン/ソース電極とを有する薄膜トランジスタと、前記薄膜トランジスタのゲート電極を前記バスラインに接続する第1の抵抗体と、前記薄膜トランジスタの前記ゲート電極を前記ショートリングに接続する第2の抵抗体とを備えていることを特徴とする液晶表示装置によって達成される。

10

【0025】

上記本発明の液晶表示装置において、前記第2の抵抗体が、複数の前記薄膜トランジスタの前記ゲート電極を前記ショートリングに接続する共用抵抗体であってもよい。

【0026】

また上記目的は、複数のバスラインで画定された複数の画素ごとに形成されたスイッチング素子と、隣接する前記バスライン間に形成された静電気保護素子部とを有するアクティブマトリクス型の液晶表示装置において、前記静電気保護素子部は、隣接する前記バスラインの一方に接続されるソース/ドレイン電極と、前記バスラインの他方に接続されるドレイン/ソース電極とを有する薄膜トランジスタと、前記薄膜トランジスタのゲート電極を前記バスラインの一方に接続する第1の抵抗体と、前記薄膜トランジスタの前記ゲート電極を前記バスラインの他方に接続する第2の抵抗体とを備えていることを特徴とする液晶表示装置によって達成される。

20

【0027】

またさらに上記目的は、複数のバスラインで画定された複数の画素ごとに形成されたスイッチング素子と、前記複数のバスラインに接続されたショートリングと、前記複数のバスラインのそれぞれと前記ショートリングとの間に形成された静電気保護素子部とを有するアクティブマトリクス型の液晶表示装置において、前記静電気保護素子部は、前記バスラインに接続されるソース/ドレイン電極と、前記ショートリングに接続されるドレイン/ソース電極とを有する第1の薄膜トランジスタと、前記第1の薄膜トランジスタのゲート電極に接続された導電体と、前記バスラインに接続されたソース/ドレイン電極と、前記導電体に接続されたドレイン/ソース電極と、電気的に孤立しているゲート電極とを有する第2の薄膜トランジスタと、前記ショートリングに接続されたソース/ドレイン電極と、前記導電体に接続されたドレイン/ソース電極と、電気的に孤立しているゲート電極とを有する第3の薄膜トランジスタとを備えていることを特徴とする液晶表示装置によって達成される。

30

【0028】

上記本発明の液晶表示装置において、前記第3の薄膜トランジスタが、複数の前記第1の薄膜トランジスタの前記ゲート電極を前記ショートリングに接続する共用トランジスタであってもよい。

40

【0029】

さらに上記目的は、複数のバスラインで画定された複数の画素ごとに形成されたスイッチング素子と、隣接する前記バスライン間に形成された静電気保護素子部とを有するアクティブマトリクス型の液晶表示装置において、前記静電気保護素子部は、隣接する前記バスラインの一方に接続されるソース/ドレイン電極と、前記バスラインの他方に接続されるドレイン/ソース電極とを有する第1の薄膜トランジスタと、前記第1の薄膜トランジスタのゲート電極に接続された導電体と、前記バスラインの一方に接続されたソース/ドレイン電極と、前記導電体に接続されたドレイン/ソース電極と、電気的に孤立しているゲート電極とを有する第2の薄膜トランジスタと、前記バスラインの他方に接続されたソ

50

ース/ドレイン電極と、前記導電体に接続されたドレイン/ソース電極と、電氣的に孤立しているゲート電極とを有する第3の薄膜トランジスタとを備えていることを特徴とする液晶表示装置によって達成される。

【0030】

上記本発明の液晶表示装置において、前記第1の薄膜トランジスタのゲート電極は、前記導電体と容量を介して接続されるようにすることも可能である。また、前記第2及び第3の薄膜トランジスタの少なくとも一方のチャネル長は、前記第1の薄膜トランジスタのチャネル長より短いことを特徴とすることもできる。

【0031】

図42に示したような、第2及び第3のTF T 532、534のゲート電極(G)をそれぞれバスライン502とショートリング506に短絡させた従来の静電気保護回路では、実質的に第2及び第3のTF T 532、534には電流が流れず、第1のTF T 530のゲート電位を制御するためだけに用いられるのに対し、本発明の第1及び第2の抵抗体、あるいは第2及び第3のTF Tはバスラインとショートリングとの間で双方向性の導電性を示し電流を流すことができる。このため主として電流を流すための第1のTF Tが十分に導通する前から第1及び第2の抵抗体、あるいは第2及び第3のTF Tで予備的に静電気による電荷を解放する機能を有している。すなわち、第2、第3のTF Tに予備的に電流が流れるため第1のTF Tにかかる負荷を軽減することができるので静電気保護回路の冗長性が向上する。

【0032】

また、本発明の第1のTF Tのゲート電極は、容量を介してバスライン、ショートリングと接続されており、ゲート電極の電位はこれら容量の充放電に要する時間の分だけ緩やかに変化する。従って、本発明の構成によれば、緩やかな静電気に対しても十分対応することができる。第1のTF Tのゲート電極と第2、第3のTF Tの間の共通導電体の間に容量を挿入させた場合はさらに全体としての反応が緩やかになり静電気保護素子としての効率が向上する。

【0033】

また、図42に示した構成は、図41に示した構成より素子数が多く冗長性が向上しているが、例えば、第2のTF T 532のゲート電極(G)とドレイン電極(D)が短絡し、且つ第1のTF T 530のゲート電極(G)とドレイン電極(D)が短絡すると静電気保護回路としての機能は失われてしまう。同様に、第3のTF T 534のゲート電極(G)とドレイン電極(D)が短絡し、且つ第1のTF T 530のゲート電極(G)とドレイン電極(D)が短絡した場合、または、第2のTF T 532のゲート電極(G)とドレイン電極(D)が短絡し、且つ第3のTF T 530のゲート電極(G)とドレイン電極(D)が短絡した場合にも静電気保護回路としての機能は失われてしまう。つまり、図42に示した回路では上述のように回路中の素子の2カ所が短絡すると不具合を生じてしまう。

【0034】

それに対し、例えば本実施の形態の図4を参照して説明すると、本発明による構成では、第2のTF T 38のゲート電極(G)とソース電極(S)が短絡し、且つ第2のTF T 38のゲート電極(G)とドレイン電極(D)が短絡し、且つ第1のTF T 32のゲート電極(G)とドレイン電極(D)が短絡すると静電気保護回路としての機能が失われる。同様に、第3のTF T 40のゲート電極(G)とソース電極(S)が短絡し、且つ第3のTF T 40のゲート電極(G)とドレイン電極(D)が短絡し、且つ第1のTF T 32のゲート電極(G)とドレイン電極(D)が短絡した場合、または、第2のTF T 38のゲート電極(G)とソース電極(S)が短絡し、且つ第2のTF T 38のゲート電極(G)とドレイン電極(D)が短絡し、且つ第3のTF T 40のゲート電極(G)とソース電極(S)が短絡し、且つ第3のTF T 40のゲート電極(G)とドレイン電極(D)が短絡した場合に静電気保護回路としての機能が失われる。つまり、図4に示す本発明の具体的な回路では回路中の素子の3カ所以上が短絡して初めて静電気保護回路として機能しなくなる。このように、本発明による静電気保護回路はゲートがフローティングなので構成素子

の短絡についての冗長性にも優れている。

【0035】

また、上記目的は、複数のバスラインで画定された複数の画素ごとに形成されたスイッチング素子と、前記複数のバスラインに接続されたショートリングと、前記複数のバスラインのそれぞれと前記ショートリングとの間に形成された静電気保護素子部とを有するアクティブマトリクス型の液晶表示装置において、前記静電気保護素子部は、複数の金属層と、前記複数の金属層上に形成された絶縁層と、前記複数の金属層上の前記絶縁層を開口して形成したコンタクトホールと、前記コンタクトホールを介して前記金属層間を電氣的に接続する接続層とを有していることを特徴とする液晶表示装置によって達成される。

【0036】

10

さらに上記目的は、複数のバスラインで画定された複数の画素ごとに形成されたスイッチング素子と、隣接する前記バスライン間に形成された静電気保護素子部とを有するアクティブマトリクス型の液晶表示装置において、前記静電気保護素子部は、複数の金属層と、前記複数の金属層上に形成された絶縁層と、前記複数の金属層上の前記絶縁層を開口して形成したコンタクトホールと、前記コンタクトホールを介して前記金属層間を電氣的に接続する接続層とを有していることを特徴とする液晶表示装置によって達成される。

【0037】

本発明によれば、ゲートバスラインまたはデータ（ドレイン）バスライン上の保護膜にコンタクトホールを形成し、これを介してショートリングと各バスラインとを電氣的に接続する。この構造で生じる異なるメタル（例えばTiとITO）間の接触抵抗は、材料を 20
選択することでオーミックコンタクトを得ることができ、かつコンタクトホール数、サイズもしくは下層メタルの後処理工程により抵抗成分の抵抗値を制御することが可能である。もちろんメタルコンタクトはオーミックコンタクトに限ることではなく、ショットキー接続で非線型特性を有する抵抗素子を設けることが可能である。

【0038】

本発明によって形成された耐静電気素子は抵抗制御（電流制御）が容易であり、構造も簡単であるため安定した抵抗成分をもつことができる。また前述の手法により任意の抵抗成分を形成することが可能なため、高抵抗を作り込むことでアレイ検査を可能とし、かつ 30
静電気に対して十分な保護機能を持つことができるようになる。なお本発明による液晶表示装置の薄膜トランジスタは、チャネルエッチング型あるいはエッチングストッパ型であることを特徴としている。

【発明の効果】

【0039】

以上の通り、本発明によれば、冗長性に優れた静電気保護回路を備えた液晶表示装置を実現できる。また本発明によれば、比較的低い電圧が長時間発生する静電気に対しても十分な保護機能を備えた液晶表示装置を実現できる。

【0040】

またさらに本発明によれば、基板組立工程の最終段階まで静電気対策の施せる液晶表示装置を実現できる。さらに本発明によれば、静電気保護素子部がパネルサイズに影響を与えない液晶表示装置を実現できる。またさらに本発明によれば、素子構造が簡素で電流制 40
御面で不利のない静電気保護素子部を有する液晶表示装置を実現できる。

【図面の簡単な説明】

【0041】

【図1】本発明の第1の実施の形態による液晶表示装置の概略の構成を示す図である。

【図2】本発明の第1の実施の形態による静電気保護素子部の回路構成及び動作を示す図である。

【図3】本発明の第1の実施の形態による静電気保護素子部の他の回路構成例を示す図である。

【図4】本発明の第2の実施の形態による液晶表示装置の特徴的構成要素である静電気保護素子部の回路構成を示す図である。

50

【図 5】本発明の第 2 の実施の形態による静電気保護回路の構造を示す図である。

【図 6】本発明の第 2 の実施の形態による液晶表示装置の静電気保護回路の変形例を示す図である。

【図 7】本発明の第 2 の実施の形態による静電気保護回路の他の構造例を示す図である。

【図 8】本発明の第 2 の実施の形態による液晶表示装置の静電気保護回路の他の変形例を示す図である。

【図 9】本発明の第 3 の実施の形態による液晶表示装置の静電気保護回路を基板面に向かってみた状態を示す図である。

【図 10】本発明の第 3 の実施の形態による液晶表示装置の静電気保護回路の他の構成例を基板面に向かってみた状態を示す図である。

10

【図 11】本発明の第 4 の実施の形態による液晶表示装置の特徴的構成要素である静電気保護素子部の回路の構成を示す図である。

【図 12】本発明の第 4 の実施の形態による静電気保護回路の構造を示す図である。

【図 13】本発明の第 4 の実施の形態による静電気保護回路の構造の変形例を示す図である。

【図 14】本発明の第 4 の実施の形態による静電気保護回路の他の構造を示す図である。

【図 15】本発明の第 4 の実施の形態による静電気保護回路の構造の他の変形例を示す図である。

【図 16】本発明の第 4 の実施の形態による静電気保護回路の変形例を示す図である。

【図 17】本発明の第 4 の実施の形態による静電気保護回路の他の変形例を示す図である

20

。【図 18】本発明の第 4 の実施の形態による図 16 に示す静電気保護回路の変形例を示す図である。

【図 19】本発明の第 4 の実施の形態による図 17 に示す静電気保護回路の変形例を示す図である。

【図 20】本発明の第 5 の実施の形態による液晶表示装置の静電気保護素子部の回路を示す図である。

【図 21】本発明の第 5 の実施の形態による液晶表示装置の静電気保護回路の変形例を示す図である。

【図 22】本発明の第 6 の実施の形態による液晶表示装置の静電気保護素子部の回路を示す図である。

30

【図 23】本発明の第 6 の実施の形態による液晶表示装置の静電気保護回路の構造を示す図である。

【図 24】本発明の第 6 の実施の形態による液晶表示装置の静電気保護回路の他の構造を示す図である。

【図 25】本発明の第 6 の実施の形態による液晶表示装置の静電気保護回路の変形例を示す図である。

【図 26】本発明の第 6 の実施の形態による液晶表示装置の静電気保護回路の変形例の構造を示す図である。

【図 27】本発明の第 6 の実施の形態による液晶表示装置の静電気保護回路の他の変形例の構造を示す図である。

40

【図 28】本発明の第 7 の実施の形態による液晶表示装置の静電気保護素子部の回路を示す図である。

【図 29】本発明の第 7 の実施の形態による液晶表示装置の静電気保護回路の構造を示す図である。

【図 30】本発明の第 7 の実施の形態による液晶表示装置の静電気保護回路の他の構造を示す図である。

【図 31】本発明の第 7 の実施の形態による液晶表示装置の静電気保護回路の変形例を示す図である。

【図 32】本発明の第 7 の実施の形態による液晶表示装置の静電気保護回路の変形例の構

50

造を示す図である。

【図 3 3】本発明の第 7 の実施の形態による液晶表示装置の静電気保護回路の他の変形例の構造を示す図である。

【図 3 4】本発明の第 1 乃至第 7 の実施の形態による液晶表示装置の静電気保護回路の変形例の構造を示す図である。

【図 3 5】本発明の第 8 の実施の形態による液晶表示装置の静電気保護回路の構造を示す図である。

【図 3 6】本発明の第 8 の実施の形態による液晶表示装置の静電気保護回路の変形例の構造を示す図である。

【図 3 7】本発明の第 8 の実施の形態による液晶表示装置の静電気保護回路の製造工程を示す図である。

10

【図 3 8】本発明の第 8 の実施の形態による液晶表示装置の静電気保護回路の他の変形例の構造を示す図である。

【図 3 9】本発明の第 8 の実施の形態による液晶表示装置の静電気保護回路の応用例の構造を示す図である。

【図 4 0】従来の液晶表示装置の静電気保護回路の構造を示す図である。

【図 4 1】従来の液晶表示装置の静電気保護回路の構造を示す図である。

【図 4 2】従来の液晶表示装置の静電気保護回路の構成を示す図である。

【図 4 3】従来の液晶表示装置の静電気保護回路の構造を示す図である。

【発明を実施するための形態】

20

【0042】

本発明の第 1 の実施の形態による液晶表示装置について図 1 乃至図 3 を用いて説明する。まず、本実施の形態による液晶表示装置の概略の構成を図 1 を用いて説明する。図 1 は、本液晶表示装置のアレイ側基板 1 側の一部を基板面に向かってみた状態を示している。なお、画素領域内は液晶駆動のための等価回路を示している。アレイ側基板 1 上には、図中基板左右方向に延びるゲートバスライン 2 が上下方向に平行に複数形成されている。また、複数のゲートバスライン 2 上には図示を省略した絶縁膜が形成され、絶縁膜上にはゲートバスライン 2 にほぼ直交するように複数のデータバスライン 4 が形成されている。互いに直交する複数のゲートバスライン 2 とデータバスライン 4 とでマトリクス状に画定される各領域が画素領域となり、各画素領域内には T F T 6 と表示電極 8 が形成されている。T F T 6 のゲート電極は所定のゲートバスライン 2 に接続され、ドレイン電極は所定のデータバスライン 4 に接続され、ソース電極は画素領域内の表示電極 8 に接続されている。図中の破線 1 4 は対向基板の端部を示している。対向基板側には、共通電極 1 2 が形成されている。アレイ側基板 1 と対向基板との間には液晶 1 0 が封止されている。

30

【0043】

所定のゲートバスライン 2 に出力された走査信号により当該ゲートバスライン 2 にゲート電極が接続された T F T 6 はオン状態となり、データバスライン 4 に出力された階調信号に基づく電圧が画素電極 8 に印加される。一方、対向基板側の共通電極 1 2 にも所定の電圧が印加され、画素電極 8 と共通電極 1 2 とに印加された電圧により、画素電極 8 と共通電極 1 2 の間の液晶が駆動されるようになっている。

40

【0044】

各ゲートバスライン 2 の端部には外部取り出し電極 1 6 が形成され、各データバスライン 4 の端部にも外部取り出し電極 1 8 が形成されている。外部取り出し電極 1 6、1 8 の外周囲には静電気保護回路の構成要素であるショートリング 2 0 が形成されている。ショートリング 2 0 はゲートバスライン側共通線 2 2 とデータバスライン側共通線 2 4 とを有している。ゲートバスライン側共通線 2 2 と各ゲートバスライン 2 の外部取り出し電極 1 6 との間には、静電気保護回路の構成要素となる静電気保護素子部 2 8 が形成されている。一方、データバスライン側共通線 2 4 と各データバスライン 4 の外部取り出し電極 1 8 との間には、静電気保護回路の構成要素となる静電気保護素子部 3 0 が形成されている。

【0045】

50

次に、本実施の形態による静電気保護素子部 28、30 の回路構成及び動作について図 2 を用いて説明する。なお、静電気保護素子部 28 と静電気保護素子部 30 の構成及び動作は同一であるので、これ以降、静電気保護素子部 28 を例にとって説明する。静電気保護素子部 28 は、TFT32、第 1 の抵抗体 34、及び第 2 の抵抗体 36 を有している。静電気保護素子である TFT32 のソース電極 (S) はゲートバスライン 2 の外部取り出し電極 16 に接続されており、他方のドレイン電極 (D) は共通線 22 に接続されている。TFT32 のゲート電極 (G) は第 1 の抵抗体 34 によって外部取り出し電極 16 に接続されており、また、同時に TFT32 のゲート電極 (G) は、第 2 の抵抗体 36 によって共通線 22 に接続されている。

【0046】

10

静電気により共通線 22 に対して正の高電圧がバスラインに発生すると、TFT32 のゲート電極 (G) には静電気によって発生した高電圧を第 1 の抵抗体 34 と第 2 の抵抗体 36 で分割した値の電圧が印加される。その結果、TFT32 の導電率が急激に大きくなるため、TFT32 を介して静電気による電荷が解放される。このとき、TFT32 だけでなく、第 1 及び第 2 の抵抗体 34、36 を介しても電荷は解放され、TFT32 を流れる電流は図 41 に示したような TFT が単一の場合に比べて緩和され、さらに、図 42 に示した保護回路より静電気保護素子としての冗長性に優れている。従って、静電気で容易に破壊されず且つ TFT 試験も十分行える静電気保護回路を搭載した液晶表示装置を製造することができる。

【0047】

20

次に、静電気保護素子部 28 (= 30) の他の回路構成例について図 3 を用いて説明する。静電気保護素子部 28 は、TFT32、第 1 の抵抗体 34、及び第 2 の抵抗体 36 に加えて、導電体 42 及び容量 100 を有している。

【0048】

TFT32 のゲート電極 (G) は導電体 42 に接続されている。第 1 の抵抗体 34 は、外部取り出し電極 16 と導電体 42 の間に接続されている。第 2 の抵抗体 36 は、共通線 22 と導電体 42 との間に接続されている。容量 100 は、導電体 42 と TFT32 のゲート電極 (G) との間に形成されている。静電気が発生した場合、容量 100 により TFT32 は緩やかに動作する。さらに、容量 100 を付加することにより短絡による不具合に対する冗長性も向上している。

【0049】

30

次に、本発明の第 2 の実施の形態による液晶表示装置について図 4 乃至図 8 を用いて説明する。本液晶表示装置の概略構成は第 1 の実施の形態で用いた図 1 と同様であるので説明は省略し、特徴的構成要素である静電気保護素子部 28、30 の回路構成について図 4 を用いて説明する。静電気保護素子部 28 は、第 1 乃至第 3 の TFT32、38、40、及び導電体 42 を有している。静電気保護素子である第 1 の TFT32 のソース電極 (S) はバスライン 2 の外部取り出し電極 16 に接続されており、他方のドレイン電極 (D) は共通線 22 に接続されている。第 1 の TFT32 のゲート電極 (G) はバスライン 2 の外部取り出し電極 16 と共通線 22 のいずれとも電氣的に絶縁された導電体 42 に接続されている。

【0050】

40

一方、第 2 の TFT38 のソース電極 (S) は外部取り出し電極 16 に接続されており、他方のドレイン電極 (D) は導電体 42 に接続されている。また、第 3 の TFT40 のドレイン電極 (D) は導電体 42 に接続されており、他方のソース電極 (S) は共通線 22 に接続されている。そして、第 2 及び第 3 の TFT38、40 のゲート電極 (G) はいずれのパターンにも接続されておらず孤立している。

【0051】

静電気により共通線 22 に対して正の高電圧がバスラインに発生すると、第 2 及び第 3 の TFT38、40 のゲート電極 (G) にはそれぞれ寄生容量 (C_{2gs} 、 C_{2gd} 、 C_{3gs} 、 C_{3gd}) によって内分された高電圧が印加されて第 2 及び第 3 の TFT38、40 でチ

50

ャネルが形成される。その結果、第2及び第3のTFT38、40を通して電流が流れ、導電体42の電位も上昇する。それにより第1のTFT32にチャネルが形成されて導電率が大きくなるため静電気による電荷が解放される。

【0052】

このように本実施の形態によれば、第2、第3のTFT38、40に予備的に電流が流れるため第1のTFT32にかかる負荷が軽減されており静電気保護回路の冗長性を向上させることができる。また、第1のTFT32のゲート電極(G)は、容量を介して外部取り出し電極16、18、及びショートリング20の共通線22、24と接続されており、ゲート電極(G)の電位はこれら容量の充放電に要する時間の分だけ緩やかに変化する。従って、本実施の形態の構成によれば、緩やかな静電気に対しても十分対応することができる。

10

【0053】

このように電荷は複数の経路で解放されるため、TFTが1個である従来の場合に比べて第1のTFTへの負荷が緩和され、また静電気保護素子としての冗長性が増すので、静電気で容易に破壊されず且つTFT試験も十分行える静電気保護回路を搭載した液晶表示装置を製造することができる。

【0054】

次に、本実施の形態による静電気保護回路の構造について図5を用いて説明する。図5(a)は、アレイ側基板1上の1つの静電気保護回路を基板面に向かってみた状態を示している。図5(b)は図5(a)のA-A'線で切断した断面を示している。図5(c)は、図5(a)のB-B'線で切断した断面を示している。

20

【0055】

図5(a)において、図中左側で上下に延びる共通線22(または24、以下記載を省略する)と外部取り出し電極16(または18、以下記載を省略する)との間に静電気保護素子部28(または30、以下記載を省略する)が形成されている。図5(b)、(c)に示すように、ガラス基板50上にゲートバスライン2及び画素領域のTFT6(図1参照)のゲート電極を形成する際に同時に第1乃至第3のTFT32、38、40のゲート電極(G)も形成される。第2及び第3のTFT38、40のゲート電極(G)は他の配線構造から電氣的に孤立して形成されている。ゲート電極(G)及びガラス基板50上にはゲート絶縁膜52が形成されている。

30

【0056】

第1乃至第3のTFT32、38、40の各ゲート電極(G)上に形成されたゲート絶縁膜52上にはa-Siからなる動作半導体層44がそれぞれパターンニングされている。各動作半導体層44を挟んで両側には、データ(ドレイン)バスライン4及び外部引き出し電極16の形成と同時にパターンニングされたソース/ドレイン電極が形成されている。各ソース/ドレイン電極の端部は各動作半導体層44に乗り上がり、基板面方向に見て各ソース/ドレイン電極の端部と下層のゲート電極(G)とがオーバーラップする領域が形成されている。なお、ショートリング22もデータバスライン4形成時に同時に形成される。素子形成領域全面にパッシベーション膜54が形成されている。

【0057】

第2及び第3のTFT38、40間のソース/ドレイン電極のほぼ中央部上のパッシベーション膜54を除去してコンタクトホール56が形成されている。同様に、第1のTFT32のゲート電極の一端部上のゲート絶縁膜52とパッシベーション膜54も除去されてコンタクトホール58が形成されている。2つのコンタクトホール56、58を介して、第2及び第3のTFT38、40間のソース/ドレイン電極のほぼ中央部と第1のTFT32のゲート電極とが導電体の一部を構成するITO層43で接続されている。本例では、導電体42の一構成要素であるITO層43は、各画素領域内の表示電極を形成する際の透明電極としてのITOのパターンニングの際に同時に形成される。

40

【0058】

図5に示した構成では、外部取り出し電極16、18及びショートリング20の共通線

50

22、24は共にデータバスライン4の形成と同時に同一の材料で形成されるが、これは本質的なことではない。例えば、図6に示すようにゲートバスライン2の形成時に同時にゲートバスライン2と同じ金属層により外部取り出し電極16、18及びショートリング22、24を形成してもよい。

【0059】

図6は、アレイ側基板1上の1つの静電気保護回路を基板面に向かってみた状態を示している。図6に示すように、外部取り出し電極16、18と接続される第1のTF T 32のソース電極70は、その一端部上に形成されたコンタクトホール74と、外部取り出し電極16、18上に形成されたコンタクトホール76とを介して、表示電極形成時のITO層72で接続されている。

10

【0060】

同様に、外部取り出し電極16、18と接続される第2のTF T 38のソース電極60は、その一端部上に形成されたコンタクトホール64と、外部取り出し電極16、18上に形成されたコンタクトホール66とを介して、表示電極形成時のITO層62で接続されている。また同様に、ショートリング20の共通線22、24と接続される第1のTF T 32のドレイン電極80及び第3のTF T 40のソース電極90は、それらの一端部上に形成されたコンタクトホール84、94と、共通線22、24上に形成されたコンタクトホール86、96をそれぞれ介して、表示電極形成時のITO層82、92でそれぞれ接続されている。

【0061】

20

なお、上記図5及び図6に示す静電気保護回路の構造は、画素領域にチャネルエッチング型TF Tが形成される液晶表示装置に適用される。チャネルエッチング型TF Tは、ゲート電極上にゲート絶縁膜を介して形成された例えばa-Siからなる動作半導体層の上層がソース/ドレイン電極のパターニングの際のエッチング液に曝されて一部除去されている構造を有している。

【0062】

これに対し、ソース/ドレイン電極のパターニングの際に動作半導体層上層がエッチングされないよう動作半導体層上層に例えばSiN膜からなるチャネル保護膜を形成した構造のエッチングストッパ型TF Tを画素領域に用いた液晶表示装置も存在する。

【0063】

30

図7及び図8は図5及び図6に対応させて、エッチングストッパ型TF Tを備えた液晶表示装置に本実施の形態による静電気保護回路を適用した例を示している。図7及び図8において、図5及び図6に示す構成と同一の機能作用を奏する構成には同一の符号を付してその説明は省略する。

【0064】

第1乃至第3のTF T 32、38、40の各ゲート電極(G)上に形成されたゲート絶縁膜52上にはa-Siからなる動作半導体層44と、動作半導体層44とほぼ同じ形状をしたチャネル保護膜45の積層領域がそれぞれパターニングされている。各動作半導体層44とチャネル保護膜45の積層領域を挟んで両側には、データ(ドレイン)バスライン4および外部引き出し電極16の形成と同時にパターニングされたソース/ドレイン電極が形成されている。各ソース/ドレイン電極の端部は各動作半導体層44とチャネル保護膜45の積層領域に乗り上がり、基板方向に見て各ソース/ドレイン電極の端部と下層のゲート電極(G)とがオーバーラップする領域が形成されている。

40

【0065】

エッチングストッパ型TF Tは、ゲートバスライン2をマスクとした背面露光を用いて動作半導体層44とチャネル保護膜45のパターニングを行うため、形成された動作半導体層44とチャネル保護膜45は同一形状でゲートバスライン(ゲート電極)2の内方に形成される。このため、図7及び図8に示す静電気保護回路においても、図5及び図6に示す動作半導体層44に相当する領域が動作半導体層44上にチャネル保護膜45を積層した構造となり、また基板面に向かって見た状態で、動作半導体層44とチャネル保護膜

50

4 5 は同一形状でゲートバスライン 2 の内方に形成されている。

【 0 0 6 6 】

次に、本発明の第 3 の実施の形態による液晶表示装置について図 9 及び図 1 0 を用いて説明する。図 9 及び図 1 0 は、アレイ側基板 1 上の静電気保護回路を基板面に向かって見た状態を示している。図 9 は、チャンネルエッチング型 T F T が形成される場合における静電気保護回路の構造を示し、図 1 0 は、エッチングストッパ型 T F T が形成される場合における静電気保護回路の構造を示している。本実施の形態による液晶表示装置も静電気保護回路に特徴を有しており、他の構成要素については第 1 の実施の形態で図 1 を用いて説明した構成と同一であるのでそれらの説明は省略する。また、静電気保護素子部においても、第 1 及び第 2 の実施の形態と同様の機能作用を有する構成要素には同一の符号を付してその説明は省略する。

10

【 0 0 6 7 】

本実施の形態の静電気保護回路は、図 5 を用いて説明した第 2 の実施の形態の静電気保護素子部 2 8、3 0 を隣接するバスライン間に形成することにより、ショートリング 2 0 を形成しない点に特徴を有している。すなわち、第 1 の T F T 3 2 のソース電極は隣接する 2 本のバスライン 2 (または 4 ; 以下記載を省略する) の一方に接続され、ドレイン電極は隣接する 2 本のバスライン 2 の他方に接続されている。また、第 2 の T F T 3 8 のソース電極は隣接する 2 本のバスライン 2 の一方に接続され、3 の T F T 4 0 のソース電極は隣接する 2 本のバスライン 2 の他方に接続されている。以上の構成の相違を除き、本実施の形態の静電気保護回路によっても第 2 の実施の形態と同様の効果を得ることができる。

20

【 0 0 6 8 】

次に、本発明の第 4 の実施の形態による液晶表示装置について図 1 1 乃至図 1 9 を用いて説明する。本液晶表示装置の概略構成は第 1 の実施の形態で用いた図 1 と同様であるので説明は省略し、特徴的構成要素である静電気保護素子部 2 8、3 0 の回路構成について図 1 1 を用いて説明する。但し、図 4 及び図 5 に示した構成と同様の機能作用を発揮する構成要素には同一の符号を付してその説明も省略する。

【 0 0 6 9 】

本実施形態による静電気保護素子部 2 8 は、第 2 の実施形態と同様に第 1 乃至第 3 の T F T 3 2、3 8、4 0、及び導電体 4 2 を有している。第 2 の実施形態と異なるのは容量 1 0 0 を有している点にある。容量 1 0 0 は、導電体 4 2 と第 1 の T F T 3 2 のゲート電極 (G) との間に形成されている。静電気が発生した場合、容量 1 0 0 により第 2 及び第 3 の T F T 3 8、4 0 に比べて第 1 の T F T 3 2 の動作は緩やかになる。そのため、鋭いパルス状の電圧変化を生じる静電気の場合は、第 2 及び第 3 の T F T 3 8、4 0 に先に電流が流れて第 1 の T F T 3 2 を保護することができる。

30

【 0 0 7 0 】

また、電圧上昇が緩やかな静電気の場合は、第 2 及び第 3 の T F T 3 8、4 0 に続いて第 1 の T F T 3 2 が動作して電荷の解放に寄与するようになる。このように本実施の形態によれば、第 2、第 3 の T F T 3 8、4 0 に予備的に電流が流れるため、第 1 の T F T 3 2 にかかる負荷が軽減されており静電気保護回路の冗長性を向上させることができる。

40

【 0 0 7 1 】

また、第 1 の T F T 3 2 のゲート電極 (G) は、容量を介して外部取り出し電極 1 6、1 8、及びショートリング 2 0 の共通線 2 2、2 4 と接続されており、ゲート電極 (G) の電位はこれら容量の充放電に要する時間の分だけ緩やかに変化する。従って、本実施の形態の構成によれば、緩やかな静電気に対しても十分対応することができる。

【 0 0 7 2 】

さらに本実施の形態では、第 1 の T F T 3 2 のゲート電極 (G) と第 2、第 3 の T F T 3 8、4 0 の間の共通導電体 4 2 の間に容量 1 0 0 を挿入させているので、外部取り出し電極 1 6、1 8 とショートリング 2 0 の共通線 2 2、2 4 との間の電位差が低くなっても容量 1 0 0 の充放電に要する時間の分だけさらに長く導通状態を保つことができるため電

50

荷解放の効率をより向上させることができる。また、容量 100 を付加したことにより短絡による不具合に対する冗長性も向上している。本実施形態の場合も電荷は複数の経路で解放されるため、TFT が 1 個である従来の場合に比べて静電気保護素子としての冗長性が増すので、静電気で容易に破壊されない保護回路を形成することができる。

【0073】

次に、本実施の形態による静電気保護回路の構造について図 12 を用いて説明する。図 12 (a) は、アレイ側基板 1 上の 1 つの静電気保護回路を基板面に向かってみた状態を示している。図 12 (b) は図 12 (a) の A - A' 線で切断した断面を示している。図 12 (c) は、図 12 (a) の B - B' 線で切断した断面を示している。

【0074】

図 12 (a) において、図中左側で上下に延びる共通線 22 と外部取り出し電極 16 との間に静電気保護素子部 28 が形成されている。図 12 (b)、(c) に示すように、ゲートバスライン 2 及び画素領域の TFT 6 (図 1 参照) のゲート電極を形成する際にガラス基板 50 上に同時に第 1 乃至第 3 の TFT 32、38、40 のゲート電極 (G) も形成される。第 2 及び第 3 の TFT 38、40 のゲート電極 (G) は他の配線構造から電氣的に孤立して形成されている。ゲート電極 (G) 及びガラス基板 50 上にはゲート絶縁膜 52 が形成されている。第 1 乃至第 3 の TFT の各ゲート電極 (G) 上のゲート絶縁膜 52 上には a - Si からなる動作半導体層 44 がそれぞれパターニングされている。各動作半導体層 44 を挟んで両側には、データ (ドレイン) バスライン 4 及び外部引き出し電極 16 の形成と同時にパターニングされたソース / ドレイン電極が形成されている。各ソース / ドレイン電極の端部は各動作半導体層 44 に乗り上げて形成されている。なお、ショートリング 22 もデータバスライン 4 形成時に同時に形成される。素子形成領域全面にパッシベーション膜 54 が形成されている。

【0075】

第 2 及び第 3 の TFT 38、40 間のソース / ドレイン電極は導電体 42 として機能すると共に、導電体 42 下方にまで延びた第 1 の TFT 32 のゲート電極 (G) との間で、容量 100 を形成している。

【0076】

図 12 に示した構成では、外部取り出し電極 16、18 及びショートリング 22、24 は共にデータバスライン 4 の形成と同時に同一の材料で形成されるが、これは本質的なことではない。例えば、図 13 に示すようにゲートバスライン 2 の形成時に同時にゲートバスライン 2 と同じ金属層により外部取り出し電極 16、18 及びショートリング 22、24 を形成してもよい。そして図 6 を用いて説明したの同様の配線のつなぎ換えを行うことにより図 13 に示す構成を得ることができる。

【0077】

なお、上記図 12 及び図 13 に示す静電気保護回路の構造は、画素領域にチャネルエッチング型 TFT が形成される液晶表示装置に適用される。これに対し、図 14 及び図 15 は図 12 及び図 13 に対応させて、エッチングストップパ型 TFT を備えた液晶表示装置に本実施の形態による静電気保護回路を適用した例を示している。図 14 及び図 15 において、図 12 及び図 13 に示す構成と同一の機能作用を奏する構成には同一の符号を付してその説明は省略する。

【0078】

第 1 乃至第 3 の TFT 32、38、40 の各ゲート電極 (G) 上に形成されたゲート絶縁膜 52 上には a - Si からなる動作半導体層 44 と、動作半導体層 44 とほぼ同じ形状をしたチャネル保護膜 45 の積層領域がそれぞれパターニングされている。各動作半導体層 44 とチャネル保護膜 45 の積層領域を挟んで両側には、データ (ドレイン) バスライン 4 および外部引き出し電極 16 の形成と同時にパターニングされたソース / ドレイン電極が形成されている。各ソース / ドレイン電極の端部は各動作半導体層 44 とチャネル保護膜 45 の積層領域に乗り上がり、基板方向に見て各ソース / ドレイン電極の端部と下層のゲート電極 (G) とがオーバーラップする領域が形成されている。

【 0 0 7 9 】

エッチングストッパ型 T F T は、ゲートバスライン 2 をマスクとした背面露光を用いて動作半導体層 4 4 とチャネル保護膜 4 5 のパターニングを行うため、形成された動作半導体層 4 4 とチャネル保護膜 4 5 は同一形状でゲートバスライン（ゲート電極）2 の内方に形成される。このため、図 1 4 及び図 1 5 に示す静電気保護回路においても、図 1 2 及び図 1 3 に示す動作半導体層 4 4 に相当する領域が動作半導体層 4 4 上にチャネル保護膜 4 5 を積層した構造となり、また基板面に向かって見た状態で、動作半導体層 4 4 とチャネル保護膜 4 5 は同一形状でゲートバスライン 2 の内方に形成されている。

【 0 0 8 0 】

次に、本実施の形態による静電気保護回路の変形例を図 1 6 乃至図 1 9 を用いて説明する。第 1 及び第 2 の実施の形態及び本実施の形態では、ショートリング 2 0 及び静電気保護素子部 2 8、3 0 はアレイ側基板上で外部取り出し電極 1 6、1 8 の外側に位置している。従って、パネルスクライプ後に面取り工程によって除去することができる。一方、ショートリング 2 0 を外部取り出し電極 1 6、1 8 より内側に配置すれば、ガラス基板のスクライプ領域を狭めてガラス基板を無駄なく有効に利用することができる。この場合にはショートリング 2 0 及び静電気保護素子部 2 8、3 0 はパネルスクライプ後にも液晶表示パネルに残存することになり、各バスライン 2、4 は静電気保護回路を介して短絡するが、その抵抗は各バスライン間の干渉を無視できるほど大きいので、製品の品質には何ら影響を与えない。ショートリング 2 0 の形成位置についてはこれ以降に説明する実施形態全てについて同様に考えることができる。

【 0 0 8 1 】

図 1 6 は、データバスライン 4 の外部取り出し電極 1 8 より内側にショートリング 2 0 の共通線 2 4 が形成された静電気保護回路の構造例を示している。図中上下に延びる共通線 2 4 と、図示を省略した画素領域（共通線 2 4 に関し外部取り出し電極 1 8 の反対側）との間に静電気保護素子部 3 0 が形成されている。ゲートバスライン 2 及び画素領域の T F T 6（図 1 参照）のゲート電極を形成する際にガラス基板 5 0 上に同時に第 1 乃至第 3 の T F T 3 2、3 8、4 0 のゲート電極（G）が形成される。第 2 及び第 3 の T F T 3 8、4 0 のゲート電極（G）は他の配線構造から電氣的に孤立して形成されている。また、共通線 2 4 もゲートバスライン 2 形成時に同時に形成される。第 1 の T F T 3 2 のドレイン電極（D）と第 3 の T F T 4 0 のドレイン電極（D）は、コンタクトホール部 7 7 を介して共通線 2 4 に接続されている。

【 0 0 8 2 】

第 2 及び第 3 の T F T 3 8、4 0 間のソース／ドレイン電極は導電体 4 2 として機能すると共に、導電体 4 2 下方にまで延びた第 1 の T F T 3 2 のゲート電極（G）との間で、容量 1 0 0 を形成している。

【 0 0 8 3 】

また、本例においては、第 2 及び第 3 の T F T 3 8、4 0 のチャネル長を第 1 の T F T 3 2 のチャネル長より短く形成している。こうすることにより、非常に鋭いパルス電圧で静電気がデータライン 4 に発生した場合には、第 1 の T F T 3 2 が破壊される前に第 2 又は第 3 の T F T 3 8、4 0 が先に破壊されて第 1 の T F T 3 2 を保護することができる。このため、第 2 又は第 3 の T F T 3 8、4 0 のいずれかが破壊されたとしてもデータバスライン 4 と共通線 2 4 とが直接短絡することがないので、T F T 試験も含め、その後の工程に支障が生じることはない。また本例では、第 2 及び第 3 の T F T 3 8、4 0 のチャネル長を等しくし、且つ第 1 の T F T 3 2 のチャネル長の約半分の長さにしてている。また、第 2 及び第 3 の T F T 3 8、4 0 のチャネル幅を等しくし、且つ第 1 の T F T 3 2 のチャネル幅と同程度の長さにしてている。従って、第 1 の T F T 3 2 の導電率と、第 2 及び第 3 の T F T 3 8、4 0 を直列にみたときの導電率がほぼ同一となり、静電気保護における電流の分担を第 1 の T F T 3 2 と第 2 及び第 3 の T F T 3 8、4 0 とでほぼ半々に分けることができる。

【 0 0 8 4 】

図 17 は、ゲートバスライン 2 の外部取り出し電極 16 より内側にショートリング 20 の共通線 22 が形成された静電気保護回路の構造例を示している。図中上下に延びる共通線 22 と、図示を省略した画素領域（共通線 22 に関し外部取り出し電極 16 の反対側）との間に静電気保護素子部 28 が形成されている。ゲートバスライン 2 及び画素領域の TFT 6（図 1 参照）のゲート電極を形成する際にガラス基板 50 上に同時に第 1 乃至第 3 の TFT 32、38、40 のゲート電極（G）が形成される。第 2 及び第 3 の TFT 38、40 のゲート電極（G）は他の配線構造から電氣的に孤立して形成されている。

【0085】

第 1 乃至第 3 の TFT 32、38、40 のソース/ドレイン電極及び共通線 22 は、データバスラインの形成と同時に同一の形成材料で形成される。第 1 の TFT 32 のソース電極（S）と第 2 の TFT 38 のソース電極（S）は、それぞれコンタクトホール部 78、79 を介してゲートバスライン 2 に接続されている。

【0086】

第 2 及び第 3 の TFT 38、40 間のソース/ドレイン電極は導電体 42 として機能すると共に、導電体 42 下方にまで延びた第 1 の TFT のゲート電極（G）との間で、容量 100 を形成している。

【0087】

また、本例においても、図 16 に示したのと同様に、第 2 及び第 3 の TFT 38、40 のチャンネル長を等しくし、且つ第 1 の TFT 32 のチャンネル長の約半分の長さにしている。また、第 2 及び第 3 の TFT 38、40 のチャンネル幅を等しくし、且つ第 1 の TFT 32 のチャンネル幅と同程度の長さにしている。従って、第 1 の TFT 32 の導電率と、第 2 及び第 3 の TFT 38、40 を直列にみたときの導電率がほぼ同一となり、静電気保護における電流の分担を第 1 の TFT 32 と第 2 及び第 3 の TFT 38、40 とでほぼ半々に分けることができる。

【0088】

なお、上記図 16 及び図 17 に示す静電気保護回路の構造は、画素領域にチャンネルエッチング型 TFT が形成される液晶表示装置に適用される。これに対し、図 18 及び図 19 は図 16 及び図 17 に対応させて、エッチングストップパ型 TFT を備えた液晶表示装置に本実施の形態による静電気保護回路を適用した例を示している。図 18 及び図 19 において、図 16 及び図 17 に示す構成と同一の機能作用を奏する構成には同一の符号を付してその説明は省略する。

【0089】

形成された動作半導体層 44 とチャンネル保護膜 45 は同一形状でゲートバスライン（ゲート電極）2 の内方に形成される。このため、図 18 及び図 19 に示す静電気保護回路においても、図 16 及び図 17 に示す動作半導体層 44 に相当する領域が動作半導体層 44 上にチャンネル保護膜 45 を積層した構造となり、また基板面に向かって見た状態で、動作半導体層 44 とチャンネル保護膜 45 は同一形状でゲートバスライン 2 の内方に形成されている。

【0090】

上述のように、図 16 及び図 17 に示した構造では、第 2 及び第 3 の TFT 38、40 のチャンネル長を第 1 の TFT 32 のチャンネル長の約半分にしている。それに対し、図 18 及び図 19 に示す構成での第 2 及び第 3 の TFT 38、40 のチャンネル長は、第 1 の TFT 32 のチャンネル長の約半分より若干長く形成されているが、第 1 の TFT 32 のチャンネル長よりは短いので図 16 及び図 17 に示した構造と同様に静電気保護における電流の分担を半々にする効果を得ることができる。

【0091】

次に、本発明の第 5 の実施の形態による液晶表示装置について図 20 及び図 21 を用いて説明する。上述の第 1 乃至第 4 の実施の形態では、各バスラインにそれぞれ 1 組の静電気保護素子部が形成されているのに対し、本実施の形態では静電気保護素子部に形成された素子をできるだけ共有化して、全体の素子数を少なくした液晶表示装置を示す。構成素

10

20

30

40

50

子の不良発生率や素子の占有する面積等を考慮すると、構成素子数はできるだけ少なくしたほうが望ましい。

【0092】

図20に本実施の形態の静電気保護素子部の回路を示す。図20に示すように静電気保護素子部28-1、28-2(または、30-1、30-2)は、外部取り出し電極16-1、16-2(または18-1、18-2)ごとにTF T 32-1、32-2及び第1の抵抗体34-1、34-2が形成されている。第2の抵抗体36は各素子部28-1、28-2に形成されていない。その代わりに、第1のTF T 32-1、32-2のゲート電極(G)が接続した導電体42と共通線22、24とが、第2の抵抗体としての1個の共用抵抗体37で接続されている。共用抵抗体37を設けることにより、静電気保護素子部の構成素子数を第1乃至第4の実施の形態に比して3/4に減らすことができる。

10

【0093】

例えば、静電気により共通線22に対して正の高電圧が外部取り出し電極16-1のバスラインに発生すると、TF T 32-1、32-2のゲート電極(G)には静電気によって発生した高電圧を第1の抵抗体34-1と共用抵抗体37で分割した値の電圧が印加される。その結果、TF T 32-1、32-2の導電率が急激に大きくなるため、TF T 32-1、32-2を介して静電気による電荷が解放される。このとき、TF T 32-1、32-2だけでなく、第1の抵抗体34-1、34-2、共用抵抗体37を介しても電荷は解放され、TF T 32-1を流れる電流は緩和されるので、静電気保護素子としての冗長性が増して静電気で容易には破壊されない静電気保護回路を実現できる。

20

【0094】

次に、図21を用いて本実施の形態の変形例について説明する。図21に示す構成は、静電気保護回路の構成素子数をできるだけ少なくするため、図20に示した構成をさらに進めて、n(nは3以上の整数)本以上のバスラインの静電気保護素子部28-1~28-n(または30-1~30-n)間で1個の共用抵抗体37を共用している点に特徴を有している。

【0095】

外部取り出し電極16-1~16-nごとに設けられた静電気保護素子部28-1~28-nには、それぞれTF T 32-1~32-n及び第1の抵抗体34-1~34-nが形成されている。第2の抵抗体36は各素子部28-1~28-nに形成されていない。その代わりに、第1のTF T 32-1~32-nのゲート電極(G)が接続された導電体42と共通線22、24とが、個々の第2の抵抗体に代えて1個の第2の抵抗体としての共用抵抗体37で接続されている。

30

【0096】

全てのバスラインの静電気保護素子部28、30について個々の第2の抵抗体に代えて共有抵抗体37を用いることにすれば、バスライン1本あたりの構成素子数をほぼ2個にすることができ、第1実施の形態での静電気保護回路で使用される素子数を約半分まで減らすことが可能である。

【0097】

次に、本発明の第6の実施の形態による液晶表示装置について図22乃至図26を用いて説明する。上記第2の実施の形態による液晶表示装置では各バスラインにそれぞれ1組の静電気保護素子部が形成されているのに対し、本実施の形態では、第5の実施の形態と同様に、静電気保護素子部に形成された素子をできるだけ共有化して、全体の素子数を少なくした液晶表示装置を示す。

40

【0098】

図22に本実施の形態の静電気保護素子部の回路を示す。図22に示すように静電気保護素子部28-1、28-2(または、30-1、30-2)は、外部取り出し電極16-1、16-2(または18-1、18-2)ごとに第1のTF T 32-1、32-2及び第2のTF T 38-1、38-2が形成されている。第3のTF T 40は各素子部28-1、28-2に形成されていない。その代わりに、第1のTF T 32-1、32-2のゲー

50

ト電極 (G) が接続した導電体 42 と共通線 22、24 とが、個々の第 3 の T F T に代えて 1 個の第 3 の T F T としての共用 T F T 41 で接続されている。共用 T F T 41 を設けることにより、静電気保護素子部の構成素子数を第 1 乃至第 4 の実施の形態に比して 3 / 4 に減らすことができる。

【0099】

例えば静電気により共通線 22 に対して正の高電圧が外部取り出し電極 16 - 1 のバスラインに発生すると、第 2 の T F T 38 - 1 と共用 T F T 41 のゲート電極 (G) にはそれぞれ寄生容量 (C_{2gs} 、 C_{2gd} 、 C_{cgs} 、 C_{cgd}) によって内分された高電圧が印加されて第 2 の T F T 38 - 1、共用 T F T 41 でチャネルが形成される。その結果、第 2 の T F T 38 - 1 及び共用 T F T 41 を通して電流が流れ、導電体 42 の電位も上昇する。それにより第 1 の T F T 32 - 1 にチャネルが形成されて導電率が大きくなるため静電気による電荷が解放される。この場合でも電荷は複数の経路で解放されるため、T F T が 1 個である従来の場合に比べて第 1 の T F T 32 に流れる電荷の量が緩和されるので、静電気保護素子としての冗長性が増して静電気で容易には破壊されない保護回路を形成することができる。

10

【0100】

次に、本実施の形態による静電気保護回路の構造について図 23 及び図 24 を用いて説明する。図 23 は、アレイ側基板 1 上の 1 つの静電気保護回路を基板面に向かってみた状態を示している。図 23 は、チャネルエッチング型 T F T が形成される場合における静電気保護回路の構造を示している。図 23 において、図中左側で上下に延びる共通線 22 と外部取り出し電極 16 - 1、16 - 2 との間に静電気保護素子部 28 - 1、28 - 2 が形成されている。

20

【0101】

本例では、導電体 42 が図中上下に延びて、コンタクトホール 56 - 1、58 - 1 を介して静電気保護素子部 28 - 1 側の第 1 の T F T 32 - 1 と I T O 層 43 により接続されている。また、導電体 42 は、コンタクトホール 56 - 2、58 - 2 を介して静電気保護素子部 28 - 2 側の第 1 の T F T 32 - 2 と I T O 層 43 により接続されている。

【0102】

共用 T F T 41 のゲート電極 (G) 上のゲート絶縁膜上には a - S i からなる動作半導体層 44 がパターンニングされている。動作半導体層 44 を挟んで両側には、導電体 42 のほぼ中央部から引き出された共用 T F T 41 のドレイン電極 (D) が接続されている。共用 T F T 41 のソース電極は、共通線 22、24 に接続されている。共用 T F T 41 のソース / ドレイン電極の端部は動作半導体層 44 に乗り上がり、基板面方向に見て各ソース / ドレイン電極の端部と下層のゲート電極 (G) とがオーバーラップする領域が形成されている。導電体 42、外部引き出し電極 16 - 1、16 - 2、及び共通線 22、24 はデータバスライン 4 を形成する際に同時に形成されている。

30

【0103】

図 24 は、エッチングストッパ型 T F T が形成される場合における静電気保護回路の構造を示している。共用 T F T 41 のゲート電極 (G) 上のゲート絶縁膜上には a - S i からなる動作半導体層 44 と、動作半導体層 44 とほぼ同じ形状をしたチャネル保護膜 45 の積層領域がそれぞれパターンニングされている。各動作半導体層 44 とチャネル保護膜 45 の積層領域を挟んで両側には、導電体 42 のほぼ中央部から引き出された共用 T F T 41 のドレイン電極 (D) が接続されている。共用 T F T 41 のソース電極は、共通線 22、24 に接続されている。共用 T F T 41 のソース / ドレイン電極の端部は各動作半導体層 44 とチャネル保護膜 45 の積層領域に乗り上がり、基板面方向に見て各ソース / ドレイン電極の端部と下層のゲート電極 (G) とがオーバーラップする領域が形成されている。導電体 42、外部引き出し電極 16 - 1、16 - 2、及び共通線 22、24 はデータバスライン 4 を形成する際に同時に形成されている。

40

【0104】

次に、図 25 を用いて本実施の形態の変形例について説明する。図 25 に示す構成は、

50

静電気保護回路の構成素子数をできるだけ少なくするため、図 23 に示した構成をさらに進めて、 n (n は 3 以上の整数) 本以上のバスラインの静電気保護素子部 28 - 1 ~ 28 - n (または 30 - 1 ~ 30 - n) 間で 1 個の共用 T F T 4 1 を用いている点に特徴を有している。

【0105】

外部取り出し電極 16 - 1 ~ 16 - n ごとに設けられた静電気保護素子部 28 - 1 ~ 28 - n には、それぞれ第 1 の T F T 32 - 1 ~ 32 - n 及び第 2 の T F T 38 - 1 ~ 38 - n が形成されている。第 3 の T F T 40 は各素子部 28 - 1 ~ 28 - n に形成されていない。その代わり、第 1 の T F T 32 - 1 ~ 32 - n のゲート電極 (G) が接続された導電体 42 と共通線 22、24 とが、個々の第 3 の T F T に代えて 1 個の第 3 の T F T としての共用 T F T 41 で接続されている。

10

【0106】

全てのバスラインの静電気保護素子部 28、30 について第 3 の T F T 40 に代えて共有 T F T 41 を用いることにすれば、バスライン 1 本あたりの構成素子数はほぼ 2 個にすることができ、第 2 の実施の形態での静電気保護回路で使用される素子数を約半分まで減らすことが可能である。

【0107】

次に、本実施の形態による静電気保護回路の他の構造例について図 26 及び図 27 を用いて説明する。図 26 及び図 27 は、アレイ側基板 1 上の 1 つの静電気保護回路を基板面に向かってみた状態を示している。図 26 は、チャネルエッチング型 T F T が形成される場合における静電気保護回路の構造を示し、図 27 は、エッチングストッパ型 T F T が形成される場合における静電気保護回路の構造を示している。図 26 及び図 27 において、図中左側で上下に延びる共通線 22 と外部取り出し電極 16 - 1 ~ 16 - n との間に静電気保護素子部 28 - 1 ~ 28 - n が形成されている。

20

【0108】

本例では、導電体 42 が図中上下に延びて、複数の第 1 の T F T 32 - 1 ~ 32 - n のゲート電極に接続されている。また、導電体 42 にコンタクトホールを介して第 2 の T F T 38 - 1 ~ 38 - n が I T O 層 43 により接続されている。共用 T F T 41 の構造は図 23 あるいは図 24 を用いて説明したのと同じであるので説明は省略する。共用 T F T 41 のドレイン電極は、コンタクトホールを介して I T O 層 43 により導電体 42 に接続され、ソース電極は共通線 22、24 に接続されている。

30

【0109】

次に、本発明の第 7 の実施の形態による液晶表示装置について図 28 乃至図 32 を用いて説明する。上記第 3 の実施の形態による液晶表示装置では各バスラインにそれぞれ 1 組の静電気保護素子部が形成されているのに対し、本実施の形態では、第 5 及び第 6 の実施の形態と同様に、静電気保護素子部に形成された素子をできるだけ共有化して、全体の素子数を少なくした液晶表示装置を示す。

【0110】

図 28 に本実施の形態の静電気保護素子部の回路を示す。図 28 に示すように各静電気保護素子部 28 - 1、28 - 2 には容量 100 - 1、100 - 2 が形成されている。第 3 の T F T 40 は静電気保護素子部 28 - 1、28 - 2 に形成されていない。その代わり、第 1 の T F T 32 - 1、32 - 2 のゲート電極 (G) が接続した導電体 42 と共通線 22、24 とが、個々の第 3 の T F T に代わる 1 個の第 3 の T F T としての共用 T F T 41 で接続されている。共用 T F T 41 を設けることにより、静電気保護素子部の構成素子数を第 1 乃至第 4 の実施の形態に比して 3 / 4 に減らすことができる。

40

【0111】

本実施形態の場合も、容量 100 を有していることにより、静電気が発生した場合の第 1 の T F T 32 - 1、32 - 2 の動作は、第 2 の T F T 38 - 1、38 - 2 及び共用 T F T 41 に比べて緩やかになる。そのため、鋭いパルス状の電圧変化を生じる静電気の場合は、第 2 の T F T 38 - 1、38 - 2 及び共用 T F T 41 に先に電流が流れて第 1 の

50

TFT32-1、32-2を保護することができる。

【0112】

また、電圧上昇が緩やかな静電気の場合は、第2のTFT38-1、38-2及び共用TFT41に続いて第1のTFT32-1、32-2が動作して電荷の解放に寄与ようになる。本実施の形態によれば、第2のTFT38-1、38-2及び共用TFT41に予備的に電流が流れるため、第1のTFT32-1、32-2にかかる負荷が軽減されており静電気保護回路の冗長性を増すことができる。

【0113】

また、第1のTFT32-1、32-2のゲート電極(G)は、容量を介してそれぞれ外部取り出し電極16-1、18-1、16-2、18-2、及びショートリング20の共通線22、24と接続されており、ゲート電極(G)の電位はこれら容量の充放電に要する時間分だけ緩やかに変化する。従って、本実施の形態の構成によれば、緩やかな静電気であっても十分対応することができる。

【0114】

さらに本実施の形態では、第1のTFT32-1、32-2のゲート電極(G)と第2のTFT38-1、38-2及び共用TFT41の間の共通導電体42の間に容量100-1、100-2を挿入させているので、外部取り出し電極16、18とショートリング20の共通線22、24との間の電位差が低くなっても容量100-1、100-2の充放電に要する時間の分だけさらに長く導通状態を保つことができるため電荷解放の効率をより向上させることができる。また、容量100-1、100-2を付加したことにより短絡による不具合に対する冗長性も向上している。本実施形態の場合も電荷は複数の経路で解放されるため、TFTが1個である従来の場合に比べて静電気保護素子としての冗長性が増すので、静電気による素子の破壊が生じにくくなる。

【0115】

次に、本実施の形態による静電気保護回路の構造について図29を用いて説明する。図29は、アレイ側基板1上の1つの静電気保護回路を基板面に向かってみた状態を示している。図29は、チャンネルエッチング型TFTが形成される場合における静電気保護回路の構造を示し、図30は、エッチングストッパ型TFTが形成される場合における静電気保護回路の構造を示している。図29及び図30に示す構造は図23及び図24に示す構造に対して、第1のTFT32-1、32-2のゲート電極が導電体42下層に絶縁膜を介して位置することにより容量100-1、100-2が形成されている点にある。それ以外の構成は図23及び図24に示したのと同ーであるので説明は省略する。

【0116】

次に、図31乃至図33を用いて本実施の形態の変形例について説明する。図31乃至図33に示す構成は、静電気保護回路の構成素子数をできるだけ少なくするため、図28に示した構成をさらに進めて、 n (n は3以上の整数)本以上のバスラインの静電気保護素子部28-1~28- n (または30-1~30- n)間で1個の共用TFT41を用いている点に特徴を有している。図31、図32、及び図33に示す回路構成及び素子構造は、図25、図26、及び図27に対して、第1のTFT32-1~32- n のゲート電極が導電体42下層に絶縁膜を介して位置することにより容量100-1~100- n が形成されている点にある。それ以外の構成は図25、図26、及び図27に示したのと同ーであるので説明は省略する。

【0117】

以上説明した第1乃至第7の実施の形態による静電気保護回路が形成されたアレイ側基板1の説明において、動作半導体層44あるいはチャンネル保護膜45上にソース/ドレイン電極が直接形成されているようにみえるが、現実には動作半導体層44あるいはチャンネル保護膜45と、ソース/ドレイン電極との間に接続抵抗を低くするための n^+a-Si 層が形成されている。

【0118】

チャンネルエッチング型TFTであれば、動作半導体層44の $a-Si$ 層上に n^+a-S

10

20

30

40

50

i 層が形成されている。チャネル部の n^+a-Si 層はソース/ドレイン電極のパターニング時に除去される。当該パターニング時に除去されない n^+a-Si 層はソース/ドレイン電極形成金属層と $a-Si$ 層との間に残存する。

また、エッチングストッパ型 TFT の場合には、ソース/ドレイン電極およびデータバスラインの下地に n^+a-Si 層が形成されている。

【0119】

以上説明した第1乃至第7の実施の形態による静電気保護回路が形成されたアレイ側基板1に対する TFT の製造工程において、TFT 検査ではなく単にバスラインの断線/短絡を検出するためのオープン/ショート検査 (O/S 検査) によりパネルの良否判断をする場合がある。この場合、層間短絡を検出するためには、ゲートバスライン2側のショートリング20の共通線22と、データバスライン4側の共通線24とを高抵抗成分で電気的に分離する必要がある。そこで一例として図34に示すような構成を取ることができる。図34において、共通線22と共通線24との交差部には、例えば第1乃至第4の実施の形態で図2乃至図19を用いて説明した静電気保護素子部28、30と同様の構成を有する層間分離部23が形成されている。

【0120】

また、図34に示すように、ショートリング20の共通線22、24のいずれか (図34では共通線22) を、例えば対向基板側の共通電極12またはグランドと接続する接続端子25に接続して、より確実に TFT やバスラインを静電気による障害から保護するようにすることもできる。

【0121】

次に、本発明の第8の実施の形態による液晶表示装置について説明する。まず、本実施の形態で用いる TFT-LCD のアレイ側基板の製造プロセスを簡単に説明する。第1に、アレイ側基板上にゲート金属を成膜してパターニングし、ゲートバスライン及び各画素領域の TFT のゲート電極を形成する。第2に、全面にゲート絶縁膜を形成し、その上に TFT の動作半導体膜となる $a-Si$ 層、及びチャネル保護膜を形成するための絶縁膜をこの順に成膜する。第3に、ゲートバスライン及びゲート電極をマスクとする背面露光と、ゲートバスライン上の $a-Si$ 層を画素領域から電気的に分離するための通常のマスクを用いた露光により上記絶縁膜をパターニングしてチャネル保護膜を形成する。第4に、オーミックコンタクト層となる n^+ 層とドレイン/ソース電極及びデータバスラインを形成するためのドレイン金属 (例えば、Ti (チタン)) 層をこの順に全面に成膜する。第5に、 n^+ 層とドレイン金属層をパターニングしてドレイン/ソース電極及びデータバスラインを形成する。第6に、全面にパッシベーション膜 (例えば、 SiN 膜 (シリコン窒化膜)) を形成してからパターニングし、所定位置のパッシベーション膜にコンタクトホールを形成する。第7に、ITO を全面に成膜してからパターニングし、画素電極を形成する。以上の工程において、第1、第3、第5、第6、及び第7の工程に露光工程が含まれており、全部で5枚のマスクを用いる5枚マスクプロセスとなっている。

【0122】

さて、以上の工程を含んで形成される本液晶表示装置における静電気保護回路について図35乃至図39を用いて詳細に説明する。なお、本実施形態において、第1乃至第7の実施の形態と同一の機能作用を有する構成要素には同一の符号を付している。

【0123】

図35(a)は、アレイ側基板をその基板面に向かって見た状態を示している。図35(b)は、図35(a)のA-A線で切断した断面を示している。図35は、ガラス基板であるアレイ側基板1上のデータバスライン4 (図示せず) から外部取り出し電極18が引き出されて形成されている状態を示している。外部取り出し電極18先端には静電気保護素子部30が形成され、静電気保護素子部30を介して外部取り出し電極18とショートリング20の共通線24が接続されている。以上の構成は、ゲートバスライン2及びその外部取り出し電極16についても図示を省略したが同様の構成となっている。

【0124】

図35(b)に示すように、アレイ側基板1上に上記の第2の工程によるゲート絶縁膜52が形成され、その上に、第4の工程でのドレイン金属層をパターニングして外部取り出し電極18と共通線24が形成されている。また、外部取り出し電極18と共通線24の対向側には、静電気保護素子部30の一部を構成するドレイン金属層をパターニングした金属層200が形成されている。対向する金属層200両端部間はパッシベーション膜54が埋め込まれて電氣的に分離されている。対向する金属層200両端部上にはパッシベーション膜54を開口したコンタクトホール98がそれぞれ形成されている。2つのコンタクトホール内壁及び両者間に第7の工程で成膜された導電膜のITO層43がパターニングされており、対向する2つの金属層200はITO層43により電氣的に接続されている。この場合、下層のドレイン金属(Ti)と上層金属(ITO)とはオーミック接続になり、コンタクトホールのサイズにより抵抗成分が変化する。下層金属にTiを用い、ITO成膜前に熱処理(例えば、180 ~ 215 程度)を行い、且つコンタクトホール98の径が $= 4 \mu\text{m}$ である場合には、形成される抵抗成分は7 ~ 8 k となる。コンタクトホール98は上述の第6の工程で形成されるものであり、ITO膜も第7の工程で形成されるものであるから、従来の製造工程を何ら変更することなく静電気保護回路を形成することができる。

【0125】

図36(a)および(b)は静電気保護素子部30を高抵抗にするためにコンタクトホール98を複数個直列接続した本実施形態の変形例を示している。図36(a)では、外部取り出し電極18と共通線24の対向側に設けられ先端が対向する2つの金属層200の間に、さらに島状の複数の金属層202が形成されている。直列に整列した複数の金属層202の両端部上のパッシベーション膜54にはコンタクトホール98が形成されている。隣り合う金属層200、202はコンタクトホール98を介してITO層43により電氣的に接続されている。

【0126】

図36(b)に示す構造は、直線上に整列した金属層200、202の各対向端部近傍に、電氣的に独立した島状の金属層204が設けられ、それらの両端部にコンタクトホール98が形成されている。そして、金属層200、202の各対向端部は、金属層204とコンタクトホール98を介してITO層43の接続層で接続されている。このようにして、静電気保護素子部30を蛇行配置させることにより、共通線24と外部取り出し電極18との間の距離を短くさせることが可能になる。

【0127】

アレイ検査装置により画素電極とコモン電極間にチャージングした電荷を積分回路により読み出す場合には、アイソレーション抵抗として抵抗値が100 k 以上あるのが望ましい。従って図36に示すような構成を採用してコンタクトホール98の数を14個以上にすれば、アレイ検査に影響しない静電気保護回路を実現できる。このように本実施の形態によれば、コンタクトホールを介して抵抗体を複数段接続することにより任意の値の抵抗成分を有する静電気保護回路を形成することができる。

【0128】

次に、本実施の形態による静電気保護素子部において下層金属を多層構造とした変形例について図37を用いて説明する。図37は静電気保護素子部の形成工程断面を示しており、(A)列はゲートバスライン側を示し、(B)列はデータバスライン側を示している。また、(a)行~(e)行は各工程での処理を示している。まず図37(a)において、ガラス基板であるアレイ側基板1上にゲートバスライン及び各画素領域のTFETのゲート電極を形成する際、ゲートバスライン2側の静電気保護素子部28の金属層200gをゲート金属で同時に形成する。金属層200gの形成と共にショートリング20の共通線22をゲート金属で同時に形成することもできる。次いで、例えばSiN(窒化シリコン)を用いて全面にゲート絶縁膜52を形成する。

【0129】

次に、図37(b)に示すように、データバスライン4及び各画素領域のTFETのドレ

10

20

30

40

50

イン/ソース電極を形成する際、ドレインメタルを用いて同時に、データバスライン4側の静電気保護素子部30の金属層200dを形成する。ドレインメタル層は下層から順にTi/Al/Tiで構成されている。なお、金属層200dの形成と共にショートリング20の共通線24をドレインメタルで同時に形成することもできる。次いで、全面にパッシベーション膜54を形成する。

【0130】

次に、図37(c)に示すように、金属層200g、200d上のパッシベーション膜54を開口してコンタクトホール98を形成する。さらに図37(d)に示すように、金属層200g上のゲート絶縁膜52をエッチングして金属層200g上部が露出するコンタクトホール98を形成する。パッシベーション膜54とゲート絶縁膜52を一括してエッチングするプロセスでは、ゲート絶縁膜42をエッチングしている間はドレインメタル最上層のTi層がエッチングストッパとして機能する。このときドレインメタル最上層のTiの膜厚が薄いと下層のAl層が露出することがある。

【0131】

次に、図37(e)に示すように、隣接する所定の金属層200、202等がコンタクトホール98を介して電氣的に接続されるように、表示電極形成時のITOパターニングしてITO層43を形成する。このとき、ITO層43aと金属層200dのAl層とはショットキー接続となり、コンタクトホール98内にリング状に残存するTi層とITO層43bとはオーミック接続となるため全体の接触抵抗を高くすることができる。例えばドレインメタルをTi(20nm)/Al(75nm)/Ti(20nm)とすると金属層200d上のコンタクトホール1個当たりの接触抵抗は35~36kΩになり、金属層200dを3~4個直列接続すればアレイ検査が可能な状態が得られる。

【0132】

なお、ITO層43の形成前であってコンタクトホール98底部にメタル層が露出した状態で熱処理温度を変えることにより、メタル/ITOの接触抵抗を変化させることが可能である。より高抵抗の素子が必要な場合には当該ベーク温度を高くすればよい。

【0133】

このようにして形成される抵抗成分は抵抗値を10MΩ以上にすることも可能であり、パネル完成後において各バスラインに走査信号や画像信号等を印加をしても、この高抵抗成分により隣接するバスラインに影響を及ぼさないようにすることができる。従って、これら高抵抗成分はパネル完成後にもパネル内に残存させることができる。このため、パネルが完成してからユニット組み立て工程における静電気障害も防止することができ、より高い歩留りで液晶表示装置を製造することができ、また装置の信頼性を向上させることができるようになる。

【0134】

本実施の形態では、各バスライン2、4とショートリング20(共通線22、24)との間に複数のコンタクトホール98を直列配列することで任意の抵抗値の抵抗成分を配置できることを説明したが、本実施形態はこれに限られず、図38に示すように、隣接するゲートバスライン2間、あるいは隣接するデータバスライン4間に本実施の形態による構造を形成することも可能である。この場合にも、金属層200、202等に設けられたコンタクトホール間をITO層で接続して十分な高抵抗素子を形成することによりパネル完成後もパネル内に静電気保護回路を残存させることができる。もちろん隣接するバスライン間に限らず、高抵抗成分が必要な任意の場所に本実施の形態による静電気保護素子部を製造プロセスの変更なしに形成することが可能である。

【0135】

また、TFT製造工程において、アレイ検査を用いずに単にバスラインの断線/短絡を検出するためのオープン/ショート検査(O/S検査)によりパネルの良否判断をする場合がある。この場合、層間短絡を検出するためには、ゲートバスライン2側のショートリング20の共通線22と、データバスライン4側の共通線24とを高抵抗成分で電氣的に分離する必要がある。そこで一例として図39に示すような構成を取ることができる。

図 39 の破線 120 で示すブロック内は、ショートリング 20 を構成する共通線 22 と共通線 24 の接続状態を示している。図 39 に示すように、ゲート金属層をパターンニングして形成した共通線 22 の端部が露出するコンタクトホール 121 と、ドレイン金属層をパターンニングして形成した共通線 24 の端部が露出するコンタクトホール 122 とを ITO 層 43 で接続することにより接続端部で容易に高抵抗部を形成することが可能である。コンタクトホール 122 での高抵抗部の形成は上述の図 37 (d)、(e) に示した方式を採用することにより抵抗値を任意に調整することが可能である。

【0136】

なお、上記実施の形態において、絶縁膜としてシリコン窒化膜を用いているが、シリコン酸化膜 (SiO_2 膜) を用いることももちろん可能である。また、上記実施の形態では、コンタクトホール 98 間の接続層に ITO を用いているが、本実施の形態はこれに限られず、他の比較的抵抗値の高い材料を用いるようにしてももちろんよい。また、ドレイン金属として Ti / Al / Ti の積層構造を用いたが上層の金属層は Ti に代えてモリブデン (Mo)、タングステン (W)、あるいはタンタル (Ta)、及びそれらの合金、あるいはそれらの窒化酸化物を用い、中間層の Al に代えて、銅 (Cu)、Al 合金、Cu 合金等を用いることができる。

なお、上記実施の形態における図 35 乃至図 39 に示された各構造は、図 34 に示す層間分離部 23 に適用可能である。

【0137】

以上説明したように本実施の形態によれば、高抵抗成分を容易に形成することができ、且つ抵抗値の制御も可能であるので、静電気による素子破壊を防止すると共に高精度でアレイ検査を行うことができるようになる。またパネル完成後、ユニット組み立て工程における静電気破壊まで対処することができるようになるので、製造歩留りの向上による生産量の増加、さらに信頼性の高い装置を提供することができるようになる。

【0138】

なお、上記第 1 乃至第 8 の実施の形態では、a - Si を動作半導体層に用いたチャネルエッチング型 TFT あるいはエッチングストップパ型 TFT を形成したアレイ基板を例にとって説明したが、本発明はそれらに限らず、例えば、低温ポリシリコン製造プロセスにより p - Si (ポリシリコン) を動作半導体層に用いた TFT 構造を備えたアレイ基板にももちろん適用可能である。

【0139】

また、上記実施の形態で図 5、図 6、あるいは図 9 等に例示したチャネルエッチング型 TFT の動作半導体層 44 は、ソース / ドレイン電極方向の端部がゲート電極 G の外方にまで延びて形成されている。しかしながら、動作半導体層 44 のソース / ドレイン電極方向の端部がゲート電極 G の内方に位置して形成されるチャネルエッチング型 TFT も存在し、本発明はもちろん当該 TFT を備えたアレイ基板に適用することが可能である。

【符号の説明】

【0140】

- 1 アレイ側基板
- 2 ゲートバスライン
- 4 データバスライン
- 6、530、532、534 TFT
- 8 表示電極 画素電極
- 10 液晶
- 12 共通電極
- 16、18、502、504 外部取り出し電極
- 20、506 ショートリング
- 22、24 共通線
- 28、30 静電気保護素子部
- 32 第 1 の TFT

10

20

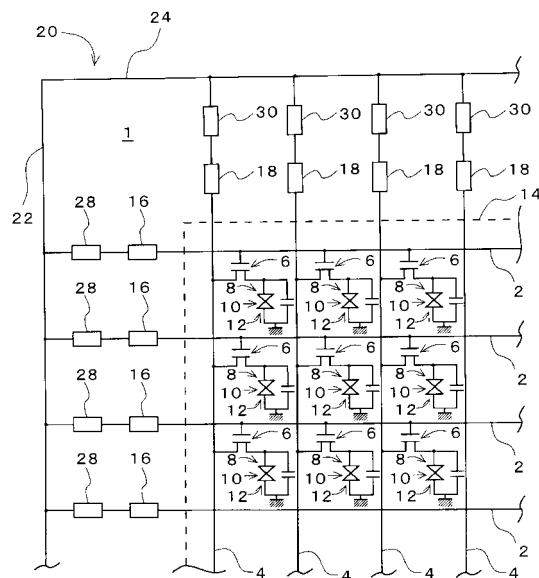
30

40

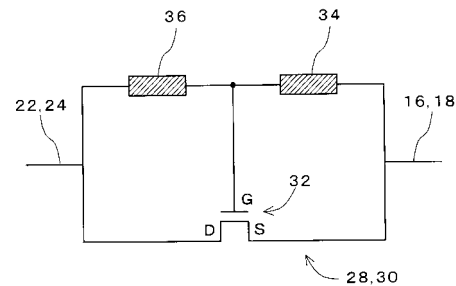
50

3 4 第 1 の抵抗体
 3 6 第 2 の抵抗体
 3 7 共用抵抗体
 3 8 第 2 の T F T
 4 0 第 3 の T F T
 4 1 共用 T F T
 4 2、5 3 6 導電体
 4 3、6 2、7 2、8 2、9 2 I T O 層
 4 4、5 1 4 動作半導体層
 4 5 チャンネル保護膜
 5 0、5 0 8 ガラス基板
 5 2、5 1 2 ゲート絶縁膜
 5 4 パッシベーション膜
 5 6、5 8、6 4、6 6、7 4、7 6、8 4、8 6、9 4、9 6、9 8 コンタクトホール
 6 0、7 0、9 0、5 1 8 ソース電極
 7 7、7 8、7 9 コンタクトホール部
 8 0、5 1 6 ドレイン電極
 1 0 0 容量
 1 2 0 破線
 2 0 0、2 0 2、2 0 4 金属層
 5 0 0 静電気保護素子
 5 0 2 バスライン
 5 1 0 ゲート電極
 5 2 0 保護膜

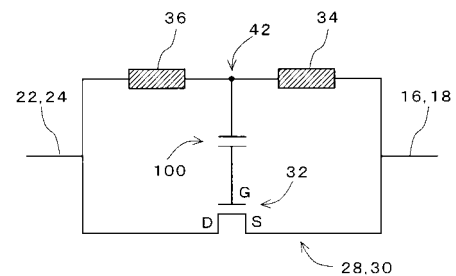
【図 1】



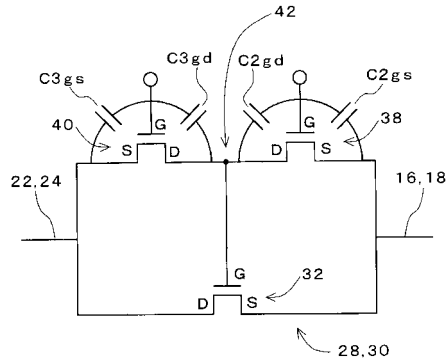
【図 2】



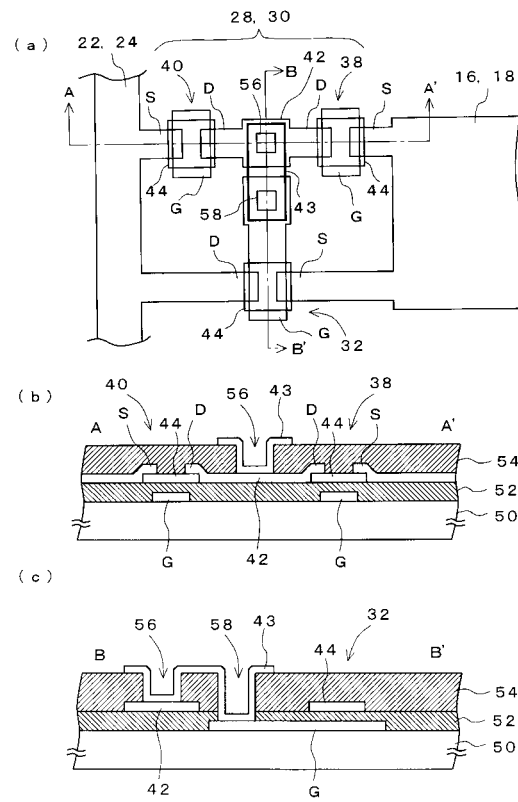
【図 3】



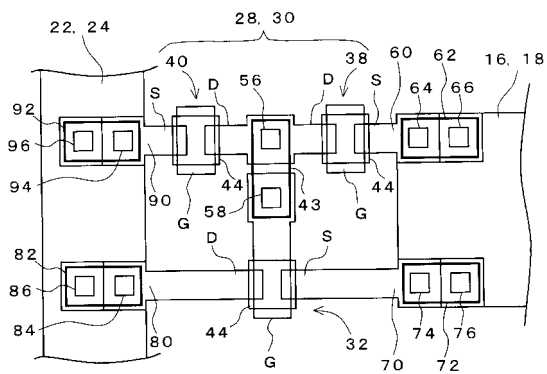
【図 4】



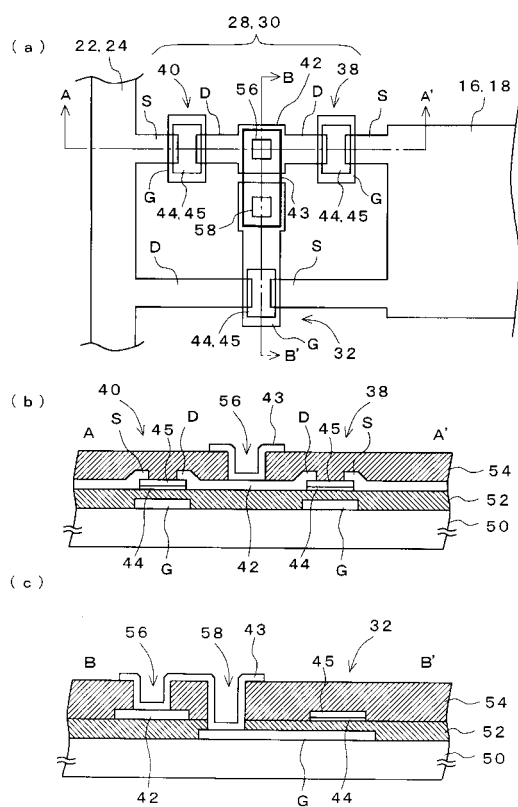
【図 5】



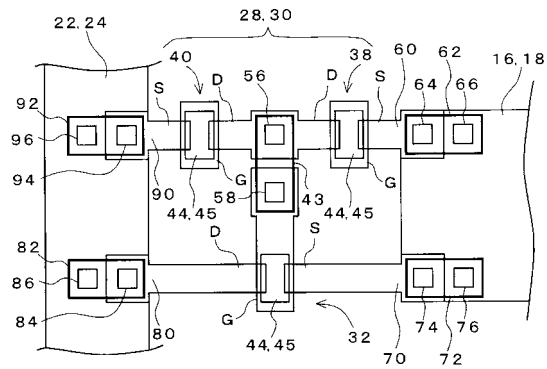
【図 6】



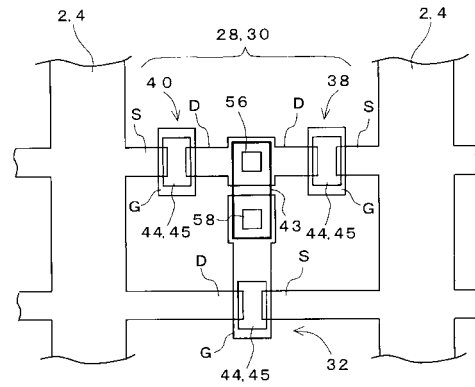
【図 7】



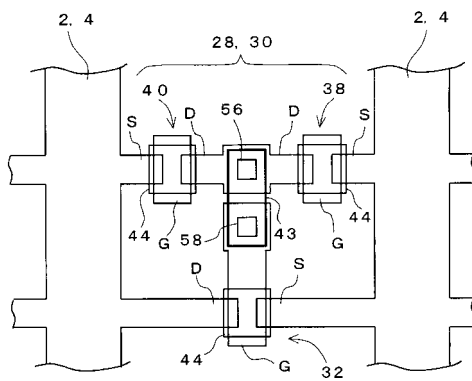
【図 8】



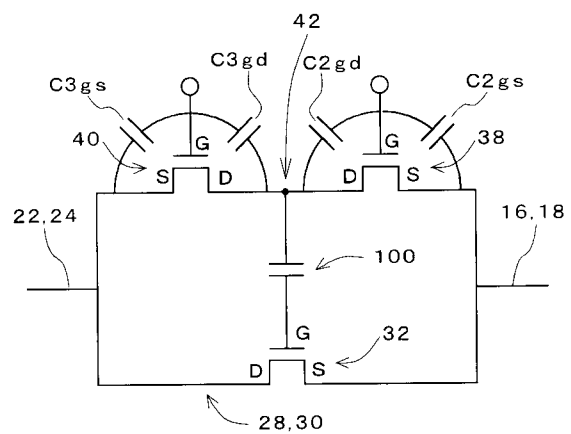
【図 10】



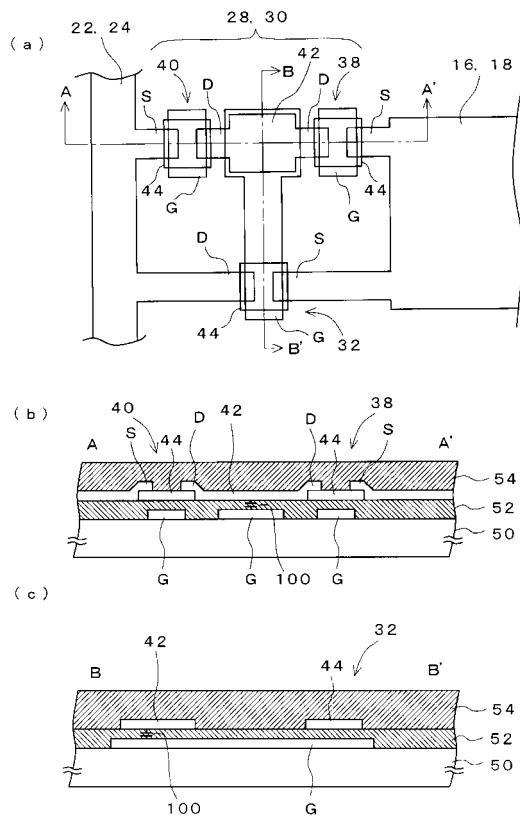
【図 9】



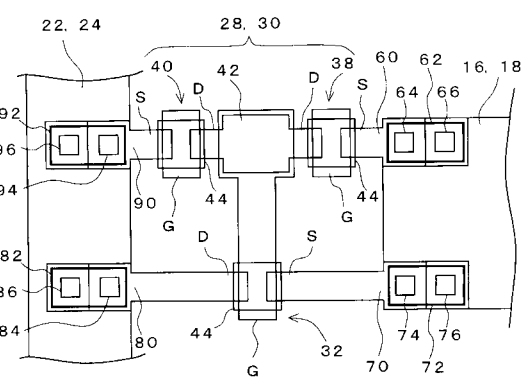
【図 11】



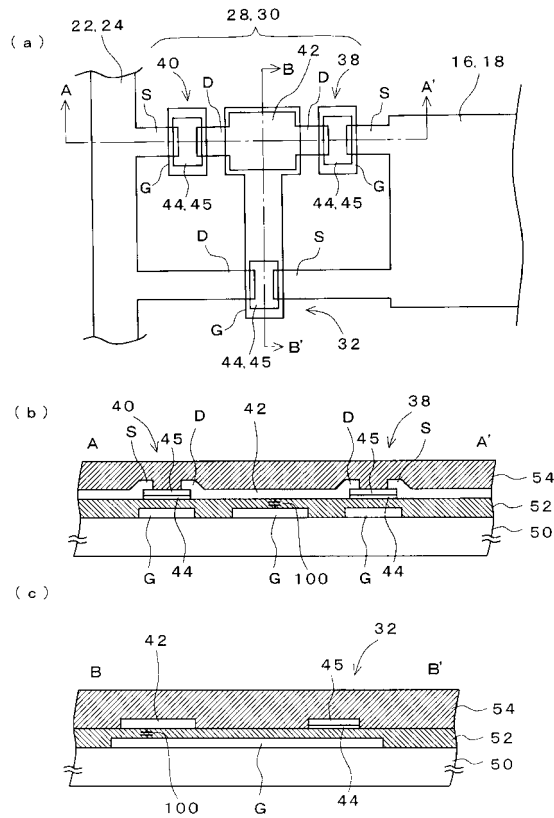
【図 12】



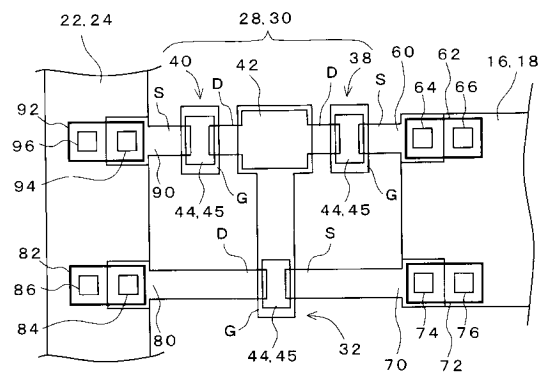
【図 13】



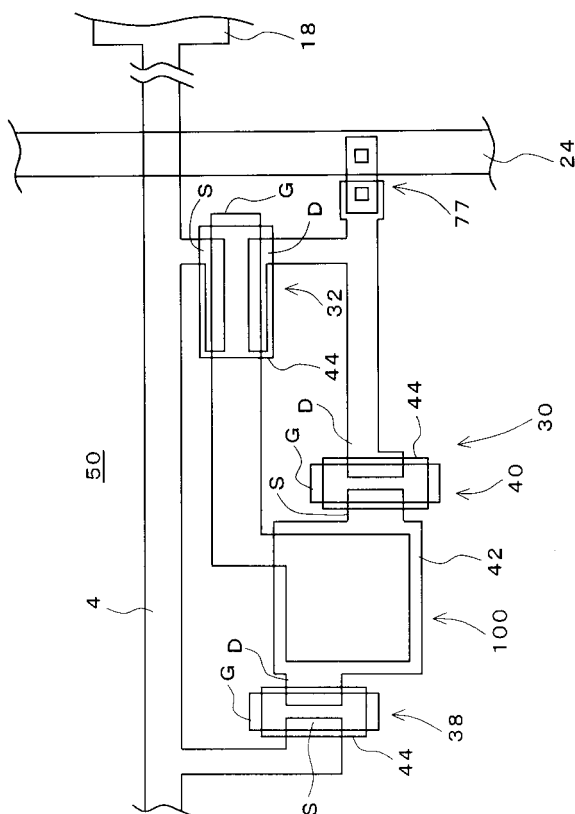
【 図 1 4 】



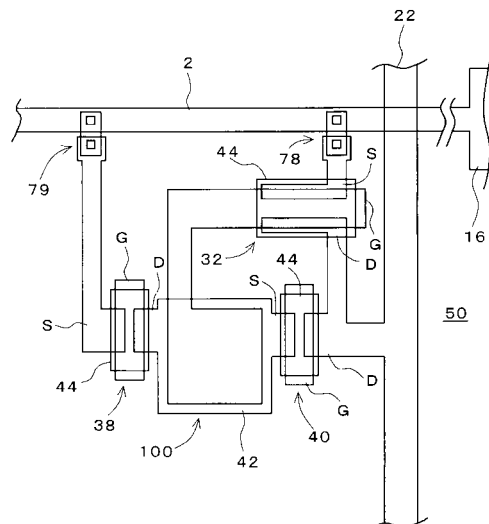
【 図 1 5 】



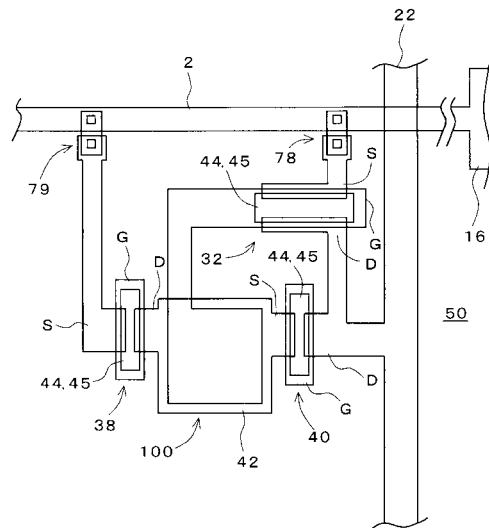
【 図 1 6 】



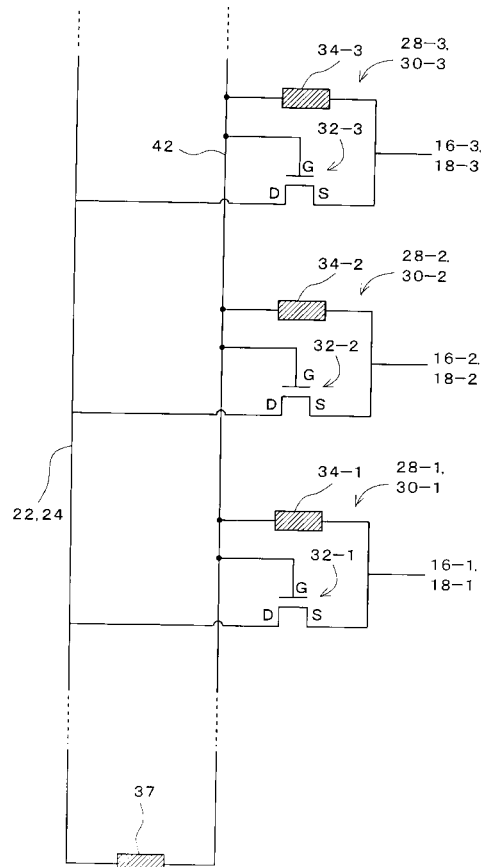
【圖 17】



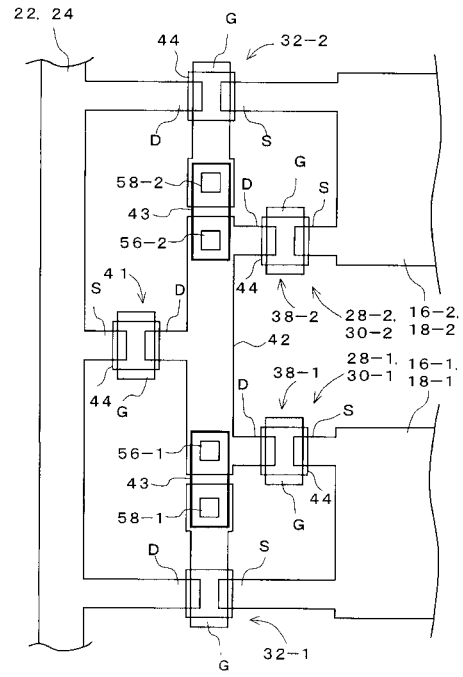
【 図 1 9 】



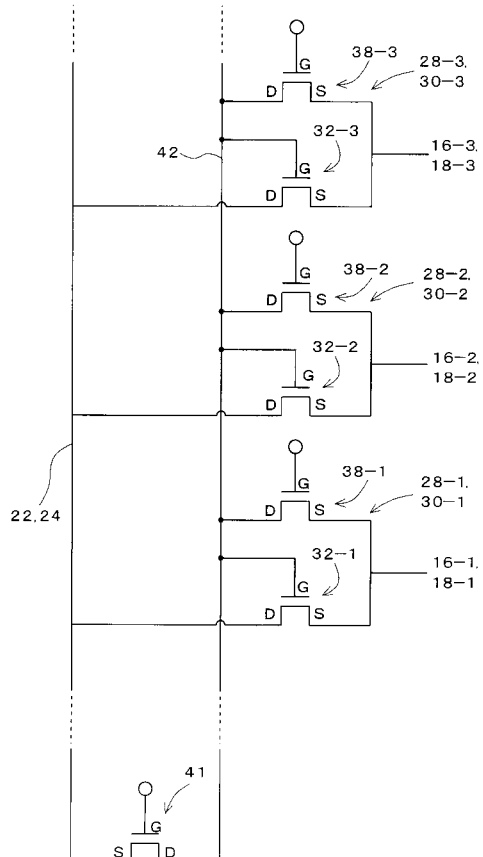
【 図 2 1 】



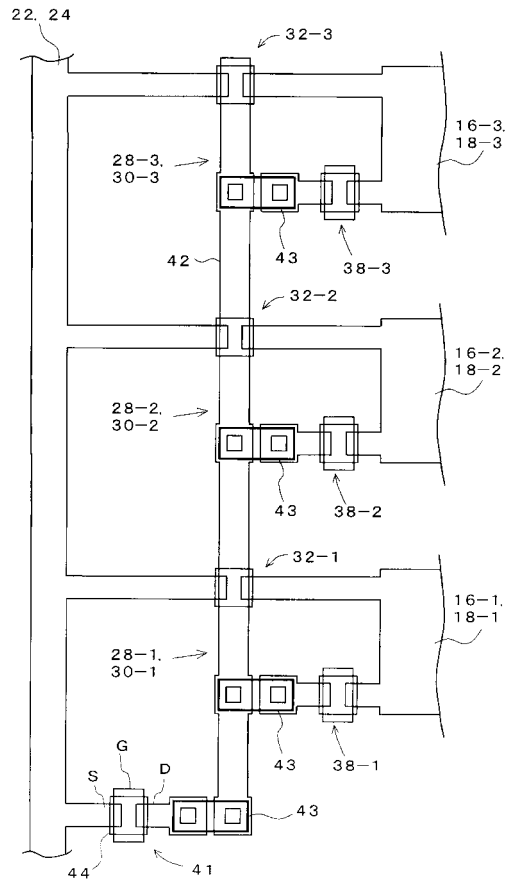
【 図 2 3 】



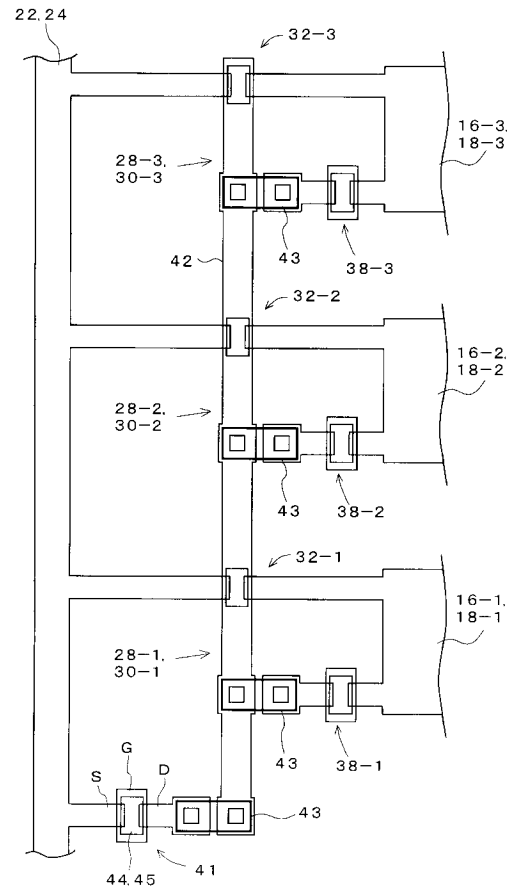
【圖 25】



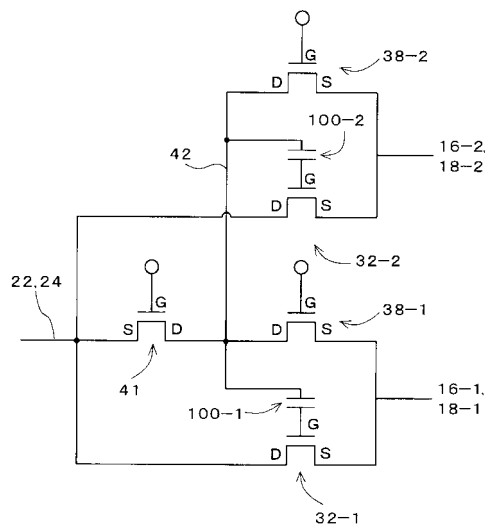
【図 26】



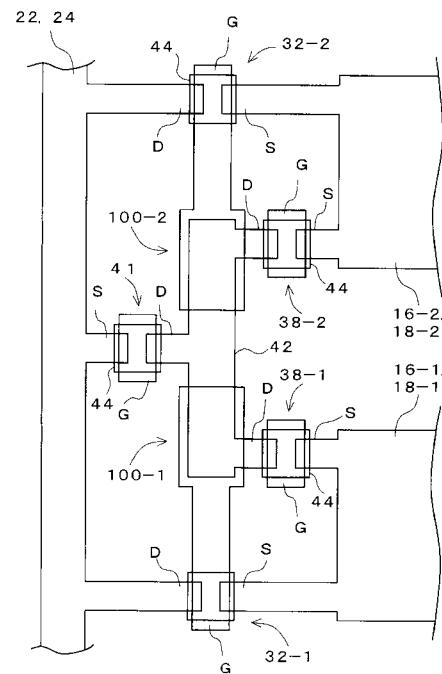
【図 27】



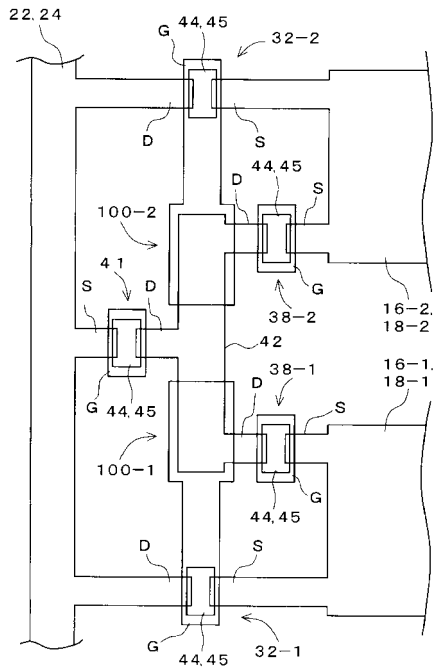
【図 28】



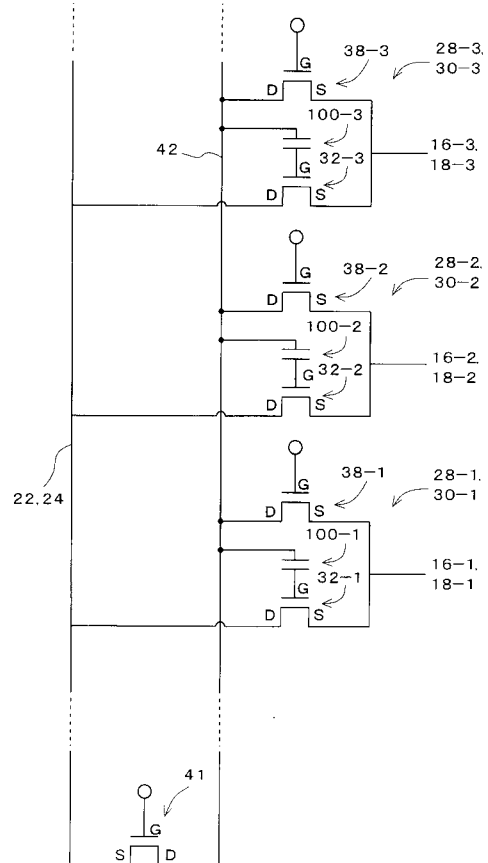
【図 29】



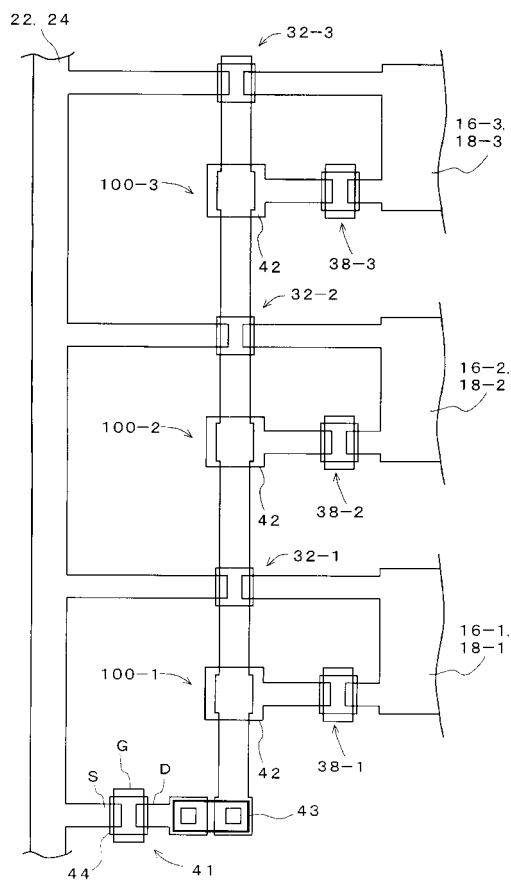
【図 30】



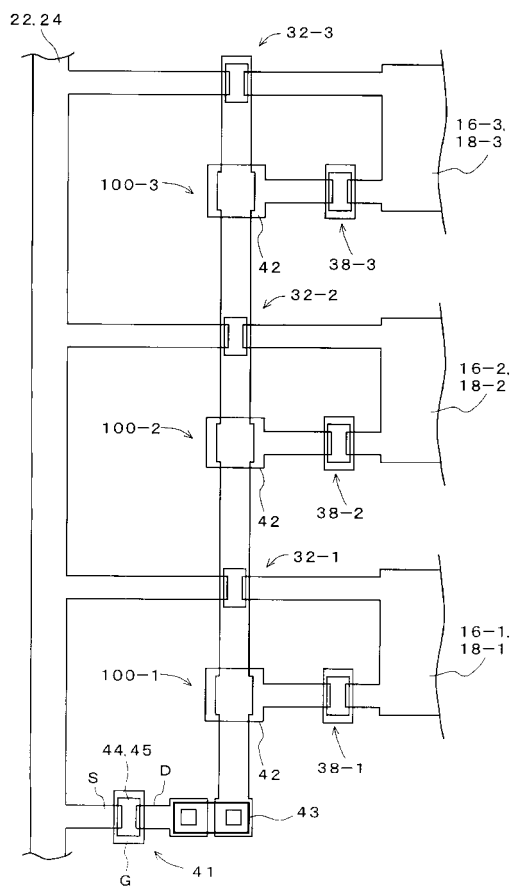
【図 31】



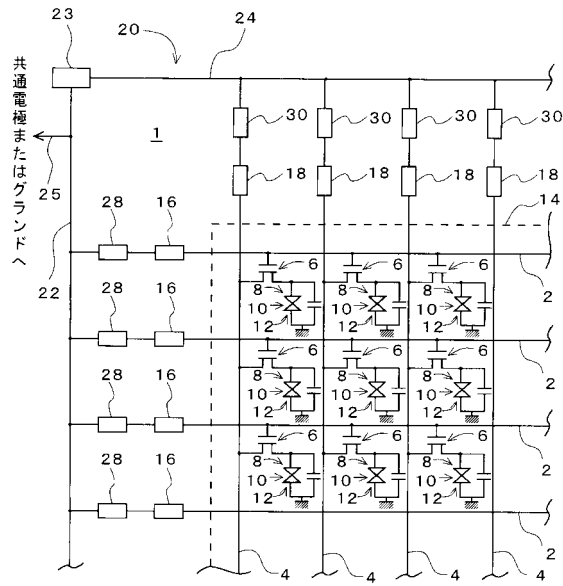
【図 32】



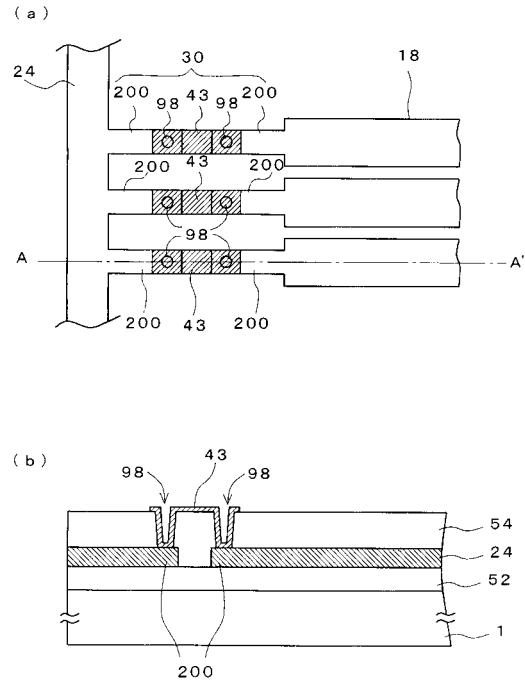
【図 33】



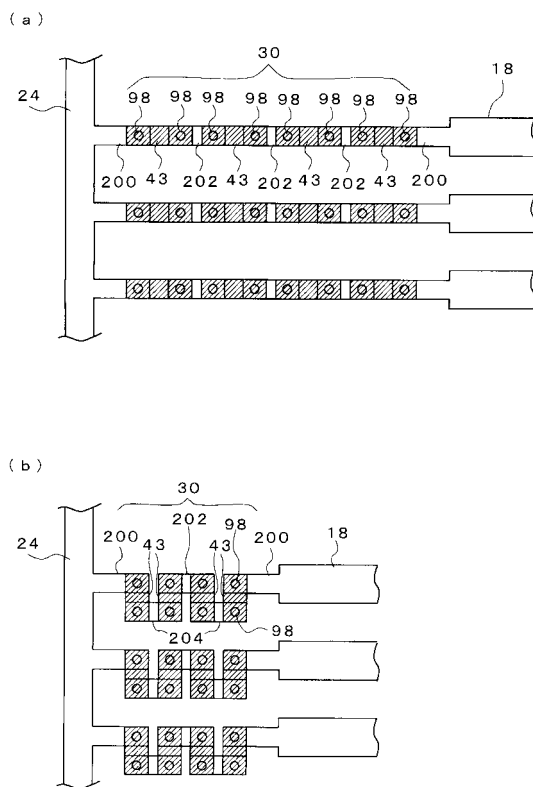
【図 3 4】



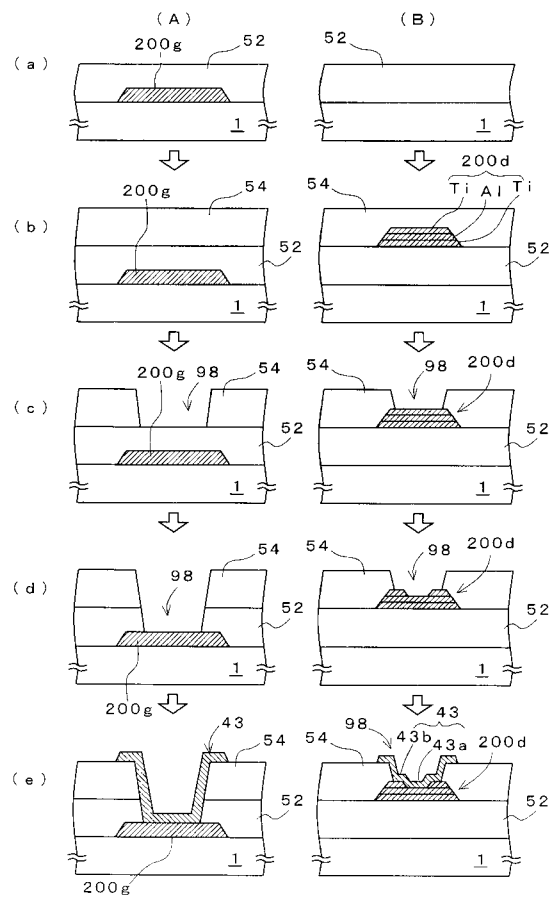
【図 3 5】



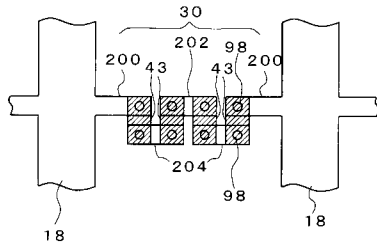
【図 3 6】



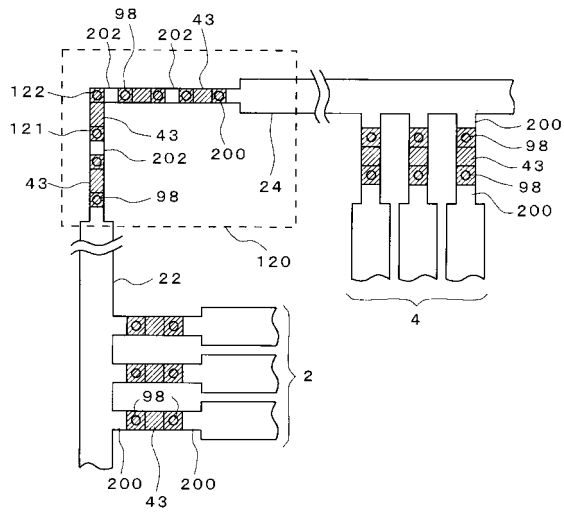
【図 3 7】



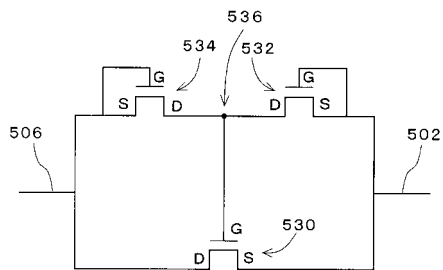
【図 38】



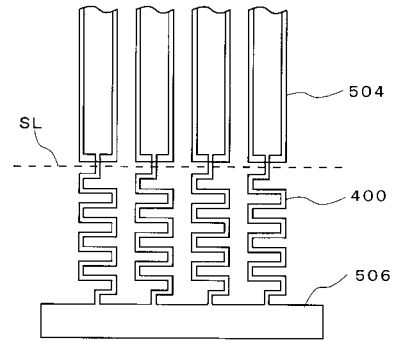
【図 39】



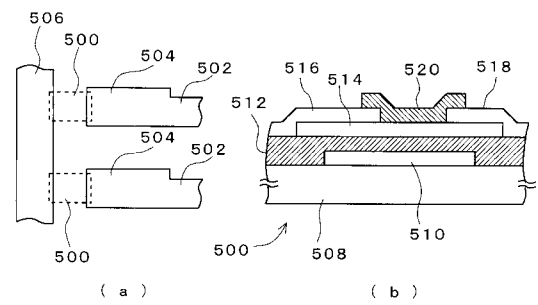
【図 42】



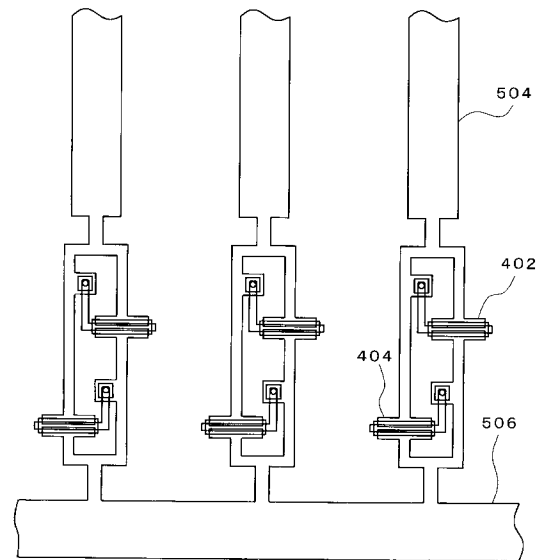
【図 40】



【図 41】



【図 43】



フロントページの続き

(72)発明者 那須 安宏

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

審査官 福田 知喜

(56)参考文献 特開平07-056191(JP,A)

特開平05-027263(JP,A)

特開平06-051347(JP,A)

特開平06-314789(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1368

G02F 1/1345

H01L 29/786

专利名称(译)	液晶表示装置		
公开(公告)号	JP5081195B2	公开(公告)日	2012-11-21
申请号	JP2009122967	申请日	2009-05-21
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	長瀬洋二 田中義規 藤川徹也 那須安宏		
发明人	長瀬 洋二 田中 義規 藤川 徹也 那須 安宏		
IPC分类号	G02F1/1368 G02F1/1345 H01L29/786 H01L21/336 G02F1/136 G02F1/1362		
CPC分类号	G02F1/136204		
FI分类号	G02F1/1368 G02F1/1345 H01L29/78.612.Z H01L29/78.623.Z		
F-TERM分类号	2H092/GA40 2H092/GA59 2H092/GA64 2H092/JA26 2H092/JA31 2H092/JA43 2H092/JA44 2H092/JB79 2H092/KA05 2H092/KA18 2H092/MA17 2H092/NA14 2H192/AA24 2H192/CB05 2H192/CB71 2H192/DA82 2H192/GA15 2H192/HA36 2H192/HB04 2H192/HB12 5F110/AA22 5F110/BB01 5F110/CC07 5F110/DD02 5F110/GG02 5F110/GG13 5F110/GG15 5F110/HK02 5F110/HK03 5F110/HK04 5F110/HK06 5F110/HK09 5F110/HK16 5F110/HK22 5F110/HK25 5F110/HL07 5F110/HL26 5F110/HM13 5F110/HM17 5F110/NN02 5F110/NN16 5F110/NN24 5F110/NN72 5F110/QQ08 5F110/QQ12		
代理人(译)	盛岡正樹		
审查员(译)	福田 知喜		
优先权	1999244468 1999-08-31 JP		
其他公开文献	JP2009187029A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供具有静电保护元件的液晶显示器，并提供具有优异冗余度的液晶显示器，同时具有足够的静电保护功能，其中产生相对低的电压。很长一段时间。ŽSOLUTION：在液晶显示装置中，静电保护装置部分28和30具有第一TFT32，第二TFT38和第三TFT40。第一TFT32具有与外部电极16和18连接的源电极S和与公共线22和24连接的漏电极D.第二TFT38具有与第一TFT32的栅电极G连接的导电体42，源电极S与外部电极16和18连接，漏电极D与导电体42连接，以及电隔离的栅电极G.第三TFT 40具有与公共线22和24连接的源电极S，漏电极D.与导电体42连接，并且电隔离的栅电极G.Ž

【図 3】

