

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2020-85939

(P2020-85939A)

(43) 公開日 令和2年6月4日 (2020. 6. 4)

(51) Int.Cl.	F I	テーマコード (参考)
G09F 9/46 (2006.01)	G09F 9/46 Z	2H189
G09F 9/33 (2006.01)	G09F 9/33	2H291
G02F 1/1333 (2006.01)	G02F 1/1333	5C094
G02F 1/1335 (2006.01)	G02F 1/1335 520	5F142
H01L 33/00 (2010.01)	H01L 33/00 L	
審査請求 未請求 請求項の数 17 O L (全 29 頁) 最終頁に続く		

(21) 出願番号 特願2018-214928 (P2018-214928)
 (22) 出願日 平成30年11月15日 (2018. 11. 15)

(71) 出願人 502356528
 株式会社ジャパンディスプレイ
 東京都港区西新橋三丁目7番1号
 (74) 代理人 110002147
 特許業務法人酒井国際特許事務所
 (72) 発明者 伊東 理
 東京都港区西新橋三丁目7番1号 株式会
 社ジャパンディスプレイ内
 (72) 発明者 池田 雅延
 東京都港区西新橋三丁目7番1号 株式会
 社ジャパンディスプレイ内
 Fターム (参考) 2H189 AA27 AA31 JA10 LA03 LA05
 LA06 LA10 LA14 LA19
 2H291 FA02Y FA31Y FA45Y FD04 GA04
 GA08 GA10 GA19 NA43 NA48
 最終頁に続く

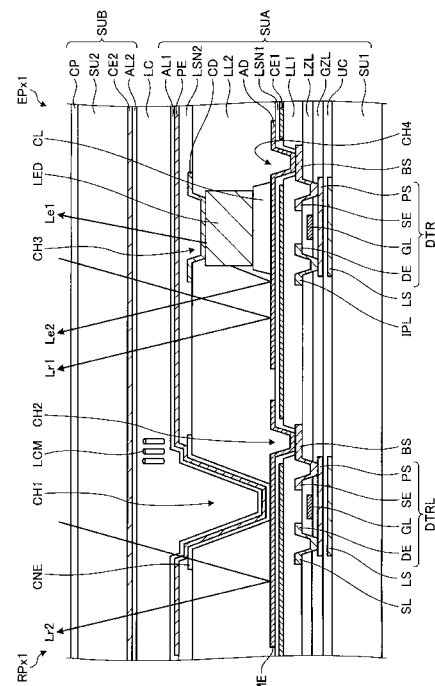
(54) 【発明の名称】 表示装置

(57) 【要約】 (修正有)

【課題】 反射光により表示を行う反射表示性能と、発光素子の発光による発光表示性能とを両立することができる表示装置を提供する。

【解決手段】 表示装置は、第1基板SU1と、第1基板と対向する第2基板SU2と、第1基板と第2基板との間に設けられた無機発光素子LEDと、アノード電極ADを介して無機発光素子と電氣的に接続された第1トランジスタDTRと、無機発光素子を覆う絶縁層LSN2と、第1基板と第2基板との間に設けられた液晶層LCと、液晶層を挟んで対向する画素電極PE及び共通電極CE2と、を有し、第1基板の一方の面に、第1トランジスタ、アノード電極、無機発光素子、絶縁層、画素電極、液晶層、共通電極、第2基板の順に積層されている。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

第 1 基板と、
前記第 1 基板と対向する第 2 基板と、
前記第 1 基板と前記第 2 基板との間に設けられた無機発光素子と、
アノード電極を介して前記無機発光素子と電氣的に接続された第 1 トランジスタと、
前記無機発光素子を覆う絶縁層と、
前記第 1 基板と前記第 2 基板との間に設けられた液晶層と、
前記液晶層を挟んで対向する画素電極及び共通電極と、を有し、
前記第 1 基板の一方の面に、前記第 1 トランジスタ、前記アノード電極、前記無機発光
素子、前記絶縁層、前記画素電極、前記液晶層、前記共通電極、前記第 2 基板の順に積層
されている
表示装置。

【請求項 2】

前記画素電極と電氣的に接続された反射電極と、
前記画素電極及び前記反射電極と電氣的に接続された第 2 トランジスタと、を有する
請求項 1 に記載の表示装置。

【請求項 3】

前記反射電極は、前記アノード電極と同層に設けられ、
前記画素電極は、前記絶縁層に設けられたコンタクトホールを介して前記反射電極と電
氣的に接続される
請求項 2 に記載の表示装置。

【請求項 4】

前記反射電極は、前記アノード電極と同層に設けられ、前記絶縁層に設けられた導電性
接続部材を介して前記画素電極と電氣的に接続される
請求項 2 に記載の表示装置。

【請求項 5】

前記アノード電極は、金属材料を含み、前記第 1 基板の法線方向からの平面視で、前記
無機発光素子よりも外側に延出する
請求項 1 から請求項 4 のいずれか 1 項に記載の表示装置。

【請求項 6】

前記画素電極は、複数の前記無機発光素子と、複数の前記無機発光素子にそれぞれ接続
された複数の前記アノード電極とに重なる領域に亘って設けられる
請求項 1 から請求項 5 のいずれか 1 項に記載の表示装置。

【請求項 7】

透光性を有し、前記無機発光素子の少なくとも一部を覆う無機絶縁層を有し、
前記無機絶縁層は、
前記無機発光素子の側面に設けられた側部と、
前記側部の下端側に設けられ、前記第 1 基板の法線方向からの平面視で、前記側部より
も無機発光素子の外側に延出する延出部と、を含む
請求項 1 から 6 のいずれか 1 項に記載の表示装置。

【請求項 8】

前記延出部は前記アノード電極の上に設けられる
請求項 7 に記載の表示装置。

【請求項 9】

前記無機絶縁層の表面に、複数の凹部又は複数の凸部が設けられる
請求項 7 又は請求項 8 に記載の表示装置。

【請求項 10】

前記アノード電極は、凹状構造を有し、
前記無機発光素子は、前記凹状構造の内部に配置される

請求項 1 から請求項 9 のいずれか 1 項に記載の表示装置。

【請求項 1 1】

前記絶縁層を介して前記無機発光素子の側面と対向する壁状構造を有し、
前記アノード電極は、
前記無機発光素子と接続されるアノード電極底部と、
前記壁状構造に沿って設けられ前記無機発光素子の側面と対向し、前記アノード電極底部に対して傾斜するアノード電極傾斜部と、を有する
請求項 1 0 に記載の表示装置。

【請求項 1 2】

前記アノード電極の前記凹状構造の内部に設けられ、少なくとも前記無機発光素子の側面を覆う蛍光体層を有する
請求項 1 0 又は請求項 1 1 に記載の表示装置。

【請求項 1 3】

前記第 2 基板の前記第 1 基板と対向する面にカラーフィルタが設けられ
前記カラーフィルタは、前記画素電極、前記液晶層及び前記共通電極を介して前記蛍光体層と対向する
請求項 1 2 に記載の表示装置。

【請求項 1 4】

前記蛍光体層は、第 1 蛍光体層と、第 2 蛍光体層とを有し、
前記第 1 蛍光体層は、前記無機発光素子の少なくとも側面を覆って設けられ、
前記第 2 蛍光体層は、前記無機発光素子の上面及び前記第 1 蛍光体層を覆って設けられる
請求項 1 2 又は請求項 1 3 に記載の表示装置。

【請求項 1 5】

前記無機発光素子と前記液晶層との間に設けられ、前記無機発光素子の上面を覆う反射層を有する
請求項 1 2 から請求項 1 4 のいずれか 1 項に記載の表示装置。

【請求項 1 6】

前記アノード電極は、複数の凸部が設けられている、
請求項 1 から請求項 1 5 のいずれか 1 項に記載の表示装置。

【請求項 1 7】

前記画素は、複数の反射表示画素と、複数の発光表示画素と、を有し、
複数の前記反射表示画素のそれぞれに設けられ、前記反射表示画素の一部を覆うカラーフィルタと、を有する
請求項 1 から請求項 1 6 のいずれか 1 項に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置に関する。

【背景技術】

【0002】

透過型表示装置と反射型表示装置との特徴を併せ持つ表示装置として、例えば、1 個の画素内に透過表示領域と反射表示領域とを有する半透過型液晶表示装置がある。半透過型液晶表示装置は、暗い環境下ではバックライト光による透過光を用いて表示し、明るい環境下では外光による反射光を用いて表示する。特許文献 1 に記載されているハイブリッド型の画像表示装置では、バックライトに換えて、有機発光ダイオード（O L E D : Organic Light Emitting Diode）などの自発光素子からなる発光領域を形成している。

【先行技術文献】

【特許文献】

【0003】

10

20

30

40

50

【特許文献1】特開2002-196702号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

半透過型液晶表示装置において、一画素内を透過領域と反射領域とに面積分割する必要がある。このため、透過表示領域を確保することと、反射表示性能を保つこととはトレードオフの関係にある。特許文献1では、自発光素子を用いているので、面積分割による反射表示性能の低下を抑制できる。しかし、特許文献1では、液晶表示装置の製造プロセスの加熱により有機発光ダイオードが劣化する可能性がある。また、特許文献1には、光取出し効率を向上させる構成について記載されていない。

10

【0005】

本発明は、反射光により表示を行う反射表示性能と、発光素子の発光による発光表示性能とを両立することができる表示装置を提供することを目的とする。

【課題を解決するための手段】

【0006】

本発明の一態様の表示装置は、第1基板と、前記第1基板と対向する第2基板と、前記第1基板と前記第2基板との間に設けられた無機発光素子と、アノード電極を介して前記無機発光素子と電気的に接続された第1トランジスタと、前記無機発光素子を覆う絶縁層と、前記第1基板と前記第2基板との間に設けられた液晶層と、前記液晶層を挟んで対向する画素電極及び共通電極と、を有し、前記第1基板の一方の面に、前記第1トランジスタ、前記アノード電極、前記無機発光素子、前記絶縁層、前記画素電極、前記液晶層、前記共通電極、前記第2基板の順に積層されている。

20

【図面の簡単な説明】

【0007】

【図1】図1は、第1実施形態に係る表示装置を模式的に示す斜視図である。

【図2】図2は、複数の画素を示す平面図である。

【図3】図3は、反射表示画素の等価回路を示す回路図である。

【図4】図4は、発光表示画素の等価回路を示す回路図である。

【図5】図5は、図2におけるV-V'断面図である。

【図6】図6は、図5の発光素子を拡大して示す断面図である。

30

【図7】図7は、第1実施形態の第1変形例に係る表示装置を示す断面図である。

【図8】図8は、第1実施形態の第2変形例に係る表示装置を示す断面図である。

【図9】図9は、第2実施形態に係る表示装置を示す断面図である。

【図10】図10は、第3実施形態に係る表示装置を示す断面図である。

【図11】図11は、発光素子からの光が、光取出し層を伝播する様子を説明するための説明図である。

【図12】図12は、第3実施形態の第3変形例に係る表示装置において、光の伝播を説明するための説明図である。

【図13】図13は、第3実施形態の第4変形例に係る表示装置において、光の伝播の他の例を説明するための説明図である。

40

【図14】図14は、第4実施形態に係る表示装置を示す断面図である。

【図15】図15は、第4実施形態の第5変形例に係る表示装置を示す断面図である。

【図16】図16は、第4実施形態の第6変形例に係る表示装置を示す断面図である。

【図17】図17は、第4実施形態の第7変形例に係る表示装置を示す断面図である。

【図18】図18は、第5実施形態に係る表示装置の、複数の画素を示す平面図である。

【図19】図19は、図18におけるX I X-X I X'断面図である。

【発明を実施するための形態】

【0008】

本発明を実施するための形態（実施形態）につき、図面を参照しつつ詳細に説明する。以下の実施形態に記載した内容により本発明が限定されるものではない。また、以下に記

50

載した構成要素には、当業者が容易に想定できるもの、実質的に同一のものが含まれる。さらに、以下に記載した構成要素は適宜組み合わせることが可能である。なお、開示はあくまで一例にすぎず、当業者において、発明の主旨を保つての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して、詳細な説明を適宜省略することがある。

【0009】

(第1実施形態)

図1は、第1実施形態に係る表示装置を模式的に示す斜視図である。図1に示すように、表示装置DSPは、第1基板SU1と、第2基板SU2と、画素Pixと、周辺回路GCと、接続部CNとを有する。図1には、第1基板SU1上の構成を透過して示す。第1基板SU1、複数のトランジスタ、複数の容量及び各種配線等により、各画素Pixを駆動するためのアレイ基板SUAが構成される。アレイ基板SUAは、駆動回路基板であり、バックプレーン又はアクティブマトリクス基板とも呼ばれる。駆動IC(Integrated Circuit)は、接続部CNを介して接続される。

【0010】

図1に示すように、表示装置DSPは、表示領域DAと、周辺領域GAとを有する。表示領域DAは、表示部DPと重なって配置され、画像を表示する領域である。周辺領域GAは、表示部DPと重ならない領域であり、表示領域DAの外側に配置される。第2基板SU2は、表示部DPにおいて第1基板SU1に重なっている。第1基板SU1及び第2基板SU2は、表示部DPにおいて液晶層LC(図5参照)を挟持している。

【0011】

表示部DPは複数の画素Pixを有し、複数の画素Pixは、表示領域DAにおいて、第1方向Dx及び第2方向Dyに配列される。なお、第1方向Dx及び第2方向Dyは、第1基板SU1の表面に対して平行な方向である。第1方向Dxは、第2方向Dyと直交する。ただし、第1方向Dxは、第2方向Dyと直交しないで交差してもよい。第3方向Dzは、第1方向Dx及び第2方向Dyと直交する方向である。第3方向Dzは、例えば、第1基板SU1の法線方向に対応する。なお、以下、平面視とは、第3方向Dzから見た場合の位置関係を示す。

【0012】

周辺回路GC及び接続部CNは、周辺領域GAに設けられる。接続部CNは、周辺領域GAのうち第2基板SU2と重ならない領域に設けられる。周辺回路GCは、駆動ICからの各種制御信号に基づいて複数のゲート線(例えば、リセット制御信号線RSL、出力制御信号線MSL、画素制御信号線SSL、初期化制御信号線ISL(図4参照))を駆動する回路である。周辺回路GCは、複数のゲート線を順次又は同時に選択し、選択されたゲート線にゲート駆動信号を供給する。これにより、周辺回路GCは、ゲート線に接続された複数の画素Pixを選択する。

【0013】

駆動ICは、表示装置DSPの表示を制御する回路である。駆動ICは、第1基板SU1の接続部CNに接続されたフレキシブルプリント基板やリジット基板の上にCOF(Chip On Film)として実装されてもよい。これに限定されず、駆動ICは、第1基板SU1の周辺領域GAにCOG(Chip On Glass)として実装されてもよい。

【0014】

図2は、複数の画素を示す平面図である。図2に示すように、1つの画素Pixは、例えば、第1反射表示画素RPx1と、第1発光表示画素EPx1と、第2発光表示画素EPx2と、第3発光表示画素EPx3とを有する。第1反射表示画素RPx1は、外光による反射光を利用して表示を行う。第1発光表示画素EPx1は、第1色としての原色の赤色を表示する。第2発光表示画素EPx2は、第2色としての原色の緑色を表示する。

第3発光表示画素 $E P x 3$ は、第3色としての原色の青色を表示する。

【0015】

図2に示すように、1つの画素 $P i x$ において、第1反射表示画素 $R P x 1$ と、第2発光表示画素 $E P x 2$ とは第1方向 $D x$ で並ぶ。また、第1発光表示画素 $E P x 1$ と、第3発光表示画素 $E P x 3$ とは第1方向 $D x$ で並ぶ。第1反射表示画素 $R P x 1$ 及び第2発光表示画素 $E P x 2$ と、第1発光表示画素 $E P x 1$ 及び第3発光表示画素 $E P x 3$ とは第2方向 $D y$ で並ぶ。なお、第1色、第2色、第3色は、それぞれ赤色、緑色、青色に限られず、補色などの任意の色を選択することができる。以下において、第1発光表示画素 $E P x 1$ と、第2発光表示画素 $E P x 2$ と、第3発光表示画素 $E P x 3$ とをそれぞれ区別する必要がない場合、発光表示画素 $E P x$ という。

10

【0016】

第1反射表示画素 $R P x 1$ は、金属電極 $M E$ （反射電極）と、画素電極 $P E$ とを含む。第1発光表示画素 $E P x 1$ 、第2発光表示画素 $E P x 2$ 及び第3発光表示画素 $E P x 3$ は、それぞれ赤色発光素子 $R L E D$ 、緑色発光素子 $G L E D$ 及び青色発光素子 $G L E D$ と、これらに電氣的に接続されたアノード電極 $A D$ とを含む。画素電極 $P E$ は、画素 $P i x$ ごとに設けられ、1つの画素 $P i x$ において、第1反射表示画素 $R P x 1$ と、複数の発光表示画素 $E P x$ とに重なる。つまり、画素電極 $P E$ は、金属電極 $M E$ と、複数の発光素子 $L E D$ と、複数の発光素子 $L E D$ にそれぞれ接続された複数のアノード電極 $A D$ とに重なる領域に亘って設けられる。

【0017】

20

図2では、画素回路 $P I C A$ 、 $P I C R$ の各種配線のうち、映像信号線 $S L$ 、アノード電源線 $I P L$ 及び画素制御信号線 $S S L$ を示している。映像信号線 $S L$ 及びアノード電源線 $I P L$ は、第2方向 $D y$ に延出している。一对の映像信号線 $S L$ 及びアノード電源線 $I P L$ は、第1方向 $D x$ に複数配列されている。画素制御信号線 $S S L$ は、第1方向 $D x$ に延出し、平面視で、映像信号線 $S L$ 及びアノード電源線 $I P L$ と交差する。コンタクトホール $C H$ は、一对の映像信号線 $S L$ 及びアノード電源線 $I P L$ と、画素制御信号線 $S S L$ とで形成される格子中に配置され、画素電極 $P E$ 及びアノード電極 $A D$ にそれぞれ接続される。

【0018】

30

赤色発光素子 $R L E D$ は、赤色の光を出射する。緑色発光素子 $G L E D$ は、緑色の光を出射する。青色発光素子 $B L E D$ は、青色の光を出射する。図2において、複数のコンタクトホール $C H$ の配列に対して、赤色発光素子 $R L E D$ 及び青色発光素子 $B L E D$ は第2方向 $D y$ の一方に配置され、緑色発光素子 $G L E D$ は第2方向 $D y$ の他方に配置される。言い換えると、赤色発光素子 $R L E D$ 及び青色発光素子 $B L E D$ と、緑色発光素子 $G L E D$ との間に、複数のコンタクトホール $C H$ 及び画素制御信号線 $S S L$ が設けられる。以下において、赤色発光素子 $R L E D$ 、緑色発光素子 $G L E D$ 及び青色発光素子 $B L E D$ をそれぞれ区別する必要がない場合、発光素子 $L E D$ という。

【0019】

40

表示装置 $D S P$ は、第1反射表示画素 $R P x 1$ において反射表示を行い、第1発光表示画素 $E P x 1$ 、第2発光表示画素 $E P x 2$ 及び第3発光表示画素 $E P x 3$ において、発光素子 $L E D$ ごとに異なる光を出射することで画像を表示する。発光素子 $L E D$ は、平面視で、 $3 \mu m$ 以上、 $100 \mu m$ 以下程度の大きさを有する無機発光ダイオード（ $L E D$: Light Emitting Diode）チップであり、マイクロ $L E D$ （ $m i c r o \quad L E D$ ）と呼ばれる。各画素にマイクロ $L E D$ を備える表示装置 $D S P$ は、マイクロ $L E D$ 表示装置とも呼ばれる。なお、マイクロ $L E D$ のマイクロは、発光素子 $L E D$ の大きさを限定するものではない。

【0020】

50

なお、複数の発光素子 $L E D$ は、4色以上の異なる光を出射してもよい。また、第1反射表示画素 $R P x 1$ 及び複数の発光表示画素 $E P x$ の配置は、図2に示す構成に限定されない。例えば、赤色発光素子 $R L E D$ 、緑色発光素子 $G L E D$ 及び青色発光素子 $B L E D$

は、第1方向D_xに隣り合っているもよい。

【0021】

発光素子LEDは、アノード電極ADに接続される。また、アノード電極ADは、平面視で、発光素子LEDの内側から外側に延出し、発光素子LEDの周囲に設けられる。アノード電極ADは、発光素子LEDから出射された光を、第3方向D_z、すなわち表示面側に出射させることで、発光素子LEDの光取出し効率を向上させる。また、アノード電極ADは、反射表示において外光を反射する反射電極としての機能も兼ねる。

【0022】

図3は、反射表示画素の等価回路を示す回路図である。図3は、1つの第1反射表示画素RP_{x1}に設けられた画素回路PICRを示しており、画素回路PICRは複数の第1反射表示画素RP_{x1}のそれぞれに設けられている。図3に示すように、画素回路PICRは、駆動トランジスタDTRL、画素制御信号線SSL及び映像信号線SLを含む。画素制御信号線SSL及び映像信号線SLは交差して設けられる。画素制御信号線SSL及び映像信号線SLの交差点近傍に駆動トランジスタDTRLが設けられる。

10

【0023】

画素制御信号線SSLは、駆動トランジスタDTRLのゲート電極に接続される。映像信号線SLは、駆動トランジスタDTRLのソース電極又はドレイン電極の一方に接続される。駆動トランジスタDTRLのソース電極又はドレイン電極の他方は、液晶層LC及び保持容量Cs₃に接続される。駆動トランジスタDTRLは、画素制御信号線SSLから供給される走査信号に基づいて動作する。駆動トランジスタDTRLがオンになると、映像信号線SLから供給される電圧が液晶層LCに供給される。

20

【0024】

図4は、発光表示画素の等価回路を示す回路図である。図4は、1つの発光表示画素EP_xに設けられた画素回路PICAを示しており、画素回路PICAは複数の発光表示画素EP_xのそれぞれに設けられている。図4に示すように、画素回路PICAは、発光素子LEDと、5つのトランジスタと、2つの容量とを含む。具体的には、画素回路PICAは、駆動トランジスタDRT、出力トランジスタBC_T、初期化トランジスタIST、画素選択トランジスタSST及びリセットトランジスタRSTを含む。駆動トランジスタDRT、出力トランジスタBC_T、初期化トランジスタIST、画素選択トランジスタSST及びリセットトランジスタRSTは、それぞれn型TFT(Thin Film Transistor)で構成される。また、画素回路PICAは、第1容量Cs₁及び第2容量Cs₂を含む。

30

【0025】

発光素子LEDのカソード(カソード端子ELED₂(図6参照))は、カソード電源線CDLに接続される。また、発光素子LEDのアノード(アノード端子ELED₁(図6参照))は、駆動トランジスタDRT及び出力トランジスタBC_Tを介してアノード電源線IPLに接続される。アノード電源線IPLには、アノード電源電位PVDDが供給される。カソード電源線CDLには、カソード電源電位PVSSが供給される。アノード電源電位PVDDは、カソード電源電位PVSSよりも高い電位である。

【0026】

アノード電源線IPLは、画素P_xに、駆動電位であるアノード電源電位PVDDを供給する。具体的には、発光素子LEDは、アノード電源電位PVDDとカソード電源電位PVSSとの電位差(PVDD-PVSS)により順方向電流(駆動電流)が供給され発光する。つまり、アノード電源電位PVDDは、カソード電源電位PVSSに対し、発光素子LEDを発光させる電位差を有している。発光素子LEDのアノード端子ELED₁はアノード電極ADに接続され、アノード電極ADとアノード電源線IPLと間に等価回路として、第2容量Cs₂が接続される。

40

【0027】

駆動トランジスタDRTのソース電極は、アノード電極ADを介して発光素子LEDのアノード端子ELED₁に接続され、ドレイン電極は、出力トランジスタBC_Tのソース

50

電極に接続される。駆動トランジスタD R Tのゲート電極は、第1容量C s 1、画素選択トランジスタS S Tのドレイン電極及び初期化トランジスタI S Tのドレイン電極に接続される。

【0028】

出力トランジスタB C Tのゲート電極は、出力制御信号線M S Lに接続される。出力制御信号線M S Lには、出力制御信号B Gが供給される。出力トランジスタB C Tのドレイン電極は、アノード電源線I P Lに接続される。

【0029】

初期化トランジスタI S Tのソース電極は、初期化電源線I N Lに接続される。初期化電源線I N Lには、初期化電位V i n iが供給される。初期化トランジスタI S Tのゲート電極は、初期化制御信号線I S Lに接続される。初期化制御信号線I S Lには、初期化制御信号I Gが供給される。すなわち、駆動トランジスタD R Tのゲート電極には、初期化トランジスタI S Tを介して初期化電源線I N Lが接続される。

10

【0030】

画素選択トランジスタS S Tのソース電極は、映像信号線S Lに接続される。映像信号線S Lには、映像信号V s i gが供給される。画素選択トランジスタS S Tのゲート電極には、画素制御信号線S S Lが接続されている。画素制御信号線S S Lには、画素制御信号S Gが供給される。

【0031】

リセットトランジスタR S Tのソース電極は、リセット電源線R Lに接続される。リセット電源線R Lには、リセット電源電位V r s tが供給される。リセットトランジスタR S Tのゲート電極には、リセット制御信号線R S Lが接続される。リセット制御信号線R S Lには、リセット制御信号R Gが供給される。リセットトランジスタR S Tのドレイン電極は、発光素子L E Dのアノード端子E L E D 1及び駆動トランジスタD R Tのソース電極に接続される。

20

【0032】

リセットトランジスタR S Tのドレイン電極と、駆動トランジスタD R Tのゲート電極との間に、等価回路として、第1容量C s 1が設けられる。画素回路P I C Aは、第1容量C s 1及び第2容量C s 2により、駆動トランジスタD R Tの寄生容量とリーク電流とによるゲート電圧の変動を抑制することができる。

30

【0033】

駆動トランジスタD R Tのゲート電極には、映像信号V s i g（または、階調信号）に応じた電位が供給される。つまり、駆動トランジスタD R Tは、出力トランジスタB C Tを介して供給されたアノード電源電位P V D Dに基づいて、映像信号V s i gに応じた電流を発光素子L E Dに供給する。このように、アノード電源線I P Lに供給されたアノード電源電位P V D Dは、駆動トランジスタD R T及び出力トランジスタB C Tによって降下するため、発光素子L E Dのアノード端子E L E D 1には、アノード電源電位P V D Dよりも低い電位が供給される。

【0034】

第2容量C s 2の一方の電極には、アノード電源線I P Lを介してアノード電源電位P V D Dが供給され、第2容量C s 2の他方の電極には、アノード電源電位P V D Dよりも低い電位が供給される。つまり、第2容量C s 2の一方の電極には、第2容量C s 2の他方の電極よりも高い電位が供給される。第2容量C s 2の一方の電極は、例えば、アノード電源線I P Lであり、第2容量C s 2の他方の電極は、駆動トランジスタD R Tのアノード電極A D及びこれに接続されたアノード接続電極である。

40

【0035】

表示装置D S Pにおいて、周辺回路G C（図1参照）は、複数の画素行を、先頭行（例えば、図1中の表示領域D Aにおいて、最上部に位置する画素行）から順番に選択する。駆動I Cは、選択された画素行の画素P xに映像信号V s i g（映像書き込み電位）を書き込み、発光素子L E Dを発光させる。駆動I Cは、1水平走査期間ごとに、映像信号線

50

S Lに映像信号V s i gを供給し、リセット電源線R Lにリセット電源電位V r s tを供給し、初期化電源線I N Lに初期化電位V i n iを供給する。表示装置D S Pは、これらの動作が1フレームの画像ごとに繰り返される。

【0036】

なお、上述した図3及び図4に示す画素回路P I C R、P I C Aの構成は適宜変更することができる。例えば1つの画素P xでの配線の数及びトランジスタの数は異なってもよい。また、画素回路P I C Aはカレントミラー回路等であってもよい。

【0037】

次に、図5及び図6を参照しつつ、第1反射表示画素R P x 1及び発光表示画素E P xの具体的な構成例について説明する。図5は、図2におけるV-V'断面図である。図5は、第1反射表示画素R P x 1及び第2発光表示画素E P x 2の断面構造を示す。ただし、第2発光表示画素E P x 2についての説明は、第1発光表示画素E P x 1及び第3発光表示画素E P x 3にも適用できる。

10

【0038】

図5に示すように、表示装置D S Pは、アレイ基板S U Aと、対向基板S U Bと、液晶層L Cと、を有する。アレイ基板S U Aにおいて、第1基板S U 1の一方の面に、遮光層L S、アンダーコート層U C、半導体層P S、ゲート絶縁膜G Z L、走査配線G L、層間絶縁膜L Z L、アノード電源線I P L及び台座B S、第1平坦化層L L 1、第1共通電極C E 1、第1容量窒化膜L S N 1、金属電極M E及びアノード電極A D、接続層C L、発光素子L E D及び第2平坦化層L L 2、カソード電極C D及び接続電極C N E、第2容量窒化膜L S N 2、画素電極P E、第1配向膜A L 1の順に設けられている。なお、第1基板S U 1の一方の面は、第2基板S U 2と対向する面である。

20

【0039】

対向基板S U Bにおいて、第2基板S U 2の一方の面に、第2共通電極C E 2及び第2配向膜A L 2が設けられる。なお、第2基板S U 2の一方の面は、第1基板S U 1と対向する面である。第2基板S U 2の他方の面に、円偏光板C P Lが設けられている。液晶層L Cは、アレイ基板S U Aと、対向基板S U Bとの間に設けられる。

【0040】

本明細書において、第1基板S U 1の表面に垂直な方向において、第1基板S U 1から第2基板S U 2に向かう方向を「上側」とする。また、第2基板S U 2から第1基板S U 1に向かう方向を「下側」とする。

30

【0041】

発光素子L E Dは、第1基板S U 1の上に設けられる。第1基板S U 1は絶縁基板であり、例えば、ガラス基板、樹脂基板又は樹脂フィルム等が用いられる。第1基板S U 1は、例えば、厚さ100 μ mのホウケイ酸ガラスを用いることができる。

【0042】

駆動トランジスタD T Rは、第1基板S U 1の一方の面側に設けられる。図5では、画素回路P I C Aの複数のトランジスタのうち、駆動トランジスタD T Rを示す。出力トランジスタB C T、初期化トランジスタI S T、画素選択トランジスタS S T及びリセットトランジスタR S Tも第1基板S U 1の一方の面側に設けられる。出力トランジスタB C T、初期化トランジスタI S T、画素選択トランジスタS S T及びリセットトランジスタR S Tの積層構造は、駆動トランジスタD T Rと類似した構成であり、詳細な説明は省略する。また、図5では、画素回路P I C Rの駆動トランジスタD T R Lも示している。駆動トランジスタD T Rについての説明は、第1反射表示画素R P x 1の駆動トランジスタD T R Lにも適用できる。

40

【0043】

遮光層L Sは、層厚50 nm程度のモリブデンタンゲステン(M o W)合金膜である。遮光層L Sは、第1基板S U 1よりも光の透過率が小さい材料で形成され、半導体層P Sの下に設けられる。アンダーコート層U Cは、窒化珪素(S i N)層と酸化珪素(S i O₂)層の積層体で、層厚はそれぞれ100 nm、150 nm程度である。半導体層P Sは

50

、例えばポリシリコンであり、アモルファスシリコン層をレーザアニール法で多結晶化したものである。半導体層 P S の層厚は、例えば 50 nm 程度である。

【0044】

ゲート絶縁膜 G Z L は、層厚 100 nm 程度の酸化珪素層である。走査配線 G L は、層厚 300 nm 程度のモリブデンタングステン合金膜である。走査配線 G L は、画素選択トランジスタ S S T のドレイン線と、初期化トランジスタ I S T のドレイン線とが合流した配線である。第 1 基板 S U 1 の法線方向において、半導体層 P S と走査配線 G L との間にゲート絶縁膜 G Z L が設けられる。層間絶縁膜 L Z L は、酸化珪素層と窒化珪素層の積層体であり、層厚はそれぞれ 350 nm、375 nm 程度である。

【0045】

アノード電源線 I P L 及び台座 B S は、同層に設けられ、それぞれ、チタン (T i)、アルミニウム (A l)、チタン (T i) の 3 層積層膜である。各層の層厚は、それぞれ、100 nm、400 nm、200 nm 程度である。アノード電源線 I P L のうち、半導体層 P S と重なる部分が駆動トランジスタ D T R のドレイン電極 D E として機能する。台座 B S のうち、半導体層 P S と重なる部分が駆動トランジスタ D T R のソース電極 S E として機能する。ドレイン電極 D E 及びソース電極 S E は、それぞれ、層間絶縁膜 L Z L 及びゲート絶縁膜 G Z L に設けられたコンタクトホールを介して半導体層 P S と接続される。

【0046】

次に、駆動トランジスタ D T R よりも上層の発光表示画素 E P x (第 2 発光表示画素 E P x 2) について説明する。第 1 平坦化層 L L 1 及び第 2 平坦化層 L L 2 は、有機絶縁膜であり、層厚はそれぞれ 2 μm、10 μm 程度である。第 1 平坦化層 L L 1 は、アノード電源線 I P L 及び台座 B S を覆って層間絶縁膜 L Z L の上に設けられる。第 1 共通電極 C E は、透光性を有する導電性材料が用いられる。第 1 共通電極 C E は、例えばインジウムスズ酸化物 (I T O、Indium Tin Oxide) であり、層厚は 50 nm 程度である。第 1 容量窒化膜 L S N 1 は、低温成膜した窒化珪素層であり、層厚は 120 nm 程度である。第 1 容量窒化膜 L S N 1 は、第 1 基板 S U 1 の法線方向において、第 1 共通電極 C E 1 とアノード電極 A D との間に設けられる。

【0047】

アノード電極 A D は、金属材料を含み、例えば I T O、銀 (A g)、I T O の積層体である。各層の層厚は、それぞれ、50 nm、200 nm、100 nm 程度である。アノード電極 A D は、第 1 容量窒化膜 L S N 1 の上に設けられ、第 1 平坦化層 L L 1 に設けられたコンタクトホール C H 4 を介して台座 B S に接続される。接続層 C L は、銀ペーストにより形成され、第 1 基板 S U 1 と発光素子 L E D との間において、アノード電極 A D の上に設けられる。発光素子 L E D は、接続層 C L の上に設けられ、接続層 C L と電氣的に接続される。つまり、駆動トランジスタ D T R は、接続層 C L 及びアノード電極 A D を介して発光素子 L E D と電氣的に接続される。第 2 平坦化層 L L 2 は、アノード電極 A D を覆って第 1 容量窒化膜 L S N 1 の上に設けられる。第 2 平坦化層 L L 2 は、少なくとも発光素子 L E D の側面と、接続層 C L の側面を覆う。

【0048】

発光素子 L E D の頂部は、第 2 平坦化層 L L 2 に設けられたコンタクトホール C H 3 の底部で露出しており、カソード電極 C D と接続される。カソード電極 C D は、I T O であり、層厚は 100 nm 程度である。カソード電極 C D は、複数の発光素子 L E D のカソード端子 E L E D 2 と電氣的に接続される。第 2 容量窒化膜 L S N 2 は、カソード電極 C D を覆って第 2 平坦化層 L L 2 の上に設けられる。

【0049】

なお、各層の材料及び層厚はあくまで一例であり、適宜変更することができる。例えば、半導体層 P S は、ポリシリコンに限定されず、アモルファスシリコン、微結晶酸化物半導体、アモルファス酸化物半導体、低温ポリシリコン (L T P S : Low Temperature Polycrystalline Silicone) 又は窒化ガリウム (G a N) であってもよい。酸化物半導体としては、I G Z O、酸化亜鉛 (Z n O)、I T Z O が例示される。I G Z O は、インジ

10

20

30

40

50

ウムガリウム亜鉛酸化物である。ITZOは、インジウムスズ亜鉛酸化物である。また、図5に示す例では、駆動トランジスタDTRは、いわゆるトップゲート構造である。ただし、駆動トランジスタDTRは、半導体層PSの下側にゲート電極が設けられたボトムゲート構造でもよく、半導体層PSの上側及び下側の両方にゲート電極が設けられたデュアルゲート構造でもよい。

【0050】

次に、発光素子LEDの構成について説明する。図6は、図5の発光素子を拡大して示す断面図である。なお、図6では、第2発光表示画素EPx2の緑色発光素子GLEDの断面構造を示しているが、青色発光素子BLED及び赤色発光素子RLEDも同様の積層構造である。図6に示すように、発光素子LEDは、発光素子基板SULED、n型クラッド層NC、発光層EM、p型クラッド層PC、アノード端子ELEDD1及びカソード端子ELEDD2を有する。発光素子基板SULEDの上に、n型クラッド層NC、発光層EM、p型クラッド層PC及びカソード端子ELEDD2の順に積層される。アノード端子ELEDD1は、発光素子基板SULEDと接続層CLとの間に設けられる。

【0051】

青色の光を出射する青色発光素子BLEDにおいて、発光層EMは、窒化インジウムガリウム(InGaN)であり、インジウムとガリウムの組成比は、例えば0.2:0.8である。p型クラッド層PCとn型クラッド層NCは、窒化ガリウム(GaN)である。発光素子基板SULEDは、炭化珪素(SiC)である。

【0052】

緑色の光を出射する緑色発光素子GLEDにおいて、発光層EMは、窒化インジウムガリウム(InGaN)であり、インジウムとガリウムの組成比は、例えば0.45:0.55である。p型クラッド層PCとn型クラッド層NCは、窒化ガリウム(GaN)である。発光素子基板SULEDは、炭化珪素(SiC)である。

【0053】

赤色の光を出射する赤色発光素子RLEDにおいて、発光層EMは、アルミニウムガリウムインジウム(AlGaIn)であり、アルミニウムとガリウムとインジウムの組成比は、例えば0.225:0.275:0.5である。p型クラッド層PCとn型クラッド層NCは、燐化アルミニウムインジウム(AlInP)である。発光素子基板SULEDは、ヒ化ガリウム(GaAs)である。

【0054】

赤色発光素子RLED、緑色発光素子GLED及び青色発光素子BLEDのアノード端子ELEDD1及びカソード端子ELEDD2は、いずれもアルミニウムである。

【0055】

赤色発光素子RLED、緑色発光素子GLED及び青色発光素子BLEDの極大発光波長は、それぞれ645nm、530nm、450nmである。

【0056】

各発光素子LEDの製造工程において、製造装置は、発光素子基板SULEDの上に、n型クラッド層NC、発光層EM、p型クラッド層PC及びカソード端子ELEDD2を成膜する。その後、製造装置は、発光素子基板SULEDを薄膜化して、発光素子基板SULEDの底面にアノード端子ELEDD1を形成する。そして、製造装置は、方形に切断加工した発光素子LEDを接続層CLの上に配置した。

【0057】

接続層CLに銀ペーストを用いることで、発光素子LEDを配置する際に、接続層CLは、圧力に応じて変形しつつ、発光素子LEDと密着して導通する。又は、接続層CLに、アノード端子ELEDD1と同じ金属材料、例えばアルミニウムを用いてもよい。この場合、接続層CLの上に発光素子LEDを配置した後に加熱処理を施すことで、アノード端子ELEDD1と接続層CLとが一体化される。これにより、接続層CLは、発光素子LEDと良好に導通する。

【0058】

以上のような構成により、図5に示すように、発光素子LEDの上面から出射された光Le1は、第2基板SU2を透過して外部に出射される。また、発光素子LEDの側面から出射され、下側に向かう光Le2は、アノード電極ADにより反射されて、進行方向が上側に向けられる。アノード電極ADで反射された光Le2も第2基板SU2を透過して外部に出射される。アノード電極ADは、高い反射率を有しており、発光素子LEDの光Le2を反射する反射層の機能を兼ねる。これにより、表示装置DSPは、発光表示画素EPxによる発光表示において、光取出し効率を向上させることができる。

【0059】

次に、駆動トランジスタDTLよりも上層の第1反射表示画素RPx1について説明する。第1平坦化層LL1、第1共通電極CE及び第1容量窒化膜LSN1の構成は、発光表示画素EPxと同様である。金属電極MEは、アノード電極ADと同層に、第1容量窒化膜LSN1の上に設けられる。金属電極MEは、アノード電極ADと同じ材料が用いられ、ITO、銀(Ag)、ITOの積層体である。各層の層厚は、それぞれ、50nm、200nm、100nm程度である。金属電極MEは、第1平坦化層LL1に設けられたコンタクトホールCH2を介して駆動トランジスタDTLの台座BSに接続される。

【0060】

第1反射表示画素RPx1では、第2平坦化層LL2を貫通するコンタクトホールCH1が設けられている。接続電極CNEは、コンタクトホールCH1の内壁及び底部に設けられており、コンタクトホールCH1の底部において金属電極MEと接続される。接続電極CNEは、カソード電極CDと同層、すなわち第2平坦化層LL2の上に設けられ、カソード電極CDと同じ材料で形成される。接続電極CNEは、ITO等の透光性を有する導電性材料である。

【0061】

第2容量窒化膜LSN2は、低温成膜した窒化珪素層である。第2容量窒化膜LSN2は、接続電極CNE及びカソード電極CDの上に設けられ、コンタクトホールCH1と重なる位置に開口が設けられている。画素電極PEは、ITOである。画素電極PEは、第2容量窒化膜LSN2の上に設けられ、コンタクトホールCH1の内部で接続電極CNEと接続される。このような構成により、画素電極PEは、コンタクトホールCH1を介して金属電極MEと接続される。また、画素電極PEは、発光表示画素EPxと重なる領域まで延出しており、金属電極ME、アノード電極AD及び発光素子LEDと重なる領域に亘って設けられる。

【0062】

対向基板SUBにおいて、第2基板SU2は絶縁基板であり、例えば、ガラス基板、樹脂基板又は樹脂フィルム等が用いられる。第2基板SU2は、例えば、厚さ100μmのホウケイ酸ガラスを用いることができる。第2基板SU2の一方の面に、第2共通電極CE2及び第2配向膜AL2の順に積層される。第2共通電極CE2は、例えば、ITOである。第2共通電極CE2は、液晶層LCを挟んで画素電極PEと対向する。

【0063】

第1配向膜AL1と第2配向膜AL2との間に液晶層LCが配置される。第1配向膜AL1及び第2配向膜AL2はいずれも垂直配向性のポリイミド膜である。これにより、液晶層LCの配向状態を垂直配向にするとともに、円偏光板CPとの組み合わせにより、表示装置DSPは電圧無印加時に暗表示となる。また、液晶層LCに負の誘電率異方性の液晶材料を用いることでノーマリーブラック型の電圧－反射率特性となる。図5では、液晶層LCの液晶分子LCMを模式的に円筒で表している。図5では、液晶分子LCMが垂直配向した状態を示している。画素電極PE及び第2共通電極CE2により、液晶層LCに縦電界が印加され、これにより、液晶分子LCMの配向状態が変化する。

【0064】

第1配向膜AL1、液晶層LC、第2配向膜AL2及び第2共通電極CE2は、画素電極PEと同様に、発光表示画素EPxと重なる領域まで設けられる。言い換えると、第1基板SU1の一方の面に、第1トランジスタ（駆動トランジスタDTR）、アノード電極

A D、無機発光素子（発光素子 L E D）、絶縁層（第 2 容量窒化膜 L S N 2）、画素電極 P E、液晶層 L C、共通電極（第 2 共通電極 C E 2）、第 2 基板 S U 2 の順に積層されている。

【0065】

以上のような構成により、図 5 に示すように、第 1 反射表示画素 R P x 1 による反射表示において、外部から入射した光 L r 2 は、金属電極 M E で反射されて第 2 基板 S U 2 を透過して外部に出射される。また、反射表示において、外部から発光表示画素 E P x 側に入射した光 L r 1 は、アノード電極 A D で反射されて第 2 基板 S U 2 を透過して外部に出射される。つまり、アノード電極 A D は、高い反射率を有しており、反射表示における光 L r 1 の反射層の機能を兼ねる。すなわち、反射表示において、金属電極 M E が設けられた領域に加え、アノード電極 A D が設けられた発光表示画素 E P x の一部の領域も反射領域として機能する。これにより、表示装置 D S P は、第 1 反射表示画素 R P x 1 による反射表示において、光取出し効率を向上させることができる。

10

【0066】

本実施形態の表示装置 D S P を、例えば、弱い照明の屋内で観察した場合、発光表示画素 E P x の発光表示により、明瞭なカラー表示を観察できる。また、表示装置 D S P を、例えば、晴天時の直射日光下で観察した場合、第 1 反射表示画素 R P x 1 の反射表示により、表示を確認できた。以上により、表示装置 D S P は、高輝度の発光表示と高反射率の反射表示を両立し、低照度から高照度までの環境下で良好に表示を行うことができる。

【0067】

20

（第 1 実施形態の第 1 変形例）

図 7 は、第 1 実施形態の第 1 変形例に係る表示装置を示す断面図である。なお、以下の説明において、上述した実施形態で説明した構成要素については、同じ符号を付して、説明を省略する。

【0068】

図 7 に示すように、第 1 変形例では、コンタクトホール C H 1 に換えて、第 2 平坦化層 L L 2 に導電性接続部材 C C が設けられている。導電性接続部材 C C は第 2 平坦化層 L L 2 の厚さ方向を貫通して設けられた柱状の部材である。具体的には、導電性接続部材 C C は、金属電極 M E（反射電極）と画素電極 P E との間に設けられた導電性スペーサ C S 及び接続層 C L L を含む。接続層 C L L は、金属電極 M E の上に設けられ、発光素子 L E D の接続層 C L と同様に、銀ペーストを用いて形成できる。

30

【0069】

導電性スペーサ C S は接続層 C L L の上に設けられ、導電性スペーサ C S の頂部は、第 2 平坦化層 L L 2 から露出する。導電性スペーサ C S の頂部は、接続電極 C N E を介して画素電極 P E と接続される。導電性スペーサ C S は、導電性を有する柱状体であり、例えば、サファイア基板を発光素子 L E D と同じ厚さに研磨し、発光素子 L E D と同じサイズに切断加工したものをを用いることができる。切断加工されたサファイア基板にメッキ加工を施すことで導電性スペーサ C S を形成できる。導電性スペーサ C S は、発光素子 L E D と同様の工程で接続層 C L L の上に配列される。このような構成により、金属電極 M E は、第 2 平坦化層 L L 2 に設けられた導電性接続部材 C C を介して画素電極 P E と電氣的に接続される。

40

【0070】

本実施形態では、コンタクトホール C H 1（図 5 参照）が設けられていない。コンタクトホール C H 1 は、接続電極 C N E 及び画素電極 P E の断線を抑制するために、壁面が傾斜して形成される。このため、コンタクトホール C H 1 の上側の直径は、第 2 平坦化層 L L 2 の層厚以上の大きさとなる。

【0071】

本実施形態では、導電性接続部材 C C の平面視での大きさを、発光素子 L E D と同程度にすることができる。このため、図 5 に示すコンタクトホール C H 1 を設けた構成と比較して、第 1 反射表示画素 R P x 1 の開口率を向上させることができる。

50

【0072】

(第1実施形態の第2変形例)

図8は、第1実施形態の第2変形例に係る表示装置を示す断面図である。第1実施形態及び第1変形例の発光素子LEDは、下部でアノード電極ADと接続され、上部でカソード電極CDと接続される垂直構造であるが、これに限定されない。図8に示すように、第2変形例において、アノード端子ELE D 1及びカソード端子ELE D 2は、いずれも発光素子LEDの上面側に設けられている。

【0073】

カソード端子ELE D 2は、第2平坦化層LL 2から露出しており、カソード電極CDと電氣的に接続される。アノード端子ELE D 1は、アノード接続層ADCLを介して接続層CLに電氣的に接続される。アノード接続層ADCLは、モリブデンタングステン合金を用いることができる。又は、アノード接続層ADCLは、モリブデンタングステン合金とアルミニウムの積層膜を用いることができる。

【0074】

このように、表示装置DSPは、アノード端子ELE D 1及びカソード端子ELE D 2が同一面側に配置された水平構造の発光素子LEDも適用可能である。

【0075】

(第2実施形態)

図9は、第2実施形態に係る表示装置を示す断面図である。図9に示すように、第1反射表示画素RP x 1及び各発光表示画素EP xの間に壁状構造WLが設けられている。壁状構造WLは、第1容量窒化膜LSN 1の上に設けられる。

【0076】

発光表示画素EP xにおいて、壁状構造WLは、発光素子LEDの側面と対向している。より好ましくは、壁状構造WLは、発光素子LEDの周囲を囲むように設けられる。壁状構造WLの高さは、発光素子LEDの高さと同程度、又は発光素子LEDの高さよりも高い。第2平坦化層LL 2は、壁状構造WLの上面を覆っている、壁状構造WLの材料として、例えば、ノボラック樹脂と感光材のナフトキノンから構成されるポジ型ホトレジストや、アクリル樹脂から成るネガ型レジスト等を用いることができる。あるいはまた、ネガ型レジスト形成後にその側面をポジ型ホトレジストで被覆して形成してもよい。

【0077】

壁状構造WLと第1容量窒化膜LSN 1とで形成される凹部内にアノード電極AD、接続層CL、発光素子LED及び第2平坦化層LL 2が設けられる。アノード電極ADは、壁状構造WL及び第1容量窒化膜LSN 1に沿った凹状構造を有する。発光素子LEDは、凹状構造の内部に配置される。具体的には、アノード電極ADは、アノード電極底部AD aとアノード電極傾斜部AD bとを含む。アノード電極底部AD aは第1容量窒化膜LSN 1の上に設けられ、発光素子LEDと重なる領域及び発光素子LEDと重ならない領域に亘って設けられる。発光素子LEDは、アノード電極底部AD aに接続される。アノード電極傾斜部AD bは、アノード電極底部AD aの端部と接続され、壁状構造WLの内壁面に沿って傾斜して設けられる。アノード電極傾斜部AD bは、第2平坦化層LL 2を挟んで発光素子LEDの側面と対向する。

【0078】

第1容量窒化膜LSN 1の上に複数の凸状構造PTが設けられている。複数の凸状構造PTは、第1容量窒化膜LSN 1の上に有機レジストをパターンニングすることで形成できる。その後、熱処理を施すことにより有機レジストが溶融しながら固化して、複数の凸状構造PTは、曲面を有する半円状の断面構造となる。凸状構造PTの高さは、例えば、0.5 μ m程度、直径は、3 μ m程度である。複数の凸状構造PTは、発光表示画素EP x内に多数形成される。

【0079】

アノード電極底部AD aは、第1容量窒化膜LSN 1及び複数の凸状構造PTの上に設けられる。アノード電極底部AD aには、凸状構造PTの形状に倣って複数の凸部が形成

される。

【0080】

このような構成により、発光表示画素EPxの発光表示において、発光素子LEDの側面から出射された光Le3は、アノード電極傾斜部ADbに向かって進行し、アノード電極傾斜部ADbで反射されて第2基板SU2側に出射される。また、発光素子LEDの側面から第1基板SU1側に出射された光Le2は、アノード電極底部Adaの凸部で反射して、第2基板SU2側に出射される。光Le2は、凸部が設けられていない場所で反射した場合に比べて、第1基板SU1の法線方向により近い角度で出射される。アノード電極底部Adaの凸部では、光Le2の入射角が局所的に異なるので、凸部で反射された光Le2は、第1基板SU1に平行な平面に対する入射角と出射角とが異なる散乱光となる。

10

【0081】

反射表示画素RPxにおいて、壁状構造WLは、コンタクトホールCH1と対向している。言い換えると、壁状構造WLは、コンタクトホールCH1の周囲を囲むように設けられる。壁状構造WLの高さは、コンタクトホールCH1の深さよりも低い。

【0082】

壁状構造WLと第1容量窒化膜LSN1とで形成される凹部内に金属電極ME、接続電極CNE及び画素電極PEが設けられる。金属電極MEは、壁状構造WL及び第1容量窒化膜LSN1に沿った凹状構造を有する。具体的には、金属電極MEは、金属電極底部MEaと金属電極傾斜部MEbとを含む。金属電極底部MEaは第1容量窒化膜LSN1の上に設けられ、コンタクトホールCH1の底部と重なる領域及びコンタクトホールCH1の底部と重ならない領域に亘って設けられる。金属電極傾斜部MEbは、金属電極底部MEaの端部と接続され、壁状構造WLの内壁面に沿って傾斜して設けられる。

20

【0083】

反射表示画素RPxにおいても、第1容量窒化膜LSN1の上に複数の凸状構造PTが設けられている。金属電極底部MEaは、複数の凸状構造PTの上に設けられる。金属電極底部MEaには、凸状構造PTの形状に倣って複数の凸部が形成される。

【0084】

反射表示画素RPxの反射表示において、外部から入射した光Lr2は、金属電極底部MEaで反射され、第2基板SU2側に出射される。金属電極底部MEaにも凸部が設けられていることにより、光Lr2は、上述した光Le2と同様に散乱光となる。また、外部から発光表示画素EPx側に入射した光Lr1は、アノード電極ADで反射されて、散乱光として第2基板SU2側に出射される。

30

【0085】

本実施形態では、壁状構造WL及び凸状構造PTを設けることにより、アノード電極傾斜部ADb及び金属電極傾斜部MEbは、傾斜した反射板として機能し、アノード電極底部Ada及び金属電極底部MEaは拡散反射板として機能する。本実施形態では、反射表示において、外部からの光Lr1、Lr2が特定の狭い角度範囲から入射した場合であっても、アノード電極底部Ada及び金属電極底部MEaでの反射光は、広い角度範囲に散乱されて出射される。このため、表示装置DSPの角度変化に伴う明るさの変化を抑制することができ、例えば右目と左目とで観察される明るさが大きく異なることを抑制することができる。また、表示装置DSPの表示面は、鏡面よりも紙に近い質感で観察されるので、より観察しやすい反射表示が得られる。

40

【0086】

このように、本実施形態では、発光表示画素EPxの発光表示において、光取出し効率を向上させることができ、更に、反射表示画素RPxの反射表示において、反射特性を向上させることができる。

【0087】

なお、本実施形態においても、上述した、第1変形例及び第2変形例の構成を適用することができる。つまり、図9において、コンタクトホールCH1に換えて導電性接続部材

50

ＣＣを設けてもよいし、水平構造の発光素子ＬＥＤを設けてもよい。

【００８８】

（第３実施形態）

図１０は、第３実施形態に係る表示装置を示す断面図である。図１０に示すように、本実施形態では、発光表示画素ＥＰｘは、さらに光取出し層ＬＰＬを有する。なお、図１０では、第２発光表示画素ＥＰｘ２を示しているが、第１発光表示画素ＥＰｘ１及び第３発光表示画素ＥＰｘ３にも光取出し層ＬＰＬを設けてもよい。

【００８９】

光取出し層ＬＰＬは、透光性を有する無機絶縁層であって、発光素子ＬＥＤの少なくとも一部及びアノード電極ＡＤを覆って設けられる。具体的には、光取出し層ＬＰＬは、例えば、層厚３００ｎｍ程度の酸化チタン層である。光取出し層ＬＰＬは、発光素子ＬＥＤを接続層ＣＬの上に配置した後、ＣＶＤ法で成膜することができる。

【００９０】

光取出し層ＬＰＬは、発光素子ＬＥＤの側面を囲み、さらに、発光素子ＬＥＤの周辺にも設けられる。具体的には、光取出し層ＬＰＬは、側部ＬＰＬａと、傾斜部ＬＰＬｂと、延出部ＬＰＬｃと、頂部ＬＰＬｄとを含む。側部ＬＰＬａは、発光素子ＬＥＤの側面を囲んで設けられる。傾斜部ＬＰＬｂは、側部ＬＰＬａの下端と接続され、側部ＬＰＬａと延出部ＬＰＬｃとの間に設けられる。傾斜部ＬＰＬｂは、接続層ＣＬの側面に沿って設けられ、側部ＬＰＬａに対して傾斜する。

【００９１】

延出部ＬＰＬｃは、アノード電極底部ＡＤａの上に設けられ、傾斜部ＬＰＬｂの下端と接続される。つまり、延出部ＬＰＬｃは、側部ＬＰＬａの下端側に設けられ、平面視で、側部ＬＰＬａよりも発光素子ＬＥＤの外側、すなわち発光素子ＬＥＤの側面から離れる方向に延出する。第１基板ＳＵ１の法線方向において、アノード電極ＡＤは、第１容量窒化膜ＬＳＮ１と延出部ＬＰＬｃとの間に設けられる。

【００９２】

頂部ＬＰＬｄは、側部ＬＰＬａの上端と接続され、発光素子ＬＥＤの上面に設けられる。言い換えると、頂部ＬＰＬｄは、発光素子ＬＥＤの上面とカソード電極ＣＤとの間に設けられる。

【００９３】

第２平坦化層ＬＬ２は、発光素子ＬＥＤの側面、側部ＬＰＬａ、傾斜部ＬＰＬｂ及び延出部ＬＰＬｃを覆って設けられる。カソード電極ＣＤは、第２平坦化層ＬＬ２及び頂部ＬＰＬｄの上に設けられ、発光素子ＬＥＤのカソード端子ＥＬＥＤ２と電氣的に接続される。

【００９４】

図１１は、発光素子からの光が、光取出し層を伝播する様子を説明するための説明図である。発光素子ＬＥＤから、これに近接する層への光Ｌａの入射のし易さは、全反射角 θ_r で表される。全反射角 θ_r とは、発光素子ＬＥＤで生じた光Ｌａが、近接する層との界面において全反射される入射角度である。図１１に示すように、光Ｌａの側部ＬＰＬａへの入射角 θ_a は、発光素子ＬＥＤの側面の法線方向と、光Ｌａの進行方向とが成す角度である。入射角 θ_a が全反射角 θ_r 以下の場合、透過成分が存在するので、全反射角 θ_r が大きいほど、光Ｌａは近接する層に入射しやすい。

【００９５】

ここで、発光素子ＬＥＤの屈折率を n_{LED} とし、近接する層の屈折率を n_{AJ} とすると、全反射角 θ_r は下記の式（１）で表される。

$$\theta_r = \arcsin(n_{AJ} / n_{LED}) \quad \cdots \quad (1)$$

【００９６】

$n_{AJ} > n_{LED}$ の関係を満たす場合、全ての入射角 θ_a で光Ｌａは近接する層に入射できる。 $n_{AJ} < n_{LED}$ の場合、 n_{AJ} が大きいほど全反射角 θ_r が大きくなるので、光Ｌａのうち、近接する層に入射する成分が大きくなる。

【0097】

本実施形態では、発光素子LEDの側面と第2平坦化層LL2との間に、光取出し層LPLの側部LPLaが設けられている。発光素子LEDの屈折率 n_{LED} は、例えば、 $n_{LED} = 2.4$ であり、第2平坦化層LL2の屈折率は、例えば1.5である。光取出し層LPLの屈折率は、 $n_{AJ} = 2.4$ 程度であり、第2平坦化層LL2の屈折率よりも大きい。すなわち、光取出し層LPLの屈折率と発光素子LEDの屈折率 n_{LED} との差は、第2平坦化層LL2の屈折率と発光素子LEDの屈折率との差よりも小さい。このため、発光素子LEDの側面に接して第2平坦化層LL2を設けた場合に比べて、本実施形態では、発光素子LEDと側部LPLaとの界面での全反射角 θ_r が大きくなり、発光素子LEDからの光Laは、側部LPLaに入射しやすくなる。なお、発光素子LEDの屈折率 n_{LED} は、光取出し層LPLの屈折率 n_{AJ} と同じであるが、異なってもよい。

10

【0098】

側部LPLaと延出部LPLcとの間に傾斜部LPLbが設けられているので、側部LPLaと延出部LPLcとを直接連結した場合に比べて、側部LPLaと傾斜部LPLbとが成す角度及び延出部LPLcと傾斜部LPLbとが成す角度が緩やかになる。これにより、側部LPLaに入射した光Lbは、傾斜部LPLbを介して延出部LPLcに良好に導かれる。

【0099】

延出部LPLcの上部に第2平坦化層LL2が設けられ、下部にアノード電極ADが設けられる。これにより、光Lbは、延出部LPLcの内部で反射しながら、発光素子LEDから離れる方向に伝播する。その過程で、光Lbの入射角が、延出部LPLcと第2平坦化層LL2との界面の全反射角よりも小さくなると、光Lcが上側に向けて出射される。このように、本実施形態では、光取出し層LPLを設けたことにより、発光素子LEDからの光Laは、光取出し層LPLの全面から出射できる。これにより、発光表示画素EPxは、発光表示における光取出し効率を向上させることができる。

20

【0100】

また、光取出し層LPLは、光Lbを伝播させることができるため、第1発光表示画素EPx1、第2発光表示画素EPx2及び第3発光表示画素EPx3（図2参照）ごとに光取出し層LPLを区切ることで、発光素子LEDの混色を抑制することができる。

【0101】

なお、光取出し層LPLは図10に示す構成に限定されず、適宜変更してもよい。例えば、光取出し層LPLは、頂部LPLdを省略してもよい。この場合、発光素子LEDの上面は、カソード電極CDと直接、接する。言い換えると、発光素子LEDのカソード端子EL ED2（図6参照）は、カソード電極CDと直接、接する。これにより、カソード端子EL ED2とカソード電極CDとの間の接続抵抗を抑制することができるので、駆動電圧（アノード電源電位PVDD）を低減できる。

30

【0102】

また、光取出し層LPLは、アノード電極ADと重なる全領域に設けられている。ただしこれに限定されず、光取出し層LPLは、平面視で、アノード電極ADよりも大きい面積を有していてもよく、あるいはアノード電極ADよりも小さい面積を有していてもよい。

40

【0103】

光取出し層LPLの材料として酸化チタン層を例示したが、これに限定されない。光取出し層LPLの材料として、高屈折率で透光性を有する材料が好ましく、例えば、酸化タantal、酸化ニオブ、バリウムチタン酸化物等が適用可能である。また、光取出し層LPLの厚さも、あくまで一例であり適宜変更できる。また、第2基板SU2と円偏光板CPLとの間に紫外線吸収層を設けてもよい。光取出し層LPLの材料として酸化チタンを用いた場合、酸化チタンは紫外線を吸収するため、第2平坦化層LL2が光分解する可能性がある。紫外線吸収層を設けることにより、第2平坦化層LL2への紫外線の入射が低減され、光分解反応を抑制できる。

50

【0104】

(第3実施形態の第3変形例)

図12は、第3実施形態の第3変形例に係る表示装置において、光の伝播を説明するための説明図である。図12に示すように、第3変形例において、光取出し層LPLの表面に複数の微小な凹部COCが設けられる。凹部COCは、側部LPLa及び延出部LPLcに設けられる。ただし、凹部COCは、傾斜部LPLbにも設けられていてもよい。凹部COCは、光取出し層LPLの表面を削って形成することができ、例えば、サンドブラストなどの研磨剤を光取出し層LPLに吹き付ける方法で形成できる。

【0105】

延出部LPLcの内部を伝播する光Lbは、延出部LPLcと第2平坦化層LL2との界面のうち、凹部COCが設けられていない領域で反射する。凹部COCが設けられた部分では、局所的に界面が傾いており、凹部COCが設けられていない領域とは、光Lbの入射角が異なる。このため、光Lcは、効率よく第2平坦化層LL2側に射出される。

【0106】

(第3実施形態の第4変形例)

図13は、第3実施形態の第4変形例に係る表示装置において、光の伝播の他の例を説明するための説明図である。図13に示すように、第4変形例において、光取出し層LPLの表面に複数の微小な凸部COVが設けられる。凸部COVは、側部LPLa及び延出部LPLcに設けられる。ただし、凸部COVは、傾斜部LPLbにも設けられていてもよい。凸部COVは、光取出し層LPLと同じ材料、例えば酸化チタンの微粒子を付着させることで形成できる。より具体的には、第2平坦化層LL2を構成する有機材料中に酸化チタンの微粒子を混合させて第2平坦化層LL2を形成し、第2平坦化層LL2中の微粒子の一部が、光取出し層LPLの表面に付着することで凸部COVが形成される。

【0107】

第4変形例においても、凸部COVが設けられた部分では、局所的に界面が傾いており、凸部COVが設けられていない領域とは、光Lbの入射角度が異なる。このため、光Lcは効率よく第2平坦化層LL2側に射出される。なお、図12及び図13の構成に限定されず、光取出し層LPLの表面に複数の微小な凹凸構造が形成されていてもよい。具体的には、逆スパッタ法などにより、光取出し層LPLの表面を粗面化することで、凹凸構造を形成してもよい。

【0108】

なお、第3実施形態、第3変形例及び第4変形例においても、上述した第2実施形態、第1変形例及び第2変形例の構成を適用することができる。例えば、第3実施形態、第3変形例及び第4変形例において、壁状構造WLを設けて、壁状構造WLの壁面に沿ってアノード電極AD及び光取出し層LPLを設けてもよい。あるいは、第1容量窒化膜LSN1の上に複数の凸状構造を設けて、アノード電極AD及び光取出し層LPLに凸状構造に倣った凸部が形成されてもよい。

【0109】

(第4実施形態)

図14は、第4実施形態に係る表示装置を示す断面図である。図14に示すように、第4実施形態では、上述した第2実施形態と同様に、アノード電極ADは凹状構造を有する。第4実施形態では、第2平坦化層LL2に換えて、アノード電極ADの凹状構造の内部に蛍光体層FLが設けられている。蛍光体層FLは、アノード電極ADの上に設けられ、少なくとも発光素子LEDの側面を覆う。

【0110】

さらに、第2基板SU2の第1基板SU1と対向する面にカラーフィルタCFが設けられる。カラーフィルタCFを覆ってオーバーコート層OCが設けられ、オーバーコート層OCに第2共通電極CE2及び第2配向膜AL2が設けられる。カラーフィルタCFは、絶縁層(第3平坦化層LL3)、画素電極PE、液晶層LC及び共通電極(第2共通電極CE2)を介して蛍光体層FLと対向する。

【0111】

蛍光体層FL及びカラーフィルタCFは、第1発光表示画素EPx1、第2発光表示画素EPx2及び第3発光表示画素EPx3ごとに、異なる種類が用いられる。第1発光表示画素EPx1には、赤色蛍光体層及び赤色カラーフィルタが設けられる。第2発光表示画素EPx2には、緑色蛍光体層及び緑色カラーフィルタが設けられる。第3発光表示画素EPx3には、青色蛍光体層及び青色カラーフィルタが設けられる。

【0112】

発光素子LEDは、第1発光表示画素EPx1、第2発光表示画素EPx2及び第3発光表示画素EPx3のいずれも、青色発光素子BLE Dが用いられる。各発光表示画素EPxで同一の発光素子LEDが用いられるため、表示装置DSPの製造工程において、発光素子LEDの配列工程を簡略化することができる。発光素子LEDは、発光色により発光効率が異なる。本実施形態では、比較的優れた発光効率を有する青色発光素子BLE Dを各発光表示画素EPxに用いている。

【0113】

赤色蛍光体層、緑色蛍光体層、青色蛍光体層は、それぞれ赤色発光、緑色発光、青色発光の量子ドットを混合したネガ型レジストをパターンニングして形成される。量子ドットは、カドミウムセレン(CdSe)のコア構造と、これを取り巻く硫化亜鉛(ZnS)のシェル構造で構成される。赤色発光、緑色発光、青色発光の量子ドットの粒子径は、それぞれ波長630nm、530nm、460nmに蛍光の極大波長を示すように調整されている。量子ドットの吸収スペクトルは連続的で、青色発光素子BLE Dの極大発光波長においても十分な吸収を示す。また、シェル構造の表面にはネガ型レジストとの相溶性を向上するための有機分子鎖を有する。

【0114】

なお、これに限定されず、非カドミウム系の量子ドットも適用可能である。非カドミウム系の量子ドットとして、燐化インジウム(InP)のコア構造と、硫化亜鉛(ZnS)のシェル構造で構成されるものが挙げられる。

【0115】

カラーフィルタCFは、赤色顔料、緑色顔料、青色顔料をそれぞれ混合したネガ型レジストをパターンニングして形成される。カラーフィルタCFの層厚は、例えば2μm程度である。カラーフィルタCFは、青色発光素子BLE Dから出射された青色の波長成分の光を吸収して、第2基板SU2側に出射される光の色純度を向上させることができる。また、カラーフィルタCFにより、蛍光体層FLが外光によって発光することを抑制できる。

【0116】

カラーフィルタCFは、第1基板SU1側に設けられていてもよい。カラーフィルタCFは、例えば、蛍光体層FLの上に積層されてもよい。

【0117】

図14に示すように、青色発光素子BLE Dから出射された光Le2、Le3は、それぞれアノード電極ADに入射して反射され、上側に進行方向が向けられる。アノード電極底部ADaには、第2実施形態と同様に凸状構造PTによる凸部が形成されている。このため、光Le2はアノード電極底部ADaで散乱される。光Le2、Le3は、このような経路で蛍光体層FLを通過することで、蛍光体層FLによる吸収発光過程を経て波長変換される。

【0118】

蛍光体層FLは等方的に発光する。本実施形態では、蛍光体層FLは、アノード電極底部ADaとアノード電極傾斜部ADbと青色発光素子BLE Dとで囲まれている。このため、等方的に発光した蛍光の進行方向がアノード電極AD及び青色発光素子BLE Dにより反射されて、第1基板SU1の法線方向に近い方向に変換される。そして、蛍光は、第2基板SU2側に出射する。これにより、表示装置DSPは、光取出し効率を向上させることができる。

【0119】

蛍光体層 F L で発光した光 L f 2、L f 3 は、カラーフィルタ C F を通過して、第 2 基板 S U 2 側の外部に出射される。また、カラーフィルタ C F は、青色発光素子 B L E D から出射された光 L e 2、L e 3 のうち波長変換されなかった成分を吸収する。これにより、カラーフィルタ C F を通過した光の色純度が向上する。また、青色発光素子 B L E D の上面から出射された光 L e 1 は、蛍光体層 F L を通過しないでカラーフィルタ C F に入射して吸収される。また、カラーフィルタ C F は、外部から入射する光のうち、蛍光体層 F L を励起する成分を吸収する。これにより、蛍光体層 F L が画像信号に関係しない発光を行うことを抑制できる。

【0120】

具体的には、第 1 発光表示画素 E P x 1 において、蛍光体層 F L は、赤色蛍光体層であり、青色発光素子 B L E D から青色の光が入射されて赤色の光を発光する。カラーフィルタ C F は、赤色カラーフィルタであり、赤色以外の光の成分を吸収する。第 2 発光表示画素 E P x 2 において、蛍光体層 F L は、緑色蛍光体層であり、青色発光素子 B L E D から青色の光が入射されて緑色の光を発光する。カラーフィルタ C F は、緑色カラーフィルタであり、緑色以外の光の成分を吸収する。第 3 発光表示画素 E P x 3 において、蛍光体層 F L は、青色蛍光体層であり、青色発光素子 B L E D から青色の光が入射されて青色の光を発光する。カラーフィルタ C F は、青色カラーフィルタであり、青色以外の光の成分を吸収する。なお、第 3 発光表示画素 E P x 3 において、蛍光体層 F L に換えて、光散乱層を設けてもよい。

【0121】

(第 4 実施形態の第 5 変形例)

図 1 5 は、第 4 実施形態の第 5 変形例に係る表示装置を示す断面図である。図 1 5 に示すように、第 5 変形例では、アノード電極 A D の凹状構造の内部に第 1 蛍光体層 F L 1 及び第 2 蛍光体層 F L 2 が設けられている。第 1 蛍光体層 F L 1 は、青色発光素子 B L E D の側面を覆って、アノード電極底部 A D a とアノード電極傾斜部 A D b と青色発光素子 B L E D とで囲まれた領域に設けられる。第 2 蛍光体層 F L 2 は、青色発光素子 B L E D の上面及び第 1 蛍光体層 F L 1 を覆って設けられる。第 2 蛍光体層 F L 2 は、カソード電極 C D を覆って、第 1 蛍光体層 F L 1 とアノード電極傾斜部 A D b と第 2 容量窒化膜 L S N 2 とで囲まれた領域に設けられる。

【0122】

青色発光素子 B L E D の上面から出射された光 L e 1 は、第 2 蛍光体層 F L 2 に入射して波長変換される。第 2 蛍光体層 F L 2 で発光した光 L f 1 は、カラーフィルタ C F を通過して、第 2 基板 S U 2 側の外部に出射される。これにより、表示装置 D S P は、光 L e 1 も外部に取出すことができ、光取出し効率を向上することができる。また、青色発光素子 B L E D から出射された光 L e 2、L e 3 は、第 1 蛍光体層 F L 1 及び第 2 蛍光体層 F L 2 を通過する。1 層の蛍光体層 F L を設けた場合に比べ、第 1 蛍光体層 F L 1 及び第 2 蛍光体層 F L 2 の合計の厚さが厚くなる。これにより、光 L e 2、L e 3 の波長変換効率も向上できる。表示装置 D S P は、主に低照度での表示の明るさを向上することができる。

【0123】

(第 4 実施形態の第 6 変形例)

図 1 6 は、第 4 実施形態の第 6 変形例に係る表示装置を示す断面図である。図 1 6 に示すように、第 6 変形例では、発光表示画素 E P x に反射層 R F が設けられている。反射層 R F は、発光素子 L E D と液晶層 L C との間に設けられ、発光素子 L E D の上面を覆う。具体的には、反射層 R F は、蛍光体層 F L 及び第 3 平坦化層 L L 3 と、画素電極 P E との間に設けられる。反射層 R F は、例えばアルミニウム、銀などの金属材料が用いられる。

【0124】

反射層 R F の平面視での面積は、蛍光体層 F L 及びアノード電極 A D の平面視での面積よりも小さい。反射層 R F の端部は、アノード電極 A D と離隔しており、アノード電極 A D の上端との間に開口部が設けられている。発光素子 L E D から上側に向けて出射される

光 L_{e1} は、反射層 R_F により反射されて蛍光体層 F_L に入射する。そして蛍光体層 F_L で発光した光 L_{f1} は、開口部を通して第2基板 SU_2 側に出射される。

【0125】

第6変形例では、上述した第4実施形態及び第5変形例に比べて、上側に向けて出射される光 L_{e1} の、蛍光体層 F_L の内部を通る経路が長くなる。このため、蛍光体層 F_L は、効果的に発光素子 LED の光を吸収することができる。

【0126】

また、第6変形例において、カラーフィルタ CF は、平面視で反射層 R_F の端部と、アノード電極 AD の上端との間の開口部を覆うように設けられている。言い換えると、カラーフィルタ CF は、平面視で反射層 R_F と重なる領域に開口部が設けられている。このため、第1反射表示画素 $RPx1$ による反射表示において、外部から入射した光 L_{r3} の一部は、カラーフィルタ CF の開口部を通して反射層 R_F で反射され、第2基板 SU_2 側の外部に出射される。つまり、反射層 R_F は、反射表示における反射板として機能する。光 L_{r3} は、カラーフィルタ CF 及び蛍光体層 F_L を通過せずに反射層 R_F で反射される。このため、第6変形例では、カラーフィルタ CF を通過する場合や、反射層 R_F を設けない場合に比べて、反射表示における光の反射率が向上する。

【0127】

(第4実施形態の第7変形例)

図17は、第4実施形態の第7変形例に係る表示装置を示す断面図である。図17に示すように、第7変形例では、第3平坦化層 $LL3$ の上に凸状構造 PR が設けられている。複数の凸状構造 PR は、第2実施形態の凸状構造 PT (図9参照)と同様に、第3平坦化層 $LL3$ の上に有機レジストをパターニングすることで形成できる。

【0128】

反射層 R_F 、画素電極 PE 及び第1配向膜 $AL1$ は、第3平坦化層 $LL3$ 及び複数の凸状構造 PR の上に設けられる。これにより、反射層 R_F の表面にも、凸状構造 PR の形状に倣って複数の凸部が形成される。

【0129】

発光表示において、発光素子 LED から出射された光 L_{e1} は、反射層 R_F に形成された凸部で拡散反射される。これにより、反射層 R_F で反射された光のうち、発光素子 LED に戻る光の成分が抑制されて、蛍光体層 F_L に入射する光の成分が増大する。したがって、第7変形例では、発光表示における蛍光体層 F_L の発光効率を向上することができる。

【0130】

反射表示において、外部から入射した光 L_{r3} は、カラーフィルタ CF の開口部を通して反射層 R_F で拡散反射される。これにより、外部からの光 L_{r3} が特定の狭い角度範囲から入射した場合であっても、反射光は広い角度範囲に散乱されて出射される。このため、表示装置 DSP の角度変化に伴う明るさの変化を抑制することができ、より観察しやすい反射表示が得られる。

【0131】

なお、第4実施形態及び第5変形例から第7変形例においても、第2実施形態、第3実施形態及び第1変形例から第4変形例の構成を適用することができる。また、第5変形例の構成と、第6変形例又は第7変形例の構成とを組み合わせてもよい。なお、第4実施形態及び第5変形例から第7変形例において、アノード電極 AD の下に凸状構造 PT が設けられていなくてもよい。

【0132】

(第5実施形態)

図18は、第5実施形態に係る表示装置の、複数の画素を示す平面図である。図19は、図18における $XIX-XIX'$ 断面図である。図18に示すように、第5実施形態において、1つの画素 Pix は、第1反射表示画素 $RPx1$ 、第1発光表示画素 $EPx1$ 、第2発光表示画素 $EPx2$ 及び第3発光表示画素 $EPx3$ に加えて、第2反射表示画素 R

P x 2 及び第 3 反射表示画素 R P x 3 を有する。つまり、画素 P i x は、複数の発光表示画素 E P x 及び複数の反射表示画素 R P x を有し、例えば、6 つの画素を含む。ただし、画素 P i x は、7 つ以上の画素を有していてもよい。

【0133】

第 1 反射表示画素 R P x 1、第 2 反射表示画素 R P x 2 及び第 3 反射表示画素 R P x 3 は、第 1 方向 D x に配列される。第 1 発光表示画素 E P x 1、第 2 発光表示画素 E P x 2 及び第 3 発光表示画素 E P x 3 も、第 1 方向 D x に配列される。また、第 1 反射表示画素 R P x 1 と第 1 発光表示画素 E P x 1 とは、第 2 方向 D y に並ぶ。第 2 反射表示画素 R P x 2 と第 2 発光表示画素 E P x 2 とは、第 2 方向 D y に並ぶ。第 3 反射表示画素 R P x 3 と第 3 発光表示画素 E P x 3 とは、第 2 方向 D y に並ぶ。

10

【0134】

第 1 反射表示画素 R P x 1、第 2 反射表示画素 R P x 2 及び第 3 反射表示画素 R P x 3 には、それぞれ、金属電極 M E 及び画素電極 P E が設けられている。第 1 反射表示画素 R P x 1、第 2 反射表示画素 R P x 2 及び第 3 反射表示画素 R P x 3 には、それぞれ赤色カラーフィルタ R C F、緑色カラーフィルタ G C F、青色カラーフィルタ B C F が設けられている。これにより、第 1 反射表示画素 R P x 1、第 2 反射表示画素 R P x 2 及び第 3 反射表示画素 R P x 3 は、それぞれ赤色、緑色、青色の光を表示する。これにより、第 5 実施形態の表示装置 D S P は、反射表示においてカラー表示を実現できる。

【0135】

第 1 発光表示画素 E P x 1、第 2 発光表示画素 E P x 2 及び第 3 発光表示画素 E P x 3 には、それぞれ、赤色発光素子 R L E D、緑色発光素子 G L E D、青色発光素子 B L E D が設けられる。赤色発光素子 R L E D、緑色発光素子 G L E D、青色発光素子 B L E D には、それぞれアノード電極 A D が接続される。

20

【0136】

第 1 反射表示画素 R P x 1 の画素電極 P E は、第 1 反射表示画素 R P x 1 の金属電極 M E、第 1 発光表示画素 E P x 1 の赤色発光素子 R L E D 及びこれに接続されたアノード電極 A D に重なって連続して設けられる。同様に、第 2 反射表示画素 R P x 2 の画素電極 P E は、第 2 反射表示画素 R P x 2 の金属電極 M E、第 2 発光表示画素 E P x 2 の緑色発光素子 G L E D 及びこれに接続されたアノード電極 A D に重なって連続して設けられる。第 3 反射表示画素 R P x 3 の画素電極 P E は、第 3 反射表示画素 R P x 3 の金属電極 M E、第 3 発光表示画素 E P x 3 の青色発光素子 B L E D 及びこれに接続されたアノード電極 A D に重なって連続して設けられる。

30

【0137】

これにより、第 1 発光表示画素 E P x 1、第 2 発光表示画素 E P x 2 及び第 3 発光表示画素 E P x 3 のアノード電極 A D は、それぞれ、第 1 反射表示画素 R P x 1、第 2 反射表示画素 R P x 2 及び第 3 反射表示画素 R P x 3 の反射電極として機能する。これにより、反射表示においてカラー表示を行う場合であっても、反射率の低下を抑制することができる。

【0138】

図 19 は、第 1 反射表示画素 R P x 1 及び第 1 発光表示画素 E P x 1 の断面構造を示す。ただし、第 2 反射表示画素 R P x 2 及び第 3 反射表示画素 R P x 3 は第 1 反射表示画素 R P x 1 と同様の構成である。また、第 2 発光表示画素 E P x 2 及び第 3 発光表示画素 E P x 3 は、第 1 発光表示画素 E P x 1 と同様の構成である。

40

【0139】

図 19 に示すように、第 1 反射表示画素 R P x 1 及び第 1 発光表示画素 E P x 1 は、図 9 に示す第 2 実施形態と同様の構成である。ただし、これに限定されず、第 1 実施形態から第 5 実施形態及び各変形例の構成を適用することもできる。

【0140】

本実施形態において、カラーフィルタ C F（赤色カラーフィルタ R C F）は、第 2 基板 S U 2 の、第 1 基板 S U 1 と対向する面に設けられる。カラーフィルタ C F の上にオーバ

50

ーコート層OC、第2共通電極CE2、第2配向膜AL2の順に積層される。カラーフィルタCFは、第1反射表示画素RPx1の一部を覆うのみで第1反射表示画素RPx1の全面には設けられていない。つまり、カラーフィルタCFの面積は、カラーフィルタCFと重なる金属電極MEの面積よりも小さい。

【0141】

これにより、光Lr2はカラーフィルタCFを通過して金属電極MEに入射する。そして、金属電極MEで反射された光Lr2のうち一部の成分は、カラーフィルタCFを通過しないで第2基板SU2側の外部に出射される。これにより、表示装置DSPは、反射表示画素RPxの反射表示における反射率を確保できる。この際、カラーフィルタCFが設けられた部分のカラー表示と、カラーフィルタCFが設けられていない部分の高反射率の白表示とが加法混色されて、高反射率のカラー表示を実現できる。

10

【0142】

以上のように、第5実施形態では、第1反射表示画素RPx1、第2反射表示画素RPx2及び第3反射表示画素RPx3を有することで、反射表示もカラー表示とすることができる。これにより、表示装置DSPは、主に高照度での色純度を向上することができる。

【0143】

なお、図18に示す複数の反射表示画素RPx及び複数の発光表示画素EPxの配置は、あくまで一例であり、適宜変更することができる。また、図18は模式的に示した平面図であり、金属電極ME、画素電極PE、カラーフィルタCF、アノード電極AD、発光素子LEDの平面視での形状は、矩形状に限定されず、円形状、多角形状等、他の形状でもよい。また、第5実施形態においても、上述した第1実施形態から第4実施形態及び第1変形例から第7変形例の構成を適用することができる。

20

【0144】

以上、本発明の好適な実施の形態を説明したが、本発明はこのような実施の形態に限定されるものではない。実施の形態で開示された内容はあくまで一例にすぎず、本発明の趣旨を逸脱しない範囲で種々の変更が可能である。本発明の趣旨を逸脱しない範囲で行われた適宜の変更についても、当然に本発明の技術的範囲に属する。上述した各実施形態及び各変形例の要旨を逸脱しない範囲で、構成要素の種々の省略、置換及び変更のうち少なくとも1つを行うことができる。

30

【符号の説明】

【0145】

AD アノード電極
ADa アノード電極底部
ADb アノード電極傾斜部
CC 導電性接続部材
CD カソード電極
CE1 第1共通電極
CE2 第2共通電極
CF カラーフィルタ
CH1、CH2、CH3、CH4 コンタクトホール
CL、CLL 接続層
DSP 表示装置
DRT、DTRL 駆動トランジスタ
EPx 発光表示画素
EPx1 第1発光表示画素
EPx2 第2発光表示画素
EPx3 第3発光表示画素
FL 蛍光体層
FL1 第1蛍光体層

40

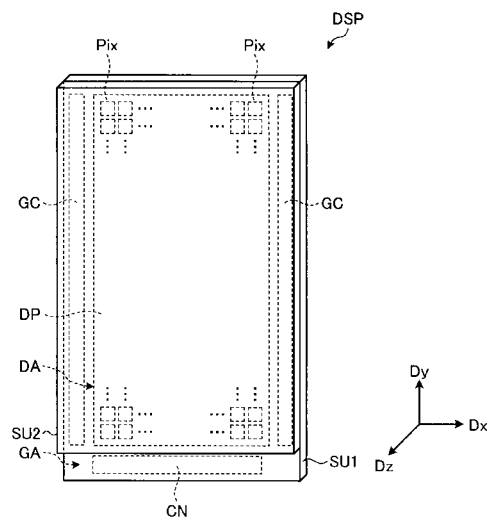
50

F L 2 第 2 蛍光体層
 L C 液晶層
 L E D 発光素子
 L L 1 第 1 平坦化層
 L L 2 第 2 平坦化層
 L P L 光取出し層
 L P L a 側部
 L P L b 傾斜部
 L P L c 延出部
 L P L d 頂部
 M E 金属電極
 P i x、P x 画素
 P T、P R 凸状構造
 R P x 1 第 1 反射表示画素
 R P x 2 第 2 反射表示画素
 R P x 3 第 3 反射表示画素
 S U 1 第 1 基板
 S U 2 第 2 基板
 S U L E D 発光素子基板
 W L 壁状構造

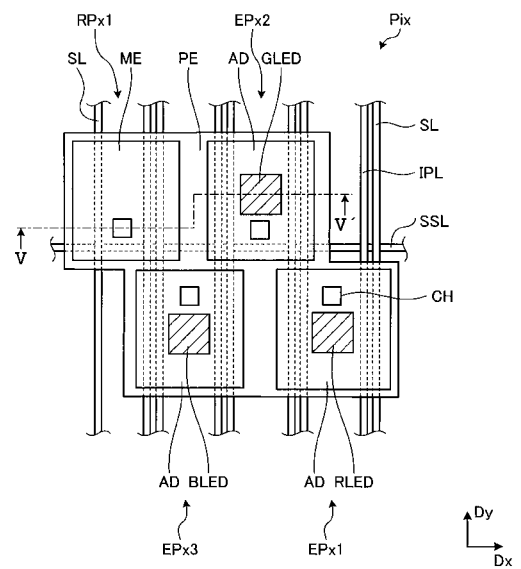
10

20

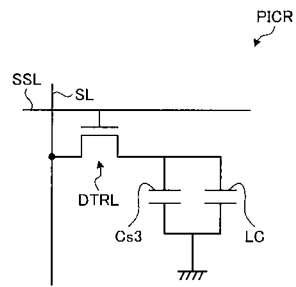
【図 1】



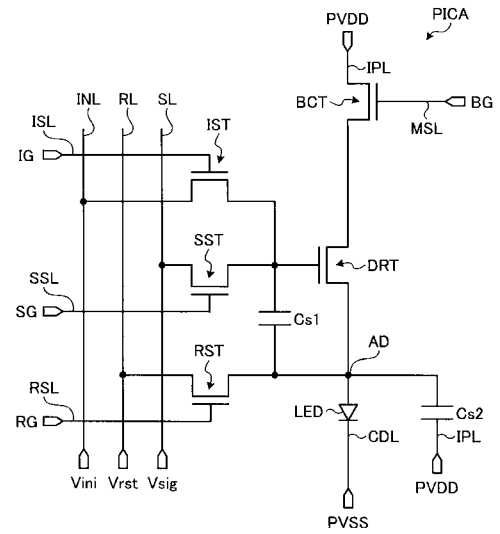
【図 2】



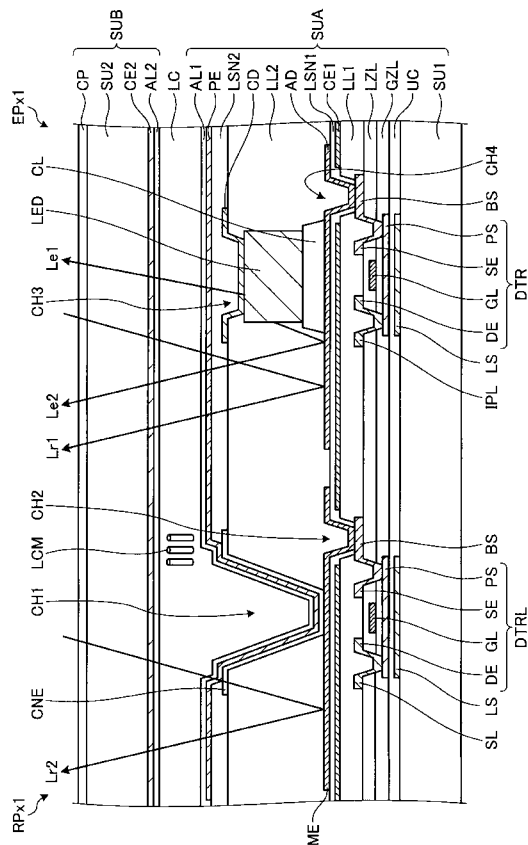
【図 3】



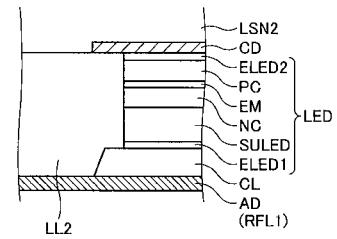
【図 4】



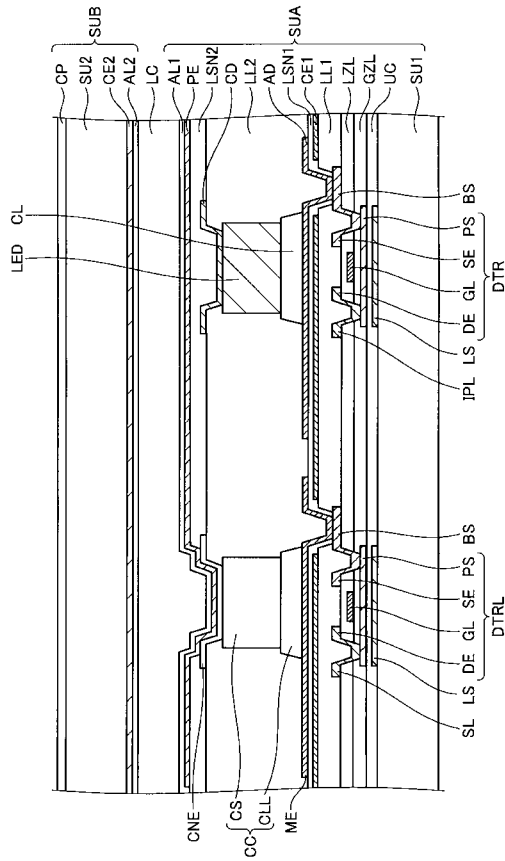
【図 5】



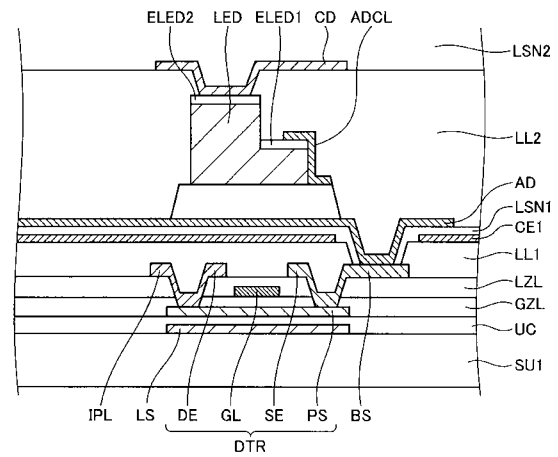
【図 6】



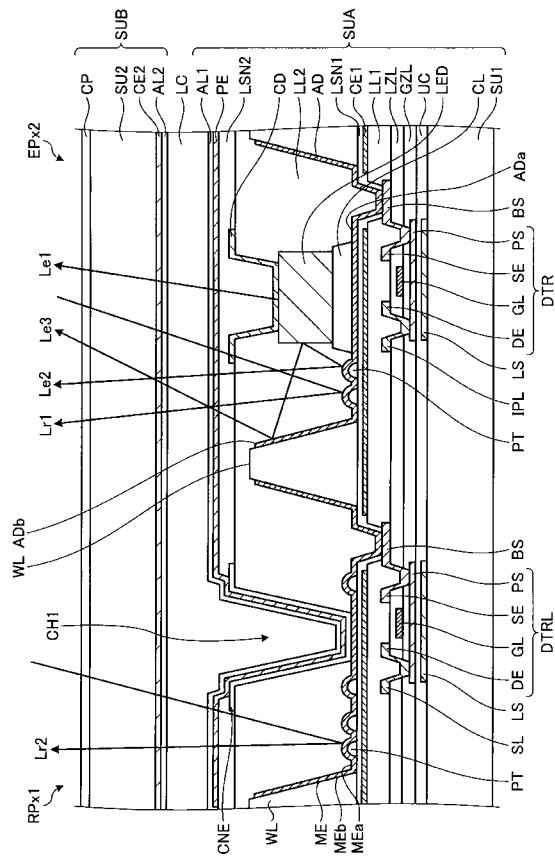
【図 7】



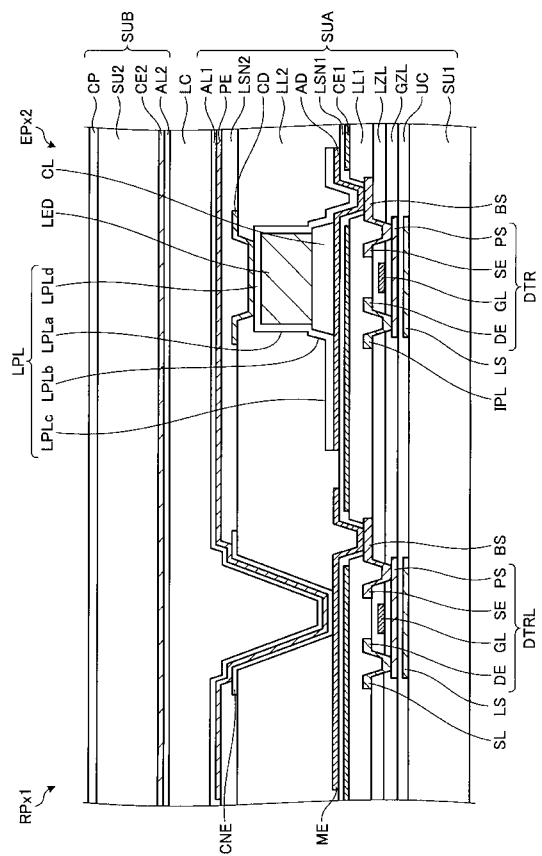
【図 8】



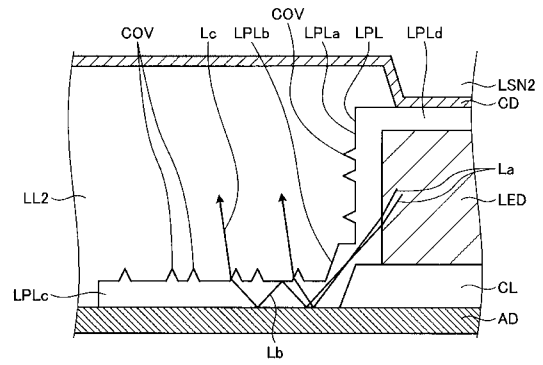
【図 9】



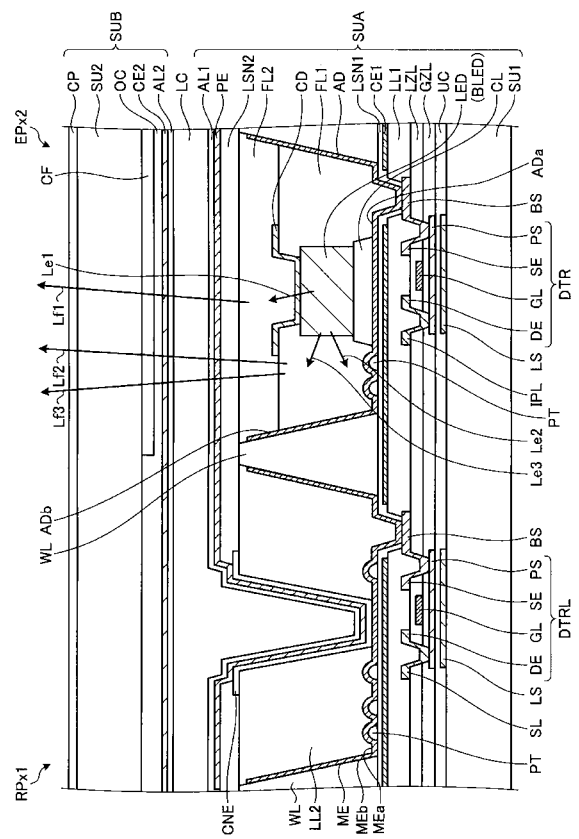
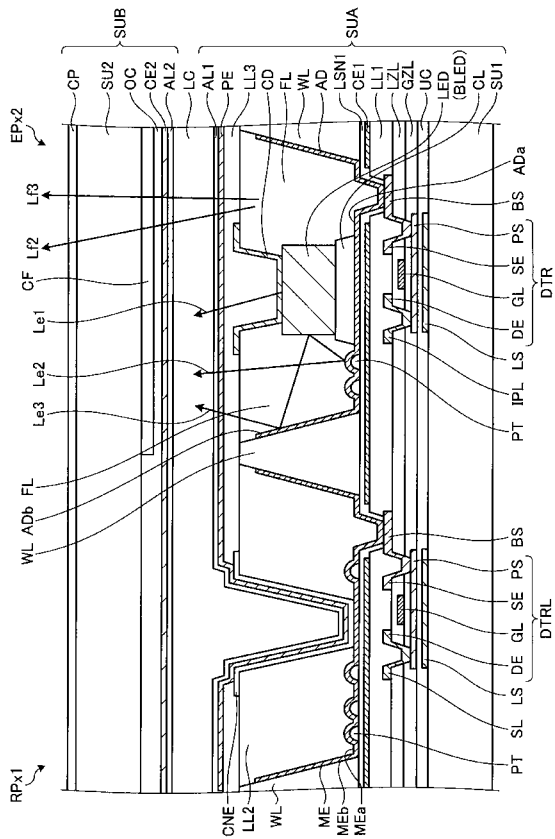
【図 10】



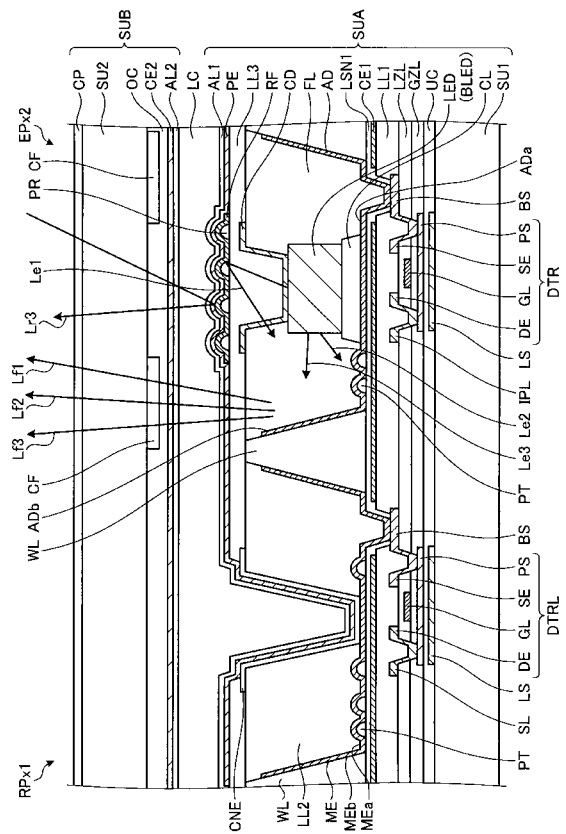
【 図 1 3 】



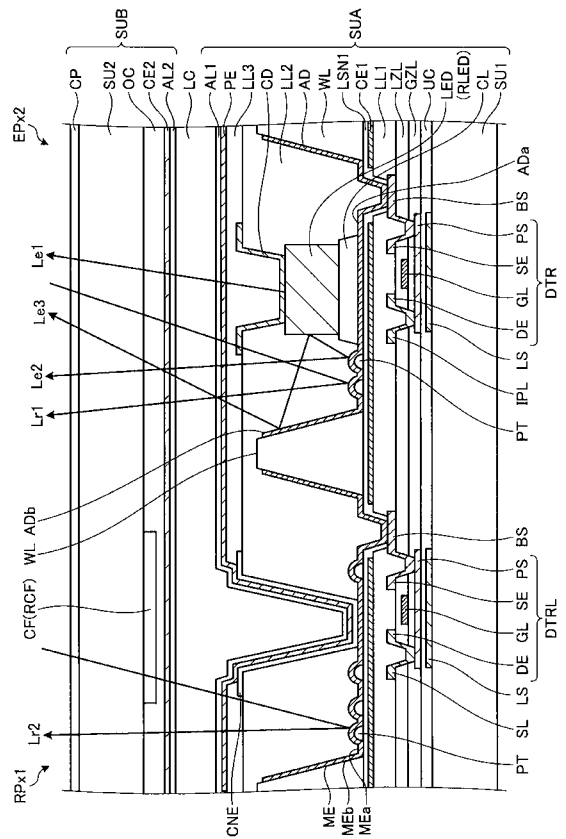
【図 15】



【図 17】



【図 19】



フロントページの続き

(51)Int.Cl. F I テーマコード (参考)
H 0 1 L 33/62 (2010.01) H O 1 L 33/62

Fターム(参考) 5C094 AA10 AA37 BA03 BA27 BA43 CA19 DA03 DA13 EA04 EA06
EA07 ED03 FA01 FA02 FA04 FB02 FB15 FB20
5F142 AA01 BA32 CA13 CB14 CB23 CD02 CD32 CE04 CE06 CE08
CE13 CE32 DA14 DA23 DA36 DB02 DB20 DB24 DB42 EA02
EA10 EA18 EA34 FA03 FA30 FA34 GA02

专利名称(译)	显示装置		
公开(公告)号	JP2020085939A	公开(公告)日	2020-06-04
申请号	JP2018214928	申请日	2018-11-15
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	伊東理 池田雅延		
发明人	伊東 理 池田 雅延		
IPC分类号	G09F9/46 G09F9/33 G02F1/1333 G02F1/1335 H01L33/00 H01L33/62		
CPC分类号	G02F1/1333 G02F1/1335 G09F9/33 G09F9/46 H01L33/00 H01L33/62		
FI分类号	G09F9/46.Z G09F9/33 G02F1/1333 G02F1/1335.520 H01L33/00.L H01L33/62		
F-TERM分类号	2H189/AA27 2H189/AA31 2H189/JA10 2H189/LA03 2H189/LA05 2H189/LA06 2H189/LA10 2H189/LA14 2H189/LA19 2H291/FA02Y 2H291/FA31Y 2H291/FA45Y 2H291/FD04 2H291/GA04 2H291/GA08 2H291/GA10 2H291/GA19 2H291/NA43 2H291/NA48 5C094/AA10 5C094/AA37 5C094/BA03 5C094/BA27 5C094/BA43 5C094/CA19 5C094/DA03 5C094/DA13 5C094/EA04 5C094/EA06 5C094/EA07 5C094/ED03 5C094/FA01 5C094/FA02 5C094/FA04 5C094/FB02 5C094/FB15 5C094/FB20 5F142/AA01 5F142/BA32 5F142/CA13 5F142/CB14 5F142/CB23 5F142/CD02 5F142/CD32 5F142/CE04 5F142/CE06 5F142/CE08 5F142/CE13 5F142/CE32 5F142/DA14 5F142/DA23 5F142/DA36 5F142/DB02 5F142/DB20 5F142/DB24 5F142/DB42 5F142/EA02 5F142/EA10 5F142/EA18 5F142/EA34 5F142/FA03 5F142/FA30 5F142/FA34 5F142/GA02		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种显示装置，该显示装置能够满足通过反射光显示的反射显示性能和通过发光元件的发光显示性能两者。显示装置包括第一基板SU1，面对第一基板的第二基板SU2，设置在第一基板和第二基板之间的无机发光元件LED以及阳极AD。第一晶体管DTR经由覆盖无机发光元件的绝缘层LSN2，设置在第一基板和第二基板之间的液晶层LC以及液晶层电连接至无机发光元件。彼此面对的像素电极PE和公共电极CE2夹在第一基板的一个表面上的第一晶体管，阳极，无机发光元件，绝缘层，像素电极，液晶层，公共电极和第一电极之间。按此顺序堆叠两个基板。[选择图]图5

