

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-13139

(P2020-13139A)

(43) 公開日 令和2年1月23日(2020.1.23)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H192
G09G 3/20 (2006.01)	G09G 3/20 611A	2H193
G02F 1/1368 (2006.01)	G09G 3/20 622D	5C006
G02F 1/133 (2006.01)	G09G 3/20 621A	5C080
	G09G 3/20 611G	
審査請求 有 請求項の数 2 O L (全 49 頁) 最終頁に続く		

(21) 出願番号	特願2019-153889 (P2019-153889)	(71) 出願人	000153878
(22) 出願日	令和1年8月26日 (2019.8.26)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2017-96420 (P2017-96420)		神奈川県厚木市長谷398番地
	の分割	(72) 発明者	山崎 舜平
原出願日	平成23年4月27日 (2011.4.27)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2010-104441 (P2010-104441)		半導体エネルギー研究所内
(32) 優先日	平成22年4月28日 (2010.4.28)	(72) 発明者	小山 潤
(33) 優先権主張国・地域又は機関	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		Fターム(参考)	2H192 AA24 BC31 CB02 CB05 CB06
			CB37 CB71 CB83 DA15 DA43
			DA52 EA42 EA54 EA56 EA67
			FB03 FB05 GD03 GD47 GD61
			JA06 JA07 JA13 JA17 JA23
			JA25 JA33 JA53 JA62
			最終頁に続く

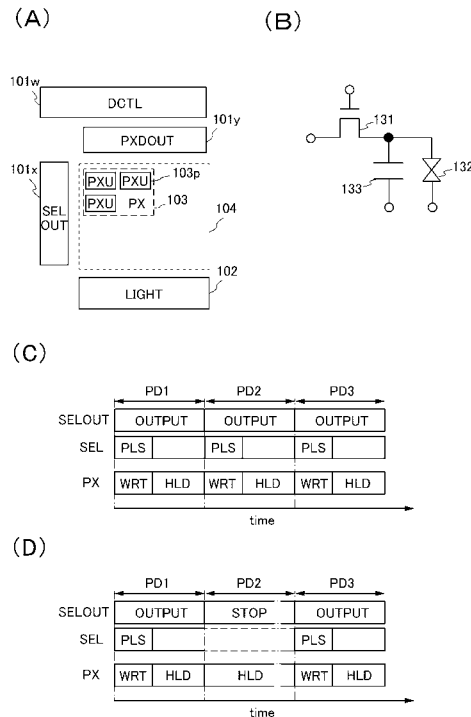
(54) 【発明の名称】 液晶表示装置

(57) 【要約】 (修正有)

【課題】消費電力を低減する。

【解決手段】画素部を含み、第1の動作モードのときに選択信号を出力し、第2の動作モードのときに選択信号の出力が停止する選択信号出力回路101xと、入力された画像信号をもとに画素データ信号を生成して出力する画素データ信号出力回路101yと、冷陰極管を備え、画素部に光を射出するバックライトユニット102と、を具備し、画素部は、第1の動作モードのときに、ゲート電極に選択信号が入力され、ソース電極及びドレイン電極の一方に画素データ信号が入力され、第2の動作モードのときにオフ状態を維持するトランジスタ131と、トランジスタ131のソース電極及びドレイン電極の他方に電気的に接続される第1の電極及び第2の電極により電圧が印加される複数の液晶分子を有する液晶と、を備え、トランジスタは、チャネルが形成され、キャリア濃度が $1 \times 10^{14} / \text{cm}^3$ 未満である酸化物半導体層を含む。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

画素部と、バックライトユニットと、選択信号出力回路と、を有し、
前記画素部に画像が表示されている状態を維持しつつ、前記選択信号出力回路からの選択信号の出力を停止する機能を有し、
前記画素部は、第 1 のトランジスタと、画素電極と、を有し、
前記選択信号出力回路は、前記選択信号の出力を制御する機能を有する第 2 のトランジスタを有し、
前記第 2 のトランジスタのソース又はドレインの一方は、複数のクロック信号のうち一のクロック信号が入力され、
前記第 2 のトランジスタのソース又はドレインの他方は、前記画素部に電氣的に接続され、
前記第 1 のトランジスタは、第 1 の酸化物半導体層を有し、
前記第 2 のトランジスタは、第 2 の酸化物半導体層を有し、
前記選択信号は、前記第 1 のトランジスタのゲートに入力され、
前記選択信号出力回路からの前記選択信号の出力の停止は、
前記選択信号出力回路へのスタートパルス信号の入力が停止される第 1 の動作と、
前記第 1 の動作の後、前記選択信号出力回路への前記複数のクロック信号の入力が順に停止される第 2 の動作と、
前記第 2 の動作の後、前記選択信号出力回路への電源電圧の入力が停止される第 3 の動作と、
を経て行われることを特徴とする液晶表示装置。

10

20

【請求項 2】

画素部と、バックライトユニットと、選択信号出力回路と、を有し、
前記画素部に画像が表示されている状態を維持しつつ、前記選択信号出力回路からの選択信号の出力を停止する機能を有し、
前記画素部は、第 1 のトランジスタと、画素電極と、を有し、
前記選択信号出力回路は、前記選択信号の出力を制御する機能を有する第 2 のトランジスタを有し、
前記第 2 のトランジスタのソース又はドレインの一方は、複数のクロック信号のうち一のクロック信号が入力され、
前記第 2 のトランジスタのソース又はドレインの他方は、前記画素部に電氣的に接続され、
前記第 1 のトランジスタは、第 1 の酸化物半導体層を有し、
前記第 2 のトランジスタは、第 2 の酸化物半導体層を有し、
前記選択信号は、前記第 1 のトランジスタのゲートに入力され、
前記選択信号出力回路からの前記選択信号の出力の停止は、
前記選択信号出力回路へのスタートパルス信号の入力が停止される第 1 の動作と、
前記第 1 の動作の後、前記選択信号出力回路への前記複数のクロック信号の入力が順に停止される第 2 の動作と、
前記第 2 の動作の後、前記選択信号出力回路への電源電圧の入力が停止される第 3 の動作と、
を経て行われ、
前記選択信号出力回路からの前記選択信号の出力の再開は、
前記選択信号出力回路への電源電圧の入力が開始される第 4 の動作と、
前記第 4 の動作の後、前記選択信号出力回路への前記複数のクロック信号の入力が順に開始される第 5 の動作と、
を経て行われることを特徴とする液晶表示装置。

30

40

【発明の詳細な説明】**【技術分野】**

50

【 0 0 0 1 】

本発明の一態様は、液晶表示装置に関する。

【 背景技術 】

【 0 0 0 2 】

近年、液晶表示装置において消費電力を低減するための技術の開発が進められている。

【 0 0 0 3 】

液晶表示装置の消費電力を低減する方法の一つとしては、例えば動画表示を行うとき画素における画像の書き換えを行う間隔より静止画表示を行うときに画素における画像の書き換えを行う間隔を長くすることにより、静止画表示の際の不要な画像の書き換え動作を低減し、液晶表示装置における消費電力の低減を図る技術が挙げられる（例えば特許文献 1）。

10

【 先行技術文献 】

【 特許文献 】

【 0 0 0 4 】

【 特許文献 1 】 特開 2 0 0 5 - 2 8 3 7 7 5 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 5 】

しかしながら、上記特許文献 1 のような従来の消費電力の低減方法は、静止画表示のときの画素における画像の書き換えの間隔が短いため、消費電力を十分に低減することができるとはいえない。

20

【 0 0 0 6 】

また、上記液晶表示装置は、温度変化により表示画像の輝度が変化してしまい、静止画を表示する場合であっても、時間が経過するに従って徐々に輝度の変化が大きくなり、表示品位が低下してしまうため、書き換えの間隔を長くすることは困難である。例えば、温度変化に伴う画素に設けられたトランジスタのオフ電流の上昇により、表示画像の輝度が変化する。

【 0 0 0 7 】

上記液晶表示装置の温度変化は、例えばバックライトユニットからの発光により発生する熱に起因する。例えば、冷陰極管を光源として用いたバックライトユニットは、例えば L E D (L i g h t E m i t t i n g D i o d e) を光源として用いたバックライトユニットと比較して、発光効率が高く、大面積の液晶表示装置への適用が容易である。しかし、冷陰極管を光源として用いたバックライトユニットは、発熱量が大きいため、液晶表示装置の温度変化が著しくなる。よって、冷陰極管を光源として用いたバックライトユニットを具備する液晶表示装置において、表示品位を低下させることなく、画素における画像の書き換えの間隔を長くすることは困難であり、消費電力を十分に低減することができない。また、フルカラー表示の液晶表示装置の場合、一つの画素は、複数の単位画素を備えるため、同じ画素数であるモノクロ表示の液晶表示装置と比較して表示品位の変化の影響を受けやすい。このことから、画素における画像の書き換えの間隔を長くすることは困難であり、消費電力を十分に低減することができないといえる。

30

40

【 0 0 0 8 】

本発明の一態様では、液晶表示装置の消費電力を低減することを課題の一つとする。

【 課題を解決するための手段 】

【 0 0 0 9 】

本発明の一態様は、動作モードとして第 1 の動作モード及び第 2 の動作モードを有し、第 1 の動作モードのときに画素データを書き込む画素を選択する選択信号を出力する回路から選択信号を出力させ、第 2 の動作モードのときに画素データを書き込む画素を選択する選択信号を出力する回路の動作を停止させるものである。

【 0 0 1 0 】

本発明の一態様は、画素部を含み、第 1 の動作モードのときに選択信号を出力し、第 2 の

50

動作モードのときに選択信号の出力が停止する選択信号出力回路と、画像信号が入力され、入力された画像信号をもとに画素データ信号を生成して出力する画素データ信号出力回路と、光源として冷陰極管を備え、画素部に光を射出するバックライトユニットと、を具備し、画素部は、ソース電極、ドレイン電極、及びゲート電極を有し、第1の動作モードのときに、ゲート電極に選択信号が入力され、ソース電極及びドレイン電極の一方に画素データ信号が入力され、第2の動作モードのときにオフ状態を維持するトランジスタと、トランジスタのソース電極及びドレイン電極の他方に電氣的に接続される第1の電極と、第2の電極と、第1の電極及び第2の電極を介して電圧が印加される複数の液晶分子を有する液晶と、を備え、トランジスタは、チャンネルが形成される層として、キャリア濃度が $1 \times 10^{14} / \text{cm}^3$ 未満である酸化物半導体層を含む液晶表示装置である。

10

【0011】

本発明の一態様は、画素部を含み、第1の動作モードのときにX個(Xは自然数)の選択信号を出力し、第2の動作モードのときにX個の選択信号の出力が停止する選択信号出力回路と、画像信号が入力され、入力された画像信号をもとにY個(Yは自然数)の画素データ信号を生成して出力する画素データ信号出力回路と、冷陰極管を備え、画素部に光を射出するバックライトユニットと、を具備し、画素部は、それぞれがソース電極、ドレイン電極、及びゲート電極を有し、第1の動作モードのときに、それぞれのゲート電極に1個の選択信号が入力され、それぞれのソース電極及びドレイン電極の一方に1個の画素データ信号が入力され、第2の動作モードのときに、それぞれがオフ状態を維持するN個(Nは3以上の自然数)のトランジスタと、それぞれが、N個のトランジスタのうち、互いに異なるトランジスタのソース電極及びドレイン電極の他方に電氣的に接続されるN個の第1の電極と、第2の電極と、N個の第1の電極のそれぞれ及び第2の電極を介して電圧が印加される複数の液晶分子を有する液晶と、それぞれ、N個の第1の電極のうち、互いに異なる第1の電極に重畳するK個(Kは3以上N以下の自然数)のカラーフィルタと、を備え、N個のトランジスタのそれぞれは、チャンネルが形成される層として、キャリア濃度が $1 \times 10^{14} / \text{cm}^3$ 未満である酸化物半導体層を含む液晶表示装置である。

20

【発明の効果】

【0012】

本発明の一態様により、必要に応じて画像の書き換えの間隔を長くすることができるため、消費電力を低減することができる。例えば、冷陰極管を備えたバックライトユニットを具備する液晶表示装置の場合であっても、必要に応じて画像の書き換えの間隔を長くすることができるため、消費電力を低減することができる。

30

【図面の簡単な説明】

【0013】

【図1】実施の形態1における液晶表示装置を説明するための図。

【図2】実施の形態2における制御信号生成回路の構成例を示すブロック図。

【図3】実施の形態3におけるシフトレジスタの構成例を説明するための図。

【図4】実施の形態3におけるシフトレジスタの動作例を説明するためのタイミングチャート。

【図5】実施の形態4におけるトランジスタの構造例を説明するための断面模式図。

40

【図6】実施の形態4におけるトランジスタの作製方法を説明するための断面模式図。

【図7】実施の形態4におけるトランジスタの作製方法を説明するための断面模式図。

【図8】特性評価回路の構成を示す回路図。

【図9】図8に示す特性評価回路を用いたリーク電流測定方法を説明するためのタイミングチャート。

【図10】条件4、条件5、及び条件6における測定に係る経過時間Timeと、出力電圧Voutとの関係を示す図。

【図11】測定に係る経過時間Timeと、該測定によって算出されたリーク電流との関係を示す図。

【図12】測定により見積もられたノードAの電圧とリーク電流の関係を示す図。

50

【図 1 3】測定により見積もられたノード A の電圧とリーク電流の関係を示す図。

【図 1 4】測定により見積もられたノード A の電圧とリーク電流の関係を示す図。

【図 1 5】測定により見積もられたノード A の電圧とリーク電流の関係を示す図。

【図 1 6】実施の形態 5 の単位画素におけるアクティブマトリクス基板の構造例を示す図

。

【図 1 7】実施の形態 5 における単位画素の構造例を示す図。

【図 1 8】実施の形態 6 におけるバックライトユニットの構成例を示す模式図。

【図 1 9】実施の形態 7 における電子機器の構成例を示す模式図。

【図 2 0】実施の形態 7 における電子機器の構成例を示す模式図。

【発明を実施するための形態】

10

【0014】

本発明を説明するための実施の形態の一例について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではないものとする。

【0015】

なお、各実施の形態の内容を互いに適宜組み合わせることができる。また、各実施の形態の内容を互いに適宜置き換えることができる。

【0016】

また、本明細書にて用いる「第 k (k は自然数)」という用語は、構成要素の混同を避けるために付したものであり、数的に限定するものではない。

20

【0017】

(実施の形態 1)

本実施の形態では、選択的に書き換え動作を停止させることが可能な液晶表示装置について説明する。

【0018】

本実施の形態の液晶表示装置の一例について、図 1 を用いて説明する。図 1 は、本実施の形態における液晶表示装置の一例を説明するための図である。

【0019】

まず、本実施の形態の液晶表示装置の構成例について、図 1 (A) を用いて説明する。図 1 (A) は、本実施の形態における液晶表示装置の構成の一例を示すブロック図である。

30

【0020】

図 1 (A) に示す液晶表示装置は、選択信号出力回路 (SEL OUT とともいう) $101x$ と、画素データ信号出力回路 (PX DOUT とともいう) $101y$ と、バックライトユニット (LIGHT とともいう) 102 と、画素 (PX とともいう) 103 と、を具備する。

【0021】

選択信号出力回路 $101x$ は、 X 個 (X は自然数) の選択信号 SEL を出力する機能を有する。選択信号出力回路 $101x$ は、例えばスタート信号、クロック信号、及び電源電圧が入力されることにより X 個の選択信号 SEL の出力動作を行う。例えば、選択信号出力回路 $101x$ を、シフトレジスタを備える構成とし、該シフトレジスタにスタート信号、クロック信号、及び電源電圧を入力し、該シフトレジスタにより選択信号 SEL となるパルス信号を出力させることにより、 X 個の選択信号 SEL を出力することができる。

40

【0022】

なお、一般的に電圧とは、ある二点間における電位の差 (電位差ともいう) のことをいう。しかし、電圧及び電位の値は、回路図などにおいていずれもボルト (V) で表されることがあるため、区別が困難である。そこで、本明細書では、特に指定する場合を除き、ある一点の電位と基準となる電位 (基準電位ともいう) との電位差を、該一点の電圧として用いる場合がある。

【0023】

50

画素データ信号出力回路 101y には、画像信号 IMG が入力される。画素データ信号出力回路 101y は、入力された画像信号 IMG を元に Y 個 (Y は自然数) の画素データ信号 P X D を生成し、生成した Y 個の画素データ信号 P X D を出力する機能を有する。画素データ信号出力回路 101y は、例えばスタート信号、クロック信号、及び電源電圧が入力されることにより画素データ信号 P X D の出力動作を行う。例えば、画素データ信号出力回路 101y を、シフトレジスタ、記憶回路、及びアナログスイッチを備える構成とする。さらに、上記シフトレジスタにスタート信号、クロック信号、及び電源電圧が入力され、該シフトレジスタによりパルス信号を出力させ、パルス信号に従って画像信号 IMG のデータを記憶回路に記憶し、アナログスイッチをオン状態にする。これにより、画素データ信号出力回路 101y は、記憶した画像信号 IMG のデータを Y 個の画素データ信号 P X D として出力することができる。

【0024】

なお、図 1 (A) に示すように、表示制御回路 (D C T L とともいう) 101w を用いることにより、選択信号出力回路 101x 及び画素データ信号出力回路 101y の動作を制御することもできる。なお、表示制御回路 101w は、必ずしも設けなくてもよい。

【0025】

表示制御回路 101w は、選択信号出力回路 101x 及び画素データ信号出力回路 101y にスタート信号、クロック信号、及び電源電圧を出力するか否かを制御する機能を有する。また、表示制御回路 101w は、画像信号 IMG を画素データ信号出力回路 101y に出力するか否かを制御する機能を有していてもよい。例えば、表示制御回路 101w は、制御信号が入力されることにより、入力された制御信号に従って、スタート信号、クロック信号、及び電源電圧、又は画像信号 IMG、スタート信号、クロック信号、及び電源電圧を出力する。

【0026】

制御信号は、例えば入力される画像信号 IMG 又は使用者による命令信号に従って生成される。画像信号 IMG に従って制御信号を生成する場合、例えば連続するフレーム期間毎に画像信号 IMG のデータを比較し、比較結果に応じてパルスが設定された制御信号を生成することができる。また、命令信号に従って制御信号を生成する場合、例えば使用者による入力装置 (例えばキーボード又はポインティングデバイス (例えばマウス又はタッチパネルなど)) からの入力を検出し、使用者による入力操作の有無に従ってパルスが設定された制御信号を生成することができる。

【0027】

バックライトユニット 102 は、光源を備えた発光ユニットである。バックライトユニット 102 は、光源として冷陰極管を備え、光を射出する機能を有する。なお、バックライトユニット 102 に光制御回路を設け、該光制御回路により、射出する光の輝度又は光の点灯タイミングを制御してもよい。

【0028】

画素 103 は、画素部 104 に設けられる。画素部 104 は、入力される画素データ信号 P X D に応じて表示が行われる領域である。なお、本実施の形態の液晶表示装置では、画素 103 を複数具備する構成にしてもよい。

【0029】

ここで、画素部 104 の構成例について説明する。

【0030】

画素 103 は、N 個 (N は 3 以上の自然数) の単位画素 (P X U とともいう) 103p により構成される。また、N 個のトランジスタと、N 個の第 1 の電極として N 個の画素電極と、第 2 の電極として共通電極と、液晶と、K 個 (K は 3 以上 N 以下の自然数) のカラーフィルタと、を含み、N 個のトランジスタ、N 個の第 1 の電極、第 2 の電極、液晶、及び K 個のカラーフィルタを用いて、N 個の単位画素 103p が構成される。なお、画素 103 における N 個の単位画素の数は、N 個に限定されず、少なくとも一つの単位画素を有していればよく、このとき画素 103 に入力される画素データ信号の数も少なくとも一つであ

10

20

30

40

50

ればよい。

【0031】

なお、液晶表示装置において、トランジスタは、電界効果トランジスタであり、特に指定する場合を除き、ソース電極、ドレイン電極、及びゲート電極を少なくとも有する。

【0032】

N個のトランジスタのそれぞれのゲート電極には、1個の選択信号SELが入力され、N個のトランジスタのそれぞれのソース電極及びドレイン電極の一方には、1個の画素データ信号PXDが入力される。なお、Xが2以上の場合には、少なくとも2個以上のトランジスタのゲート電極に互いに異なる選択信号SELが入力されてもよく、また、少なくとも2個以上のトランジスタのゲート電極に同じ選択信号SELが入力されてもよい。また、Yが2以上の場合には、2個以上のトランジスタのソース及びドレインの一方に互いに異なる画素データ信号PXDが入力されてもよく、また、2個以上のトランジスタのソース及びドレインの一方に同じ画素データ信号PXDが入力されてもよい。

10

【0033】

N個のトランジスタのそれぞれとしては、キャリアの数が極めて少ない半導体層を含むトランジスタを用いることができ、例えば酸化物半導体層を含むトランジスタを用いることができる。上記酸化物半導体層は、チャネルが形成される層（チャネル形成層ともいう）としての機能を有する。また、上記酸化物半導体層は、真性（I型ともいう）、又は実質的に真性である半導体層であり、キャリアの数が極めて少なく、キャリア濃度は、 $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満である。

20

【0034】

また、チャネル形成層としての機能を有する上記酸化物半導体層を含むトランジスタのオフ電流は、チャネル幅 $1 \mu\text{m}$ あたり 10 aA ($1 \times 10^{-17} \text{ A}$) 以下、好ましくはチャネル幅 $1 \mu\text{m}$ あたり 1 aA ($1 \times 10^{-18} \text{ A}$) 以下、さらには好ましくはチャネル幅 $1 \mu\text{m}$ あたり 10 zA ($1 \times 10^{-20} \text{ A}$) 以下、さらに好ましくはチャネル幅 $1 \mu\text{m}$ あたり 1 zA ($1 \times 10^{-21} \text{ A}$) 以下、さらに好ましくはチャネル幅 $1 \mu\text{m}$ あたり 100 yA ($1 \times 10^{-22} \text{ A}$) 以下である。

【0035】

また、上記酸化物半導体層は、キャリア濃度が低いため、該酸化物半導体層を含むトランジスタは、温度が変化した場合であっても、オフ電流は、上記の値の範囲内である。例えばトランジスタの温度が 150°C であっても、トランジスタのオフ電流は、チャネル幅 $1 \mu\text{m}$ あたり 100 zA 以下であることが好ましい。

30

【0036】

上記トランジスタを画素103のトランジスタに用いることにより、トランジスタのオフ電流に起因する画素の表示状態の変動を抑制することができるため、一回の画素データの書き込みに対応する単位画素の保持期間を長くすることができる。そのため、画素データの書き込みの間隔を長くすることができる。例えば、画素データの書き込みの間隔を10秒以上、好ましくは30秒以上、さらに好ましくは1分以上にすることもできる。また、画素データを書き込まないときには、画素データを書き込む際に動作させる回路を停止させることができるため、画素データを書き込む間隔を長くすればするほど、より消費電力を低減することができる。

40

【0037】

N個の画素電極のそれぞれは、N個のトランジスタのうち、互いに異なるトランジスタのソース電極及びドレイン電極の他方に電気的に接続される。なお、N個の画素電極及び共通電極は、透光性を有していてもよい。

【0038】

K個のカラーフィルタのそれぞれは、N個の画素電極のうち、互いに異なる画素電極に重畳する。例えば、K個のカラーフィルタは、少なくとも赤、緑、及び青の色を呈する光を透過するカラーフィルタを含む。また、赤、緑、及び青の色を呈する光を透過するカラー

50

フィルタに限定されず、例えばシアン、マゼンタ、及びイエローなどのその他の色を呈する光を透過するカラーフィルタを適宜組み合わせる又は置き換えて用いてもよい。

【0039】

液晶は、複数の液晶分子を有する。複数の液晶分子には、N個の画素電極のそれぞれ、及び共通電極により電圧が印加される。

【0040】

また、液晶としては、例えば電気制御複屈折型液晶（ECB型液晶ともいう）、二色性色素を添加した液晶（GH液晶ともいう）、高分子分散型液晶、又はディスコチック液晶などを用いることができる。また、液晶としては、ブルー相を示す液晶を用いてもよい。ブルー相を示す液晶は、例えばブルー相を示す液晶とカイラル剤とを含む液晶組成物により構成される。ブルー相を示す液晶は、応答速度が1 msec以下と短く、光学的等方性であるため、配向処理が不要であり、視野角依存性が小さい。よって、ブルー相を示す液晶を用いることにより、動作速度を向上させることができる。

10

【0041】

例えば、図1(A)に示すように、赤に対応する単位画素103p、緑に対応する単位画素103p、及び青に対応する単位画素103pの3個の単位画素103pにより画素103を構成することができる。赤に対応する単位画素103pは、赤の色を呈する光を透過するカラーフィルタを含み、緑に対応する単位画素103pは、緑の色を呈する光を透過するカラーフィルタを含み、青に対応する単位画素103pは、青の色を呈する光を透過するカラーフィルタを含む。このとき、上記N及びKは3である。上記3色に対応する3個の単位画素103pにより画素103を構成することにより、画素103において、フルカラー表示を行うことができる。また、例えば上記3個の単位画素103pに白に対応する単位画素103pを加えた4個の単位画素103pにより画素103を構成してもよい。白に対応する単位画素103pは、カラーフィルタを含まない。このとき、上記Nは4であり、上記Kは3である。一般的に、赤、緑、及び青の加法混色により白を得る場合には、それぞれカラーフィルタにより光が減衰する。しかし、カラーフィルタを含まない単位画素103pを用いて白を生成する構成にすることにより、白に対応する単位画素103pに入射する光を、減衰させることなく表示に用いることができるため、画素103における表示輝度を向上させることができる。なお、画素103にカラーフィルタを必ずしも設けなくてもよいが、カラーフィルタを設けることによりフルカラー表示を行うことができる。

20

30

【0042】

また、図1(A)に示す液晶表示装置の表示方式としては、例えばTN(Twisted Nematic)モード、IPS(In Plane Switching)モード、STM(Super Twisted Nematic)モード、VA(Vertical Alignment)モード、ASM(Axially Symmetric Aligned Micro-cell)モード、OCB(Optically Compensated Birefringence)モード、FLC(Ferroelectric Liquid Crystal)モード、AFLC(AntiFerroelectric Liquid Crystal)モード、MVA(Multi-Domain Vertical Alignment)モード、PVA(Patterned Vertical Alignment)モード、ASV(Advanced Super View)モード、又はFFS(Fringe Field Switching)モードなどを用いてもよい。また、液晶表示装置の表示方式にフレーム期間毎に画素電極及び共通電極の間に印加される電圧の高低(極性)を反転させる駆動方法(反転駆動ともいう)を用いてもよい。反転駆動を用いることにより、画像の焼き付きを防止することができる。

40

【0043】

なお、画像とは、画素部の画素により構成される映像のことである。

【0044】

50

なお、選択信号出力回路 101x 及び画素 103 は、同一基板上に設けられていてもよい。また、選択信号出力回路 101x、画素データ信号出力回路 101y の少なくとも一部、及び画素 103 は、同一基板上に設けられていてもよい。これにより、同一工程で画素 103 と、他の回路を形成することができる。

【0045】

さらに、単位画素 103p の等価回路について、図 1 (B) を用いて説明する。図 1 (B) は、図 1 (A) に示す単位画素の等価回路を示す図である。

【0046】

図 1 (B) に示す単位画素の等価回路は、トランジスタ 131 及び液晶素子 132 により構成される。

10

【0047】

トランジスタ 131 のゲートには、選択信号 SEL が入力され、トランジスタ 131 のソース及びドレインの一方には、画素データ信号 PXD が入力される。

【0048】

液晶素子 132 は、第 1 端子及び第 2 端子を有し、液晶素子 132 の第 1 端子は、トランジスタ 131 のソース及びドレインの他方に電氣的に接続される。なお、液晶素子 132 の第 2 端子には、共通電圧が入力されてもよい。また、別途スイッチング素子を設け、該スイッチング素子がオン状態になることにより、共通電圧が液晶素子 132 の第 2 端子に入力される構成としてもよい。液晶素子 132 は、画素 103 に含まれ、第 1 端子としての機能を有する N 個の画素電極のうちの一つ、第 2 端子としての機能を有する共通電極、及び液晶により構成される。

20

【0049】

なお、ソースとは、ソース電極の一部若しくは全部、又はソース配線の一部若しくは全部のことをいう。また、ソース電極とソース配線とを区別せずにソース電極及びソース配線の両方の機能を有する導電層をソースという場合がある。

【0050】

また、ドレインとは、ドレイン電極の一部若しくは全部、又はドレイン配線の一部若しくは全部のことをいう。また、ドレイン電極とドレイン配線とを区別せずにドレイン電極及びドレイン配線の両方の機能を有する導電層をドレインという場合がある。

30

【0051】

また、ゲートとは、ゲート電極の一部若しくは全部、又はゲート配線の一部若しくは全部のことをいう。また、ゲート電極とゲート配線とを区別せずにゲート電極及びゲート配線の両方の機能を有する導電層をゲートという場合がある。

【0052】

また、トランジスタの構造や動作条件などによって、トランジスタのソースとドレインは、互いに入れ替わる場合がある。

【0053】

なお、図 1 (B) に示すように、単位画素 103p に容量素子 133 を設けてもよい。容量素子 133 は、第 1 端子及び第 2 端子を有し、容量素子 133 の第 1 端子は、トランジスタ 131 のソース及びドレインの他方に電氣的に接続され、容量素子 133 の第 2 端子には、共通電圧が入力される。また、別途スイッチング素子を設け、該スイッチング素子がオン状態になることにより、共通電圧が容量素子 133 の第 2 端子に入力される構成としてもよい。

40

【0054】

容量素子 133 は、保持容量としての機能を有し、第 1 端子の一部又は全部としての機能を有する第 1 の電極と、第 2 端子の一部又は全部としての機能を有する第 2 の電極と、誘電体と、を含む。容量素子 133 の容量は、トランジスタ 131 のオフ電流などを考慮して設定すればよい。本実施の形態では、各表示回路における液晶素子の容量（液晶容量ともいう）に対して 1/3 以下、好ましくは 1/5 以下の容量の大きさを有する保持容量を設ければ充分である。また、必ずしも容量素子 133 を設けなくてもよく、容量素子 13

50

3を設けない構成としてもよい。単位画素に容量素子133を設けない構成とすることにより単位画素の開口率を向上させることができ、画素の開口率を向上させることができる。

【0055】

次に、本実施の形態の液晶表示装置の駆動方法例として、図1(A)に示す液晶表示装置の駆動方法例について、図1(C)及び図1(D)を用いて説明する。図1(C)及び図1(D)は、図1(A)に示す液晶表示装置の駆動方法例を説明するためのタイミングチャートである。

【0056】

図1(A)に示す液晶表示装置は、第1の動作モード及び第2の動作モードを有する。第1の動作モード及び第2の動作モードは、例えば制御回路における制御信号又は別途設けられたスイッチなどにより切り替えることができる。各動作モードにおける動作について、以下に説明する。

【0057】

まず、一例として、第1の動作モードのときに特定の画素データが画素103に書き込まれるとする。このとき、図1(C)及び図1(D)における期間PD1に示すように、選択信号出力回路101xは、信号出力状態(状態OUTPUTともいう)になる。このとき、選択信号出力回路101xは、X個の選択信号SELを画素103に出力する。

【0058】

各单位画素103pにおけるトランジスタのゲート電極には、1個の選択信号SELが入力される。選択信号SELのパルスが入力された単位画素103pは、トランジスタがオン状態になることにより、書き込み状態(状態WRTともいう)になる。書き込み状態のとき、単位画素103pに画素データ信号PXDが書き込まれる。すなわち、単位画素103pにおける液晶素子の画素電極に1個の画素データ信号PXDが入力されることにより、入力された画素データ信号PXDのデータ(電圧)に応じて単位画素103pの表示状態が設定され、各单位画素103pの表示状態が設定されることにより、画素103の表示状態が設定される。

【0059】

各单位画素103pに画素データが書き込まれることにより画素103は保持状態(状態HLDともいう)になり、各单位画素103pのトランジスタがオフ状態になり、設定された表示状態を維持する。なお、表示状態を維持するとは、画素103におけるN個の画素電極のそれぞれと、共通電極との間に印加された電圧の初期値からの変動量が基準値より大きくならないように保持することをいう。上記基準値は、適宜設定される電圧値であり、例えば使用者が表示画像を閲覧する場合に、同じ表示画像であると認識できる範囲内の値に設定することが好ましい。また、このとき画素103における共通電極を浮遊状態にしてもよい。これにより、共通電極の電圧の変動を抑制することができる。

【0060】

さらに、繰り返し第1の動作モードで動作させる場合には、図1(C)における期間PD2及び期間PD3に示すように、選択信号出力回路101xがX個の選択信号SELを画素103に出力する。

【0061】

選択信号SELのパルスが入力された単位画素103pは、書き込み状態になり、単位画素103pに、1個の画素データ信号PXDが入力される。また、入力された画素データ信号PXDのデータ(電圧)に応じて単位画素103pの表示状態が設定され、画素103の表示状態が設定される。このとき、ある期間において画素部104に設けられた画素103に入力される画素データ信号PXDと、一つ前の期間において同じ画素103に入力される画素データ信号PXDと、のデータ(電圧)の差の絶対値が基準値以下の場合、連続する期間における画素部104の画像は静止画であり、基準値より大きい場合、連続する期間における画素部104の画像は動画である。なお、上記基準値は、適宜設定される電圧値であり、例えば使用者が表示画像を閲覧する場合に、目視にて同じ表示画像であ

10

20

30

40

50

ると認識できる範囲内の値に設定することが好ましい。

【0062】

画素データが書き込まれた画素103は、保持状態になり、設定された表示状態を維持する。

【0063】

また、第2の動作モードでは、図1(D)における期間PD2に示すように、選択信号出力回路101xは、停止状態(状態STOPともいう)になる。このとき、選択信号出力回路101xにおける選択信号SELの出力が停止する。例えば、選択信号出力回路101xへのスタート信号、クロック信号、及び電源電圧の入力を停止させることにより、選択信号出力回路101xは停止状態になる。なお、信号又は電圧の入力又は出力が停止す

10

【0064】

このとき、画素103には、画素データ信号PXDが入力されないため、各单位画素103pのトランジスタ131は、オフ状態を維持する。よって、画素103は、一つ前の第1の動作モードのとき(図1(D)における期間PD1)の表示状態を維持する。つまり、一つ前の第1の動作モードのときの保持状態を維持する。

【0065】

なお、期間PD2において、画素データ信号出力回路101yを停止状態にさせてもよい。例えば、画素データ信号出力回路101yへの画像信号IMG、スタート信号、クロック信号、及び電源電圧の入力を停止させることにより、画素データ信号出力回路101yにおける画素データ信号PXDの出力が停止する。選択信号出力回路101xが停止状態のときに画素データ信号出力回路101yを停止させることにより、消費電力をさらに低減させることができる。

20

【0066】

さらに、選択信号出力回路101xを停止状態にした後に画素の画素データの書き換えを行う場合には、図1(D)における期間PD3に示すように、選択信号出力回路101xにおける選択信号SELの出力動作を再開させ、選択信号出力回路101xが選択信号SELを画素103に出力する。例えば、選択信号出力回路101xに再びスタート信号、クロック信号、及び電源電圧を入力することにより、選択信号出力回路101xは、選択信号SELの出力動作を再開する。なお、選択信号出力回路101xを停止状態にしたときに画素データ信号出力回路101yを停止状態にした場合には、期間PD3に画素データ信号出力回路101yにおける画素データ信号PXDの出力動作を再開させる。例えば、画素データ信号出力回路101yに、再び画素データ信号PXD、スタート信号、クロック信号、及び電源電圧を入力することにより、画素データ信号出力回路101yは、画素データ信号PXDの出力動作を再開する。

30

【0067】

選択信号SELのパルスが入力された単位画素103pは、書き込み状態になり、各单位画素に1個の画素データ信号PXDが入力されることにより、入力された画素データ信号PXDのデータ(電圧)に応じて単位画素103pの表示状態が設定され、各单位画素103pの表示状態が設定されることにより、画素103の表示状態が設定される。

40

【0068】

画素データが書き込まれた画素103は、保持状態になり、設定された表示状態を維持する。以上が図1(A)に示す液晶表示装置の動作例である。

【0069】

なお、図1(A)に示す液晶表示装置が透過型である場合には、第1の動作モード及び第2の動作モードのときに、バックライトユニット102は、画素103に光を射出する。

【0070】

図1を用いて説明したように、本実施の形態における液晶表示装置の一例は、画素データを画素に書き込んで表示動作を行う第1の動作モード及び画素データを画素に書き込まず

50

に表示動作を行う第2の動作モードを選択的に切り替えることが可能な液晶表示装置である。よって、必要に応じて第2の動作モードにすることにより、画素では表示を行いつつ、少なくとも選択信号出力回路における選択信号の出力を停止させることができる。これにより、画素における画素データの書き込みが不要な期間において、選択信号出力回路を停止させることができるため、消費電力を低減することができる。

【0071】

また、本実施の形態における液晶表示装置の一例は、単位画素におけるトランジスタとして、高純度化させた酸化物半導体層をチャネル形成層として用いたトランジスタを用いた構成である。よって、トランジスタのオフ電流に起因する液晶素子の表示状態の変動を抑制することができるため、一回の画素データの書き込みに対応する画像の保持期間を長くすることができる。そのため、画素データの書き込みの間隔を長くすることができ、消費電力を低減することができる。また、バックライトユニットの光源として冷陰極管を用いた場合であっても、トランジスタの温度変化に起因する画素の表示状態の変動を抑制することができるため、一回の画素データの書き込みに対応する画像の保持期間を長くすることができる。そのため、画素データの書き込みの間隔を長くすることができ、消費電力を低減することができる。さらに、一つの画素に3個以上の単位画素を備えたフルカラー表示型の液晶表示装置の場合、同じ画素数であれば、モノクロ表示型の液晶表示装置と比較して単位画素の数が多いため、より消費電力を低減することができる。

10

【0072】

(実施の形態2)

20

本実施の形態では、制御信号の生成方法例について説明する。

【0073】

上記実施の形態の液晶表示装置において制御信号を用いる場合、例えば制御信号生成回路を用いて制御信号を生成することができる。そこで、制御信号生成回路の構成例について、図2を用いて説明する。図2は、本実施の形態における制御信号生成回路の構成例を示すブロック図である。

【0074】

図2に示す制御信号生成回路は、記憶回路(MEMORYともいう)201と、比較回路(COMPともいう)202と、出力選択回路(OSELともいう)203と、を備える。

30

【0075】

記憶回路201には、画像信号IMGが入力される。記憶回路201は、入力される画像信号IMGのデータを順次記憶する機能を有する。記憶回路201は、複数のフレーム期間の画像に対応する画像信号IMGのデータを記憶するための複数のフレームメモリ201__FMを備える。なお、フレームメモリ201__FMは、1フレーム期間分のメモリ領域を概念的に図示するものである。また、記憶回路201は、複数のフレーム期間の画像に対応する画像信号IMGのデータを記憶することができればよく、記憶回路201が有するフレームメモリ201__FMの数は、特に限定されるものではない。また、フレームメモリ201__FMは、例えばDRAM(Dynamic Random Access Memory)、又はSRAM(Static Random Access Memory)などの記憶素子を用いて構成される。

40

【0076】

比較回路202は、連続するフレーム期間の画像に対応する画像信号IMGのデータを記憶回路201から読み出し、読み出した画像信号IMGのデータを比較し、比較結果に従ってパルスが設定された制御信号CTLを生成し、生成した制御信号CTLを出力する回路である。

【0077】

例えば、比較した画像信号IMGのデータ(電圧)に差分があるか否かを調べ、比較した画像信号IMGのデータに対応する画像が動画であるか静止画であるかを判断する。

【0078】

50

連続するフレーム期間の画像に対応する画像信号 I M G のデータの差の絶対値が基準値以下の場合、比較回路 2 0 2 は、比較した画像信号 I M G のデータに対応する画像を静止画と判断する。

【 0 0 7 9 】

また、連続するフレーム期間の画像に対応する画像信号 I M G のデータの差の絶対値が基準値より大きい場合、比較回路 2 0 2 は、比較した画像信号 I M G のデータに対応する画像を動画と判断する。

【 0 0 8 0 】

なお、比較の際の基準値は、適宜設定される電圧値であり、例えば使用者が表示画像を閲覧する場合に、同じ表示画像であると認識できる範囲内の値に設定することが好ましい。

10

【 0 0 8 1 】

出力選択回路 2 0 3 は、制御信号 C T L が入力され、入力された制御信号 C T L に応じて、記憶回路 2 0 1 に記憶された画像信号 I M G のデータを読み出して出力する回路である。なお、出力選択回路 2 0 3 を必ずしも設けなくてもよいが、出力選択回路 2 0 3 を設けることにより、上記実施の形態の液晶表示装置における画素データ信号出力回路への画像信号 I M G の出力を選択的に停止させることができる。

【 0 0 8 2 】

例えば、比較回路 2 0 2 により比較した画像信号 I M G のデータに基づく画像が動画と判断された場合、出力選択回路 2 0 3 は、記憶回路 2 0 1 から画像信号 I M G のデータを読み出して出力することにより、画像信号 I M G を出力する。

20

【 0 0 8 3 】

また、比較回路 2 0 2 により比較した画像信号 I M G のデータに基づく画像が静止画と判断され、且つ連続して静止画と判定された回数が基準値以下である場合、出力選択回路 2 0 3 は、記憶回路 2 0 1 からの画像信号 I M G のデータの読み出しを停止し、画像信号 I M G の出力を停止する。なお、基準値は、適宜設定することができる。

【 0 0 8 4 】

出力選択回路 2 0 3 は、例えば複数のスイッチを含む回路により構成され、該スイッチとしては、例えばトランジスタを用いることができる。

【 0 0 8 5 】

なお、制御信号生成回路に計数回路を設けることもできる。上記計数回路により、連続して静止画を表示するためのデータと判定されたフレーム期間の数を計数し、計数値が基準値を超えたときに動画を表示するためのデータと判定されたときの動作と同じ動作を行うようにすることもできる。

30

【 0 0 8 6 】

また、上記制御信号生成回路を、上記実施の形態の液晶表示装置に設けてもよいし、別途制御信号生成回路を準備し、上記実施の形態の液晶表示装置に電氣的に接続させてもよい。

【 0 0 8 7 】

図 2 を用いて説明したように、本実施の形態の制御信号生成回路は、連続するフレーム期間の画素データを動画であるか静止画であるか判定し、判定結果に基づいて生成される制御信号 C T L のパルスを設定することができる。これにより、例えば制御信号 C T L のパルスが入力されたときに、上記実施の形態の液晶表示装置において、選択信号出力回路が選択信号を出力するように設定することもできる。

40

【 0 0 8 8 】

(実施の形態 3)

本実施の形態では、上記実施の形態の液晶表示装置における選択信号出力回路及び画素データ信号出力回路に適用可能なシフトレジスタの一例について説明する。

【 0 0 8 9 】

まず、本実施の形態のシフトレジスタの構成例について、図 3 (A) を用いて説明する。図 3 (A) は、シフトレジスタの構成例を示す図である。

50

【 0 0 9 0 】

図 3 (A) に示すシフトレジスタは、 P 個 (P は 3 以上の自然数) の順序回路 (F F ともしいう) を用いて構成される P 段の順序回路を備える。

【 0 0 9 1 】

図 3 (A) に示すシフトレジスタには、スタート信号としてスタート信号 S P が入力され、クロック信号として、クロック信号 C L K 1、クロック信号 C L K 2、クロック信号 C L K 3、及びクロック信号 C L K 4 が入力される。複数のクロック信号を用いることにより、シフトレジスタにおける信号の出力動作の速度を向上させることができる。

【 0 0 9 2 】

なお、本実施の形態のシフトレジスタにおける信号としては、例えば電圧を用いた信号を用いることができる。電圧を用いた信号 (電圧信号ともいう) としては、少なくとも第 1 の電圧及び第 2 の電圧となるアナログ信号又はデジタル信号を用いることができる。例えば、クロック信号などの 2 値のデジタル信号は、ローレベル及びハイレベルになることにより、第 1 の電圧 (ローレベルの電圧) 及び第 2 の電圧 (ハイレベルの電圧) となる信号である。また、ハイレベルの電圧及びローレベルの電圧は、それぞれ一定値であることが好ましい。しかし、電子回路では、例えばノイズなどの影響があるため、ハイレベルの電圧及びローレベルの電圧は、一定値ではなく、それぞれ実質的に同等とみなすことができる一定の範囲内の値であればよい。

10

【 0 0 9 3 】

さらに、各順序回路について以下に説明する。

20

【 0 0 9 4 】

順序回路 3 0 0 __ 1 乃至順序回路 3 0 0 __ P のそれぞれには、セット信号 S T、リセット信号 R E、クロック信号 C K 1、クロック信号 C K 2、及びクロック信号 C K 3 が入力される。また、順序回路 3 0 0 __ 1 乃至順序回路 3 0 0 __ P のそれぞれは、信号 O U T 1 及び信号 O U T 2 を出力する機能を有する。

【 0 0 9 5 】

クロック信号 C K 1、クロック信号 C K 2、及びクロック信号 C K 3 は、順に 1 / 4 周期ずつ波形が遅れている。なお、クロック信号 C K 1、クロック信号 C K 2、及びクロック信号 C K 3 としては、例えばクロック信号 C L K 1 乃至クロック信号 C L K 4 のうちのいずれか 3 つのクロック信号を用いることができる。なお、互いに隣り合う段の順序回路には同じ組み合わせのクロック信号が入力されないものとする。

30

【 0 0 9 6 】

さらに、図 3 (A) に示す順序回路の回路構成について、図 3 (B) を用いて説明する。図 3 (B) は、図 3 (A) に示す順序回路の回路構成を示す回路図である。

【 0 0 9 7 】

図 3 (B) に示す順序回路は、トランジスタ 3 0 1 a と、トランジスタ 3 0 1 b と、トランジスタ 3 0 1 c と、トランジスタ 3 0 1 d と、トランジスタ 3 0 1 e と、トランジスタ 3 0 1 f と、トランジスタ 3 0 1 g と、トランジスタ 3 0 1 h と、トランジスタ 3 0 1 i と、トランジスタ 3 0 1 j と、トランジスタ 3 0 1 k と、を備える。

40

【 0 0 9 8 】

トランジスタ 3 0 1 a のソース及びドレインの一方には、電圧 V a が入力され、トランジスタ 3 0 1 a のゲートには、セット信号 S T が入力される。

【 0 0 9 9 】

トランジスタ 3 0 1 b のソース及びドレインの一方は、トランジスタ 3 0 1 a のソース及びドレインの他方に電氣的に接続され、トランジスタ 3 0 1 b のソース及びドレインの他方には、電圧 V b が入力される。

【 0 1 0 0 】

トランジスタ 3 0 1 c のソース及びドレインの一方は、トランジスタ 3 0 1 a のソース及びドレインの他方に電氣的に接続され、トランジスタ 3 0 1 c のゲートには、電圧 V a が入力される。

50

【 0 1 0 1 】

トランジスタ 3 0 1 d のソース及びドレインの一方には、電圧 V a が入力され、トランジスタ 3 0 1 d のゲートには、クロック信号 C K 3 が入力される。

【 0 1 0 2 】

トランジスタ 3 0 1 e のソース及びドレインの一方は、トランジスタ 3 0 1 d のソース及びドレインの他方に電氣的に接続され、トランジスタ 3 0 1 e のソース及びドレインの他方は、トランジスタ 3 0 1 b のゲートに電氣的に接続され、トランジスタ 3 0 1 e のゲートには、クロック信号 C K 2 が入力される。

【 0 1 0 3 】

トランジスタ 3 0 1 f のソース及びドレインの一方には、電圧 V a が入力され、トランジスタ 3 0 1 f のゲートには、リセット信号 R E が入力される。

【 0 1 0 4 】

トランジスタ 3 0 1 g のソース及びドレインの一方は、トランジスタ 3 0 1 b のゲート並びにトランジスタ 3 0 1 f のソース及びドレインの他方に電氣的に接続され、トランジスタ 3 0 1 g のソース及びドレインの他方には、電圧 V b が入力され、トランジスタ 3 0 1 g のゲートには、セット信号 S T が入力される。

【 0 1 0 5 】

トランジスタ 3 0 1 h のソース及びドレインの一方には、クロック信号 C K 1 が入力され、トランジスタ 3 0 1 h のゲートは、トランジスタ 3 0 1 c のソース及びドレインの他方に電氣的に接続される。

【 0 1 0 6 】

トランジスタ 3 0 1 i のソース及びドレインの一方は、トランジスタ 3 0 1 h のソース及びドレインの他方に電氣的に接続され、トランジスタ 3 0 1 i のソース及びドレインの他方には、電圧 V b が入力され、トランジスタ 3 0 1 i のゲートは、トランジスタ 3 0 1 b のゲートに電氣的に接続される。

【 0 1 0 7 】

トランジスタ 3 0 1 j のソース及びドレインの一方には、クロック信号 C K 1 が入力され、トランジスタ 3 0 1 j のゲートは、トランジスタ 3 0 1 c のソース及びドレインの他方に電氣的に接続される。

【 0 1 0 8 】

トランジスタ 3 0 1 k のソース及びドレインの一方は、トランジスタ 3 0 1 j のソース及びドレインの他方に電氣的に接続され、トランジスタ 3 0 1 k のソース及びドレインの他方には、電圧 V b が入力され、トランジスタ 3 0 1 k のゲートは、トランジスタ 3 0 1 b のゲートに電氣的に接続される。

【 0 1 0 9 】

なお、電圧 V a 及び電圧 V b の一方は、高電源電圧 V d d であり、電圧 V a 及び電圧 V b の他方は、低電源電圧 V s s である。高電源電圧 V d d は、相対的に低電源電圧 V s s より高い値の電圧であり、低電源電圧 V s s は、相対的に高電源電圧 V d d より低い値の電圧である。電圧 V a 及び電圧 V b の値は、例えばトランジスタの極性などにより互いに入れ替わる場合がある。また、電圧 V a 及び電圧 V b の電位差が電源電圧となる。

【 0 1 1 0 】

また、図 3 (B) において、トランジスタ 3 0 1 b のゲートと、トランジスタ 3 0 1 e のソース及びドレインの他方と、トランジスタ 3 0 1 f のソース及びドレインの他方と、トランジスタ 3 0 1 g のソース及びドレインの一方と、トランジスタ 3 0 1 i のゲートと、トランジスタ 3 0 1 k のゲートとの電氣的接続箇所をノード N A ともいう。また、トランジスタ 3 0 1 a のソース及びドレインの他方と、トランジスタ 3 0 1 b のソース及びドレインの一方と、トランジスタ 3 0 1 c のソース及びドレインの一方との電氣的接続箇所をノード N B ともいう。また、トランジスタ 3 0 1 c のソース及びドレインの他方と、トランジスタ 3 0 1 h のゲートと、トランジスタ 3 0 1 j のゲートとの電氣的接続箇所をノード N C ともいう。また、トランジスタ 3 0 1 h のソース及びドレインの他方と、トランジ

10

20

30

40

50

スタ 3 0 1 i のソース及びドレインの一方との電氣的接続箇所をノード N D ともいう。また、トランジスタ 3 0 1 j のソース及びドレインの他方と、トランジスタ 3 0 1 k のソース及びドレインの一方との電氣的接続箇所をノード N E ともいう。

【 0 1 1 1 】

図 3 (B) に示す順序回路は、ノード N D の電圧を信号 O U T 1 として出力し、ノード N E の電圧を信号 O U T 2 として出力する。

【 0 1 1 2 】

また、1 段目の順序回路 3 0 0 _ 1 におけるトランジスタ 3 0 1 a のゲート及びトランジスタ 3 0 1 g のゲートには、セット信号 S T として、スタート信号 S P が入力される。

【 0 1 1 3 】

また、Q + 2 段目 (Q は 1 以上 P - 2 以下の自然数) の順序回路 3 0 0 _ Q + 2 におけるトランジスタ 3 0 1 a のゲート及びトランジスタ 3 0 1 g のゲートは、Q + 1 段目の順序回路 3 0 0 _ Q + 1 におけるトランジスタ 3 0 1 h のソース及びドレインの他方に電氣的に接続される。このとき、順序回路 3 0 0 _ Q + 1 における信号 O U T 1 が順序回路 3 0 0 _ Q + 2 におけるセット信号 S T となる。

【 0 1 1 4 】

また、U 段目 (U は 3 以上 P 以下の自然数) の順序回路 3 0 0 _ U におけるトランジスタ 3 0 1 h のソース及びドレインの他方は、U - 2 段目の順序回路 3 0 0 _ U - 2 におけるトランジスタ 3 0 1 f のゲートに電氣的に接続される。このとき、順序回路 3 0 0 _ U における信号 O U T 1 が順序回路 3 0 0 _ U - 2 のリセット信号 R E となる。

【 0 1 1 5 】

また、P - 1 段目の順序回路 3 0 0 _ P - 1 におけるトランジスタ 3 0 1 f のゲートには、リセット信号として信号 R P 1 が入力される。なお、P - 1 段目の順序回路 3 0 0 _ P - 1 から出力される信号 O U T 2 は、他の回路を動作させるために用いなくてもよい。

【 0 1 1 6 】

また、P 段目の順序回路 3 0 0 _ P におけるトランジスタ 3 0 1 f のゲートには、リセット信号として信号 R P 2 が入力される。なお、P 段目の順序回路 3 0 0 _ P から出力される信号 O U T 2 は、他の回路を動作させるために用いなくてもよい。

【 0 1 1 7 】

また、トランジスタ 3 0 1 a 乃至トランジスタ 3 0 1 k のそれぞれを同一の導電型にすることができる。また、トランジスタ 3 0 1 a 乃至トランジスタ 3 0 1 k としては、例えばチャネルが形成される層として、元素周期表における第 1 4 族の半導体 (シリコンなど) を用いた半導体層を含むトランジスタ又は上記実施の形態 1 の液晶表示装置における画素 1 0 3 に適用可能なトランジスタを用いることができる。

【 0 1 1 8 】

さらに、図 3 (B) に示す順序回路の動作例について、図 4 (A) を用いて説明する。図 4 (A) は、図 3 (B) に示す順序回路の動作例を説明するためのタイミングチャートである。なお、一例として図 3 (B) に示す順序回路におけるトランジスタ 3 0 1 a 乃至トランジスタ 3 0 1 k のそれぞれを、全て N 型の導電型とし、トランジスタ 3 0 1 h 及びトランジスタ 3 0 1 j の閾値電圧を同じ電圧 V_{th} とし、電圧 V_a として高電源電圧 V_{dd} が入力され、電圧 V_b として低電源電圧 V_{ss} が入力されるものとする。

【 0 1 1 9 】

まず、時刻 T 6 1 において、クロック信号 C K 1 がローレベルになり、クロック信号 C K 2 がローレベルになり、クロック信号 C K 3 がハイレベルになり、セット信号 S T がハイレベルになり、リセット信号 R E がローレベルになる。

【 0 1 2 0 】

このとき、順序回路はセット状態になる。また、トランジスタ 3 0 1 d 及びトランジスタ 3 0 1 g がオン状態になり、トランジスタ 3 0 1 e 及びトランジスタ 3 0 1 f がオフ状態になるため、ノード N A の電圧 (V_{NA} ともいう) が電圧 V_b と同等の値になり、トランジスタ 3 0 1 b、トランジスタ 3 0 1 i、及びトランジスタ 3 0 1 k がオフ状態になる。

10

20

30

40

50

また、トランジスタ 301a がオン状態になり、トランジスタ 301b がオフ状態になるため、ノード NB の電圧 (V_{NB} ともいう) が電圧 V_a と同等の値になる。また、トランジスタ 301c がオン状態になるため、ノード NC の電圧 (V_{NC} ともいう) が電圧 V_a と同等の値になり、トランジスタ 301h 及びトランジスタ 301j がオン状態になる。また、ノード NC の電圧が電圧 V_a と同等の値になると、トランジスタ 301c がオフ状態になる。また、トランジスタ 301h がオン状態になり、トランジスタ 301i がオフ状態になるため、信号 OUT1 はローレベルになる。また、トランジスタ 301j がオン状態になり、トランジスタ 301k がオフ状態になるため、信号 OUT2 はローレベルになる。

【0121】

次に、時刻 T62 において、クロック信号 CK1 がハイレベルになり、クロック信号 CK2 がローレベルのままであり、クロック信号 CK3 がローレベルになり、セット信号 ST がハイレベルのままであり、リセット信号 RE がローレベルのままである。

【0122】

このとき、トランジスタ 301d がオフ状態になり、トランジスタ 301e、トランジスタ 301f、及びトランジスタ 301g がオフ状態のままであるため、ノード NA の電圧は、電圧 V_b と同等の値のままであり、トランジスタ 301b、トランジスタ 301i、及びトランジスタ 301k はオフ状態のままである。また、トランジスタ 301a がオン状態のままであり、トランジスタ 301c がオフ状態のままであるため、ノード NB の電圧は、電圧 V_a と同等の値のままである。また、トランジスタ 301c がオフ状態のままであるため、ノード NC は、浮遊状態になる。また、トランジスタ 301h がオン状態のままであり、トランジスタ 301i がオフ状態のままであるため、ノード NC の電圧が上昇し、トランジスタ 301j がオン状態のままであり、トランジスタ 301k がオフ状態のままであるため、ノード ND の電圧が上昇する。すると、トランジスタ 301h 及びトランジスタ 301j のそれぞれのゲートとソース及びドレインの他方との間に生じる寄生容量による容量結合により、ノード NC の電圧が上昇する。いわゆるブートストラップである。ノード NC の電圧は、電圧 V_a と電圧 V_{th} の和よりもさらに大きい値、すなわち、 $V_a + V_{th} + V_x$ まで上昇する。このときトランジスタ 301h 及びトランジスタ 301j はオン状態のままである。また、このとき信号 OUT1 及び信号 OUT2 はハイレベルになる。

【0123】

次に、時刻 T63 において、クロック信号 CK1 がハイレベルのままであり、クロック信号 CK2 がハイレベルになり、クロック信号 CK3 がローレベルのままであり、セット信号 ST がローレベルになり、リセット信号 RE がローレベルのままである。

【0124】

このとき、トランジスタ 301e がオン状態になり、トランジスタ 301g がオフ状態になり、トランジスタ 301d 及びトランジスタ 301f はオフ状態のままであるため、ノード NA の電圧が電圧 V_b と同等の値のままであり、トランジスタ 301b、トランジスタ 301i、及びトランジスタ 301k はオフ状態のままである。また、トランジスタ 301a がオフ状態になり、トランジスタ 301b はオフ状態のままであり、トランジスタ 301c がオフ状態のままであるため、ノード NB の電圧は電圧 V_a と同等の値のままである。また、トランジスタ 301c がオフ状態のままであるため、ノード NC の電圧は $V_a + V_{th} + V_x$ のままであり、トランジスタ 301h 及びトランジスタ 301j がオン状態のままである。また、トランジスタ 301h はオン状態のままであり、トランジスタ 301i はオフ状態のままであるため、信号 OUT1 はハイレベルのままである。また、トランジスタ 301j はオン状態のままであり、トランジスタ 301k はオフ状態のままであるため、信号 OUT2 はハイレベルのままである。

【0125】

次に、時刻 T64 において、クロック信号 CK1 がローレベルになり、クロック信号 CK2 はハイレベルのままであり、クロック信号 CK3 がハイレベルになり、セット信号 ST

がローレベルのままであり、リセット信号 R E がハイレベルになる。

【 0 1 2 6 】

このとき、順序回路はリセット状態になる。また、トランジスタ 3 0 1 h 及びトランジスタ 3 0 1 j がオン状態のときに、信号 O U T 1 及び信号 O U T 2 がローレベルになる。また、トランジスタ 3 0 1 d 及びトランジスタ 3 0 1 f がオン状態になり、トランジスタ 3 0 1 e はオン状態のままであり、トランジスタ 3 0 1 g はオフ状態のままであるため、ノード N A の電圧が電圧 V a と同等の値になり、トランジスタ 3 0 1 b、トランジスタ 3 0 1 i、及びトランジスタ 3 0 1 k がオン状態になる。また、トランジスタ 3 0 1 b がオン状態になり、トランジスタ 3 0 1 a 及びトランジスタ 3 0 1 c はオフ状態のままであるため、ノード N B の電圧が電圧 V b と同等の値になり、トランジスタ 3 0 1 c がオン状態になる。また、トランジスタ 3 0 1 c がオン状態になるため、ノード N C の電圧が電圧 V b と同等の値になり、トランジスタ 3 0 1 h 及びトランジスタ 3 0 1 j がオフ状態になる。また、トランジスタ 3 0 1 h がオフ状態になり、トランジスタ 3 0 1 i がオン状態になるため、信号 O U T 1 がローレベルになる。また、トランジスタ 3 0 1 j がオフ状態になり、トランジスタ 3 0 1 k がオン状態になるため、信号 O U T 2 がローレベルになる。

10

【 0 1 2 7 】

次に、時刻 T 6 5 において、クロック信号 C K 1 はローレベルのままであり、クロック信号 C K 2 がローレベルになり、クロック信号 C K 3 はハイレベルのままであり、セット信号 S T はローレベルのままであり、リセット信号 R E はハイレベルのままである。

【 0 1 2 8 】

このとき、トランジスタ 3 0 1 e がオフ状態になり、トランジスタ 3 0 1 d 及びトランジスタ 3 0 1 f はオン状態のままであり、トランジスタ 3 0 1 g はオフ状態のままであるため、ノード N A の電圧は電圧 V a と同等の値のままであり、トランジスタ 3 0 1 b、トランジスタ 3 0 1 i、及びトランジスタ 3 0 1 k はオン状態のままである。また、トランジスタ 3 0 1 a がオフ状態のままであり、トランジスタ 3 0 1 b 及びトランジスタ 3 0 1 c がオン状態のままであり、ノード N B の電圧は電圧 V b と同等の値のままである。また、トランジスタ 3 0 1 c はオン状態のままであるため、ノード N C の電圧は電圧 V b と同等の値のままであり、トランジスタ 3 0 1 h 及びトランジスタ 3 0 1 j はオフ状態のままである。また、トランジスタ 3 0 1 h はオフ状態のままであり、トランジスタ 3 0 1 i はオン状態のままであるため、信号 O U T 1 はローレベルのままである。また、トランジスタ 3 0 1 j はオフ状態のままであり、トランジスタ 3 0 1 k はオン状態のままであるため、信号 O U T 2 はローレベルのままである。

20

30

【 0 1 2 9 】

以上のように、順序回路は、信号 O U T 1 及び信号 O U T 2 を出力することができる。以上が図 3 (B) に示す順序回路の動作の一例である。

【 0 1 3 0 】

さらに、図 3 (A) に示すシフトレジスタの動作の一例について、図 4 (B) を用いて説明する。図 4 (B) は図 3 (A) に示すシフトレジスタの駆動方法の一例を説明するためのタイミングチャートである。

【 0 1 3 1 】

図 3 (A) に示すシフトレジスタは、上記実施の形態の液晶表示装置における第 1 の動作モード及び第 2 の動作モードに合わせて動作を切り替えることができる。各モードになる際の動作について、以下に説明する。

40

【 0 1 3 2 】

まず、一例として第 1 の動作モードになるときの動作について説明する。このとき、図 4 (B) の期間 3 1 1 に示すように、スタート信号 S P、電源電圧 V p、及びクロック信号 C L K 1 乃至クロック信号 C L K 4 が入力され、スタート信号 S P のパルスが 1 段目の順序回路 3 0 0 __ 1 に入力されることにより、クロック信号 C L K 1 乃至クロック信号 C L K 4 に従って、1 段目の順序回路 3 0 0 __ 1 の信号 O U T 1 及び信号 O U T 2 乃至 P 段目の順序回路 3 0 0 __ P の信号 O U T 1 及び信号 O U T 2 において、順にパルスを出力する

50

。つまり１段目の順序回路３００＿１の信号ＯＵＴ１及び信号ＯＵＴ２乃至Ｐ段目の順序回路３００＿Ｐの信号ＯＵＴ１及び信号ＯＵＴ２を出力する。

【０１３３】

次に、第１の動作モードから第２の動作モードになるときの動作について説明する。このとき、図４（Ｂ）の期間３１２に示すように、シフトレジスタへの電源電圧Ｖ_p、クロック信号ＣＬＫ１乃至クロック信号ＣＬＫ４、及びスタート信号ＳＰの出力を停止する。

【０１３４】

このとき、まず、シフトレジスタへのスタート信号ＳＰの出力を停止し、シフトレジスタへのクロック信号ＣＬＫ１の出力を停止し、シフトレジスタへのクロック信号ＣＬＫ２の出力を停止し、シフトレジスタへのクロック信号ＣＬＫ３の出力を停止し、シフトレジスタへのクロック信号ＣＬＫ４の出力を停止し、シフトレジスタへの電源電圧Ｖ_pの出力を停止することにより、シフトレジスタによる信号の出力を停止するときのシフトレジスタの誤動作を抑制することができる。

10

【０１３５】

シフトレジスタへの電源電圧Ｖ_p、クロック信号ＣＬＫ１乃至クロック信号ＣＬＫ４、及びスタート信号ＳＰの出力を停止すると、１段目の順序回路３００＿１の信号ＯＵＴ１及び信号ＯＵＴ２乃至Ｐ段目の順序回路３００＿Ｐの信号ＯＵＴ１及び信号ＯＵＴ２において、パルスの出力が停止する。つまり１段目の順序回路３００＿１の信号ＯＵＴ１及び信号ＯＵＴ２乃至Ｐ段目の順序回路３００＿Ｐの信号ＯＵＴ１及び信号ＯＵＴ２の出力が停止する。よって、液晶表示装置が第２の動作モードになる。

20

【０１３６】

さらにシフトレジスタにおける信号の出力を停止させた後に、シフトレジスタにおける信号の出力を再開させる場合には、図４（Ｂ）の期間３１３に示すように、シフトレジスタへのスタート信号ＳＰ、クロック信号ＣＬＫ１乃至クロック信号ＣＬＫ４、及び電源電圧Ｖ_pの出力を再開する。

【０１３７】

このとき、まずシフトレジスタへの電源電圧Ｖ_pの出力を再開し、シフトレジスタへのクロック信号ＣＬＫ１の出力を再開し、シフトレジスタへのクロック信号ＣＬＫ２の出力を再開し、シフトレジスタへのクロック信号ＣＬＫ３の出力を再開し、シフトレジスタへのクロック信号ＣＬＫ４の出力を再開し、スタート信号ＳＰの出力を再開する。さらにこのとき、クロック信号ＣＬＫ１乃至クロック信号ＣＬＫ４が出力される配線に高電源電圧Ｖ_{dd}を印加した後にクロック信号ＣＬＫ１乃至クロック信号ＣＬＫ４を出力することが好ましい。

30

【０１３８】

シフトレジスタへのスタート信号ＳＰ、クロック信号ＣＬＫ１乃至クロック信号ＣＬＫ４、及び電源電圧Ｖ_pの出力を再開し、スタート信号ＳＰのパルスが１段目の順序回路３００＿１に入力されることにより、クロック信号ＣＬＫ１乃至クロック信号ＣＬＫ４に従って、１段目の順序回路３００＿１の信号ＯＵＴ１及び信号ＯＵＴ２乃至Ｐ段目の順序回路３００＿Ｐの信号ＯＵＴ１及び信号ＯＵＴ２において、順にパルスを出力する。つまり、１段目の順序回路３００＿１の信号ＯＵＴ１及び信号ＯＵＴ２乃至Ｐ段目の順序回路３００＿Ｐの信号ＯＵＴ１及び信号ＯＵＴ２の出力が再開する。よって液晶表示装置は第１の動作モードになる。

40

【０１３９】

図３（Ａ）及び図３（Ｂ）、並びに図４（Ａ）及び図４（Ｂ）を用いて説明したように、本実施の形態のシフトレジスタは、複数段の順序回路を用いて構成され、複数の順序回路のそれぞれは、第１のトランジスタと、第２のトランジスタと、第３のトランジスタと、を有し、第１のトランジスタのゲートには、セット信号が入力され、第１のトランジスタは、セット信号に従って第２のトランジスタをオン状態にするか否かを制御する機能を有し、第２のトランジスタのソース及びドレインの一方には、クロック信号が入力され、第２のトランジスタは、順序回路の出力信号の電圧をクロック信号の電圧に応じた値にする

50

か否かを制御する機能を有し、第3のトランジスタのゲートには、リセット信号が入力され、第3のトランジスタは、リセット信号に従って第2のトランジスタをオフ状態にするか否かを制御する機能を有する構成である。上記構成にすることにより、シフトレジスタの信号の出力を容易に停止することができる。

【0140】

また、本実施の形態のシフトレジスタを用いて、上記実施の形態の液晶表示装置における選択信号出力回路を構成することができる。よって、選択信号の出力を停止する期間を設けることができる。また、上記構成にすることにより、シフトレジスタへのスタート信号、クロック信号、及び電源電圧の出力を停止することにより、シフトレジスタにおける信号の出力を停止し、選択信号の出力を停止させることができる。

10

【0141】

また、本実施の形態のシフトレジスタを用いて、上記実施の形態の液晶表示装置における画素データ信号出力回路を構成することができる。よって、画素データ信号の出力を停止する期間を設けることもできる。また、上記構成にすることにより、シフトレジスタへのスタート信号、クロック信号、及び電源電圧の出力を停止することにより、シフトレジスタにおける信号の出力を停止し、画素データ信号の出力を停止させることができる。

【0142】

(実施の形態4)

本実施の形態では、酸化物半導体層を含む上記実施の形態に示す液晶表示装置に適用可能なトランジスタについて説明する。

20

【0143】

本実施の形態に示す酸化物半導体層を含むトランジスタは、高純度化することにより、真性(I型ともいう)、又は実質的に真性にさせた酸化物半導体層を有するトランジスタである。高純度化とは、酸化物半導体層中の水素を極力排除すること、及び酸化物半導体層に酸素を供給して酸化物半導体層中の酸素欠乏に起因する欠陥を低減することの少なくとも一方を含む概念である。

【0144】

本実施の形態のトランジスタの構造例について、図5(A)乃至図5(D)を用いて説明する。図5(A)乃至図5(D)は、トランジスタの構造例を示す断面模式図である。

【0145】

図5(A)に示すトランジスタは、ボトムゲート構造のトランジスタの一つであり、逆スタガ型トランジスタともいう。

30

【0146】

図5(A)に示すトランジスタは、導電層401aと、絶縁層402aと、酸化物半導体層403aと、導電層405aと、導電層406aと、を含む。

【0147】

導電層401aは、基板400aの上に設けられ、絶縁層402aは、導電層401aの上に設けられ、酸化物半導体層403aは、絶縁層402aを介して導電層401aの上に設けられ、導電層405a及び導電層406aは、酸化物半導体層403aの一部の上にそれぞれ設けられる。

40

【0148】

さらに図5(A)において、トランジスタの酸化物半導体層403aの上面の一部(上面に導電層405a及び導電層406aが設けられていない部分)は、酸化物絶縁層407aに接する。また、酸化物絶縁層407aは、上部に保護絶縁層409aが設けられる。

【0149】

図5(B)に示すトランジスタは、ボトムゲート構造の一つであるチャネル保護型(チャネルストップ型ともいう)トランジスタであり、逆スタガ型トランジスタともいう。

【0150】

図5(B)に示すトランジスタは、導電層401bと、絶縁層402bと、酸化物半導体層403bと、絶縁層427と、導電層405bと、導電層406bと、を含む。

50

【0151】

導電層401bは、基板400bの上に設けられ、絶縁層402bは、導電層401bの上に設けられ、酸化物半導体層403bは、絶縁層402bを介して導電層401bの上に設けられ、絶縁層427は、絶縁層402b及び酸化物半導体層403bを介して導電層401bの上に設けられ、導電層405b及び導電層406bは、絶縁層427を介して酸化物半導体層403bの一部の上にそれぞれ設けられる。また、導電層401bを酸化物半導体層403bの全てと重なる構造にすることもできる。導電層401bを酸化物半導体層403bの全てと重なる構造にすることにより、酸化物半導体層403bへの光の入射を抑制することができる。また、これに限定されず、導電層401bを酸化物半導体層403bの一部と重なる構造にすることもできる。

10

【0152】

さらに図5(B)において、トランジスタの上部は、保護絶縁層409bに接する。

【0153】

図5(C)に示すトランジスタは、ボトムゲート構造のトランジスタの一つである。

【0154】

図5(C)に示すトランジスタは、導電層401cと、絶縁層402cと、酸化物半導体層403cと、導電層405cと、導電層406cと、を含む。

【0155】

導電層401cは、基板400cの上に設けられ、絶縁層402cは、導電層401cの上に設けられ、導電層405c及び導電層406cは、絶縁層402cの一部の上に設けられ、酸化物半導体層403cは、絶縁層402c、導電層405c、及び導電層406cを介して導電層401cの上に設けられる。また、導電層401cを酸化物半導体層403cの全てと重なる構造にすることもできる。導電層401cを酸化物半導体層403cの全てと重なる構造にすることにより、酸化物半導体層403cへの光の入射を抑制することができる。また、これに限定されず、導電層401cを酸化物半導体層403cの一部と重なる構造にすることもできる。

20

【0156】

さらに図5(C)において、トランジスタにおける酸化物半導体層403cの上面及び側面は、酸化物絶縁層407cに接する。また、酸化物絶縁層407cは、上部に保護絶縁層409cが設けられる。

30

【0157】

図5(D)に示すトランジスタは、トップゲート構造のトランジスタの一つである。

【0158】

図5(D)に示すトランジスタは、導電層401dと、絶縁層402dと、酸化物半導体層403dと、導電層405d及び導電層406dと、を含む。

【0159】

酸化物半導体層403dは、絶縁層447を介して基板400dの上に設けられ、導電層405d及び導電層406dは、それぞれ酸化物半導体層403dの一部の上に設けられ、絶縁層402dは、酸化物半導体層403d、導電層405d、及び導電層406dの上に設けられ、導電層401dは、絶縁層402dを介して酸化物半導体層403dの上に設けられる。

40

【0160】

基板400a乃至基板400dとしては、例えばバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。

【0161】

また、基板400a乃至基板400dとして、セラミック基板、石英基板、又はサファイア基板などの絶縁体でなる基板を用いることもできる。また、基板400a乃至基板400dとして、結晶化ガラスを用いることもできる。また、基板400a乃至基板400dとして、プラスチック基板を用いることもできる。また、基板400a乃至基板400dとして、シリコンなどの半導体基板を用いることもできる。

50

【0162】

絶縁層447は、基板400dからの不純物元素の拡散を防止する下地層としての機能を有する。絶縁層447としては、例えば窒化シリコン層、酸化シリコン層、窒化酸化シリコン層、酸化窒化シリコン層、酸化アルミニウム層、又は酸化窒化アルミニウム層を用いることができる。また、絶縁層447に適用可能な材料の層の積層により絶縁層447を構成することもできる。また、絶縁層447として、遮光性を有する材料の層と、上記絶縁層447に適用可能な材料の層との積層を用いることもできる。また、遮光性を有する材料の層を用いて絶縁層447を構成することにより、酸化物半導体層403dへの光の入射を抑制することができる。

【0163】

なお、図5(A)乃至図5(C)に示すトランジスタにおいて、図5(D)に示すトランジスタと同様に、基板とゲート電極としての機能を含む導電層の間に絶縁層を設けてもよい。

【0164】

導電層401a乃至導電層401dのそれぞれは、トランジスタのゲート電極としての機能を有する。導電層401a乃至導電層401dとしては、例えばモリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、若しくはスカンジウムなどの金属材料、又はこれらを主成分とする合金材料の層を用いることができる。また、導電層401a乃至導電層401dの形成に適用可能な材料の層の積層により、導電層401a乃至導電層401dを構成することもできる。

【0165】

絶縁層402a乃至絶縁層402dのそれぞれは、トランジスタのゲート絶縁層としての機能を有する。絶縁層402a乃至絶縁層402dとしては、例えば酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、酸化アルミニウム層、窒化アルミニウム層、酸化窒化アルミニウム層、窒化酸化アルミニウム層、又は酸化ハフニウム層を用いることができる。また、絶縁層402a乃至絶縁層402dに適用可能な材料の層の積層により絶縁層402a乃至絶縁層402dを構成することもできる。絶縁層402a乃至絶縁層402dに適用可能な材料の層は、例えばプラズマCVD法又はスパッタリング法などを用いて形成される。例えば、プラズマCVD法により窒化シリコン層を形成し、プラズマCVD法により窒化シリコン層の上に酸化シリコン層を形成することにより絶縁層402a乃至絶縁層402dを構成することができる。

【0166】

酸化物半導体層403a乃至酸化物半導体層403dのそれぞれは、トランジスタのチャネル形成層としての機能を有する。酸化物半導体層403a乃至酸化物半導体層403dに適用可能な酸化物半導体としては、例えば四元系金属酸化物、三元系金属酸化物、又は二元系金属酸化物などを用いることができる。四元系金属酸化物としては、例えばIn-Sn-Ga-Zn-O系金属酸化物などを用いることができる。三元系金属酸化物としては、例えばIn-Ga-Zn-O系金属酸化物、In-Sn-Zn-O系金属酸化物、In-Al-Zn-O系金属酸化物、Sn-Ga-Zn-O系金属酸化物、Al-Ga-Zn-O系金属酸化物、又はSn-Al-Zn-O系金属酸化物などを用いることができる。二元系金属酸化物としては、例えばIn-Zn-O系金属酸化物、Sn-Zn-O系金属酸化物、Al-Zn-O系金属酸化物、Zn-Mg-O系金属酸化物、Sn-Mg-O系金属酸化物、In-Mg-O系金属酸化物、In-Ga-O系金属酸化物、又はIn-Sn-O系金属酸化物などを用いることができる。また、酸化物半導体としては、例えばIn-O系金属酸化物、Sn-O系金属酸化物、又はZn-O系金属酸化物などを用いることもできる。また、酸化物半導体としては、上記酸化物半導体として適用可能な金属酸化物にSiO₂を含む酸化物を用いることもできる。

【0167】

In-Zn-O系金属酸化物を用いる場合、例えば、In:Zn=50:1乃至In:Zn=1:2(モル数比に換算するとIn₂O₃:ZnO=25:1乃至In₂O₃:Zn

10

20

30

40

50

O = 1 : 4)、好ましくは $\text{In} : \text{Zn} = 20 : 1$ 乃至 $\text{In} : \text{Zn} = 1 : 1$ (モル数比に換算すると $\text{In}_2\text{O}_3 : \text{ZnO} = 10 : 1$ 乃至 $\text{In}_2\text{O}_3 : \text{ZnO} = 1 : 2$)、さらに好ましくは $\text{In} : \text{Zn} = 15 : 1$ 乃至 $\text{In} : \text{Zn} = 1.5 : 1$ (モル数比に換算すると $\text{In}_2\text{O}_3 : \text{ZnO} = 15 : 2$ 乃至 $\text{In}_2\text{O}_3 : \text{ZnO} = 3 : 4$) の組成比である酸化物ターゲットを用いて $\text{In} - \text{Zn} - \text{O}$ 系金属酸化物の半導体層を形成することができる。例えば、 $\text{In} - \text{Zn} - \text{O}$ 系酸化物半導体の形成に用いるターゲットは、原子数比が $\text{In} : \text{Zn} : \text{O} = \text{H} : \text{S} : \text{Z}$ のとき、 $\text{Z} > 1.5\text{H} + \text{S}$ とする。 In の量を多くすることにより、トランジスタの移動度を向上させることができる。

【0168】

また、酸化物半導体として、 $\text{InMO}_3(\text{ZnO})_m$ (m は 0 より大きい数) で表記される材料を用いることができる。ここで、 M は、 Ga 、 Al 、 Mn 、及び Co から選ばれた一つ又は複数の金属元素を示す。例えば M としては、 Ga 、 Ga 及び Al 、 Ga 及び Mn 、又は Ga 及び Co などが挙げられる。

10

【0169】

導電層 405a 乃至導電層 405d 及び導電層 406a 乃至導電層 406d のそれぞれは、トランジスタのソース電極又はトランジスタのドレイン電極としての機能を有する。導電層 405a 乃至導電層 405d 及び導電層 406a 乃至導電層 406d としては、例えばアルミニウム、クロム、銅、タンタル、チタン、モリブデン、若しくはタングステンなどの金属材料、又はこれらの金属材料を主成分とする合金材料の層を用いることができる。また、導電層 405a 乃至導電層 405d、及び導電層 406a 乃至導電層 406d に適用可能な材料の層の積層により導電層 405a 乃至導電層 405d、及び導電層 406a 乃至導電層 406d のそれぞれを構成することができる。

20

【0170】

例えば、アルミニウム又は銅の金属層と、チタン、モリブデン、又はタングステンなどの高融点金属層との積層により導電層 405a 乃至導電層 405d 及び導電層 406a 乃至導電層 406d を構成することができる。また、複数の高融点金属層の間にアルミニウム又は銅の金属層が設けられた積層により導電層 405a 乃至導電層 405d、及び導電層 406a 乃至導電層 406d を構成することもできる。また、ヒロックやウイスキーの発生を防止する元素 (Si 、 Nd 、 Sc など) が添加されているアルミニウム層を用いて導電層 405a 乃至導電層 405d、及び導電層 406a 乃至導電層 406d を構成することにより、耐熱性を向上させることができる。

30

【0171】

また、導電層 405a 乃至導電層 405d 及び導電層 406a 乃至導電層 406d として、導電性の金属酸化物を含む層を用いることもできる。導電性の金属酸化物としては、例えば酸化インジウム (In_2O_3)、酸化スズ (SnO_2)、酸化亜鉛 (ZnO)、酸化インジウム酸化スズ合金 ($\text{In}_2\text{O}_3 - \text{SnO}_2$ 、 ITO と略記する)、若しくは酸化インジウム酸化亜鉛合金 ($\text{In}_2\text{O}_3 - \text{ZnO}$)、又はこれらの金属酸化物に酸化シリコンを含むものを用いることができる。

【0172】

さらに導電層 405a 乃至導電層 405d 及び導電層 406a 乃至導電層 406d の形成に用いられる材料を用いて他の配線を形成してもよい。

40

【0173】

絶縁層 427 は、トランジスタのチャネル形成層を保護する層 (チャネル保護層ともいう) としての機能を有し、絶縁層 427 としては、例えば絶縁層 447 に適用可能な材料の層を用いることができる。また、絶縁層 427 に適用可能な材料の層の積層により絶縁層 427 を構成することもできる。

【0174】

酸化物絶縁層 407a 及び酸化物絶縁層 407c としては、酸化物絶縁層を用いることができ、例えば酸化シリコン層などを用いることができる。また、酸化物絶縁層 407a 及び酸化物絶縁層 407c に適用可能な材料の層の積層により酸化物絶縁層 407a 及び酸

50

化物絶縁層 407c を構成することもできる。

【0175】

保護絶縁層 409a 乃至保護絶縁層 409c としては、例えば無機絶縁層を用いることができ、例えば窒化シリコン層、窒化アルミニウム層、窒化酸化シリコン層、又は窒化酸化アルミニウム層などを用いることができる。また、保護絶縁層 409a 乃至保護絶縁層 409c に適用可能な材料の層の積層により保護絶縁層 409a 乃至保護絶縁層 409c を構成することもできる。

【0176】

さらに、本実施の形態のトランジスタの作製方法の一例として、図 5 (A) に示すトランジスタの作製方法例について、図 6 (A) 乃至図 6 (C)、図 7 (A) 及び図 7 (B) を用いて説明する。図 6 (A) 乃至図 6 (C) 並びに図 7 (A) 及び図 7 (B) は、図 5 (A) に示すトランジスタの作製方法例を説明するための断面模式図である。

10

【0177】

まず、基板 400a を準備し、基板 400a の上に第 1 の導電膜を形成する。

【0178】

また、第 1 の導電膜としては、例えばモリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、若しくはスカンジウムなどの金属材料、又はこれらを主成分とする合金材料の膜を用いることができる。また、第 1 の導電膜に適用可能な材料の膜の積層膜により、第 1 の導電膜を構成することもできる。

20

【0179】

次に、第 1 のフォトリソグラフィ工程により第 1 の導電膜の上に第 1 のレジストマスクを形成し、第 1 のレジストマスクを用いて選択的に第 1 の導電膜のエッチングを行うことにより導電層 401a を形成し、第 1 のレジストマスクを除去する。

【0180】

なお、本実施の形態において、インクジェット法を用いてレジストマスクを形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0181】

また、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するために、多階調マスクによって形成されたレジストマスクを用いてエッチングを行ってもよい。多階調マスクは、透過した光が複数の強度となる露光マスクである。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、エッチングを行うことでさらに形状を変形させることができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、製造工程を簡略にすることができる。

30

【0182】

次に、導電層 401a の上に絶縁層 402a を形成する。

【0183】

例えば、高密度プラズマ CVD 法を用いて絶縁膜を成膜することにより絶縁層 402a を形成することができる。例えば、 μ 波 (例えば、周波数 2.45 GHz) を用いた高密度プラズマ CVD 法は、緻密で絶縁耐圧の高い高品質な絶縁膜を成膜することができるため、好ましい。高密度プラズマ CVD 法を用いて絶縁膜を成膜して高品質な絶縁層を形成することにより、トランジスタのゲート絶縁層とチャネル形成層との界面準位が低減し、界面特性を良好にすることができる。

40

【0184】

また、スパッタリング法やプラズマ CVD 法など、他の方法を用いて絶縁層 402a を形成することもできる。また、絶縁層 402a の形成後に加熱処理を行ってもよい。上記加熱処理を行うことにより絶縁層 402a の質、酸化物半導体との界面特性を改質させるこ

50

とができる。

【0185】

次に、絶縁層402aの上に膜厚2nm以上200nm以下、好ましくは5nm以上30nm以下の酸化物半導体膜530を成膜する。例えば、スパッタリング法を用いて酸化物半導体膜530を形成することができる。

【0186】

なお、酸化物半導体膜530を形成する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、絶縁層402aの表面に付着している粉状物質（パーティクル、ごみともいう）を除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加し、基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いてもよい。

10

【0187】

例えば、酸化物半導体層403aに適用可能な酸化物半導体材料を用いて酸化物半導体膜530を形成することができる。本実施の形態では、一例としてIn-Ga-Zn-O系酸化物ターゲットを用いてスパッタリング法により酸化物半導体膜530を形成する。この段階での断面模式図が図6(A)に相当する。また、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、又は希ガスと酸素の混合雰囲気下において、スパッタリング法により酸化物半導体膜530を形成することもできる。

【0188】

スパッタリング法を用いて酸化物半導体膜530を作製するためのターゲットとしては、例えば、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [mol数比]の組成比である酸化物ターゲットを用いることができる。また、上記に示すターゲットに限定されず、例えば、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ [mol数比]の組成比である酸化物ターゲットを用いてもよい。また、作製される酸化物ターゲットの全体の体積に対して全体の体積から空隙などが占める空間を除いた部分の体積の割合（充填率ともいう）は、90%以上100%以下、好ましくは95%以上99.9%以下である。充填率の高い金属酸化物ターゲットを用いることにより形成した酸化物半導体膜は、緻密な膜となる。

20

【0189】

なお、酸化物半導体膜530を成膜する際に用いるスパッタリングガスとしては、例えば水素、水、水酸基、又は水素化物などの不純物が除去された高純度ガスを用いることが好ましい。

30

【0190】

また、酸化物半導体膜530を成膜する前に、スパッタリング装置の予備加熱室で導電層401aが形成された基板400a、又は導電層401a及び絶縁層402aが形成された基板400aを予備加熱し、基板400aに吸着した水素、水分などの不純物を脱離し排気することが好ましい。上記予備加熱により、絶縁層402a及び酸化物半導体膜530への水素、水酸基、及び水分の侵入を抑制することができる。また、予備加熱室に設ける排気手段としては、例えばクライオポンプを用いることが好ましい。また、この予備加熱の処理は省略することもできる。また、酸化物絶縁層407aの成膜前に、導電層405a及び導電層406aまで形成した基板400aにも同様に上記予備加熱を行ってもよい。

40

【0191】

また、スパッタリング法を用いて酸化物半導体膜530を成膜する場合、減圧状態に保持された成膜室内に基板400aを保持し、基板温度を100以上600以下、好ましくは200以上400以下とする。基板400aを加熱することにより、形成する酸化物半導体膜530に含まれる不純物の濃度を低減することができる。また、スパッタリングによる酸化物半導体膜530の損傷が軽減する。そして、成膜室内の残留水分を除去しつつ水素及び水分が除去されたスパッタリングガスを導入し、上記ターゲットを用いて絶縁層402aの上に酸化物半導体膜530を成膜する。

50

【0192】

なお、本実施の形態において、スパッタリングを行う際の成膜室内の残留水分を除去する手段としては、例えば吸着型の真空ポンプなどを用いることができる。吸着型の真空ポンプとしては、例えばクライオポンプ、イオンポンプ、又はチタンサブリメーションポンプなどを用いることができる。例えばクライオポンプを用いることにより、例えば水素原子及び炭素原子のいずれか一つ又は複数を含む化合物などを排気することができ、成膜室で形成される膜に含まれる不純物の濃度を低減することができる。また、本実施の形態において、スパッタリングを行う際の成膜室内の残留水分を除去する手段として、ターボポンプにコールドトラップを加えたものを用いることもできる。

【0193】

スパッタリング装置を用いた酸化物半導体膜530の成膜条件の一例としては、基板とターゲットの間との距離を100mm、圧力0.6Pa、直流(DC)電源0.5kW、酸素(酸素流量比率100%)雰囲気下という条件が適用される。なお、パルス直流電源を用いると、成膜時に発生する粉状物質が軽減でき、膜厚分布も均一となる。

【0194】

次に、第2のフォトリソグラフィ工程により酸化物半導体膜530の上に第2のレジストマスクを形成し、第2のレジストマスクを用いて選択的に酸化物半導体膜530のエッチングを行うことにより、酸化物半導体膜530を島状の酸化物半導体層に加工し、第2のレジストマスクを除去する。

【0195】

なお、絶縁層402aにコンタクトホールを形成する場合、酸化物半導体膜530を島状の酸化物半導体層に加工する際に該コンタクトホールを形成することもできる。

【0196】

例えばドライエッチング、ウェットエッチング、又はドライエッチング及びウェットエッチングの両方を用いて酸化物半導体膜530のエッチングを行うことができる。ウェットエッチングに用いるエッチング液としては、例えばリン酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、エッチング液としてITO07N(関東化学社製)を用いてもよい。

【0197】

次に、酸化物半導体層に第1の加熱処理を行う。この第1の加熱処理によって酸化物半導体層の脱水化又は脱水素化を行うことができる。第1の加熱処理の温度は、400以上750以下、又は400以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下450において1時間の加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層403aを得る(図6(B)参照)。

【0198】

なお、加熱処理装置は、電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導又は熱輻射により被処理物を加熱する装置を備えていてもよい。加熱処理装置としては、例えばGRTA(Gas Rapid Thermal Anneal)装置又はLRTA(Lamp Rapid Thermal Anneal)装置などのRTA(Rapid Thermal Anneal)装置を用いることができる。LRTA装置は、例えばハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、又は高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。また、GRTA装置は、高温のガスを用いて加熱処理を行う装置である。高温のガスとしては、例えばアルゴンなどの希ガス、又は窒素のような、加熱処理によって被処理物と反応しない不活性気体を用いることができる。

【0199】

例えば、第1の加熱処理として、650~700に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて加熱した不活性ガス中から出す方式のGRTAを行ってもよい。

10

20

30

40

50

【0200】

なお、第1の加熱処理においては、窒素、又はヘリウム、ネオン、アルゴンなどの希ガスに、水、水素などが含まれないことが好ましい。また、加熱処理装置に導入する窒素、又はヘリウム、ネオン、若しくはアルゴンなどの希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、すなわち不純物濃度を1ppm以下、好ましくは0.1ppm以下とすることが好ましい。

【0201】

また、第1の加熱処理で酸化物半導体層を加熱した後、その加熱温度を維持しながら又はその加熱温度から降温する過程で、第1の加熱処理を行った炉と同じ炉に高純度の酸素ガス、高純度の N_2O ガス、又は超乾燥エア(露点が-40以下、好ましくは-60以下の雰囲気)を導入してもよい。このとき、酸素ガス又は N_2O ガスは、水、水素などを含まないことが好ましい。また、加熱処理装置に導入する酸素ガス又は N_2O ガスの純度を、6N以上、好ましくは7N以上、すなわち、酸素ガス又は N_2O ガス中の不純物濃度を1ppm以下、好ましくは0.1ppm以下とすることが好ましい。酸素ガス又は N_2O ガスの作用により、脱水化又は脱水素化処理による不純物の排除工程によって同時に減少してしまった酸素を供給することによって、酸化物半導体層403aを高純度化させる。

10

【0202】

また、島状の酸化物半導体層に加工する前の酸化物半導体膜530に第1の加熱処理を行うこともできる。その場合には、第1の加熱処理後に加熱装置から基板を取り出し、島状の酸化物半導体層に加工する。

20

【0203】

また、上記以外にも、酸化物半導体層形成後であれば、酸化物半導体層403aの上に導電層405a及び導電層406aを形成した後、又は導電層405a及び導電層406aの上に酸化物絶縁層407aを形成した後に第1の加熱処理を行ってもよい。

【0204】

また、絶縁層402aにコンタクトホールを形成する場合、第1の加熱処理を行う前にコンタクトホールを形成してもよい。

【0205】

また、酸化物半導体膜を2回に分けて成膜し、2回に分けて加熱処理を行うことで、下地部材の材料が、酸化物、窒化物、金属など材料を問わず、膜厚の厚い結晶領域(単結晶領域)、すなわち、膜表面に対して垂直にc軸配向した結晶領域を有する膜を用いて酸化物半導体層を形成してもよい。例えば、膜厚が3nm以上15nm以下の第1の酸化物半導体膜を成膜し、さらに第1の加熱処理として、窒素、酸素、希ガス、又は乾燥エアの雰囲気下で450以上850以下、好ましくは550以上750以下の加熱処理を行い、表面を含む領域に結晶領域(板状結晶を含む)を有する第1の酸化物半導体膜を形成する。そして、第1の酸化物半導体膜よりも厚い第2の酸化物半導体膜を形成する。さらに第2の加熱処理として、450以上850以下、好ましくは600以上700以下の加熱処理を行い、第1の酸化物半導体膜を結晶成長の種として、第1の酸化物半導体膜から第2の酸化物半導体膜にかけて上方に向かって結晶成長させ、第2の酸化物半導体膜の全体を結晶化させる。その結果、膜厚の厚い結晶領域を有する酸化物半導体膜を用いて酸化物半導体層403aを形成することができる。

30

40

【0206】

次に、絶縁層402a及び酸化物半導体層403aの上に第2の導電膜を形成する。

【0207】

第2の導電膜としては、例えばアルミニウム、クロム、銅、タンタル、チタン、モリブデン、若しくはタングステンなどの金属材料、又はこれらの金属材料を主成分とする合金材料の膜を用いることができる。また、第2の導電膜に適用可能な膜の積層膜により第2の導電膜を形成してもよい。

【0208】

50

次に、第3のフォトリソグラフィ工程により第2の導電膜の上に第3のレジストマスクを形成し、第3のレジストマスクを用いて選択的にエッチングを行って導電層405a及び導電層406aを形成した後、第3のレジストマスクを除去する(図6(C)参照)。

【0209】

なお、導電層405a及び導電層406aを形成する際に、第2の導電膜を用いて他の配線を形成することもできる。

【0210】

また、第3のレジストマスク形成時の露光として、紫外線やKrFレーザ光やArFレーザ光を用いることが好ましい。酸化物半導体層403aの上で隣り合う導電層405aの下端部と導電層406aの下端部との間隔幅により、後に形成されるトランジスタのチャネル長Lが決定される。なお、第3のレジストマスクの形成の際にチャネル長 $L = 25\text{ nm}$ 未満の露光を行う場合には、数 nm ～数 10 nm と極めて波長が短い超紫外線(Extreme Ultraviolet)を用いて露光を行うとよい。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャネル長Lを 10 nm 以上 1000 nm 以下とすることも可能である。上記露光を用いて形成されたトランジスタを用いることにより、回路の動作速度を速くことができ、さらに該トランジスタのオフ電流は、極めて少ないため、消費電力を低減することもできる。

10

【0211】

なお、第2の導電膜のエッチングを行う場合、エッチングによる酸化物半導体層403aの分断を抑制するために、エッチング条件を最適化することが好ましい。しかしながら、第2の導電膜のみエッチングが行われ、酸化物半導体層403aは、全くエッチングが行われないという条件を得ることは難しく、第2の導電膜のエッチングの際に酸化物半導体層403aは一部のみエッチングが行われ、溝部(凹部)を有する酸化物半導体層403aとなることもある。

20

【0212】

本実施の形態では、第2の導電膜の一例としてチタン膜を用い、酸化物半導体層403aの一例としてIn-Ga-Zn-O系酸化物半導体を用いるため、エッチャントとしてアンモニア過水(アンモニア、水、過酸化水素水の混合液)を用いる。

【0213】

次に、酸化物半導体層403a、導電層405a、及び導電層406aの上に酸化物絶縁層407aを形成する。このとき酸化物絶縁層407aは、酸化物半導体層403aの上面の一部に接する。

30

【0214】

酸化物絶縁層407aは、少なくとも 1 nm 以上の膜厚とし、スパッタリング法など、酸化物絶縁層407aに水又は水素などの不純物が混入しない方法を適宜用いて形成することができる。酸化物絶縁層407aに水素が混入すると、該水素の酸化物半導体層への侵入又は該水素による酸化物半導体層中の酸素の引き抜きにより、酸化物半導体層のバックチャネルが低抵抗化(N型化)し、寄生チャネルが形成されるおそれがある。よって、酸化物絶縁層407aができるだけ水素を含まない層になるように、酸化物絶縁層407aの作製方法として水素を用いない方法を用いることが好ましい。

40

【0215】

本実施の形態では、酸化物絶縁層407aの一例として、スパッタリング法を用いて膜厚 200 nm の酸化シリコン膜を形成する。成膜時の基板温度は、室温以上 300 以下とすればよく、本実施の形態では一例として 100 とする。酸化シリコン膜のスパッタリング法による成膜は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、又は希ガスと酸素の混合雰囲気下において行うことができる。

【0216】

また、酸化物絶縁層407aを形成するためのターゲットとしては、例えば酸化シリコンターゲット又はシリコンターゲットなどを用いることができる。例えば、シリコンターゲットを用いて、酸素を含む雰囲気下でスパッタリング法により酸化シリコン膜を形成する

50

ことができる。

【0217】

また、酸化物絶縁層407aを形成する際に用いるスパッタリングガスは、例えば水素、水、水酸基、又は水素化物などの不純物が除去された高純度ガスを用いることが好ましい。

【0218】

また、酸化物絶縁層407aを形成する前に N_2O 、 N_2 、又はArなどのガスを用いたプラズマ処理を行い、露出している酸化物半導体層403aの表面に付着した吸着水などを除去してもよい。プラズマ処理を行った場合、大気に触れることなく、酸化物半導体層403aの上面の一部に接する酸化物絶縁層407aを形成することが好ましい。

10

【0219】

さらに、不活性ガス雰囲気下、又は酸素ガス雰囲気下で第2の加熱処理（好ましくは200以上400以下、例えば250以上350以下）を行うこともできる。例えば、第2の加熱処理として、窒素雰囲気下で250、1時間の加熱処理を行う。第2の加熱処理を行うと、酸化物半導体層403aの上面の一部が酸化物絶縁層407aと接した状態で加熱される。

【0220】

以上の工程を経ることによって、水素、水分、水酸基、又は水素化物（水素化合物ともいう）などの不純物を酸化物半導体層から意図的に排除し、且つ酸素を酸化物半導体層に供給することができる。よって、酸化物半導体層は高純度化する。

20

【0221】

以上の工程でトランジスタが作製される（図7（A）参照）。

【0222】

また、酸化物絶縁層407aとして欠陥を多く含む酸化シリコン層を用いると、酸化シリコン層形成後の加熱処理によって酸化物半導体層403a中に含まれる水素、水分、水酸基、又は水素化物などの不純物を酸化物絶縁層407aに拡散させ、酸化物半導体層403a中に含まれる該不純物をより低減させる効果を奏する。

【0223】

酸化物絶縁層407aの上にさらに保護絶縁層409aを形成してもよい。例えば、RFスパッタリング法を用いて窒化シリコン膜を形成する。RFスパッタリング法は、量産性がよいため、保護絶縁層409aの成膜方法として好ましい。本実施の形態では、一例として窒化シリコン膜を形成することにより保護絶縁層409aを形成する（図7（B）参照）。

30

【0224】

本実施の形態では、図7（A）に示すように酸化物絶縁層407aまで形成された基板400aを100～400の温度に加熱し、水素及び水分が除去された高純度窒素を含むスパッタリングガスを導入し、シリコン半導体のターゲットを用いて窒化シリコン膜を形成することで保護絶縁層409aを形成する。この場合においても、酸化物絶縁層407aと同様に、成膜室内の残留水分を除去しつつ保護絶縁層409aを成膜することが好ましい。

40

【0225】

保護絶縁層409aの形成後、さらに大気中、100以上200以下、1時間以上30時間以下での加熱処理を行ってもよい。この加熱処理では、一定の加熱温度を保持して加熱してもよいし、室温から、100以上200以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。以上が図5（A）に示すトランジスタの作製方法の一例である。

【0226】

なお、図5（A）に示すトランジスタの作製方法の一例を示したが、これに限定されず、例えば図5（B）乃至図5（D）に示す各構成要素において、名称が図5（A）に示す各構成要素と同じであり且つ機能の少なくとも一部が図5（A）に示す各構成要素と同じで

50

あれば、図 5 (A) に示すトランジスタの作製方法の一例の説明を適宜援用することができる。

【 0 2 2 7 】

以上のように、本実施の形態のトランジスタは、チャンネルが形成される層として、高純度化させることにより I 型又は実質的に I 型となった酸化物半導体層を含む構造である。酸化物半導体層を高純度化させることにより、酸化物半導体層のキャリア濃度を $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満にすることができ、温度変化による特性変化を抑制することができる。また、上記構造にすることにより、チャンネル幅 $1 \mu\text{m}$ あたりのオフ電流を 10 aA ($1 \times 10^{-17} \text{ A}$) 以下にすること、さらにはチャンネル幅 $1 \mu\text{m}$ あたりのオフ電流を 1 aA ($1 \times 10^{-18} \text{ A}$) 以下、さらにはチャンネル幅 $1 \mu\text{m}$ あたりのオフ電流を 10 zA ($1 \times 10^{-20} \text{ A}$) 以下、さらにはチャンネル幅 $1 \mu\text{m}$ あたりのオフ電流を 1 zA ($1 \times 10^{-21} \text{ A}$) 以下、さらにはチャンネル幅 $1 \mu\text{m}$ あたりのオフ電流を 100 yA ($1 \times 10^{-22} \text{ A}$) 以下にすることができる。トランジスタのオフ電流は、低ければ低いほどよいが、本実施の形態のトランジスタのオフ電流の下限値は、約 $10^{-30} \text{ A} / \mu\text{m}$ であると思積られる。

10

【 0 2 2 8 】

さらに、特性評価用回路によるリーク電流測定を用いた、本実施の形態のトランジスタの一例のオフ電流の値の算出例について以下に説明する。

20

【 0 2 2 9 】

まず、特性評価用回路の構成について、図 8 を用いて説明する。図 8 は、特性評価用回路の構成を示す回路図である。

【 0 2 3 0 】

図 8 に示す特性評価用回路は、複数の測定系 8 0 1 を備える。複数の測定系 8 0 1 は、互いに並列に接続される。ここでは、一例として 8 個の測定系 8 0 1 が並列に接続される構成とする。

【 0 2 3 1 】

測定系 8 0 1 は、トランジスタ 8 1 1 と、トランジスタ 8 1 2 と、容量素子 8 1 3 と、トランジスタ 8 1 4 と、トランジスタ 8 1 5 と、を含む。

30

【 0 2 3 2 】

トランジスタ 8 1 1 のソース及びドレインの一方には、電圧 V_1 が入力され、トランジスタ 8 1 1 のゲートには、電圧 V_{ext_a} が入力される。トランジスタ 8 1 1 は、電荷注入用のトランジスタである。

【 0 2 3 3 】

トランジスタ 8 1 2 のソース及びドレインの一方は、トランジスタ 8 1 1 のソース及びドレインの他方に接続され、トランジスタ 8 1 2 のソース及びドレインの他方には、電圧 V_2 が入力され、トランジスタ 8 1 2 のゲートには、電圧 V_{ext_b} が入力される。トランジスタ 8 1 2 は、リーク電流評価用のトランジスタである。なお、ここでのリーク電流とは、トランジスタのオフ電流を含むリーク電流である。

40

【 0 2 3 4 】

容量素子 8 1 3 の第 1 の電極は、トランジスタ 8 1 1 のソース及びドレインの他方に接続され、容量素子 8 1 3 の第 2 の電極には、電圧 V_2 が入力される。ここでは、電圧 V_2 として 0 V が入力される。

【 0 2 3 5 】

トランジスタ 8 1 4 のソース及びドレインの一方には、電圧 V_3 が入力され、トランジスタ 8 1 4 のゲートは、トランジスタ 8 1 1 のソース及びドレインの他方に接続される。なお、トランジスタ 8 1 4 のゲートと、トランジスタ 8 1 1 のソース及びドレインの他方、トランジスタ 8 1 2 のソース及びドレインの一方、並びに容量素子 8 1 3 の第 1 の電極との接続箇所をノード A ともいう。

50

【 0 2 3 6 】

トランジスタ 8 1 5 のソース及びドレインの一方は、トランジスタ 8 1 4 のソース及びドレインの他方に接続され、トランジスタ 8 1 5 のソース及びドレインの他方には、電圧 V が入力され、トランジスタ 8 1 5 のゲートには、電圧 V_{ext_c} が入力される。なお、ここでは、電圧 V_{ext_c} として 0.5 V が入力される。

【0237】

さらに、測定系 8 0 1 は、トランジスタ 8 1 4 のソース及びドレインの他方と、トランジスタ 8 1 5 のソース及びドレインの一方との接続箇所の電圧を出力電圧 V_{out} として出力する。

【0238】

ここでは、トランジスタ 8 1 1 の一例として、酸化物半導体層を含み、チャネル長 $L = 10\text{ }\mu\text{m}$ 、チャネル幅 $W = 10\text{ }\mu\text{m}$ のトランジスタを用いる。また、トランジスタ 8 1 4 及びトランジスタ 8 1 5 の一例として、酸化物半導体層を含み、チャネル長 $L = 3\text{ }\mu\text{m}$ 、チャネル幅 $W = 100\text{ }\mu\text{m}$ のトランジスタを用いる。また、トランジスタ 8 1 2 の一例として、酸化物半導体層を含み、酸化物半導体層の上部にソース電極及びドレイン電極が接し、ソース電極及びドレイン電極と、ゲート電極とのオーバーラップ領域を設けず、幅 $1\text{ }\mu\text{m}$ のオフセット領域を有するボトムゲート構造のトランジスタを用いる。オフセット領域を設けることにより、寄生容量を低減することができる。さらにトランジスタ 8 1 2 としては、チャネル長 L 及びチャネル幅 W の異なる 6 条件のトランジスタを用いる（表 1 参照）。

【0239】

【表 1】

	チャネル長 $L[\mu\text{m}]$	チャネル幅 $W[\mu\text{m}]$
条件1	1.5	1×10^5
条件2	3	1×10^5
条件3	10	1×10^5
条件4	1.5	1×10^6
条件5	3	1×10^6
条件6	10	1×10^6

【0240】

図 8 に示すように、電荷注入用のトランジスタと、リーク電流評価用のトランジスタとを別々に設けることにより、電荷注入の際に、リーク電流評価用のトランジスタを常にオフ状態に保つことができる。電荷注入用のトランジスタを設けない場合には、電荷注入の際に、リーク電流評価用トランジスタを一度オン状態にする必要があるが、オン状態からオフ状態の定常状態に到るまでに時間を要するような素子では、測定に時間を要してしまう。

【0241】

また、電荷注入用のトランジスタと、リーク電流評価用のトランジスタとを別々に設けることにより、それぞれのトランジスタを適切なサイズとすることができる。また、リーク電流評価用トランジスタのチャネル幅 W を、電荷注入用のトランジスタのチャネル幅 W よりも大きくすることにより、リーク電流評価用トランジスタ以外の特性評価回路のリーク電流成分を相対的に小さくすることができる。その結果、リーク電流評価用トランジスタのリーク電流を高い精度で測定することができる。同時に、電荷注入の際に、リーク電流評価用トランジスタを一度オン状態とする必要がないため、チャネル形成領域の電荷の一部がノード A に流れ込むことによるノード A の電圧変動の影響もない。

【0242】

一方、電荷注入用トランジスタのチャネル幅 W を、リーク電流評価用トランジスタのチャネル幅 W よりも小さくすることにより、電荷注入用トランジスタのリーク電流を相対的に小さくすることができる。また、電荷注入の際に、チャネル形成領域の電荷の一部がノード A に流れ込むことによるノード A の電圧変動の影響も小さい。

【0243】

また、図 8 に示すように、複数の測定系を並列接続させた構造にすることにより、より正

10

20

30

40

50

確に特性評価回路のリーク電流を算出することができる。

【 0 2 4 4 】

次に、図 8 に示す特性評価回路を用いた、本実施の形態のトランジスタの一例のオフ電流の値の算出方法について説明する。

【 0 2 4 5 】

まず、図 8 に示す特性評価回路のリーク電流測定方法について、図 9 を用いて説明する。図 9 は、図 8 に示す特性評価回路を用いたリーク電流測定方法を説明するためのタイミングチャートである。

【 0 2 4 6 】

図 8 に示す特性評価回路を用いたリーク電流測定方法は、書き込み期間及び保持期間に分けられる。それぞれの期間における動作について、以下に説明する。

10

【 0 2 4 7 】

まず、書き込み期間において、電圧 V_{ext_b} として、トランジスタ 8 1 2 がオフ状態となるような電圧 V_L (- 3 V) を入力する。また、電圧 V_1 として、書き込み電圧 V_w を入力した後、電圧 V_{ext_a} として、一定期間トランジスタ 8 1 1 がオン状態となるような電圧 V_H (5 V) を入力する。これによって、ノード A に電荷が蓄積され、ノード A の電圧は、書き込み電圧 V_w と同等の値になる。その後、電圧 V_{ext_a} として、トランジスタ 8 1 1 がオフ状態となるような電圧 V_L を入力する。その後、電圧 V_1 として、電圧 V_{SS} (0 V) を入力する。

【 0 2 4 8 】

20

その後、保持期間において、ノード A が保持する電荷量の変化に起因して生じるノード A の電圧の変化量の測定を行う。電圧の変化量から、トランジスタ 8 1 2 のソース電極とドレイン電極との間を流れる電流値を算出することができる。以上により、ノード A の電荷の蓄積とノード A の電圧の変化量の測定とを行うことができる。

【 0 2 4 9 】

このとき、ノード A の電荷の蓄積及びノード A の電圧の変化量の測定 (蓄積及び測定動作ともいう) を繰り返し行う。まず、第 1 の蓄積及び測定動作を 1 5 回繰り返し行う。第 1 の蓄積及び測定動作では、書き込み期間に書き込み電圧 V_w として 5 V の電圧を入力し、保持期間に 1 時間の保持を行う。次に、第 2 の蓄積及び測定動作を 2 回繰り返し行う。第 2 の蓄積及び測定動作では、書き込み期間に書き込み電圧 V_w として 3 . 5 V の電圧を入力し、保持期間に 5 0 時間の保持を行う。次に、第 3 の蓄積及び測定動作を 1 回行う。第 3 の蓄積及び測定動作では、書き込み期間に書き込み電圧 V_w として 4 . 5 V の電圧を入力し、保持期間に 1 0 時間の保持を行う。蓄積及び測定動作を繰り返し行うことにより、測定した電流値が、定常状態における値であることを確認することができる。言い換えると、ノード A を流れる電流 I_A のうち、過渡電流 (測定開始後から時間経過とともに減少していく電流成分) を除くことができる。その結果、より高い精度でリーク電流を測定することができる。

30

【 0 2 5 0 】

一般に、ノード A の電圧 V_A は、出力電圧 V_{out} の関数として式 (1) のように表される。

40

【 0 2 5 1 】

【 数 1 】

$$V_A = F(V_{out}) \quad (1)$$

【 0 2 5 2 】

また、ノード A の電荷 Q_A は、ノード A の電圧 V_A 、ノード A に接続される容量 C_A 、定数 (c o n s t) を用いて、式 (2) のように表される。ここで、ノード A に接続される容量 C_A は、容量素子 8 1 3 の容量と容量素子 8 1 3 以外の容量成分の和である。

【 0 2 5 3 】

【数 2】

$$Q_A = C_A V_A + \text{const} \quad (2)$$

【0254】

ノード A の電流 I_A は、ノード A に流れ込む電荷（またはノード A から流れ出る電荷）の時間微分であるから、ノード A の電流 I_A は、式（3）のように表される。

【0255】

【数 3】

$$I_A = \frac{\Delta Q_A}{\Delta t} = \frac{C_A \cdot \Delta F(V_{out})}{\Delta t} \quad (3)$$

10

【0256】

なお、ここでは、一例として、 Δt を約 54000 sec とする。このように、ノード A に接続される容量 C_A と、出力電圧 V_{out} から、リーク電流であるノード A の電流 I_A を求めることができるため、特性評価回路のリーク電流を求めることができる。

【0257】

次に、上記特性評価回路を用いた測定方法による出力電圧の測定結果及び該測定結果より算出した特性評価回路のリーク電流の値を示す。

【0258】

図 10 に、一例として、条件 4、条件 5、及び条件 6 における上記測定（第 1 の蓄積及び測定動作）に係る経過時間 T_{ime} と、出力電圧 V_{out} との関係を示す。図 11 に、上記測定に係る経過時間 T_{ime} と、該測定によって算出された電流 I_A との関係を示す。測定開始後から出力電圧 V_{out} が変動しており、定常状態に到るためには 10 時間以上必要であることがわかる。

20

【0259】

また、図 12 に、上記測定により見積もられた条件 1 乃至条件 6 におけるノード A の電圧とリーク電流の関係を示す。図 12 では、例えば条件 4 において、ノード A の電圧が 3.0 V の場合、リーク電流は 28 yA / μm である。リーク電流にはトランジスタ 812 のオフ電流も含まれるため、トランジスタ 812 のオフ電流も 28 yA / μm 以下とみなすことができる。

【0260】

また、図 13 乃至図 15 に、85、125、及び 150 における上記測定により見積もられた条件 1 乃至条件 6 におけるノード A の電圧とリーク電流の関係を示す。図 13 乃至図 15 に示すように、150 の場合であっても、リーク電流は、100 zA / μm 以下であることがわかる。

30

【0261】

以上のように、チャネル形成層としての機能を有し、高純度化された酸化物半導体層を含むトランジスタを用いた特性評価用回路において、リーク電流の値が十分に低いため、該トランジスタのオフ電流が十分に小さいことがわかる。また、上記トランジスタのオフ電流は、温度が上昇した場合であっても十分に低いことがわかる。

【0262】

（実施の形態 5）

本実施の形態では、上記実施の形態に示す液晶表示装置における単位画素の構造例について説明する。

40

【0263】

本実施の形態における単位画素は、例えばトランジスタなどの半導体素子が設けられた第 1 の基板（アクティブマトリクス基板ともいう）と、第 2 の基板（対向基板ともいう）と、アクティブマトリクス基板と対向基板との間に設けられた液晶層と、を含む。

【0264】

まず、本実施の形態の単位画素におけるアクティブマトリクス基板の構造例について、図 16 を用いて説明する。図 16 は、本実施の形態の単位画素におけるアクティブマトリク

50

ス基板の構造例を説明するための模式図であり、図 16 (A) は平面模式図であり、図 16 (B) は、図 16 (A) における線分 A - B の断面模式図である。なお、図 16 では、トランジスタの一例として、上記実施の形態における、図 5 (A) を用いて説明した構造のトランジスタを用いる場合を示す。

【0265】

図 16 (A) 及び図 16 (B) に示すアクティブマトリクス基板は、基板 501 と、導電層 511 と、導電層 512 と、絶縁層 521 と、半導体層 541 と、導電層 551 と、導電層 552 と、導電層 553 と、酸化物絶縁層 561 と、保護絶縁層 571 と、カラーフィルタ層 581 と、平坦化絶縁層 601 と、導電層 611 と、を含む。

【0266】

基板 501 は、図 5 (A) における基板 400a に相当する。

【0267】

導電層 511 及び導電層 512 は、基板 501 の一平面に設けられる。導電層 511 は、選択信号 SEL が入力される選択信号線としての機能を有し、且つ図 5 (A) における導電層 401a に相当する。また、導電層 512 は、容量素子の第 1 の電極としての機能を有する。

【0268】

絶縁層 521 は、導電層 511 及び導電層 512 を介して基板 501 の一平面に設けられる。絶縁層 521 は、図 5 (A) における絶縁層 402a に相当し、且つ容量素子の誘電体としての機能を有する。

【0269】

半導体層 541 は、導電層 511 に重畳し、導電層 511 及び絶縁層 521 を介して基板 501 の一平面に設けられる。半導体層 541 は、図 5 (A) における酸化物半導体層 403a に相当する。

【0270】

導電層 551 は、半導体層 541 に電氣的に接続され、画素データ信号 P X D が入力される画素データ信号線としての機能を有し、且つ図 5 (A) における導電層 405a に相当する。

【0271】

導電層 552 は、半導体層 541 に電氣的に接続される。また、導電層 552 は、絶縁層 521 を介して導電層 512 に重畳する。導電層 552 は、図 5 (A) における導電層 406a に相当し、且つ容量素子の第 2 の電極としての機能を有する。

【0272】

導電層 553 は、絶縁層 521 を貫通して設けられたコンタクトホール 531 を介して導電層 512 に電氣的に接続される。導電層 553 は、電圧が入力される配線としての機能を有する。なお、コンタクトホール 531 は、例えば絶縁層 521 を形成した後に、導電層 512 及び絶縁層 521 を介して基板 501 の一平面に、フォトリソグラフィ工程によりレジストマスクを形成し、絶縁層 521 を選択的にエッチングすることにより形成される。なお、導電層 553 は、必ずしも設けなくてもよく、導電層 512 を配線として機能させることもできる。

【0273】

酸化物絶縁層 561 は、半導体層 541 に接し、導電層 511 及び導電層 512、絶縁層 521、半導体層 541、並びに導電層 551 乃至導電層 553 を介して基板 501 の一平面に設けられる。酸化物絶縁層 561 は、図 5 (A) における酸化物絶縁層 407a に相当する。

【0274】

保護絶縁層 571 は、酸化物絶縁層 561 に積層される。保護絶縁層 571 は、図 5 (A) における保護絶縁層 409a に相当する。

【0275】

カラーフィルタ層 581 は、保護絶縁層 571 に積層される。カラーフィルタ層 581 は

10

20

30

40

50

、カラーフィルタとしての機能を有する。なお、画素に白の単位画素を設ける場合、白の単位画素には、カラーフィルタ層 5 8 1 を設けない。

【0276】

平坦化絶縁層 6 0 1 は、カラーフィルタ層 5 8 1 を介して保護絶縁層 5 7 1 に積層される。

【0277】

導電層 6 1 1 は、平坦化絶縁層 6 0 1 に積層され、且つ平坦化絶縁層 6 0 1、カラーフィルタ層 5 8 1、保護絶縁層 5 7 1、及び酸化物絶縁層 5 6 1 を貫通して設けられたコンタクトホール 5 9 1 を介して導電層 5 5 2 に電氣的に接続される。導電層 6 1 1 は、液晶素子の画素電極としての機能を有する。

10

【0278】

さらに、本実施の形態の単位画素の構造例について、図 1 7 を用いて説明する。図 1 7 は、本実施の形態の単位画素の構造例を示す断面模式図である。

【0279】

図 1 7 に示す単位画素は、図 1 6 (A) 及び図 1 6 (B) に示すアクティブマトリクス基板に加え、基板 6 2 1 と、導電層 6 3 1 と、液晶層 6 4 1 と、を含む。

【0280】

導電層 6 3 1 は、基板 6 2 1 の一平面に設けられる。導電層 6 3 1 は、共通電極としての機能を有する。なお、カラーフィルタ層 5 8 1 を、導電層 5 1 1 及び導電層 5 1 2、絶縁層 5 2 1、半導体層 5 4 1、導電層 5 5 1 乃至導電層 5 5 3、酸化物絶縁層 5 6 1、並びに保護絶縁層 5 7 1 を介して基板 5 0 1 の一平面に設けずに基板 6 2 1 及び導電層 6 3 1 の間に設けてもよい。また、必ずしも導電層 6 3 1 を基板 6 2 1 の一平面に設けなくてもよく、例えば導電層 5 1 1 及び導電層 5 1 2、絶縁層 5 2 1、半導体層 5 4 1、導電層 5 5 1 乃至導電層 5 5 3、酸化物絶縁層 5 6 1、保護絶縁層 5 7 1、並びに平坦化絶縁層 6 0 1 を介して基板 5 0 1 の一平面に設けてもよい。

20

【0281】

液晶層 6 4 1 は、導電層 6 1 1 及び導電層 6 3 1 の間に設けられる。液晶層 6 4 1 は、液晶分子を含む液晶としての機能を有する。

【0282】

基板 5 0 1 及び基板 6 2 1 としては、図 5 (A) における基板 4 0 0 a に適用可能な基板を用いることができる。

30

【0283】

導電層 5 1 1 及び導電層 5 1 2 としては、図 5 (A) における導電層 4 0 1 a に適用可能な材料の層を用いることができる。また、導電層 4 0 1 a に適用可能な材料の層を積層して導電層 5 1 1 及び導電層 5 1 2 を構成してもよい。

【0284】

絶縁層 5 2 1 としては、図 5 (A) における絶縁層 4 0 2 a に適用可能な材料の層を用いることができる。また、絶縁層 4 0 2 a に適用可能な材料の層を積層して絶縁層 5 2 1 を構成してもよい。

40

【0285】

半導体層 5 4 1 としては、図 5 (A) に示す酸化物半導体層 4 0 3 a に適用可能な材料の層を用いることができる。なお、半導体層 5 4 1 として、元素周期表における第 1 4 族の半導体（シリコンなど）を用いた半導体層を用いてもよい。

【0286】

導電層 5 5 1 乃至導電層 5 5 3 としては、図 5 (A) における導電層 4 0 5 a 又は導電層 4 0 6 a に適用可能な材料の層を用いることができる。また、導電層 4 0 5 a 又は導電層 4 0 6 a に適用可能な材料の層を積層して導電層 5 5 1 及び導電層 5 5 3 を構成してもよい。

【0287】

酸化物絶縁層 5 6 1 としては、図 5 (A) における酸化物絶縁層 4 0 7 a に適用可能な材

50

料の層を用いることができる。また、酸化物絶縁層 407a に適用可能な層を積層して酸化物絶縁層 561 を構成してもよい。

【0288】

保護絶縁層 571 としては、図 5 (A) における保護絶縁層 409a に適用可能な材料の層を用いることができる。また、保護絶縁層 409a に適用可能な層を積層して保護絶縁層 571 を構成してもよい。

【0289】

カラーフィルタ層 581 としては、例えば染料又は顔料を含む層を用いることができる。例えば染料を含む場合、フォトリソグラフィ法、印刷法、又はインクジェット法を用いて形成され、顔料を含む場合、フォトリソグラフィ法、印刷法、電着法、又は電子写真法などを用いて形成される。ここではインクジェット法により着色層を形成する。インクジェット法を用いることにより、室温で製造、低真空度で製造、又は大型基板上に製造することができる。また、レジストマスクを用いなくても製造することが可能となるため、製造コスト及び製造工程数を削減できる。さらに、必要な部分にのみ膜を付けるため、全面に成膜した後でエッチングする、という製法よりも材料が無駄にならず、製造コストを低減することができる。

10

【0290】

平坦化絶縁層 601 としては、ポリイミド、アクリル、ベンゾシクロブテン、などの有機材料の層を用いることができる。また平坦化絶縁層としては、低誘電率材料 (low-k 材料ともいう) の層を用いることもできる。また、平坦化絶縁層に適用可能な材料の層の積層により平坦化絶縁層 601 を構成することもできる。

20

【0291】

導電層 611 及び導電層 631 としては、例えば透光性を有する導電材料の層を用いることができ、透光性を有する導電材料としては、例えばインジウム錫酸化物、酸化インジウムに酸化亜鉛を混合した金属酸化物 (IZO: indium zinc oxide ともいう)、酸化インジウムに酸化珪素 (SiO_2) を混合した導電材料、有機インジウム、有機スズ、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、又は酸化チタンを含むインジウム錫酸化物などを用いることができる。

【0292】

また、導電層 611 及び導電層 631 は、導電性高分子 (導電性ポリマーともいう) を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した導電層は、シート抵抗が $10000\ \Omega/\square$ 以下、波長 550 nm における透光率が 70% 以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率は、 $0.1\ \Omega\cdot\text{cm}$ 以下であることが好ましい。

30

【0293】

導電性高分子としては、いわゆる π 電子共役系導電性高分子が用いることができる。 π 電子共役系導電性高分子としては、例えばポリアニリン若しくはその誘導体、ポリピロール若しくはその誘導体、ポリチオフェン若しくはその誘導体、又はアニリン、ピロール及びチオフェンの 2 種以上の共重合体若しくはその誘導体などが挙げられる。

40

【0294】

液晶層 641 としては、例えば TN 液晶、OCB 液晶、STN 液晶、VA 液晶、ECB 型液晶、GH 液晶、高分子分散型液晶、又はディスコチック液晶などを含む層を用いることができる。

【0295】

図 16 及び図 17 を用いて説明したように、本実施の形態の単位画素の一例は、トランジスタ及び画素電極を含むアクティブマトリクス基板と、対向基板と、アクティブマトリクス基板及び対向基板の間に液晶を有する液晶層と、を含む構造である。例えば上記構造にすることにより、上記実施の形態における液晶表示装置の単位画素を構成することができる。

50

【 0 2 9 6 】

(実施の形態 6)

本実施の形態では、上記実施の形態 1 における液晶表示装置のバックライトユニットの一例について説明する。

【 0 2 9 7 】

本実施の形態におけるバックライトユニットの構成例について、図 1 8 を用いて説明する。図 1 8 は、本実施の形態におけるバックライトユニットの構成例を示す模式図である。

【 0 2 9 8 】

図 1 8 (A) は、直下型バックライトユニットの構成例を示す模式図である。図 1 8 (A) に示すバックライトユニットは、反射板 7 0 1 a と、冷陰極管 7 0 2 a と、拡散板 7 0 3 a と、プリズムシート 7 0 4 a と、を備える。

10

【 0 2 9 9 】

冷陰極管 7 0 2 a は、反射板 7 0 1 a の一平面に設けられ、反射板 7 0 1 a 及び拡散板 7 0 3 a の間に挟まれている。なお、図 1 8 (A) に示すように、冷陰極管 7 0 2 a を複数設けてもよい。

【 0 3 0 0 】

拡散板 7 0 3 a は、冷陰極管 7 0 2 a を介して反射板 7 0 1 a の一平面に設けられる。

【 0 3 0 1 】

プリズムシート 7 0 4 a は、冷陰極管 7 0 2 a 及び拡散板 7 0 3 a を介して反射板 7 0 1 a の一平面に設けられる。

20

【 0 3 0 2 】

図 1 8 (A) に示すバックライトユニットは、拡散板 7 0 3 a 及びプリズムシート 7 0 4 a を介して冷陰極管 7 0 2 a からの光を射出する。

【 0 3 0 3 】

また、図 1 8 (B) は、サイドライト型バックライトユニットの構成例を示す模式図である。図 1 8 (B) に示すバックライトユニットは、反射板 7 0 1 b と、冷陰極管 7 0 2 b と、拡散板 7 0 3 b と、プリズムシート 7 0 4 b と、散乱パターン 7 0 8 と、導光板 7 0 9 と、ランプリフレクタ 7 1 0 と、を備える。

【 0 3 0 4 】

冷陰極管 7 0 2 b は、導光板 7 0 9 の第 1 の側面に設けられる。なお、導光板 7 0 9 の厚さは、第 1 の側面から第 1 の側面に対向する第 2 の側面にかけて、徐々に薄くなっていることが好ましい。

30

【 0 3 0 5 】

拡散板 7 0 3 b は、導光板 7 0 9 の第 1 の平面に設けられる。

【 0 3 0 6 】

プリズムシート 7 0 4 b は、拡散板 7 0 3 b を介して導光板 7 0 9 の第 1 の平面に設けられる。

【 0 3 0 7 】

散乱パターン 7 0 8 は、導光板 7 0 9 の第 1 の平面に対向する第 2 の平面に設けられる。なお、図 1 8 (B) に示すように、散乱パターン 7 0 8 を複数設けてもよい。

40

【 0 3 0 8 】

反射板 7 0 1 b は、散乱パターン 7 0 8 を介して導光板 7 0 9 の第 2 の平面に設けられる。

【 0 3 0 9 】

ランプリフレクタ 7 1 0 は、冷陰極管 7 0 2 b の光を集めるために設けられる。ランプリフレクタ 7 1 0 を用いることにより、導光板 7 0 9 への冷陰極管 7 0 2 b の光の入射効率を向上させることができる。

【 0 3 1 0 】

図 1 8 (B) に示すバックライトユニットは、冷陰極管 7 0 2 b からの光を導光板 7 0 9 により全反射させ、且つ散乱パターン 7 0 8 により散乱させることにより、拡散板 7 0 3

50

b及びプリズムシート704bを介して光を射出する。

【0311】

拡散板703a及び拡散板703bは、入射した光を散乱させる機能を有する。なお、拡散板703a及び拡散板703bを設けることにより、バックライトユニットから射出する光の輝度を一樣にすることができる。また、拡散板703a及び拡散板703bを複数設けることもできる。

【0312】

また、プリズムシート704a及びプリズムシート704bは、必ずしも設けなくてもよいが、プリズムシート704a及びプリズムシート704bを設けることにより、バックライトユニットから射出する光の輝度を向上させることができる。プリズムシート704a及びプリズムシート704bは、例えば樹脂などをエッチングなどで加工することにより形成される。なお、本実施の形態のバックライトユニットを、複数のプリズムシート704a及び複数のプリズムシート704bを備える構成にすることもできる。

10

【0313】

図18を用いて説明したように、本実施の形態のバックライトユニットの一例は、光源として冷陰極管を用いた構成である。上記構成にすることにより、発光効率の高い光を画素に射出することができる。

【0314】

また、本実施の形態のバックライトユニットから射出した光を画素に入射し、画素がバックライトユニットからの光を設定した透過率で透過することにより、画素において表示を行うことができる。

20

【0315】

(実施の形態7)

本実施の形態では、上記実施の形態における液晶表示装置を備えた電子機器について説明する。

【0316】

本実施の形態の電子機器の構成例について、図19(A)、図19(B)、図19(C)、図19(D)、図19(E)、及び図19(F)を用いて説明する。図19(A)乃至図19(F)は、本実施の形態の電子機器の構成例を示す図である。

【0317】

図19(A)に示す電子機器は、携帯型情報通信端末である。図19(A)に示す携帯型情報通信端末は、少なくとも表示部1001を備える。上記実施の形態の液晶表示装置は、1回の画素データの書き込みに対する表示時間が長いために、書き込み動作の間隔を長くすることができる。そのため、上記実施の形態に示す液晶表示装置を表示部1001に用いることにより、例えば表示部1001において長時間画像を閲覧する場合であっても、眼精疲労を抑制することができる。

30

【0318】

図19(B)に示す電子機器は、例えばカーナビゲーションを含む情報案内端末である。図19(B)に示す情報案内端末は、少なくとも表示部1101を有し、さらに図19(B)に示す情報案内端末を操作ボタン1102及び外部入力端子1103を備える構成にすることもできる。自動車の車内は、気温と共に温度が大きく変動し、温度が50を超えることもある。しかし上記実施の形態に示す液晶表示装置は、温度による特性変化の影響が少ないため、上記実施の形態の液晶表示装置を表示部1101に用いることにより、自動車の車内のような温度が大きく変動する環境下においても情報案内端末を使用することができる。

40

【0319】

図19(C)に示す電子機器は、ノート型パーソナルコンピュータである。図19(C)に示すノート型パーソナルコンピュータは、筐体1201と、表示部1202と、スピーカ1203と、LEDランプ1204と、ポインティングデバイス1205と、接続端子1206と、キーボード1207と、を備える。上記実施の形態の液晶表示装置は、1回

50

の画素データの書き込みに対する表示時間が長いため、書き込み動作の間隔を長くすることができる。そのため、上記実施の形態に示す液晶表示装置を表示部 1 2 0 2 に用いることにより、例えば表示部 1 2 0 2 において長時間画像を閲覧する場合であっても、眼精疲労を抑制することができる。

【0320】

図 1 9 (D) に示す電子機器は、携帯型遊技機である。図 1 9 (D) に示す携帯型遊技機は、表示部 1 3 0 1 と、表示部 1 3 0 2 と、スピーカ 1 3 0 3 と、接続端子 1 3 0 4 と、LED ランプ 1 3 0 5 と、マイクロフォン 1 3 0 6 と、記録媒体読込部 1 3 0 7 と、操作ボタン 1 3 0 8 と、センサ 1 3 0 9 と、を備える。上記実施の形態の液晶表示装置は、1 回の画素データの書き込みに対する表示時間が長いため、書き込み動作の間隔を長くすることができる。そのため、上記実施の形態に示す液晶表示装置を表示部 1 3 0 1 又は表示部 1 3 0 2 に用いることにより、例えば表示部 1 3 0 1 又は表示部 1 3 0 2 において長時間画像を閲覧する場合であっても、眼精疲労を抑制することができる。

10

【0321】

図 1 9 (E) に示す電子機器は、電子書籍である。図 1 9 (E) に示す電子書籍は、少なくとも筐体 1 4 0 1 と、筐体 1 4 0 3 と、表示部 1 4 0 5 と、表示部 1 4 0 7 と、軸部 1 4 1 1 と、を備える。

【0322】

筐体 1 4 0 1 及び筐体 1 4 0 3 は、軸部 1 4 1 1 により接続され、図 1 9 (E) に示す電子書籍は、該軸部 1 4 1 1 を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことができる。また、表示部 1 4 0 5 は、筐体 1 4 0 1 に組み込まれ、表示部 1 4 0 7 は、筐体 1 4 0 3 に組み込まれる。また、表示部 1 4 0 5 及び表示部 1 4 0 7 の構成を互いに異なる画像を表示する構成としてもよく、例えば両方の表示部で一続きの画像を表示する構成としてもよい。表示部 1 4 0 5 及び表示部 1 4 0 7 を異なる画像を表示する構成にすることにより、例えば右側の表示部 (図 1 9 (E) では表示部 1 4 0 5) に文章画像を表示し、左側の表示部 (図 1 9 (E) では表示部 1 4 0 7) に動画を表示することができる。

20

【0323】

また、図 1 9 (E) に示す電子書籍は、筐体 1 4 0 1 又は筐体 1 4 0 3 に操作部などを備えてもよい。例えば、図 1 9 (E) に示す電子書籍の構成を電源ボタン 1 4 2 1 と、操作キー 1 4 2 3 と、スピーカ 1 4 2 5 と、を備える構成にすることもできる。図 1 9 (E) に示す電子書籍は、操作キー 1 4 2 3 を用いることにより、複数の頁がある画像の頁を送ることができる。また、図 1 9 (E) に示す電子書籍の表示部 1 4 0 5 及び表示部 1 4 0 7、又は表示部 1 4 0 5 又は表示部 1 4 0 7 にキーボードやポインティングデバイスなどを設けた構成としてもよい。また、図 1 9 (E) に示す電子書籍の筐体 1 4 0 1 及び筐体 1 4 0 3 の裏面や側面に、外部接続用端子 (イヤホン端子、USB 端子、又は AC アダプタ又は USB ケーブルなどの各種ケーブルと接続可能な端子など)、記録媒体挿入部などを設けてもよい。さらに、図 1 9 (E) に示す電子書籍に電子辞書としての機能を持たせてもよい。

30

【0324】

また、上記実施の形態の液晶表示装置を、表示部 1 4 0 5 及び表示部 1 4 0 7、又は表示部 1 4 0 5 若しくは表示部 1 4 0 7 に搭載することができる。上記実施の形態の液晶表示装置は、1 回の画素データの書き込みに対する表示時間が長いため、書き込み動作の間隔を長くすることができる。そのため、上記実施の形態に示す液晶表示装置を表示部 1 4 0 5 及び表示部 1 4 0 7、又は表示部 1 4 0 5 若しくは表示部 1 4 0 7 に用いることにより、例えば表示部 1 4 0 5 又は表示部 1 4 0 7 において長時間画像を閲覧する場合であっても、眼精疲労を抑制することができる。

40

【0325】

また、図 1 9 (E) に示す電子書籍を無線通信でデータを送受信できる構成としてもよい。これにより、電子書籍サーバから所望の書籍データなどを購入し、ダウンロードする機

50

能を付加させることができる。

【0326】

図19(F)に示す電子機器は、ディスプレイである。図19(F)に示すディスプレイは、筐体1501と、表示部1502と、スピーカ1503と、LEDランプ1504と、操作ボタン1505と、接続端子1506と、センサ1507と、マイクロフォン1508と、支持台1509と、を備える。上記実施の形態の液晶表示装置は、1回の画素データの書き込みに対する表示時間が長いため、書き込み動作の間隔を長くすることができる。そのため、上記実施の形態に示す液晶表示装置を表示部1502に用いることにより、例えば表示部1502において長時間画像を閲覧する場合であっても、眼精疲労を抑制することができる。

10

【0327】

図20に示す電子機器は、テレビジョン装置である。図20に示すテレビジョン装置は、筐体1601と、表示部1603と、を備える。表示部1603は、筐体1601に組み込まれている。図20に示すテレビジョン装置は、表示部1603により、映像を表示することができる。また、図20に示すテレビジョン装置は、一例としてスタンド1605により筐体1601が支持された構成である。上記実施の形態の液晶表示装置は、1回の画素データの書き込みに対する表示時間が長いため、書き込み動作の間隔を長くすることができる。そのため、上記実施の形態に示す液晶表示装置を表示部1603に用いることにより、例えば表示部1603において長時間画像を閲覧する場合であっても、眼精疲労を抑制することができる。

20

【0328】

なお、図20に示すように、筐体1601に備えられた操作スイッチや、別体のリモコン操作機1610により図20に示すテレビジョン装置を操作することができる。リモコン操作機1610に備えられた操作キー1609により、図20に示すテレビジョン装置のチャンネルや音量の操作を行うことができ、表示部1603に表示させる画像を操作することができる。また、上記リモコン操作機1610が出力する情報を表示する表示部1607をリモコン操作機1610に設けてもよい。

【0329】

なお、図20に示すテレビジョン装置は、受信機やモデムなどを備えた構成とする。受信機を備えることにより一般のテレビ放送の受信を行うことができる。また、モデムを介してテレビジョン装置を有線又は無線による通信ネットワークに接続することにより、一方（送信者から受信者）又は双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うこともできる。

30

【0330】

また、本実施の形態の電子機器は、太陽電池セルと、太陽電池セルから出力される電圧を充電する蓄電装置と、該蓄電装置に充電された電圧を各回路に必要な電圧に変換する直流変換回路と、を用いて構成される電源回路を備える構成にしてもよい。これにより、外部電源が不要となるため、外部電源が無い場所であっても、上記電子機器を長時間使用することができるため、利便性を向上させることができる。

【0331】

また、本実施の形態の電子機器は、表示部にタッチパネル機能を付加させてもよい。タッチパネル機能は、例えば表示部にタッチパネルユニットを搭載する又は画素に光検出回路を設けることにより付加させることができる。

40

【0332】

図19及び図20を用いて説明したように、上記実施の形態における液晶表示装置を電子機器の表示部に搭載することにより消費電力の低い電子機器を提供することができる。

【符号の説明】

【0333】

101w 表示制御回路
101x 選択信号出力回路

50

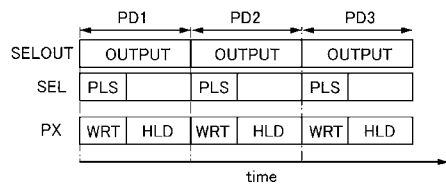
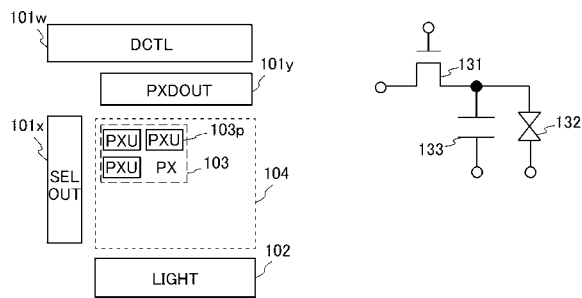
1 0 1 y	画素データ信号出力回路	
1 0 2	バックライトユニット	
1 0 3	画素	
1 0 3 p	単位画素	
1 0 4	画素部	
1 3 1	トランジスタ	
1 3 2	液晶素子	
1 3 3	容量素子	
2 0 1	記憶回路	
2 0 1	フレームメモリ	10
2 0 2	比較回路	
2 0 3	出力選択回路	
3 0 0	順序回路	
3 0 1 a	トランジスタ	
3 0 1 b	トランジスタ	
3 0 1 c	トランジスタ	
3 0 1 d	トランジスタ	
3 0 1 e	トランジスタ	
3 0 1 f	トランジスタ	
3 0 1 g	トランジスタ	20
3 0 1 h	トランジスタ	
3 0 1 i	トランジスタ	
3 0 1 j	トランジスタ	
3 0 1 k	トランジスタ	
3 1 1	期間	
3 1 2	期間	
3 1 3	期間	
4 0 0 a	基板	
4 0 0 b	基板	
4 0 0 c	基板	30
4 0 0 d	基板	
4 0 1 a	導電層	
4 0 1 b	導電層	
4 0 1 c	導電層	
4 0 1 d	導電層	
4 0 2 a	絶縁層	
4 0 2 b	絶縁層	
4 0 2 c	絶縁層	
4 0 2 d	絶縁層	
4 0 3 a	酸化物半導体層	40
4 0 3 b	酸化物半導体層	
4 0 3 c	酸化物半導体層	
4 0 3 d	酸化物半導体層	
4 0 5 a	導電層	
4 0 5 b	導電層	
4 0 5 c	導電層	
4 0 5 d	導電層	
4 0 6 a	導電層	
4 0 6 b	導電層	
4 0 6 c	導電層	50

4 0 6 d	導電層	
4 0 7 a	酸化物絶縁層	
4 0 7 c	酸化物絶縁層	
4 0 9 a	保護絶縁層	
4 0 9 b	保護絶縁層	
4 0 9 c	保護絶縁層	
4 2 7	絶縁層	
4 4 7	絶縁層	
5 0 1	基板	
5 1 1	導電層	10
5 1 2	導電層	
5 2 1	絶縁層	
5 3 0	酸化物半導体膜	
5 3 1	コンタクトホール	
5 4 1	半導体層	
5 5 1	導電層	
5 5 2	導電層	
5 5 3	導電層	
5 6 1	酸化物絶縁層	
5 7 1	保護絶縁層	20
5 8 1	カラーフィルタ層	
5 9 1	コンタクトホール	
6 0 1	平坦化絶縁層	
6 1 1	導電層	
6 2 1	基板	
6 3 1	導電層	
6 4 1	液晶層	
7 0 1 a	反射板	
7 0 1 b	反射板	
7 0 2 a	冷陰極管	30
7 0 2 b	冷陰極管	
7 0 3 a	拡散板	
7 0 3 b	拡散板	
7 0 4 a	プリズムシート	
7 0 4 b	プリズムシート	
7 0 8	散乱パターン	
7 0 9	導光板	
7 1 0	ランプリフレクタ	
8 0 1	測定系	
8 1 1	トランジスタ	40
8 1 2	トランジスタ	
8 1 3	容量素子	
8 1 4	トランジスタ	
8 1 5	トランジスタ	
1 0 0 1	表示部	
1 1 0 1	表示部	
1 1 0 2	操作ボタン	
1 1 0 3	外部入力端子	
1 2 0 1	筐体	
1 2 0 2	表示部	50

1 2 0 3	スピーカ	
1 2 0 4	L E D ランプ	
1 2 0 5	ポインティングデバイス	
1 2 0 6	接続端子	
1 2 0 7	キーボード	
1 3 0 1	表示部	
1 3 0 2	表示部	
1 3 0 3	スピーカ	
1 3 0 4	接続端子	
1 3 0 5	L E D ランプ	10
1 3 0 6	マイクロフォン	
1 3 0 7	記録媒体読込部	
1 3 0 8	操作ボタン	
1 3 0 9	センサ	
1 4 0 1	筐体	
1 4 0 3	筐体	
1 4 0 5	表示部	
1 4 0 7	表示部	
1 4 1 1	軸部	
1 4 2 1	電源ボタン	20
1 4 2 3	操作キー	
1 4 2 5	スピーカ	
1 5 0 1	筐体	
1 5 0 2	表示部	
1 5 0 3	スピーカ	
1 5 0 4	L E D ランプ	
1 5 0 5	操作ボタン	
1 5 0 6	接続端子	
1 5 0 7	センサ	
1 5 0 8	マイクロフォン	30
1 5 0 9	支持台	
1 6 0 1	筐体	
1 6 0 3	表示部	
1 6 0 5	スタンド	
1 6 0 7	表示部	
1 6 0 9	操作キー	
1 6 1 0	リモコン操作機	

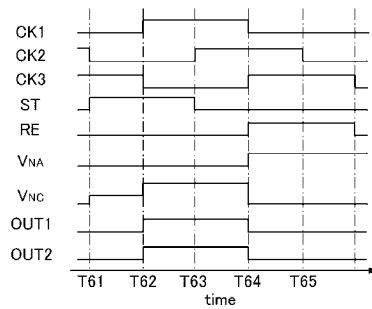
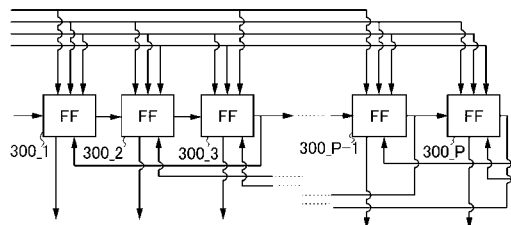
【 図 2 】

(B)

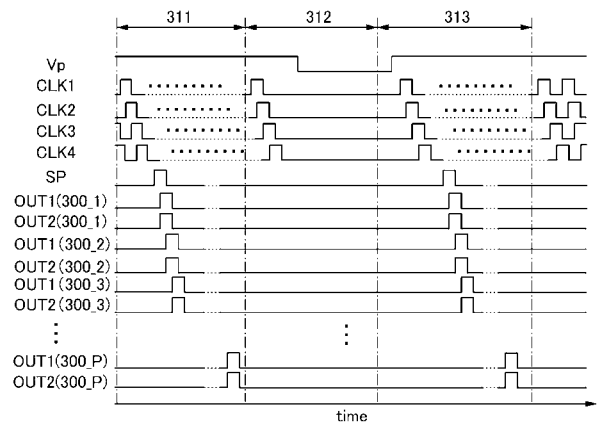
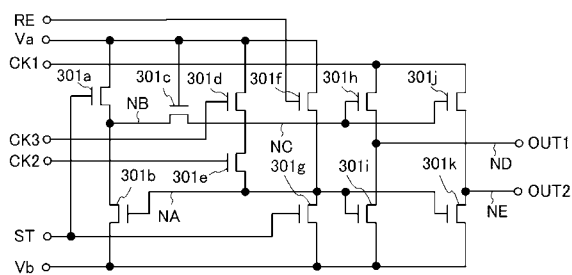
[illegible]

【 図 4 】

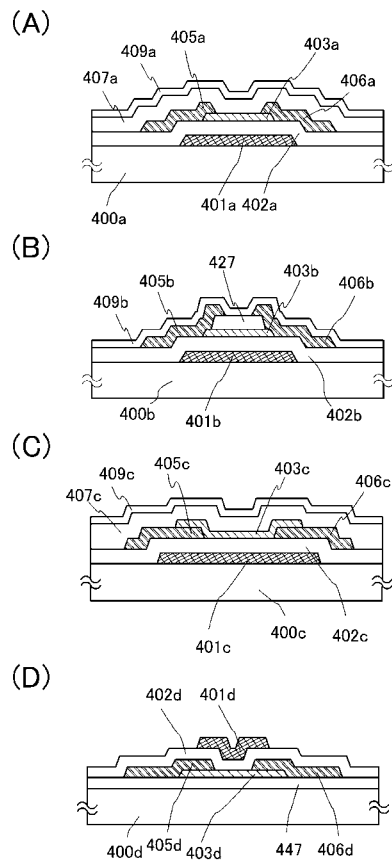
(A)



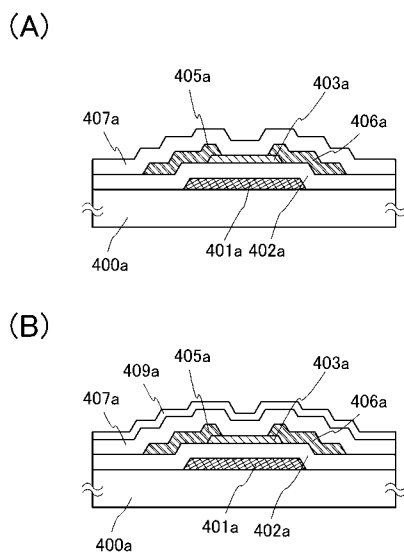
(B)



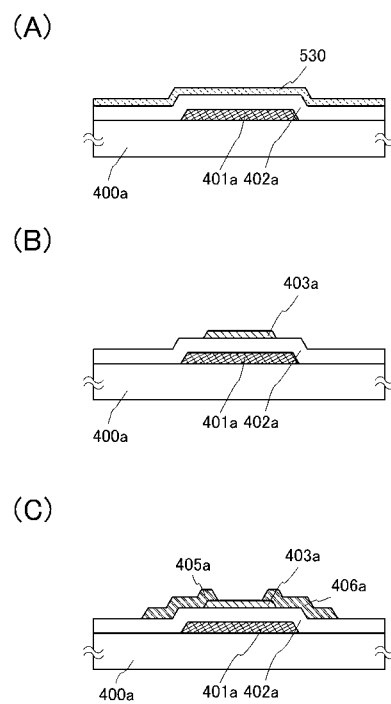
【図 5】



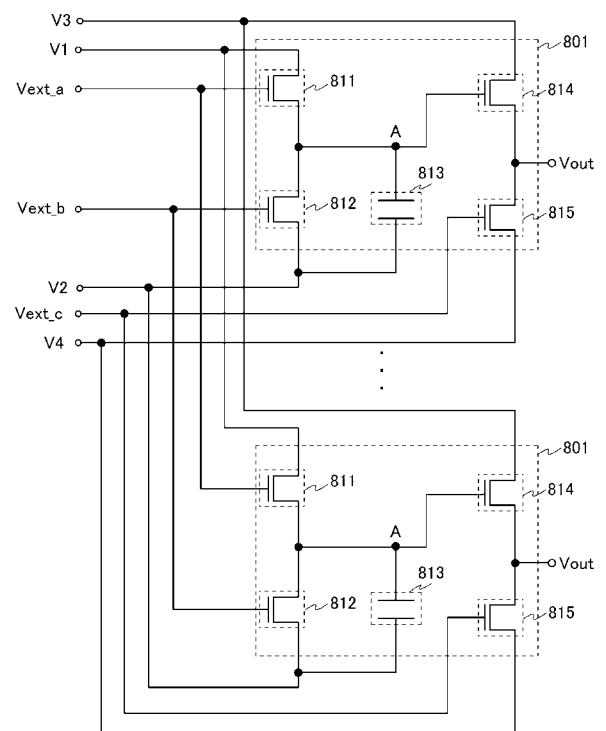
【図 7】



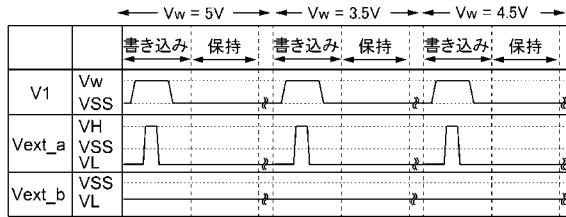
【図 6】



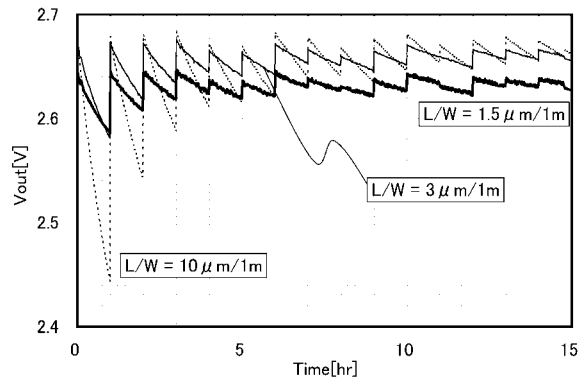
【図 8】



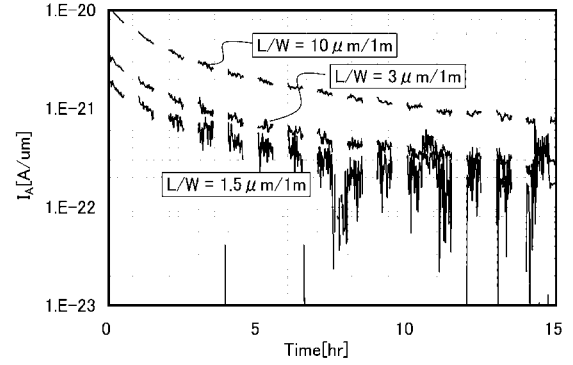
【図 9】



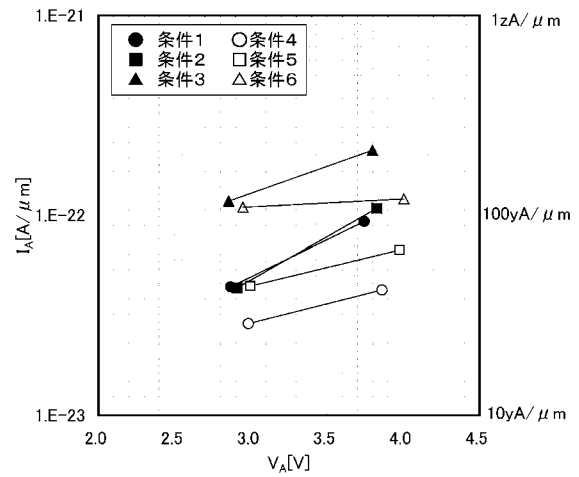
【図 10】



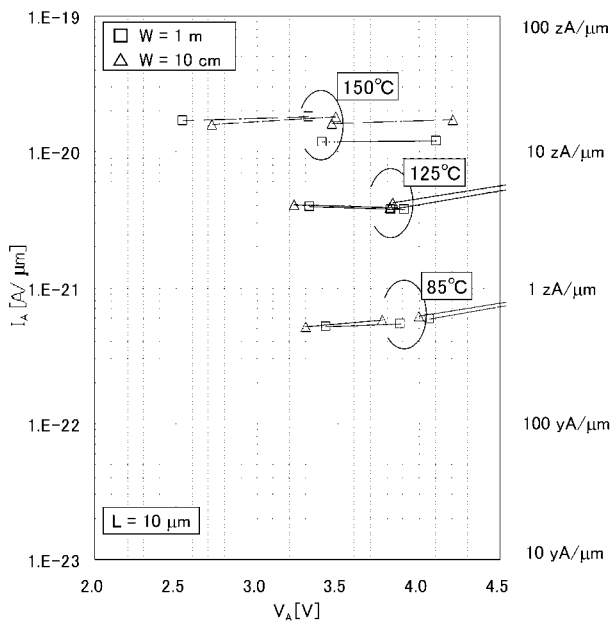
【図 11】



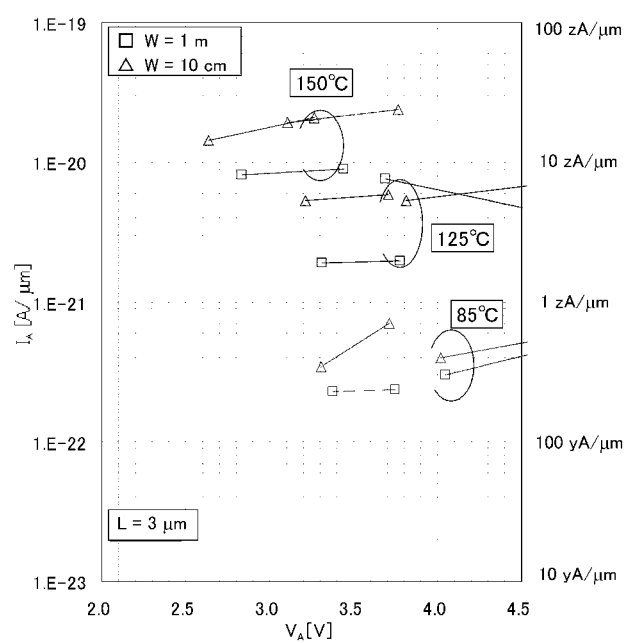
【図 12】



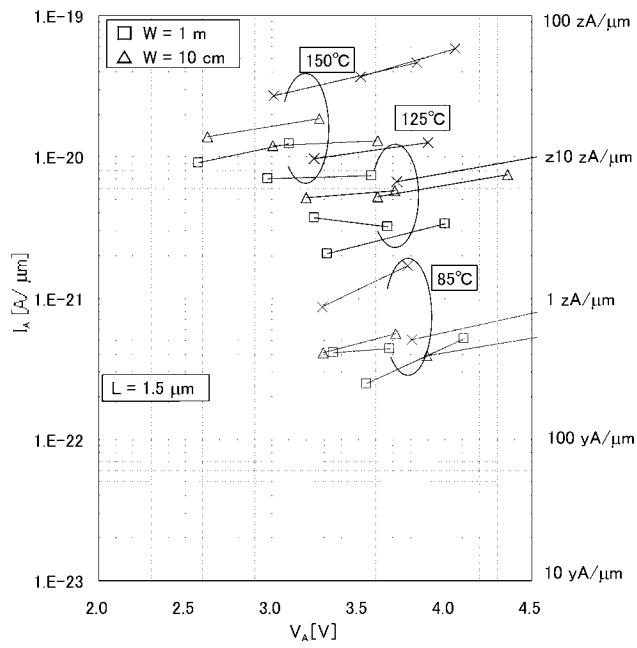
【図 13】



【図 14】

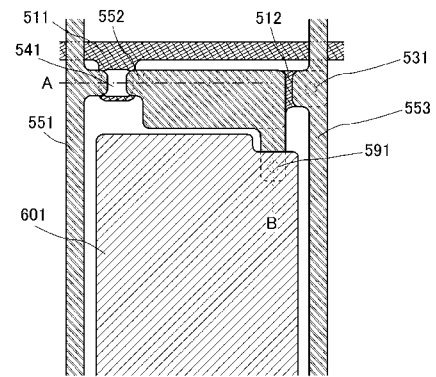


【図 15】

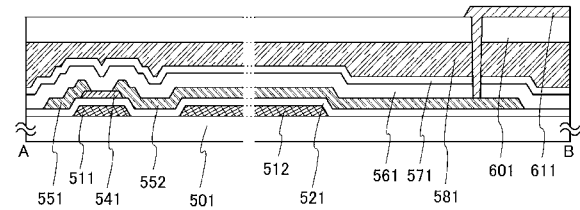


【図 16】

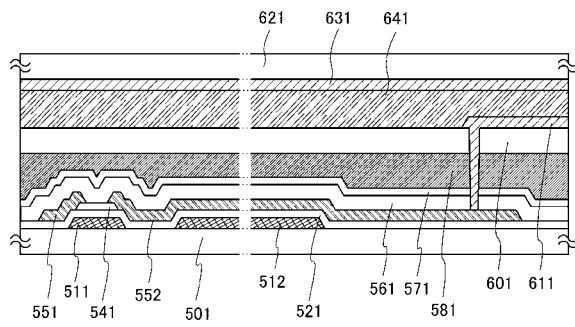
(A)



(B)

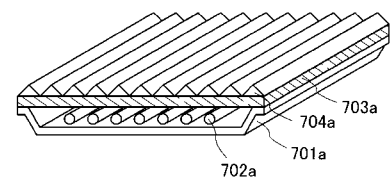


【図 17】

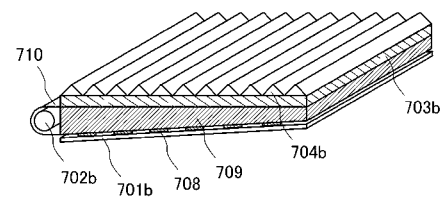


【図 18】

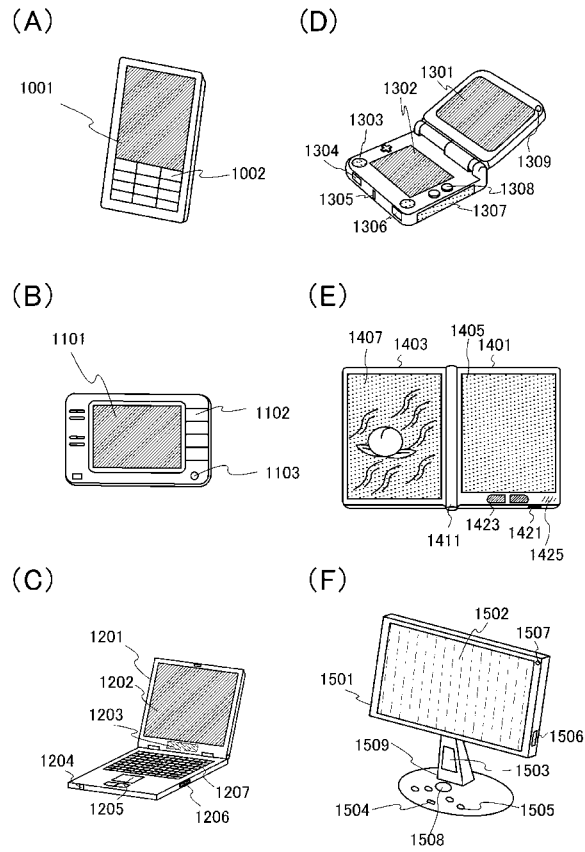
(A)



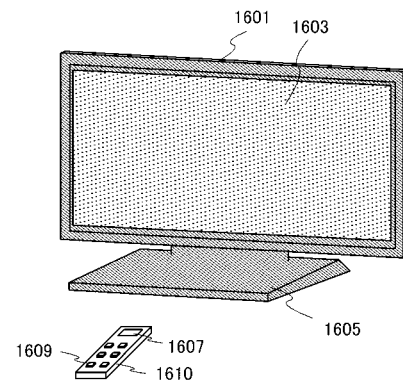
(B)



【図 19】



【図 20】



 フロントページの続き

(51) Int.Cl. F I テーマコード (参考)

G 0 9 G	3/20	6 1 2 G
G 0 9 G	3/20	6 2 1 K
G 0 9 G	3/20	6 6 0 U
G 0 2 F	1/1368	
G 0 2 F	1/133	5 5 0

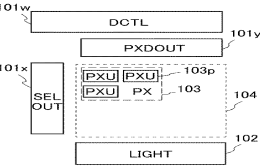
F ターム(参考) 2H193 ZA04 ZA07 ZC01 ZD36 ZE03 ZE40 ZF16 ZF32 ZG03 ZG04
 ZG12 ZQ06 ZQ07 ZQ08 ZQ09 ZQ11 ZQ13 ZQ14 ZQ16 ZQ22
 ZQ26
 5C006 AA02 AC28 AF06 AF19 AF45 AF68 BB16 BC03 BC11 BC16
 BF02 BF03 BF06 BF14 BF22 BF24 BF34 BF46 EA01 EB01
 EC09 FA04 FA19 FA34 FA36 FA48 GA02 GA03
 5C080 AA10 BB05 DD09 DD15 DD20 DD26 EE19 KK07 KK20 KK43
 KK50

专利名称(译)	液晶显示装置		
公开(公告)号	JP2020013139A	公开(公告)日	2020-01-23
申请号	JP2019153889	申请日	2019-08-26
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	山崎 舜平 小山 潤		
发明人	山崎 舜平 小山 潤		
IPC分类号	G09G3/36 G09G3/20 G02F1/1368 G02F1/133		
CPC分类号	G09G3/3677 G09G3/3688 G09G2310/0286 G09G2320/10 G09G2330/021 G09G2340/0435 G11C19/184 G11C19/28		
FI分类号	G09G3/36 G09G3/20.611.A G09G3/20.622.D G09G3/20.621.A G09G3/20.611.G G09G3/20.612.G G09G3/20.621.K G09G3/20.660.U G02F1/1368 G02F1/133.550 G09G3/20.622.E		
F-TERM分类号	2H192/AA24 2H192/BC31 2H192/CB02 2H192/CB05 2H192/CB06 2H192/CB37 2H192/CB71 2H192/CB83 2H192/DA15 2H192/DA43 2H192/DA52 2H192/EA42 2H192/EA54 2H192/EA56 2H192/EA67 2H192/FB03 2H192/FB05 2H192/GD03 2H192/GD47 2H192/GD61 2H192/JA06 2H192/JA07 2H192/JA13 2H192/JA17 2H192/JA23 2H192/JA25 2H192/JA33 2H192/JA53 2H192/JA62 2H193/ZA04 2H193/ZA07 2H193/ZC01 2H193/ZD36 2H193/ZE03 2H193/ZE40 2H193/ZF16 2H193/ZF32 2H193/ZG03 2H193/ZG04 2H193/ZG12 2H193/ZQ06 2H193/ZQ07 2H193/ZQ08 2H193/ZQ09 2H193/ZQ11 2H193/ZQ13 2H193/ZQ14 2H193/ZQ16 2H193/ZQ22 2H193/ZQ26 5C006/AA02 5C006/AC28 5C006/AF06 5C006/AF19 5C006/AF45 5C006/AF68 5C006/BB16 5C006/BC03 5C006/BC11 5C006/BC16 5C006/BF02 5C006/BF03 5C006/BF06 5C006/BF14 5C006/BF22 5C006/BF24 5C006/BF34 5C006/BF46 5C006/EA01 5C006/EB01 5C006/EC09 5C006/FA04 5C006/FA19 5C006/FA34 5C006/FA36 5C006/FA48 5C006/GA02 5C006/GA03 5C080/AA10 5C080/BB05 5C080/DD09 5C080/DD15 5C080/DD20 5C080/DD26 5C080/EE19 5C080/KK07 5C080/KK20 5C080/KK43 5C080/KK50		
优先权	2010104441 2010-04-28 JP		
其他公开文献	JP6701420B2		
外部链接	Espacenet		

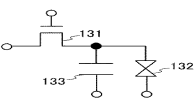
摘要(译)

为了减少功耗。解决方案：液晶显示装置包括像素部分，选择信号输出电路101x，其在第一操作模式下输出选择信号并在第二操作模式下停止选择信号的输出，像素数据 信号输出电路101y，其基于输入图像信号生成并输出像素数据信号；以及背光单元102，其包括冷阴极管并且向像素部分发光。 像素部分包括：晶体管131，其中在第一操作模式下，选择信号被输入到栅电极中，并且像素数据信号被输入到源电极和漏电极中的一个，并且截止状态保持在 第二操作模式； 以及具有多个液晶分子的液晶，该液晶分子通过与晶体管131的源极和漏极中的另一个电连接的第一电极和第二电极电连接到其上的电压而被施加。 形成通道，载流子浓度小于 $1 \times 10 / \text{cm}$ 。图1

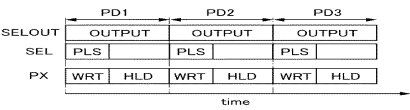
(A)



(B)



(C)



(D)

