

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2017-534924

(P2017-534924A)

(43) 公表日 平成29年11月24日 (2017.11.24)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20	622E 5C006
G02F 1/133 (2006.01)	G09G 3/20	622B 5C080
	G09G 3/20	612K
	G02F 1/133	505

審査請求 有 予備審査請求 未請求 (全 22 頁)

(21) 出願番号 特願2017-524994 (P2017-524994)
 (86) (22) 出願日 平成26年11月27日 (2014.11.27)
 (85) 翻訳文提出日 平成29年5月9日 (2017.5.9)
 (86) 国際出願番号 PCT/CN2014/092326
 (87) 国際公開番号 W02016/074283
 (87) 国際公開日 平成28年5月19日 (2016.5.19)
 (31) 優先権主張番号 201410639701.X
 (32) 優先日 平成26年11月13日 (2014.11.13)
 (33) 優先権主張国 中国 (CN)

(71) 出願人 516010618
 深▲せん▼市華星光電技術有限公司
 SHENZHEN CHINA STAR
 OPTOELECTRONICS TE
 CHNOLOGY CO., LTD.
 中国広東省深▲せん▼市光明新区塘明大道
 9-2号
 (74) 代理人 110002262
 TRY 国際特許業務法人
 (72) 発明者 戴 超
 中国広東省深▲せん▼市光明新区塘明大道
 9-2号施北娜
 (72) 発明者 賴 梓傑
 中国広東省深▲せん▼市光明新区塘明大道
 9-2号施北娜

最終頁に続く

(54) 【発明の名称】 液晶表示用GOA回路及び液晶表示装置

(57) 【要約】

本発明は液晶表示用GOA回路を開示する。この液晶表示用GOA回路は、カスケード接続された複数のシフトレジスタを備え、第Nステージシフトレジスタに基づいて表示領域の第Nステージ走査線に対する充電を制御し、該第Nステージシフトレジスタは、プルアップ回路と、プルダウン回路と、プルダウン保持回路と、プルアップ制御回路と、トランスファ回路と、ブートストラップコンデンサとを備える。第Nステージ走査線の代わりに、定電圧信号源又は二組の信号源を用いて、トランスファ作用を実行する。本発明の実施形態は表示装置をさらに開示する。本発明は、第Nステージ走査線の負荷及びカスケード伝送配線によるリスクを低減する。且つ、正逆方向の走査を制御することができる。

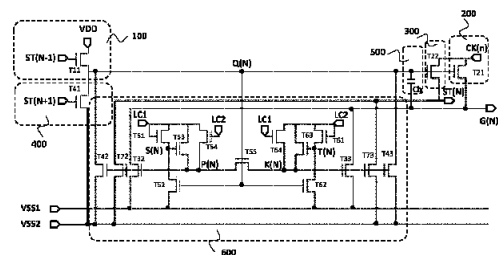


図 2 /Fig.2

【特許請求の範囲】

【請求項 1】

液晶表示用 G O A 回路であって、カスケード接続された複数のシフトレジスタを備え、第 N ステージシフトレジスタに基づいて表示領域の第 N ステージ走査線 (G (N)) に対する充電を制御し、該第 N ステージシフトレジスタは、プルアップ回路 (2 0 0) と、プルダウン回路 (4 0 0) と、プルダウン保持回路 (6 0 0) と、プルアップ制御回路 (1 0 0) と、トランスファ回路 (3 0 0) と、ブートストラップコンデンサ (C b) とを備え、

前記プルアップ回路 (2 0 0)、前記プルダウン保持回路 (6 0 0) 及び前記ブートストラップコンデンサ (C b) は、それぞれゲート信号点 (Q (N)) 及び前記第 N ステージ走査線 (G (N)) に接続され、

前記プルアップ制御回路 (1 0 0) 及び前記トランスファ回路 (3 0 0) は、前記ゲート信号点 (Q (N)) に接続され、

前記プルダウン回路 (4 0 0) は、第 N + 1 ステージシフトレジスタからのスタート信号 (S T (N + 1)) に接続され、

前記プルアップ制御回路 (1 0 0) は、第 N - 1 ステージシフトレジスタからのスタート信号 (S T (N - 1)) に接続され、

前記プルダウン保持回路 (6 0 0) は、第 1 ~ 第 1 5 トランジスタを備え、

第 1 トランジスタ (T 3 2) は、そのゲートが第 1 回路点 (P (N)) に接続され、そのドレイン及びソースがそれぞれ前記第 N ステージ走査線 (G (N)) 及び第 1 入力直流電圧 (V S S 1) に接続され、

第 2 トランジスタ (T 4 2) は、そのゲートが前記第 1 回路点 (P (N)) に接続され、そのドレイン及びソースがそれぞれ前記ゲート信号点 (Q (N)) 及び第 2 入力直流電圧 (V S S 2) に接続され、

第 3 トランジスタ (T 5 2) は、そのゲートが前記ゲート信号点 (Q (N)) に接続され、そのドレイン及びソースがそれぞれソース信号点 (S (N)) 及び前記第 1 入力直流電圧 (V S S 1) に接続され、

第 4 トランジスタ (T 5 1) は、そのソースが前記ソース信号点 (S (N)) に接続され、そのゲート及びドレインがいずれも第 1 クロック信号 (L C 1) に接続され、

第 5 トランジスタ (T 5 3) は、そのゲートが前記ソース信号点 (S (N)) に接続され、そのドレイン及びソースがそれぞれ前記第 1 クロック信号 (L C 1) 及び前記第 1 回路点 (P (N)) に接続され、

第 6 トランジスタ (T 5 4) は、そのゲートが第 2 クロック信号 (L C 2) に接続され、そのドレイン及びソースがそれぞれ前記第 1 クロック信号 (L C 1) 及び前記第 1 回路点 (P (N)) に接続され、

第 7 トランジスタ (T 7 2) は、そのゲートが前記第 1 回路点 (P (N)) に接続され、そのドレイン及びソースがそれぞれ第 N ステージシフトレジスタからのスタート信号 (S T (N)) 及び前記第 2 入力直流電圧 (V S S 2) に接続され、

第 8 トランジスタ (T 3 3) は、そのゲートが第 2 回路点 (K (N)) に接続され、そのドレイン及びソースがそれぞれ前記第 N ステージ走査線 (G (N)) 及び前記第 1 入力直流電圧 (V S S 1) に接続され、

第 9 トランジスタ (T 4 3) は、そのゲートが前記第 2 回路点 (K (N)) に接続され、そのドレイン及びソースがそれぞれ前記ゲート信号点 (Q (N)) 及び前記第 2 入力直流電圧 (V S S 2) に接続され、

第 1 0 トランジスタ (T 6 2) は、そのゲートが前記ゲート信号点 (Q (N)) に接続され、そのドレイン及びソースがそれぞれドレイン信号点 (T (N)) 及び前記第 1 入力直流電圧 (V S S 1) に接続され、

第 1 1 トランジスタ (T 6 1) は、そのソースが前記ドレイン信号点 (T (N)) に接続され、そのゲート及びドレインがいずれも前記第 2 クロック信号 (L C 2) に接続され、

、

10

20

30

40

50

第 1 2 トランジスタ (T 6 3) は、そのゲートが前記ドレイン信号点 (T (N)) に接続され、そのドレイン及びソースがそれぞれ前記第 2 クロック信号 (L C 2) 及び前記第 2 回路点 (K (N)) に接続され、

第 1 3 トランジスタ (T 6 4) は、そのゲートが前記第 1 クロック信号 (L C 1) に接続され、そのドレイン及びソースがそれぞれ前記第 2 クロック信号 (L C 2) 及び前記第 2 回路点 (K (N)) に接続され、

第 1 4 トランジスタ (T 7 3) は、そのゲートが前記第 2 回路点 (K (N)) に接続され、そのドレイン及びソースがそれぞれ前記第 N ステージシフトレジスタからの前記スタート信号 (S T (N)) 及び前記第 2 入力直流電圧 (V S S 2) に接続され、

第 1 5 トランジスタ (T 5 5) は、そのゲートが前記ゲート信号点 (Q (N)) に接続され、そのドレイン及びソースがそれぞれ前記第 1 回路点 (P (N)) 及び前記第 2 回路点 (K (N)) に接続され、

作動中には、前記第 1 クロック信号 (L C 1) と前記第 2 クロック信号 (L C 2) との周波数は、第 N ステージクロック信号 (C K (N)) より低く、かつ前記第 1 クロック信号 (L C 1) による前記第 1 回路点 (P (N)) に対する充電と前記第 2 クロック信号 (L C 2) による前記第 2 回路点 (K (N)) に対する充電は交替で行われており、前記プルアップ回路 (2 0 0) は第 1 6 トランジスタ (T 2 1) を備え、前記第 1 6 トランジスタ (T 2 1) は、そのゲートが前記ゲート信号点 (Q (N)) に接続され、そのドレイン及びソースが、それぞれ前記第 N ステージクロック信号 (C K (N)) を入力し及び前記第 N ステージ走査線 (G (N)) に接続される、ことを特徴とする液晶表示用 G O A 回路。

【請求項 2】

前記プルダウン回路 (4 0 0) は第 1 7 トランジスタ (T 4 1) を備え、

前記第 1 7 トランジスタ (T 4 1) は、そのゲートが前記第 N + 1 ステージシフトレジスタからのスタート信号 (S T (N + 1)) に接続され、そのドレイン及びソースがそれぞれ前記ゲート信号点 (Q (N)) 及び第 2 入力直流電圧 (V S S 2) に接続される、ことを特徴とする請求項 1 に記載の液晶表示用 G O A 回路。

【請求項 3】

前記トランスファ回路 (3 0 0) は第 1 8 トランジスタ (T 2 2) を備え、

前記第 1 8 トランジスタ (T 2 2) は、そのゲートが前記ゲート信号点 (Q (N)) に接続され、そのドレイン及びソースが、それぞれ前記第 N ステージクロック信号 (C K (N)) を入力し及び前記第 N ステージスタート信号 (S T (N)) を出力する、ことを特徴とする請求項 1 に記載の液晶表示用 G O A 回路。

【請求項 4】

前記プルアップ制御回路 (1 0 0) は第 1 9 トランジスタ (T 1 1) を備え、

前記第 1 9 トランジスタ (T 1 1) は、そのゲートが前記第 N - 1 ステージシフトレジスタからのスタート信号 (S T (N - 1)) に接続され、そのドレインが定電圧信号源 (V D D) に接続され、そのソースが前記ゲート信号点 (Q (N)) に接続される、ことを特徴とする請求項 1 に記載の液晶表示用 G O A 回路。

【請求項 5】

前記プルアップ制御回路 (1 0 0) は第 1 9 トランジスタ (T 1 1) を備え、

前記第 1 9 トランジスタ (T 1 1) は、そのゲートが前記第 N - 1 ステージシフトレジスタからのスタート信号 (S T (N - 1)) に接続され、そのドレインが正方向信号源 (V F) に接続され、そのソースが前記ゲート信号点 (Q (N)) に接続される、ことを特徴とする請求項 1 に記載の液晶表示用 G O A 回路。

【請求項 6】

前記プルダウン回路 (4 0 0) は第 1 7 トランジスタ (T 4 1) を備え、

前記第 1 7 トランジスタ (T 4 1) は、そのゲートが前記第 N + 1 ステージシフトレジスタからのスタート信号 (S T (N + 1)) に接続され、そのドレイン及びソースがそれぞれ前記ゲート信号点 (Q (N)) 及び逆方向信号源 (V R) に接続される、ことを特徴

10

20

30

40

50

とする請求項 5 に記載の液晶表示用 G O A 回路。

【請求項 7】

前記第 N ステージクロック信号 (C K (N)) のデューティ比は 5 0 % 未満である、ことを特徴とする請求項 1 に記載の液晶表示用 G O A 回路。

【請求項 8】

前記第 2 直流電圧 (V S S 2) は前記第 1 直流電圧 (V S S 1) より低い、ことを特徴とする請求項 1 に記載の液晶表示用 G O A 回路。

【請求項 9】

液晶表示用 G O A 回路であって、カスケード接続された複数のシフトレジスタを備え、第 N ステージシフトレジスタに基づいて表示領域の第 N ステージ走査線 (G (N)) に対する充電を制御し、該第 N ステージシフトレジスタは、プルアップ回路 (2 0 0) と、プルダウン回路 (4 0 0) と、プルダウン保持回路 (6 0 0) と、プルアップ制御回路 (1 0 0) と、トランスファ回路 (3 0 0) と、ブートストラップコンデンサ (C b) とを備え、

10

前記プルアップ回路 (2 0 0) 、前記プルダウン保持回路 (6 0 0) 及び前記ブートストラップコンデンサ (C b) は、それぞれゲート信号点 (Q (N)) 及び前記第 N ステージ走査線 (G (N)) に接続され、

前記プルアップ制御回路 (1 0 0) 及び前記トランスファ回路 (3 0 0) は、前記ゲート信号点 (Q (N)) に接続され、

前記プルダウン回路 (4 0 0) は、第 N + 1 ステージシフトレジスタからのスタート信号 (S T (N + 1)) に接続され、

20

前記プルアップ制御回路 (1 0 0) は、第 N - 1 ステージシフトレジスタからのスタート信号 (S T (N - 1)) に接続され、

前記プルダウン保持回路 (6 0 0) は、第 1 ~ 第 1 5 トランジスタを備え、

第 1 トランジスタ (T 3 2) は、そのゲートが第 1 回路点 (P (N)) に接続され、そのドレイン及びソースがそれぞれ前記第 N ステージ走査線 (G (N)) 及び第 1 入力直流電圧 (V S S 1) に接続され、

第 2 トランジスタ (T 4 2) は、そのゲートが前記第 1 回路点 (P (N)) に接続され、そのドレイン及びソースがそれぞれ前記ゲート信号点 (Q (N)) 及び第 2 入力直流電圧 (V S S 2) に接続され、

30

第 3 トランジスタ (T 5 2) は、そのゲートが前記ゲート信号点 (Q (N)) に接続され、そのドレイン及びソースがそれぞれソース信号点 (S (N)) 及び前記第 1 入力直流電圧 (V S S 1) に接続され、

第 4 トランジスタ (T 5 1) は、そのソースが前記ソース信号点 (S (N)) に接続され、そのゲート及びドレインがいずれも第 1 クロック信号 (L C 1) に接続され、

第 5 トランジスタ (T 5 3) は、そのゲートが前記ソース信号点 (S (N)) に接続され、そのドレイン及びソースがそれぞれ前記第 1 クロック信号 (L C 1) 及び前記第 1 回路点 (P (N)) に接続され、

第 6 トランジスタ (T 5 4) は、そのゲートが第 2 クロック信号 (L C 2) に接続され、そのドレイン及びソースがそれぞれ前記第 1 クロック信号 (L C 1) 及び前記第 1 回路点 (P (N)) に接続され、

40

第 7 トランジスタ (T 7 2) は、そのゲートが前記第 1 回路点 (P (N)) に接続され、そのドレイン及びソースがそれぞれ第 N ステージシフトレジスタからのスタート信号 (S T (N)) 及び前記第 2 入力直流電圧 (V S S 2) に接続され、

第 8 トランジスタ (T 3 3) は、そのゲートが第 2 回路点 (K (N)) に接続され、そのドレイン及びソースがそれぞれ前記第 N ステージ走査線 (G (N)) 及び前記第 1 入力直流電圧 (V S S 1) に接続され、

第 9 トランジスタ (T 4 3) は、そのゲートが前記第 2 回路点 (K (N)) に接続され、そのドレイン及びソースがそれぞれ前記ゲート信号点 (Q (N)) 及び前記第 2 入力直流電圧 (V S S 2) に接続され、

50

第 10 トランジスタ (T62) は、そのゲートが前記ゲート信号点 (Q(N)) に接続され、そのドレイン及びソースがそれぞれドレイン信号点 (T(N)) 及び前記第 1 入力直流電圧 (VSS1) に接続され、

第 11 トランジスタ (T61) は、そのソースが前記ドレイン信号点 (T(N)) に接続され、そのゲート及びドレインがいずれも前記第 2 クロック信号 (LC2) に接続され、

第 12 トランジスタ (T63) は、そのゲートが前記ドレイン信号点 (T(N)) に接続され、そのドレイン及びソースがそれぞれ前記第 2 クロック信号 (LC2) 及び前記第 2 回路点 (K(N)) に接続され、

第 13 トランジスタ (T64) は、そのゲートが前記第 1 クロック信号 (LC1) に接続され、そのドレイン及びソースがそれぞれ前記第 2 クロック信号 (LC2) 及び前記第 2 回路点 (K(N)) に接続され、

第 14 トランジスタ (T73) は、そのゲートが前記第 2 回路点 (K(N)) に接続され、そのドレイン及びソースがそれぞれ前記第 N ステージシフトレジスタからの前記スタート信号 (ST(N)) 及び前記第 2 入力直流電圧 (VSS2) に接続され、

第 15 トランジスタ (T55) は、そのゲートが前記ゲート信号点 (Q(N)) に接続され、そのドレイン及びソースがそれぞれ前記第 1 回路点 (P(N)) 及び前記第 2 回路点 (K(N)) に接続され、

作動中には、前記第 1 クロック信号 (LC1) と前記第 2 クロック信号 (LC2) との周波数は、第 N ステージクロック信号 (CK(N)) より低く、かつ前記第 1 クロック信号 (LC1) による前記第 1 回路点 (P(N)) に対する充電と前記第 2 クロック信号 (LC2) による前記第 2 回路点 (K(N)) に対する充電は交替で行われる、ことを特徴とする液晶表示用 GOA 回路。

【請求項 10】

前記プルアップ回路 (200) は第 16 トランジスタ (T21) を備え、

前記第 16 トランジスタ (T21) は、そのゲートが前記ゲート信号点 (Q(N)) に接続され、そのドレイン及びソースがそれぞれ前記第 N ステージクロック信号 (CK(N)) を入力し及び前記第 N ステージ走査線 (G(N)) に接続される、ことを特徴とする請求項 9 に記載の液晶表示用 GOA 回路。

【請求項 11】

前記プルダウン回路 (400) は第 17 トランジスタ (T41) を備え、

前記第 17 トランジスタ (T41) は、そのゲートが前記第 N + 1 ステージシフトレジスタからのスタート信号 (ST(N + 1)) に接続され、そのドレイン及びソースがそれぞれ前記ゲート信号点 (Q(N)) 及び第 2 入力直流電圧 (VSS2) に接続される、ことを特徴とする請求項 9 に記載の液晶表示用 GOA 回路。

【請求項 12】

前記トランスファ回路 (300) は第 18 トランジスタ (T22) を備え、

前記第 18 トランジスタ (T22) は、そのゲートが前記ゲート信号点 (Q(N)) に接続され、そのドレイン及びソースが、それぞれ前記第 N ステージクロック信号 (CK(N)) を入力し及び前記第 N ステージスタート信号 (ST(N)) を出力する、ことを特徴とする請求項 9 に記載の液晶表示用 GOA 回路。

【請求項 13】

前記プルアップ制御回路 (100) は第 19 トランジスタ (T11) を備え、

前記第 19 トランジスタ (T11) は、そのゲートが前記第 N - 1 ステージシフトレジスタからのスタート信号 (ST(N - 1)) に接続され、そのドレインが定電圧信号源 (VDD) に接続され、そのソースが前記ゲート信号点 (Q(N)) に接続される、ことを特徴とする請求項 9 に記載の液晶表示用 GOA 回路。

【請求項 14】

前記プルアップ制御回路 (100) は第 19 トランジスタ (T11) を備え、

前記第 19 トランジスタ (T11) は、そのゲートが前記第 N - 1 ステージシフトレジ

10

20

30

40

50

スタからのスタート信号 (ST(N-1)) に接続され、そのドレインが正方向信号源 (VF) に接続され、そのソースが前記ゲート信号点 (Q(N)) に接続される、ことを特徴とする請求項 9 に記載の液晶表示用 GOA 回路。

【請求項 15】

前記ブルダウン回路 (400) は第 17 トランジスタ (T41) を備え、

前記第 17 トランジスタ (T41) は、そのゲートが前記第 N+1 ステージシフトレジスタからのスタート信号 (ST(N+1)) に接続され、そのドレイン及びソースがそれぞれ前記ゲート信号点 (Q(N)) 及び逆方向信号源 (VR) に接続される、ことを特徴とする請求項 14 に記載の液晶表示用 GOA 回路。

【請求項 16】

前記第 N ステージクロック信号 (CK(N)) のデューティ比は 50% 未満である、ことを特徴とする請求項 9 に記載の液晶表示用 GOA 回路。

【請求項 17】

前記第 2 直流電圧 (VSS2) は前記第 1 直流電圧 (VSS1) より低い、ことを特徴とする請求項 9 に記載の液晶表示用 GOA 回路。

【請求項 18】

表示装置であって、請求項 1 ~ 17 のいずれか一項に記載の液晶表示用 GOA 回路を含む、ことを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示技術の分野に関し、特に、液晶表示用の GOA (Gate Driver On Array、アレイ基板行走査駆動) 回路及び液晶表示装置に関する。

【背景技術】

【0002】

アクティブ型液晶ディスプレイにおいて、各画素は一個の薄膜トランジスタ (Thin film transistor、TFT) を有し、そのゲート (Gate) は走査線と接続され、ドレイン (Drain) はデータ線と接続、ソース (Source) は画素電極と接続される。走査線に十分な電圧を印加することで、該走査線上の全ての TFT がオンになり、且つこのとき、データ線上の表示信号電圧が薄膜トランジスタにより画素電極に書き込まれて、異なる液晶の光透過度が制御されて色彩制御の効果が得られる。

【0003】

現在、アクティブ型液晶表示パネル走査線の駆動は、主にパネルに外接された IC によって行われる。外接された IC は、各ステージの走査線における順次充電と放電を制御することができる。

【0004】

アレイ基板行走査駆動 (GOA) 技術は、液晶表示パネルの従来の製造工程を利用して走査線の駆動回路を表示エリア周囲の基板上に作成することで、外接された IC を代替して走査線の駆動を行うことができる。GOA 技術は、外接された IC のボンディング (bonding) 工程を削減可能であり、生産能力の向上と製品コストの削減が望める上に、液晶表示パネルを、狭額縁又はフレームレスの表示製品の製造にさらに適合するようにさせることが可能である。

【0005】

従来の GOA 回路は通常、カスケード接続された複数のシフトレジスタ (shift register) を備え、各ステージのシフトレジスタは、1つのステージの走査線に対応して駆動する。シフトレジスタは主に、プルアップ回路 (Pull-up part) と、プルアップ制御回路 (Pull-up control part) と、トランスファ回路 (Transfer Part) と、ブルダウン回路 (Key Pull-down Part) と、ブルダウン保持回路 (Pull-down Holding Part) と、レベル上昇を担うブートストラップ (Boast) コンデンサとを備える。前

10

20

30

40

50

記プルアップ回路は、主にクロック信号 (C l o c k) をゲート (G a t e) 信号として出力する役割を担う。前記プルアップ制御回路は、前記プルアップ回路のオン時間の制御を担い、一般的に前ステージのシフトレジスタから送られたトランスファ信号又は G a t e 信号と接続される。前記プルダウン回路は、第 1 時間に G a t e 信号をローレベルに引き下げ、つまり G a t e 信号をオフにする。前記プルダウン保持回路は、G a t e 出力信号と前記プルアップ回路の G a t e 信号 (通常 Q 点と呼ばれる) のオフ状態 (即ち負レベル) を保持 (H o l d i n g) する役割を担い、通常 2 つのプルダウン保持モジュールが交替で作用する。ブートストラップコンデンサ (C b) は、Q 点の二次上昇を担い、これにより前記プルアップ回路の G (N) 出力を利する。

【 0 0 0 6 】

図 1 には、従来の G O A 回路の模式図が示されている。該シフトレジスタは、プルアップ制御回路 1 0 0 と、プルアップ回路 2 0 0 と、トランスファ回路 3 0 0 と、プルダウン回路 4 0 0 と、ブートストラップコンデンサ 5 0 0 と、第 1 プルダウン保持回路 6 0 0 と、第 2 プルダウン保持回路 7 0 0 と、ブリッジ回路 8 0 0 とを備え、その中、第 1 プルダウン保持回路 6 0 0、第 2 プルダウン保持回路 7 0 0 及びブリッジ回路 8 0 0 から、三段式抵抗分圧設計が構成される。

【 0 0 0 7 】

ブリッジ回路 8 0 0 は、主に薄膜トランジスタ T 5 5 により両端の P (N) と K (N) のレベルを調節する。薄膜トランジスタ T 5 5 のゲートは Q (N) に接続され、ドレインとソースはそれぞれ P (N) と K (N) に接続される。作用期間には、T 5 5 のゲートがオンすることにより、P (N) と K (N) のレベルが互いに近づいてオフ状態になる。且つ、低周波数信号 L C 1 と L C 2 のローレベルが V S S より低いいため、作用期間の P (N) と K (N) のレベルを V S S より小さくするように調整することができ、これによりプルダウン G (N) 点の薄膜トランジスタ T 3 2、T 3 3 及びプルダウン Q 点の T 4 2、T 4 3 が $V_{gs} < 0 V$ であることを保証し、作用期間の G (N) 点と Q 点の漏電をよりよく防止することができる。

前記第 1 プルダウン保持回路 6 0 0 と前記第 2 プルダウン保持回路 7 0 0 とは、対称の設計を用い、主に以下の機能を実現する。1 つ目は以下のとおりである。作用期間には、前記第 1 プルダウン保持回路 6 0 0 (又は前記第 2 プルダウン保持回路 7 0 0) は、抵抗が大きいオフ状態にある。このとき、前記第 2 プルダウン保持回路 7 0 0 (又は前記第 1 プルダウン保持回路 6 0 0) は、抵抗が小さいオン状態にあり、ブリッジ回路 8 0 0 は、抵抗が小さいオン状態にある。このため、P (N) と K (N) はローレベル状態にあり、Q (N) 点の上昇とゲート G (N) の出力は確保される。2 つ目は以下のとおりである。作用していない期間において、前記第 1 プルダウン保持回路 6 0 0 及び前記第 2 プルダウン保持回路 7 0 0 はいずれも、抵抗が小さいオン状態にあり、ブリッジ回路 8 0 0 は、抵抗が大きいオフ状態にある。このように、P (N) と K (N) のハイローレベル及び交替作用は実現することができる。薄膜トランジスタ T 5 4 のゲートは L C 2 に接続され、そのドレインは L C 1 に接続され、そのソースは P (N) に接続される。薄膜トランジスタ T 6 4 のゲートは L C 1 に接続され、そのドレインは L C 2 に接続され、そのソースは L (N) に接続され。この 2 つの T F T はバランス T F T (B a l a n c e T F T) と言われ、主に抵抗分圧作用及び信号切換時の迅速な放電作用を調整することを実現する。T 5 2 のゲートは Q (N) に接続され、そのドレインは S (N) に接続され、そのソースは V S S に接続される。T 6 2 のゲートは Q (N) に接続され、そのドレインは T (N) に接続され、そのソースは V S S に接続される。この 2 つの T F T は主に、作用期間に、S (N) 及び T (N) を引き下げる作用を保証する。

【 0 0 0 8 】

前記第 1 プルダウン保持回路 6 0 0、前記第 2 プルダウン保持回路及びブリッジ回路 8 0 0 の三段式分圧原理によるシフトレジスタを使用することによって、プルダウン保持回路の高温安定性及び長期間動作信頼性を向上させることができる。また、低周波数信号の作用を十分に用いて、P (N) と K (N) の切換えを実現し、且つ作用期間に P (N) と

10

20

30

40

50

K (N) をより低いレベルに引き下げ、作用期間に Q (N) 点と G (N) の漏電を最大限に低下させることを確保する。一方、作用していない期間では、P (N) と K (N) の中の 1 つはローレベルにある場合に、LC のローレベルに概ね近づく。LC のローレベルが VSS より低いため、トランジスタ T32 / T42 又はトランジスタ T33 / T43 は、半分の時間で負電圧回復状態となることができる。低周波数信号のローレベルを調整することによって、負電圧のレベルを制御することができ、このようにプルダウン保持回路の故障リスクを効果的に回避することができる。

【 0 0 0 9 】

しかしながら、従来の GOA 回路は、主にシフトレジスタの原理を用いて、ステージ順に信号を送信するときに、一般的に直接走査駆動信号 G (N) を使用してトランスファを行う。これは走査駆動信号 G (N) の負荷を増加し、且つ配線が複雑になるため、断線のリスクがある。

【 0 0 1 0 】

さらに、ほとんどの従来の GOA 回路の基本設計は、単一方向の走査であり、双方向の走査を提供することができない。

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 1 1 】

本発明の目的は、液晶表示用 GOA 回路及び液晶表示装置を提供することである。走査駆動信号 G (N) の代わりに定電圧信号源 VDD を用いてトランスファ作用を実行するとともに、定電圧信号源と一緒に使用するように別のトランスファモジュールを設置してステージ間の信号伝送の目的を実現することによって、走査駆動信号 G (N) は走査信号線の駆動のみを担い、走査駆動信号 G (N) の信号の負荷及びカスケード伝送配線によるリスクが低減し、前記ゲート信号点 Q (N) の作用期間の充電能力が向上し、VDD のレベルを調整することにより前記ゲート信号点 Q (N) のレベルを向上させることができる。二組の信号源 VF 及び VR によって正逆方向の走査を制御して、GOA 回路の正逆方向の走査機能を実現する。

【 課題を解決するための手段 】

【 0 0 1 2 】

上記の目的を実現するために、本発明は液晶表示用 GOA 回路を提供する。前記液晶表示用 GOA 回路は、カスケード接続された複数のシフトレジスタを備え、第 N ステージシフトレジスタに基づいて表示領域の第 N ステージ走査線に対する充電を制御し、該第 N ステージシフトレジスタは、プルアップ回路と、プルダウン回路と、プルダウン保持回路と、プルアップ制御回路と、トランスファ回路と、ブートストラップコンデンサとを備え、前記プルアップ回路、前記プルダウン保持回路及び前記ブートストラップコンデンサは、それぞれゲート信号点及び前記第 N ステージ走査線に接続され、

前記プルアップ制御回路及び前記トランスファ回路は、前記ゲート信号点に接続され、前記プルダウン回路は、第 N + 1 ステージシフトレジスタからのスタート信号に接続され、

前記プルアップ制御回路は、第 N - 1 ステージシフトレジスタからのスタート信号に接続され、

前記プルダウン保持回路は、第 1 ~ 第 15 トランジスタを備え、

第 1 トランジスタは、そのゲートが第 1 回路点に接続され、そのドレイン及びソースがそれぞれ前記第 N ステージ走査線及び第 1 入力直流電圧に接続され、

第 2 トランジスタは、そのゲートが前記第 1 回路点に接続され、そのドレイン及びソースがそれぞれ前記ゲート信号点及び第 2 入力直流電圧に接続され、

第 3 トランジスタは、そのゲートが前記ゲート信号点に接続され、そのドレイン及びソースがそれぞれソース信号点及び前記第 1 入力直流電圧に接続され、

第 4 トランジスタは、そのソースが前記ソース信号点に接続され、そのゲート及びドレインがいずれも第 1 クロック信号に接続され、

10

20

30

40

50

第 5 トランジスタは、そのゲートが前記ソース信号点に接続され、そのドレイン及びソースがそれぞれ前記第 1 クロック信号及び前記第 1 回路点に接続され、

第 6 トランジスタは、そのゲートが第 2 クロック信号に接続され、そのドレイン及びソースがそれぞれ前記第 1 クロック信号及び前記第 1 回路点に接続され、

第 7 トランジスタは、そのゲートが前記第 1 回路点に接続され、そのドレイン及びソースがそれぞれ第 N ステージシフトレジスタからのスタート信号及び前記第 2 入力直流電圧に接続され、

第 8 トランジスタは、そのゲートが第 2 回路点に接続され、そのドレイン及びソースがそれぞれ前記第 N ステージ走査線及び前記第 1 入力直流電圧に接続され、

第 9 トランジスタは、そのゲートが前記第 2 回路点に接続され、そのドレイン及びソースがそれぞれ前記ゲート信号点及び前記第 2 入力直流電圧に接続され、

第 10 トランジスタは、そのゲートが前記ゲート信号点に接続され、そのドレイン及びソースがそれぞれドレイン信号点及び前記第 1 入力直流電圧に接続され、

第 11 トランジスタは、そのソースが前記ドレイン信号点に接続され、そのゲート及びドレインがいずれも前記第 2 クロック信号に接続され、

第 12 トランジスタは、そのゲートが前記ドレイン信号点に接続され、そのドレイン及びソースがそれぞれ前記第 2 クロック信号及び前記第 2 回路点に接続され、

第 13 トランジスタは、そのゲートが前記第 1 クロック信号に接続され、そのドレイン及びソースがそれぞれ前記第 2 クロック信号及び前記第 2 回路点に接続され、

第 14 トランジスタは、そのゲートが前記第 2 回路点に接続され、そのドレイン及びソースがそれぞれ前記第 N ステージシフトレジスタからの前記スタート信号及び前記第 2 入力直流電圧に接続され、

第 15 トランジスタは、そのゲートが前記ゲート信号点に接続され、そのドレイン及びソースがそれぞれ前記第 1 回路点及び前記第 2 回路点に接続され、

作動中には、前記第 1 クロック信号と前記第 2 クロック信号との周波数は、第 N ステージクロック信号より低く、かつ前記第 1 クロック信号による前記第 1 回路点に対する充電と前記第 2 クロック信号による前記第 2 回路点に対する充電は交替で行われており、前記プルアップ回路は第 16 トランジスタを備え、前記第 16 トランジスタは、そのゲートが前記ゲート信号点に接続され、そのドレイン及びソースが、それぞれ前記第 N ステージクロック信号を入力し及び前記第 N ステージ走査線に接続される。前記プルダウン回路は、第 17 トランジスタを備え、前記第 17 トランジスタは、そのゲートが前記第 N + 1 ステージシフトレジスタからのスタート信号に接続され、そのドレイン及びソースがそれぞれ前記ゲート信号点及び第 2 入力直流電圧に接続される。

【0013】

一実施形態において、前記トランスファ回路は第 18 トランジスタを備え、

前記第 18 トランジスタは、そのゲートが前記ゲート信号点に接続され、そのドレイン及びソースが、それぞれ前記第 N ステージクロック信号を入力し及び前記第 N ステージスタート信号を出力する。

【0014】

一実施形態において、前記プルアップ制御回路は第 19 トランジスタを備え、

前記第 19 トランジスタは、そのゲートが前記第 N - 1 ステージシフトレジスタからのスタート信号に接続され、そのドレインが定電圧信号源に接続され、そのソースが前記ゲート信号点に接続される。

【0015】

一実施形態において、前記プルアップ制御回路は第 19 トランジスタを備え、

前記第 19 トランジスタは、そのゲートが前記第 N - 1 ステージシフトレジスタからのスタート信号に接続され、そのドレインが正方向信号源に接続され、そのソースが前記ゲート信号点に接続される。

【0016】

一実施形態において、前記プルダウン回路は第 17 トランジスタを備え、

前記第 17 トランジスタは、そのゲートが前記第 $N + 1$ ステージシフトレジスタからのスタート信号に接続され、そのドレイン及びソースがそれぞれ前記ゲート信号点及び逆方向信号源に接続される。

【0017】

一実施形態において、前記第 N ステージクロック信号のデューティは 50 % 未満である。

【0018】

一実施形態において、前記第 2 直流電圧は前記第 1 直流電圧より低い。

【0019】

上記の目的を実現するために、本発明は他の液晶表示用 G O A 回路を提供する。前記液晶表示用 G O A 回路は、カスケード接続された複数のシフトレジスタを備え、第 N ステージシフトレジスタに基づいて表示領域の第 N ステージ走査線に対する充電を制御し、該第 N ステージシフトレジスタは、プルアップ回路と、プルダウン回路と、プルダウン保持回路と、プルアップ制御回路と、トランスファ回路と、ブートストラップコンデンサとを備え、

前記プルアップ回路、前記プルダウン保持回路及び前記ブートストラップコンデンサは、それぞれゲート信号点及び前記第 N ステージ走査線に接続され、

前記プルアップ制御回路及び前記トランスファ回路は、前記ゲート信号点に接続され、前記プルダウン回路は、第 $N + 1$ ステージシフトレジスタからのスタート信号に接続され、

前記プルアップ制御回路は、第 $N - 1$ ステージシフトレジスタからのスタート信号に接続され、

前記プルダウン保持回路は、第 1 ~ 第 15 トランジスタを備え、

第 1 トランジスタは、そのゲートが第 1 回路点に接続され、そのドレイン及びソースがそれぞれ前記第 N ステージ走査線及び第 1 入力直流電圧に接続され、

第 2 トランジスタは、そのゲートが前記第 1 回路点に接続され、そのドレイン及びソースがそれぞれ前記ゲート信号点及び第 2 入力直流電圧に接続され、

第 3 トランジスタは、そのゲートが前記ゲート信号点に接続され、そのドレイン及びソースがそれぞれソース信号点及び前記第 1 入力直流電圧に接続され、

第 4 トランジスタは、そのソースが前記ソース信号点に接続され、そのゲート及びドレインがいずれも第 1 クロック信号に接続され、

第 5 トランジスタは、そのゲートが前記ソース信号点に接続され、そのドレイン及びソースがそれぞれ前記第 1 クロック信号及び前記第 1 回路点に接続され、

第 6 トランジスタは、そのゲートが第 2 クロック信号に接続され、そのドレイン及びソースがそれぞれ前記第 1 クロック信号及び前記第 1 回路点に接続され、

第 7 トランジスタは、そのゲートが前記第 1 回路点に接続され、そのドレイン及びソースがそれぞれ第 N ステージシフトレジスタからのスタート信号及び前記第 2 入力直流電圧に接続され、

第 8 トランジスタは、そのゲートが第 2 回路点に接続され、そのドレイン及びソースがそれぞれ前記第 N ステージ走査線及び前記第 1 入力直流電圧に接続され、

第 9 トランジスタは、そのゲートが前記第 2 回路点に接続され、そのドレイン及びソースがそれぞれ前記ゲート信号点及び前記第 2 入力直流電圧に接続され、

第 10 トランジスタは、そのゲートが前記ゲート信号点に接続され、そのドレイン及びソースがそれぞれドレイン信号点及び前記第 1 入力直流電圧に接続され、

第 11 トランジスタは、そのソースが前記ドレイン信号点に接続され、そのゲート及びドレインがいずれも前記第 2 クロック信号に接続され、

第 12 トランジスタは、そのゲートが前記ドレイン信号点に接続され、そのドレイン及びソースがそれぞれ前記第 2 クロック信号及び前記第 2 回路点に接続され、

第 13 トランジスタは、そのゲートが前記第 1 クロック信号に接続され、そのドレイン及びソースがそれぞれ前記第 2 クロック信号及び前記第 2 回路点に接続され、

10

20

30

40

50

第 1 4 トランジスタは、そのゲートが前記第 2 回路点に接続され、そのドレイン及びソースがそれぞれ前記第 N ステージシフトレジスタからの前記スタート信号及び前記第 2 入力直流電圧に接続され、

第 1 5 トランジスタは、そのゲートが前記ゲート信号点に接続され、そのドレイン及びソースがそれぞれ前記第 1 回路点及び前記第 2 回路点に接続され、

作動中には、前記第 1 クロック信号と前記第 2 クロック信号との周波数は、第 N ステージクロック信号より低く、かつ前記第 1 クロック信号による前記第 1 回路点に対する充電と前記第 2 クロック信号による前記第 2 回路点に対する充電は交替で行われる。

【 0 0 2 0 】

一実施形態において、前記プルアップ回路は第 1 6 トランジスタを備え、

10

前記第 1 6 トランジスタは、そのゲートが前記ゲート信号点に接続され、そのドレイン及びソースが、それぞれ前記第 N ステージクロック信号を入力し及び前記第 N ステージ走査線に接続される。

【 0 0 2 1 】

一実施形態において、前記プルダウン回路は第 1 7 トランジスタを備え、

前記第 1 7 トランジスタは、そのゲートが前記第 N + 1 ステージシフトレジスタからのスタート信号に接続され、そのドレイン及びソースがそれぞれ前記ゲート信号点及び第 2 入力直流電圧に接続される。

【 0 0 2 2 】

一実施形態において、前記トランスファ回路は第 1 8 トランジスタを備え、

20

前記第 1 8 トランジスタは、そのゲートが前記ゲート信号点に接続され、そのドレイン及びソースが、それぞれ前記第 N ステージクロック信号を入力し及び前記第 N ステージスタート信号を出力する。

【 0 0 2 3 】

一実施形態において、前記プルアップ制御回路は第 1 9 トランジスタを備え、

前記第 1 9 トランジスタは、そのゲートが前記第 N - 1 ステージシフトレジスタからのスタート信号に接続され、そのドレインが定電圧信号源に接続され、そのソースが前記ゲート信号点に接続される。

【 0 0 2 4 】

一実施形態において、前記プルアップ制御回路は第 1 9 トランジスタを備え、

30

前記第 1 9 トランジスタは、そのゲートが前記第 N - 1 ステージシフトレジスタからのスタート信号に接続され、そのドレインが正方向信号源に接続され、そのソースが前記ゲート信号点に接続される。一実施形態において、前記プルダウン回路は第 1 7 トランジスタを備え、

前記第 1 7 トランジスタは、そのゲートが前記第 N + 1 ステージシフトレジスタからのスタート信号に接続され、そのドレイン及びソースがそれぞれ前記ゲート信号点及び逆方向信号源に接続される。

【 0 0 2 5 】

一実施形態において、前記第 N ステージクロック信号のデューティは 5 0 % 未満である。

40

【 0 0 2 6 】

一実施形態において、前記第 2 直流電圧は前記第 1 直流電圧より低い。

【 0 0 2 7 】

これに対応して、本発明の実施形態の別の態様は、前記液晶表示用 G O A 回路を備える液晶表示装置を提供する。

【 発明の効果 】

【 0 0 2 8 】

本発明の上記の技術的手段によれば、有益な技術的效果は以下のとおりである。第 N ステージ走査線 G (N) の代わりに定電圧信号源 V D D を用いてトランスファ作用を実行するとともに、定電圧信号源と一緒に使用するよう別の特許モジュールを設置し

50

てステージ間の信号伝送の目的を実現することによって、第Nステージ走査線G(N)は走査信号線の駆動のみを担い、第Nステージ走査線G(N)の負荷及びカスケード伝送配線によるリスクが低減し、前記ゲート信号点Q(N)の作用期間の充電能力が向上し、VDDのレベルを調整することにより前記ゲート信号点Q(N)のレベルを向上させることができる。二組の信号源VF及びVRによって正逆方向の走査を制御して、GOA回路の正逆方向の走査機能を実現する。

【図面の簡単な説明】

【0029】

【図1】従来技術の液晶表示用GOA回路の模式図である。

【図2】本発明による液晶表示用GOA回路の第1実施形態の回路模式図である。

10

【図3】図2のGOA回路の実際の操作におけるキーノードの波形模式図である。

【図4】本発明による液晶表示用GOA回路の第2実施形態の回路模式図である。

【図5】図4のGOA回路の正方向走査操作におけるキーノードの波形模式図である。

【図6】図4のGOA回路の逆方向走査操作におけるキーノードの波形模式図である。

【発明を実施するための形態】

【0030】

下記では、各実施例と図面を用いて、例を上げる方法で本発明の実施可能な実施例を説明する。本発明に開示されている方向の用語、例えば、「上」、「下」、「前」、「後」、「左」、「右」、「内」、「外」、「側面」等は、本発明の図面での方向を参照するためのものである。そのため、本明細書で使用される方向の用語は、本発明を説明、理解させるためのものであり、本発明を制限するものではない。

20

【0031】

図2は、本発明による液晶表示用GOA回路の第1実施形態の回路模式図である。この実施形態において、該GOA回路は、カスケード接続された複数のシフトレジスタを備え、第Nステージシフトレジスタに基づいて表示領域の第Nステージ走査線G(N)に対する充電を制御し、該第Nステージシフトレジスタは、ブルアップ回路200と、ブルダウン回路400と、ブルダウン保持回路600と、ブルアップ制御回路100と、トランスファ回路300と、ブートストラップコンデンサCbとを備える。前記ブルアップ回路200、前記ブルダウン回路400、前記ブルダウン保持回路600及び前記ブートストラップコンデンサCbは、それぞれゲート信号点Q(N)及び前記第Nステージ走査線G(N)に接続される。前記ブルアップ制御回路100及び前記トランスファ回路300はいずれも、前記ゲート信号点Q(N)に接続される。

30

【0032】

ブルダウン保持回路(600)は、第1～第15トランジスタを備え、

第1トランジスタT32は、そのゲートが第1回路点P(N)に接続され、そのドレイン及びソースがそれぞれ前記第Nステージ走査線G(N)及び第1入力直流電圧VSS1に接続され、

第2トランジスタT42は、そのゲートが前記第1回路点P(N)に接続され、そのドレイン及びソースがそれぞれ前記ゲート信号点Q(N)及び第2入力直流電圧VSS2に接続され、

40

第3トランジスタT52は、そのゲートが前記ゲート信号点Q(N)に接続され、そのドレイン及びソースがそれぞれソース信号点S(N)及び前記第1入力直流電圧VSS1に接続され、

第4トランジスタT51は、そのソースが前記ソース信号点S(N)に接続され、そのゲート及びドレインがいずれも第1クロック信号LC1に接続され、

第5トランジスタT53は、そのゲートが前記ソース信号点S(N)に接続され、そのドレイン及びソースがそれぞれ前記第1クロック信号LC1及び前記第1回路点P(N)に接続され、

第6トランジスタT54は、そのゲートが第2クロック信号LC2に接続され、そのドレイン及びソースがそれぞれ前記第1クロック信号LC1及び前記第1回路点P(N)に

50

接続され、

第7トランジスタT72は、そのゲートが前記第1回路点P(N)に接続され、そのドレイン及びソースがそれぞれ第Nステージシフトレジスタからのスタート信号ST(N)及び前記第2入力直流電圧VSS2に接続され、

第8トランジスタT33は、そのゲートが第2回路点K(N)に接続され、そのドレイン及びソースがそれぞれ前記第Nステージ走査線G(N)及び前記第1入力直流電圧VSS1に接続され、

第9トランジスタT43は、そのゲートが前記第2回路点K(N)に接続され、そのドレイン及びソースがそれぞれ前記ゲート信号点Q(N)及び前記第2入力直流電圧VSS2に接続され、

第10トランジスタT62は、そのゲートが前記ゲート信号点Q(N)に接続され、そのドレイン及びソースがそれぞれドレイン信号点T(N)及び前記第1入力直流電圧VSS1に接続され、

第11トランジスタT61は、そのソースが前記ドレイン信号点T(N)に接続され、そのゲート及びドレインがいずれも前記第2クロック信号LC2に接続され、

第12トランジスタT63は、そのゲートが前記ドレイン信号点T(N)に接続され、そのドレイン及びソースがそれぞれ前記第2クロック信号LC2及び前記第2回路点K(N)に接続され、

第13トランジスタT64は、そのゲートが前記第1クロック信号LC1に接続され、そのドレイン及びソースがそれぞれ前記第2クロック信号LC2及び前記第2回路点K(N)に接続され、

第14トランジスタT73は、そのゲートが前記第2回路点K(N)に接続され、そのドレイン及びソースがそれぞれ前記第Nステージシフトレジスタからの前記スタート信号ST(N)及び前記第2入力直流電圧VSS2に接続され、

第15トランジスタT55は、そのゲートが前記ゲート信号点Q(N)に接続され、そのドレイン及びソースがそれぞれ前記第1回路点P(N)及び前記第2回路点K(N)に接続される。

【0033】

作動中には、前記第1クロック信号LC1と前記第2クロック信号LC2との周波数は、第Nステージクロック信号CK(N)より低く、かつ前記第1クロック信号LC1)の前記第1回路点(P(N))に対する充電と前記第2クロック信号(LC2)の前記第2回路点(K(N))に対する充電は交替で行われる。

【0034】

具体的には、前記プルアップ回路200は第16トランジスタT21を備える。前記第16トランジスタT21は、そのゲートが前記ゲート信号点Q(N)に接続され、そのドレイン及びソースがそれぞれ前記第Nステージクロック信号CK(N)を入力し及び第Nステージ走査線G(N)に接続される。

【0035】

前記プルダウン回路400は第17トランジスタT41を備える。前記第17トランジスタT41は、そのゲートが前記第N+1ステージシフトレジスタからのスタート信号ST(N+1)に接続され、そのドレイン及びソースがそれぞれ前記ゲート信号点Q(N)及び第2入力直流電圧VSS2に接続される。

【0036】

前記トランスファ回路300は第18トランジスタT22を備える。前記第18トランジスタT22は、そのゲートが前記ゲート信号点Q(N)に接続され、そのドレイン及びソースが、それぞれ前記第Nステージクロック信号CK(N)を入力し及び前記第Nステージスタート信号ST(N)を出力する。

【0037】

前記プルアップ制御回路100は第19トランジスタT11を備える。前記第19トランジスタT11は、そのゲートが前記第N-1ステージシフトレジスタからのスタート信

10

20

30

40

50

号 $ST(N-1)$ に接続され、そのドレインが定電圧信号源 VDD に接続され、そのソースが前記ゲート信号点 $Q(N)$ に接続される。

【0038】

本実施形態では、前記第 N ステージ走査線 $G(N)$ のトランスファ作用の代わりに、前記定電圧信号源 VDD を採用するため、前記第 N ステージ走査線 $G(N)$ が走査信号線の駆動のみを担い、前記第 N ステージ走査線 $G(N)$ 信号の負荷及びカスケード伝送配線によるリスクが低減し、前記ゲート信号点 $Q(N)$ 点の作用期間の充電能力が向上し、定電圧信号源 VDD のレベルを調整することにより前記ゲート信号点 $Q(N)$ のレベルを向上させることができる。

【0039】

図3は、図2のGOA回路の実際の操作におけるキーノードの波形模式図である。 XCK は、該第 N ステージシフトレジスタと隣接するクロック信号を表す。つまり、 XCK は第 $N \pm 1$ ステージクロック信号 ($CK(N \pm 1)$) である。

【0040】

第 N ステージクロック信号 ($CK(N)$) と第 $N \pm 1$ ステージクロック信号 ($CK(N \pm 1)$) とのデューティ比 ($Duty\ cycle$) は50%未満である必要がある。これは主に、前記ゲート信号点 $Q(N)$ が凸字形の波形を形成するために、第16トランジスタ $T21$ を用いて前記第 N ステージ走査線 $G(N)$ をプルダウンするからである。

【0041】

前記定電圧信号源 VDD はハイレベルに設定され、クロック信号 CK 及び XCK のハイレベルと同じであってもよい。前記ゲート信号点 $Q(N)$ の充電能力の向上を望む場合、前記定電圧信号源 VDD のレベルを適切に高めることができる。

【0042】

前記第1入力直流電圧 $VSS1$ 及び前記第2入力直流電圧 $VSS2$ は、二組の定電圧の負電圧源であり、主に回路を駆動するためのローレベルを提供するために用いられる。一般的に、前記第2入力直流電圧 $VSS2$ は、前記第1入力直流電圧 $VSS1$ より低いように設定される。

【0043】

図4は、本発明による液晶表示用GOA回路の第2実施形態の回路模式図である。この実施形態において、前記定電圧信号源 VDD は正方向信号源 VF に相当し、前記第17トランジスタ ($T41$) のソースは、前記第2入力直流電圧 $VSS2$ に接続されるのではなく、逆方向信号源 VR に接続される。この実施形態では、前記正方向信号源 VF と前記逆方向信号源 VR を用いて、正逆方向走査の制御を行う。

【0044】

前記正方向信号源 VF がハイレベルとし、前記逆方向信号源 VR がローレベルとする場合、この回路は正方向走査操作を行う。このとき、依然として、前記プルアップ制御回路100は前記プルアップ制御回路100の機能を奏し、前記プルダウン回路400は前記プルダウン回路400の機能を奏して、前記ゲート信号点 $Q(N)$ のプルダウンを担い、操作原理は前記第1実施形態と同様である。

【0045】

前記正方向信号源 VF がローレベルとされ、前記逆方向信号源 VR がハイレベルとされる場合、この回路は逆方向走査操作を行う。このとき、前記プルアップ制御回路100は前記プルダウン回路400の機能を奏し、前記プルダウン回路400は前記プルアップ制御回路100の機能を奏し、前記ゲート信号点 $Q(N)$ のプルダウンを担う。つまり、逆方向走査操作のときに、前記プルアップ制御回路100及び前記プルダウン回路400による動作は、逆方向走査操作のときの動作と異なる。

【0046】

上記のように、前記正方向信号源 VF 及び前記逆方向信号源 VR を制御して、回路の正逆方向走査操作を実現することができる。

【0047】

10

20

30

40

50

図 5 は、図 4 の G O A 回路の正方向走査操作におけるキーノードの波形模式図である。この正方向走査操作において、前記正方向信号源 V F はハイレベルとされ、前記逆方向信号源 V R はローレベルとされ、他の信号はすべて第 1 実施形態と同じである。

【 0 0 4 8 】

第 N ステージクロック信号 (C K (N)) と第 N ± 1 ステージクロック信号 (C K (N ± 1)) とのデューティ比は 5 0 % 未満である必要がある。これは主に、前記ゲート信号点 Q (N) が凸字形の波形を形成するために、第 1 6 トランジスタ T 2 1 を用いて前記第 N ステージ走査線 G (N) をプルダウンするからである。

【 0 0 4 9 】

前記第 N - 1 ステージシフトレジスタのスタート信号 S T (N - 1) の信号は、第 1 段階のレベルの上昇を行うために、前記ゲート信号点 Q (N) に伝送される。

10

【 0 0 5 0 】

図 6 は、図 4 の G O A 回路の逆方向走査操作におけるキーノードの波形模式図である。この逆方向走査操作において、前記正方向信号源 V F はローレベルとされ、前記逆方向信号源 V R はハイレベルとされる。

【 0 0 5 1 】

第 N ステージクロック信号 (C K (N)) と第 N ± 1 ステージクロック信号 (C K (N ± 1)) とのデューティ比 (D u t y R a t i o) は 5 0 % 未満である必要がある。これは主に、前記ゲート信号点 Q (N) が凸字形の波形を形成するために、第 1 6 トランジスタ T 2 1 を用いて前記第 N ステージ走査線 G (N) をプルダウンするからである。

20

【 0 0 5 2 】

前記第 N + 1 ステージシフトレジスタのスタート信号 S T (N + 1) の信号は、第 1 段階のレベルの上昇を行うために、前記ゲート信号点 Q (N) に伝送される。

【 0 0 5 3 】

二組の信号源 V F 及び V R によって正逆方向の走査を制御して、G O A 回路の正逆方向の走査機能を実現する。

【 0 0 5 4 】

上述したように、本発明は好ましい実施例を挙げていたが、前記好ましい実施例は本発明を制限するものではなく、当業者にとって、本発明の精神と範囲から離れない前提で、いろんな更新と修飾を行うことができ、そのため、本発明の保護範囲は特許請求の範囲に記載されている技術特徴を基準にするべきである。

30

【図 1】

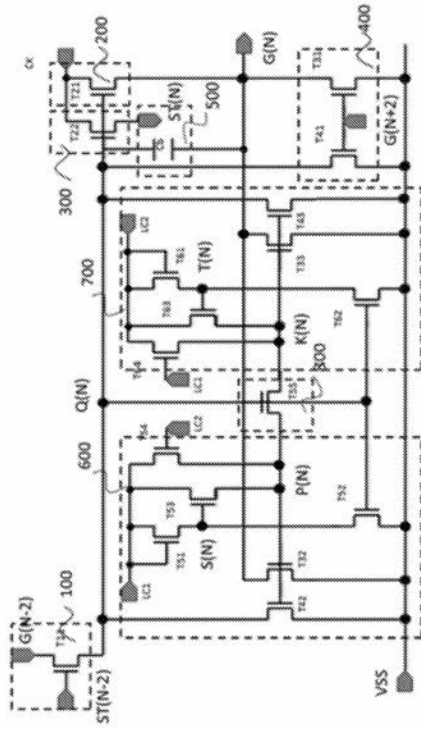


図 1

【図 2】

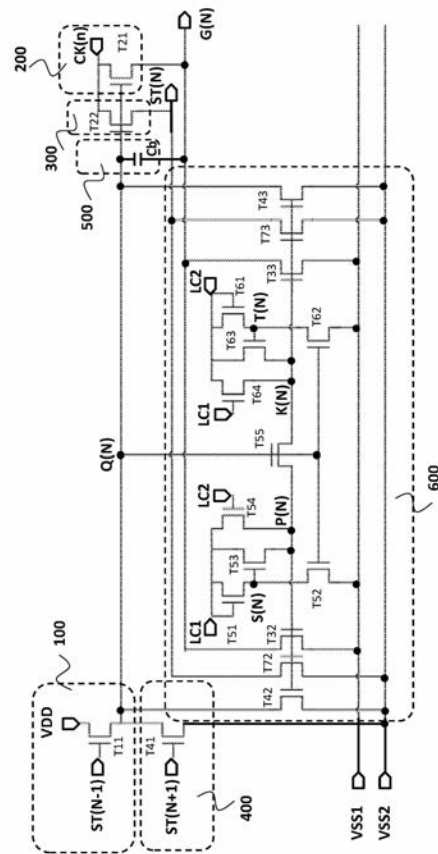


図 2

【図 3】

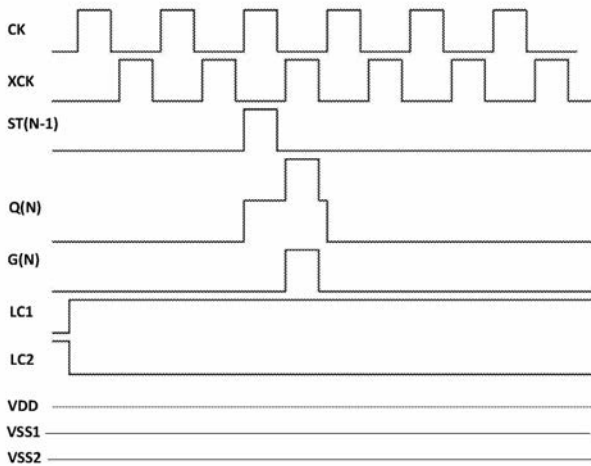


図 3

【図 4】

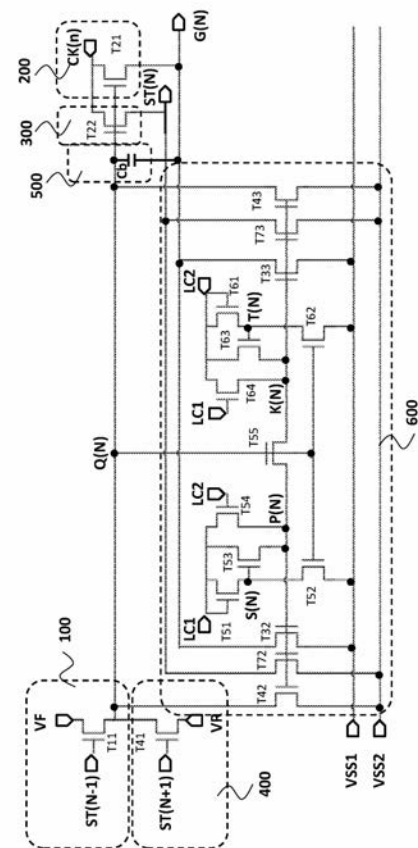


図 4

【 図 5 】

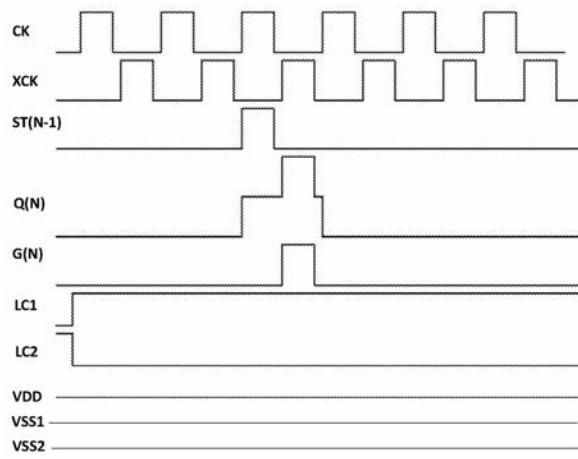


图 5

【 图 6 】

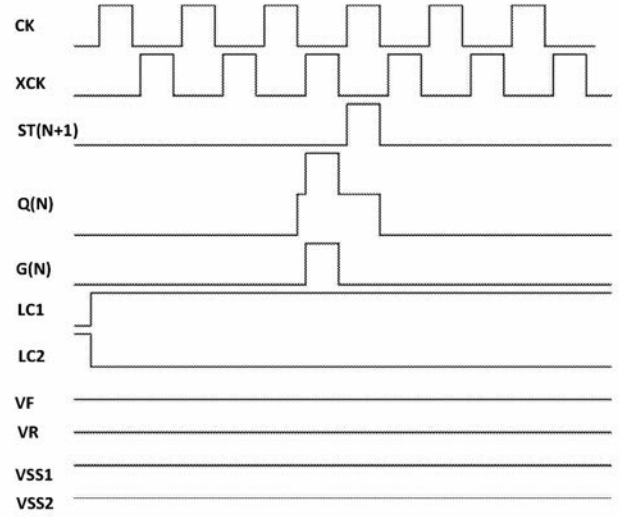


图 6

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/CN2014/092326		
A. CLASSIFICATION OF SUBJECT MATTER				
G09G 3/36 (2006.01) i				
According to International Patent Classification (IPC) or to both national classification and IPC				
B. FIELDS SEARCHED				
Minimum documentation searched (classification system followed by classification symbols)				
IPC: G09G 3/-				
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched				
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)				
CNABS; VEN: down, shift, pull, gate, clock, GOA, array, up, register?, capacitor?				
C. DOCUMENTS CONSIDERED TO BE RELEVANT				
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.		
A	CN 103928007 A (SHENZHEN CHINA STAR OPTOELECTRONIC TECHNOLOGY CO., LTD.) 16 July 2014 (16.07.2014) description, paragraphs [0028]-[0033] and figure 3	1-18		
A	CN 103680388 A (SHENZHEN CHINA STAR OPTOELECTRONIC TECHNOLOGY CO., LTD.) 26 March 2014 (26.03.2014) the whole document	1-18		
A	CN 102592561 A (AU OPTRONICS CORP.) 18 July 2012 (18.07.2012) the whole document	1-18		
A	US 8654055 B2 (KIM HAK-GYU et al.) 18 February 2014 (18.02.2014) the whole document	1-18		
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.				
<table border="0"> <tr> <td style="vertical-align: top;"> <p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p> </td> <td style="vertical-align: top;"> <p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p> </td> </tr> </table>			<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>
<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>			
Date of the actual completion of the international search 18 June 2015		Date of mailing of the international search report 30 June 2015		
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimengqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451		Authorized officer LI, Jun Telephone No. (86-10) 62085773		

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2014/092326

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103928007 A	16 July 2014	None	
CN 103680388 A	26 March 2014	None	
CN 102592561 A	18 July 2012	CN 102592561 B	23 October 2013
		TW 201327521 A	01 July 2013
		TWI 425473 B	01 February 2014
US 8654055 B2	18 February 2014	US 2010164915 A1	01 July 2010
		KR 20100077472 A	08 July 2010

国际检索报告

国际申请号

PCT/CN2014/092326

A. 主题的分类 G09G 3/36(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) G09G3/- 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNABS;VEN:移位寄存, 移位缓存, 电容, 时钟, 上拉, 下拉down, shift, pull, gate, clock, GOA, array, up, register?, capacitor?,		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 103928007 A (深圳市华星光电技术有限公司) 2014年 7月 16日 (2014 - 07 - 16) 说明书[0028]-[0033]段和附图3	1-18
A	CN 103680388 A (深圳市华星光电技术有限公司) 2014年 3月 26日 (2014 - 03 - 26) 全文	1-18
A	CN 102592561 A (友达光电股份有限公司) 2012年 7月 18日 (2012 - 07 - 18) 全文	1-18
A	US 8654055 B2 (KIM HAK-GYU等) 2014年 2月 18日 (2014 - 02 - 18) 全文	1-18
<input type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2015年 6月 18日		国际检索报告邮寄日期 2015年 6月 30日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 北京市海淀区蓟门桥西土城路6号 100088 中国 传真号 (86-10) 62019451		授权官员 李军 电话号码 (86-10) 62085773

表 PCT/ISA/210 (第2页) (2009年7月)

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2014/092326

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	103928007	A	2014年 7月 16日	无	
CN	103680388	A	2014年 3月 26日	无	
CN	102592561	A	2012年 7月 18日	CN	102592561 B 2013年 10月 23日
				TW	201327521 A 2013年 7月 1日
				TW	I425473 B 2014年 2月 1日
US	8654055	B2	2014年 2月 18日	US	2010164915 A1 2010年 7月 1日
				KR	20100077472 A 2010年 7月 8日

表 PCT/ISA/210 (同族专利附件) (2009年7月)

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

F ターム(参考) 2H193 ZA04 ZC25 ZC30 ZF23 ZF44
5C006 AC22 BB16 BC03 BF03 BF34 BF37
5C080 AA10 BB05 DD21 FF11 FF12 JJ03 JJ04

专利名称(译)	液晶表示用GOA回路及び液晶表示装置		
公开(公告)号	JP2017534924A	公开(公告)日	2017-11-24
申请号	JP2017524994	申请日	2014-11-27
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深▲せん▼市华星光电技术有限公司		
[标]发明人	戴超 頼梓傑		
发明人	戴 超 頼 梓傑		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3677 G09G2310/0286 G11C19/287 G09G3/3648 G09G3/3696 G09G2230/00 G09G2300/0871 G09G2310/0289		
FI分类号	G09G3/36 G09G3/20.622.E G09G3/20.622.B G09G3/20.612.K G02F1/133.505		
F-TERM分类号	2H193/ZA04 2H193/ZC25 2H193/ZC30 2H193/ZF23 2H193/ZF44 5C006/AC22 5C006/BB16 5C006/BC03 5C006/BF03 5C006/BF34 5C006/BF37 5C080/AA10 5C080/BB05 5C080/DD21 5C080/FF11 5C080/FF12 5C080/JJ03 5C080/JJ04		
优先权	201410639701.X 2014-11-13 CN		
其他公开文献	JP6434620B2		
外部链接	Espacenet		

摘要(译)

本发明公开了一种用于液晶显示器的GOA电路。液晶显示GOA电路包括多个级联的移位寄存器，并且基于第N级移位寄存器来控制显示区域中的第N级扫描线的充电。提供了上电路，下拉电路，下拉保持电路，上拉控制电路，传输电路和自举电容器。代替第N级扫描线，使用恒定电压信号源或两组信号源来执行传输操作。本发明的实施例还公开了显示设备。本发明降低了第N级扫描线加载和级联传输布线的风险。另外，可以控制正向和反向扫描。

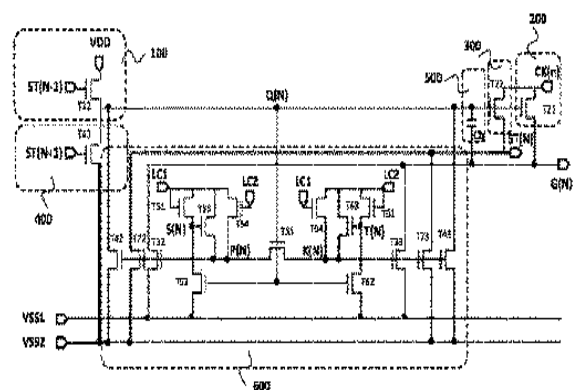


图 2 /Fig.2