

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-197148

(P2016-197148A)

(43) 公開日 平成28年11月24日(2016.11.24)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H192
G09G 3/20 (2006.01)	G09G 3/20 611E	2H193
G02F 1/133 (2006.01)	G09G 3/20 621E	5C006
G02F 1/1368 (2006.01)	G09G 3/20 622C	5C080
	G09G 3/20 622D	
審査請求 未請求 請求項の数 8 O L (全 16 頁) 最終頁に続く		

(21) 出願番号 特願2015-76250 (P2015-76250)
 (22) 出願日 平成27年4月2日 (2015.4.2)

(71) 出願人 000005049
 シャープ株式会社
 大阪府堺市堺区匠町1番地
 (74) 代理人 110000338
 特許業務法人HARAKENZO WORLD PATENT & TRADEMARK
 (72) 発明者 大橋 衛
 大阪府大阪市阿倍野区長池町22番22号
 シャープ株式会社内
 Fターム(参考) 2H192 AA24 BC24 BC26 GD61
 2H193 ZA07 ZB02 ZB14 ZC25 ZC35
 ZD23 ZE06
 5C006 AC11 AC24 AC25 BB16 BC02
 BC06 EC02 FA23 FA55
 最終頁に続く

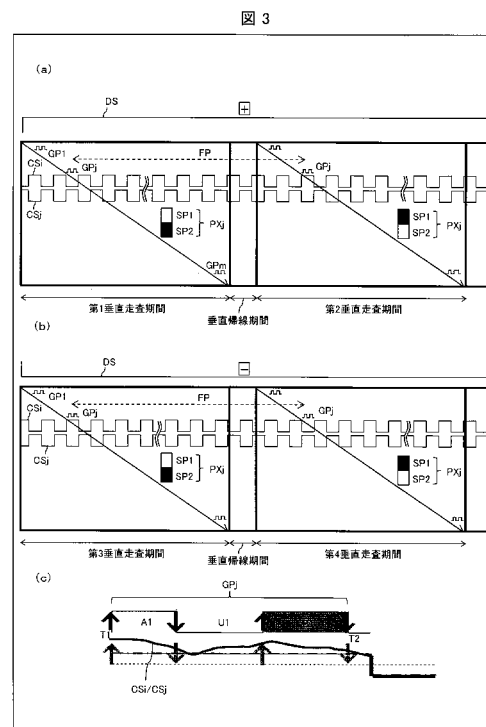
(54) 【発明の名称】 液晶表示装置、液晶表示装置の駆動方法、テレビジョン受像機

(57) 【要約】

【課題】 液晶表示装置の表示品位を高める。

【解決手段】 第1および第2画素電極を含む画素と、第1画素電極と容量を形成する第1容量配線と、第2画素電極と容量を形成する第2容量配線と、第1トランジスタを介して第1画素電極に接続し、かつ第2トランジスタを介して第2画素電極に接続する走査信号線とを備え、第1および第2容量配線それぞれに容量信号が供給され、一垂直走査期間内に、上記走査信号線について、電位が上昇して最大レベルへ至る第1タイミングと、電位が下降して最小レベルに至る第2タイミングと、第1および第2タイミング間にあって、電位が最大レベルから一旦下降した後に最大レベルに戻る谷期間とが設けられている。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

第 1 および第 2 画素電極を含む画素と、第 1 画素電極と容量を形成する第 1 容量配線と、第 2 画素電極と容量を形成する第 2 容量配線と、第 1 トランジスタを介して第 1 画素電極に接続し、かつ第 2 トランジスタを介して第 2 画素電極に接続する走査信号線とを備え、

第 1 および第 2 容量配線それぞれに、第 1 および第 2 電位が交互に供給され、

一垂直走査期間内に、上記走査信号線について、電位が上昇して最大レベルへ至る第 1 タイミングと、電位が下降して最小レベルに至る第 2 タイミングと、第 1 および第 2 タイミング間にあって、電位が最大レベルから一旦下降した後に最大レベルに戻る谷期間とが設けられている液晶表示装置。

10

【請求項 2】

上記谷期間において上記電位が最大レベルからスロープ状に下降する請求項 1 記載の液晶表示装置。

【請求項 3】

上記谷期間において上記電位が一旦最大レベルから最小レベルまで下降する請求項 1 記載の液晶表示装置。

【請求項 4】

上記第 1 および第 2 トランジスタに接続するデータ信号線を備え、

上記第 1 および第 2 タイミング間である第 1 選択期間に、第 1 容量配線が第 1 電位であって、第 2 容量配線が第 2 電位であり、

20

第 1 選択期間内の書き込み期間に、上記データ信号線から第 1 および第 2 画素電極に第 1 極性の信号電位が書き込まれる請求項 1 記載の液晶表示装置。

【請求項 5】

上記第 1 選択期間においては上記谷期間が上記書き込み期間の前に設けられている請求項 4 記載の液晶表示装置。

【請求項 6】

上記第 1 選択期間の次の第 2 選択期間に、第 1 容量配線が第 2 電位であって、第 2 容量配線が第 1 電位であり、第 2 選択期間内の書き込み期間に、上記データ信号線から第 1 および第 2 画素電極に第 1 極性の信号電位が書き込まれ、

30

上記第 2 選択期間の次の第 3 選択期間に、第 1 容量配線が第 2 電位であって、第 2 容量配線が第 1 電位であり、第 3 選択期間内の書き込み期間に、上記データ信号線から第 1 および第 2 画素電極に第 2 極性の信号電位が書き込まれ、

上記第 3 選択期間の次の第 4 選択期間に、第 1 容量配線が第 1 電位であって、第 2 容量配線が第 2 電位であり、第 4 選択期間内の書き込み期間に、上記データ信号線から第 1 および第 2 画素電極に第 2 極性の信号電位が書き込まれる請求項 4 記載の液晶表示装置。

【請求項 7】

第 1 および第 2 画素電極を含む画素と、第 1 画素電極と容量を形成する第 1 容量配線と、第 2 画素電極と容量を形成する第 2 容量配線と、第 1 トランジスタを介して第 1 画素電極に接続し、かつ第 2 トランジスタを介して第 2 画素電極に接続する走査信号線とを備えた液晶表示装置の駆動方法であって、

40

第 1 および第 2 容量配線それぞれに、第 1 および第 2 電位を交互に供給し、

一垂直走査期間内に、上記走査信号線について、電位が上昇して最大レベルへ至る第 1 タイミングと、電位が下降して最小レベルに至る第 2 タイミングと、第 1 および第 2 タイミング間にあって、電位が最大レベルから一旦下降した後に最大レベルに戻る谷期間とを設ける液晶表示装置の駆動方法。

【請求項 8】

請求項 1 ~ 6 のいずれか 1 項に記載の液晶表示装置と、チューナとを備えるテレビジョン受像機。

【発明の詳細な説明】

50

【技術分野】

【0001】

本発明は、液晶表示装置、液晶表示装置の駆動方法、テレビジョン受像機に関する。

【背景技術】

【0002】

特許文献1には、1画素に設けた第1画素電極および第2画素電極それぞれを、別々のトランジスタを介して同一データ信号線および同一走査信号線に接続するとともに、第1画素電極と容量を形成する容量配線と、第2画素電極と容量を形成する容量配線とに異なる容量信号を供給することで、1画素内に明サブ画素と暗サブ画素とを形成する駆動方法が開示されている。

10

【先行技術文献】

【特許文献】

【0003】

【特許文献1】日本国公開特許公報2004-62146（公開日：2004年2月26日）

【発明の概要】

【発明が解決しようとする課題】

【0004】

前記駆動方法においては、走査信号線がアクティブ状態から非アクティブ状態になるタイミングで容量信号にリップルが発生し、これによって、明サブ画素と暗サブ画素とが適正に形成されない現象が起こりうることが見いだされた。本発明の目的の1つは、このような現象を抑えて表示品位を高めることにある。

20

【課題を解決するための手段】

【0005】

本液晶表示装置は、第1および第2画素電極を含む画素と、第1画素電極と容量を形成する第1容量配線と、第2画素電極と容量を形成する第2容量配線と、第1トランジスタを介して第1画素電極に接続し、かつ第2トランジスタを介して第2画素電極に接続する走査信号線とを備え、第1および第2容量配線それぞれに、第1および第2電位が交互に供給され、一垂直走査期間内に、上記走査信号線について、電位が上昇して最大レベルへ至る第1タイミングと、電位が下降して最小レベルに至る第2タイミングと、第1および第2タイミング間にあって、電位が最大レベルから一旦下降した後に最大レベルに戻る谷期間とが設けられていることを特徴とする。

30

【発明の効果】

【0006】

前記構成によれば、谷期間における電位降下および電位上昇が寄与して第1および第2容量配線それぞれに生じるリップルが抑制される。これにより、明サブ画素と暗サブ画素とを適正に形成することができる。

【図面の簡単な説明】

【0007】

【図1】本液晶表示装置の概略構成を示す模式図である。

40

【図2】実施の形態1の液晶パネルの構成を示す回路図である。

【図3】(a)～(c)は、実施の形態1の本液晶表示装置の駆動方法を示す模式図である。

【図4】実施の形態1の液晶表示装置の駆動方法を示すタイミングチャートである。

【図5】本液晶表示装置の具体的構成を示す模式図である。

【図6】実施の形態2の液晶表示装置の駆動方法を示すタイミングチャートである。

【図7】実施の形態3の液晶表示装置の駆動方法を示すタイミングチャートである。

【図8】実施の形態3の液晶表示装置の別駆動方法を示すタイミングチャートである。

【図9】実施の形態4の液晶表示装置の駆動方法を示すタイミングチャートである。

【図10】(a)～(c)は、実施の形態5の本液晶表示装置の駆動方法を示す模式図で

50

ある。

【図 1 1】(a)(b)は、実施の形態 6 の液晶 TV の構成を示す模式図である。

【図 1 2】参考例である液晶表示装置の駆動方法を示すタイミングチャートである。

【発明を実施するための形態】

【0008】

本発明の実施の形態を図 1 ~ 図 1 2 に基づいて以下に説明する。

【0009】

図 1 は、本液晶表示装置の構成を示す模式図である。図 1 に示すように、液晶表示装置 2 は、液晶パネル 3 と、バックライト 4 と、液晶パネル 3 の複数の走査信号線（例えば、走査信号線 GLj）を駆動するゲートドライバ 6 と、液晶パネル 3 の複数のデータ信号線（例えば、データ信号線 DL1・DL2）を駆動するソースドライバ 7 と、液晶パネル 3 の複数の容量配線（例えば、容量配線 CLi・CLj）を駆動する CS ドライバ 8 と、ゲートドライバ 6 およびソースドライバ 7 並びに CS ドライバ 8 を制御する表示制御回路 10 とを備える。液晶パネル 3 には、j 番目の走査信号線 GLj およびデータ信号線 DL の交差部分に画素 PXj が形成されている。

10

【0010】

〔実施の形態 1〕

図 2 は、図 1 の液晶パネル 3 の構成を示す回路図である。図 2 に示すように、画素 PXj は、第 1 画素電極 PE1 および第 2 画素電極 PE2 を含み、第 1 画素電極 PE1 および共通電極 COM（対向電極）並びにこれらで挟まれた液晶層によってサブ画素 SP1 が形成され、第 2 画素電極 PE2 および共通電極 COM（対向電極）並びにこれらで挟まれた液晶層によってサブ画素 SP2 が形成される。

20

【0011】

第 1 画素電極 PE1 は、トランジスタ TR1 を介してデータ信号線 DL1 および走査信号線 GLj に接続され、第 1 画素電極 PE1 と容量配線 CLi との間には補助容量 C1 が形成されている。同様に、第 2 画素電極 PE2 は、トランジスタ TR2 を介してデータ信号線 DL1 および走査信号線 GLj に接続され、第 2 画素電極 PE2 と容量配線 CLj との間には補助容量 C2 が形成されている。

【0012】

また、画素 PXk は、第 3 画素電極 PE3 および第 4 画素電極 PE4 を含み、第 3 画素電極 PE3 および共通電極 COM（対向電極）並びにこれらで挟まれた液晶層によってサブ画素 SP3 が形成され、第 4 画素電極 PE4 および共通電極 COM（対向電極）並びにこれらで挟まれた液晶層によってサブ画素 SP4 が形成される。

30

【0013】

第 3 画素電極 PE3 は、トランジスタ TR3 を介して、データ信号線 DL1 に隣接するデータ信号線 DL2 および走査信号線 GLk に接続され、第 3 画素電極 PE3 と容量配線 CLj との間には補助容量 C3 が形成されている。同様に、第 4 画素電極 PE4 は、トランジスタ TR4 を介してデータ信号線 DL2 および走査信号線 GLk に接続され、第 4 画素電極 PE4 と容量配線 CLk との間には補助容量 C4 が形成されている。

【0014】

なお、CS ドライバ 8 には 12 本の幹配線（幹配線 M1・M2 を含む）が設けられており、容量配線 CLi は CS 幹配線 M1 に接続され、容量配線 CLj は CS 幹配線 M2 に接続され、容量配線 CLk は CS 幹配線 M3 に接続されている。

40

【0015】

以上のように、液晶表示装置 2 は、1 画素列に 2 本のデータ信号線を配したダブルソース構造であり、走査信号線は 2 本ずつ（例えば、走査信号線 GLj と走査信号線 16 GLk）同時選択され、画素 PXj および画素 PXk の 4 つの画素電極（第 1 ~ 第 4 画素電極 PE1 ~ PE4）に同時にデータ信号が書き込まれる。なお、以下では、主として画素 PXj と、画素 PXj に接続される走査信号線 GLj およびデータ信号線 DL1 と、画素 PXj（サブ画素 SP1・SP2）と容量を形成する容量配線 CLi・CLj について説明

50

していく。

【0016】

図3(a)・(b)は、本実施の形態の液晶表示装置の駆動方法を示すタイミングチャートである。走査信号線を2本ずつ順次走査するゲートドライバ6は、例えば、走査信号線GLjにゲートパルスGPjを供給することでこれを選択する。ソースドライバ7は、データ信号線DL1にデータ信号DSを供給する。CSドライバ8は、CS幹配線M1を介して容量配線CLiに第1容量信号CSiを供給するとともに、CS幹配線M2を介して容量配線CLjに第2容量信号CSjを供給する。

【0017】

図3(a)・(b)に示すように、第1容量信号CSiおよび第2容量信号CSjはともに、第1電位(以下、適宜「Low」と記載)と第1電位よりも高い第2電位(以下、適宜「High」と記載)とが交互に入れ替わる信号であり、互いに位相が半周期分ずれた反転関係にある。

【0018】

図3(c)に示すように、ゲートパルスGPjは、谷期間U1を挟んで並ぶ2つのサブパルスA1・B1からなる。すなわち、各垂直走査期間には、走査信号線GLjについて、電位が上昇して最大レベル(High)へ至る第1タイミングT1と、電位が下降して最小レベル(Low)に至る第2タイミングT2と、第1タイミングT1および第2タイミングT2間であって、電位が最大レベルから一旦下降した後に最大レベルに戻る谷期間U1とが設けられている。なお、走査信号線GLjは、その電位が最小レベル以上閾値レベル未満の時に非アクティブ状態、その電位が前記閾値レベル以上最大レベル以下のときにアクティブ状態となる。ここでは、走査信号線GLjにゲートパルスGPjが供給される選択期間のうち、サブパルスA1に対応する期間に、データ信号線DL1から第1および第2画素電極PE1・PE2にプリチャージが行われ、サブパルスB1に対応する期間(書き込み期間)に、データ信号線DL1から第1および第2画素電極PE1・PE2にデータ信号が書き込まれる(本チャージ)。

【0019】

図3(a)に示すように、第1垂直走査期間内の選択期間(第1選択期間)に第1容量信号CSiがLow、第2容量信号CSjがHighとなっており、この選択期間で第1および第2画素電極PE1・PE2にプラス極性のデータ信号が書き込まれた後に、第1容量信号CSiがHighに、第2容量信号CSjがLowに反転する。

【0020】

第1および第2容量信号CSi・CSjは、第1垂直走査期間内の選択期間から第2垂直走査期間内の選択期間までの1フレーム期間FPの実効電位が、第1電位(Low)および第2電位(High)の中間値である第3電位(例えば、共通電極COMの電位である共通電位Vcom)である。

【0021】

このように、1フレーム期間FPの第1容量信号CSiの実効値が第3電位であり、第1垂直走査期間の選択期間終了時(トランジスタTR1のOFF時)の第1容量信号CSiがLow(第1電位)であるため、第1画素電極PE1(容量配線CL1と容量C1を形成)の実効値は、第1垂直走査期間の選択期間終了時に書き込まれたデータ信号の電位(プラス)から引き上げられる。これにより、第1画素電極PE1を含むサブ画素SP1は、データ信号の想定よりも明るい明サブ画素となる。

【0022】

また、1フレーム期間FPの第1容量信号CSjの実効値が第3電位であり、第1垂直走査期間の選択期間終了時(トランジスタTR2のOFF時)の第2容量信号CSjがHigh(第2電位)であるため、第2画素電極PE2(容量配線CL2と容量C2を形成)の1フレーム期間FPの実効値は、第1垂直走査期間の選択期間終了時に書き込まれたデータ信号の電位(プラス)から引き下げられる。これにより、第2画素電極PE2を含むサブ画素SP2は、データ信号の想定よりも暗い暗サブ画素となる。

10

20

30

40

50

【 0 0 2 3 】

図 3 (a) に示すように、第 2 垂直走査期間内の選択期間 (第 2 選択期間) に第 1 容量信号 CS_i が $High$ 、第 2 容量信号 CS_j が Low となっており、この選択期間で第 1 および第 2 画素電極 $PE_1 \cdot PE_2$ にプラス極性のデータ信号が書き込まれた後に、第 1 容量信号 CS_i が Low に、第 2 容量信号 CS_j が $High$ に反転する。

【 0 0 2 4 】

第 1 および第 2 容量信号 $CS_i \cdot CS_j$ は、第 2 垂直走査期間内の選択期間から第 3 垂直走査期間内の選択期間までの 1 フレーム期間の実効電位が、第 1 電位 (Low) および第 2 電位 ($High$) の中間値である第 3 電位 (例えば、共通電位 V_{com}) である。

【 0 0 2 5 】

このように、1 フレーム期間の第 1 容量信号 CS_i の実効値が第 3 電位であり、第 2 垂直走査期間の選択期間終了時 (トランジスタ TR_1 の OFF 時) の第 1 容量信号 CS_i が $High$ (第 2 電位) であるため、第 1 画素電極 PE_1 (容量配線 CL_1 と容量 C_1 を形成) の実効値は、第 2 垂直走査期間の選択期間終了時に書き込まれたデータ信号の電位 (プラス) から引き下げられる。これにより、第 1 画素電極 PE_1 を含むサブ画素 SP_1 は、データ信号の想定よりも暗い暗サブ画素となる。

【 0 0 2 6 】

また、1 フレーム期間の第 1 容量信号 CS_j の実効値が第 3 電位であり、第 2 垂直走査期間の選択期間終了時 (トランジスタ TR_2 の OFF 時) の第 2 容量信号 CS_j が Low (第 1 電位) であるため、第 2 画素電極 PE_2 (容量配線 CL_2 と容量 C_2 を形成) の 1 フレーム期間の実効値は、第 2 垂直走査期間の選択期間終了時に書き込まれたデータ信号の電位 (プラス) から引き上げられる。これにより、第 2 画素電極 PE_2 を含むサブ画素 SP_2 は、データ信号の想定よりも明るい明サブ画素となる。

【 0 0 2 7 】

図 3 (b) に示すように、第 3 垂直走査期間内の選択期間 (第 3 選択期間) に第 1 容量信号 CS_i が $High$ 、第 2 容量信号 CS_j が Low となっており、この選択期間で第 1 および第 2 画素電極 $PE_1 \cdot PE_2$ にマイナス極性のデータ信号が書き込まれた後に、第 1 容量信号 CS_i が Low に、第 2 容量信号 CS_j が $High$ に反転する。

【 0 0 2 8 】

第 1 および第 2 容量信号 $CS_i \cdot CS_j$ は、第 3 垂直走査期間内の選択期間から第 4 垂直走査期間内の選択期間までの 1 フレーム期間の実効電位が、第 3 電位 (例えば、共通電位 V_{com}) である。

【 0 0 2 9 】

このように、1 フレーム期間の第 1 容量信号 CS_i の実効値が第 3 電位であり、第 3 垂直走査期間の選択期間終了時 (トランジスタ TR_1 の OFF 時) の第 1 容量信号 CS_i が $High$ (第 2 電位) であるため、第 1 画素電極 PE_1 (容量配線 CL_1 と容量 C_1 を形成) の実効値は、第 3 垂直走査期間の選択期間終了時に書き込まれたデータ信号の電位 (マイナス) から引き下げられる。これにより、第 1 画素電極 PE_1 を含むサブ画素 SP_1 は、データ信号の想定よりも明るい明サブ画素となる。

【 0 0 3 0 】

また、1 フレーム期間の第 1 容量信号 CS_j の実効値が第 3 電位であり、第 3 垂直走査期間の選択期間終了時 (トランジスタ TR_2 の OFF 時) の第 2 容量信号 CS_j が Low (第 1 電位) であるため、第 2 画素電極 PE_2 (容量配線 CL_2 と容量 C_2 を形成) の 1 フレーム期間の実効値は、第 3 垂直走査期間の選択期間終了時に書き込まれたデータ信号の電位 (マイナス) から引き上げられる。これにより、第 2 画素電極 PE_2 を含むサブ画素 SP_2 は、データ信号の想定よりも暗い暗サブ画素となる。

【 0 0 3 1 】

図 3 (b) に示すように、第 4 垂直走査期間内の選択期間 (第 4 選択期間) に第 1 容量信号 CS_i が Low 、第 2 容量信号 CS_j が $High$ となっており、この選択期間で第 1 および第 2 画素電極 $PE_1 \cdot PE_2$ にマイナス極性のデータ信号が書き込まれた後に、第

10

20

30

40

50

1 容量信号 CS_i が $High$ に、第 2 容量信号 CS_j が Low に反転する。

【0032】

第 1 および第 2 容量信号 $CS_i \cdot CS_j$ は、第 4 垂直走査期間内の選択期間から次の垂直走査期間内の選択期間までの 1 フレーム期間の実効電位が、第 3 電位（例えば、共通電極 COM の電位である共通電位 V_{com} ）である。

【0033】

このように、1 フレーム期間 FP の第 1 容量信号 CS_i の実効値が第 3 電位であり、第 4 垂直走査期間の選択期間終了時（トランジスタ TR_1 の OFF 時）の第 1 容量信号 CS_i が Low （第 1 電位）であるため、第 1 画素電極 PE_1 （容量配線 CL_1 と容量 C_1 を形成）の実効値は、第 4 垂直走査期間の選択期間終了時に書き込まれたデータ信号の電位（マイナス）から引き上げられる。これにより、第 1 画素電極 PE_1 を含むサブ画素 SP_1 は、データ信号の想定よりも暗い暗サブ画素となる。

【0034】

また、1 フレーム期間 FP の第 1 容量信号 CS_j の実効値が第 3 電位であり、第 4 垂直走査期間の選択期間終了時（トランジスタ TR_2 の OFF 時）の第 2 容量信号 CS_j が $High$ （第 2 電位）であるため、第 2 画素電極 PE_2 （容量配線 CL_2 と容量 C_2 を形成）の 1 フレーム期間 FP の実効値は、第 4 垂直走査期間の選択期間終了時に書き込まれたデータ信号の電位（マイナス）から引き下げられる。これにより、第 2 画素電極 PE_2 を含むサブ画素 SP_2 は、データ信号の想定よりも明るい明サブ画素となる。

【0035】

このように、1 画素（ PX_j ）内に、明サブ画素および暗サブ画素を形成することで、視野角特性を高めることができる。さらに、1 画素（ PX_j ）内の明サブ画素および暗サブ画素の位置（垂直方向、上下方向）を 1 垂直走査期間ごとに入れ替えることで、垂直方向の見かけの解像度を 2 倍に高めることができる。

【0036】

ここで、一般的なひとやまのゲートパルスを用いた参考例を図 12 を用いて説明する。この参考例では、図 12（c）・（d）に示すように、例えばゲートパルスの立ち下がり時に容量信号に大きなリップルが生じ、これによって、ゲートパルス立ち下がり時の容量信号の電位が沈んでしまう。このため、図 12（c）のように容量信号がマイナス側に反転する場合は、画素電極の電位の突き下げが足りず、図 12（d）のように容量信号がプラス側に反転する場合は、画素電極の電位の突き上げが過剰になってしまう。

【0037】

このため、図 12（a）に示すように、データ信号の極性がプラスである第 1 および第 2 垂直走査期間では、第 1 サブ画素 SP_1 および第 2 サブ画素 SP_2 がともに明方向にシフトし、図 12（b）に示すように、データ信号の極性がマイナスである第 3 および第 4 垂直走査期間では第 1 サブ画素 SP_1 および第 2 サブ画素 SP_2 がともに暗方向にシフトする。ここで、駆動周波数を 120Hz とすると、2 垂直走査期間ごとに（ 60Hz で）画面が明暗に振れることになり、フリッカとして視認される。

【0038】

一方、本液晶表示装置 2 では、図 3（c）に示すように、ゲートパルス GP_j は、谷期間 U_1 を挟んで並ぶ 2 つのサブパルス $A_1 \cdot B_1$ からなるため、谷期間 U_1 におけるサブパルス A_1 の立ち下げとサブパルス B_1 の立ち上げとが寄与して第 1 および第 2 容量信号 $CS_i \cdot CS_j$ のリップルが抑制され、これら容量信号の波形を適正に維持することができる。これにより、図 3（a）・（b）のように各垂直走査期間において明サブ画素および暗サブ画素の輝度を適正に設定することができ、図 12 のような参考例で生じるフリッカを抑制することができる。

【0039】

図 4 は、液晶表示装置 2 の駆動例を示すタイミングチャートである。図 4 に示すように、ゲートクロック信号 GCK とゲートイネイブル信号 GOE を用いて、走査信号線 GL_j に供給する走査信号 GS_j （図 3 のゲートパルス GP_j を含む）を形成することができる

10

20

30

40

50

。

【 0 0 4 0 】

まずは、G C KのH i g h期間を3 . 2 [u s]、G C KのL o w期間を4 . 2 [u s]、G O EのH i g h期間を4 . 2 [u s]、G O EのL o w期間を3 . 2 [u s]とし、G C KおよびG O Eの立ち下がりタイミングを同期させておく。

【 0 0 4 1 】

そして、サブパルスA 1の立ち上がりを、G C KのパルスX 1およびG O EのパルスY 1の同時立ち下がり同期させ、サブパルスA 1の立ち下がり、G O EのパルスY 2の立ち上がりに同期させ、G O EのパルスY 2の立ち上がりタイミングとG O EのパルスY 2の立ち下がりタイミングとの間を谷期間U 1とし、サブパルスB 1の立ち上がりを、G C KのパルスX 2およびG O EのパルスY 2の同時立ち下がり同期させ、サブパルスB 1の立ち下がり、G C KのパルスX 3の立ち上がりに同期させる。なお、パルスX 1 ~ X 3は連続する3つのパルスであり、パルスY 1 ~ Y 3は連続する3つのパルスである。

10

【 0 0 4 2 】

また、ラッチパルスL P iはパルスX 1のアクティブ期間内に配され、ラッチパルスL P jはパルスX 2のアクティブ期間内に配され、ラッチパルスL P kはパルスX 3のアクティブ期間内に配され、ラッチパルスL P iおよびラッチパルスL P j間に走査信号線G L iに対応するデータ信号が出力され、ラッチパルスL P jおよびラッチパルスL P k間に走査信号線G L jに対応するデータ信号が出力される。すなわち、画素P X jは、サブパルスA 1のアクティブ期間にプリチャージされ、サブパルスB 1のアクティブ期間に本チャージされる。

20

【 0 0 4 3 】

また、第1容量信号C S iは、G C KのパルスX 3の中程で第1電位 (L o w) から第2電位 (H i g h) に反転し、第1容量信号C S jは、G C KのパルスX 3の中程で第2電位 (H i g h) から第1電位 (L o w) に反転する。

【 0 0 4 4 】

液晶表示装置2では走査信号線の2本同時選択が行われるため、ゲートパルスG P jおよびゲートパルスG P kは全体が時間的に重なり、ゲートパルスG P jのサブパルスA 1は、直前に選択される走査信号線へのゲートパルスG P iのサブパルスB 1と時間的に重なっている。

30

【 0 0 4 5 】

図5は本液晶表示装置2における各種信号および供給電位の流れを示すブロック図である。図5に示すように、図1の表示制御回路10に設けられるタイミングコントローラ11は、ゲートスタートパルス信号 (G S P)、ゲートクロック信号 (G C K)、ゲートオンイネイブル信号 (G O E)をゲートドライバ6に出力し、表示データD A T (例えばL V D S信号)およびラッチストロブ信号L Sをソースドライバ7に供給する。また、ソースドライバ7には、階調電位 (V H 2 5 5、V H 1 2 8、V H 6 4等)が入力される。

【 0 0 4 6 】

C Sドライバ8には、C Sレベルシフタ13、D A変換回路14、およびC S幹配線M 1 ~ M 12が含まれる。タイミングコントローラ11は、C S駆動のO N / O F Fを制御するフラグ信号 (C S - E N)およびC Sタイミング信号 (C S A ~ C S L)をC Sレベルシフタ13に出力する。C Sレベルシフタ13には、低電位側のV C C電位 (例えば、3 . 3 V)および高電位側のV L S電位 (例えば、1 5 . 6 V)並びに共通電極電位V c o mが供給され、D A変換回路14には、低電位側のV C C電位 (例えば、3 . 3 V)および高電位側のV L S電位 (例えば、1 5 . 6 V)が供給される。

40

【 0 0 4 7 】

D A変換回路14は、V C C電位およびV L S電位からV C S X電位、V C S Y電位、V C S y電位、およびV C S x電位を作成し、これらをC Sレベルシフタ13に供給する。

。

【 0 0 4 8 】

50

C S レベルシフタ 1 3 は、C S タイミング信号 (C S A ~ C S L) に従い、V C S X 電位、V C S Y 電位、V C S y 電位、および V C S x 電位を用いて容量信号 C S 1 ~ 1 2 を生成し、これらを C S 幹配線 M 1 ~ M 1 2 を介して各容量配線に出力する。

【 0 0 4 9 】

〔 実施の形態 2 〕

図 6 (a) は、図 4 のゲートパルス G P j (サブパルス A 1 およびサブパルス B 1) を示しており、A 1 の長さ < B 1 の長さである。ここで、図 4 における第 1 タイミング T 1 および第 2 タイミング T 2 間の幅を W として、図 6 (a) のゲートパルス G P j を以下のように設定することもできる。すなわち、(b) のように、サブパルス A 1 を伸ばしてサブパルス A 2 とし、谷期間 U 1 を短縮して谷期間 U 2 としてもよい (A 2 の長さ < B 1 の長さ) 。また、(c) のように、サブパルス A 1 を伸ばしてサブパルス A 2 とし、谷期間 U 1 を短縮して谷期間 U 2 とし、サブパルス B 1 を伸ばしてサブパルス B 2 としてもよい (A 2 の長さ < B 2 の長さ) 。また、(d) のように、サブパルスを 3 つとし、谷期間を 2 つ設けてもよい。具体的には、サブパルス A 1 を伸ばしてサブパルス A 2 とし、谷期間 U 1 を短縮して谷期間 U 3 とし、サブパルス B 1 を分割してサブパルス B 4 およびサブパルス B 5 とし、サブパルス B 4 とサブパルス B 5 との間隙を谷期間 U 4 とすることもできる (B 5 の長さ < A 2 の長さ < B 4 の長さ、U 3 の長さ < U 4 の長さ) 。

【 0 0 5 0 】

〔 実施の形態 3 〕

実施の形態 1 ~ 2 では、走査信号 G S j のゲートパルス G P j を、間隔を空けた 2 つのサブパルスで構成しているがこれに限定されない。図 7 のように、ゲートパルス G P j を、ひとやまパルスの一部に切欠き形状の谷期間を設けた構成とすることもできる。

【 0 0 5 1 】

すなわち、G C K のパルス X 1 の立ち下がりに同期してゲートパルス G P j を最大レベルに立ち上げ (第 1 タイミング T 1) 、G C K のパルス X 2 の立ち上がり前からスロープ状に一旦電位降下させた後に G C K のパルス X 3 の立ち上がりに同期して最大レベルに戻すことで谷期間 U 1 を設け、G C K のパルス X 3 の立ち上がり前からスロープ状に電位降下させて、G C K のパルス X 3 の立ち上がりと同期して最小レベルとする。ここでは、谷期間 U 1 での電位降下量を最大レベルおよび最小レベル間の電位差よりも小さくし、閾値レベル未満には落とさない (谷期間 U 1 でも走査信号線 G L j のアクティブ状態を維持する) ようにしている。

【 0 0 5 2 】

また、第 1 容量信号 C S i は、G C K のパルス X 3 の中程で第 1 電位 (L o w) から第 2 電位 (H i g h) に反転し、第 1 容量信号 C S j は、G C K のパルス X 3 の中程で第 2 電位 (H i g h) から第 1 電位 (L o w) に反転する。

【 0 0 5 3 】

また、ラッチパルス L P i はパルス X 1 のアクティブ期間内に配され、ラッチパルス L P j はパルス X 2 のアクティブ期間内に配され、ラッチパルス L P k はパルス X 3 のアクティブ期間内に配され、ラッチパルス L P i およびラッチパルス L P j 間に走査信号線 G L i に対応するデータ信号が出力され、ラッチパルス L P j およびラッチパルス L P k 間に走査信号線 G L j に対応するデータ信号が出力される。

【 0 0 5 4 】

また、ゲートパルス G P j およびゲートパルス G P k は全体が時間的に重なり、ゲートパルス G P j と、直前に選択される走査信号線へのゲートパルス G P i とは、G C K のパルス X 1 およびパルス X 2 の間隙の期間だけ重なっている。

【 0 0 5 5 】

なお、図 8 に示すゲートパルス G P j のように、谷期間 U 1 での電位降下量を最大レベルおよび最小レベル間の電位差と等しくする (谷期間 U 1 で最小レベルまで電位降下させ、走査信号線 G L j を一旦非アクティブ状態とする) こともできる。

【 0 0 5 6 】

10

20

30

40

50

また、図 8 に示すように、ゲートパルス G P j と、直前に選択される走査信号線へのゲートパルス G P i とを時間的に重ねない構成も可能である。

【 0 0 5 7 】

また、図 7 ・ 図 8 では、ゲートパルス 1 つに 1 つの谷期間を設けているがこれに限定されない。ゲートパルス 1 つに対して切欠き状の谷期間を複数設けることもできる。

【 0 0 5 8 】

〔実施の形態 4〕

実施の形態 1 ～ 3 ではダブルソース構造を前提に説明しているが、これに限定されない。図 9 のように、シングルソースの構造でも当然構わない。この場合、画素 P X k は、第 3 画素電極 P E 3 および第 4 画素電極 P E 4 を含み、第 3 画素電極 P E 3 および共通電極 C O M (対向電極) 並びにこれらで挟まれた液晶層によってサブ画素 S P 3 が形成され、第 4 画素電極 P E 4 および共通電極 C O M (対向電極) 並びにこれらで挟まれた液晶層によってサブ画素 S P 4 が形成される。

10

【 0 0 5 9 】

第 3 画素電極 P E 3 は、トランジスタ T R 3 を介して、データ信号線 D L 1 および走査信号線 G L k に接続され、第 3 画素電極 P E 3 と容量配線 C L j との間には補助容量 C 3 が形成されている。同様に、第 4 画素電極 P E 4 は、トランジスタ T R 4 を介してデータ信号線 D L 1 および走査信号線 G L k に接続され、第 4 画素電極 P E 4 と容量配線 C L k との間には補助容量 C 4 が形成されている。

【 0 0 6 0 】

20

〔実施の形態 5〕

図 3 で示した実施の形態 1 の駆動方法を図 1 0 のように変形することもできる。すなわち、図 1 0 (a) ・ (b) に示すように、第 1 および第 2 容量信号 C S i ・ C S j それぞれについて、1 フレーム期間 F P 内に、第 1 電位と第 2 電位とが交互に入れ替わるスイング期間 S T と、第 1 および第 2 電位の中間値である第 3 電位 V c o m が維持される非スイング期間 N T とを設ける。例えば、垂直走査期間に相当する 1 0 8 0 H 分をスイング期間 S T とし、垂直帰線期間に相当する、フレーム期間の末尾 (例えば 4 0 H 分) を、V c o m が維持される非スイング期間 N T とする。これにより、C S ドライバ 8 の駆動負荷が軽減され、表示品位を高めることができる。なお、第 1 および第 2 容量信号 C S i ・ C S j それぞれの周期が 2 4 H で垂直帰線期間が 4 0 H の場合、4 0 H の内の 2 4 H をスイング期間 S T に付け足し (S T = 1 1 0 4 とする) 、余った 1 6 H を非スイング期間 N T とすることもできる。

30

【 0 0 6 1 】

〔実施の形態 6〕

図 1 1 (a) に示すように、実施の形態 1 ～ 5 の液晶表示装置 2 を、テレビジョン放送のチューナ装置 2 0 と組み合わせることで、例えば、図 1 1 (b) に示すような液晶テレビ 3 0 を構成することが可能である。

【 0 0 6 2 】

〔まとめ〕

以上のように、本発明の第 1 態様にかかる液晶表示装置は、第 1 および第 2 画素電極を含む画素と、第 1 画素電極と容量を形成する第 1 容量配線と、第 2 画素電極と容量を形成する第 2 容量配線と、第 1 トランジスタを介して第 1 画素電極に接続し、かつ第 2 トランジスタを介して第 2 画素電極に接続する走査信号線とを備え、第 1 および第 2 容量配線それぞれに、第 1 および第 2 電位が交互に供給され、一垂直走査期間内に、上記走査信号線について、電位が上昇して最大レベルへ至る第 1 タイミングと、電位が下降して最小レベルに至る第 2 タイミングと、第 1 および第 2 タイミング間にあって、電位が最大レベルから一旦下降した後最大レベルに戻る谷期間とが設けられていることを特徴とする。

40

【 0 0 6 3 】

前記構成によれば、谷期間における電位降下および電位上昇が寄与して第 1 および第 2 容量配線それぞれに生じるリップルが抑制される。これにより、1 画素内に明サブ画素と

50

暗サブ画素とを適正に形成することができる。

【0064】

本発明の第2態様にかかる液晶表示装置は、前記第1態様について、上記谷期間において上記電位が最大レベルからスロープ状に下降することを特徴とする。

【0065】

このように、谷期間において上記電位を最大レベルからスロープ状に下降させることで、容量信号の波形をより適正に維持することができる。

【0066】

本発明の第3態様にかかる液晶表示装置は、前記第1または2態様について、上記谷期間において上記電位が一旦最大レベルから最小レベルまで下降することを特徴とする。

10

【0067】

このように、谷期間において上記電位を一旦最大レベルから最小レベルまで下降させることで、谷期間における電位降下および電位上昇が効果的に寄与し、容量信号のリップルを大幅に抑制することができる。

【0068】

本発明の第4態様にかかる液晶表示装置は、前記第1～3態様のいずれかについて、上記第1および第2トランジスタに接続するデータ信号線を備え、上記第1および第2タイミング間である第1選択期間に、第1容量配線が第1電位であって、第2容量配線が第2電位であり、第1選択期間内の書き込み期間に、上記データ信号線から第1および第2画素電極に第1極性の信号電位が書き込まれることを特徴とする。

20

【0069】

前記構成によれば、1画素内に明サブ画素と暗サブ画素とを形成し、視野角特性を高めることができる。

【0070】

本発明の第5態様にかかる液晶表示装置は、前記第1～4態様のいずれかについて、上記第1選択期間においては上記谷期間が上記書き込み期間の前に設けられていることを特徴とする。

【0071】

前記構成によれば、谷期間を設けながら画素充電率を維持することができる。

【0072】

本発明の第6態様にかかる液晶表示装置は、前記第1～5態様のいずれかについて、上記第1選択期間の次の第2選択期間に、第1容量配線が第2電位であって、第2容量配線が第1電位であり、第2選択期間内の書き込み期間に、上記データ信号線から第1および第2画素電極に第1極性の信号電位が書き込まれ、上記第2選択期間の次の第3選択期間に、第1容量配線が第2電位であって、第2容量配線が第1電位であり、第3選択期間内の書き込み期間に、上記データ信号線から第1および第2画素電極に第2極性の信号電位が書き込まれ、上記第3選択期間の次の第4選択期間に、第1容量配線が第1電位であって、第2容量配線が第2電位であり、第4選択期間内の書き込み期間に、上記データ信号線から第1および第2画素電極に第2極性の信号電位が書き込まれることを特徴とする。

30

【0073】

前記構成によれば、1画素内において明サブ画素および暗サブ画素の位置を垂直走査期間ごとに入れ替えることができ、見かけの解像度を高めることができる。

40

【0074】

そして、前記のとおり、第1および第2容量配線それぞれに生じるリップルが抑制されるため、フリッカの低減された表示を実現することができる。

【0075】

本液晶表示装置の駆動方法は、第1および第2画素電極を含む画素と、第1画素電極と容量を形成する第1容量配線と、第2画素電極と容量を形成する第2容量配線と、第1トランジスタを介して第1画素電極に接続し、かつ第2トランジスタを介して第2画素電極に接続する走査信号線とを備えた液晶表示装置の駆動方法であって、第1および第2容量

50

配線それぞれに、第 1 および第 2 電位を交互に供給し、一垂直走査期間内に、上記走査信号線について、電位が上昇して最大レベルへ至る第 1 タイミングと、電位が下降して最小レベルに至る第 2 タイミングと、第 1 および第 2 タイミング間にあって、電位が最大レベルから一旦下降した後最大レベルに戻る谷期間とを設けることを特徴とする。

【 0 0 7 6 】

前記構成によれば、谷期間における電位降下および電位上昇が寄与して第 1 および第 2 容量配線それぞれに生じるリップルが抑制される。これにより、1 画素内に明サブ画素と暗サブ画素とを適正に形成することができる。

【 0 0 7 7 】

本テレビジョン受像機は、前記第 1 ～ 6 態様にかかるいずれかの液晶表示装置と、チューナとを備えることを特徴とする。

10

【 0 0 7 8 】

本発明は前記の実施の形態に限定されるものではなく、前記実施の形態を技術常識に基づいて適宜変更したものやそれらを組み合わせて得られるものも本発明の実施の形態に含まれる。

【産業上の利用可能性】

【 0 0 7 9 】

本液晶表示装置は、液晶テレビ、液晶モニタ、テレビモニタ等に好適である。

【符号の説明】

【 0 0 8 0 】

20

2 液晶表示装置

3 液晶パネル

4 バックライト

6 ソースドライバ

7 ゲートドライバ

8 C S ドライバ

1 0 表示制御回路

3 0 液晶テレビ

P X j 画素

G L j 走査信号線

30

D L 1 ・ D L 2 データ信号線

C L i C L j 容量配線

P E 1 第 1 画素電極

P E 2 第 2 画素電極

G P i ・ G P j ゲートパルス

U 1 ～ U 3 谷期間

C S i 第 1 容量信号

C S j 第 2 容量信号

D S データ信号

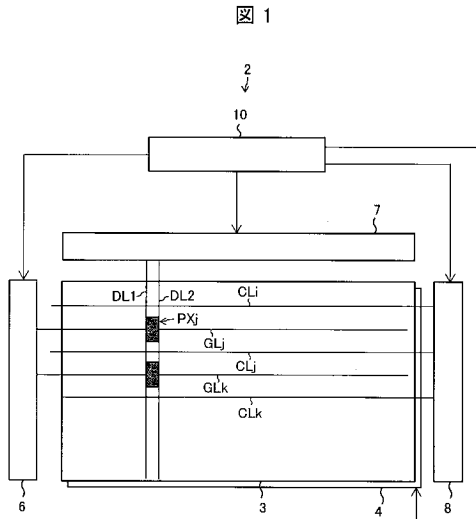
S T スイング期間

40

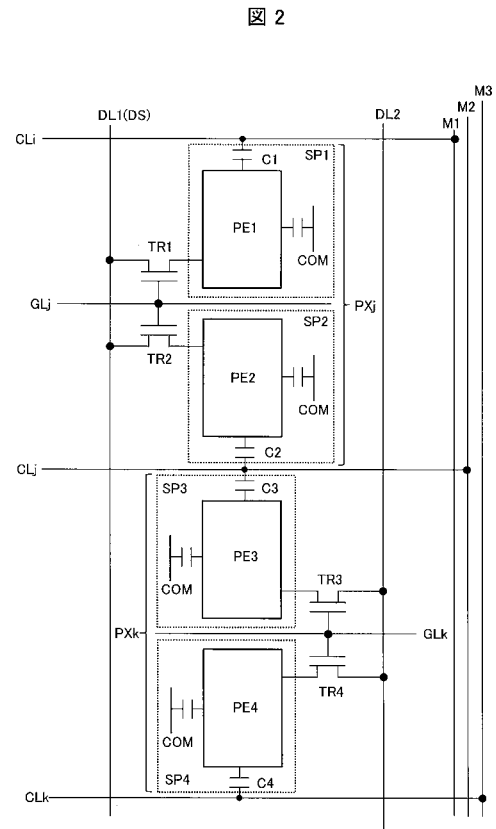
N T 非スイング期間

F P 1 フレーム期間

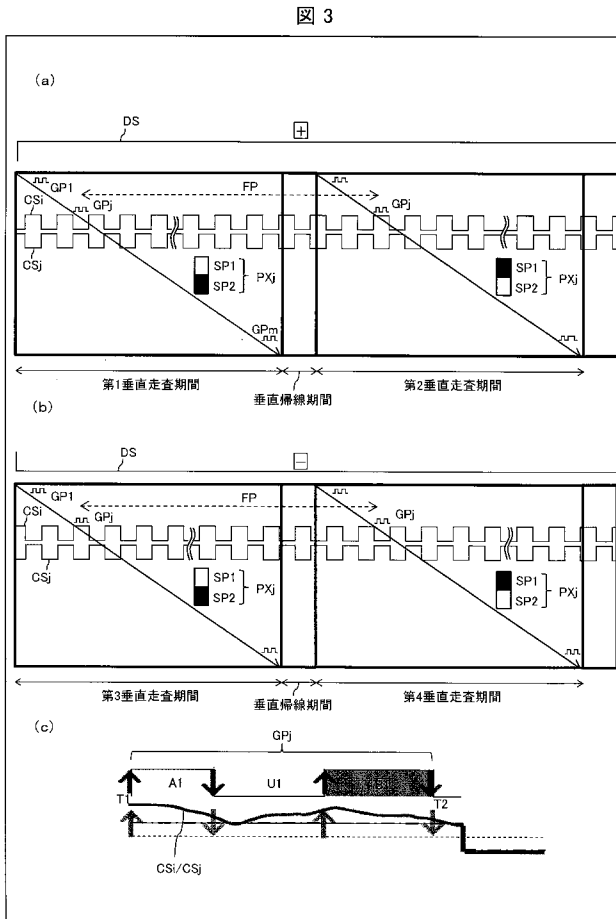
【図 1】



【図 2】



【図 3】



【図 4】

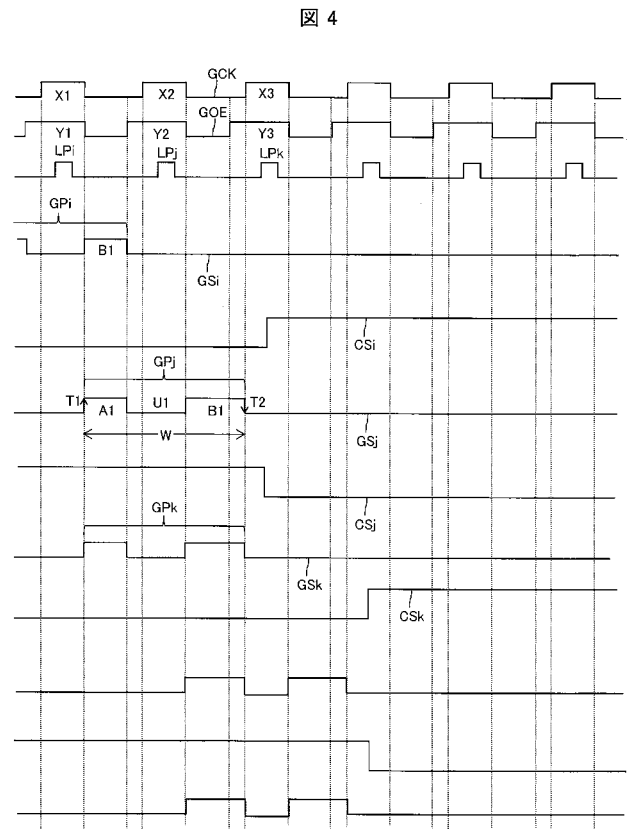


図 5



图 6

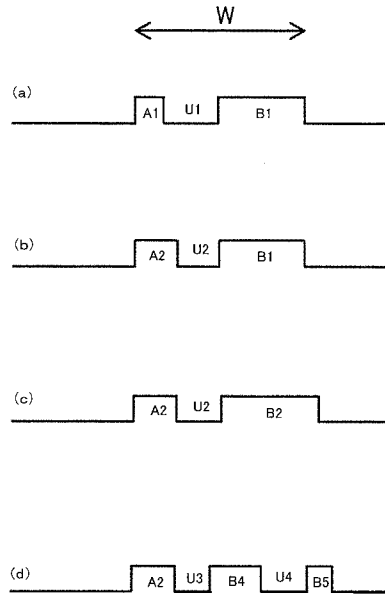


图 7

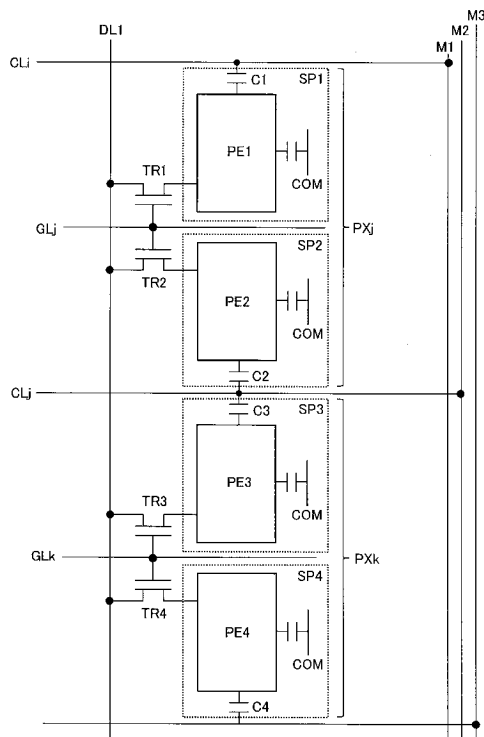


图 8



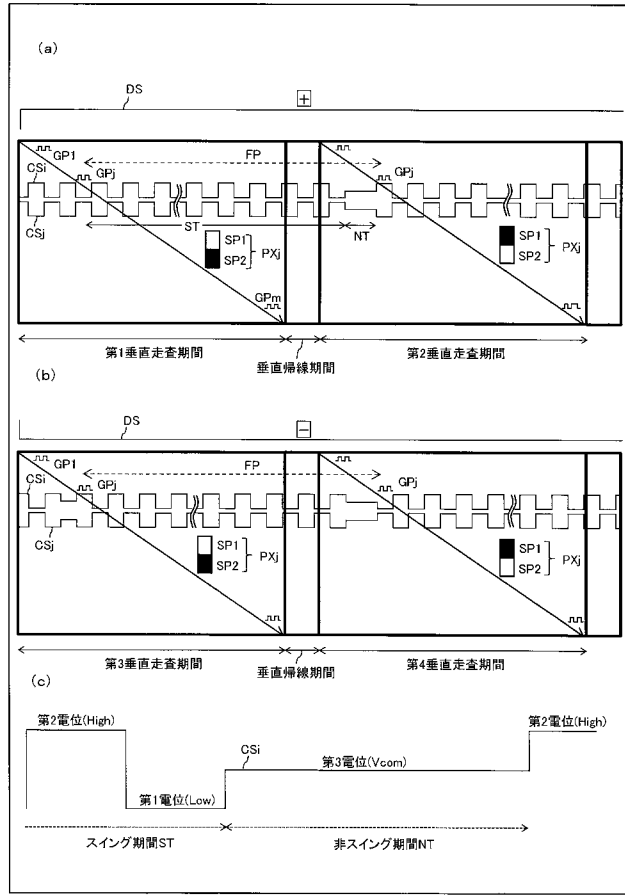
【図 9】

図 9



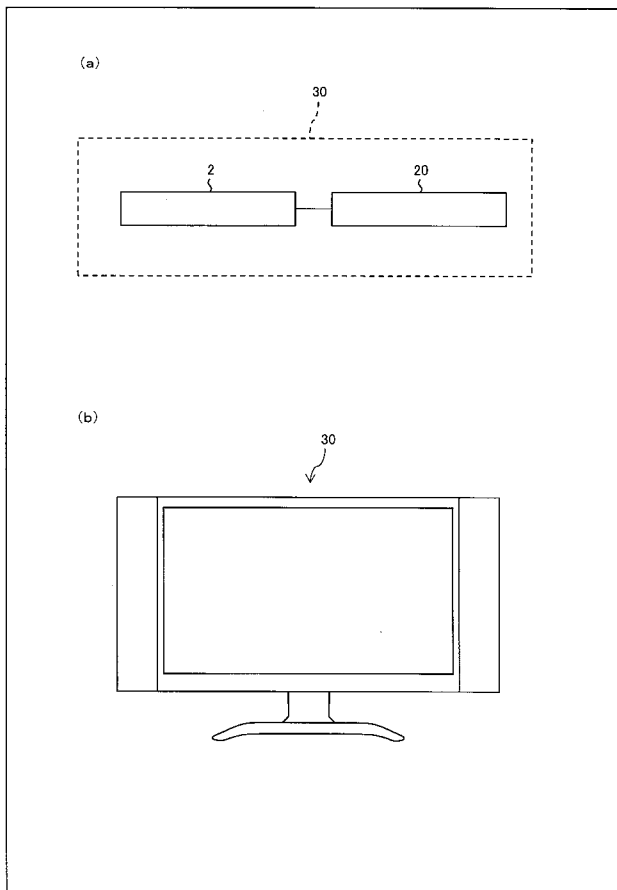
【図 10】

図 10



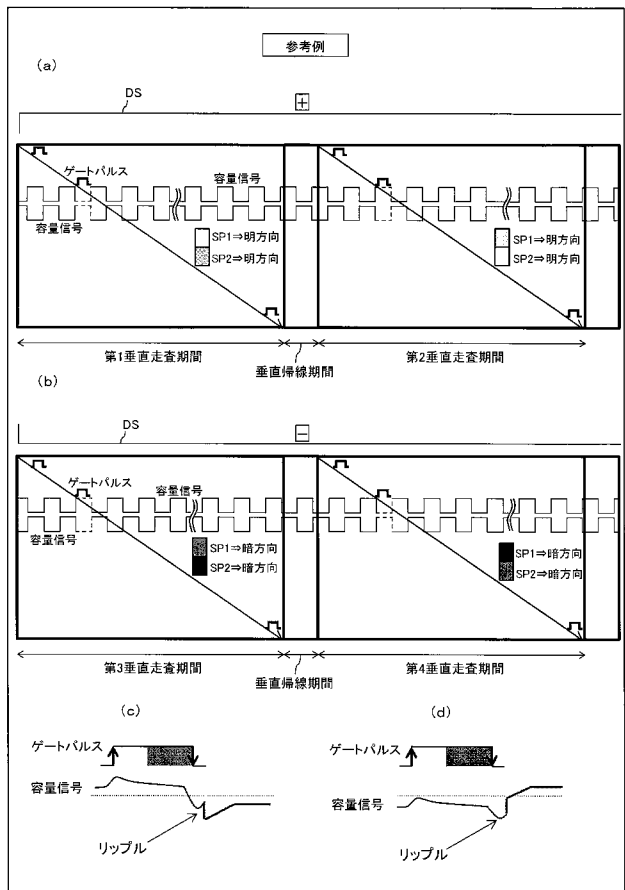
【図 11】

図 11



【図 12】

図 12



フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)	
	G 0 9 G	3/20	6 2 2 G
	G 0 9 G	3/20	6 2 4 D
	G 0 9 G	3/20	6 2 4 E
	G 0 2 F	1/133	5 5 0
	G 0 2 F	1/1368	

F ターム(参考) 5C080 AA10 BB05 DD06 DD07 FF10 JJ02 JJ03 JJ04 KK43

专利名称(译)	液晶显示装置，液晶显示装置的驱动方法，电视接收机		
公开(公告)号	JP2016197148A	公开(公告)日	2016-11-24
申请号	JP2015076250	申请日	2015-04-02
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	大橋衛		
发明人	大橋 衛		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 G02F1/1368		
FI分类号	G09G3/36 G09G3/20.611.E G09G3/20.621.E G09G3/20.622.C G09G3/20.622.D G09G3/20.622.G G09G3/20.624.D G09G3/20.624.E G02F1/133.550 G02F1/1368		
F-TERM分类号	2H192/AA24 2H192/BC24 2H192/BC26 2H192/GD61 2H193/ZA07 2H193/ZB02 2H193/ZB14 2H193/ZC25 2H193/ZC35 2H193/ZD23 2H193/ZE06 5C006/AC11 5C006/AC24 5C006/AC25 5C006/BB16 5C006/BC02 5C006/BC06 5C006/EC02 5C006/FA23 5C006/FA55 5C080/AA10 5C080/BB05 5C080/DD06 5C080/DD07 5C080/FF10 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK43		
其他公开文献	JP6552861B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提高液晶显示装置的显示质量。 解决方案：包括包括第一像素电极和第二像素电极的像素的像素，形成具有第一像素电极的电容器的第一电容器线，形成具有第二像素电极的电容器的第二电容器线，扫描信号线通过第二晶体管连接到第一像素电极，并通过第二晶体管连接到第二像素电极，其中电容信号提供给第一和第二电容线中的每一个，电位上升到最大电平的第一时序，电位下降到最小电平的第二时刻，以及电位达到最大电平的第二时刻并且一旦谷物降低就恢复到最高水平的谷值期。 点域

