

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-170199

(P2014-170199A)

(43) 公開日 平成26年9月18日(2014.9.18)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G09G 3/36 (2006.01)</b>	G09G 3/36	2H193
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 622C	5C006
<b>G02F 1/133 (2006.01)</b>	G09G 3/20 622D	5C080
	G09G 3/20 642A	
	G09G 3/20 611A	

審査請求 未請求 請求項の数 4 O L (全 11 頁) 最終頁に続く

(21) 出願番号 特願2013-43329 (P2013-43329)  
 (22) 出願日 平成25年3月5日 (2013.3.5)

(71) 出願人 302020207  
 株式会社ジャパンディスプレイセントラル  
 埼玉県深谷市幡羅町一丁目9番地2  
 (74) 代理人 100076314  
 弁理士 蔦田 正人  
 (74) 代理人 100112612  
 弁理士 中村 哲士  
 (74) 代理人 100112623  
 弁理士 富田 克幸  
 (74) 代理人 100124707  
 弁理士 夫 世進  
 (74) 代理人 100059225  
 弁理士 蔦田 璋子

最終頁に続く

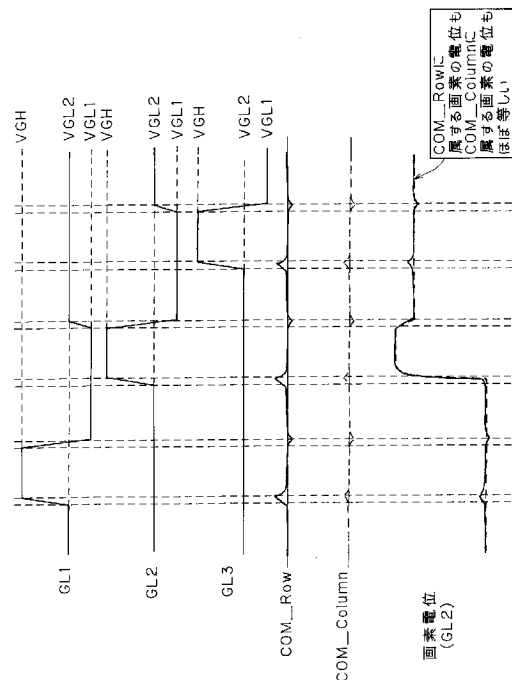
(54) 【発明の名称】 液晶表示装置及びその駆動方法

(57) 【要約】

【課題】表示ムラを回避し、表示品位の良好な液晶表示装置 10 を提供する。

【解決手段】自段の前記画素の前記画素スイッチをオフしてから、次段の前記画素の前記画素スイッチがオンされている全ての期間にわたり前記第 1 のオフ電圧を、前記自段の前記走査線に継続して印加し、前記次段の前記画素スイッチがオンからオフに切り替わるタイミングから、次フレームで前記自段の前記画素の前記画素スイッチが再びオンになるまでの間、前記第 2 のオフ電圧を、継続して前記第 2 のオフ電圧を印加する。

【選択図】 図 1



## 【特許請求の範囲】

## 【請求項 1】

基板上にマトリクス状に配置された画素と、  
 前記各画素にそれぞれ配置された画素電極と、  
 前記画素が配列される行に沿って延びる走査線と、  
 前記画素が配列される列に沿って延びる信号線と、  
 前記走査線にゲート信号を順次供給する走査線駆動回路と、  
 前記信号線に映像信号を供給する信号線駆動回路と、  
 前記走査線と前記信号線との交差部近傍に配置され、前記走査線に供給されたゲート信号により前記信号線と前記画素電極との接続を切り替える画素スイッチと、  
 前記行方向に並ぶ複数の前記画素電極と絶縁層を介して少なくとも配線された複数のコモン電極と、

10

を有する液晶表示装置であって、

前記走査線駆動回路は、

(1) 前記走査線に供給するゲート信号の電位が、前記画素スイッチをオン状態にするオン電圧と、オフ状態にする際の第1のオフ電圧と第2のオフ電圧からなり、前記第2のオフ電圧は前記オン電圧と前記第1のオフ電圧の間の電圧であり、

(2) 自段の前記画素の前記画素スイッチをオフしてから、次段の前記画素の前記画素スイッチがオンされている全ての期間にわたり前記第1のオフ電圧を、前記自段の前記走査線に継続して印加し、

20

(3) 前記次段の前記画素スイッチがオンからオフに切り替わるタイミングから、次フレームで前記自段の前記画素の前記画素スイッチが再びオンになるまでの間、前記第2のオフ電圧を、継続して前記第2のオフ電圧を印加する、

液晶表示装置。

## 【請求項 2】

前記列方向に並ぶ複数の前記画素電極と絶縁層を介して配線された複数のコモン電極もさらに有する、

請求項 1 に記載の液晶表示装置。

## 【請求項 3】

基板上にマトリクス状に配置された画素と、  
 前記各画素にそれぞれ配置された画素電極と、  
 前記画素が配列される行に沿って延びる走査線と、  
 前記画素が配列される列に沿って延びる信号線と、  
 前記走査線にゲート信号を順次供給する走査線駆動回路と、  
 前記信号線に映像信号を供給する信号線駆動回路と、  
 前記走査線と前記信号線との交差部近傍に配置され、前記走査線に供給されたゲート信号により前記信号線と前記画素電極との接続を切り替える画素スイッチと、  
 前記行方向に並ぶ複数の前記画素電極と絶縁層を介して少なくとも配線された複数のコモン電極と、

30

を有する液晶表示装置の駆動方法であって、

40

前記走査線駆動回路は、

(1) 前記走査線に供給するゲート信号の電位が、前記画素スイッチをオン状態にするオン電圧と、オフ状態にする際の第1のオフ電圧と第2のオフ電圧からなり、前記第2のオフ電圧は前記オン電圧と前記第1のオフ電圧の間の電圧であり、

(2) 自段の前記画素の前記画素スイッチをオフしてから、次段の前記画素の前記画素スイッチがオンされている全ての期間にわたり前記第1のオフ電圧を、前記自段の前記走査線に継続して印加し、

(3) 前記次段の前記画素スイッチがオンからオフに切り替わるタイミングから、次フレームで前記自段の前記画素の前記画素スイッチが再びオンになるまでの間、前記第2のオフ電圧を、継続して前記第2のオフ電圧を印加する、

50

液晶表示装置の駆動方法。

【請求項 4】

前記列方向に並ぶ複数の前記画素電極と絶縁層を介して配線された複数のコモン電極もさらに有する、

請求項 3 に記載の液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、液晶表示装置及びその駆動方法に関するものである。

【背景技術】

【0002】

アクティブマトリクス型の液晶表示装置は、互いに対向する一对の基板と、この一对の基板間に挟持された液晶層と、マトリクス状に配置された複数の画素からなる表示部とを備えている。上記一对の基板の一方は、表示部において、複数の画素が配列する行に沿って配置された走査線と、複数の画素が配列する列に沿って配置された信号線とを備えている。液晶層に含まれる液晶分子は、液晶層に印加される電界によって、その配向状態が制御される。

【0003】

中でも、IPS (In-Plane Switching) 方式や FFS (Fringe Field Switching) 方式の液晶表示装置は、一对の基板の一方にマトリクス状に配置された複数の画素電極 (画素電極) と、複数の画素電極と対向するコモン電極とを有し、画素電極とコモン電極との間に生じる横電界によって液晶層に含まれる液晶分子の配向状態を制御する。そして、これら液晶表示装置は、広視野角や低消費電力などの優れた特徴を有し、テレビや携帯電話などのディスプレイ用途などに広く適用されている。

【0004】

また、近年、操作性を向上させるためのタッチパネルなどのユーザーインターフェースを表示面に備える要求が強くなっており、上記液晶表示装置の表示面に接触感知要素を備えた製品が市場に拡がりつつある。例えば、特許文献 1 によれば、接触感知要素を液晶表示装置と一体形成でき、接触検出機能を兼ね備えた液晶表示装置を低コストで提供することが可能である。

【0005】

そして、上記液晶表示装置では、コモン電極に供給される電圧と、画素電極に順次書き込まれる映像信号とにより液晶層に含まれる液晶分子の配向が制御される。

【0006】

また、特許文献 1 の構成では、コモン電極は表示面の接触による静電容量の変化を検出するための配線も兼ねており、表示面内には複数個のコモン電極が電氣的に独立して配されている。

【先行技術文献】

【特許文献】

【0007】

【特許文献 1】特開 2011-137882 号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

以下、従来例の液晶表示装置及びその駆動方法について図 4 ~ 図 7 に基づいて説明する。なお、この液晶表示装置は、ノーマリブラックであって FFS 方式の液晶表示装置であるとする。

【0009】

(1) 従来例に係る液晶表示装置の構造

従来例に係る液晶表示装置 10 の構造について図 4 ~ 図 6 に基づいて説明する。

10

20

30

40

50

## 【 0 0 1 0 】

液晶表示装置 10 は、図 4 に示すように、互いに対向したアレイ基板 12 及び対向基板（不図示）と、アレイ基板 12 と対向基板との間に挟持された液晶層と、マトリクス状に配置された画素 P X からなる表示部と、走査線駆動回路 14 と、信号線駆動回路 16 を備えている。走査線駆動回路 14 は、画素 P X が配列される行に沿って延びる走査線 G L にゲート信号を供給する。信号線駆動回路 16 は、画素 P X が配列される列に沿って延びる信号線 S L に映像信号を供給する。

## 【 0 0 1 1 】

図 5 は、画素 P X の模式図である。画素スイッチ S W P は、スイッチング素子として T F T（薄膜トランジスタ：Thin Film Transistor）を備えている。T F T のゲート電極は、対応する走査線 G L に電氣的に接続されている。T F T のソース電極は、対応する信号線 S L に電氣的に接続されている。T F T のドレイン電極は、対応する画素電極 P E に電氣的に接続されている。

10

## 【 0 0 1 2 】

T F T のゲート電極にオン電圧が印加されると、ソース電極とドレイン電極との間が導通し、対応する信号線 S L から画素電極 P E に映像信号が供給される。画素電極 P E に印加される映像信号とコモン電極 C O M に印加されるコモン電圧とにより液晶容量が形成される。

## 【 0 0 1 3 】

画素電極 P E には例えば所定の間隔を置いてスリットが設けられ、絶縁層を介して配置されたコモン電極 C O M との間に横電界が生じる。この横電界によって、液晶層 L Q に含まれる液晶分子の配向状態が制御される。各画素 P X は液晶容量と結合する補助容量 C S をさらに備えている。液晶容量は、液晶層に印加される電界によって液晶層に蓄えられる。補助容量 C S は、画素電極 P E とコモン電極 C O M との間に生じる容量である。また走査線 G L とコモン電極 C O M の間には、寄生容量 C g c o m が存在している。

20

## 【 0 0 1 4 】

図 6 は、画素 P X からなる表示部の模式図である。なお、画素スイッチ S W P、信号線 S L、補助容量 C S は記載を省略している。そして、説明をわかりやすくするために、この液晶表示装置 10 は、6本の走査線 G L 1、G L 2・・・、G L 6 と、画素電極 P E が配列する列に沿った列コモン電極 C O M \_ C o l u m n と、画素電極 P E が配列する行に沿った行コモン電極 C O M \_ R o w を備えている。ここで、列コモン電極 C O M \_ C o l u m n と行コモン電極 C O M \_ R o w は、それぞれが電氣に独立したコモン電極 C O M の配線であって、表示面の接触による静電容量の変化を検出するための配線を兼ねている。

30

## 【 0 0 1 5 】

列コモン電極 C O M \_ C o l u m n と行コモン電極 C O M \_ R o w には、表示期間においてそれぞれに共通のコモン電圧が供給され、また、表示面の接触を検出する期間において、それぞれに独立した検出信号が供給される。なお、1フレームの中で、液晶表示の書き換えは通常の液晶表示装置 10 と同様に順次行スキャンにおいて行い、表示面の接触の検出は垂直ブランキング期間において行うことで、液晶の表示と、表示面の接触の検出とを、両立させることができる。表示面の接触を検出は、特許文献 1 に示すように、検出信号に基づいて行う。

40

## 【 0 0 1 6 】

## ( 2 ) 従来例に係る液晶表示装置 10 の駆動方法

従来例に係る液晶表示装置 10 の表示期間における駆動方法について図 6 と図 7 に基づいて説明する。

## 【 0 0 1 7 】

図 7 に示すように、走査線駆動回路 14 によって、走査線 G L 1、G L 2、G L 3・・・のゲート信号が、一水平期間毎に順次駆動される。なお、ゲート信号の V G H は画素スイッチ S W P のオン電圧、V G L は画素スイッチ S W P のオフ電圧である。

## 【 0 0 1 8 】

50

信号線駆動回路16から各信号線に供給された映像信号は、画素スイッチSWPを介して画素電極PEに供給される。画素電極PEに充電される電位の極性を、コモン電圧に対し、1フレーム毎に正負交互に入れ替えることにより、液晶の交流駆動を行う。

【0019】

画素電極PEに映像信号の電位が充電された後、走査線GLの電位はオン電圧VGHからオフ電圧VGLに変化し、画素スイッチSWPをオフさせる。しかし、走査線GLの電位が変動する際、寄生容量Cgcomの容量結合によりコモン電極COMの電位変動も同時に発生する。この図7の例では、一つの走査線GL2に着目すると、画素電極PEが配列する列に沿った列コモン電極COM\_\_Column(図7では点線で表示)は3画素分のCgcomと容量結合して電位が変動するのに対し、画素電極PEが配列する行に沿った行コモン電極COM\_\_Row(図7では実線で表示)は、9画素分の寄生容量Cgcomと容量結合しているため、行コモン電極COM\_\_Row(図7では実線で表示)の方が電位の振られ量は大きくなる。

10

【0020】

また、列コモン電極COM\_\_Columnと行コモン電極COM\_\_Rowは、上記のように表示面の接触による静電容量の変化を検出するための配線として、表示面内に電気的に独立した配線として設けられている。そのために、それぞれに異なる固有の時定数を有しており、それぞれの時定数に応じて独立して本来のコモン電位に向かって収束する。画素電極PEの電位は、画素スイッチSWPがオフ状態になってからはフローティングであり、コモン電極COMの電位変化に追従する。故に、等しい映像信号電圧が、列コモン電極COM\_\_Columnに属する画素と行コモン電極COM\_\_Rowに属する画素にそれぞれ書き込まれても、画素スイッチSWPがオフになってからは、それらの画素電位は分離し、異なる電位で保持される。

20

【0021】

この例では、行コモン電極COM\_\_Rowに属する画素電位は、列コモン電極COM\_\_Columnに属する画素電位よりも高い電位となっている。一方、列コモン電極COM\_\_Columnも行コモン電極COM\_\_Rowも、どちらも同じコモン電位に収束するため、列コモン電極COM\_\_Columnに属する画素と行コモン電極COM\_\_Rowに属する画素で輝度差が生じ、表示ムラとなるという問題点がある。

30

【0022】

このようなケースでは、コモン電圧にオフセットを加えても、面内で一様にオフセットがかかってしまうため、列コモン電極COM\_\_Columnの領域と行コモン電極COM\_\_Rowの領域の輝度差を埋めることはできない。

【0023】

一般に、容量結合による電位変動を抑えるために駆動波形をなまらせる方法が知られているが、走査線GLの駆動波形をなまらせてしまうと実効的なオン期間が短くなってしまい駆動マージンが削られるという問題点がある。

【0024】

また、駆動波形をなまらせることは、CMOSロジック回路からなるバッファ部の貫通電流を引き起こし、消費電流が増加するという問題点もある。

40

【0025】

また、前後の走査線で駆動波形をオーバーラップさせて、前段の走査線の立ち下がり容量結合した電位振れを、次段の走査線の立ち上がりによる容量結合で補償する方法も知られている。しかし、前段の走査線につながる画素スイッチがオフする前に後段の映像信号が干渉してしまうおそれがあり、駆動マージンが狭く、タイミング設計が難しいという問題点がある。

【0026】

本発明の実施形態は、上記問題点に鑑みて成されたものであって、表示ムラの発生を回避し、良好な品位の液晶表示装置及びその駆動方法を提供することを目的とする。

【課題を解決するための手段】

50

## 【 0 0 2 7 】

本発明の実施形態は、基板上にマトリクス状に配置された画素と、前記各画素にそれぞれ配置された画素電極と、前記画素が配列される行に沿って延びる走査線と、前記画素が配列される列に沿って延びる信号線と、前記走査線にゲート信号を順次供給する走査線駆動回路と、前記信号線に映像信号を供給する信号線駆動回路と、前記走査線と前記信号線との交差点近傍に配置され、前記走査線に供給されたゲート信号により前記信号線と前記画素電極との接続を切り替える画素スイッチと、前記行方向に並ぶ複数の前記画素電極と絶縁層を介して少なくとも配線された複数のコモン電極と、を有する液晶表示装置であって、前記走査線駆動回路は、(1)前記走査線に供給するゲート信号の電位が、前記画素スイッチをオン状態にするオン電圧と、オフ状態にする際の第1のオフ電圧と第2のオフ電圧からなり、前記第2のオフ電圧は前記オン電圧と前記第1のオフ電圧の間の電圧であり、(2)自段の前記画素の前記画素スイッチをオフしてから、次段の前記画素の前記画素スイッチがオンされている全ての期間にわたり前記第1のオフ電圧を、前記自段の前記走査線に継続して印加し、(3)前記次段の前記画素スイッチがオンからオフに切り替わるタイミングから、次フレームで前記自段の前記画素の前記画素スイッチが再びオンになるまでの間、前記第2のオフ電圧を、継続して前記第2のオフ電圧を印加する、液晶表示装置である。

10

## 【 0 0 2 8 】

また、本発明の実施形態は、基板上にマトリクス状に配置された画素と、前記各画素にそれぞれ配置された画素電極と、前記画素が配列される行に沿って延びる走査線と、前記画素が配列される列に沿って延びる信号線と、前記走査線にゲート信号を順次供給する走査線駆動回路と、前記信号線に映像信号を供給する信号線駆動回路と、前記走査線と前記信号線との交差点近傍に配置され、前記走査線に供給されたゲート信号により前記信号線と前記画素電極との接続を切り替える画素スイッチと、前記行方向に並ぶ複数の前記画素電極と絶縁層を介して少なくとも配線された複数のコモン電極と、を有する液晶表示装置の駆動方法であって、前記走査線駆動回路は、(1)前記走査線に供給するゲート信号の電位が、前記画素スイッチをオン状態にするオン電圧と、オフ状態にする際の第1のオフ電圧と第2のオフ電圧からなり、前記第2のオフ電圧は前記オン電圧と前記第1のオフ電圧の間の電圧であり、(2)自段の前記画素の前記画素スイッチをオフしてから、次段の前記画素の前記画素スイッチがオンされている全ての期間にわたり前記第1のオフ電圧を、前記自段の前記走査線に継続して印加し、(3)前記次段の前記画素スイッチがオンからオフに切り替わるタイミングから、次フレームで前記自段の前記画素の前記画素スイッチが再びオンになるまでの間、前記第2のオフ電圧を、継続して前記第2のオフ電圧を印加する、液晶表示装置の駆動方法である。

20

30

## 【 図面の簡単な説明 】

## 【 0 0 2 9 】

【 図 1 】 一実施形態に係る液晶表示装置の波形図である。

【 図 2 】 走査線駆動回路の構成図である。

【 図 3 】 走査線駆動回路の波形図である。

【 図 4 】 従来例の液晶表示装置の説明図である。

40

【 図 5 】 画素の模式図である。

【 図 6 】 コモン電極の配置図である。

【 図 7 】 従来例の液晶表示装置の波形図である。

## 【 発明を実施するための形態 】

## 【 0 0 3 0 】

以下、本発明の一実施形態に係る液晶表示装置 10 について、図 1 ~ 図 3 を参照して説明する。

## 【 0 0 3 1 】

本実施形態に係る液晶表示装置 10 も従来技術の場合と同様に、ノーマリブラックであって FFS 方式の液晶表示装置 10 である。また、従来例と同じ部分については同一の符

50

号を付与し、詳細な説明は省略する。

【0032】

(1) 走査線駆動回路14の構成

本実施形態の液晶表示装置の走査線駆動回路14は、図2に示すように、第1のスイッチ素子、第2のスイッチ素子、第3のスイッチ素子を有し、第1のスイッチ素子、第2のスイッチ素子、第3のスイッチ素子に電圧VGH、VGL1、VGL2がそれぞれ印加されている。

【0033】

図3に示すように、第1のスイッチ素子のゲート電極のA点、第2のスイッチ素子のゲート電極のB点、第3のスイッチ素子のゲート電極のC点にそれぞれの所定のタイミングで信号が入力して、出力端子D点から各段の走査線GLにゲート信号がそれぞれ順番に出力される。したがって、走査線駆動回路14から各段の走査線GLに供給するゲート信号の電位は、図1に示すように、画素スイッチSWPをオンにするオン電圧VGH、オフにする第1のオフ電圧VGL1、第2のオフ電圧VGL2からなる。第2のオフ電圧VGL2は、画素スイッチSWPのオン電圧VGHと第1のオフ電圧VGL1の間の電圧である。すなわち、 $VGH > VGL2 > VGL1$ である。

10

【0034】

(2) 画素電位の状態

次に、画素電位の状態について、図1に基づいて説明する。

【0035】

第1のオフ電圧VGL1は、自段の画素PXの画素スイッチSWPをオフにしてから、次段の画素PXの画素スイッチSWPがオンとなってオフになるまでの全ての期間にわたって、走査線駆動回路14から継続して印加される。

20

【0036】

第2のオフ電圧VGL2は、次段の画素PXの画素スイッチSWPがオンしてからオフに切り替わるタイミングから、次フレームで自段の画素PXの画素スイッチSWPが再びオンになるまでの間を継続して走査線駆動回路14から印加される。

【0037】

自段の走査線(例えば、図1において走査線GL2とする)の電位に関して、オン電圧VGHから第1のオフ電圧VGL1に変化して画素スイッチSWPがオフになるタイミングで、前段の走査線GL1の電位が、第1のオフ電圧VGL1から第2のオフ電圧VGL2に切り替わる。その際の容量結合でコモン電極COMの電位を押し戻してから自段の画素電位が確定し、その時点で画素電位とコモン電極COMの電位との間の相対電位も確定する。そのため、画素電位に関して、行コモン電極COM\_\_Rowに属する画素電位(図1では実線で表示)と、列コモン電極COM\_\_Columnに属する画素電位(図1では点線で表示)とは、ほぼ等しい。したがって、画素電位は、画素スイッチSWPがオフになった後のコモン電極COMの電位の変化の影響を受けない。

30

【0038】

(3) 効果

本実施形態によれば、補償動作において前段の画素スイッチSWPはオフのままであるから、次段の映像信号が前段に干渉することはない。

40

【0039】

また、本実施形態によれば、列コモン電極COM\_\_Column、行コモン電極COM\_\_Rowのそれぞれの領域で走査線GLとコモン電極COM間の寄生容量Cgcomに応じた重み付けで補償動作がなされる。そのため、寄生容量Cgcomが異なる領域であっても、面内で均一な補正が得られ、良好な画質の液晶表示装置10を実現できる。

【0040】

また、本実施形態によれば、走査線駆動回路14を簡素な構成で実施でき、表示ムラを回避した良好な品位の液晶表示装置10を安価に実現できる。

【0041】

50

したがって、本実施形態によれば、表示ムラの発生を回避し、表示品位が良好となる。

【0042】

(4) 変更例

上記実施形態の FFS 方式の液晶表示装置 10 に代えて、IPS 方式の液晶表示装置 10 でもよい。

【0043】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれると共に、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

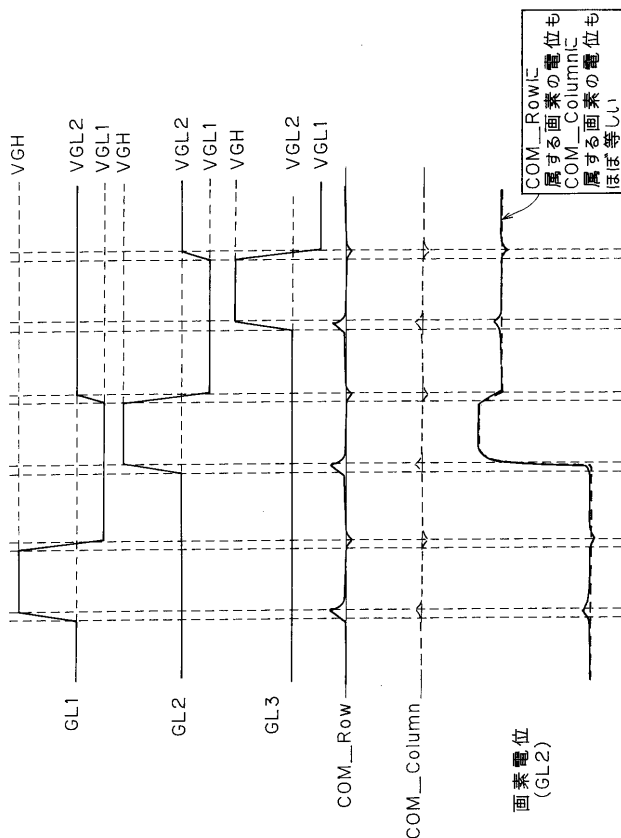
10

【符号の説明】

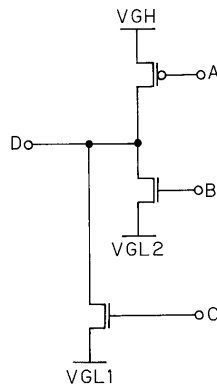
【0044】

10・・・液晶表示装置、12・・・アレイ基板、14・・・走査線駆動回路、16・・・信号線駆動回路、LQ・・・液晶層、PX・・・画素、PE・・・画素電極、GL・・・走査線、SL・・・信号線、SWP・・・画素スイッチ、COM・・・コモン電極

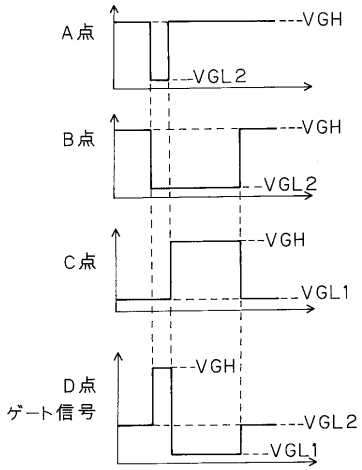
【図1】



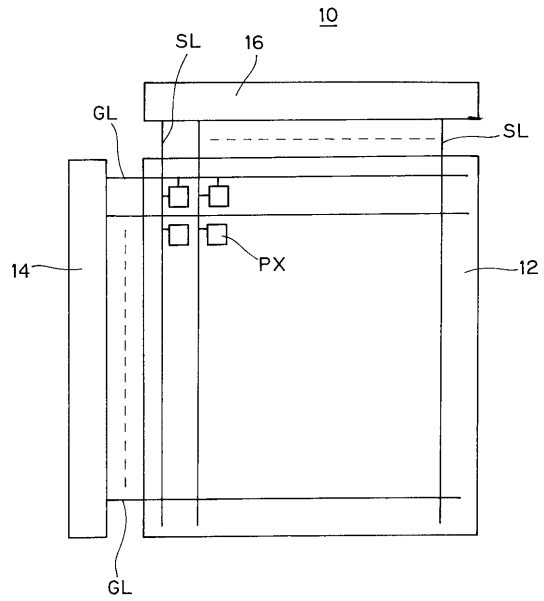
【図2】



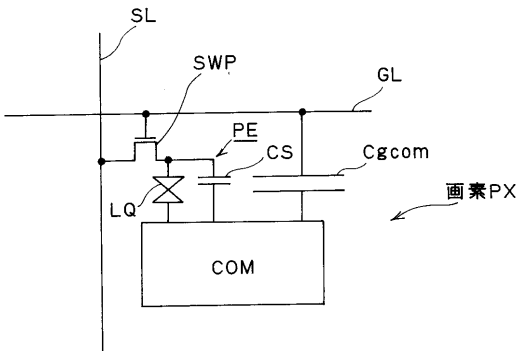
【 図 3 】



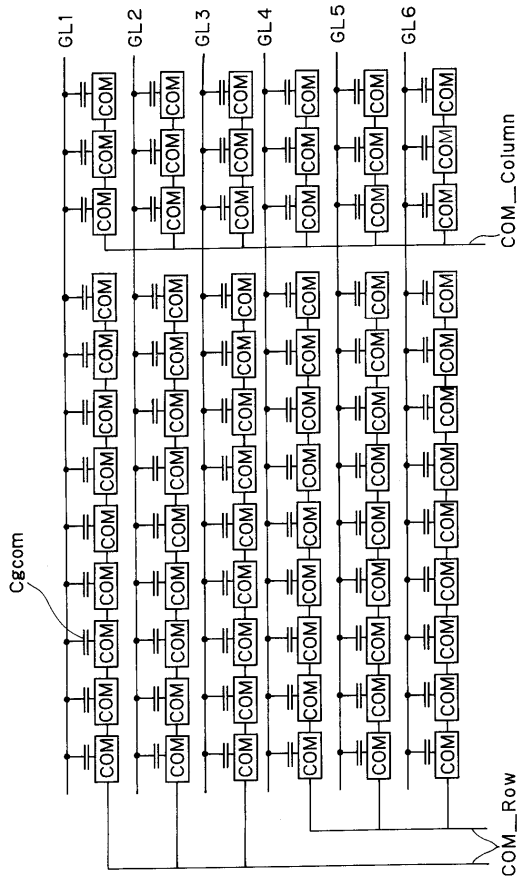
【 図 4 】



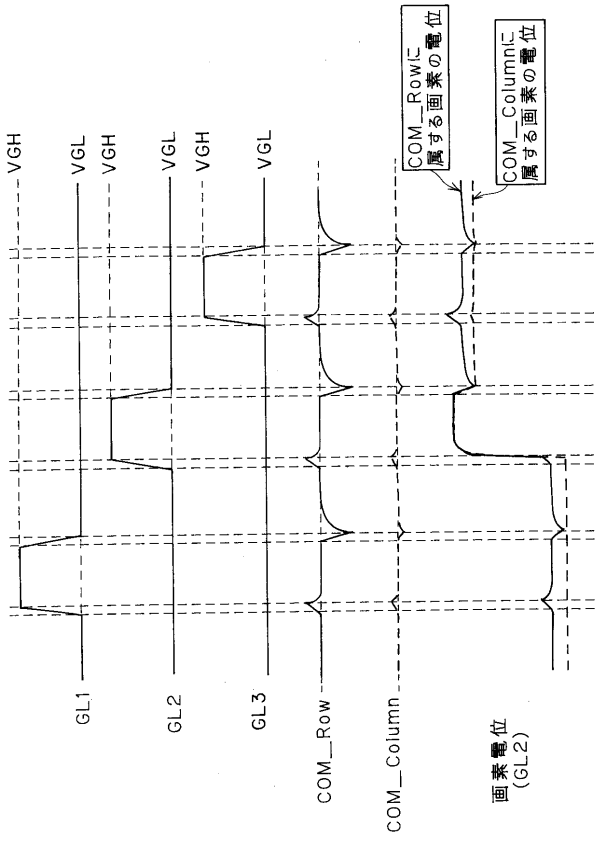
【 図 5 】



【 図 6 】



【 図 7 】



---

フロントページの続き

(51)Int.Cl. F I テーマコード(参考)  
G 0 9 G 3/20 6 9 1 D  
G 0 2 F 1/133 5 5 0

(72)発明者 原田 賢治

埼玉県深谷市幡羅町一丁目9番地2 株式会社ジャパンディスプレイセントラル内

Fターム(参考) 2H193 ZA04 ZA07 ZA09 ZB02 ZB06 ZC25 ZC36 ZF23 ZH44 ZH52  
ZJ02 ZQ16  
5C006 AC22 AF73 BB16 BC03 BF38 EC05 FA15 FA22 FA47  
5C080 AA10 BB05 DD05 FF11 GG01 JJ02 JJ03 JJ04 KK43 KK47

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	<a href="#">JP2014170199A</a>	公开(公告)日	2014-09-18
申请号	JP2013043329	申请日	2013-03-05
申请(专利权)人(译)	有限公司日本展示中心		
[标]发明人	原田賢治		
发明人	原田 賢治		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.622.C G09G3/20.622.D G09G3/20.642.A G09G3/20.611.A G09G3/20.691.D G02F1/133.550		
F-TERM分类号	2H193/ZA04 2H193/ZA07 2H193/ZA09 2H193/ZB02 2H193/ZB06 2H193/ZC25 2H193/ZC36 2H193/ZF23 2H193/ZH44 2H193/ZH52 2H193/ZJ02 2H193/ZQ16 5C006/AC22 5C006/AF73 5C006/BB16 5C006/BC03 5C006/BF38 5C006/EC05 5C006/FA15 5C006/FA22 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD05 5C080/FF11 5C080/GG01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK43 5C080/KK47		
代理人(译)	中村聡 富田克幸 夫 世进		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

解决的问题：提供一种避免显示不均且具有良好的显示质量的液晶显示装置10。在使自级的像素的像素开关断开之后，使下一级的像素接通。连续施加第二截止电压，直到从下一级的像素开关从接通切换到断开的时刻在下一帧再次使本级的像素的像素开关接通为止。

