

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-167772

(P2013-167772A)

(43) 公開日 平成25年8月29日(2013.8.29)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 622L	5C006
G02F 1/133 (2006.01)	G09G 3/20 623D	5C080
	G09G 3/20 612T	
	G09G 3/20 623C	
審査請求 未請求 請求項の数 4 O L (全 16 頁) 最終頁に続く		

(21) 出願番号 特願2012-31220 (P2012-31220)
 (22) 出願日 平成24年2月16日 (2012.2.16)

(71) 出願人 506087819
 パナソニック液晶ディスプレイ株式会社
 兵庫県姫路市飾磨区妻鹿日田町1-6
 (74) 代理人 110000154
 特許業務法人はるか国際特許事務所
 (72) 発明者 桶 隆太郎
 兵庫県姫路市飾磨区妻鹿日田町1-6 パ
 ナソニック液晶ディスプレイ株式会社内
 (72) 発明者 今城 育子
 兵庫県姫路市飾磨区妻鹿日田町1-6 パ
 ナソニック液晶ディスプレイ株式会社内
 (72) 発明者 丸山 純一
 兵庫県姫路市飾磨区妻鹿日田町1-6 パ
 ナソニック液晶ディスプレイ株式会社内

最終頁に続く

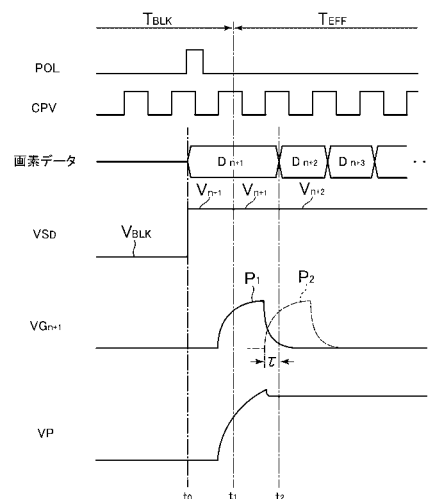
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 水平分割駆動する液晶表示装置において、各表示領域の垂直走査の先頭行における画素電圧の書き込み不足が生じ、特に、当該先頭行が画面中央部に位置すると暗い線が表示され画質が低下する。

【解決手段】 例えば、下側の表示領域のゲート線を駆動する走査線駆動回路は画像の第 $(n+k)$ 行を選択する走査パルス P_k を順次出力する。下側の表示領域のソース線を駆動する映像線駆動回路は、走査パルス P_k の期間にデータ D_{n+k} に応じた画素電圧を出力する。走査パルス P_k の印加に対する画素電圧の印加開始のタイミングは、有効走査期間 T_{EFF} の先頭行とされる第 $(n+1)$ 行について、その後続行より早いタイミングに設定する。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

行列配置された複数の画素からなる画面を水平分割した複数の表示領域ごとに前記画素の列それぞれに対応して設けられた映像線と、前記画素の行それぞれに対応して前記各表示領域に設けられた複数の走査線に順次、選択信号を供給して、前記複数の表示領域にて並列して垂直走査を行う走査線駆動回路と、前記垂直走査の帰線期間に前記映像線に予め定められた基準電圧を印加する一方、前記垂直走査の有効走査期間に、前記走査線を介して前記選択信号を供給された選択行の前記各画素に前記映像線を介して画素値に応じた信号電圧を印加する映像線駆動回路と、を有し前記画面を分割駆動する液晶表示装置であって、

10

前記走査線駆動回路は、前記表示領域のうち予め定められた特定走査表示領域での前記垂直走査を、他の前記表示領域に隣接している画素行から開始し、

前記映像線駆動回路は、前記表示領域のうち少なくとも前記特定走査表示領域に対して、前記各選択行での前記選択信号のタイミングを基準とした前記信号電圧の印加開始タイミングを、前記有効走査期間の先頭の前記選択行について、その後続の前記選択行より早いタイミングに設定すること、

を特徴とする液晶表示装置。

【請求項 2】

行列配置された複数の画素からなる画面を水平分割した複数の表示領域ごとに前記画素の列それぞれに対応して設けられた映像線と、前記画素の行それぞれに対応して前記各表示領域に設けられた複数の走査線に順次、選択信号を供給して、前記複数の表示領域にて並列して垂直走査を行う走査線駆動回路と、前記垂直走査の帰線期間に前記映像線に予め定められた基準電圧を印加する一方、前記垂直走査の有効走査期間に、前記走査線を介して前記選択信号を供給された選択行の前記各画素に前記映像線を介して画素値に応じた信号電圧を印加する映像線駆動回路と、を有し前記画面を分割駆動する液晶表示装置であって、

20

前記走査線駆動回路は、前記表示領域のうち予め定められた特定走査表示領域での前記垂直走査を、他の前記表示領域に隣接している画素行から開始し、

前記映像線駆動回路は、前記表示領域のうち少なくとも前記特定走査表示領域に対して、前記有効走査期間における前記信号電圧の印加開始に先立ち、前記帰線期間の末尾の所定長さの遷移期間に、予め設定した中間階調の前記画素値に応じた電圧を前記基準電圧に代えて印加すること、

30

を特徴とする液晶表示装置。

【請求項 3】

行列配置された複数の画素からなる画面を水平分割した複数の表示領域ごとに前記画素の列それぞれに対応して設けられた映像線と、前記画素の行それぞれに対応して設けられた走査線と、前記各画素に設けられ画素電極と前記映像線との間の導通を、前記走査線に印加される電圧に応じて制御するスイッチ素子と、前記各表示領域に設けられる複数の前記走査線に前記スイッチ素子を導通させる選択電圧を順次印加して、前記複数の表示領域にて並列して垂直走査を行う走査線駆動回路と、前記垂直走査の帰線期間に前記映像線に予め定められた基準電圧を印加する一方、前記垂直走査の有効走査期間に、前記走査線を介して前記選択電圧を印加された選択行の前記各画素に前記映像線を介して画素値に応じた信号電圧を印加する映像線駆動回路と、を有し前記画面を分割駆動する液晶表示装置であって、

40

前記走査線駆動回路は、

前記表示領域のうち予め定められた特定走査表示領域での前記垂直走査を、他の前記表示領域に隣接している画素行から開始し、

前記表示領域のうち少なくとも前記特定走査表示領域に対して、前記有効走査期間の先頭の前記選択行での前記スイッチ素子が、その後続の前記選択行より低抵抗の導通状態になるように前記選択電圧を制御すること、

50

を特徴とする液晶表示装置。

【請求項 4】

行列配置された複数の画素からなる画面を水平分割した複数の表示領域ごとに前記画素の列それぞれに対応して設けられた映像線と、前記画素の行それぞれに対応して前記各表示領域に設けられた複数の走査線に順次、選択信号を供給して、前記複数の表示領域にて並列して垂直走査を行う走査線駆動回路と、前記垂直走査の帰線期間に前記映像線に予め定められた基準電圧を印加する一方、前記垂直走査の有効走査期間に、前記走査線を介して前記選択信号を供給された選択行の前記各画素に前記映像線を介して画素値に応じた信号電圧を印加する映像線駆動回路と、を有し前記画面を分割駆動する液晶表示装置であって、

10

前記走査線駆動回路は、前記表示領域のうち予め定められた特定走査表示領域での前記垂直走査を、他の前記表示領域に隣接している画素行から開始し、

前記映像線駆動回路は、前記表示領域のうち少なくとも前記特定走査表示領域に対して、前記有効走査期間の先頭の前記選択行での前記画素値に応じた信号電圧の印加期間の少なくとも一部にて、当該信号電圧を当該画素値に対して他の前記選択行に印加する信号電圧より大きく設定すること、

を特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

20

本発明は液晶表示装置に係り、特に、画面を複数の表示領域に水平分割し、それらを並列に垂直走査する技術に関する。

【背景技術】

【0002】

液晶表示装置は薄型テレビ、パソコン、タブレット端末、スマートフォンなどの製品に用いられている。特に薄型テレビに代表される大型パネルのアプリケーションでは、高精細な画像表示、三次元表示及び動画質向上のため、4K解像度(4K2K)など画素数の増大や、倍速、4倍速といった高フレームレートでの駆動への要求がある。これらの要求は、画面の垂直走査において各水平走査線に割り当てられるデータ書き込み時間を短くし、通常の駆動方法では画素へのデータ書き込み不足という問題を生じ得る。この問題の解決策の一つとして、画面を複数の表示領域に分割し、データ書き込みを各表示領域に対して並列して行う分割駆動方式が知られている。

30

【0003】

しかし、画面を上下2つの表示領域に水平分割する分割駆動では、液晶表示装置の表示画像において表示領域間の境界に意図しない輝度変化が現れ、画像上にて表示領域の継ぎ目が見えるという問題が存在し、下記特許文献1～3では当該問題への対策が検討されている。

【先行技術文献】

【特許文献】

【0004】

40

【特許文献1】特開2000-321552号公報

【特許文献2】特開2008-70406号公報

【特許文献3】特開平11-102172号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

上述の表示領域の継ぎ目が表示されるという問題には上記特許文献で検討されていない原因も存在する。図7～図10を用いて本願が扱う継ぎ目表示の原因を説明する。

【0006】

図7は画面を上下に2等分した分割駆動における画面の模式図であり、画面上半分の表

50

示領域 A_U の垂直走査と下半分の表示領域 A_D の垂直走査とが並列して行われる。当該画面は上から順に第 1 から第 $2n$ までの $2n$ 本 (n は自然数) の水平走査線からなるものとする。

【0007】

図 8 は、領域 A_U 、 A_D それぞれのソース線 (映像線) に供給される電圧信号である信号 V_{S_U} 、 V_{S_D} 及び、第 1 ~ 第 $2n$ の水平走査線それぞれに対応して設けられるゲート線 (走査線) に供給される電圧信号である信号 $V_{G_1} \sim V_{G_{2n}}$ の模式的なタイミング図である。領域 A_U (第 1 ~ 第 n 行) 及び領域 A_D (第 $(n+1)$ ~ 第 $2n$ 行) における垂直走査は例えば、図 7 に矢印で示すように上から下へ向けて行われ、これに対応して垂直走査の有効走査期間 T_{EFF} では順次、信号 V_{G_k} 及び信号 $V_{G_{n+k}}$ ($k = 1 \sim n$) に走査パルス P_k (選択信号) が生成される。

10

【0008】

信号 V_{S_U} 、 V_{S_D} は垂直走査の帰線期間 T_{BLK} において、黒を表す画素値に対応する基準電圧 V_{BLK} に設定される。一方、有効走査期間 T_{EFF} においては、信号 V_{S_U} 、 V_{S_D} は走査パルス P_k に同期して、第 k 行及び第 $(n+k)$ 行の画素の画素値 D_k 、 D_{n+k} を表す信号電圧 V_k 、 V_{n+k} に設定される。ここでは説明を簡単にするために、ソース線に沿う方向 (列方向) に並ぶ $2n$ 個の画素の画素値 $D_1 \sim D_{2n}$ は同一であるとし、これに対応して図 8 ~ 図 10 では有効走査期間 T_{EFF} での信号 V_{S_U} 、 V_{S_D} を一定電圧で表している。なお、フレーム反転駆動により、信号 V_{S_U} 、 V_{S_D} は隣り合う有効走査期間 T_{EFF} にて基準電圧 V_{BLK} に対する極性を反転される。

20

【0009】

図 9、図 10 はそれぞれ有効走査期間 T_{EFF} の非先頭部分及び先頭部分における、表示領域 A_D の信号 V_{S_D} 、 $V_{G_{n+k}}$ 及び、画素電極の電位 V_P を示す模式的な信号波形図である。各画素に設けられた薄膜トランジスタ (Thin Film Transistor: TFT) は、ゲート電極に走査パルス P_k を印加されると、ソース線と画素電極との間のチャネルをオン状態とし、画素電極は信号 V_{S_D} に応じた電位に充電される。信号 V_{S_D} に画素値 D_{n+k} に応じた信号電圧 V_{n+k} を設定するタイミングと走査パルス P_k の印加タイミングとの関係は、走査パルス P_k の波形がゲート線に付随する容量及び配線抵抗によって鈍る影響を考慮に入れた上で、画素電極への信号電圧 V_{n+k} の書き込み効率が高くなるように設定される。そのため、走査パルス P_k の立ち上がりにて信号電圧 V_{n+k} が印加されない期間が生じる一方、信号電圧 V_{n+k} の印加期間の末尾が次の行の走査パルス P_{k+1} の立ち上がり期間に重なることが起こり得る。非先頭行である第 $(n+\alpha)$ 行 ($2 \leq \alpha \leq n$) の画素への書き込みでは、図 9 に示すように、当該行に対する走査パルス P_α の立ち上がり期間に、1 行前の信号電圧 $V_{n+\alpha-1}$ が印加されることによって、当該行の信号電圧 $V_{n+\alpha}$ の印加開始までに画素電極の電位 V_P が予め上昇される。そして、当該行の信号電圧 $V_{n+\alpha}$ の印加期間には予め上昇した電位を起点にして、電位 V_P が信号電圧 $V_{n+\alpha}$ に向けて変化する。これに対して、先頭行である第 $(n+1)$ 行の画素への書き込みでは、図 10 に示すように、当該行に対する走査パルス P_1 の立ち上がり期間に、1 行前 (つまり上側の表示領域 A_U の最下行) の信号電圧 V_n よりも低い基準電圧 V_{BLK} が印加されるので、当該行の信号電圧 V_{n+1} の印加開始までの画素電極の電位 V_P の立ち上がりは図 9 に示す非先頭行の場合より緩やかとなる。そのため、当該行の信号電圧 V_{n+1} の印加期間における電位 V_P の上昇は非先頭行に比べて低い電位から開始されることになり、当該行の信号電圧 V_{n+1} に向けた電位 V_P の到達度合いは非先頭行より劣る。つまり、画素値が同じであっても第 $(n+1)$ 行は隣接する第 n 行、第 $(n+2)$ 行と比べて信号電圧の書き込み不足となり、画面にて暗く表示されるという問題があった。

30

40

【0010】

この垂直走査の先頭行の画素への書き込み不足は画面を水平分割しない通常の駆動方式の先頭行でも起こるが、それによって輝度が低下するのは画面の端の行であるため、それほど目立たない。これと比較して、上述の表示領域 A_D のように画面の端以外における輝度変化は視覚的に認識されやすい。

50

【 0 0 1 1 】

本発明は上記問題を解決するためになされたものであり、水平分割駆動する液晶表示装置において、画面を分割した複数の表示領域のうちに、垂直走査を他の表示領域に隣接している行から開始するものを含む場合に、表示領域間の境界にて意図しない輝度変化が現れにくくすることを目的とする。

【課題を解決するための手段】

【 0 0 1 2 】

本発明に係る液晶表示装置は、行列配置された複数の画素からなる画面を水平分割した複数の表示領域ごとに前記画素の列それぞれに対応して設けられた映像線と、前記画素の行それぞれに対応して前記各表示領域に設けられた複数の走査線に順次、選択信号を供給して、前記複数の表示領域にて並列して垂直走査を行う走査線駆動回路と、前記垂直走査の帰線期間に前記映像線に予め定められた基準電圧を印加する一方、前記垂直走査の有効走査期間に、前記走査線を介して前記選択信号を供給された選択行の前記各画素に前記映像線を介して画素値に応じた信号電圧を印加する映像線駆動回路と、を有し前記画面を分割駆動するものであって、前記走査線駆動回路は、前記表示領域のうち予め定められた特定走査表示領域での前記垂直走査を、他の前記表示領域に隣接している画素行から開始し、前記映像線駆動回路は、前記表示領域のうち少なくとも前記特定走査表示領域に対して、前記各選択行での前記選択信号のタイミングを基準とした前記信号電圧の印加開始タイミングを、前記有効走査期間の先頭の前記選択行について、その後続の前記選択行より早いタイミングに設定する。

【 0 0 1 3 】

他の本発明に係る液晶表示装置は、行列配置された複数の画素からなる画面を水平分割した複数の表示領域ごとに前記画素の列それぞれに対応して設けられた映像線と、前記画素の行それぞれに対応して前記各表示領域に設けられた複数の走査線に順次、選択信号を供給して、前記複数の表示領域にて並列して垂直走査を行う走査線駆動回路と、前記垂直走査の帰線期間に前記映像線に予め定められた基準電圧を印加する一方、前記垂直走査の有効走査期間に、前記走査線を介して前記選択信号を供給された選択行の前記各画素に前記映像線を介して画素値に応じた信号電圧を印加する映像線駆動回路と、を有し前記画面を分割駆動するものであって、前記走査線駆動回路は、前記表示領域のうち予め定められた特定走査表示領域での前記垂直走査を、他の前記表示領域に隣接している画素行から開始し、前記映像線駆動回路は、前記表示領域のうち少なくとも前記特定走査表示領域に対して、前記有効走査期間における前記信号電圧の印加開始に先立ち、前記帰線期間の末尾の所定長さの遷移期間に、予め設定した中間階調の前記画素値に応じた電圧を前記基準電圧に代えて印加する。

【 0 0 1 4 】

別の本発明に係る液晶表示装置は、行列配置された複数の画素からなる画面を水平分割した複数の表示領域ごとに前記画素の列それぞれに対応して設けられた映像線と、前記画素の行それぞれに対応して設けられた走査線と、前記各画素に設けられ画素電極と前記映像線との間の導通を、前記走査線に印加される電圧に応じて制御するスイッチ素子と、前記各表示領域に設けられる複数の前記走査線に前記スイッチ素子を導通させる選択電圧を順次印加して、前記複数の表示領域にて並列して垂直走査を行う走査線駆動回路と、前記垂直走査の帰線期間に前記映像線に予め定められた基準電圧を印加する一方、前記垂直走査の有効走査期間に、前記走査線を介して前記選択電圧を印加された選択行の前記各画素に前記映像線を介して画素値に応じた信号電圧を印加する映像線駆動回路と、を有し前記画面を分割駆動するものであって、前記走査線駆動回路は、前記表示領域のうち予め定められた特定走査表示領域での前記垂直走査を、他の前記表示領域に隣接している画素行から開始し、前記表示領域のうち少なくとも前記特定走査表示領域に対して、前記有効走査期間の先頭の前記選択行での前記スイッチ素子が、その後続の前記選択行より低抵抗の導通状態になるように前記選択電圧を制御する。

【 0 0 1 5 】

さらに別の本発明に係る液晶表示装置は、行列配置された複数の画素からなる画面を水平分割した複数の表示領域ごとに前記画素の列それぞれに対応して設けられた映像線と、前記画素の行それぞれに対応して前記各表示領域に設けられた複数の走査線に順次、選択信号を供給して、前記複数の表示領域にて並列して垂直走査を行う走査線駆動回路と、前記垂直走査の帰線期間に前記映像線に予め定められた基準電圧を印加する一方、前記垂直走査の有効走査期間に、前記走査線を介して前記選択信号を供給された選択行の前記各画素に前記映像線を介して画素値に応じた信号電圧を印加する映像線駆動回路と、を有し前記画面を分割駆動するものであって、前記走査線駆動回路は、前記表示領域のうち予め定められた特定走査表示領域での前記垂直走査を、他の前記表示領域に隣接している画素行から開始し、前記映像線駆動回路は、前記表示領域のうち少なくとも前記特定走査表示領域に対して、前記有効走査期間の先頭の前記選択行での前記画素値に応じた信号電圧の印加期間の少なくとも一部にて、当該信号電圧を当該画素値に対して他の前記選択行に印加する信号電圧より大きく設定する。

10

【発明の効果】

【0016】

本発明によれば、水平分割駆動する液晶表示装置において、画面を分割した複数の表示領域のうちに、垂直走査を他の表示領域に隣接している行から開始するものを含む場合に、表示領域間の境界に、意図しない輝度変化が現れにくくすることができ、画像の品質向上を図ることができる。

20

【図面の簡単な説明】

【0017】

【図1】本発明の実施形態に係る液晶表示装置の構成を示す模式図である。

【図2】本発明の第1の実施形態の液晶表示装置における特定表示領域の先頭行に対する画素電圧の書き込み動作を説明する信号波形図である。

【図3】信号電圧の印加タイミングを先頭行にて1H期間早める回路構成の一例を示す概略のブロック図である。

【図4】本発明の第2の実施形態の液晶表示装置における特定表示領域の先頭行に対する画素電圧の書き込み動作を説明する信号波形図である。

【図5】本発明の第3の実施形態の液晶表示装置における特定表示領域の先頭行に対する画素電圧の書き込み動作を説明する信号波形図である。

30

【図6】本発明の第4の実施形態の液晶表示装置における特定表示領域の先頭行に対する画素電圧の書き込み動作を説明する信号波形図である。

【図7】画面を上下に2等分した分割駆動における画面の模式図である。

【図8】上下の表示領域それぞれのソース線及びゲート線に供給される電圧信号の模式的なタイミング図である。

【図9】有効走査期間 T_{EFF} の非先頭部分でのソース線及びゲート線に供給される電圧信号及び、画素電極の電位を示す模式的な信号波形図である。

【図10】有効走査期間 T_{EFF} の先頭部分でのソース線及びゲート線に供給される電圧信号及び、画素電極の電位を示す模式的な信号波形図である。

40

【発明を実施するための形態】

【0018】

以下、本発明の実施の形態（以下実施形態という）について、図面に基づいて説明する。

【0019】

[第1の実施形態]

図1は、第1の実施形態に係る液晶表示装置10の構成を示す模式図である。液晶表示装置10は、液晶パネル20、走査線駆動回路22u、22d、映像線駆動回路24u、24d、制御装置26、バックライトユニット（不図示）及びバックライト駆動回路（不図示）を備える。

【0020】

50

液晶表示装置 10 は、例えば、IPS (In Plane Switching) 方式、かつアクティブマトリクス駆動方式である。液晶パネル 20 は、間隙を設けて対向配置されたカラーフィルタ基板と TFT 基板とを備え、それらの間隙に液晶が充填される。カラーフィルタ基板及び TFT 基板を構成する各ガラス基板の外側面にはそれぞれ偏光フィルムが貼られる。TFT 基板は液晶パネル 20 の背面側に位置し、この後ろにバックライトユニットが配置される。一方、カラーフィルタ基板は液晶パネル 20 の表示面側に位置する。

【0021】

TFT 基板の液晶側の面には、TFT、画素電極及び共通電極やこれらへの配線などが形成されている。具体的には、画素電極及び TFT がそれぞれ画素配列に対応してマトリクス状に配置される。各画素には画素電極と同様、透明電極材からなる共通電極も配置される。配線として、複数のソース線 30、複数のゲート線 32 及び共通電極配線が形成される。複数のソース線 30 と複数のゲート線 32 とは互いに概ね直交して配置される。ゲート線 32 は TFT の行 (水平方向の並び) ごとに設けられ、当該行の複数の TFT のゲート電極に共通に接続される。ソース線 30 は TFT の列 (垂直方向の並び) ごとに設けられ、当該列の複数の TFT のソースに共通に接続される。また、各 TFT のドレインには当該 TFT に対応する画素電極が接続される。

【0022】

各 TFT はゲート線 32 に印加される走査パルスに応じて行単位で導通状態を制御される。オン状態とされた TFT を介して画素電極はソース線 30 に接続され、ソース線 30 から画素値に応じた信号電圧 (画素電圧) を印加される。共通電極は共通電極配線を介して所定のコモン電位を印加される。液晶は、画素電極と共通電極との電位差に応じて生じる電界により画素ごとに配向を制御されて、バックライトユニットから入射した光に対する透過率を変化させ、これにより表示面に画像が形成される。

【0023】

液晶表示装置 10 は画面を上下 2 つの表示領域に水平分割した分割駆動方式である。ここでは、画面を構成する画素行の総数を $2n$ (n は自然数) とし、当該画面を上下に 2 等分してその上半分である表示領域 A_U と下半分である表示領域 A_D とが並列して垂直走査される。

【0024】

分割駆動を行うため、ソース線 30 は領域 A_U 、 A_D 間の境界にて、領域 A_U に配置されるソース線 30_u と領域 A_D に配置されるソース線 30_d とに分断されている。ソース線 30_u には映像線駆動回路 24_u が接続され、ソース線 30_d には映像線駆動回路 24_d が接続される。画面の上側から第 1 ~ 第 n のゲート線 32 は表示領域 A_U に配置され、これらは走査線駆動回路 22_u に接続される。また、表示領域 A_D に配置される第 $(n+1)$ ~ 第 $2n$ のゲート線 32 は走査線駆動回路 22_d に接続される。

【0025】

制御装置 26 は、不図示のチューナやアンテナで受信した映像信号や、映像再生装置など別の装置が生成した映像信号を入力される。制御装置 26 は、CPU (Central Processing Unit) 及び ROM (Read Only Memory) や RAM (Random Access Memory) などのメモリを備える。

【0026】

制御装置 26 は入力された映像信号に対して色調整などの各種の画像信号処理を行い、各画素の階調値を示す画素データを生成する。例えば、制御装置 26 は線順次で入力される映像信号から得られた 1 フレーム分の画素データを RAM に保持し、行ごとに所望の順序で画素データを読み出して映像線駆動回路 24_u、24_d へ出力することができる。また、制御装置 26 は入力された映像信号に基づいて、走査線駆動回路 22_u、22_d、映像線駆動回路 24_u、24_d 及び、バックライト駆動回路が同期を取るためのタイミング信号を生成し、各駆動回路に向けて出力する。

【0027】

走査線駆動回路 22_u、22_d は制御装置 26 から入力されるタイミング信号に応じて

10

20

30

40

50

ゲート線 3 2 を順番に選択し、選択したゲート線 3 2 に走査パルスを出力する動作を開始する。本実施形態においては、走査線駆動回路 2 2 u は、第 1 行から第 n 行まで順にゲート線 3 2 を選択し、これと並行して走査線駆動回路 2 2 d は第 (n + 1) 行から第 2 n 行まで順にゲート線 3 2 を選択する。

【 0 0 2 8 】

映像線駆動回路 2 4 u , 2 4 d はそれぞれ走査線駆動回路 2 2 u , 2 2 d によるゲート線 3 2 の選択に同期して、当該選択された行の画素データを制御装置 2 6 から入力され、当該行の各画素データに応じた電圧を生成する。そして、これを画素電圧としてソース線 3 0 u , 3 0 d へ出力する。これにより、表示領域 A_U , A_D それぞれにて、選択されたゲート線 3 2 に対応する画素電極に画素電圧が印加される。ちなみに、これはラスタ画
10
像の水平走査に相当し、有効走査期間にて水平走査周期ごとに表示領域 A_U , A_D それぞれにて行が選択され、当該行への画素電圧の書き込みが行われる。例えば、液晶表示装置 1 0 における垂直走査の周期 (1 V) や有効走査期間 T_{EFF} 及び帰線期間 T_{BLK} は、映像信号における垂直走査の有効表示期間及び帰線期間と同一に設定され、また、水平走査周期 (1 H) は映像信号の水平同期信号に基づいて設定することができる。

【 0 0 2 9 】

映像線駆動回路 2 4 u , 2 4 d は、選択行に対応する画素電圧を有効走査期間 T_{EFF} において基本的に 1 H ずつソース線 3 0 へ出力する。各行の書き込み動作にて T F T がオ
20
フ状態となった時点の画素電極の電位は、次のフレームにて当該行への書き込みが開始されるまで基本的に保持され、その間、当該行の各画素は当該電位に応じた透過率に制御される。なお、本実施形態では、フレーム反転駆動により画素電圧の極性はフレームごとに反転される。帰線期間 T_{BLK} には映像線駆動回路 2 4 u , 2 4 d は基本的には所定の基準電圧 V_{BLK} を各ソース線 3 0 へ出力する。ここで、T F T のリーク電流などによって画素電極に不要な直流電位が印加されると画質低下を招く。これを防止するため、基準電圧 V_{BLK} は基本的には黒を表す画素値に対応付けられた電位に設定することが好適である。

【 0 0 3 0 】

本実施形態におけるソース線 3 0 u , 3 0 d に印加される信号 V_{S_U} , V_{S_D} 及び、第 1 ~ 第 2 n のゲート線 3 2 に印加される信号 $V_{G_1} \sim V_{G_{2n}}$ のタイミング図として図 8
30
を援用することができる。また、各有効走査期間 T_{EFF} における非先頭行に対する画素電圧の書き込みは図 9 を用いて上述した動作と同様に行われる。

【 0 0 3 1 】

以下、本発明の特徴である、各有効走査期間 T_{EFF} における先頭行に対する画素電圧の書き込み動作について説明する。上述したように本発明は、水平分割で設定された表示領域における垂直走査のうち、他の表示領域に隣接している画素行から開始される場合の先頭行での書き込み不足を解消することを目的としている。ここで、垂直走査が他の表示領域に隣接している画素行から開始される表示領域を特定表示領域と呼ぶことにする。本
実施形態においては下側の表示領域 A_D が特定表示領域である。

【 0 0 3 2 】

本実施形態においては、映像線駆動回路は複数の表示領域のうち少なくとも特定走査表示領域に対して、各選択行での走査パルスのタイミングを基準とした画素電圧の印加開始
40
タイミングを、有効走査期間 T_{EFF} の先頭の選択行 (先頭行) について、その後続の選択行 (非先頭行) より早いタイミングに設定する。

【 0 0 3 3 】

図 2 は特定表示領域である領域 A_D の先頭行に対する画素電圧の書き込み動作を説明する信号波形図であり、信号 V_{S_D} , $V_{G_{n+1}}$ 及び、画素電極の電位 V_P の信号波形を模式的に示している。制御装置 2 6 は例えば、ドットクロック信号に基づいて計時することにより、1 V 周期でパルスを生じる信号 P O L、及び 1 H 周期のクロック信号 C P V を生成する。また、制御装置 2 6 は信号 P O L のパルスのタイミングを基準として、有効走査
50
期間 T_{EFF} の開始 / 終了、又は帰線期間 T_{BLK} の開始 / 終了のタイミング、及び走査

線駆動回路 22d (及び走査線駆動回路 22u) へのトリガ信号の出力タイミングを設定する。

【0034】

走査線駆動回路 22d は制御装置 26 からのトリガ信号によりシフトレジスタの動作を開始させる。シフトレジスタの各段の出力は第 $(n+1)$ 行から第 $2n$ 行のゲート線 32 に順番に接続され、クロック信号 CPV に同期して先頭段から順次、走査パルス P をゲート線 32 へ出力する。例えば、シフトレジスタはクロック信号 CPV の立ち上がり同期して或る行に対する走査パルスを立ち上げ、その 1H 後のクロック信号 CPV の立ち上がり同期して当該走査パルスを立ち下げる。

【0035】

上述したように、映像線駆動回路 24d がソース線 30 へ画素値 D_{n+k} に応じた信号電圧 V_{n+k} を出力する期間と走査線駆動回路 22d がゲート線 32 に走査パルス P_k を印加する期間との位相差は画素電極への信号電圧 V_{n+k} の書き込み効率が好適となるように設定される。当該位相差に対応する期間を τ で表すと、本実施形態では非先頭行である第 $(n+\alpha)$ 行 $(2-\alpha-n)$ に対しては走査パルス P_α の立ち上がりタイミングに対して期間 τ 遅れた時刻 t_α から当該行に対する信号電圧 $V_{n+\alpha}$ の印加が開始される。

【0036】

これに対して、先頭行に対する信号電圧 V_{n+1} の印加は走査パルス P_1 の立ち上がりから τ 後の時刻である t_1 よりも先行する時刻 t_0 から開始される。時刻 t_0 は走査パルス P_1 の立ち上がりタイミング以前に設定することが好適であり、これにより、先頭行の TFT のオンと同時に信号電圧 V_{n+1} が画素電極に印加され、電位 VP が速やかに立ち上がるので、他の行と比較した画素電圧の書き込み不足が解消又は軽減される。よって、画面の端以外の行が不必要に暗く表示されることによる画質低下を防止できる。

【0037】

信号電圧 V_{n+1} の印加開始を早めることは、実質的に垂直帰線期間 T_{BLK} のうち末尾部分にて基準電圧 V_{BLK} とは異なる電圧をソース線 30 に印加することに相当する。ここで、上述したように垂直帰線期間 T_{BLK} におけるソース線 30 の電位は基本的には黒に対応する基準電圧 V_{BLK} に設定することが好適であることを考慮すると、時刻 t_0 を過度に早くするべきではなく、基本的には時刻 t_0 は走査パルス P_1 の立ち上がりタイミングに合わせて設定することができる。実際には、基準電位 V_{BLK} から信号電圧 V_{n+1} へ遷移する際の信号 VS_D の時定数などを考慮して、時刻 t_0 は走査パルス P_1 の立ち上がりタイミングよりも前に設定され、例えば、時刻 t_1 より 1H 期間先行する時刻に設定することができる。

【0038】

図 3 は信号電圧 V_{n+k} の印加タイミングを先頭行にて 1H 期間早める回路構成の一例を示す概略のブロック図である。図 3 に示す回路は例えば制御装置 26 に設けられる。表示領域 A_D の画素データは走査順にラインメモリ 40 と出力データ切換回路 42 とに並列して入力される。ラインメモリ 40 は入力されたデータを 1H 期間遅延して出力データ切換回路 42 へ出力する。出力データ切換回路 42 は、先頭行に対しては、時刻 t_0 になると、直接入力された画素データを映像線駆動回路 24d へ出力し、1H 後の時刻 t_1 になるとラインメモリ 40 から入力された画素データを映像線駆動回路 24d へ出力する。以降、1H ごとに、出力データ切換回路 42 はラインメモリ 40 から入力される非先頭行の画素データを映像線駆動回路 24d へ出力する。

【0039】

なお、垂直走査の先頭行が画面端に位置する上側の表示領域 A_U についても、上述した下側の表示領域 A_D と同様に、先頭行における画素電圧の書き込み不足を補償する構成・動作としてもよく、これにより画面の端の行が暗く表示されることを防止できる。

【0040】

[第 2 の実施形態]

第 2 の実施形態に係る液晶表示装置の概略の構成は図 1 に示した上記実施形態の液晶表

10

20

30

40

50

示装置 10 と基本的に同じである。以下の説明では、第 1 の実施形態と同様の構成要素には同一の符号を付して説明の簡素化を図る。本実施形態が第 1 の実施形態と異なる点は、水平分割した表示領域の垂直走査における先頭行の画素電圧の書き込み不足を補償する構成・動作にある。ここでも下側の表示領域 A_D を特定表示領域とし、表示領域 A_D についての垂直走査を例にして、以下、各有効走査期間 T_{EFF} における先頭行に対する画素電圧の書き込み動作について説明する。

【0041】

本実施形態においては、映像線駆動回路は複数の表示領域のうち少なくとも特定走査表示領域に対して、有効走査期間 T_{EFF} における信号電圧の印加開始に先立ち、帰線期間 T_{BLK} の末尾の所定長さの遷移期間に、予め設定した中間階調の画素値に応じた電圧を基準電圧 V_{BLK} に代えて印加する。

10

【0042】

図 4 は特定表示領域である領域 A_D の先頭行に対する画素電圧の書き込み動作を説明する信号波形図であり、信号 V_{SD} 、 $V_{G_{n+1}}$ 及び、画素電極の電位 V_P の信号波形を模式的に示している。

【0043】

本実施形態では先頭行を含む各行、すなわち第 $(n+k)$ 行 $(1 \leq k \leq n)$ に対して、走査パルス P_k の立ち上がりタイミングに対して期間 τ 遅れた時刻 t_k から当該行に対する信号電圧 V_{n+k} の印加が開始される。

【0044】

20

遷移期間は先頭行に対する信号電圧 V_{n+1} の印加開始時刻 t_1 の前に配置される。遷移期間の開始時刻 t_0 は走査パルス P_1 の立ち上がりタイミング以前に設定することが好適であり、例えば、時刻 t_1 より 1 H 期間先行する時刻に設定される。帰線期間 T_{BLK} 内の時刻 t_0 になると制御装置 26 は所定の中間階調の画素データを映像線駆動回路 24d へ出力し、映像線駆動回路 24d は当該画素データに応じた電圧 V_{MID} を時刻 t_0 から t_1 までの期間、ソース線 30 に印加する。中間階調の画素データは、例えば、画素データの階調数の半分等に設定することができる。また、標準的な画像についての平均値を予め実験等により求めて、これを中間階調の画素データとして設定してもよい。

【0045】

当該構成では、基準電位 V_{BLK} よりも信号電圧 V_{n+1} に近いことが期待される電圧 V_{MID} が走査パルス P_1 の立ち上がりにて画素電極に印加される。これにより、先頭行での電位 V_P の立ち上がりが補助されるので、他の行と比較した画素電極への信号電圧の書き込み不足が解消又は軽減される。よって、画面の端以外の行が不必要に暗く表示されることによる画質低下を防止できる。また、遷移期間における中間階調の画素データは各フレームにて固定とされ、これにより回路構成の簡素化を図ることができる。

30

【0046】

[第 3 の実施形態]

第 3 の実施形態に係る液晶表示装置の概略の構成は図 1 に示した上記実施形態の液晶表示装置 10 と基本的に同じである。以下の説明では、第 1 の実施形態と同様の構成要素には同一の符号を付して説明の簡素化を図る。本実施形態が第 1 の実施形態と異なる点は、水平分割した表示領域の垂直走査における先頭行の画素電圧の書き込み不足を補償する構成・動作にある。ここでも下側の表示領域 A_D を特定表示領域とし、表示領域 A_D についての垂直走査を例にして、以下、各有効走査期間 T_{EFF} における先頭行に対する画素電圧の書き込み動作について説明する。

40

【0047】

本実施形態においては、走査線駆動回路は、複数の表示領域のうち少なくとも特定走査表示領域に対して、有効走査期間 T_{EFF} の先頭の選択行での TFT (スイッチ素子) が、その後続の選択行より低抵抗の導通状態になるように、各行を選択する走査パルスの電圧 (選択電圧) を制御する。

【0048】

50

図 5 は特定表示領域である領域 A_D の先頭行に対する画素電圧の書き込み動作を説明する信号波形図であり、信号 V_{SD} 、 $V_{G_{n+1}}$ 及び、画素電極の電位 V_P の信号波形を模式的に示している。

【0049】

本実施形態では TFT は n チャンネルであり、ゲート電圧がオン電圧より高いとオン状態となる。走査線駆動回路 22d は先頭行である第 $(n+1)$ 行に対する走査パルス P_1 の電圧を、非先頭行である第 $(n+\alpha)$ 行 $(2 \leq \alpha \leq n)$ に対する走査パルス P_α の電圧よりも高く設定する。これにより先頭行の TFT は非先頭行の TFT よりコンダクタンスを高く設定され、より低抵抗の状態となる。

【0050】

当該構成では、先頭行の信号電圧 V_{n+1} の印加開始後における画素電極の電位 V_P の立ち上がりが他の行に比べて迅速となるので、他の行と比較した画素電極への信号電圧の書き込み不足が解消又は軽減される。よって、画面の端以外の行が不必要に暗く表示されることによる画質低下を防止できる。

【0051】

例えば、走査線駆動回路 22d はそのシフトレジスタの第 $(n+1)$ 行に対応する段が他の段より高い電圧のパルスを出力するように構成される。

【0052】

[第 4 の実施形態]

第 4 の実施形態に係る液晶表示装置の概略の構成は図 1 に示した上記実施形態の液晶表示装置 10 と基本的に同じである。以下の説明では、第 1 の実施形態と同様の構成要素には同一の符号を付して説明の簡素化を図る。本実施形態が第 1 の実施形態と異なる点は、水平分割した表示領域の垂直走査における先頭行の画素電圧の書き込み不足を補償する構成・動作にある。ここでも下側の表示領域 A_D を特定表示領域とし、表示領域 A_D についての垂直走査を例にして、以下、各有効走査期間 T_{EFF} における先頭行に対する画素電圧の書き込み動作について説明する。

【0053】

本実施形態においては、映像線駆動回路は、複数の表示領域のうち少なくとも特定走査表示領域に対して、有効走査期間 T_{EFF} の先頭の選択行での画素値に応じた信号電圧の印加期間の少なくとも一部にて、当該信号電圧を当該画素値に対して他の選択行に印加する信号電圧より大きく設定する。

【0054】

図 6 は特定表示領域である領域 A_D の先頭行に対する画素電圧の書き込み動作を説明する信号波形図であり、信号 V_{SD} 、 $V_{G_{n+1}}$ 及び、画素電極の電位 V_P の信号波形を模式的に示している。

【0055】

先頭行に対する信号電圧 V_{n+1} の印加は走査パルス P_1 の立ち上がりから期間 t 経った時刻 t_1 に開始され、1H 期間持続される。当該 1H 期間の一部の期間にて、ソース線 30 に印加される信号電圧 V_{n+1} は当該 1H 期間の残りの期間より高くなるように制御される。これにより、先頭行にて、走査パルスの印加期間のうち時刻 t_1 以降の期間における画素電極の電位 V_P の立ち上がりが促進されるので、時刻 t_1 以前にて基準電位 V_{BLK} を印加されることに起因する画素電圧の書き込み不足が解消又は軽減される。よって、画面の端以外の行が不必要に暗く表示されることによる画質低下を防止できる。

【0056】

信号電圧 V_{n+1} を高くする期間は、先頭行の TFT がオンしている期間内に設定され、例えば、信号電圧 V_{n+1} を印加する 1H 期間の先頭、すなわち時刻 t_1 から所定期間 T_+ に設定することができる。

【0057】

当該動作は例えば、制御装置 26 が期間 T_+ にて、本来の画素値を一定割合増加させた値を画素データとして映像線駆動回路 24d へ出力し、残りの期間は本来の画素値を画素

10

20

30

40

50

データとして出力する構成により実現できる。また、映像線駆動回路 2 4 d を、先頭行だけにおいて、ソース線 3 0 に印加する信号電圧波形にオーバーシュートを発生させる構成としてもよい。

【 0 0 5 8 】

また、制御装置 2 6 は先頭行への信号電圧の印加期間全体にて当該信号電圧を一定割合増加させてもよい。

【 0 0 5 9 】

上記各実施形態では、特定表示領域は下側の表示領域 A_D であり、上側の表示領域 A_U は特定表示領域ではない構成であったが、逆に A_U を特定表示領域とし、 A_D を特定表示領域としない構成（つまり、 A_U は第 n 行から第 1 行へ向けて垂直走査を行い、 A_D は第 2 n 行から第 $(n + 1)$ 行へ向けて垂直走査を行う構成）や、 A_U 、 A_D の双方を特定表示領域とする構成（つまり、 A_U は第 n 行から第 1 行へ向けて垂直走査を行い、 A_D は第 $(n + 1)$ 行から第 2 n 行へ向けて垂直走査を行う構成）においても、先頭行における画素電圧の書き込み不足を補償する構成・動作とすることができる。

10

【 0 0 6 0 】

また、上記各実施形態では画面は偶数本の画素行からなり、当該画面を上下に二等分して表示領域 A_U 、 A_D が設定されているが、画面は奇数本の画素行から構成されていてもよく、また上下の表示領域を構成する画素行の本数が互いに異なってもよい。例えば、奇数本からなる画面では、表示領域 A_U 、 A_D のいずれか一方の画素行を他方より 1 本多く設定することができる。

20

【 0 0 6 1 】

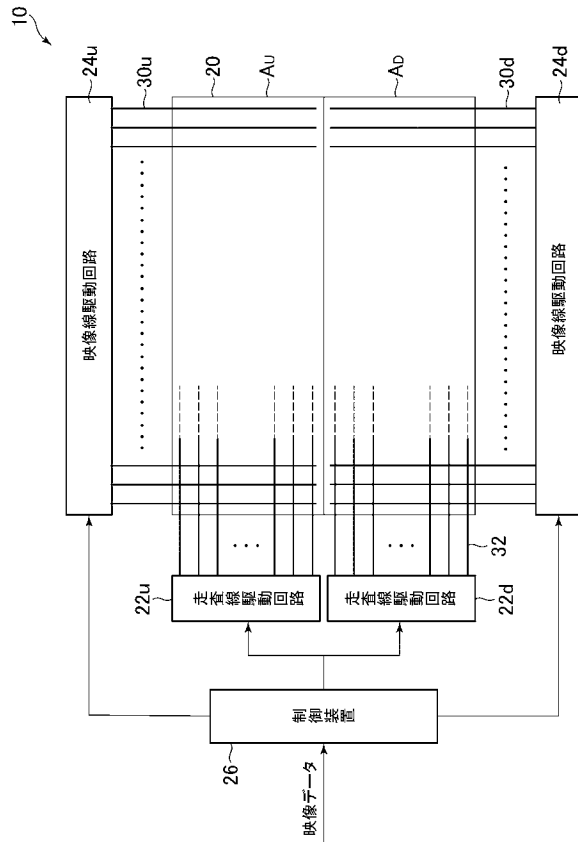
さらに、3 つ以上の表示領域を設ける水平分割駆動においても本願発明を適用することができる。

【 符号の説明 】

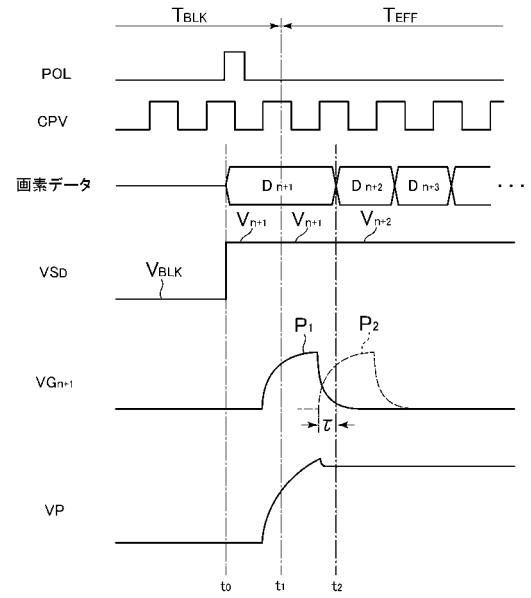
【 0 0 6 2 】

1 0 液晶表示装置、2 0 液晶パネル、2 2 u、2 2 d 走査線駆動回路、2 4 u、2 4 d 映像線駆動回路、2 6 制御装置、3 0、3 0 u、3 0 d ソース線、3 2 ゲート線、4 0 ラインメモリ、4 2 出力データ切換回路。

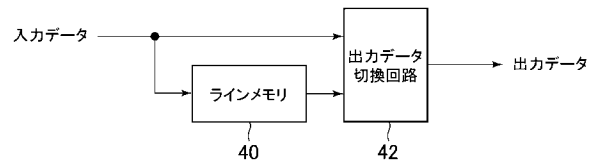
【図 1】



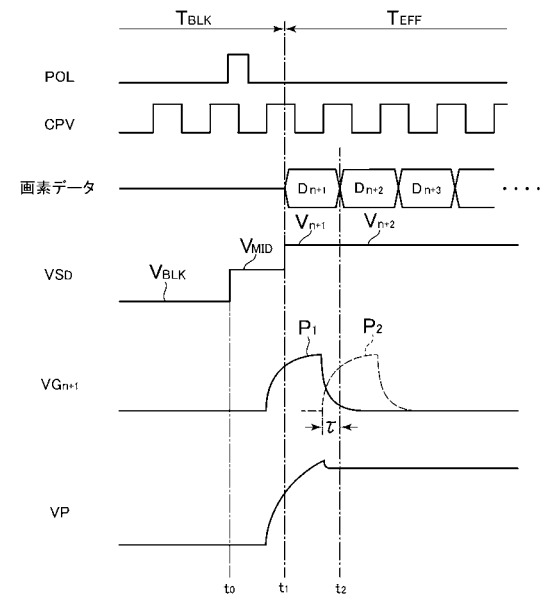
【図 2】



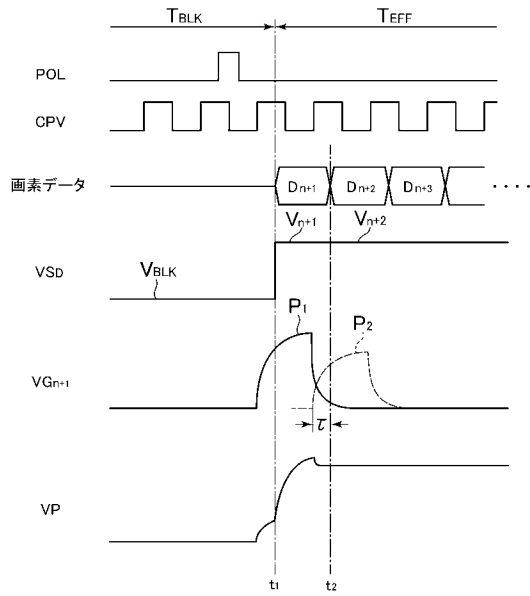
【図 3】



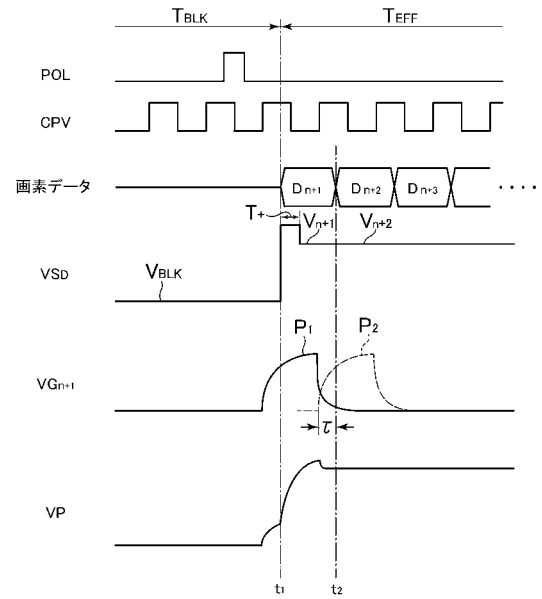
【図 4】



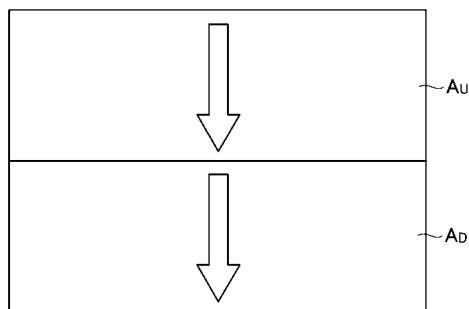
【図 5】



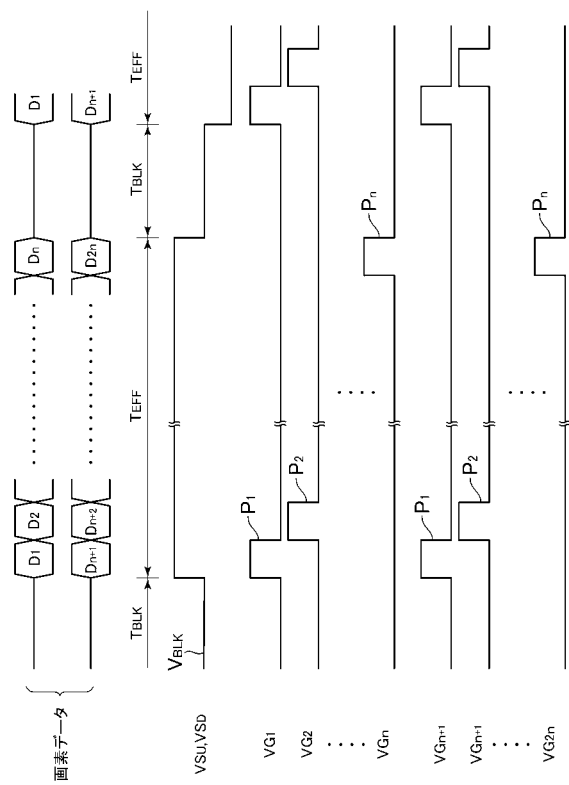
【図 6】



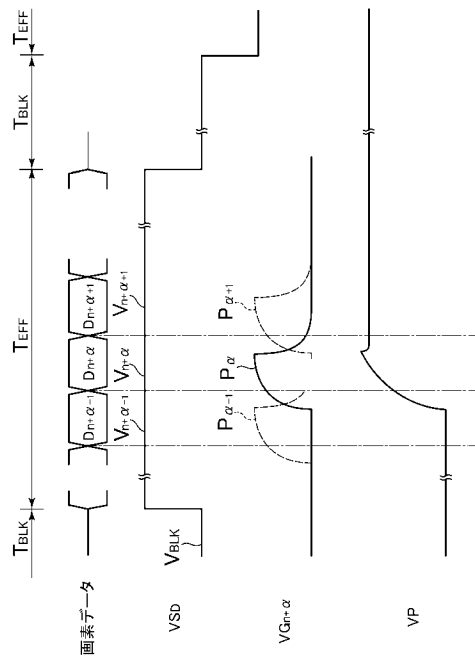
【図 7】



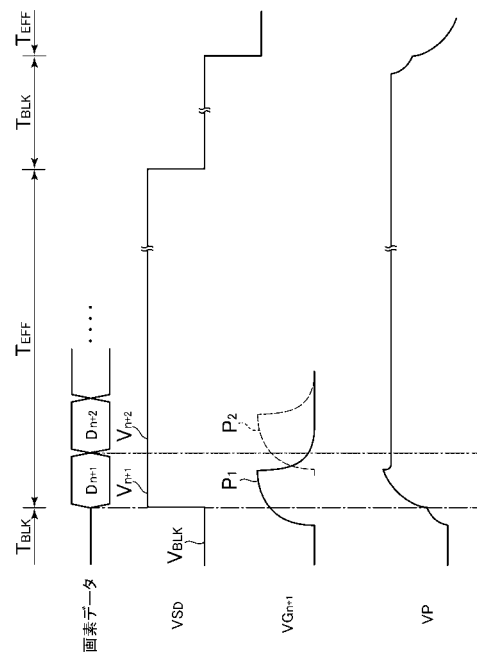
【図 8】



【図 9】



【図 10】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 2 2 C
	G 0 9 G 3/20	6 4 2 B
	G 0 2 F 1/133	5 5 0

F ターム(参考)	2H193	ZA04	ZA33	ZD32	ZF11	ZF21	ZF31	ZQ16		
	5C006	AC21	AC22	AC23	AF42	AF59	AF73	BB16	BF05	FA22
	5C080	AA10	BB05	DD05	FF11	FF13	GG12	JJ02	JJ04	

专利名称(译)	液晶表示装置		
公开(公告)号	JP2013167772A	公开(公告)日	2013-08-29
申请号	JP2012031220	申请日	2012-02-16
申请(专利权)人(译)	松下液晶显示器有限公司		
[标]发明人	桶隆太郎 今城育子 丸山純一		
发明人	桶 隆太郎 今城 育子 丸山 純一		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3666 G09G3/3677 G09G3/3688 G09G2310/0205 G09G2310/0243 G09G2310/0248 G09G2310/0267 G09G2310/061 G09G2310/08 G09G2320/0233		
FI分类号	G09G3/36 G09G3/20.622.L G09G3/20.623.D G09G3/20.612.T G09G3/20.623.C G09G3/20.622.C G09G3/20.642.B G02F1/133.550		
F-TERM分类号	2H193/ZA04 2H193/ZA33 2H193/ZD32 2H193/ZF11 2H193/ZF21 2H193/ZF31 2H193/ZQ16 5C006/AC21 5C006/AC22 5C006/AC23 5C006/AF42 5C006/AF59 5C006/AF73 5C006/BB16 5C006/BF05 5C006/FA22 5C080/AA10 5C080/BB05 5C080/DD05 5C080/FF11 5C080/FF13 5C080/GG12 5C080/JJ02 5C080/JJ04		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置，其水平分割并驱动液晶显示装置，其中每个显示区域的垂直写入导致第一行中像素电压的写入不足，特别是当第一行位于屏幕的中心时，显示暗线，到。用于驱动下显示区域中的栅极线的扫描线驱动电路顺序地输出扫描脉冲 P_k ，用于选择图像的第 $(n+k)$ 行。用于驱动下显示区域中的源极线的视频线驱动电路在扫描脉冲 P_k 期间根据数据 D_{n+k} 输出像素电压。到。开始施加像素电压到施加扫描脉冲 P_k 的定时是将像素电压施加到第 $(n+1)$ 行的定时，第 $(n+1)$ 行是有效扫描周期的第一行 T_{EFF} 然后比继续设置它。
.The

