

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-44941

(P2013-44941A)

(43) 公開日 平成25年3月4日(2013.3.4)

(51) Int.Cl.

G02F 1/1343 (2006.01)

F I

G02F 1/1343

テーマコード (参考)

2H092

審査請求 未請求 請求項の数 15 O L (全 17 頁)

(21) 出願番号 特願2011-182613 (P2011-182613)
 (22) 出願日 平成23年8月24日 (2011. 8. 24)

(71) 出願人 302020207
 株式会社ジャパンディスプレイセントラル
 埼玉県深谷市幡羅町一丁目9番地2
 (74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100159651
 弁理士 高倉 成男
 (74) 代理人 100091351
 弁理士 河野 哲
 (74) 代理人 100088683
 弁理士 中村 誠
 (74) 代理人 100109830
 弁理士 福原 淑弘
 (74) 代理人 100075672
 弁理士 峰 隆司

最終頁に続く

(54) 【発明の名称】 液晶表示装置

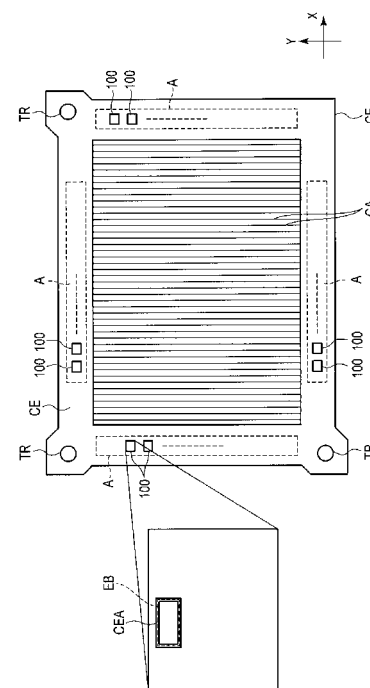
(57) 【要約】

【課題】信頼性の高い液晶表示装置を提供する。

【解決手段】マトリクス状に配置された複数の画素電極 P E と、画素電極 P E が配列する行に沿って延びるゲート配線 G と、列に沿って延びるソース配線 S と、複数の画素電極 P E が配置された領域 A C T の周囲の領域において画素電極 P E と同層に配置されゲート配線に印加されるト電位が供給される電極 E B と、を備えた第 1 基板 A R と、複数の画素電極 P E が配置された領域 A C T および周囲の領域と対向した共通電極 C E を備え第 1 基板 A R と対向して配置された第 2 基板 C T と、第 1 基板 A R と第 2 基板 C T との間に挟持された液晶層 L Q と、を備え、共通電極 C T は、少なくとも電極 E B の端部と対向する部分に電極除去部 C E A を備える液晶表示装置。

【選択図】 図 8

図 8



【特許請求の範囲】

【請求項 1】

マトリクス状に配置された複数の画素電極と、前記画素電極が配列する行に沿って延びるゲート配線と、列に沿って延びるソース配線と、前記複数の画素電極が配置された領域の周囲の領域において前記画素電極と同層に配置され前記ゲート配線に印加されるゲート電位が供給される電極と、を備えた第 1 基板と、

前記複数の画素電極が配置された領域および前記周囲の領域と対向した共通電極を備え前記第 1 基板と対向して配置された第 2 基板と、

前記第 1 基板と前記第 2 基板との間に挟持された液晶層と、を備え、

前記共通電極は、少なくとも前記電極の端部と対向する部分に電極除去部を備える液晶表示装置。

【請求項 2】

前記電極除去部は前記電極全体と対向するように設けられている請求項 1 記載の液晶表示装置。

【請求項 3】

前記電極除去部は複数の前記電極と対向するように設けられている請求項 1 記載の液晶表示装置。

【請求項 4】

前記電極は絶縁層上に配置され、前記電極の端部の下において前記絶縁層は平坦である請求項 1 乃至請求項 3 のいずれか 1 項記載の液晶表示装置。

【請求項 5】

前記電極は光透過性を有する導電材料により形成されている請求項 1 乃至請求項 4 のいずれか 1 項記載の液晶表示装置。

【請求項 6】

前記第 1 基板と前記第 2 基板とは前記複数の画素電極が配置された領域を囲むように配置されたシール剤により固定され、

前記液晶層は、前記第 1 基板と、前記第 2 基板と、前記シール剤とにより囲まれた領域に充填され、

前記電極は、前記シール剤よりも内側に配置されている請求項 1 乃至請求項 5 のいずれか 1 項記載の液晶表示装置。

【請求項 7】

前記共通電極は、前記複数の画素電極が配置された領域と対向する部分において、前記ソース配線と略平行に延びた電極が前記ゲート配線の延びる方向に間隔を置いて並んで配置されたストライプ状である請求項 1 乃至請求項 6 のいずれか 1 項記載の液晶表示装置。

【請求項 8】

前記共通電極は、前記複数の画素電極が配置された領域と対向する部分において格子状に配置されている請求項 1 乃至請求項 6 のいずれか 1 項記載の液晶表示装置。

【請求項 9】

前記第 1 基板は、さらに、前記画素電極および前記電極を覆う第 1 配向膜を備え、

前記第 2 基板は、さらに、前記共通電極を覆う第 2 配向膜を備え、

前記第 1 配向膜では第 1 配向処理方向に前記液晶分子が初期配向し、前記第 2 配向膜では第 2 配向処理方向に前記液晶分子が初期配向し、前記第 1 配向処理方向と前記第 2 配向処理方向は互いに平行で且つ同じ向きである請求項 1 乃至 8 のいずれか 1 項記載の液晶表示装置。

【請求項 10】

マトリクス状に配置された複数の画素電極と、前記画素電極が配列する行に沿って延びるゲート配線と、列に沿って延びるソース配線と、前記複数の画素電極が配置された領域の周囲の領域に配置された静電気防止回路と、を備えた第 1 基板と、

前記複数の画素電極が配置された領域および前記周囲の領域と対向した共通電極を備え前記第 1 基板と対向して配置された第 2 基板と、

10

20

30

40

50

前記第 1 基板と前記第 2 基板との間に挟持された液晶層と、を備え、

前記静電気防止回路は、薄膜トランジスタと、前記薄膜トランジスタのゲート電極と電氣的に接続して前記ゲート配線に印加される電位が供給され、前記画素電極と同層に配置された電極と、を備え、

前記共通電極は、少なくとも前記電極の端部と対向する部分に電極除去部を備える液晶表示装置。

【請求項 1 1】

前記電極除去部は前記電極全体と対向するように設けられている請求項 1 0 記載の液晶表示装置。

【請求項 1 2】

前記電極除去部は複数の前記電極と対向するように設けられている請求項 1 0 記載の液晶表示装置。

【請求項 1 3】

前記電極は絶縁層上に配置され、前記電極の端部の下において前記絶縁層は平坦である請求項 1 0 乃至請求項 1 2 のいずれか 1 項記載の液晶表示装置。

【請求項 1 4】

前記電極は光透過性を有する導電材料により形成されている請求項 1 0 乃至請求項 1 3 のいずれか 1 項記載の液晶表示装置。

【請求項 1 5】

前記第 1 基板と前記第 2 基板とは前記複数の画素電極が配置された領域を囲むように配置されたシール剤により固定され、

前記液晶層は、前記第 1 基板と、前記第 2 基板と、前記シール剤とにより囲まれた領域に充填され、

前記静電気防止回路は、前記シール剤よりも内側に配置されている請求項 1 1 乃至請求項 1 4 のいずれか 1 項記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明の実施形態は、液晶表示装置に関する。

【背景技術】

【0 0 0 2】

近年、平面表示装置が盛んに開発されており、中でも液晶表示装置は、軽量、薄型、低消費電力等の利点から特に注目を集めている。特に、各画素にスイッチング素子を組み込んだアクティブマトリクス型液晶表示装置においては、IPS (In-Plane Switching) モードや FFS (Fringe Field Switching) モードなどの横電界 (フリンジ電界も含む) を利用した構造が注目されている。このような横電界モードの液晶表示装置は、アレイ基板に形成された画素電極と共通電極とを備え、アレイ基板の主面に対してほぼ平行な横電界で液晶分子をスイッチングする。

【0 0 0 3】

一方で、アレイ基板に形成された画素電極と、対向基板に形成された共通電極との間に、横電界あるいは斜め電界を形成し、液晶分子をスイッチングする技術も提案されている。

【先行技術文献】

【特許文献】

【0 0 0 4】

【特許文献 1】特開 2 0 0 9 - 1 0 4 1 3 3 号公報

【特許文献 2】特開 2 0 0 9 - 1 9 2 8 2 2 号公報

【発明の概要】

【発明が解決しようとする課題】

【0 0 0 5】

10

20

30

40

50

液晶表示装置を高温多湿の環境において長時間継続して使用した場合、アクティブエリアの周囲の領域における電極や配線の腐食が発生することがあった。アクティブエリアの周囲に配置された電極や配線が腐食すると、電極や配線を含む回路の機能が低下して信頼性が低下し、さらに駆動回路やアクティブエリアへ腐食が進むと、表示品位の低下につながる可能性があった。

【０００６】

本発明が解決しようとする課題は、信頼性の高い液晶表示装置を提供することである。

【課題を解決するための手段】

【０００７】

実施形態によれば、マトリクス状に配置された複数の画素電極と、前記画素電極が配列する行に沿って延びるゲート配線と、列に沿って延びるソース配線と、前記複数の画素電極が配置された領域の周囲の領域において前記画素電極と同層に配置され前記ゲート配線に印加されるト電位が供給される電極と、を備えた第１基板と、前記複数の画素電極が配置された領域および前記周囲の領域と対向した共通電極を備え前記第１基板と対向して配置された第２基板と、前記第１基板と前記第２基板との間に挟持された液晶層と、を備え、前記共通電極は、少なくとも前記電極の端部と対向する部分に電極除去部を備える液晶表示装置が提供される。

10

【図面の簡単な説明】

【０００８】

【図１】図１は、本実施形態における液晶表示装置の構成及び等価回路を概略的に示す図である。

20

【図２】図２は、図１に示した液晶表示パネルを対向基板側から見たときの一画素の構造例を概略的に示す平面図である。

【図３】図３は、図２に示した液晶表示パネルを線ⅠⅠⅠ-ⅠⅠⅠで切断したときの断面構造の一例を概略的に示す断面図である。

【図４】図４は、図１に示した液晶表示パネルのアクティブエリア周辺に配置された静電気防止回路の一構成例を概略的に示す図である。

【図５】図５は、図４に示した静電気防止回路のコンタクト電極が配置された位置で切断したときの液晶表示パネルの断面構造の比較例を概略的に示す図である。

【図６】図６は、図４に示した静電気防止回路のコンタクト電極が配置された位置で切断したときの液晶表示パネルの断面構造の比較例を概略的に示す図である。

30

【図７】図７は、図４に示した静電気防止回路のコンタクト電極が配置された位置で切断したときの液晶表示パネルの断面構造の一実施形態を概略的に示す図である。

【図８】図８は、実施形態の液晶表示装置の共通電極の一構成例を説明するための図である。

【図９】図９は、図４に示した静電気防止回路のコンタクト電極が配置された位置で切断したときの液晶表示パネルの断面構造の一実施形態を概略的に示す図である。

【図１０】図１０は、実施形態の液晶表示装置の共通電極の他の構成例を説明するための図である。

【図１１】図１１は、実施形態の液晶表示装置の共通電極の他の構成例を説明するための図である。

40

【発明を実施するための形態】

【０００９】

以下、本実施形態について、図面を参照しながら詳細に説明する。なお、各図において、同一又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する説明は省略する。

【００１０】

図１は、本実施形態における液晶表示装置の構成及び等価回路を概略的に示す図である。

【００１１】

50

すなわち、液晶表示装置は、アクティブマトリクスタイプの液晶表示パネル L P N を備えている。液晶表示パネル L P N は、第 1 基板であるアレイ基板 A R と、アレイ基板 A R に対向して配置された第 2 基板である対向基板 C T と、これらのアレイ基板 A R と対向基板 C T との間に保持された液晶層 L Q と、を備えている。このような液晶表示パネル L P N は、画像を表示するアクティブエリア A C T を備えている。このアクティブエリア A C T は、 $m \times n$ 個のマトリクス状に配置された複数の画素 P X によって構成されている（但し、 m 及び n は正の整数である）。

【 0 0 1 2 】

液晶表示パネル L P N は、アクティブエリア A C T において、 n 本のゲート配線 G ($G_1 \sim G_n$)、 n 本の補助容量線 C ($C_1 \sim C_n$)、 m 本のソース配線 S ($S_1 \sim S_m$) などを備えている。ゲート配線 G 及び補助容量線 C は、例えば、第 1 方向 X に沿って略直線的に延出している。これらのゲート配線 G 及び補助容量線 C は、第 1 方向 X に交差する第 2 方向 Y に沿って交互に並列配置されている。ここでは、第 1 方向 X と第 2 方向 Y とは互いに略直交している。ソース配線 S は、ゲート配線 G 及び補助容量線 C と交差している。ソース配線 S は、第 2 方向 Y に沿って略直線的に延出している。なお、ゲート配線 G、補助容量線 C、及び、ソース配線 S は、必ずしも直線的に延出していなくても良く、それらの一部が屈曲していてもよい。

【 0 0 1 3 】

各ゲート配線 G は、アクティブエリア A C T の外側に引き出され、ゲートドライバ G D に接続されている。各ソース配線 S は、アクティブエリア A C T の外側に引き出され、ソースドライバ S D に接続されている。これらのゲートドライバ G D 及びソースドライバ S D の少なくとも一部は、例えば、アレイ基板 A R に形成され、コントローラを内蔵した駆動 I C チップ 2 と接続されている。

【 0 0 1 4 】

各画素 P X は、スイッチング素子 S W、画素電極 P E、共通電極 C E などを備えている。保持容量 C s は、例えば補助容量線 C と画素電極 P E との間に形成される。補助容量線 C は、補助容量電圧が印加される電圧印加部 V C S と電氣的に接続されている。

【 0 0 1 5 】

なお、本実施形態においては、液晶表示パネル L P N は、画素電極 P E がアレイ基板 A R に形成される一方で共通電極 C E の少なくとも一部が対向基板 C T に形成された構成であり、これらの画素電極 P E と共通電極 C E との間に形成される電界を主に利用して液晶層 L Q の液晶分子をスイッチングする。画素電極 P E と共通電極 C E との間に形成される電界は、第 1 方向 X と第 2 方向 Y とで規定される X - Y 平面あるいは基板主面に対してわずかに傾いた斜め電界（あるいは、基板主面にほぼ平行な横電界）である。

【 0 0 1 6 】

スイッチング素子 S W は、例えば、 n チャネル薄膜トランジスタ (T F T) によって構成されている。このスイッチング素子 S W は、ゲート配線 G 及びソース配線 S と電氣的に接続されている。このようなスイッチング素子 S W は、トップゲート型あるいはボトムゲート型のいずれであっても良い。また、スイッチング素子 S W の半導体層は、例えば、アモルファスシリコンによって形成されているが、ポリシリコンによって形成されていても良い。

【 0 0 1 7 】

画素電極 P E は、各画素 P X に配置され、スイッチング素子 S W に電氣的に接続されている。共通電極 C E は、液晶層 L Q を介して複数の画素 P X の画素電極 P E に対して共通に配置されている。このような画素電極 P E 及び共通電極 C E は、例えば、インジウム・ティン・オキサイド (I T O) やインジウム・ジंक・オキサイド (I Z O) などの光透過性を有する導電材料によって形成されているが、アルミニウム、銀、モリブデン、アルミニウム、タングステン、チタンなどの他の金属材料及びそれらの合金によって形成されても良い。

【 0 0 1 8 】

10

20

30

40

50

アレイ基板 A R は、アクティブエリア A C T の周囲の領域において、ゲートドライバ G D 及びソースドライバ S D とアクティブエリア A C T との間の領域 A に、後述する静電気防止回路 1 0 0 が配置されている。静電気防止回路 1 0 0 は、シール材 S B よりも内側に配置されている。

【 0 0 1 9 】

また、アレイ基板 A R は、アクティブエリア A C T の周囲の領域において、アクティブエリア A C T を囲むように配置されたコモン配線 C O M を備えている。コモン配線 C O M の両端は接続パッドに接続されている。コモン配線 C O M には、接続パッドを介して外部から共通電圧が供給される。

【 0 0 2 0 】

共通電極 C E は、アクティブエリア A C T においてアレイ基板 A R と対向するように略一様に延び、導電部材 T R を介して、アレイ基板 A R のコモン配線 C O M と電氣的に接続されている。

【 0 0 2 1 】

図 2 は、図 1 に示した液晶表示パネル L P N を対向基板側から見たときの一画素 P X の構造例を概略的に示す平面図である。ここでは、X - Y 平面における平面図を示している。なお、図 2 では、共通電極 C E および画素電極 P E 以外の構成は省略し、共通電極 C E と画素電極 P E との位置関係の一例を示している。

【 0 0 2 2 】

図示した画素 P X は、破線で示したように、第 1 方向 X に沿った長さが第 2 方向 Y に沿った長さよりも短い長方形形状である。共通電極 C E は第 2 方向に延びている。画素電極 P E は、隣接する共通電極 C E の間に配置されている。

【 0 0 2 3 】

画素電極 P E は、互いに電氣的に接続された主画素電極 P A 及びコンタクト部 P C を備えている。主画素電極 P A は、コンタクト部 P C から画素 P X の上側端部付近及び下側端部付近まで第 2 方向 Y に沿って直線的に延出している。このような主画素電極 P A は、第 1 方向 X に沿って略同一の幅を有する帯状に形成されている。コンタクト部 P C は、コンタクトホール C H を介してスイッチング素子 S W と電氣的に接続されている。このコンタクト部 P C は、主画素電極 P A よりも幅広に形成されている。

【 0 0 2 4 】

共通電極 C E は、X - Y 平面内において、主画素電極 P A を挟んだ両側で主画素電極 P A と略平行な第 2 方向 Y に沿って直線的に延出した主共通電極 C A を備えている。あるいは、主共通電極 C A は、ソース配線 S とそれぞれ対向するとともに主画素電極 P A と略平行に延出している。このような主共通電極 C A は、第 1 方向 X に沿って略同一の幅を有する帯状に形成されている。

【 0 0 2 5 】

図示した例では、主共通電極 C A は第 1 方向 X に沿って 2 本平行に並んでおり、画素 P X の左右両端部にそれぞれ配置されている。これらの主共通電極 C A は、アクティブエリア A C T 内あるいはアクティブエリア A C T 外において互いに電氣的に接続されている。すなわち、共通電極 C E は、アクティブエリア A C T において第 2 方向 Y に延びる主共通電極 C A が所定の間隔をおいて第 1 方向 X に並んで配置されたストライプ形状である。

【 0 0 2 6 】

画素電極 P E と主共通電極 C A との位置関係に着目すると、画素電極 P E と主共通電極 C A とは、第 1 方向 X に沿って交互に配置されている。これらの画素電極 P E と主共通電極 C A とは、互いに略平行に配置されている。このとき、X - Y 平面内において、主共通電極 C A のいずれも画素電極 P E とは重ならない。

【 0 0 2 7 】

すなわち、隣接する主共通電極 C A の間には、1 本の画素電極 P E が位置している。換言すると、隣接する主共通電極 C A は、画素電極 P E の直上の位置を挟んだ両側に配置されている。あるいは、画素電極 P E は、主共通電極 C A の間に配置されている。これらの

10

20

30

40

50

画素電極 P E と共通電極 C E との第 1 方向 X に沿った間隔は略一定である。

【 0 0 2 8 】

図 3 は、図 2 に示した液晶表示パネル L P N を線 I I I - I I I で切断したときの断面構造の一例を概略的に示す断面図である。なお、ここでは、説明に必要な箇所のみを図示している。また、この例では主共通電極 C A は信号線 S と対向するように配置されている。

【 0 0 2 9 】

液晶表示パネル L P N を構成するアレイ基板 A R の背面側には、バックライト 4 が配置されている。バックライト 4 としては、種々の形態が適用可能であり、また、光源として発光ダイオード (L E D) を利用したものや冷陰極管 (C C F L) を利用したものなどのいずれでも適用可能であり、詳細な構造については説明を省略する。

10

【 0 0 3 0 】

アレイ基板 A R は、光透過性を有する第 1 絶縁基板 1 0 を用いて形成されている。ソース配線 S は、第 1 層間絶縁膜 1 1 の上に形成され、第 2 層間絶縁膜 1 2 および平坦化膜 1 3 によって覆われている。なお、図示しないゲート配線や補助容量線は、例えば、第 1 絶縁基板 1 0 と第 1 層間絶縁膜 1 1 の間に配置されている。画素電極 P E は、平坦化膜 1 3 の上に形成されている。この画素電極 P E は、隣接するソース配線 S のそれぞれの直上の位置よりもそれらの内側に位置している。なお、平坦化膜 1 3 はアクティブエリア A C T に配置され、アクティブエリア A C T の周囲の領域においては除去されている。

20

【 0 0 3 1 】

第 1 配向膜 A L 1 は、アレイ基板 A R の対向基板 C T と対向する面に配置され、アクティブエリア A C T の略全体およびアクティブエリア A C T の外部に亘って延在している。この第 1 配向膜 A L 1 は、画素電極 P E などを覆っており、第 2 層間絶縁膜 1 2 の上にも配置されている。このような第 1 配向膜 A L 1 は、水平配向性を示す材料によって形成されている。

【 0 0 3 2 】

なお、アレイ基板 A R は、さらに、共通電極 C E の一部を備えていても良い。

【 0 0 3 3 】

対向基板 C T は、光透過性を有する第 2 絶縁基板 2 0 を用いて形成されている。この対向基板 C T は、ブラックマトリクス B M 、カラーフィルタ C F 、オーバーコート層 O C 、共通電極 C E 、第 2 配向膜 A L 2 などを備えている。

30

【 0 0 3 4 】

ブラックマトリクス B M は、各画素 P X を区画し、画素電極 P E と対向する開口部 A P を形成する。すなわち、ブラックマトリクス B M は、ソース配線 S 、ゲート配線 G 、補助容量線 C 、スイッチング素子 S W などの配線部に対向するように配置されている。ここでは、ブラックマトリクス B M は、第 2 方向 Y に沿って延出した部分のみが図示されているが、第 1 方向 X に沿って延出した部分を備えていても良い。このブラックマトリクス B M は、第 2 絶縁基板 2 0 のアレイ基板 A R に対向する内面 2 0 A に配置されている。

【 0 0 3 5 】

カラーフィルタ C F は、各画素 P X に対応して配置されている。すなわち、カラーフィルタ C F は、第 2 絶縁基板 2 0 の内面 2 0 A における開口部 A P に配置されるとともに、その一部がブラックマトリクス B M に乗り上げている。第 1 方向 X に隣接する画素 P X にそれぞれ配置されたカラーフィルタ C F は、互いに色が異なる。例えば、カラーフィルタ C F は、赤色、青色、緑色といった 3 原色にそれぞれ着色された樹脂材料によって形成されている。赤色に着色された樹脂材料からなる赤色カラーフィルタ C F R は、赤色画素に対応して配置されている。青色に着色された樹脂材料からなる青色カラーフィルタ C F B は、青色画素に対応して配置されている。緑色に着色された樹脂材料からなる緑色カラーフィルタ C F G は、緑色画素に対応して配置されている。これらのカラーフィルタ C F 同士の境界は、ブラックマトリクス B M と重なる位置にある。

40

【 0 0 3 6 】

50

オーバーコート層OCは、カラーフィルタCFを覆っている。このオーバーコート層OCは、カラーフィルタCFの表面の凹凸の影響を緩和する。

【0037】

共通電極CEは、オーバーコート層OCのアレイ基板ARと対向する側に形成されている。本実施形態では、この共通電極CEと画素電極PEとの第3方向Zに沿った間隔は略一定である。第3方向Zとは、第1方向X及び第2方向Yに直交する方向、あるいは、液晶表示パネルLPNの法線方向である。

【0038】

第2配向膜AL2は、対向基板CTのアレイ基板ARと対向する面に配置され、アクティブエリアACTの略全体に亘って延在している。この第2配向膜AL2は、共通電極CE及びオーバーコート層OCなどを覆っている。このような第2配向膜AL2は、水平配向性を示す材料によって形成されている。

【0039】

上述したようなアレイ基板ARと対向基板CTとは、それぞれの第1配向膜AL1及び第2配向膜AL2が対向するように配置されている。このとき、アレイ基板ARの第1配向膜AL1と対向基板CTの第2配向膜AL2との間には、例えば、樹脂材料によって一方の基板に一体的に形成された柱状スペーサ（図示せず）により、所定のセルギャップが形成される。アレイ基板ARと対向基板CTとは、所定のセルギャップが形成された状態で、アクティブエリアACTの外側のシール材SBによって貼り合わせられている。

【0040】

液晶層LQは、アレイ基板ARと対向基板CTとの間に形成されたセルギャップに保持され、第1配向膜AL1と第2配向膜AL2との間に配置されている。このような液晶層LQは、例えば、誘電率異方性が正（ポジ型）の液晶材料によって構成されている。

【0041】

アレイ基板ARの外表面、つまり、アレイ基板ARを構成する第1絶縁基板10の外表面10Bには、第1光学素子OD1が接着剤などにより貼付されている。この第1光学素子OD1は、液晶表示パネルLPNのバックライト4と対向する側に位置しており、バックライト4から液晶表示パネルLPNに入射する入射光の偏光状態を制御する。

【0042】

対向基板CTの外表面、つまり、対向基板CTを構成する第2絶縁基板20の外表面20Bには、第2光学素子OD2が接着剤などにより貼付されている。この第2光学素子OD2は、液晶表示パネルLPNの表示面側に位置しており、液晶表示パネルLPNから出射した出射光の偏光状態を制御する。

【0043】

次に、上記構成の液晶表示パネルLPNの動作について、図2及び図3を参照しながら説明する。

【0044】

すなわち、液晶層LQに電圧が印加されていない状態、つまり、画素電極PEと共通電極CEとの間に電位差（あるいは電界）が形成されていない状態（OFF時）には、液晶層LQの液晶分子LMは、その長軸が第1配向膜AL1の第1配向処理方向及び第2配向膜AL2の第2配向処理方向を向くように配向している。このようなOFF時が初期配向状態に相当し、OFF時の液晶分子LMの配向方向が初期配向方向に相当する。

【0045】

なお、厳密には、液晶分子LMは、X-Y平面に平行に配向しているとは限らず、プレチルトしている場合が多い。このため、ここでの液晶分子LMの初期配向方向とは、OFF時の液晶分子LMの長軸をX-Y平面に正射影した方向である。以下では、説明を簡略にするために、液晶分子LMは、X-Y平面に平行に配向しているものとし、X-Y平面と平行な面内で回転するものとして説明する。

【0046】

ここでは、第1配向処理方向及び第2配向処理方向は、ともに第2方向Yと略平行な方

10

20

30

40

50

向である。OFF時においては、液晶分子LMは、図2に破線で示したように、その長軸が第2方向Yと略平行な方向に初期配向する。つまり、液晶分子LMの初期配向方向は、第2方向Yと平行（あるいは、第2方向Yに対して0°）である。

【0047】

第1配向処理方向及び第2配向処理方向が平行且つ同じ向きである場合、液晶層LQの断面において、液晶分子LMは、液晶層LQの中間部付近で略水平（プレチルト角が略ゼロ）に配向し、ここを境界として第1配向膜AL1の近傍及び第2配向膜AL2の近傍において対称となるようなプレチルト角を持って配向する（スプレイ配向）。

【0048】

第1配向処理方向及び第2配向処理方向が互いに平行且つ逆向きである場合、液晶層LQの断面において、液晶分子LMは、第1配向膜AL1の近傍、第2配向膜AL2の近傍、及び、液晶層LQの中間部において略均一なプレチルト角を持って配向する（ホモジニアス配向）。

10

【0049】

図2に示した例では、画素電極PEと左側の主共通電極CAとの間の領域内の液晶分子LMは、第2方向Yに対して時計回りに回転し、図中の左下を向くように配向する。画素電極PEと右側の主共通電極CAとの間の領域内の液晶分子LMは、第2方向Yに対して反時計回りに回転し、図中の右下を向くように配向する。

【0050】

このように、各画素PXにおいて、画素電極PEと共通電極CEとの間に電界が形成された状態では、液晶分子LMの配向方向は、画素電極PEと重なる位置を境界として複数の方向に分かれ、それぞれの配向方向でドメインを形成する。つまり、一画素PXには、複数のドメインが形成される。

20

【0051】

図4は、図1に示した静電気防止回路100の構成の一例に対応した等価回路図である。すなわち、静電気防止回路100は、薄膜トランジスタを含んでいる。図示した例では、静電気防止回路100は、4つの薄膜トランジスタTr1乃至Tr4を含んでいる。静電気防止回路100の一端側において、薄膜トランジスタTr1のゲート電極及びソース電極、及び、薄膜トランジスタTr2のソース電極は互いに接続されている。薄膜トランジスタTr1のドレイン電極は、薄膜トランジスタTr2のゲート電極、薄膜トランジスタTr3のゲート電極、及び、薄膜トランジスタTr4のソース電極に接続されている。薄膜トランジスタTr2のドレイン電極は、薄膜トランジスタTr3のソース電極に接続されている。静電気防止回路100の他端側において、薄膜トランジスタTr3のドレイン電極、薄膜トランジスタTr4のゲート電極及びドレイン電極は互いに接続されている。

30

【0052】

上記静電気防止回路100において、例えば薄膜トランジスタTr1のゲート電極とソース電極とは画素電極PEと同層に配置されたコンタクト電極により電氣的に接続されている。すなわち、薄膜トランジスタTr1のゲート電極はゲート配線Gと同層に配置され例えばAlNdにより形成されている。薄膜トランジスタTr1のソース電極はソース配線と同層に配置され例えばCrにより形成されている。コンタクト電極は、薄膜トランジスタTr1のゲート電極上に配置された層間絶縁膜11、12に設けられたコンタクトホールにおいてゲート電極と電氣的に接続し、ソース電極上に配置された層間絶縁膜12に設けられたコンタクトホールにおいてソース電極と電氣的に接続している。コンタクト電極は画素電極PEと同層に配置され、例えばITO等の光透過性の導電材料により形成されている。

40

【0053】

上記静電気防止回路100は、コモン配線COMと電氣的に接続されている。コモン配線COMは他の配線と比較して配線幅が広く容量が大きいためである。

【0054】

50

図 5 に、静電気防止回路 100 に設けられたコンタクト電極 E B が配置された位置における液晶表示パネル L P N の断面の一構成例（比較例）を示す。コンタクト電極 E B は薄膜トランジスタのゲート電極 E G とソース電極とを電氣的に接続し、画素電極 P E と同層に配置されている。コンタクト電極 E B には、薄膜トランジスタのゲート電極 E G からゲート電位が供給される。薄膜トランジスタのゲート電極 E G は、ゲート線 G と電氣的に接続している（あるいは一体に形成されている）。

【0055】

この比較例の液晶表示パネル L P N を高温多湿（例えば温度が 65 °C であって湿度が 93 %）の環境において、1000 時間継続して動作させて評価試験を行ったところ、静電気防止回路 100 において、腐食が観察される場合があった。さらに、この腐食は、ゲート電位が供給されるコンタクト電極 E B の近傍において顕著であった。

10

【0056】

これは、ゲート電位が供給されるコンタクト電極 E B と、コンタクト電極 E B に対向する共通電極 C E との電位差が大きくなり、電氣的溶融現象が生じたためと考えられる。なお、本実施形態では、ゲート電位が供給されるコンタクト電極 E B と共通電極 C E との電位差は例えば 11.5 V である。

【0057】

電氣的溶融現象とは、液晶比抵抗が低くなりアレイ基板 A R と対向基板 C T との間で電流が流れる現象である。この電氣的溶融現象により導電材料である I T O が溶融し、シール材 S B の外部から吸湿により液晶層 L Q が汚染され、I T O が溶融した部分の下層に配置された A l N d の電喰やブラックマトリクス B M の腐食へと広がったものと考えられる。

20

【0058】

図 6 に、静電気防止回路 100 に配置されたコンタクト電極 E A が配置された位置における液晶表示パネル L P N の断面の一構成例（比較例）を示す。コンタクト電極 E A は薄膜トランジスタのゲート電極 E G とソース電極とを電氣的に接続し、画素電極 P E と同層に配置されている。

【0059】

さらに、コンタクト電極上に配置された配向膜 A L 1 の厚さにより、コンタクト電極の腐食の度合いに差があった。図 5 に示すコンタクト電極 E B の下層にはゲート電極 E G がコンタクト電極 E B の端部を渡って延びている。

30

【0060】

一方、コンタクト電極 E A の下層には、ゲート電極 E G がコンタクト電極 E A の端部まで延びておらず、ゲート電極 E G の端部はコンタクト電極 E A の端部よりも内側に位置している。

【0061】

従って、コンタクト電極 E A の端部はゲート電極 E G の端部上に配置された層間絶縁膜 11、12 の傾斜に沿って配置され、コンタクト電極 E A の端部近傍にはコンタクト電極 E A の厚さに加えてゲート電極 E G の厚さ分の段差が生じる。そのため、コンタクト電極 E A の端部上には、層間絶縁膜 11、12 の傾斜部分において他の部分よりも厚く溜まった配向膜 A L 1 が配置される。

40

【0062】

これに対しコンタクト電極 E B の端部は、層間絶縁膜 11、12 の略平坦な部分の上に配置され、コンタクト電極 E B の端部にはコンタクト電極 E B の厚さ分の段差が生じるのみである。そのため、コンタクト電極 E B の端部上の配向膜 A L 1 は、コンタクト電極 E A 上の配向膜 A L 1 よりも薄くなる。さらに、コンタクト電極 E B の端部が逆テーパ形状であると、配向膜 A L 1 によるカバー状態が悪くなる。

【0063】

本願発明者らは、コンタクト電極 E B の端部のように、上層に配置された配向膜 A L 1 が薄い部分で腐食がさらに顕著であることを見出した。

50

【 0 0 6 4 】

そこで、本実施形態では、少なくともゲート電位が供給されるコンタクト電極 E B の端部と対向する共通電極 C E の部分を除去し、コンタクト電極 E B の端部と共通電極 C E との間に高電位が発生することを回避している。

【 0 0 6 5 】

図 7 に、本実施形態の液晶表示装置において、線 B - B における液晶表示パネル L P N の断面の一構成例を示す。

【 0 0 6 6 】

この例では、上記静電気防止回路 1 0 0 のコンタクト電極 E B の端部と対向する共通電極 C E の部分において電極が除去された電極除去部 C E A が形成されている。

10

【 0 0 6 7 】

図 8 に、本実施形態の液晶表示装置の共通電極 C E の一構成例を示す。共通電極 C E は、アクティブエリア A C T において第 2 方向 Y に延びた電極が所定の間隔を置いて第 1 方向 X に並んだストライプ状のパタンを有している。共通電極 C E は、アクティブエリア A C T の周囲において静電気防止回路 1 0 0 が配置される領域 A と対向する部分には、コンタクト電極 E B の端部と対向する電極が除去された電極除去部 C E A が設けられている。共通電極 C E はアクティブエリア A C T の周囲に配置された導電部材 T R により給電される。

【 0 0 6 8 】

このように、コンタクト電極 E B の端部と対向する部分の共通電極 C E を除去すると、コンタクト電極 R B の端部と共通電極 C E との間の電位差が大きくなることが回避され、したがって電氣的溶融現象が生じることも回避される。その結果、本実施形態によれば、高温多湿のような過酷な環境において長時間使用した場合であっても、回路の腐食等の劣化が生じることなく、信頼性高い液晶表示装置を提供することができる。

20

【 0 0 6 9 】

なお、図 7 および図 8 に示す例では、静電気防止回路 1 0 0 のコンタクト電極 E B の端部と対向する部分にのみ共通電極 C E が除去されていたが、電極除去部 C E A は少なくともゲート電位が供給され、画素電極 P E と同層に配置された電極の端部と対向するように設けられていればよく、静電気防止回路 1 0 0 以外の電極にも適用することができる。その場合でも上記効果を得ることができる。さらに、略平坦な層上に配置された電極の端部と対向する部分に電極除去部 C E A を配置すると、より効果的である。

30

【 0 0 7 0 】

図 9 に、本実施形態の液晶表示装置において、線 B - B における液晶表示パネル L P N の断面の他の構成例を示す。

【 0 0 7 1 】

この例では、静電気防止回路 1 0 0 のコンタクト電極 E B 全体と対向する共通電極 C E の部分において電極が除去された電極除去部 C E A が形成されている。

【 0 0 7 2 】

図 1 0 に、本実施形態の液晶表示装置の共通電極 C E の他の構成例を示す。この例では、共通電極 C E は、アクティブエリア A C T の周囲において静電気防止回路 1 0 0 が配置される領域 A と対向する部分には、コンタクト電極 E B 全体と対向する電極が除去された電極除去部 C E A が設けられている。この点以外は上記図 8 および図 9 に示した例と同様である。

40

【 0 0 7 3 】

このように、コンタクト電極 E B 全体と対向する部分の共通電極 C E を除去した場合も、高温多湿のような過酷な環境において長時間使用した場合であっても、回路の腐食等の劣化が生じることなく、信頼性高い液晶表示装置を提供することができる。

【 0 0 7 4 】

なお、図 9 および図 1 0 に示す例では、静電気防止回路 1 0 0 の全てのコンタクト電極 E B 全体と対向する部分の共通電極 C E が除去されていたが、電極除去部 C E A は少なく

50

ともゲート電位が供給され、画素電極 P E と同層に配置された電極全体と対向するように設けられていればよく、静電気防止回路 1 0 0 以外の電極にも適用可能である。その場合でも上記効果を得ることができる。さらに、略平坦な層上に配置された電極全体と対向する部分に電極除去部 C E A を配置すると、より効果的である。

【 0 0 7 5 】

図 1 1 に、本実施形態の液晶表示装置の共通電極 C E の他の構成例を示す。この例では、共通電極 C E は、アクティブエリア A C T の周囲において静電気防止回路 1 0 0 が配置される領域 A と対向する部分の電極が除去された電極除去部 C E A が設けられている。この点以外は上記図 7 および図 8 に示した例と同様である。

【 0 0 7 6 】

このように領域 A と対向する部分の共通電極 C E を除去した場合も、高温多湿のような過酷な環境において長時間使用した場合であっても、回路の腐食等の劣化が生じることなく、信頼性高い液晶表示装置を提供することができる。

【 0 0 7 7 】

さらに図 1 1 に示すように、共通電極 C E を除去する領域を大きくすると、たとえば製造段階や使用段階において液晶層 L Q に導電性部材が混入した場合に、静電気防止回路 1 0 0 のコンタクト電極と共通電極 C E とが導電性部材により導通することが回避され、表示品位の劣化を回避することが可能となる。

【 0 0 7 8 】

なお、共通電極 C E を除去した電極除去部 C E A を大きくすると、共通電極 C E の電気抵抗が大きくなるため、電極除去部 C E A の大きさは電気抵抗の値を考慮して設計することが望ましい。

【 0 0 7 9 】

また、図 1 1 に示す例では、領域 A と対向する部分と対向する共通電極 C E の部分が除去されていたが、電極除去部 C E A は少なくともゲート電位が供給され、画素電極 P E と同層に配置された電極を含む複数の電極と対向するように設けられていればよく、静電気防止回路 1 0 0 が配置される領域 A 外に設けられてもよい。その場合でも上記効果を得ることができる。

【 0 0 8 0 】

なお、本実施形態によれば、主共通電極 C A は、それぞれソース配線 S と対向している。特に、主共通電極 C A がそれぞれソース配線 S の直上に配置されている場合には、主共通電極 C A がソース配線 S よりも画素電極 P E 側に配置された場合と比較して、開口部 A P を拡大することができ、画素 P X の透過率を向上することが可能となる。

【 0 0 8 1 】

また、主共通電極 C A をそれぞれソース配線 S の直上に配置することによって、画素電極 P E と主共通電極 C A との間の電極間距離を拡大することが可能となり、より水平に近い横電界を形成することが可能となる。このため、従来の構成である I P S モード等の利点である広視野角化も維持することが可能となる。

【 0 0 8 2 】

また、本実施形態によれば、一画素内に複数のドメインを形成することが可能となる。このため、複数の方向で視野角を光学的に補償することができ、広視野角化が可能となる。

【 0 0 8 3 】

また、上記の例では、液晶層 L Q が正（ポジ型）の誘電率異方性を有する液晶材料によって構成された場合について説明したが、液晶層 L Q は、誘電率異方性が負（ネガ型）の液晶材料によって構成されていても良い。

【 0 0 8 4 】

本実施形態において、画素 P X の構造は、図 2 に示した例に限定されるものではない。

【 0 0 8 5 】

共通電極 C E は、上記した主共通電極 C A の他に、第 1 方向 X に沿って延出した副共通

10

20

30

40

50

電極（図示せず）を含んでいてもよい。これらの主共通電極 C A 及び副共通電極は、一体的あるいは連続的に形成されている。副共通電極は、ゲート配線 G の各々と対向している。したがってこの場合には、アクティブエリア A C T における共通電極 C E のパタンは格子状となる。アクティブエリア A C T における共通電極 C E のパタンを格子状とすると、共通電極 C E の電気抵抗をより小さくすることができる。

【 0 0 8 6 】

なお、本実施形態においては、共通電極 C E は、対向基板 C T に備えられた主共通電極 C A に加えて、アレイ基板 A R に備えられ主共通電極 C A と対向する（あるいはソース配線 S と対向する）第 2 主共通電極を備えていても良い。この第 2 主共通電極は、主共通電極 C A と略平行に延出し、しかも、主共通電極 C A と同電位である。このような第 2 主共通電極を設けることにより、ソース配線 S からの不所望な電界をシールドすることが可能である。

10

【 0 0 8 7 】

また、共通電極 C E は、対向基板 C T に備えられた主共通電極 C A に加えて、アレイ基板 A R に備えられゲート配線 G や補助容量線 C と対向する第 2 副共通電極を備えていても良い。この第 2 副共通電極は、主共通電極 C A と交差する方向に延出し、しかも、主共通電極 C A と同電位である。このような第 2 副共通電極を設けたことにより、ゲート配線 G や補助容量線 C からの不所望な電界をシールドすることが可能である。このような第 2 主共通電極や第 2 副共通電極を備えた構成によれば、更なる表示品位の劣化を抑制することが可能となる。

20

【 0 0 8 8 】

以上説明したように、本実施形態によれば、信頼性の高い液晶表示装置を提供することが可能となる。

【 0 0 8 9 】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

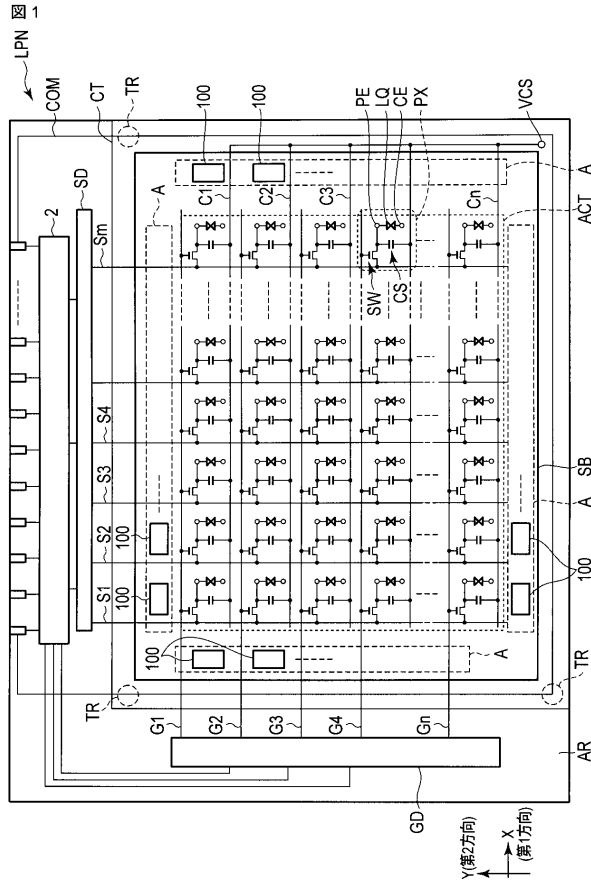
30

【 符号の説明 】

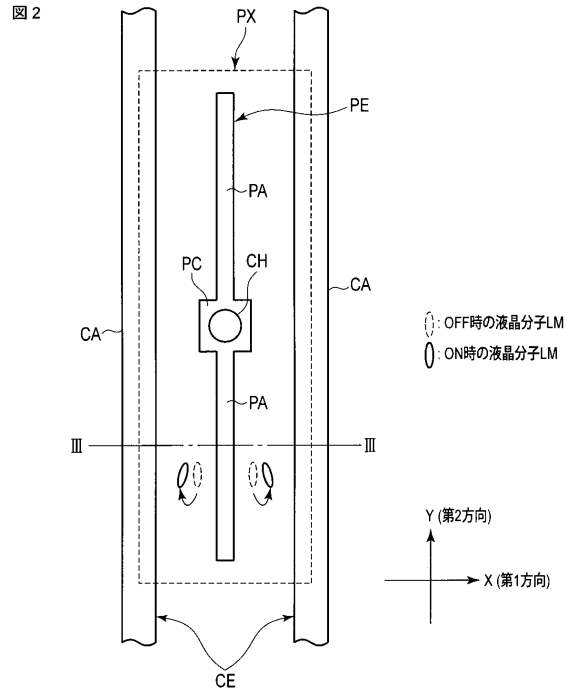
【 0 0 9 0 】

L P N ... 液晶表示パネル、A R ... アレイ基板（第 1 基板）、C T ... 対向基板（第 2 基板）、L Q ... 液晶層、A C T ... アクティブエリア、P X ... 画素、G ... ゲート配線、S ... ソース配線、P E ... 画素電極、C E ... 共通電極、C A ... 主共通電極、S B ... シール材、L M ... 液晶分子、C N T ... コンタクト部、E A、E B ... コンタクト電極、C E A ... 電極除去部、A L 1 ... 第 1 は以降膜、A L 2 ... 第 2 配向膜、1 0、2 0 ... 絶縁基板、1 1、1 2 ... 層間絶縁膜、1 3 ... 平坦化膜、1 0 0 ... 静電気防止回路。

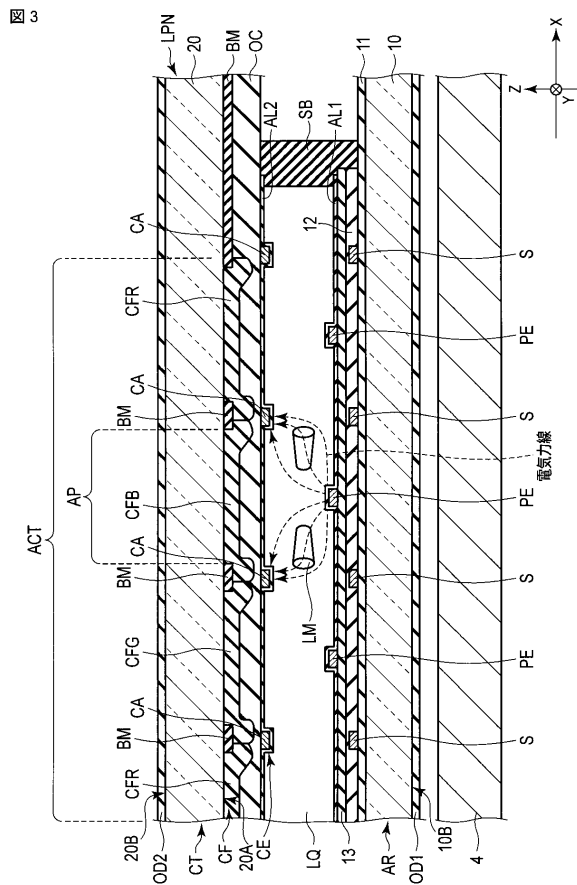
【図 1】



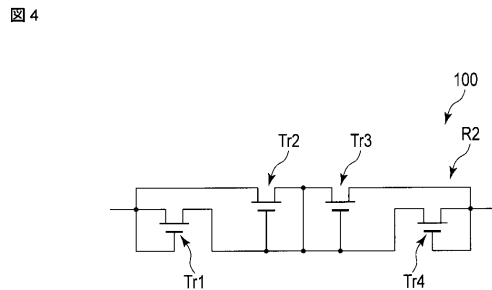
【図 2】



【図 3】



【図 4】



フロントページの続き

(74)代理人 100095441
弁理士 白根 俊郎

(74)代理人 100084618
弁理士 村松 貞男

(74)代理人 100103034
弁理士 野河 信久

(74)代理人 100119976
弁理士 幸長 保次郎

(74)代理人 100153051
弁理士 河野 直樹

(74)代理人 100140176
弁理士 砂川 克

(74)代理人 100158805
弁理士 井関 守三

(74)代理人 100124394
弁理士 佐藤 立志

(74)代理人 100112807
弁理士 岡田 貴志

(74)代理人 100111073
弁理士 堀内 美保子

(74)代理人 100134290
弁理士 竹内 将訓

(72)発明者 米倉 利昌
埼玉県深谷市幡羅町一丁目 9 番地 2 東芝モバイルディスプレイ株式会社内

(72)発明者 野中 正信
埼玉県深谷市幡羅町一丁目 9 番地 2 東芝モバイルディスプレイ株式会社内

(72)発明者 高橋 一博
埼玉県深谷市幡羅町一丁目 9 番地 2 東芝モバイルディスプレイ株式会社内

(72)発明者 化生 正人
埼玉県深谷市幡羅町一丁目 9 番地 2 東芝モバイルディスプレイ株式会社内

F ターム(参考) 2H092 GA13 GA14 GA15 GA29 GA59 JA24 JB05 JB14 JB22 JB31
JB64 JB69 JB79 KA19 NA14 NA17 NA25 PA04 QA06

专利名称(译)	液晶表示装置		
公开(公告)号	JP2013044941A	公开(公告)日	2013-03-04
申请号	JP2011182613	申请日	2011-08-24
申请(专利权)人(译)	有限公司日本展示中心		
[标]发明人	米倉利昌 野中正信 高橋一博 化生正人		
发明人	米倉 利昌 野中 正信 高橋 一博 化生 正人		
IPC分类号	G02F1/1343		
FI分类号	G02F1/1343 G02F1/1368		
F-TERM分类号	2H092/GA13 2H092/GA14 2H092/GA15 2H092/GA29 2H092/GA59 2H092/JA24 2H092/JB05 2H092/JB14 2H092/JB22 2H092/JB31 2H092/JB64 2H092/JB69 2H092/JB79 2H092/KA19 2H092/NA14 2H092/NA17 2H092/NA25 2H092/PA04 2H092/QA06 2H192/AA24 2H192/BA32 2H192/BB32 2H192/BB73 2H192/BC31 2H192/EA22 2H192/EA43 2H192/FA73 2H192/FA81 2H192/FB02 2H192/FB27 2H192/GA03 2H192/GA15 2H192/GA42 2H192/GD12 2H192/JA33		
代理人(译)	河野 哲 中村诚 河野直树 冈田隆		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供具有高可靠性的液晶显示装置。 解决方案：液晶显示装置包括：矩阵排列的多个像素电极PE，沿排列有像素电极PE的行延伸的栅极布线G，沿列延伸的源极布线S，以及多个像素电极PE并且，在区域ACT周围的区域中与像素电极PE设置在同一层中并且施加有栅极电位的电极EB，以及多个像素电极PE第二基板CT包括与周围区域ACT相对的公共电极CE和设置在第一基板AR和第二基板CT之间的第二基板CT，第二基板CT与第一基板AR相对，层LQ和公共电极CT至少在面对电极EB的端部的部分处包括电极去除部分CEA。 点域8

