

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2013-37171

(P2013-37171A)

(43) 公開日 平成25年2月21日 (2013.2.21)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1343 (2006.01)	GO2F 1/1343	2H092
GO2F 1/1335 (2006.01)	GO2F 1/1335 510	2H191

審査請求 未請求 請求項の数 10 O L (全 25 頁)

(21) 出願番号	特願2011-172849 (P2011-172849)	(71) 出願人	302020207
(22) 出願日	平成23年8月8日 (2011.8.8)		株式会社ジャパンディスプレイセントラル
			埼玉県深谷市幡羅町一丁目9番地2
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100159651
			弁理士 高倉 成男
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100075672
			弁理士 峰 隆司

最終頁に続く

(54) 【発明の名称】 液晶表示装置

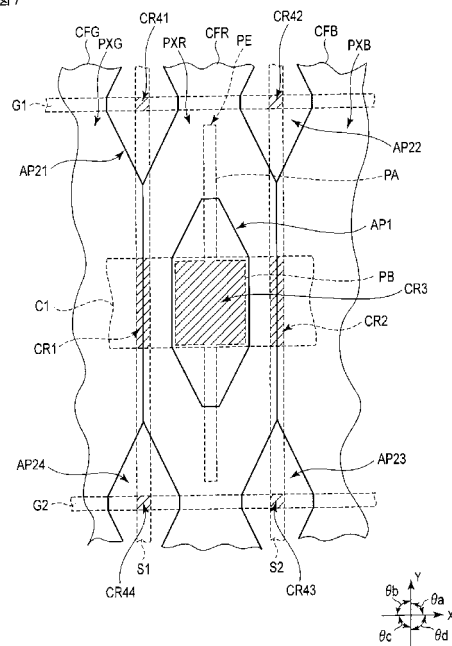
(57) 【要約】

【課題】表示品位の劣化を抑制することが可能な液晶表示装置を提供する。

【解決手段】第1方向に沿ってそれぞれ延出するとともに第1方向に交差する第2方向に沿って間隔をおいて隣接する第1信号配線及び第2信号配線と、第2方向に沿って延出した第3信号配線と、前記第3信号配線と第1方向に沿って間隔をおいて隣接し前記第2信号配線の直上を通り第2方向に沿って延出した第1電極と、を備えた第1基板と、前記第2信号配線と前記第3信号配線との第1交差部から第1方向及び第2方向とは異なる方向に延出したカラーフィルタと、前記第1電極を挟んだ両側で前記第1電極の延出方向と略平行な方向に沿って延出した第2電極と、を備えた第2基板と、前記第1基板と前記第2基板との間に保持された液晶分子を含む液晶層と、を備えたことを特徴とする液晶表示装置。

【選択図】 図7

図7



【特許請求の範囲】**【請求項 1】**

第 1 方向に沿ってそれぞれ延出するとともに第 1 方向に交差する第 2 方向に沿って間隔をおいて隣接する第 1 信号配線及び第 2 信号配線と、第 2 方向に沿って延出した第 3 信号配線と、前記第 3 信号配線と第 1 方向に沿って間隔をおいて隣接し前記第 2 信号配線の直上を通り第 2 方向に沿って延出した第 1 電極と、を備えた第 1 基板と、

前記第 2 信号配線と前記第 3 信号配線との第 1 交差部から第 1 方向及び第 2 方向とは異なる方向に延出したカラーフィルタと、前記第 1 電極を挟んだ両側で前記第 1 電極の延出方向と略平行な方向に沿って延出した第 2 電極と、を備えた第 2 基板と、

前記第 1 基板と前記第 2 基板との間に保持された液晶分子を含む液晶層と、
を備えたことを特徴とする液晶表示装置。

10

【請求項 2】

前記カラーフィルタは、前記第 1 信号配線、前記第 2 信号配線、前記第 3 信号配線、及び、前記第 1 電極よりも内側の透過領域において前記第 2 信号配線と前記第 1 電極との第 2 交差部に対向する位置を取り囲む第 1 開口部を備えたことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記カラーフィルタは、前記透過領域において前記第 1 信号配線と前記第 3 信号配線との第 3 交差部に対向する位置を取り囲む第 2 開口部を備えたことを特徴とする請求項 2 に記載の液晶表示装置。

20

【請求項 4】

前記透過領域は略四角形状であって、

前記第 2 開口部は、前記透過領域において前記第 1 開口部の対角に位置することを特徴とする請求項 3 に記載の液晶表示装置。

【請求項 5】

前記カラーフィルタは、略四角形状の前記透過領域において前記第 1 交差部から対角線上に沿って延出したことを特徴とする請求項 4 に記載の液晶表示装置。

【請求項 6】

第 1 方向に沿ってそれぞれ延出するとともに第 1 方向に交差する第 2 方向に沿って間隔をおいて配置された第 1 信号配線及び第 2 信号配線と、前記第 1 信号配線と前記第 2 信号配線との間に位置し第 1 方向に沿って延出した第 3 信号配線と、第 2 方向に沿ってそれぞれ延出するとともに第 1 方向に沿って間隔をおいて隣接する第 4 信号配線及び第 5 信号配線と、前記第 4 信号配線と前記第 5 信号配線との間に位置し前記第 3 信号配線の直上を通り第 2 方向に沿って延出した第 1 電極と、を備えた第 1 基板と、

30

前記第 1 信号配線、前記第 2 信号配線、前記第 4 信号配線、及び、前記第 5 信号配線によって区画された領域において前記第 3 信号配線と前記第 1 電極との交差部に対向する位置を取り囲む第 1 開口部を備えたカラーフィルタと、前記第 1 電極を挟んだ両側で前記第 1 電極の延出方向と略平行な方向に沿って延出した第 2 電極と、を備えた第 2 基板と、

前記第 1 基板と前記第 2 基板との間に保持された液晶分子を含む液晶層と、
を備えたことを特徴とする液晶表示装置。

40

【請求項 7】

前記第 3 信号配線は、前記第 1 信号配線と前記第 2 信号配線との略中間に位置し、

前記カラーフィルタは、前記第 1 信号配線、前記第 2 信号配線、前記第 4 信号配線、及び、前記第 5 信号配線によって区画された領域においてドーナツ状に形成されたことを特徴とする請求項 6 に記載の液晶表示装置。

【請求項 8】

前記第 3 信号配線は、前記第 1 信号配線よりも前記第 2 信号配線の側に偏在し、

前記カラーフィルタは、前記第 1 信号配線、前記第 2 信号配線、前記第 4 信号配線、及び、前記第 5 信号配線によって区画された領域において U 字状に形成されたことを特徴とする請求項 6 に記載の液晶表示装置。

50

【請求項 9】

前記カラーフィルタは、さらに、前記第 1 信号配線と前記第 4 信号配線及び前記第 5 信号配線との交差部、及び、前記第 2 信号配線と前記第 4 信号配線及び前記第 5 信号配線との交差部にそれぞれ対向する位置を取り囲む第 2 開口部を備えたことを特徴とする請求項 6 乃至 8 のいずれか 1 項に記載の液晶表示装置。

【請求項 10】

さらに、前記第 1 基板の外面に配置され第 1 吸収軸を有する第 1 偏光板と、
前記第 2 基板の外面に配置され前記第 1 吸収軸とクロスニコルの位置関係にある第 2 吸収軸を有する第 2 偏光板と、を備え、

前記第 1 吸収軸は、前記第 1 電極の延出方向と略平行であるまたは略直交することを特徴とする請求項 1 乃至 9 のいずれか 1 項に記載の液晶表示装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、液晶表示装置に関する。

【背景技術】

【0002】

近年、平面表示装置が盛んに開発されており、中でも液晶表示装置は、軽量、薄型、低消費電力等の利点から特に注目を集めている。特に、各画素にスイッチング素子を組み込んだアクティブマトリクス型液晶表示装置においては、IPS (In - Plane Switching) モードや FFS (Fringe Field Switching) モードなどの横電界 (フリンジ電界も含む) を利用した構造が注目されている。このような横電界モードの液晶表示装置は、アレイ基板に形成された画素電極と対向電極とを備え、アレイ基板の主面に対してほぼ平行な横電界で液晶分子をスイッチングする。

20

【0003】

一方で、アレイ基板に形成された画素電極と、対向基板に形成された対向電極との間に、横電界あるいは斜め電界を形成し、液晶分子をスイッチングする技術も提案されている。

【先行技術文献】

【特許文献】

30

【0004】

【特許文献 1】特開 2009 - 192822 号公報

【特許文献 2】特開平 9 - 160041 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本実施形態の目的は、表示品位の劣化を抑制することが可能な液晶表示装置を提供することにある。

【課題を解決するための手段】

【0006】

40

本実施形態によれば、

第 1 方向に沿ってそれぞれ延出するとともに第 1 方向に交差する第 2 方向に沿って間隔をおいて隣接する第 1 信号配線及び第 2 信号配線と、第 2 方向に沿って延出した第 3 信号配線と、前記第 3 信号配線と第 1 方向に沿って間隔をおいて隣接し前記第 2 信号配線の直上を通り第 2 方向に沿って延出した第 1 電極と、を備えた第 1 基板と、前記第 2 信号配線と前記第 3 信号配線との第 1 交差部から第 1 方向及び第 2 方向とは異なる方向に延出したカラーフィルタと、前記第 1 電極を挟んだ両側で前記第 1 電極の延出方向と略平行な方向に沿って延出した第 2 電極と、を備えた第 2 基板と、前記第 1 基板と前記第 2 基板との間に保持された液晶分子を含む液晶層と、を備えたことを特徴とする液晶表示装置が提供される。

50

【 0 0 0 7 】

本実施形態によれば、

第 1 方向に沿ってそれぞれ延出するとともに第 1 方向に交差する第 2 方向に沿って間隔をおいて配置された第 1 信号配線及び第 2 信号配線と、前記第 1 信号配線と前記第 2 信号配線との間に位置し第 1 方向に沿って延出した第 3 信号配線と、第 2 方向に沿ってそれぞれ延出するとともに第 1 方向に沿って間隔をおいて隣接する第 4 信号配線及び第 5 信号配線と、前記第 4 信号配線と前記第 5 信号配線との間に位置し前記第 3 信号配線の直上を通り第 2 方向に沿って延出した第 1 電極と、を備えた第 1 基板と、前記第 1 信号配線、前記第 2 信号配線、前記第 4 信号配線、及び、前記第 5 信号配線によって区画された領域において前記第 3 信号配線と前記第 1 電極との交差部に対向する位置を取り囲む第 1 開口部を備えたカラーフィルタと、前記第 1 電極を挟んだ両側で前記第 1 電極の延出方向と略平行な方向に沿って延出した第 2 電極と、を備えた第 2 基板と、前記第 1 基板と前記第 2 基板との間に保持された液晶分子を含む液晶層と、を備えたことを特徴とする液晶表示装置が提供される。

10

【 図面の簡単な説明 】

【 0 0 0 8 】

【 図 1 】 図 1 は、本実施形態における液晶表示装置の構成及び等価回路を概略的に示す図である。

【 図 2 】 図 2 は、図 1 に示したアレイ基板を対向基板側から見たときの一画素の構造例を概略的に示す平面図である。

20

【 図 3 】 図 3 は、図 1 に示した対向基板における一画素の構造例を概略的に示す平面図である。

【 図 4 】 図 4 は、図 2 の A - A 線で切断した液晶表示パネルの断面構造を概略的に示す断面図である。

【 図 5 】 図 5 は、図 2 の B - B 線で切断した液晶表示パネルの断面構造を概略的に示す断面図である。

【 図 6 】 図 6 は、一画素において、黒表示、低階調表示、中間調表示、及び、高階調表示（白表示）を行った際のそれぞれの光の透過状態を示す図である。

【 図 7 】 図 7 は、本実施形態におけるカラーフィルタの形状を概略的に示す平面図である。

30

【 図 8 】 図 8 は、各カラーフィルタの分光透過率、及び、開口部での分光透過率の一例を示す図である。

【 図 9 】 図 9 は、本実施形態のカラーフィルタを適用した場合の低階調表示の際の色再現範囲及び高階調表示の際の色再現範囲の一例を示す色度図である。

【 図 1 0 】 図 1 0 は、本実施形態におけるカラーフィルタの他の形状を概略的に示す平面図である。

【 発明を実施するための形態 】

【 0 0 0 9 】

以下、本実施形態について、図面を参照しながら詳細に説明する。なお、各図において、同一又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する説明は省略する。

40

【 0 0 1 0 】

図 1 は、本実施形態における液晶表示装置の構成及び等価回路を概略的に示す図である。

【 0 0 1 1 】

すなわち、液晶表示装置は、アクティブマトリクスタイプの液晶表示パネル L P N を備えている。液晶表示パネル L P N は、第 1 基板であるアレイ基板 A R と、アレイ基板 A R に対向して配置された第 2 基板である対向基板 C T と、これらのアレイ基板 A R と対向基板 C T との間に保持された液晶層 L Q と、を備えている。このような液晶表示パネル L P N は、画像を表示するアクティブエリア A C T を備えている。このアクティブエリア A C

50

Tは、 $m \times n$ 個のマトリクス状に配置された複数の画素PXによって構成されている（但し、 m 及び n は正の整数である）。

【0012】

液晶表示パネルLPNは、アクティブエリアACTにおいて、 n 本のゲート配線G（ $G_1 \sim G_n$ ）、 n 本の補助容量線C（ $C_1 \sim C_n$ ）、 m 本のソース配線S（ $S_1 \sim S_m$ ）などを備えている。ゲート配線G及び補助容量線Cは、例えば、第1方向Xに沿って略直線的に延出した信号配線に相当する。これらのゲート配線G及び補助容量線Cは、第1方向Xに交差する第2方向Yに沿って間隔をおいて隣接し、交互に並列配置されている。ここでは、第1方向Xと第2方向Yとは互いに略直交している。ソース配線Sは、ゲート配線G及び補助容量線Cと交差している。ソース配線Sは、第2方向Yに沿って略直線的に延出した信号配線に相当する。なお、ゲート配線G、補助容量線C、及び、ソース配線Sは、必ずしも直線的に延出していなくても良く、それらの一部が屈曲していてもよい。

10

【0013】

各ゲート配線Gは、アクティブエリアACTの外側に引き出され、ゲートドライバGDに接続されている。各ソース配線Sは、アクティブエリアACTの外側に引き出され、ソースドライバSDに接続されている。これらのゲートドライバGD及びソースドライバSDの少なくとも一部は、例えば、アレイ基板ARに形成され、コントローラを内蔵した駆動ICチップ2と接続されている。

【0014】

各画素PXは、スイッチング素子SW、画素電極PE、共通電極CEなどを備えている。保持容量Csは、例えば補助容量線Cと画素電極PEとの間に形成される。補助容量線Cは、補助容量電圧が印加される電圧印加部VCSと電氣的に接続されている。

20

【0015】

なお、本実施形態においては、液晶表示パネルLPNは、画素電極PEがアレイ基板ARに形成される一方で共通電極CEの少なくとも一部が対向基板CTに形成された構成であり、これらの画素電極PEと共通電極CEとの間に形成される電界を主に利用して液晶層LQの液晶分子をスイッチングする。画素電極PEと共通電極CEとの間に形成される電界は、第1方向Xと第2方向Yとで規定されるX-Y平面あるいは基板主面に対してわずかに傾いた斜め電界（あるいは、基板主面にほぼ平行な横電界）である。

【0016】

スイッチング素子SWは、例えば、 n チャネル薄膜トランジスタ（TFT）によって構成されている。このスイッチング素子SWは、ゲート配線G及びソース配線Sと電氣的に接続されている。このようなスイッチング素子SWは、トップゲート型あるいはボトムゲート型のいずれであっても良い。また、スイッチング素子SWの半導体層は、例えば、ポリシリコンによって形成されているが、アモルファスシリコンによって形成されていても良い。

30

【0017】

画素電極PEは、各画素PXに配置され、スイッチング素子SWに電氣的に接続されている。共通電極CEは、液晶層LQを介して複数の画素PXの画素電極PEに対して共通に配置されている。このような画素電極PE及び共通電極CEは、例えば、インジウム・ティン・オキサイド（ITO）やインジウム・ジंक・オキサイド（IZO）などの光透過性を有する導電材料によって形成されているが、アルミニウムなどの他の金属材料によって形成されても良い。

40

【0018】

アレイ基板ARは、共通電極CEに電圧を印加するための給電部VSを備えている。この給電部VSは、例えば、アクティブエリアACTの外側に形成されている。共通電極CEは、アクティブエリアACTの外側に引き出され、図示しない導電部材を介して、給電部VSと電氣的に接続されている。

【0019】

図2は、図1に示したアレイ基板ARを対向基板側から見たときの一画素PXの構造例

50

を概略的に示す平面図である。ここでは、X - Y 平面における平面図を示している。

【 0 0 2 0 】

アレイ基板 A R は、ゲート配線 G 1、ゲート配線 G 2、補助容量線 C 1、ソース配線 S 1、ソース配線 S 2、スイッチング素子 S W、画素電極 P E、第 1 配向膜 A L 1 などを備えている。図示した例では、アレイ基板 A R は、さらに、共通電極 C E の一部を備えている。

【 0 0 2 1 】

図示した例では、画素 P X は、破線で示したように、第 1 方向 X に沿った長さが第 2 方向 Y に沿った長さよりも短い長方形形状である。ゲート配線 G 1 及びゲート配線 G 2 は、第 2 方向 Y に沿って間隔をおいて配置され、それぞれ第 1 方向 X に沿って延出している。補助容量線 C 1 は、ゲート配線 G 1 とゲート配線 G 2 との間に位置し、第 1 方向 X に沿って延出している。ソース配線 S 1 及びソース配線 S 2 は、第 1 方向 X に沿って間隔をおいて隣接し、第 2 方向 Y に沿って延出している。

10

【 0 0 2 2 】

図示した画素 P X において、ソース配線 S 1 は左側端部に配置され、ソース配線 S 2 は右側端部に配置されている。厳密には、ソース配線 S 1 は当該画素 P X とその左側に隣接する画素との境界に跨って配置され、ソース配線 S 2 は当該画素 P X とその右側に隣接する画素との境界に跨って配置されている。また、画素 P X において、ゲート配線 G 1 は上側端部に配置され、ゲート配線 G 2 は下側端部に配置されている。厳密には、ゲート配線 G 1 は当該画素 P X とその上側に隣接する画素との境界に跨って配置され、ゲート配線 G 2 は当該画素 P X とその下側に隣接する画素との境界に跨って配置されている。補助容量線 C 1 は、例えば、ゲート配線 G 1 とゲート配線 G 2 との略中間に位置している。つまり、補助容量線 C 1 は、ゲート配線 G 1 と第 2 方向 Y に沿って間隔をおいて隣接するとともに、ゲート配線 G 2 と第 2 方向 Y に沿って間隔をおいて隣接しており、補助容量線 C 1 とゲート配線 G 1 との第 2 方向 Y に沿った間隔は、補助容量線 C 1 とゲート配線 G 2 との第 2 方向 Y に沿った間隔と略同等である。

20

【 0 0 2 3 】

画素電極 P E は、隣接するソース配線 S 1 とソース配線 S 2 との間に配置されている。また、この画素電極 P E は、補助容量線 C 1 の直上を通りゲート配線 G 1 とゲート配線 G 2 との間に位置している。

30

【 0 0 2 4 】

スイッチング素子 S W は、図示した例では、ゲート配線 G 1 及びソース配線 S 1 に電氣的に接続されている。このスイッチング素子 S W は、ゲート配線 G 1 とソース配線 S 1 の交点に設けられている。スイッチング素子 S W のゲート電極 W G はゲート配線 G 1 と電氣的に接続され、ソース電極 W S はソース配線 S 1 と電氣的に接続され、ソース配線 S 1 及び補助容量線 C 1 に沿って延長されたドレイン配線に接続されたドレイン電極 W D は補助容量線 C 1 と重なる領域に形成されたコンタクトホール C H を介して画素電極 P E と電氣的に接続されている。このようなスイッチング素子 S W は、ソース配線 S 1 及び補助容量線 C 1 と重なる領域に設けられ、ソース配線 S 1 及び補助容量線 C 1 と重なる領域からほとんどはみ出すことはなく、表示に寄与する開口部の面積の低減を抑制している。

40

【 0 0 2 5 】

画素電極 P E は、互いに電氣的に接続された主画素電極 P A 及び副画素電極 P B を備えている。主画素電極 P A は、副画素電極 P B から画素 P X の上側端部付近及び下側端部付近まで第 2 方向 Y に沿って直線的に延出している。このような主画素電極 P A は、第 1 方向 X に沿って略同一の幅を有する帯状に形成されている。

【 0 0 2 6 】

副画素電極 P B は、補助容量線 C 1 と重なる領域に位置し、コンタクトホール C H を介してスイッチング素子 S W と電氣的に接続されている。この副画素電極 P B は、第 1 方向 X に沿って主画素電極 P A の幅よりも幅広に形成されている。また、この副画素電極 P B は、補助容量線 C 1 とソース配線 S 1 とが交差する交差部 C R 1 と、補助容量線 C 1 とソ

50

ース配線 S 2 とが交差する交差部 C R 2 との間に位置している。なお、これらの交差部 C R 1 及び交差部 C R 2 は、図中の斜線で示した領域である。

【 0 0 2 7 】

このような画素電極 P E は、ソース配線 S 1 とソース配線 S 2 との略中間の位置、つまり、画素 P X の中央に配置されている。換言すると、ソース配線 S 1 及びソース配線 S 2 は、画素電極 P E を挟んだ両側に位置している。ソース配線 S 1 と主画素電極 P A との第 1 方向 X に沿った間隔は、ソース配線 S 2 と主画素電極 P A との第 1 方向 X に沿った間隔と略同等である。

【 0 0 2 8 】

共通電極 C E は、アレイ基板 A R に第 1 主共通電極 C A 1 及び第 1 副共通電極 C B 1 を備えている。これらの第 1 主共通電極 C A 1 及び第 1 副共通電極 C B 1 は、互いに電氣的に接続されている。

【 0 0 2 9 】

第 1 主共通電極 C A 1 は、X - Y 平面内において、主画素電極 P A を挟んだ両側で主画素電極 P A の延出方向と略平行な第 2 方向 Y に沿って直線的に延出している。あるいは、第 1 主共通電極 C A 1 は、ソース配線 S とそれぞれ対向するとともに主画素電極 P A の延出方向と略平行に延出している。このような第 1 主共通電極 C A 1 は、第 1 方向 X に沿って略同一の幅を有する帯状に形成されている。また、このような第 1 主共通電極 C A 1 は、副画素電極 P B を挟む両側で途切れている。つまり、第 1 主共通電極 C A 1 は、交差部 C R 1 及び交差部 C R 2 で途切れている。

【 0 0 3 0 】

図示した例では、第 1 主共通電極 C A 1 は、第 1 方向 X に間隔をおいて 2 本平行に並んでおり、画素 P X の左右両端部にそれぞれ配置されている。以下では、これらの第 1 主共通電極 C A 1 を区別するために、図中の左側の第 1 主共通電極を C A L 1 と称し、図中の右側の第 1 主共通電極を C A R 1 と称する。第 1 主共通電極 C A L 1 は、交差部 C R 1 で途切れ、その他の位置ではソース配線 S 1 と対向している。第 1 主共通電極 C A R 1 は、交差部 C R 2 で途切れ、その他の位置ではソース配線 S 2 と対向している。

【 0 0 3 1 】

画素 P X において、第 1 主共通電極 C A L 1 は左側端部に配置され、第 1 主共通電極 C A R 1 は右側端部に配置されている。厳密には、第 1 主共通電極 C A L 1 は当該画素 P X とその左側に隣接する画素との境界に跨って配置され、第 1 主共通電極 C A R 1 は当該画素 P X とその右側に隣接する画素との境界に跨って配置されている。

【 0 0 3 2 】

第 1 副共通電極 C B 1 は、X - Y 平面内において、画素電極 P E を挟んだ両側で副画素電極 P B の延出方向と略平行な第 1 方向 X に沿って直線的に延出している。あるいは、第 1 副共通電極 C B 1 は、ゲート配線 G とそれぞれ対向するとともに副画素電極 P B の延出方向と略平行に延出している。このような第 1 副共通電極 C B 1 は、帯状に形成されている。第 1 副共通電極 C B 1 の第 2 方向 Y に沿った幅については、必ずしも一定でなくても良い。また、この第 1 副共通電極 C B 1 は、第 1 主共通電極 C A 1 と一体的あるいは連続的に形成され、第 1 主共通電極 C A 1 と電氣的に接続されている。

【 0 0 3 3 】

図示した例では、第 1 副共通電極 C B 1 は、第 2 方向 Y に間隔をおいて 2 本平行に並んでおり、画素 P X の上下両端部にそれぞれ配置されている。以下では、これらの第 1 副共通電極 C B 1 を区別するために、図中の上側の第 1 副共通電極を C B U 1 と称し、図中の下側の第 1 副共通電極を C B B 1 と称する。第 1 副共通電極 C B U 1 は、途中で途切れることなくゲート配線 G 1 と対向している。第 1 副共通電極 C B B 1 は、途中で途切れることなくゲート配線 G 2 と対向している。

【 0 0 3 4 】

画素 P X において、第 1 副共通電極 C B U 1 は上側端部に配置され、第 1 副共通電極 C B B 1 は下側端部に配置されている。厳密には、第 1 副共通電極 C B U 1 は当該画素 P X

10

20

30

40

50

とその上側に隣接する画素との境界に跨って配置され、第 1 副共通電極 C B B 1 は当該画素 P X とその下側に隣接する画素との境界に跨って配置されている。

【 0 0 3 5 】

画素電極 P E と共通電極 C E との位置関係に着目すると、以下の関係が言える。

【 0 0 3 6 】

X - Y 平面内において、主画素電極 P A と第 1 主共通電極 C A 1 とは、第 1 方向 X に沿って交互に配置されている。これらの主画素電極 P A と第 1 主共通電極 C A 1 とは、互いに略平行に配置されている。このとき、X - Y 平面内において、第 1 主共通電極 C A 1 のいずれも画素電極 P E とは重ならない。すなわち、第 1 方向 X に沿って間隔をおいて隣接する第 1 主共通電極 C A L 1 及び第 1 主共通電極 C A R 1 の間には、1 本の主画素電極 P A が位置している。換言すると、第 1 主共通電極 C A L 1 及び第 1 主共通電極 C A R 1 は、主画素電極 P A を挟んだ両側に配置されている。このため、第 1 主共通電極 C A L 1、主画素電極 P A、及び、第 1 主共通電極 C A R 1 は、第 1 方向 X に沿ってこの順に配置されている。

10

【 0 0 3 7 】

これらの主画素電極 P A と第 1 主共通電極 C A 1 との第 1 方向 X に沿った間隔は略一定である。すなわち、第 1 主共通電極 C A L 1 と主画素電極 P A との第 1 方向 X に沿った間隔は、第 1 主共通電極 C A R 1 と主画素電極 P A との第 1 方向 X に沿った間隔と略同等である。

【 0 0 3 8 】

20

また、X - Y 平面内において、副画素電極 P B と第 1 副共通電極 C B 1 とは、第 2 方向 Y に沿って交互に配置されている。これらの副画素電極 P B と第 1 副共通電極 C B 1 とは、互いに略平行に配置されている。このとき、X - Y 平面内において、第 1 副共通電極 C B 1 のいずれも画素電極 P E とは重ならない。すなわち、第 2 方向 Y に沿って間隔をおいて隣接する第 1 副共通電極 C B U 1 及び第 1 副共通電極 C B B 1 の間には、1 本の副画素電極 P B が位置している。換言すると、第 1 副共通電極 C B U 1 及び第 1 副共通電極 C B B 1 は、副画素電極 P B を挟んだ両側に配置されている。このため、第 1 副共通電極 C B B 1、副画素電極 P B、及び、第 1 副共通電極 C B U 1 は、第 2 方向 Y に沿ってこの順に配置されている。

【 0 0 3 9 】

30

図 3 は、図 1 に示した対向基板 C T における一画素 P X の構造例を概略的に示す平面図である。ここでは、X - Y 平面における平面図を示している。なお、ここでは、説明に必要な構成のみを図示し、また、アレイ基板に備えられた画素電極 P E と、第 1 主共通電極 C A 1 及び第 1 副共通電極 C B 1 とを破線で示している。

【 0 0 4 0 】

共通電極 C E は、対向基板 C T に第 2 主共通電極 C A 2 及び第 2 副共通電極 C B 2 を備えている。これらの第 2 主共通電極 C A 2 及び第 2 副共通電極 C B 2 は、互いに電氣的に接続されている。また、これらの第 2 主共通電極 C A 2 及び第 2 副共通電極 C B 2 は、例えば、アクティブエリアの外側などにおいて、アレイ基板に備えられた第 1 主共通電極 C A 1 及び第 1 副共通電極 C B 1 と電氣的に接続されている。

40

【 0 0 4 1 】

第 2 主共通電極 C A 2 は、X - Y 平面内において、主画素電極 P A を挟んだ両側で主画素電極 P A の延出方向と略平行な第 2 方向 Y に沿って直線的に延出している。あるいは、第 2 主共通電極 C A 2 は、第 1 主共通電極 C A 1 とそれぞれ対向するとともに主画素電極 P A の延出方向と略平行に延出している。このような第 2 主共通電極 C A 2 は、第 1 方向 X に沿って略同一の幅を有する帯状に形成されている。

【 0 0 4 2 】

図示した例では、第 2 主共通電極 C A 2 は、第 1 方向 X に間隔をおいて 2 本平行に並んでおり、画素 P X の左右両端部にそれぞれ配置されている。以下では、これらの第 2 主共通電極 C A 2 を区別するために、図中の左側の第 2 主共通電極を C A L 2 と称し、図中の

50

右側の第2主共通電極をCAR2と称する。第2主共通電極CAL2は、途中で途切れることなく第1主共通電極CAL1と対向している。第2主共通電極CAR2は、途中で途切れることなく第1主共通電極CAR1と対向している。

【0043】

画素PXにおいて、第2主共通電極CAL2は左側端部に配置され、第2主共通電極CAR2は右側端部に配置されている。厳密には、第2主共通電極CAL2は当該画素PXとその左側に隣接する画素との境界に跨って配置され、第2主共通電極CAR2は当該画素PXとその右側に隣接する画素との境界に跨って配置されている。

【0044】

第2副共通電極CB2は、X-Y平面内において、画素電極PEを挟んだ両側で副画素電極PBの延出方向と略平行な第1方向Xに沿って直線的に延出している。あるいは、第2副共通電極CB2は、第1副共通電極CB1とそれぞれ対向するとともに副画素電極PBの延出方向と略平行に延出している。このような第2副共通電極CB2は、第2方向Yに沿って略同一の幅を有する帯状に形成されている。また、この第2副共通電極CB2は、第2主共通電極CA2と一体的あるいは連続的に形成され、第2主共通電極CA2と電氣的に接続されている。つまり、対向基板CTにおいては、共通電極CEは格子状に形成されている。

【0045】

図示した例では、第2副共通電極CB2は、第2方向Yに間隔をおいて2本平行に並んでおり、画素PXの上下両端部にそれぞれ配置されている。以下では、これらの第2副共通電極CB2を区別するために、図中の上側の第2副共通電極をCBU2と称し、図中の下側の第2副共通電極をCBB2と称する。第2副共通電極CBU2は、途中で途切れることなく第1副共通電極CBU1と対向している。第2副共通電極CBB2は、途中で途切れることなく第1副共通電極CBB2と対向している。

【0046】

画素PXにおいて、第2副共通電極CBU2は上側端部に配置され、第2副共通電極CBB2は下側端部に配置されている。厳密には、第2副共通電極CBU2は当該画素PXとその上側に隣接する画素との境界に跨って配置され、第2副共通電極CBB2は当該画素PXとその下側に隣接する画素との境界に跨って配置されている。

【0047】

図4は、図2のA-A線で切断した液晶表示パネルLPNの断面構造を概略的に示す断面図である。図5は、図2のB-B線で切断した液晶表示パネルLPNの断面構造を概略的に示す断面図である。なお、ここでは、説明に必要な箇所のみを図示している。

【0048】

液晶表示パネルLPNを構成するアレイ基板ARの背面側には、バックライト4が配置されている。バックライト4としては、種々の形態が適用可能であり、また、光源として発光ダイオード(LED)を利用したものや冷陰極管(CCL)を利用したものなどのいずれでも適用可能であり、詳細な構造については説明を省略する。

【0049】

アレイ基板ARは、光透過性を有する第1絶縁基板10を用いて形成されている。このアレイ基板ARは、第1絶縁基板10の内側においてゲート配線G1、ゲート配線G2、補助容量線C1、ソース配線S1、ソース配線S2、画素電極PE、共通電極CE、第1絶縁膜11、第2絶縁膜12、第3絶縁膜13、第1配向膜AL1などを備えている。

【0050】

ゲート配線G1、ゲート配線G2、及び、補助容量線C1は、第1絶縁膜11の上に形成され、第2絶縁膜12によって覆われている。ソース配線S1及びソース配線S2は、第2絶縁膜12の上に形成され、第3絶縁膜13によって覆われている。つまり、第2絶縁膜12は、ゲート配線G1、ゲート配線G2、補助容量線C1と、ソース配線S1、ソース配線S2との間の層間絶縁膜に相当する。

【0051】

10

20

30

40

50

画素電極 P E の主画素電極 P A や、共通電極 C E の第 1 主共通電極 C A L 1、第 1 主共通電極 C A R 1、第 1 副共通電極 C B B 1 などは、同一絶縁膜の上面、すなわち、第 3 絶縁膜 1 3 の上面に形成されているが、それぞれ離間している。主画素電極 P A は、隣接するソース配線 S 1 及びソース配線 S 2 のそれぞれの直上の位置よりもそれらの内側に位置している。第 1 主共通電極 C A L 1 は、ソース配線 S 1 の直上に位置している。第 1 主共通電極 C A R 1 は、ソース配線 S 2 の直上に位置している。第 1 副共通電極 C B B 1 は、ゲート配線 G 2 の直上に位置している。図示しない第 1 副共通電極 C B U 1 は、ゲート配線 G 1 の直上に位置している。

【 0 0 5 2 】

第 1 配向膜 A L 1 は、アレイ基板 A R の対向基板 C T と対向する面に配置され、アクティブエリア A C T の略全体に亘って延在している。この第 1 配向膜 A L 1 は、画素電極 P E の主画素電極 P A や共通電極 C E の第 1 主共通電極 C A L 1、第 1 主共通電極 C A R 1、第 1 副共通電極 C B B 1 などを覆っており、第 3 絶縁膜 1 3 の上にも配置されている。このような第 1 配向膜 A L 1 は、水平配向性を示す材料によって形成されている。

10

【 0 0 5 3 】

対向基板 C T は、光透過性を有する第 2 絶縁基板 2 0 を用いて形成されている。この対向基板 C T は、第 2 絶縁基板 2 0 の内側、つまり、アレイ基板 A R と対向する側においてブラックマトリクス B M、カラーフィルタ C F、オーバーコート層 O C、共通電極 C E、第 2 配向膜 A L 2 などを備えている。

20

【 0 0 5 4 】

ブラックマトリクス B M は、各画素 P X を区画する。すなわち、ブラックマトリクス B M は、ソース配線 S、ゲート配線 G、補助容量線、スイッチング素子などの配線部に対向するように配置されている。ここに示した例では、ブラックマトリクス B M は、ソース配線 S 1 及びソース配線 S 2 の上方に位置し第 2 方向 Y に沿って延出した部分と、ゲート配線 G 2 及び図示しないゲート配線 G 1 の上方に位置し第 1 方向 X に沿って延出した部分を備えている。このブラックマトリクス B M は、第 2 絶縁基板 2 0 のアレイ基板 A R に対向する内面 2 0 A に配置されている。

【 0 0 5 5 】

カラーフィルタ C F は、各画素 P X に対応して配置されている。すなわち、カラーフィルタ C F は、第 2 絶縁基板 2 0 の内面 2 0 A においてブラックマトリクス B M によって区画された内側に配置されるとともに、その一部がブラックマトリクス B M に乗り上げている。第 1 方向 X に隣接する画素 P X にそれぞれ配置されたカラーフィルタ C F は、互いに色が異なる。例えば、カラーフィルタ C F は、赤色、青色、緑色といった 3 原色にそれぞれ着色された樹脂材料によって形成されている。赤色に着色された樹脂材料からなる赤色カラーフィルタは、赤色画素に対応して配置されている。青色に着色された樹脂材料からなる青色カラーフィルタは、青色画素に対応して配置されている。緑色に着色された樹脂材料からなる緑色カラーフィルタは、緑色画素に対応して配置されている。これらのカラーフィルタ C F 同士の境界は、ブラックマトリクス B M と重なる位置にある。

30

【 0 0 5 6 】

オーバーコート層 O C は、カラーフィルタ C F を覆っている。このオーバーコート層 O C は、カラーフィルタ C F の表面の凹凸の影響を緩和する。

40

【 0 0 5 7 】

共通電極の第 2 主共通電極 C A L 2、第 2 主共通電極 C A R 2、第 2 副共通電極 C B B 2 などは、オーバーコート層 O C のアレイ基板 A R と対向する側に形成され、いずれもブラックマトリクス B M の直下に位置している。第 2 主共通電極 C A L 2 は、第 1 主共通電極 C A L 1 の直上に位置している。第 2 主共通電極 C A R 2 は、第 1 主共通電極 C A R 1 の直上に位置している。第 2 副共通電極 C B B 2 は、第 1 副共通電極 C B B 1 の直上に位置している。図示しない第 2 副共通電極 C B U 2 は、第 1 副共通電極 C B U 1 の直上に位置している。

【 0 0 5 8 】

50

第 1 主共通電極 C A L 1 及び第 2 主共通電極 C A L 2 と主画素電極 P A との間の領域、及び、第 1 主共通電極 C A R 1 及び第 2 主共通電極 C A R 2 と主画素電極 P A との間の領域は、いずれも光が透過可能な透過領域に相当する。

【 0 0 5 9 】

第 2 配向膜 A L 2 は、対向基板 C T のアレイ基板 A R と対向する面に配置され、アクティブエリア A C T の略全体に亘って延在している。この第 2 配向膜 A L 2 は、共通電極 C E の第 2 主共通電極 C A L 2 、第 2 主共通電極 C A R 2 、第 2 副共通電極 C B B 2 やオーバーコート層 O C などを覆っている。このような第 2 配向膜 A L 2 は、水平配向性を示す材料によって形成されている。

【 0 0 6 0 】

これらの第 1 配向膜 A L 1 及び第 2 配向膜 A L 2 には、液晶層 L Q の液晶分子を初期配向させるための配向処理（例えば、ラビング処理や光配向処理）がなされている。第 1 配向膜 A L 1 が液晶分子を初期配向させる第 1 配向処理方向 P D 1 、及び、第 2 配向膜 A L 2 が液晶分子を初期配向させる第 2 配向処理方向 P D 2 は、互いに平行であって、互いに逆向きあるいは同じ向きである。例えば、これらの第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 は、図 3 に示したように、X - Y 平面内において、第 2 方向 Y と略平行であって、同じ向きである。

【 0 0 6 1 】

上述したようなアレイ基板 A R と対向基板 C T とは、それぞれの第 1 配向膜 A L 1 及び第 2 配向膜 A L 2 が対向するように配置されている。このとき、アレイ基板 A R の第 1 配向膜 A L 1 と対向基板 C T の第 2 配向膜 A L 2 との間には、例えば、樹脂材料によって一方の基板に一体的に形成された柱状スペーサにより、所定のセルギャップ、例えば 2 ~ 7 μm のセルギャップが形成される。アレイ基板 A R と対向基板 C T とは、所定のセルギャップが形成された状態で、アクティブエリア A C T の外側のシール材によって貼り合わされている。

【 0 0 6 2 】

液晶層 L Q は、アレイ基板 A R と対向基板 C T との間に形成されたセルギャップに保持され、第 1 配向膜 A L 1 と第 2 配向膜 A L 2 との間に配置されている。このような液晶層 L Q は、例えば、誘電率異方性が正（ポジ型）の液晶材料によって構成されている。

【 0 0 6 3 】

アレイ基板 A R の外面、つまり、アレイ基板 A R を構成する第 1 絶縁基板 1 0 の外面 1 0 B には、第 1 光学素子 O D 1 が接着剤などにより貼付されている。この第 1 光学素子 O D 1 は、液晶表示パネル L P N のバックライト 4 と対向する側に位置しており、バックライト 4 から液晶表示パネル L P N に入射する入射光の偏光状態を制御する。この第 1 光学素子 O D 1 は、第 1 偏光軸（あるいは第 1 吸収軸）A X 1 を有する第 1 偏光板 P L 1 を含んでいる。なお、第 1 偏光板 P L 1 と第 1 絶縁基板 1 0 との間に位相差板などの他の光学素子が配置されても良い。

【 0 0 6 4 】

対向基板 C T の外面、つまり、対向基板 C T を構成する第 2 絶縁基板 2 0 の外面 2 0 B には、第 2 光学素子 O D 2 が接着剤などにより貼付されている。この第 2 光学素子 O D 2 は、液晶表示パネル L P N の表示面側に位置しており、液晶表示パネル L P N から出射した出射光の偏光状態を制御する。この第 2 光学素子 O D 2 は、第 2 偏光軸（あるいは第 2 吸収軸）A X 2 を有する第 2 偏光板 P L 2 を含んでいる。なお、第 2 偏光板 P L 2 と第 2 絶縁基板 2 0 との間に位相差板などの他の光学素子が配置されていても良い。

【 0 0 6 5 】

第 1 偏光板 P L 1 の第 1 偏光軸 A X 1 と、第 2 偏光板 P L 2 の第 2 偏光軸 A X 2 とは、略直交する位置関係（クロスニコル）にある。このとき、一方の偏光板は、例えば、その偏光軸が主画素電極 P A あるいは主共通電極 C A の延出方向と略平行または略直交するように配置されている。つまり、主画素電極 P A あるいは主共通電極 C A の延出方向が第 2 方向 Y である場合、一方の偏光板の吸収軸は、第 2 方向 Y と略平行である（つまり、第 1

10

20

30

40

50

方向 X と略直交する)、あるいは、第 2 方向 Y と略直交する(つまり、第 1 方向 X と略平行である)。

【0066】

あるいは、一方の偏光板は、例えば、その偏光軸が液晶分子の初期配向方向つまり第 1 配向処理方向 P D 1 あるいは第 2 配向処理方向 P D 2 と平行または直交するように配置されている。初期配向方向が第 2 方向 Y と平行である場合、一方の偏光板の偏光軸は、第 2 方向 X と平行、あるいは、第 1 方向 X と平行である。

【0067】

図 3 において、(a) で示した例では、第 1 偏光板 P L 1 は、その第 1 偏光軸 A X 1 が主画素電極 P A の延出方向あるいは液晶分子 L M の初期配向方向(第 2 方向 Y)に対して直交する(つまり、第 1 方向 X に平行となる)ように配置され、また、第 2 偏光板 P L 2 は、その第 2 偏光軸 A X 2 が主画素電極 P A の延出方向あるいは液晶分子 L M の初期配向方向に対して平行となる(つまり、第 2 方向 Y と平行となる)ように配置されている。

10

【0068】

また、図 3 において、(b) で示した例では、第 2 偏光板 P L 2 は、その第 2 偏光軸 A X 2 が主画素電極 P A の延出方向あるいは液晶分子 L M の初期配向方向(第 2 方向 Y)に対して直交する(つまり、第 1 方向 X に平行となる)ように配置され、また、第 1 偏光板 P L 1 は、その第 1 偏光軸 A X 1 が主画素電極 P A の延出方向あるいは液晶分子 L M の初期配向方向に対して平行となる(つまり、第 2 方向 Y と平行となる)ように配置されている。

20

【0069】

次に、上記構成の液晶表示パネル L P N の動作について、図 2 乃至図 5 を参照しながら説明する。

【0070】

すなわち、液晶層 L Q に電圧が印加されていない状態、つまり、画素電極 P E と共通電極 C E との間に電位差(あるいは電界)が形成されていない状態(O F F 時)には、液晶層 L Q の液晶分子 L M は、その長軸が第 1 配向膜 A L 1 の第 1 配向処理方向 P D 1 及び第 2 配向膜 A L 2 の第 2 配向処理方向 P D 2 を向くように配向している。このような O F F 時が初期配向状態に相当し、O F F 時の液晶分子 L M の配向方向が初期配向方向に相当する。

30

【0071】

なお、厳密には、液晶分子 L M は、X - Y 平面に平行に配向しているとは限らず、プレチルトしている場合が多い。このため、ここでの液晶分子 L M の初期配向方向とは、O F F 時の液晶分子 L M の長軸を X - Y 平面に正射影した方向である。以下では、説明を簡略にするために、液晶分子 L M は、X - Y 平面に平行に配向しているものとし、X - Y 平面と平行な面内で回転するものとして説明する。

【0072】

ここでは、第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 は、ともに第 2 方向 Y と略平行な方向である。O F F 時においては、液晶分子 L M は、図 3 に破線で示したように、その長軸が第 2 方向 Y と略平行な方向に初期配向する。つまり、液晶分子 L M の初期配向方向は、主画素電極 P A あるいは主共通電極 C A の延出方向である第 2 方向 Y と平行(あるいは、第 2 方向 Y に対して 0°)である。

40

【0073】

図示した例のように、第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 が平行且つ同じ向きである場合、液晶層 L Q の断面において、液晶分子 L M は、液晶層 L Q の中間部付近で略水平(プレチルト角が略ゼロ)に配向し、ここを境界として第 1 配向膜 A L 1 の近傍及び第 2 配向膜 A L 2 の近傍において対称となるようなプレチルト角を持って配向する(スプレイ配向)。

【0074】

ここで、第 1 配向膜 A L 1 を第 1 配向処理方向 P D 1 に配向処理した結果、第 1 配向膜

50

A L 1 の近傍における液晶分子 L M は第 1 配向処理方向 P D 1 に初期配向され、第 2 配向膜 A L 2 を第 2 配向処理方向 P D 2 に配向処理した結果、第 2 配向膜 A L 2 の近傍における液晶分子 L M は第 2 配向処理方向 P D 1 に初期配向される。そして、第 1 配向処理方向 P D 1 と第 2 配向処理方向 P D 2 は互いに平行で且つ同じ向きである場合には、上述のように液晶分子 L M はスプレイ配向になり、上記したように液晶層 L Q の中間部を境界として、アレイ基板 A R 上の第 1 配向膜 A L 1 の近傍での液晶分子 L M の配向と対向基板 C T 上の第 2 配向膜 A L 2 の近傍での液晶分子 L M の配向は、上下で対称となる。このため、基板の法線方向から傾いた方向においても光学的に補償される。したがって、第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 が互いに平行、且つ、同じ向きである場合には、黒表示の場合に光漏れが少なく、高コントラスト比を実現することができ、表示品位を向上することが可能となる。

10

【 0 0 7 5 】

なお、第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 が互いに平行且つ逆向きである場合、液晶層 L Q の断面において、液晶分子 L M は、第 1 配向膜 A L 1 の近傍、第 2 配向膜 A L 2 の近傍、及び、液晶層 L Q の中間部において略均一なプレチルト角を持って配向する（ホモニアス配向）。

【 0 0 7 6 】

バックライト 4 からのバックライト光の一部は、第 1 偏光板 P L 1 を透過し、液晶表示パネル L P N に入射する。液晶表示パネル L P N に入射した光は、第 1 偏光板 P L 1 の第 1 吸収軸 A X 1 と直交する直線偏光である。このような直線偏光の偏光状態は、液晶層 L Q を通過する際に液晶分子 L M の配向状態によって変化するが、O F F 時には、液晶層 L Q を通過した直線偏光の偏光状態はほとんど変化しない。このため、液晶表示パネル L P N を透過した直線偏光は、第 1 偏光板 P L 1 に対してクロスニコルの位置関係にある第 2 偏光板 P L 2 によって吸収される（黒表示）。

20

【 0 0 7 7 】

一方、液晶層 L Q に電圧が印加された状態、つまり、画素電極 P E と共通電極 C E との間に電位差（あるいは電界）が形成された状態（O N 時）では、画素電極 P E と共通電極 C E との間に基板と略平行な横電界（あるいは斜め電界）が形成される。液晶分子 L M は、電界の影響を受け、その長軸が図中の実線で示したように X - Y 平面と略平行な平面内で回転する。

30

【 0 0 7 8 】

図 3 に示した例では、画素 P X の左下の領域内では、液晶分子 L M は、第 2 方向 Y に対して時計回りに回転し図中の左下を向くように配向する。画素 P X の左上の領域内では、液晶分子 L M は、第 2 方向 Y に対して反時計回りに回転し図中の左上を向くように配向する。画素 P X の右下の領域内では、液晶分子 L M は、第 2 方向 Y に対して反時計回りに回転し図中の右下を向くように配向する。画素 P X の右上の領域内では、液晶分子 L M は、第 2 方向 Y に対して時計回りに回転し図中の右上を向くように配向する。

【 0 0 7 9 】

このように、各画素 P X において、画素電極 P E と共通電極 C E との間に電界が形成された状態では、液晶分子 L M の配向方向は、画素電極 P E と重なる位置を境界として複数の方向に分かれ、それぞれの配向方向でドメインを形成する。つまり、一画素 P X には、複数のドメインが形成される。

40

【 0 0 8 0 】

このような O N 時には、バックライト 4 から液晶表示パネル L P N に入射したバックライト光の一部は、第 1 偏光板 P L 1 を透過し、液晶表示パネル L P N に入射する。液晶表示パネル L P N に入射した光は、第 1 偏光板 P L 1 の第 1 吸収軸 A X 1 と直交する直線偏光である。このような直線偏光の偏光状態は、液晶層 L Q を通過する際に液晶分子 L M の配向状態に応じて変化する。例えば、第 1 方向 X に平行な直線偏光が液晶表示パネル L P N に入射すると、液晶層 L Q を通過する際に第 1 方向 X に対して 45° - 225° 方位あるいは 135° - 315° 方位に配向した液晶分子 L M により $\lambda/2$ の位相差の影響を受

50

ける（但し、 λ は液晶層LQを透過する光の波長である）。これにより、液晶層LQを透過した光の偏光状態は、第2方向Yに平行な直線偏光となる。このため、ON時においては、液晶層LQを透過した少なくとも一部の光は、第2偏光板PL2を透過する（白表示）。

【0081】

上記の通り、本実施形態の構成によれば、一画素内における液晶分子LMの配向方向は主として4方向に分かれる。このような配向を実現するためには、少なくとも画素電極PEに加えて、共通電極CEとして第2主共通電極CAL2及び第2主共通電極CAR2を備えていればよい。つまり、アレイ基板ARに備えられた第1主共通電極CA1及び第1副共通電極CB1、対向基板CTに備えられた第2副共通電極CB2は、他の配線からの電界をシールドしたり、液晶分子LMの配向制御に必要な電界を補強したり、共通電極CEを冗長化したりするものであって、上記のマルチドメインを形成するのに必須ではない。

10

【0082】

このような構成において、OFF時（黒表示）、及び、階調表示を行った際の一画素PXの透過率について検討する。

【0083】

図6は、一画素PXにおいて、黒表示、低階調表示、中間調表示、及び、高階調表示（白表示）を行った際のそれぞれの光の透過状態を示す図である。

【0084】

なお、図中の画素の第2方向Yに沿った長辺のシルエットは、ソース配線S、第1主共通電極CA1及び第2主共通電極CA2、あるいは、ブラックマトリクスBMのシルエットであり、画素の第1方向Xに沿った短辺のシルエットは、ゲート配線G、第1副共通電極CB1及び第2副共通電極CB2、あるいは、ブラックマトリクスBMのシルエットであり、画素中央で交差する十字状のシルエットは、画素電極PE及び補助容量線Cのシルエットである。

20

【0085】

黒表示の際には、一画素の全体でほとんど光が透過せず、透過率が略ゼロとなる。高階調表示の際には、一画素内の4つの領域において光が透過し、透過率が最大となる。

【0086】

低階調表示の際、及び、中間調表示の際には、高階調表示の際と同様に、一画素内の4つの領域において光が透過するが、画素の中央部、及び、画素のコーナー部に暗部が発生している。しかも、この暗部は、特に、低階調表示の際に広がっていることが分かる。このような暗部は、液晶層LQに液晶分子LMを回転させるのに十分な電界が印加されず、液晶分子LMが初期配向状態を維持しているために生ずるものである。

30

【0087】

画素の中央部に発生する暗部は、図2を参照すると、補助容量線C1と画素電極PEとの交差部を中心として広がっている。また、画素のコーナー部に発生する暗部は、図2を参照すると、ゲート配線G1とソース配線S1及びソース配線S2との交差部、及び、ゲート配線G2とソース配線S1及びソース配線S2との交差部を中心に広がっている。いずれの暗部も、第2方向Yに延びた多角形状あるいは長円形状（楕円形状も含む）である。

40

【0088】

図7は、本実施形態におけるカラーフィルタの形状を概略的に示す平面図である。なお、図中には、画素電極PE、ゲート配線G1、ゲート配線G2、ソース配線S1、ソース配線S2、補助容量線C1を破線で示している。ゲート配線G1及びゲート配線G2、及び、ソース配線S1及びソース配線S2のそれぞれの位置は、ブラックマトリクスが形成される位置と略一致している。

【0089】

図示した例では、緑色画素PXG、赤色画素PXR、及び、青色画素PXBが第1方向

50

Xに沿って順に並んでいる。緑色画素P X Gには緑色カラーフィルタC F Gが配置され、赤色画素P X Rには赤色カラーフィルタC F Rが配置され、青色画素P X Bには青色カラーフィルタC F Bが配置されている。

【0090】

ここでは、赤色画素P X Rの赤色カラーフィルタC F Rについて説明するが、緑色画素P X Gの緑色カラーフィルタC F G及び青色画素P X Bの青色カラーフィルタC F Bについても同様の構成であるため、説明を省略する。

【0091】

まず、ゲート配線G 1、補助容量線C 1、ソース配線S 1、及び、画素電極P Eよりも内側の透過領域（赤色画素P X Rの左上の領域）に着目する。この透過領域において、赤色カラーフィルタC F Rは、ソース配線S 1と補助容量線C 1との交差部C R 1から第1方向X及び第2方向Yとは異なる方向、ここでは、第1方向Xに対して0°より大きく90°より小さい範囲 θa の方向に延出している。つまり、このような透過領域が略四角形状であるとする、赤色カラーフィルタC F Rは、交差部C R 1と、画素電極P Eとゲート配線G 1とが近接する位置とを結ぶ対角線上に沿って延出している。

【0092】

換言すると、赤色カラーフィルタC F Rは、この透過領域において、補助容量線C 1と画素電極P Eとの交差部C R 3に対向する位置を取り囲む開口部A P 1を備えている。この開口部A P 1は、交差部C R 3の面積よりも大きく、交差部C R 3を中心として第2方向Yに広がっている。また、赤色カラーフィルタC F Rは、ゲート配線G 1とソース配線S 1との交差部C R 4 1に対向する位置を取り囲む開口部A P 2 1を備えている。この開口部A P 2 1は、交差部C R 4 1の面積よりも大きく、交差部C R 4 1を中心として第1方向X及び第2方向Yに広がっている。つまり、このような透過領域が略四角形状であるとする、交差部C R 3は交差部C R 4 1の対角に位置しており、開口部A P 2 1は透過領域において開口部A P 1の対角に位置している。

【0093】

上記の説明では、赤色画素P X Rの左上の領域のみに着目したが、他の領域でも同様であり、赤色画素P X Rの右上の領域においては、赤色カラーフィルタC F Rは、ソース配線S 2と補助容量線C 1との交差部C R 2から第1方向X及び第2方向Yとは異なる方向、ここでは、第1方向Xに対して90°より大きく180°より小さい範囲 θb の方向に延出している。赤色画素P X Rの右下の領域においては、赤色カラーフィルタC F Rは、ソース配線S 2と補助容量線C 1との交差部C R 2から、第1方向Xに対して180°より大きく270°より小さい範囲 θc の方向に延出している。赤色画素P X Rの左下の領域においては、赤色カラーフィルタC F Rは、ソース配線S 1と補助容量線C 1との交差部C R 1から、第1方向Xに対して270°より大きく360°より小さい範囲 θd の方向に延出している。

【0094】

ゲート配線G 1、ゲート配線G 2、ソース配線S 1、及び、ソース配線S 2によって区画された領域、つまり、一画素単位で見ると、赤色カラーフィルタC F Rは、赤色画素P X Rの中央部に形成された開口部A P 1、及び、4つのコーナー部にそれぞれ形成された開口部A P 2 1～A P 2 4を備えている。開口部A P 2 1～A P 2 4は、略同一形状である。

【0095】

上記の通り、開口部A P 1は補助容量線C 1と画素電極P Eとの交差部C R 3に対向する位置を取り囲むように形成され、また、開口部A P 2 1はゲート配線G 1とソース配線S 1との交差部C R 4 1に対向する位置を取り囲むように形成されている。開口部A P 2 2は、ゲート配線G 1とソース配線S 2との交差部C R 4 2に対向する位置を取り囲むように形成されている。開口部A P 2 3は、ゲート配線G 2とソース配線S 2との交差部C R 4 3に対向する位置を取り囲むように形成されている。開口部A P 2 4は、ゲート配線G 2とソース配線S 1との交差部C R 4 4に対向する位置を取り囲むように形成されてい

10

20

30

40

50

る。このため、赤色カラーフィルタCFRは、一画素単位で見ると、ドーナツ状に形成されている。

【0096】

なお、開口部AP1及び開口部AP21～AP24は、図示した例では、第2方向Yに延びた多角形状（例えば八角形状）であるが、第2方向Yに延びた長円形状（あるいは楕円形状）であっても良い。あるいは、これらの開口部AP1及び開口部AP21～AP24を規定するエッジは、少なくとも一部が直線状であってもよいし、少なくとも一部が曲線状であっても良い。

【0097】

また、これらの開口部AP1及び開口部AP21～AP24を含む対向基板の断面については図示を省略するが、開口部AP1及び開口部AP21～AP24が形成された箇所は、第2絶縁基板20の内面20AがカラーフィルタCFから露出し、オーバーコート層OCによって覆われている。

【0098】

このような開口部AP1及び開口部AP21～AP24は、図6に示した低階調表示の際に発生する暗部の領域に対応して形成されている。このため、低階調表示の際に、開口部AP1及び開口部AP21～AP24から光抜けが生ずることはほとんどなく、主としてカラーフィルタを介してバックライト光が透過する。したがって、本実施形態のカラーフィルタを適用した場合であっても、低階調表示の際には、赤色画素PX Rにおいてはほとんどのバックライト光が赤色カラーフィルタCFRを介して透過し、緑色画素PX Gにおいてはほとんどのバックライト光が緑色カラーフィルタCFGを介して透過し、青色画素PX Bにおいてはほとんどのバックライト光が青色カラーフィルタCFBを介して透過するため、色純度の低下を抑制することが可能となる。つまり、低階調表示の際には、開口部を有していないカラーフィルタを適用した場合と比較して、略同等の色再現範囲を維持することが可能となる。

【0099】

一方、高階調表示の際には、バックライト光は、カラーフィルタを介して透過するとともに、開口部AP1及び開口部AP21～AP24からも透過する。開口部AP1及び開口部AP21～AP24から透過したバックライト光は、実質的に白色光である。

【0100】

高階調表示の際には、赤色画素PX Rにおいては、ほとんどのバックライト光が赤色カラーフィルタCFRを介して透過する一方で、一部のバックライト光が開口部AP1及び開口部AP21～AP24から透過するため、赤色の色純度は低下するものの赤色画素PX Rでの輝度を向上することが可能となる。同様に、緑色画素PX Gにおいては、ほとんどのバックライト光が緑色カラーフィルタCFGを介して透過する一方で、一部のバックライト光が開口部から透過するため、緑色の色純度は低下するものの緑色画素PX Gでの輝度を向上することが可能となる。同様に、青色画素PX Bにおいては、ほとんどのバックライト光が青色カラーフィルタCFBを介して透過する一方で、一部のバックライト光が開口部から透過するため、青色の色純度は低下するものの青色画素PX Bでの輝度を向上することが可能となる。

【0101】

図8は、各カラーフィルタの分光透過率、及び、開口部での分光透過率の一例を示す図である。

【0102】

赤色カラーフィルタCFRによって得られる分光透過率は、赤色波長 λ_r （例えば650nm）付近で最大透過率となる。緑色カラーフィルタCFGによって得られる分光透過率は、緑色波長 λ_g （例えば550nm）付近で最大透過率となる。青色カラーフィルタCFBによって得られる分光透過率は、青色波長 λ_b （例えば450nm）付近で最大透過率となる。開口部AP1及び開口部AP21～AP24において得られる分光透過率は、白色光の分光透過率に相当する。

10

20

30

40

50

【0103】

赤色画素 P X R において、低階調表示の際には、赤色カラーフィルタ C F R によって得られる分光透過率に即した色が表示され、高階調表示の際には、赤色カラーフィルタ C F R によって得られる分光透過率に白色光の分光透過率を加算した色が表示される。同様に、緑色画素 P X G においては、低階調表示の際には、緑色カラーフィルタ C F G によって得られる分光透過率に即した色が表示され、高階調表示の際には、緑色カラーフィルタ C F G によって得られる分光透過率に白色光の分光透過率を加算した色が表示される。同様に、青色画素 P X B においては、低階調表示の際には、青色カラーフィルタ C F B によって得られる分光透過率に即した色が表示され、高階調表示の際には、青色カラーフィルタ C F B によって得られる分光透過率に白色光の分光透過率を加算した色が表示される。

10

【0104】

図9は、本実施形態のカラーフィルタを適用した場合の低階調表示の際の色再現範囲及び高階調表示の際の色再現範囲の一例を示す色度図である。なお、ここでは C I E x y 色度図で色再現範囲を示している。

【0105】

低階調表示の際には、赤色画素 P X R において赤色カラーフィルタ C F R の分光透過率に即した色が表示されるため、高い色純度の赤色が表示され、同様に、緑色画素 P X G においては高い色純度の緑色が表示され、同様に、青色画素 P X B においては高い色純度の青色が表示される。このため、低階調表示の際には、比較的広い色再現範囲を得ることが可能となる。

20

【0106】

一方、高階調表示の際には、赤色画素 P X R において赤色カラーフィルタ C F R の分光透過率に白色光の分光透過率を加算した色が表示される。つまり、低階調表示の際のような赤色カラーフィルタ C F R の分光透過率に即した色と比較して、色度座標が白色側にシフトする。このため、高階調表示の際には、低階調表示の場合よりも赤色の色純度が低下する。同様に、緑色画素 P X G において表示される緑色の色度座標も白色側にシフトし、青色画素 P X B において表示される青色の色度座標も白色側にシフトする。したがって、高階調表示の際には、低階調表示の際と比較して色再現範囲が小さくなる。

【0107】

しかしながら、このような高階調表示の際には、それぞれの画素においてカラーフィルタを介することなくカラーフィルタの開口部を透過する白色光が表示に寄与する。このため、赤色画素 P X R、緑色画素 P X G、及び、青色画素 P X B のそれぞれにおいて、開口部を有していないカラーフィルタを適用した場合と比較して、高階調表示の際に高い輝度を得ることが可能となる。

30

【0108】

このような本実施形態によれば、低階調表示の際には光漏れを生ずることなく広い色再現範囲を得ることが可能であり、高階調表示の際には高輝度を得ることが可能となる。したがって、表示品位を向上することが可能となる。

【0109】

また、本実施形態によれば、画素電極 P E と共通電極 C E との間の電極間隙において高い透過率を得ることが可能となる。また、一画素あたりの透過率を十分に高くするためには、主画素電極 P A と主共通電極 C A との間の電極間距離を拡大することで対応することが可能となる。また、画素ピッチが異なる製品仕様に対しては、電極間距離を変更する（例えば、主画素電極 P A に対して主共通電極 C A の配置位置を変更する）ことで、透過率分布のピーク条件を利用することが可能となる。つまり、本実施形態の表示モードにおいては、比較的画素ピッチが大きな低解像度の製品仕様から比較的画素ピッチが小さい高解像度の製品仕様まで、微細な電極加工を必ずしも必要とせず、電極間距離の設定により種々の画素ピッチの製品を提供することが可能となる。したがって、高透過率且つ高解像度の要求を容易に実現することが可能となる。

40

【0110】

50

また、本実施形態によれば、ブラックマトリクスＢＭと重なる領域では、透過率が十分に低下している。これは、ソース配線Ｓの直上に位置する共通電極ＣＥの位置よりも当該画素の外側に電界の漏れが発生せず、また、ブラックマトリクスＢＭを挟んで隣接する画素間で不所望な横電界が生じないため、ブラックマトリクスＢＭと重なる領域の液晶分子ＬＭがＯＦＦ時（あるいは黒表示時）と同様に初期配向状態を保っているためである。したがって、隣接する画素間でカラーフィルタＣＦの色が異なる場合であっても、混色の発生を抑制することが可能となり、色再現性の低下やコントラスト比の低下を抑制することが可能となる。

【０１１１】

また、アレイ基板ＡＲと対向基板ＣＴとの合わせずれが生じた際に、画素電極ＰＥを挟んだ両側の共通電極ＣＥとの電極間距離に差が生じることがある。しかしながら、このような合わせずれは、全ての画素ＰＸに共通に生じるため、画素ＰＸ間での電界分布に相違はなく、画像の表示に及ぼす影響はきわめて小さい。また、例えばアレイ基板ＡＲと対向基板ＣＴとの間で合わせずれが生じたとしても、隣接する画素への不所望な電界の漏れを抑制することが可能となる。このため、隣接する画素間でカラーフィルタＣＦの色が異なる場合であっても、混色の発生を抑制することが可能となり、色再現性の低下やコントラスト比の低下を抑制することが可能となる。

【０１１２】

また、本実施形態によれば、主共通電極ＣＡは、それぞれソース配線Ｓと対向している。特に、主共通電極ＣＡＬ及び主共通電極ＣＡＲがそれぞれソース配線Ｓ１及びソース配線Ｓ２の直上に配置されている場合には、主共通電極ＣＡＬ及び主共通電極ＣＡＲがソース配線Ｓ１及びソース配線Ｓ２よりも画素電極ＰＥ側に配置された場合と比較して、開口部ＡＰを拡大することができ、画素ＰＸの透過率を向上することが可能となる。

【０１１３】

また、主共通電極ＣＡＬ及び主共通電極ＣＡＲをそれぞれソース配線Ｓ１及びソース配線Ｓ２の直上に配置することによって、画素電極ＰＥと主共通電極ＣＡＬ及び主共通電極ＣＡＲとの間の電極間距離を拡大することが可能となり、より水平に近い横電界を形成することが可能となる。このため、従来の構成であるＩＰＳモード等の利点である広視野角化も維持することが可能となる。

【０１１４】

また、本実施形態によれば、一画素内に複数のドメインを形成することが可能となる。このため、複数の方向で視野角を光学的に補償することができ、広視野角化が可能となる。

【０１１５】

また、本実施形態によれば、アレイ基板ＡＲは、画素電極ＰＥを挟んだ両側に位置する第１主共通電極ＣＡ１を備えている。この第１主共通電極ＣＡ１は、副画素電極ＰＢに隣接する位置で途切れているため、副画素電極ＰＢの第１方向Ｘに沿った幅が拡大したり、画素ＰＸの第１方向Ｘに沿った幅が縮小したりした場合であっても、画素電位となる副画素電極ＰＢとコモン電位の第１主共通電極ＣＡ１との電極間距離を十分に確保することが可能となる。したがって、画素電極ＰＥと共通電極ＣＥとのショートに起因した表示不良の発生を抑制することが可能となる。また、第１方向Ｘに沿った画素ピッチを低減した狭画素ピッチに対応することが可能となり、高精細化が可能となる。

【０１１６】

また、本実施形態によれば、第１主共通電極ＣＡ１がソース配線Ｓと対向するため、ソース配線Ｓからの不所望な電界を遮蔽することが可能となる。このため、ソース配線Ｓから液晶層ＬＱに対して不所望なバイアスが印加されることを抑制することができ、クロストーク（例えば、当該画素ＰＸが黒を表示する画素電位に設定されている状態で、当該画素ＰＸに接続されたソース配線に白を表示する画素電位が供給されたときに、当該画素ＰＸの一部から光漏れが生じて輝度の上昇を招く現象）などの表示不良の発生を抑制することが可能となる。

10

20

30

40

50

【0117】

また、本実施形態によれば、第1副共通電極CB1がゲート配線Gと対向するため、ゲート配線Gからの不所望な電界を遮蔽することが可能となる。このため、ゲート配線Gから液晶層LQに対して不所望なバイアスが印加されることを抑制することができ、焼きツキなどの表示不良の発生、さらには、液晶分子の配向不良に起因した光漏れの発生を抑制することが可能となる。

【0118】

また、本実施形態によれば、アレイ基板ARに備えられた第1主共通電極CA1及び第1副共通電極CB1は、互いに電氣的に接続され、略格子状に形成されているため、冗長性を向上することが可能となる。また、対向基板CTに備えられた第2主共通電極CA2及び第2副共通電極CB2は、互いに電氣的に接続され、格子状に形成されているため、冗長性を向上することが可能となる。したがって、アレイ基板ARに備えられた共通電極CEの一部で断線が発生し、対向基板CTに備えられた共通電極CEの一部に断線が発生したとしても、各画素PXに安定してコモン電位を供給することが可能となり、表示不良の発生を抑制することが可能となる。

【0119】

なお、上記の例では、液晶分子LMの初期配向方向が第2方向Yと平行である場合について説明したが、液晶分子LMの初期配向方向は、図3に示したように、第2方向Yを斜めに交差する斜め方向Dであっても良い。ここで、第2方向Yに対する初期配向方向Dのなす角度 θ_1 は、 0° より大きく 45° より小さい角度である。なお、このなす角度 θ_1 については、 $5^\circ \sim 30^\circ$ 程度、より望ましくは 20° 以下とすることが液晶分子LMの配向制御の観点で極めて有効である。つまり、液晶分子LMの初期配向方向は、第2方向Yに対して 0° 乃至 20° の範囲内の方向と略平行であることが望ましい。

【0120】

また、上記の例では、液晶層LQが正（ポジ型）の誘電率異方性を有する液晶材料によって構成された場合について説明したが、液晶層LQは、誘電率異方性が負（ネガ型）の液晶材料によって構成されていても良い。但し、詳しい説明は省略するが、誘電率異方性が正負逆となる関係上、ネガ型液晶材料の場合、上記したなす角度 θ_1 が $45^\circ \sim 90^\circ$ 、望ましくは 70° 以上とすることが好ましい。

【0121】

なお、ON時においても、画素電極PE上あるいは共通電極CE上では、横電界がほとんど形成されない（あるいは、液晶分子LMを駆動するのに十分な電界が形成されない）ため、液晶分子LMは、OFF時と同様に初期配向方向からほとんど動かない。このため、画素電極PE及び共通電極CEがITOなどの光透過性の導電材料によって形成されていても、これらの領域ではバックライト光がほとんど透過せず、ON時において表示にほとんど寄与しない。したがって、画素電極PE及び共通電極CEは、必ずしも透明な導電材料によって形成される必要はなく、アルミニウム（Al）、チタン（Ti）、銀（Ag）、モリブデン（Mo）、タングステン（W）などの不透明な導電材料を用いて形成しても良い。

【0122】

画素電極PE及び共通電極CEの少なくとも一方が上記の不透明な導電材料によって形成された場合、液晶表示パネルLPNに入射した直線偏光は、画素電極PEや共通電極CEのエッジの延出方向と略平行であるあるいは略直交する。また、上記のような不透明な導電材料によって形成されているゲート配線G、補助容量線C、及び、ソース配線Sの延出方向は、液晶表示パネルLPNに入射した直線偏光と略平行であるあるいは略直交する。このため、画素電極PEや共通電極CE、ゲート配線G、補助容量線C、及び、ソース配線Sのエッジで反射された直線偏光は、その偏光面が乱れにくく、偏光子である第1偏光板PL1を透過した際の偏光面を維持することができる。したがって、OFF時において、液晶表示パネルLPNを透過した直線偏光は、検光子である第2偏光板PL2で十分に吸収されるため、光漏れを抑制することが可能となる。つまり、黒表示の際に十分に透

10

20

30

40

50

過率を低減することができ、コントラスト比の低下を抑制することが可能となる。また、画素電極 P E や共通電極 C E の周辺での光漏れ対策のためにブラックマトリクス B M の幅を拡張する必要がなく、開口部 A P の面積の低減、O N 時の透過率の低減を抑制することが可能となる。

【 0 1 2 3 】

次に、本実施形態の他の構造例について説明する。

【 0 1 2 4 】

図 1 0 は、本実施形態におけるカラーフィルタの他の形状を概略的に示す平面図である。図中には、画素電極 P E 、ゲート配線 G 1 、ゲート配線 G 2 、ソース配線 S 1 、ソース配線 S 2 、補助容量線 C 1 を破線で示している。補助容量線 C 1 は、ゲート配線 G 1 の側よりもゲート配線 G 2 の側に偏在している。つまり、補助容量線 C 1 とゲート配線 G 2 との第 2 方向 Y に沿った間隔は、補助容量線 C 1 とゲート配線 G 1 との第 2 方向 Y に沿った間隔よりも小さい。

10

【 0 1 2 5 】

この構造例においては、図 7 に示した構造例と比較して、カラーフィルタに形成される開口部の位置が相違している。その他については、図 7 に示した構造例と同様であり、同一の参照符号を付して詳細な説明を省略する。

【 0 1 2 6 】

ここでは、赤色画素 P X R の構造について説明するが、緑色画素 P X G 及び青色画素 P X B についても同様であるため、説明を省略する。

20

【 0 1 2 7 】

ゲート配線 G 1 、ゲート配線 G 2 、ソース配線 S 1 、及び、ソース配線 S 2 によって区画される赤色画素 P X R において、補助容量線 C 1 はゲート配線 G 2 に近接し、画素電極 P E は、補助容量線 C 1 と対向する副画素電極 P B 及びこの副画素電極 P B からゲート配線 G 1 に向かって直線的に延出した帯状の主画素電極 P A を備えている。このような赤色画素 P X R には、赤色カラーフィルタ C F R が配置されている。

【 0 1 2 8 】

まず、ゲート配線 G 1 、補助容量線 C 1 、ソース配線 S 1 、及び、画素電極 P E よりも内側の透過領域（赤色画素 P X R の左上の領域）に着目する。この透過領域において、赤色カラーフィルタ C F R は、ソース配線 S 1 と補助容量線 C 1 との交差部 C R 1 から第 1 方向 X 及び第 2 方向 Y とは異なる方向、ここでは、第 1 方向 X に対して 0° より大きく 90° より小さい範囲 θa の方向に延出している。つまり、このような透過領域が略四角形状であるとする、赤色カラーフィルタ C F R は、交差部 C R 1 と、主画素電極 P A とゲート配線 G 1 とが近接する位置とを結ぶ対角線上に沿って延出している。

30

【 0 1 2 9 】

換言すると、赤色カラーフィルタ C F R は、この透過領域において、補助容量線 C 1 と画素電極 P E との交差部 C R 3 に対向する位置を取り囲む開口部 A P 1 を備えている。この開口部 A P 1 は、交差部 C R 3 の面積よりも大きく、交差部 C R 3 からゲート配線 G 1 に向かって第 2 方向 Y に広がっている。また、赤色カラーフィルタ C F R は、ゲート配線 G 1 とソース配線 S 1 との交差部 C R 4 1 に対向する位置を取り囲む開口部 A P 2 1 を備えている。この開口部 A P 2 1 は、交差部 C R 4 1 の面積よりも大きく、交差部 C R 4 1 を中心として第 1 方向 X 及び第 2 方向 Y に広がっている。つまり、このような透過領域が略四角形状であるとする、交差部 C R 3 は交差部 C R 4 1 の対角に位置しており、開口部 A P 2 1 は透過領域において開口部 A P 1 の対角に位置している。

40

【 0 1 3 0 】

上記の説明では、赤色画素 P X R の左上の領域のみに着目したが、他の領域でも同様であり、赤色画素 P X R の右上の領域においては、赤色カラーフィルタ C F R は、ソース配線 S 2 と補助容量線 C 1 との交差部 C R 2 から第 1 方向 X 及び第 2 方向 Y とは異なる方向、ここでは、第 1 方向 X に対して 90° より大きく 180° より小さい範囲 θb の方向に延出している。

50

【 0 1 3 1 】

ゲート配線 G 1、ゲート配線 G 2、ソース配線 S 1、及び、ソース配線 S 2 によって区画された領域、つまり、一画素単位で見ると、赤色カラーフィルタ C F R は、赤色画素 P X R の中央部からゲート配線 G 2 の側に向かって形成された開口部 A P 1、及び、2つのコーナー部にそれぞれ形成された開口部 A P 2 1 及び開口部 A P 2 2 を備えている。開口部 A P 2 1 及び開口部 A P 2 2 は、略同一形状である。

【 0 1 3 2 】

上記の通り、開口部 A P 1 は補助容量線 C 1 と画素電極 P E との交差部 C R 3 に対向する位置を取り囲むように形成され、また、開口部 A P 2 1 はゲート配線 G 1 とソース配線 S 1 との交差部 C R 4 1 に対向する位置を取り囲むように形成されている。開口部 A P 2 2 は、ゲート配線 G 1 とソース配線 S 2 との交差部 C R 4 2 に対向する位置を取り囲むように形成されている。このため、赤色カラーフィルタ C F R は、一画素単位で見ると、U 字状（厳密には上下反転した U 字状）に形成されている。

【 0 1 3 3 】

なお、開口部 A P 1 及び開口部 A P 2 1 ~ A P 2 2 は、図示した例では、多角形状であるが、この例に限らない。

【 0 1 3 4 】

このような開口部 A P 1 及び開口部 A P 2 1 ~ A P 2 2 は、図 7 に示した構造例と同様に、低階調表示の際に発生する暗部の領域に対応して形成されている。

【 0 1 3 5 】

このような構造例においても、低階調表示の際には、開口部 A P 1 及び開口部 A P 2 1 ~ A P 2 2 から光抜けが生ずることはほとんどなく、広い色再現範囲を得ることが可能となる。また、高階調表示の際には、高輝度を得ることが可能となる。

【 0 1 3 6 】

上述の 2 つの構造例においては、例えば、主画素電極 P A と副画素電極 P B の交差する部分は、一画素内の他の部分と比較して電界に対して液晶分子が応答し難い部分である。このため、主画素電極 P A と副画素電極 P B の交差する部分は他の部分と比較して輝度の低下する部分になる。しかしながら、上記構造例のように液晶分子の応答し難い部分にカラーフィルタを配置せず代わりに透明な部分、あるいは、着色しない無色の部分、あるいは、開口部を配置することにより、低階調から高階調にかけて輝度の向上を図ることができる。

【 0 1 3 7 】

なお、本実施形態において、画素 P X の構造は、上記の例に限定されるものではない。

【 0 1 3 8 】

上記の例では、副画素電極 P B の直下に補助容量線が配置された構成について説明したが、副画素電極 P B の直下には、ゲート配線が配置されても良い。また、補助容量線の配置位置は画素の略中央でなくても良いし、ゲート配線の配置位置は画素の上側端部あるいは下側端部でなくてもよい。

【 0 1 3 9 】

上記の例では、画素電極 P E が主画素電極 P A 及び副画素電極 P B を備えた場合について説明したが、画素電極 P E は、スイッチング素子 S W と電氣的に接続可能であれば、副画素電極 P B を備えていなくても良い。

【 0 1 4 0 】

上記の例では、主画素電極 P A の延出方向が第 2 方向 Y である場合について説明したが、主画素電極 P A は第 1 方向 X に沿って延出していても良い。この場合には、主共通電極 C A の延出方向は第 1 方向 X となる。また、この場合、上記の例と同様に第 1 方向 X に沿った第 1 配線がゲート配線 G であれば、主共通電極 C A はゲート配線 G と対向するが、第 1 方向 X に沿った第 1 配線がソース配線 S であり第 2 方向 Y に沿った第 2 配線がゲート配線 G であれば、主共通電極 C A はソース配線 S と対向する。

【 0 1 4 1 】

上記の例では、第1電極として主画素電極PAを含む画素電極PEに対して、この第1電極の両側に位置する第2電極として主共通電極CAを含む共通電極CEを設けた場合について説明したが、第1電極として主共通電極CAを含む共通電極CEに対して、この第1電極の両側に位置する第2電極として主画素電極PAを含む画素電極PEを設けても良い。

【0142】

以上説明したように、本実施形態によれば、表示品位の劣化を抑制することが可能な液晶表示装置を提供することが可能となる。

【0143】

なお、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これらの新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これらの実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

【0144】

LPN ... 液晶表示パネル

AR ... アレイ基板 CT ... 対向基板 LQ ... 液晶層

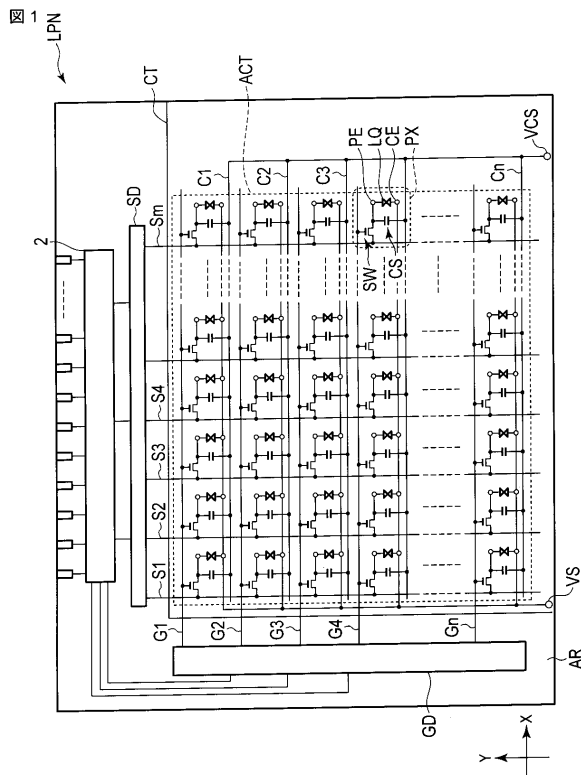
PE ... 画素電極 PA ... 主画素電極 PB ... 副画素電極

CE ... 共通電極 CA ... 主共通電極 CB ... 副共通電極

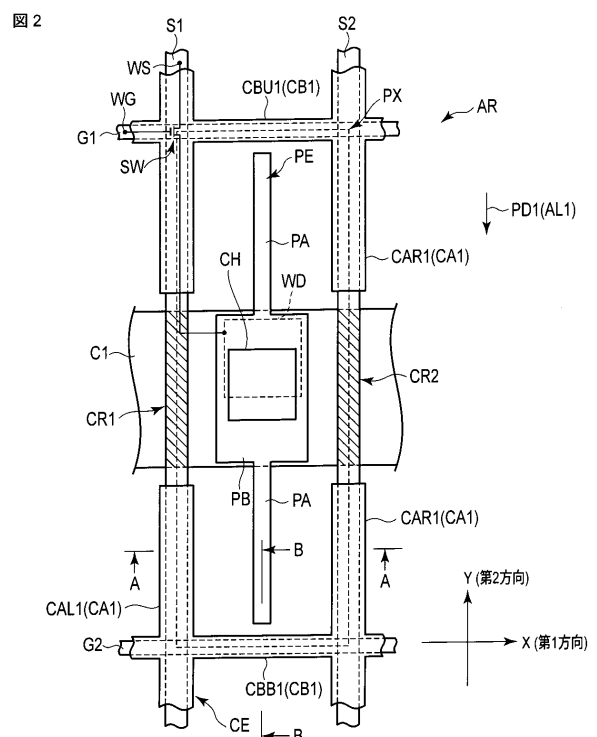
CF ... カラーフィルタ (CFR ... 赤色カラーフィルタ、CFG ... 緑色カラーフィルタ、CFB ... 青色カラーフィルタ)

AP1、AP21 ~ AP24 ... 開口部

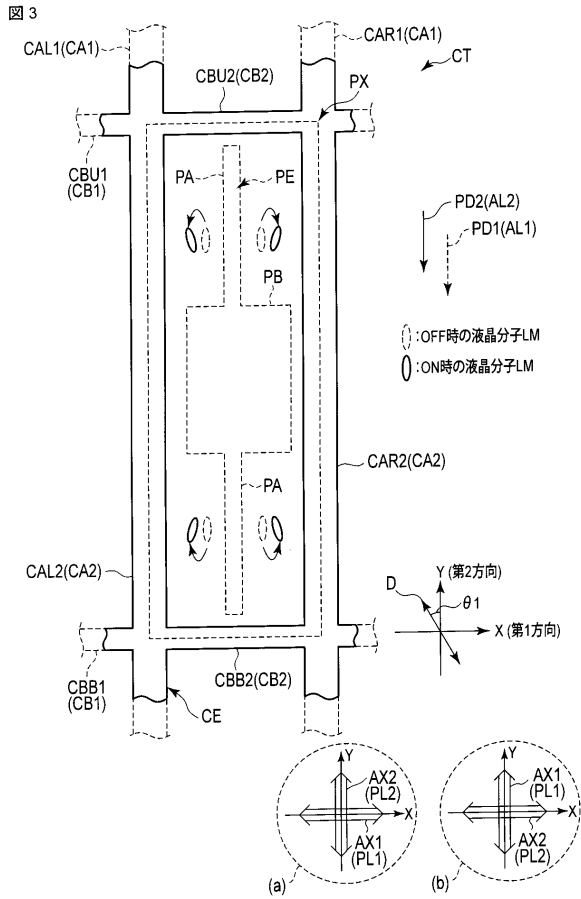
【図1】



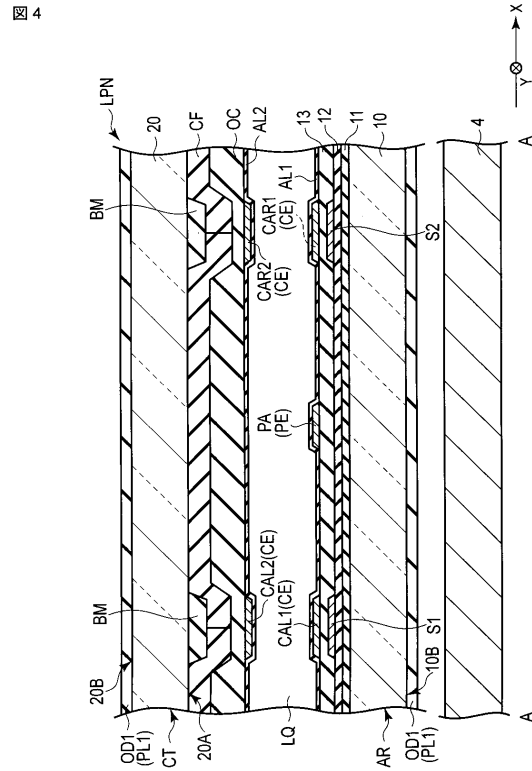
【図2】



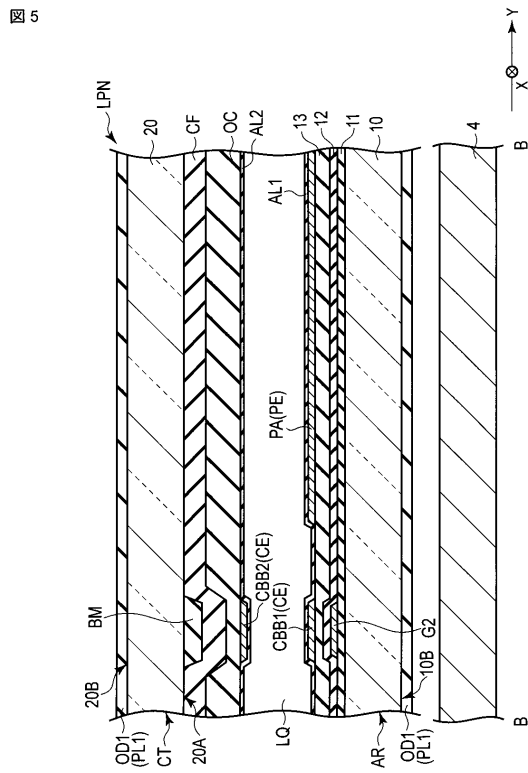
【図 3】



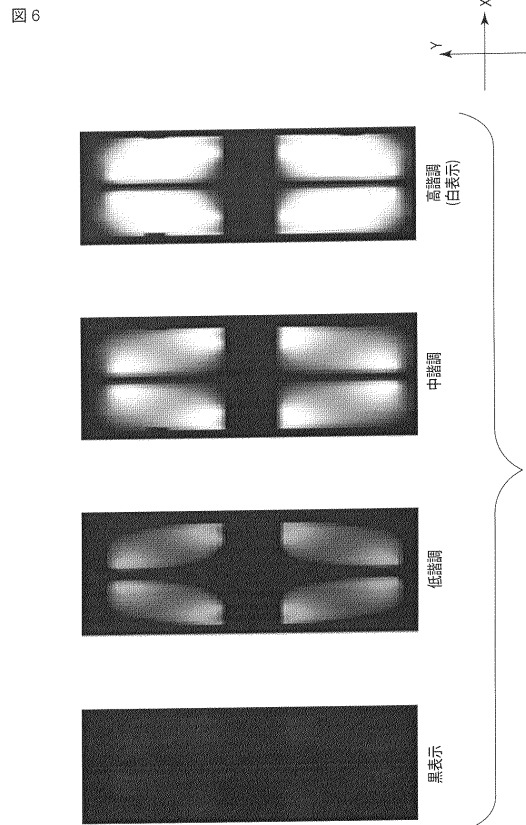
【図 4】



【図 5】

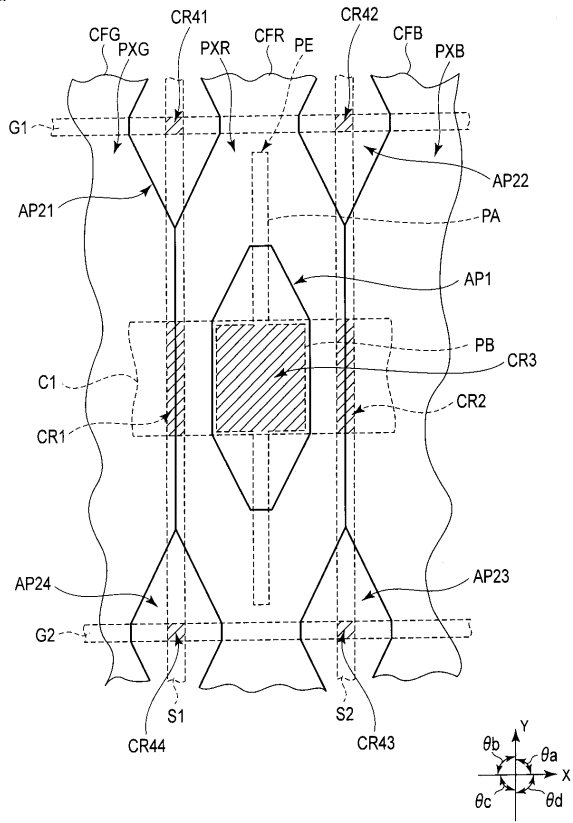


【図 6】



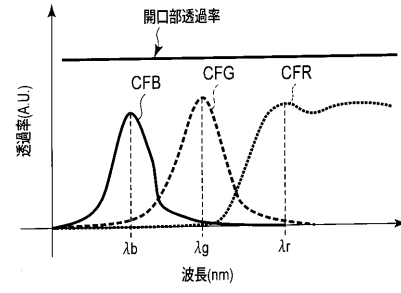
【 図 7 】

図 7



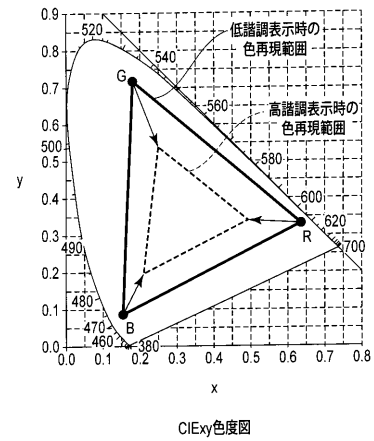
【 図 8 】

図 8



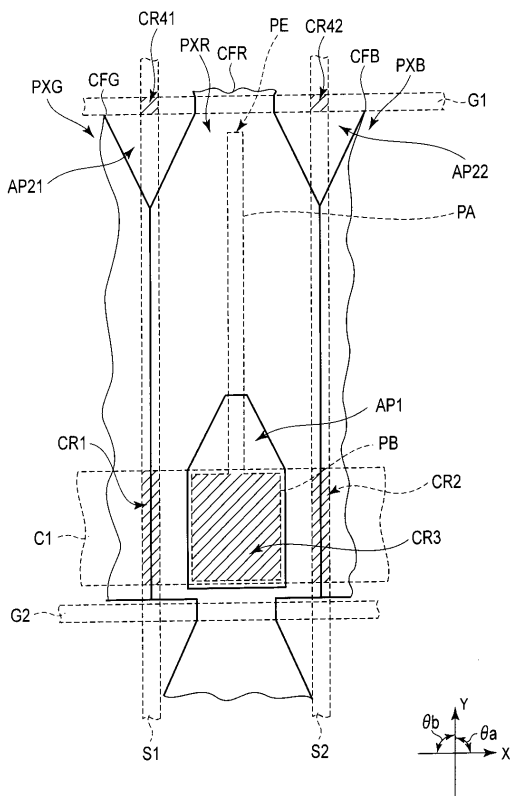
【 図 9 】

図 9



【 図 10 】

図 10



フロントページの続き

(74)代理人 100095441
弁理士 白根 俊郎

(74)代理人 100084618
弁理士 村松 貞男

(74)代理人 100103034
弁理士 野河 信久

(74)代理人 100119976
弁理士 幸長 保次郎

(74)代理人 100153051
弁理士 河野 直樹

(74)代理人 100140176
弁理士 砂川 克

(74)代理人 100158805
弁理士 井関 守三

(74)代理人 100124394
弁理士 佐藤 立志

(74)代理人 100112807
弁理士 岡田 貴志

(74)代理人 100111073
弁理士 堀内 美保子

(74)代理人 100134290
弁理士 竹内 将訓

(72)発明者 武田 有広
埼玉県深谷市幡羅町一丁目 9 番地 2 東芝モバイルディスプレイ株式会社内

(72)発明者 小塚 知子
埼玉県深谷市幡羅町一丁目 9 番地 2 東芝モバイルディスプレイ株式会社内

(72)発明者 廣澤 仁
埼玉県深谷市幡羅町一丁目 9 番地 2 東芝モバイルディスプレイ株式会社内

F ターム(参考) 2H092 GA13 HA04 JA24 JB58 JB69 NA01
2H191 FA02Y FA14Y FA22X FA22Z FA82Z FA85Z FA94Y FD09 GA08 GA19
GA22 HA15 HA34 HA38 LA22 LA25

专利名称(译)	液晶表示装置		
公开(公告)号	JP2013037171A	公开(公告)日	2013-02-21
申请号	JP2011172849	申请日	2011-08-08
申请(专利权)人(译)	有限公司日本展示中心		
[标]发明人	武田有広 小塚知子 廣澤仁		
发明人	武田 有広 小塚 知子 廣澤 仁		
IPC分类号	G02F1/1343 G02F1/1335		
CPC分类号	G02F1/134309 G02F1/133514 G02F2001/134345		
FI分类号	G02F1/1343 G02F1/1335.510		
F-TERM分类号	2H092/GA13 2H092/HA04 2H092/JA24 2H092/JB58 2H092/JB69 2H092/NA01 2H191/FA02Y 2H191/FA14Y 2H191/FA22X 2H191/FA22Z 2H191/FA82Z 2H191/FA85Z 2H191/FA94Y 2H191/FD09 2H191/GA08 2H191/GA19 2H191/GA22 2H191/HA15 2H191/HA34 2H191/HA38 2H191/LA22 2H191/LA25 2H291/FA02Y 2H291/FA14Y 2H291/FA22X 2H291/FA22Z 2H291/FA82Z 2H291/FA85Z 2H291/FA94Y 2H291/FD09 2H291/GA08 2H291/GA19 2H291/GA22 2H291/HA15 2H291/HA34 2H291/HA38 2H291/LA22 2H291/LA25		
代理人(译)	河野 哲 中村诚 河野直树 冈田隆		
其他公开文献	JP5520896B2		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种能够抑制显示质量下降的液晶显示装置。沿着第一方向延伸并且沿与第一方向相交的第二方向和沿着第二方向以一定间隔彼此相邻的第一信号布线和第二信号布线 第三信号布线，第一电极沿第二方向延伸，第一电极在与第三信号布线相邻的第二信号布线的正上方穿过，并沿第一方向具有间隙，第一基板，其具有滤色器和第一电极，该滤色器在从第二信号布线和第三信号布线的交叉点起的，与第一方向和第二方向不同的方向上延伸。第二基板在夹层结构的两侧上具有沿着与第一电极的延伸方向基本平行的方向延伸的第二电极，并被保持在第一基板和第二基板之间。以及包含产生的液晶分子的液晶层。

[选择图]图7

图 7

