

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-150259

(P2012-150259A)

(43) 公開日 平成24年8月9日(2012. 8. 9)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 624B	5C006
G02F 1/133 (2006.01)	G09G 3/20 623F	5C080
	G09G 3/20 612K	
	G09G 3/20 623L	
審査請求 未請求 請求項の数 2 O L (全 12 頁) 最終頁に続く		

(21) 出願番号 特願2011-8574 (P2011-8574)
 (22) 出願日 平成23年1月19日 (2011. 1. 19)

(71) 出願人 308036402
 株式会社 J V C ケンウッド
 神奈川県横浜市神奈川区守屋町 3 丁目 1 2
 番地
 (74) 代理人 100085235
 弁理士 松浦 兼行
 (72) 発明者 清水 健
 神奈川県横浜市神奈川区守屋町 3 丁目 1 2
 番地
 F ターム (参考) 2H193 ZD23 ZF33 ZF34 ZF35
 5C006 AA16 AF21 AF51 AF71 AF83
 BF04 BF07 BF11 BF14 BF22
 BF24 BF25 FA16 FA21 FA56
 5C080 AA10 BB05 DD05 EE28 FF11
 JJ02 JJ04

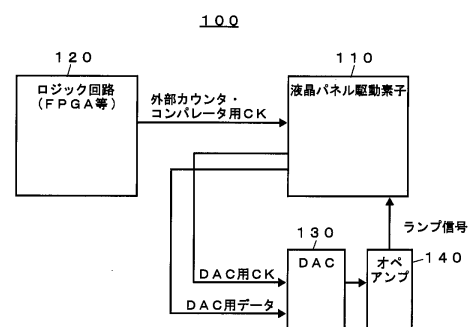
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 液晶パネル駆動素子内での位相の変動やチップ差などの影響を大幅に抑圧したランプ信号を生成し、階調精度を改善する。

【解決手段】 ロジック回路 120 は、コンパレータ用 CK 及びカウンタ用 CK を生成し、それを外部カウンタ・コンパレータ用 CK として液晶パネル駆動素子 110 に供給する。液晶パネル駆動素子 110 は、ロジック回路 120 から外部カウンタ・コンパレータ用 CK を入力として受け、それに基づいて DAC 用 CK と DAC 用データとを生成して DAC 130 へ出力する。DAC 130 は、DAC 用 CK で DAC 用データをラッチすることで DAC 用データの D/A 変換信号であるランプ信号を生成してオペアンプ 140 を通して液晶パネル駆動素子 110 に供給する。DAC 130 は、液晶パネル駆動素子 110 内で使用するコンパレータ用クロックと周期的なカウンタ値を用いてランプ信号を生成する。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

複数のゲート線と複数のデータ線との各交差部に、それぞれ液晶表示素子を備えた画素が複数配置された画素部と、

D/A変換用データとD/A変換用クロックとに基づいて、最小階調値のレベル及び最大階調値のレベルの一方から他方へ1水平走査期間内でレベルが単調的に変化する周期的な傾斜波であるランプ信号を生成するランプ信号生成手段と、

供給される第1のコンパレータ用クロック及びカウンタ用クロックに基づいて、第2のカウンタ用クロックと前記D/A変換用クロックを生成するクロック生成手段と、

前記クロック生成手段により生成された前記第2のカウンタ用クロックを計数して1水平走査期間内で基準階調値を示す値が単調的に変化する周期的なカウンタ値を生成し、その周期的なカウンタ値を前記D/A変換用データとして前記ランプ信号生成手段へ出力する計数手段と、

前記ゲート線に接続された前記画素部内の1ラインの各画素のそれぞれに対応して設けられており、表示するデジタル画像データの1ラインの各画素の画素値と、前記計数手段により生成された前記周期的なカウンタ値とを画素単位で比較し、両者が一致した時に一致パルスを出力する複数のコンパレータと、

前記複数のデータ線に対応して接続されており、1水平走査期間の開始毎にオンに制御され、前記ランプ信号生成手段により生成された前記ランプ信号を出力する複数のビデオスイッチと、

前記一致パルスを前記クロック生成手段に入力された前記第1のコンパレータ用クロックによりラッチしてオフ信号を生成し、そのオフ信号を前記複数のビデオスイッチのうち前記一致パルスを出力したコンパレータに対応して設けられたビデオスイッチに供給してオフに制御し、そのオフに制御された前記ビデオスイッチに接続されたデータ線を介して前記画素にオフに制御された時点の前記ランプ信号の信号値をサンプリング保持させる書き込み手段と

を有することを特徴とする液晶表示装置。

【請求項 2】

前記クロック生成手段は、

供給される前記第1のコンパレータ用クロック及びカウンタ用クロックを互いに異なる複数の時間遅延して複数の遅延クロックを並列に出力する遅延回路手段と、

前記遅延回路手段から並列に出力される前記複数の遅延クロックのうち、第1の選択信号により選択した前記遅延クロックを前記第2のカウンタ用クロックとして出力し、第2の選択信号により選択した前記遅延クロックを前記D/A変換用クロックとして出力するデータ選択手段と

を有することを特徴とする請求項1記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に係り、特にレベルが周期的に単調変化するランプ信号を用いて、デジタル画像データをデジタル-アナログ変換し、そのアナログ変換値を画素に書き込む液晶表示装置に関する。

【背景技術】

【0002】

従来、レベルが周期的に単調変化するランプ信号を用いて、デジタル画像データをデジタル-アナログ変換(D/A変換)し、そのアナログ変換値を画素に書き込む液晶表示装置が知られている(例えば、特許文献1参照)。この従来の液晶表示装置では、液晶パネル駆動素子の外部に設けられた回路により上記のランプ信号を生成して液晶パネル駆動素子に供給する。

【0003】

図 7 は、従来の液晶表示装置におけるランプ信号発生回路の一例の概略ブロック図を示す。この従来の液晶表示装置では、装置本体である液晶パネル駆動素子 401 の外部に設けられた、FPGA(Field-Programmable Gate Array)などの集積回路で構成されたロジック回路 402 と、D/A 変換器（以下、DAC と記す）403 と、オペアンプ 404 とからなるランプ信号発生回路によりランプ信号を発生して液晶パネル駆動素子 401 に供給する。

【0004】

ロジック回路 402 は、同期している DAC 用のクロック（以下、クロックを CK とも記す）及び DAC 用データとを生成して DAC 403 に供給すると共に、コンパレータ用 CK 及びカウンタ用 CK を液晶パネル駆動素子 401 に供給する。DAC 403 は、DAC 用データを DAC 用 CK でラッチして DAC 用データの値に応じたレベルのランプ信号を生成する。オペアンプ 404 は、DAC 403 からのランプ信号を、液晶パネル駆動素子 401 への信号レベルとドライブ能力を調整するため増幅して液晶パネル駆動素子 401 に供給する。

【0005】

液晶パネル駆動素子 401 は、カウンタ用 CK をカウントする内部のカウンタから階調を示す 1 水平走査期間（1H）周期のカウント値を出力し、そのカウント値とデジタル画像データの 1 水平ラインの各画素値とをコンパレータ用 CK で動作する内部のコンパレータで画素単位で比較し、両者が一致した時にコンパレータ用 CK 周期幅の一致パルスを出力して、内部のビデオスイッチでその時点のランプ信号をサンプリングして、上記の比較結果が一致した画素に書き込む動作を行う。この場合、最終的にランプ信号をサンプリングするタイミングは液晶パネル駆動素子 401 内のコンパレータに供給されるコンパレータ用 CK により決まる。

【0006】

ここで、カウンタに供給されるカウンタ用 CK の液晶パネル駆動素子 401 内での遅延時間 t_1 は次式で表わされる。

【0007】

$$t_1 = t_0 + t_{d1} + t_{ck1} \quad (1)$$

t_0 : ロジック回路 402 から入力されるカウンタ用 CK、コンパレータ用 CK のタイミング

t_{d1} : 液晶パネル駆動素子 401 内部で発生する遅延時間（調整用）

t_{ck1} : カウンタ用 CK の遅延時間（温度特性、電源電圧変動による変動遅延含む）

また、コンパレータ用 CK の液晶パネル駆動素子 401 内での遅延時間 t_2 は次式で表わされる。

【0008】

$$t_2 = t_0 + t_{ck2} \quad (2)$$

t_{ck2} : コンパレータ用 CK の遅延時間（温度特性、電源電圧変動による変動遅延含む）

ここで、液晶パネル駆動素子 401 が正しく動作するためには、カウンタの出力結果から生成されるコンパレータ出力を正しくラッチする必要があるため、コンパレータ用 CK の立ち上がりエッジがカウンタ用 CK の立ち上がりエッジより時間的に前にくる必要がある。よって、

$$t_2 < t_1 \quad (3)$$

となり、

$$t_{ck2} < t_{d1} + t_{ck1} \quad (4)$$

となる必要がある。ここで、 t_{ck2} 、 t_{d1} 、 t_{ck1} は液晶パネル駆動素子 401 内部の遅延であるため、温度特性や電源電圧の変動により変動するが、同一素子内での遅延であるため、(4) 式はほぼ常に成り立つように設定することができる。

【0009】

一方、DAC用CK及びDAC用データはロジック回路402で生成されて、以下のよう
な時間遅延される。

【0010】

$$t_3 = t_4 + t_{ck3} \quad (5)$$

t_3 : DAC用CKの遅延時間 (DAC403の内部最終段)

t_4 : ロジック回路402で生成されたDAC用CKの遅延時間 (ロジック回路402での遅延変動時間は t_0 と同じとする)

t_{ck3} : DAC403内部での遅延変動時間 (温度特性、電源電圧変動による変動遅延含む)

【先行技術文献】

10

【特許文献】

【0011】

【特許文献1】特開2002-40996号公報

【発明の概要】

【発明が解決しようとする課題】

【0012】

従来の液晶表示装置では、最終的にランプ信号をサンプリングするタイミングは液晶パネル駆動素子401内のコンパレータに供給されるコンパレータ用CKにより決まるため、そのコンパレータ用CKとDAC403から出力されるランプ信号のタイミングの位相が一致していないと同じ画像データに対して異なるランプ信号電圧をサンプリングすることになり、画素毎やフレーム毎などに同一の画像データでも明るさが変わるという事態になる可能性がある。

20

【0013】

ここで、カウンタ用CK及びコンパレータ用CKは液晶パネル駆動素子401の駆動周波数に応じて周波数を上げる必要がある。例えば、液晶パネル駆動素子401を60Hzで駆動するときは、DAC403が10ビットDACであるときにはカウンタ用CK及びコンパレータ用CKの周波数は約80MHzであり、120Hzで駆動するときには倍速となっているため、カウンタ用CK及びコンパレータ用CKの周波数は約160MHzとなる。このようにカウンタ用CK及びコンパレータ用CKの周波数が高くなると、コンパレータ出力をコンパレータ用CKでサンプリングするタイミングが難しくなる。よって、コンパレータ用CK又はカウンタ用CKの位相を調整する必要がある。

30

【0014】

この場合、コンパレータ用CKの位相を変えると、DAC403から出力されるランプ信号のサンプリング点が変わるため、基本的にはコンパレータ用CKの位相は調整できない。しかし、コンパレータ用CKの位相は液晶パネル駆動素子401内においてチップにより異なっている可能性があり、場合によってはロジック回路402での調整等が必要となる。

【0015】

しかしながら、従来の液晶表示装置におけるランプ信号発生回路においては、上記の調整が困難である。すなわち、図7に示した従来のランプ信号発生回路において、DAC403内部での遅延変動時間 t_{ck3} は、液晶パネル駆動素子401と異なるDAC403での遅延変動時間であるため、液晶パネル駆動素子401内部と同様の遅延変動時間にはならない可能性がある。よって、DAC403の出力タイミングを決める(5)式の遅延時間 t_3 と、そのDAC403から出力されてオペアンプ404を通して入力されるランプ信号を液晶パネル駆動素子401内部でサンプルホールドするタイミングを決める(2)式のコンパレータ用CKの遅延時間 t_2 とは同様な遅延時間とはならず、タイミング調整が難しい。

40

【0016】

本発明は以上の点に鑑みなされたもので、液晶パネル駆動素子内での位相の変動やチップ差などの影響を大幅に抑圧したランプ信号を生成し、階調精度を改善した液晶表示装置

50

を提供することを目的とする。

【課題を解決するための手段】

【0017】

上記の目的を達成するため、本発明の液晶表示装置は、複数のゲート線と複数のデータ線との各交差部に、それぞれ液晶表示素子を備えた画素が複数配置された画素部と、D/A変換用データとD/A変換用クロックとに基づいて、最小階調値のレベル及び最大階調値のレベルの一方から他方へ1水平走査期間内でレベルが単調的に変化する周期的な傾斜波であるランプ信号を生成するランプ信号生成手段と、供給される第1のコンパレータ用クロック及びカウンタ用クロックに基づいて、第2のカウンタ用クロックとD/A変換用クロックを生成するクロック生成手段と、クロック生成手段により生成された第2のカウンタ用クロックを計数して1水平走査期間内で基準階調値を示す値が単調的に変化する周期的なカウンタ値を生成し、その周期的なカウンタ値をD/A変換用データとしてランプ信号生成手段へ出力する計数手段と、ゲート線に接続された画素部内の1ラインの各画素のそれぞれに対応して設けられており、表示するデジタル画像データの1ラインの各画素の画素値と、計数手段により生成された周期的なカウンタ値とを画素単位で比較し、両者が一致した時に一致パルスを出力する複数のコンパレータと、複数のデータ線に対応して接続されており、1水平走査期間の開始毎にオンに制御され、ランプ信号生成手段により生成されたランプ信号を出力する複数のビデオスイッチと、一致パルスをクロック生成手段に入力された第1のコンパレータ用クロックによりラッチしてオフ信号を生成し、そのオフ信号を複数のビデオスイッチのうち一致パルスを出力したコンパレータに対応して設けられたビデオスイッチに供給してオフに制御し、そのオフに制御されたビデオスイッチに接続されたデータ線を介して画素にオフに制御された時点のランプ信号の信号値をサンプリング保持させる書き込み手段とを有することを特徴とする。

【0018】

また、上記の目的を達成するため、本発明の液晶表示装置は、上記クロック生成手段を、供給される第1のコンパレータ用クロック及びカウンタ用クロックを互いに異なる複数の時間遅延して複数の遅延クロックを並列に出力する遅延回路手段と、遅延回路手段から並列に出力される複数の遅延クロックのうち、第1の選択信号により選択した遅延クロックを第2のカウンタ用クロックとして出力し、第2の選択信号により選択した遅延クロックをD/A変換用クロックとして出力するデータ選択手段とを有する構成としたことを特徴とする。

【発明の効果】

【0019】

本発明によれば、ランプ信号を生成するためのD/A変換用クロックとD/A変換用データとして、液晶パネル駆動素子内で使用するコンパレータ用クロックと周期的なカウンタ値を用いることにより、液晶パネル駆動素子内での位相の変動やチップ差などの影響を大幅に抑圧したランプ信号を生成し、階調精度を改善することができる。

【図面の簡単な説明】

【0020】

【図1】本発明の液晶表示装置の一実施の形態の概略ブロック図である。

【図2】図1中の液晶パネル駆動素子の一実施の形態のブロック図である。

【図3】図1及び図2の動作説明用タイミングチャートである。

【図4】図2の液晶パネル駆動素子の要部の一実施の形態のブロック図である。

【図5】図4中の遅延調整部の一例のブロック図である。

【図6】図4及び図5の動作説明用タイミングチャートである。

【図7】従来の液晶表示装置の一例の概略ブロック図である。

【発明を実施するための形態】

【0021】

次に、本発明の実施の形態について、図面を参照して説明する。

【0022】

図1は、本発明になる液晶表示装置の一実施の形態の概略ブロック図を示す。同図に示すように、本実施の形態の液晶表示装置100は、液晶パネル駆動素子110と、FPGA等の集積回路により構成されたロジック回路120と、D/A変換器(DAC)130と、オペアンプ140とから構成される。

【0023】

ロジック回路120は、コンパレータ用CK及びカウンタ用CK(以下、これらを「カウンタ・コンパレータ用CK」ともいう)とを生成し、それを外部カウンタ・コンパレータ用CKとして液晶パネル駆動素子110に供給する。液晶パネル駆動素子110は、後述するように従来の液晶パネル駆動素子401とは異なり、ロジック回路120から外部カウンタ・コンパレータ用CKを入力として受け、それに基づいてDAC用CKとDAC用データとを生成してDAC130へ出力すると共に、コンパレータ用カウンタ出力を生成して内部のコンパレータへ出力する。DAC130は、DAC用CKでDAC用データをラッチすることでDAC用データのD/A変換信号であるランプ信号を生成してオペアンプ140へ出力する。オペアンプ140は、入力されたランプ信号を、液晶パネル駆動素子110への信号レベルとドライブ能力を調整するため増幅して液晶パネル駆動素子110に供給する。

【0024】

本実施の形態の液晶表示装置100は、液晶パネル駆動素子110において、デジタル画像データをD/A変換して画素に書き込むときに用いるランプ信号を生成するためのDAC130に、液晶パネル駆動素子110内で使用するコンパレータ用クロックに同期したDAC用クロックを用い、かつ、カウンタ用CKをカウンタして得られる周期的なカウンタ値をDAC用データとして用いることにより、液晶パネル駆動素子110内での位相の変動やチップ差などの影響を大幅に抑圧したランプ信号を生成し、階調精度を改善するものである。

【0025】

次に、液晶パネル駆動素子110について更に詳細に説明する。

【0026】

図2は、液晶パネル駆動素子110の一実施の形態のブロック図を示す。液晶パネル駆動素子110は、データラッチ111、カウンタ・コンパレータ用CK生成部112、シフトレジスタ及びコンパレータ113、ビデオスイッチ等からなる水平駆動回路114、2次元マトリクス状に規則正しく配置された複数の画素115と、垂直駆動回路116及び117を有する。

【0027】

データラッチ111は、aビットの表示すべきデジタル画像データ(Data)を、1H周期の水平クロック(hCK)でラッチし、bビットのデジタル画像データとシフトクロックを生成してシフトレジスタ及びコンパレータ113に供給する。一方、カウンタ・コンパレータ用CK生成部112は、図1に示したロジック回路120から供給される外部カウンタ・コンパレータ用CKを入力として受け、その入力クロックに基づいてDAC用CK及びカウンタ用CKとを生成し、カウンタ用CKはシフトレジスタ及びコンパレータ113内のカウンタに供給し、DAC用CKは図1に示したDAC130に供給する。

【0028】

シフトレジスタ及びコンパレータ113は、内部にシフトレジスタ、コンパレータ及びカウンタを有している。シフトレジスタ及びコンパレータ113内のシフトレジスタは、データラッチ111から入力されるデジタル画像データの1ライン分を展開し、かつ、ラッチCKによりそれを一時保持した後、シフトレジスタ及びコンパレータ113内のコンパレータに並列に供給する。シフトレジスタ及びコンパレータ113内のコンパレータは、n本(nは2以上の整数)のデータ線(列信号線)に対応して各列毎に全部でn個設けられており、各々2つの入力端子のうち、一方の入力端子に上記のシフトレジスタからの1ラインの各画素値が別々に供給される。

【0029】

10

20

30

40

50

シフトレジスタ及びコンパレータ 1 1 3 内のカウンタは、カウンタ・コンパレータ用 C K 生成部 1 1 2 からのカウンタ用 C K を計数して、複数の階調値が例えば最小値から最大値まで水平走査期間内で一定期間毎に段階的に変化する内部コンパレータ用カウンタ出力（基準階調データ）を生成して、n 個のコンパレータの各々 2 つの入力端子のうちの他方の入力端子に共通に供給する。これにより、n 個のコンパレータは上記のシフトレジスタにより保持された画像データと上記の基準階調データとを 1 ラインの各画素単位で供給されて両者を比較し、両者が一致したとき一致パルス（一致パルス）を水平駆動回路 1 1 4 に供給する。

【0030】

水平駆動回路 1 1 4 は、データ線（列信号線）毎に接続されたビデオスイッチを有し、シフトレジスタ及びコンパレータ 1 1 3 内の各列毎のコンパレータから一致パルスが供給された時に、一致パルス（一致パルス）を出力するコンパレータに対応して設けられた上記のビデオスイッチがオフとされ、ランプ信号をデータ線にサンプリングする構成である。

【0031】

画素 1 1 5 は、n 本のデータ線（列信号線）D1～Dn と、m 本のゲート線（行走査線）G1～Gm との各交差部に設けられており、複数の画素 1 1 5 により画素部を構成しており、データ線を介してサンプリング入力される信号電圧を保持容量に保持した後、液晶表示素子の画素電極に供給する構成である。液晶表示素子是对向して設けられた画素電極と共通電極との間に液晶層が挟持された公知の構成である。

【0032】

なお、画素 1 1 5 自体の構成は本実施の形態と直接の関係はないが、例えば本出願人が先に特開 2 0 0 9 - 2 2 3 2 8 9 号公報にて開示した構造の画素を用いてもよい。この画素は、2 本のデータ線（列信号線）を一組とする複数組のデータ線と、複数本のゲート線（行走査線）との各交差部にそれぞれ配置され、2 本のデータ線を介して正極性映像信号と負極性映像信号とが入力されて 2 つの保持容量に別々にサンプリング保持し、それら 2 つの保持電圧を垂直走査周期よりも短い所定の周期で交互に画素電極に印加する構成である。

【0033】

垂直駆動回路 1 1 6 及び 1 1 7 は、ゲート線 G1～Gm に対して行選択信号を 1 水平走査期間（1 H）周期で順次に供給し、また同じゲート線に同じ行選択信号を同時に供給する。これは、チップが横に長い（水平画素数が多い）ために、左右からドライブしないと配線抵抗等で波形鈍りなどが発生し、画質に影響するためである。左右の垂直駆動回路 1 1 6 及び 1 1 7 によりドライブすることで、上記の波形鈍りを軽減できて、スピードを速くできるという効果が得られる。

【0034】

次に、図 1 及び図 2 の動作の概略について図 3 のタイミングチャートを参照して説明する。図 1 のロジック回路 1 2 0 は、図 3（A）に示す外部カウンタ・コンパレータ用 C K を生成して液晶パネル駆動素子 1 1 0 に供給する。液晶パネル駆動素子 1 1 0 内のカウンタ・コンパレータ用 C K 生成部 1 1 2 は、入力された外部カウンタ・コンパレータ用 C K に基づいて図 3（B）に示すカウンタ用 C K を生成してシフトレジスタ及びコンパレータ 1 1 3 内のカウンタに供給すると共に、図 3（G）に示す D A C 用 C K を生成して図 1 の D A C 1 3 0 に供給する。なお、図示していないが、図 3（A）に示す外部カウンタ・コンパレータ用 C K は、コンパレータ用 C K としてシフトレジスタ及びコンパレータ 1 1 3 内のコンパレータの出力をラッチするラッチパルスとして供給される。

【0035】

シフトレジスタ及びコンパレータ 1 1 3 内のカウンタは、図 3（B）に示すカウンタ用 C K を計数して、図 3（C）に示す内部コンパレータ用カウンタ出力を生成してシフトレジスタ及びコンパレータ 1 1 3 内のコンパレータに供給する。なお、内部コンパレータ用カウンタ出力は、値が 1 H 期間内で最小階調値から最大階調値まで 1 ずつ単調的に増加する周期的な基準階調データである。

【0036】

10

20

30

40

50

ここで、 n 本のデータ線毎に設けられたコンパレータのうち、あるコンパレータにおいて、そのコンパレータと同じ列の画素の値（例えば“2”）が図3（C）に示す内部コンパレータ用カウンタ出力の値（基準階調値）と一致した場合、コンパレータからは図3（D）に示すようなハイレベルの一致パルスが出力される。一方、水平駆動回路114内の n 本のデータ線毎に設けられたビデオスイッチのうち、上記の一致パルスを出力するコンパレータに対応するビデオスイッチに、一致パルスをコンパレータ用CKでラッチして得た図3（E）に示すハイレベルのビデオスイッチオフ（OFF）用信号が入力され、そのビデオスイッチがオフとされる。なお、各ビデオスイッチは水平走査期間の開始毎に同時にオンとされるが、上記のように絵柄によってオフタイミングが異なることもあり、同じ場合もある。

10

【0037】

一方、図1のDAC130は、カウンタ・コンパレータ用CK生成部112から図3（G）に示すDAC用CKが入力されると共に、シフトレジスタ及びコンパレータ113内のカウンタから図3（F）に示すDAC用データ（上記の内部コンパレータ用カウンタ出力と同じ）が入力され、DAC用データの値をDAC用CKでラッチすることで段階的にレベルが増加する図3（H）に示すランプ信号を生成している。このランプ信号は1H周期でレベルが単調増加する傾斜波である。そして、ビデオスイッチがオフとされると、そのオフ時点のランプ信号の電圧値が図3に矢印で示すようにサンプリングされて、そのビデオスイッチに接続されたゲート線を介して対応する画素内の保持容量に書き込まれる。

【0038】

20

ここで、ランプ信号をサンプリングするタイミングはビデオスイッチオフ信号が出力されるタイミングで、これはコンパレータ用クロック（図3（A）に示す外部カウンタ・コンパレータ用CK）の立ち上がりにほぼ一致する。一方、DAC130から出力されるランプ信号が変化するタイミングはDAC用CKが立ち上がってからDAC130の内部の遅延で決まるタイミングである。従って、コンパレータ用クロックの立ち上がり時点とDAC用CKの立ち上がり時点の差を調整する必要がある。

【0039】

本実施の形態では、液晶パネル駆動素子110から出力される図3（F）に示すDAC用データと同図（G）に示すDAC用CKとは位相が合っているので、DAC130でのD/A変換によるアナログ電圧（ランプ信号）出力までの時間遅れが、実際にランプ信号をサンプリングするときの差となるが、それはDAC130で決まるほぼ固定の値となるので、CKのタイミングを一度調整すれば温度特性や電源の変動に対して問題が発生しにくくできる。

30

【0040】

次に、本実施の形態のランプ信号の生成の際のクロックの調整について更に詳細に説明する。

【0041】

図4は、図2の要部の一実施の形態のブロック図を示す。図4において、遅延調整部301は図2のカウンタ・コンパレータ用CK生成部112を構成しており、外部カウンタ・コンパレータ用CKに基づいて、DAC用CKとカウンタ用CKとを生成する。また、図4において、カウンタ302は、図2中のシフトレジスタ及びコンパレータ113内に設けられている p ビット（例えば、10ビット）のカウンタで、DAC用データ及び内部コンパレータ用カウンタ出力を生成する。図4において、DAC用データを生成するためのカウンタ302は基本的には液晶パネル駆動素子110で用いるブロックのため、特に回路の追加は殆どなく、多少のタイミング調整等が必要になるが従来の回路からの増加はあまりない。

40

【0042】

図5は、遅延調整部301の一例のブロック図を示す。同図に示すように、遅延調整部301は、複数のインバータが縦続接続されたインバータチェーンからなる遅延回路3011と、遅延回路3011の並列出力クロックの中から所定のクロックを選択してカウン

50

タ用C KとD A C用C Kとを出力するデータセクタ3 0 1 2とからなる。

【0 0 4 3】

次に、図4及び図5の遅延調整部3 0 1の動作について、図6のタイミングチャートを併せ参照して説明する。

【0 0 4 4】

遅延調整部3 0 1は、図1のロジック回路1 2 0から図6 (A)に示す外部カウンタ・コンパレータ用C Kが入力され、図5の遅延回路3 0 1 1により複数のインバータの各々の所定の遅延時間単位で遅延された複数の遅延カウンタ・コンパレータ用C Kを生成してデータセクタ3 0 1 2に並列に供給する。データセクタ3 0 1 2は、遅延回路3 0 1 1から並列に入力される複数の遅延カウンタ・コンパレータ用C Kの中から、例えばqビットのカウンタ用C K選択信号により指定された遅延時間のC Kを選択して図6 (B)に示すカウンタ用C Kとして出力すると共に、例えばrビットのD A C用C K選択信号により指定された遅延時間のC Kを選択してD A C用C Kとして出力する。

【0 0 4 5】

図4のカウンタ3 0 2は、遅延調整部3 0 1から出力されたカウンタ用C Kをカウントして図6 (C)に示すような内部コンパレータ用カウンタ出力を生成して、図2に示したシフトレジスタ及びコンパレータ1 1 3内のn個のコンパレータの各々2つある一方の比較端子に共通に供給する。n個のコンパレータは2つある他方の比較端子には、1ラインのn画素の各画素値が個別に供給され、画素単位で画素値と内部コンパレータ用カウンタ出力との比較を行い、両者が一致したコンパレータから図6 (D)に示す一致パルス出力する。この一致パルスは、コンパレータ用C Kでコンパレータ出力をラッチしたパルスである。図6 (D)は図3 (D)と同じ一致パルスで、画素値“2”で一致したコンパレータからの一致パルスを示している。

【0 0 4 6】

図2の水平駆動回路1 1 4内のn本のデータ線毎に設けられたビデオスイッチのうち、上記の一致パルス出力するコンパレータに対応するビデオスイッチに、図6 (E)に示すように、一致パルスをコンパレータ用C Kでラッチして得たハイレベルのオフ (O F F)用信号が入力され、そのビデオスイッチがオフとされる。一致パルスが出力されてからビデオスイッチがオフとされるまでには、コンパレータ用C Kの内部遅延により遅延が生じる。

【0 0 4 7】

また、図4のカウンタ3 0 2は、上記の内部コンパレータ用カウンタ出力と同じ信号を図6 (F)に示すD A C用データとして図1のD A C 1 3 0へ出力する。また、図4の遅延調整部3 0 1は、図5のデータセクタ3 0 1 2から図6 (G)に示すようにD A C用C Kを図1のD A C 1 3 0へ出力する。D A C 1 3 0は、上記のD A C用C Kの立ち上がり毎にD A C用データをラッチして図6 (H)に示すような階段波形のランプ信号を生成する。

【0 0 4 8】

前述したように、水平駆動回路1 1 4内のビデオスイッチがオフとされると、そのオフ時点のランプ信号がサンプリングされて、オフされたビデオスイッチがデータ線を介して接続されている画素に書き込まれる。この画素に書き込まれるサンプリングされたランプ信号の電圧値は、デジタル画像データの画素値をD/A変換したアナログ値である。

【0 0 4 9】

ここで、本実施の形態では、液晶パネル駆動素子1 1 0の内部のカウンタ用C Kの遅延時間 t_1 と、コンパレータ用C Kの遅延時間 t_2 とは(1)式、(2)式と同様になり、(3)式と(4)式も成り立つ状態である。

【0 0 5 0】

一方、本実施の形態では、D A C用C Kの遅延時間 t_5 は、次式で表わされる。

【0 0 5 1】

$$t_5 = t_0 + t_{d2} + t_{ck4} \quad (6)$$

10

20

30

40

50

t d 2 : D A C 用 C K の遅延時間 (調整用)

t c k 4 : D A C 用 C K の全体の遅延時間 (温度特性、電源電圧変動による変動遅延含む)

D A C 用 C K の遅延時間 t 5 は、コンパレータ用 C K と同一の液晶パネル駆動素子 1 1 0 内での遅延時間であるため、その遅延時間変動分はコンパレータ用 C K のそれと同様となり、D A C 用 C K とコンパレータ用 C K とはほぼ同じ位相を保つことになる。D A C 1 3 0 の出力タイミング t 6 は、(6) 式と (5) 式とから次式で表わされる。

【0052】

$$t 6 = t 0 + t d 2 + t c k 4 + t c k 3 \quad (7)$$

この中でクロックの変動としては D A C 1 3 0 内部での遅延変動時間 t c k 3 のみが D A C 用 C K とコンパレータ用 C K の位相差となることになり、従来より調整は改善する。

10

【0053】

このように、本実施の形態では、コンパレータ用カウンタ出力はコンパレータ用 C K によりラッチされるのであるが、コンパレータ用カウンタ出力の位相はカウンタ用 C K に応じて変化するため、液晶パネル駆動素子 1 1 0 内部でのコンパレータ用カウンタ出力とカウンタ用 C K との遅延を考慮し、液晶パネル駆動素子 1 1 0 内の遅延調整部 3 0 1 によりカウンタ用 C K を遅延することにより、コンパレータ用 C K を調整しなくてもコンパレータ用カウンタ出力を正しくラッチすることができるようにしている。

【0054】

また、本実施の形態では、外部の D A C 1 3 0 内部での遅延を考慮して液晶パネル駆動素子 1 1 0 内でランプ信号をサンプルホールドするタイミングに正しく合わせて、D A C 1 3 0 からランプ信号が出力されるように、液晶パネル駆動素子 1 1 0 内の遅延調整部 3 0 1 により D A C 用 C K を調整しているため、温度特性や電源電圧の変動による問題を殆ど考慮する必要がない。

20

【0055】

なお、本発明は上記の実施の形態に限定されるものではなく、例えばランプ信号は最小階調値のレベルから最大階調値のレベルに単調的に変化する周期的な傾斜波であるように説明したが、最大階調値のレベルから最小階調値のレベルに単調的に変化する周期的な傾斜波であってもよい。

【符号の説明】

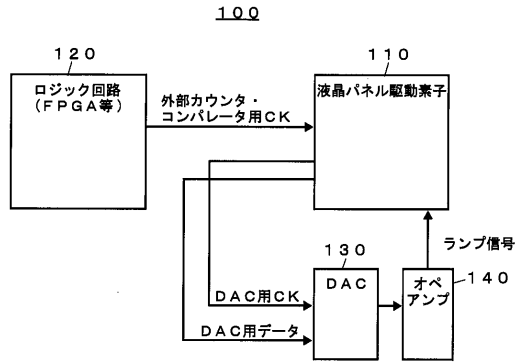
30

【0056】

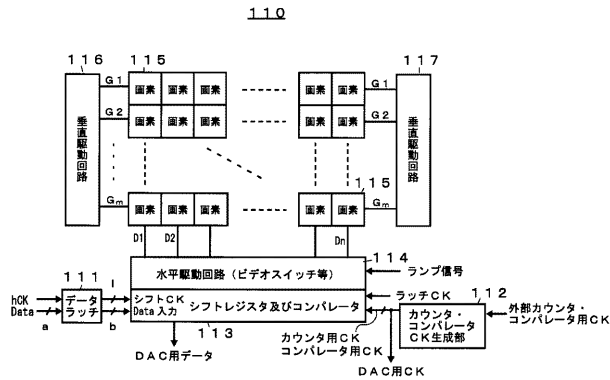
- 1 0 0 液晶表示装置
- 1 1 0 液晶パネル駆動素子
- 1 1 1 データラッチ
- 1 1 2 カウンタ・コンパレータ C K 生成部
- 1 1 3 シフトレジスタ及びコンパレータ
- 1 1 4 水平駆動回路 (ビデオスイッチ等)
- 1 1 5 画素
- 1 1 6、1 1 7 垂直駆動回路
- 1 2 0 ロジック回路
- 1 3 0 D/A 変換器 (D A C)
- 1 4 0 オペアンプ
- 3 0 1 遅延調整部
- 3 0 2 カウンタ
- 3 0 1 1 遅延回路
- 3 0 1 2 データセレクタ

40

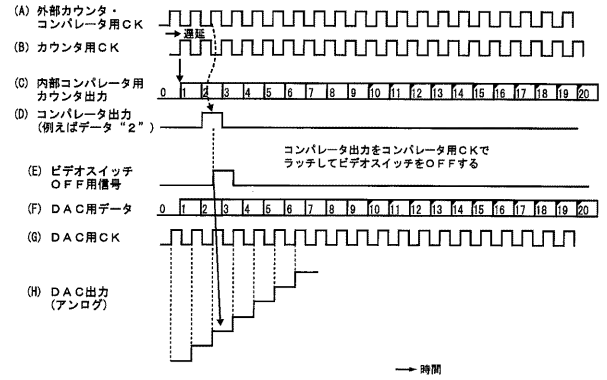
【図 1】



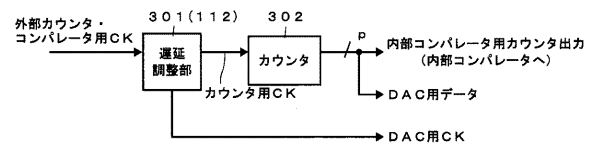
【図 2】



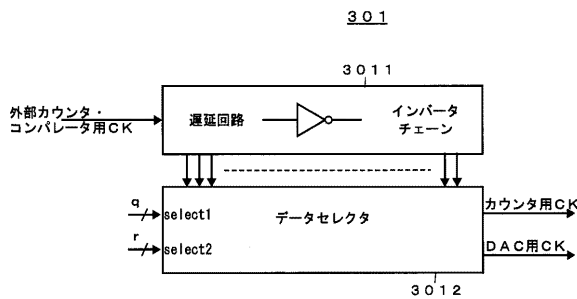
【図 3】



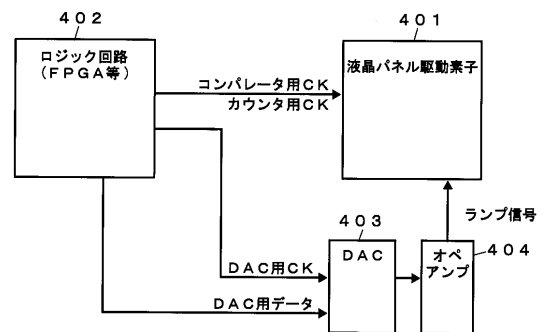
【図 4】



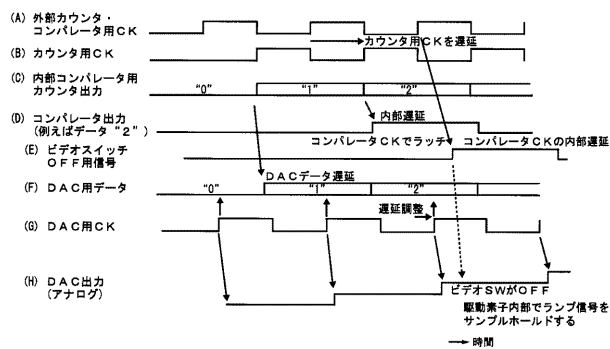
【図 5】



【図 7】



【図 6】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

G 0 9 G 3/20 6 4 1 C

G 0 9 G 3/20 6 4 2 A

G 0 2 F 1/133 5 5 0

专利名称(译)	液晶表示装置		
公开(公告)号	JP2012150259A	公开(公告)日	2012-08-09
申请号	JP2011008574	申请日	2011-01-19
[标]申请(专利权)人(译)	JVC 建伍株式会社		
申请(专利权)人(译)	JVC建伍公司		
[标]发明人	清水 健		
发明人	清水 健		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.624.B G09G3/20.623.F G09G3/20.612.K G09G3/20.623.L G09G3/20.641.C G09G3/20.642.A G02F1/133.550		
F-TERM分类号	2H193/ZD23 2H193/ZF33 2H193/ZF34 2H193/ZF35 5C006/AA16 5C006/AF21 5C006/AF51 5C006/AF71 5C006/AF83 5C006/BF04 5C006/BF07 5C006/BF11 5C006/BF14 5C006/BF22 5C006/BF24 5C006/BF25 5C006/FA16 5C006/FA21 5C006/FA56 5C080/AA10 5C080/BB05 5C080/DD05 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ04		
其他公开文献	JP5549610B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过产生斜坡信号来提高灰度精度，该斜坡信号可显著抑制液晶面板驱动元件中的相位变化和芯片差异等影响。逻辑电路120生成用于比较器的CK和用于计数器的CK，并将其作为用于外部计数器/比较器的CK提供给液晶面板驱动元件110。液晶面板驱动元件110从逻辑电路120接收外部计数器/比较器CK作为输入，基于该输入生成DAC CK和DAC数据，并且将DAC CK和DAC数据输出到DAC 130。DAC 130用DAC CK锁存DAC数据，以产生作为DAC数据的D / A转换信号的斜坡信号，并通过运算放大器140将斜坡信号提供给液晶面板驱动元件110。DAC 130使用在液晶面板驱动元件110中使用的比较器时钟和周期性计数器值来产生斜坡信号。[选型图]图1

