

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2012-113090
(P2012-113090A)

(43) 公開日 平成24年6月14日 (2012. 6. 14)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1343 (2006.01)	GO2F 1/1343	2H088
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H092
GO2F 1/13 (2006.01)	GO2F 1/13 1 O 1	

審査請求 有 請求項の数 10 O L (全 15 頁)

(21) 出願番号 (22) 出願日	特願2010-261153 (P2010-261153) 平成22年11月24日 (2010. 11. 24)	(71) 出願人 502356528 株式会社 日立ディスプレイズ 千葉県茂原市早野3300番地 (74) 代理人 110000350 ポレール特許業務法人 (72) 発明者 長三 幸弘 千葉県茂原市早野3300番地 株式会社 日立ディスプレイズ内 Fターム(参考) 2H088 EA02 FA15 HA02 HA04 JA04 MA20 2H092 GA14 GA15 GA17 HA04 JA24 JA42 JA44 JA45 JB56 JB71 KA18 KB14 KB25 MA49 NA16 NA29 QA06
-----------------------	--	---

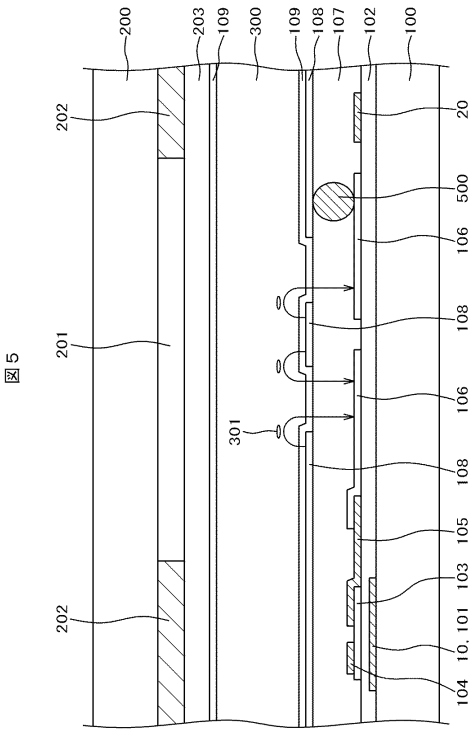
(54) 【発明の名称】 液晶表示装置およびその製造方法

(57) 【要約】

【課題】 下層にTFTのソース電極と接続した画素電極が配置され、絶縁膜を挟んで、上層にスリットを有するコモン電極が配置されたIPS方式液晶表示装置において、画素電極とコモン電極の導通による画素欠陥の数を低減する。

【解決手段】 TFT基板100の上にゲート電極101が形成され、これを覆ってゲート絶縁膜102が形成され、その上に分割された画素電極106が形成されている。通常は分割された画素電極106はソース電極105によって接続されている。画素電極106の上に層間絶縁膜107が形成され、層間絶縁膜107の上にスリットを有するコモン電極108が形成されている。コモン電極108と分割された画素電極106の一つが導電性異物500によって導通した場合、その分割された画素電極106をソース電極105と分離することによって、他の分割された画素電極106が動作することが出来るので、1画素が完全欠陥となることを免れる。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

T F T 基板と対向基板と、前記 T F T 基板と前記対向基板との間に液晶が挟持された液晶表示装置であって、

前記 T F T 基板には、ゲート電極、ゲート絶縁膜、半導体層がこの順で形成され、前記半導体層にはドレイン電極とソース電極が配置され、

前記ゲート絶縁膜の上には、I T O によって形成された画素電極が配置され、

前記画素電極の上には、絶縁膜が形成され、前記絶縁膜の上にはスリットを有する I T O によって形成されたコモン電極が配置され、

前記画素電極は複数に分割され、前記複数の分割された画素電極は各々前記ソース電極と接続し、

前記分割された画素電極と前記コモン電極の前記スリットはオーバーラップしていることを特徴とする液晶表示装置。

【請求項 2】

前記ソース電極は櫛歯状の電極となっており、前記分割された画素電極は前記ソース電極の櫛歯の部分とオーバーラップして接続していることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記分割された画素電極の幅は前記櫛歯状のソース電極の櫛歯の部分の幅よりも大きいことを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 4】

前記オーバーラップ部において、前記ソース電極は前記分割された画素電極よりも上側に存在していることを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 5】

1 画素において、前記分割された画素電極の数と、前記コモン電極のスリットの数とは等しいことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 6】

T F T 基板と対向基板と前記 T F T 基板と前記対向基板との間に液晶が挟持された液晶表示装置であって、

前記 T F T 基板には、第 1 の方向に延在するゲート電極と、ゲート絶縁膜、半導体層がこの順で形成され、前記半導体層の上にはドレイン電極と、前記第 1 の方向と直角方向の第 2 の方向に、前記ドレイン電極と対向して第 1 のソース電極が形成され、前記第 1 の方向と直角方向で、前記第 2 の方向と反対方向の第 3 の方向に、前記ドレイン電極と対向して第 2 のソース電極が形成され、

前記ゲート電極に対して前記第 2 の方向には、前記ゲート絶縁膜の上に I T O によって形成された第 1 の画素電極が配置され、

前記ゲート電極に対して前記第 3 の方向には、前記ゲート絶縁膜の上に I T O によって形成された第 2 の画素電極が配置され、

前記第 1 および第 2 の画素電極の上には、絶縁膜が形成され、前記絶縁膜の上には I T O によって形成されたコモン電極が配置され、前記コモン電極は、前記第 1 の画素電極および前記第 2 の画素電極の各々に対応してスリットが形成されていることを特徴とする液晶表示装置。

【請求項 7】

前記第 1 のソース電極と前記第 1 の画素電極はオーバーラップして接続し、前記第 2 のソース電極と前記第 2 の画素電極はオーバーラップして接続していることを特徴とする請求項 6 に記載の液晶表示装置。

【請求項 8】

前記第 1 の画素電極は複数に分割され、前記複数の分割された第 1 の画素電極の各々に前記コモン電極のスリットが対応し、前記第 2 の画素電極は複数に分割され、前記複数の分割された第 2 の画素電極の各々に前記コモン電極のスリットが対応していることを特徴

10

20

30

40

50

とする請求項 6 に記載の液晶表示装置。

【請求項 9】

TFT 基板と対向基板と前記 TFT 基板と前記対向基板との間に液晶が挟持され、
前記 TFT 基板には、ゲート電極、ゲート絶縁膜、半導体層がこの順で形成され、前記半導体層にはドレイン電極とソース電極が配置され、

前記ゲート絶縁膜の上には、ITO によって形成された画素電極が配置され、

前記画素電極の上には、絶縁膜が形成され、前記絶縁膜の上にはスリットを有する ITO によって形成されたコモン電極が配置され、

前記画素電極は複数に分割され、前記複数の分割された画素電極は各々前記ソース電極と接続し、

10

前記分割された画素電極と前記コモン電極の前記スリットはオーバーラップしており、

前記ソース電極は櫛歯状の電極となっており、前記分割された画素電極は前記ソース電極の櫛歯の部分とオーバーラップして接続している液晶表示装置の製造方法であって、

前記分割された複数の画素電極の内の 1 個の画素電極が前記コモン電極と導通した場合、前記導通している画素電極と前記ソース電極とのオーバーラップ部をレーザによって切断することを特徴とする液晶表示装置の製造方法。

【請求項 10】

TFT 基板と対向基板と前記 TFT 基板と前記対向基板との間に液晶が挟持された液晶表示装置であって、

前記 TFT 基板には、第 1 の方向に延在するゲート電極と、ゲート絶縁膜、半導体層がこの順で形成され、前記半導体層の上にはドレイン電極と、前記第 1 の方向と直角方向の第 2 の方向に、前記ドレイン電極と対向して第 1 のソース電極が形成され、前記第 1 の方向と直角方向で、前記第 2 の方向と反対方向の第 3 の方向に、前記ドレイン電極と対向して第 2 のソース電極が形成され、

20

前記ゲート電極に対して前記第 2 の方向には、前記ゲート絶縁膜の上に ITO によって形成された第 1 の画素電極が配置され、

前記ゲート電極に対して前記第 3 の方向には、前記ゲート絶縁膜の上に ITO によって形成された第 2 の画素電極が配置され、

前記第 1 および第 2 の画素電極の上には、絶縁膜が形成され、前記絶縁膜の上には ITO によって形成されたコモン電極が配置され、前記コモン電極は、前記第 1 の画素電極および前記第 2 の画素電極の各々に対応してスリットが形成されており、

30

前記第 1 のソース電極と前記第 1 の画素電極はオーバーラップして接続し、前記第 2 のソース電極と前記第 2 の画素電極はオーバーラップして接続している液晶表示装置の製造方法であって、

前記第 1 の画素電極または前記第 2 の画素電極のうちのいずれかが前記コモン電極と導通した場合、前記コモン電極と導通している前記画素電極と前記ソース電極とがオーバーラップしている部分をレーザによって切断することを特徴とする液晶表示装置の製造方法。

【発明の詳細な説明】

【技術分野】

40

【0001】

本発明は表示装置に係り、特に製造歩留まりを向上させ、製造コストを低減できる横電界方式の液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置に使用される液晶表示パネルは、画素電極および薄膜トランジスタ (TFT) 等を有する画素がマトリクス状に形成された TFT 基板と、TFT 基板に対向して、TFT 基板の画素電極と対応する場所にカラーフィルタ等が形成された対向基板が配置され、TFT 基板と対向基板の間に液晶が挟持されている。そして液晶分子による光の透過率を画素毎に制御することによって画像を形成している。

50

【 0 0 0 3 】

液晶表示装置はフラットで軽量であることから、色々な分野で用途が広がっている。携帯電話やDSC(Digital Still Camera)等には、小型の液晶表示装置が広く使用されている。液晶表示装置では視野角特性が問題である。視野角特性は、画面を正面から見た場合と、斜め方向から見た場合に、輝度が変化したり、色度が変化したりする現象である。視野角特性は、液晶分子を水平方向の電界によって動作させるIPS(In Plane Switching)方式が優れた特性を有している。

【 0 0 0 4 】

IPS方式も種々存在するが、例えば、コモン電極を平面ベタで形成し、その上に、絶縁膜を挟んで櫛歯状の画素電極を配置し、画素電極とコモン電極の間に発生する電界によって液晶分子を回転させる方式が透過率を大きくすることが出来る。あるいは、この逆に、画素電極を矩形で形成し、その上に絶縁膜を挟んでスリットを有するコモン電極を配置し、コモン電極と画素電極の間に発生する電界によって液晶分子を回転させる方式も同様な特性を有する。このうち、画素電極を矩形で形成し、その上に絶縁膜を挟んでスリットを有するコモン電極を形成する方式は、導電膜、絶縁膜等の層数を減らすことができるので、この方式が主流になりつつある。

10

【 0 0 0 5 】

他のIPS方式の例として、「特許文献1」には、ゲート電極と同じ層にコモン電極を形成し、ゲート絶縁膜および、保護絶縁膜を挟んで櫛歯状の画素電極を形成する構成が記載されている。

20

【 先行技術文献 】

【 特許文献 】

【 0 0 0 6 】

【 特許文献1 】 特開 2 0 0 9 - 1 6 8 8 7 8 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

図15は本発明が対象とするIPSのTFT基板100における画素構成を示す平面図であり、図16は図15のC-C断面図である。図15および図16の構成は、矩形の画素電極106の上に絶縁膜を挟んでスリット1081を有するコモン電極108が形成されている構成である。なお、図15の構成は「特許文献1」に記載のIPS構成とは異なっている。

30

【 0 0 0 8 】

図15において、映像信号線20と走査線10とで囲まれた領域に画素電極106が形成されている。画素電極106への映像信号の供給を制御するTFTは走査線10の上に形成されている。したがって、図15では、TFTのゲート電極101を走査線10が兼ねている。走査線10の上に半導体層103が形成され、半導体層103の上にドレイン電極104とソース電極105が形成されている。ドレイン電極104は映像信号線20が分岐したものである。ソース電極105は画素電極106と接続している。

40

【 0 0 0 9 】

画素電極106は矩形である。画素電極106の上に図示しない層間絶縁膜107を挟んでスリット1081を有するコモン電極108が形成されている。コモン電極108は各画素共通に形成されている。図15において、コモン電極108にはハッチングが施されている。

【 0 0 1 0 】

図16は、図15のC-C断面図であるが、図15には図示していない、対向基板200の構成も示している。図16において、TFT基板100の上にゲート電極101を兼ねた走査線10が形成されており、走査線10を覆ってゲート絶縁膜102が形成されている。ゲート絶縁膜102を介してゲート電極101の上に半導体層103が形成され、半導体層103の上にはドレイン電極104とソース電極105が配置されている。ソー

50

ス電極 105 はゲート絶縁膜 102 の上を延在し、画素電極 106 と接続している。画素電極 106 は、図 15 に示すように矩形である。図 16 において、画素電極 106 のさらに右側にはギャップを挟んで映像信号線 20 が形成されている。映像信号線 20、ドレイン電極 104、ソース電極 105 は同時に形成され、その後画素電極 106 が形成される。ドレイン電極 104 等は例えば、Cr によって形成され、画素電極 106 はITO によって形成される。

【0011】

画素電極 106、映像信号線 20、ソース電極 105 およびドレイン電極 104 を覆って層間絶縁膜 107 がSiN 等によって形成される。層間絶縁膜 107 の上にITO によってコモン電極 108 が形成される。コモン電極 108 は各画素共通にベタ膜として形成されるが、画素電極 106 に対応する部分には、図 1 に示すようなスリット 1081 が形成されている。画素電極 106 に映像信号が印加されると、コモン電極 108 との間に図 16 に示すような電気力線が発生する。この電気力線によって液晶分子 301 が回転し、液晶層 300 を透過する光の量を制御することによって、画像を形成する。コモン電極 108 の上には、液晶分子 301 を初期配向させるための配向膜 109 が形成されている。

10

【0012】

図 16 において、TFT 基板 100 の上には、液晶層 300 が存在し、液晶層 300 は、TFT 基板 100 と対向基板 200 とによって挟持されている。TFT 基板 100 の画素電極 106 に対応する部分の対向基板 200 にはカラーフィルタ 201 が形成されている。また、対向基板 200 には、TFT 基板 100 における TFT あるいは映像信号線 20 等に対応する部分にブラックマトリクス 202 が形成されている。カラーフィルタ 201 およびブラックマトリクス 202 を覆ってオーバーコート膜 203 が形成されている。オーバーコート膜 203 はカラーフィルタ 201 が液晶層 300 と反応することを防止するため、あるいは、液晶層 300 と接する面を平坦化するためである。オーバーコート膜 203 の上には、液晶分子 301 を初期配向させるための配向膜 109 が形成されている。

20

【0013】

このような構成のIPS において、図 17 に示すように、画素電極 106 とコモン電極 108 との間に導電性異物 500 が混入すると画素電極 106 とコモン電極 108 とがショートし、この画素は動作不能になり、画素欠陥となる。このような画素欠陥は極めて少数であれば許容されるが、多くなると、液晶表示装置自体が不良となる。したがって、図 17 に示すような導電性異物 500 の存在は、液晶表示装置の製造歩留まりを低下させていた。

30

【0014】

しかしながら、導電性異物 500 は工程内において完全に除去することは困難である。本発明の課題は、仮に、導電性物質が層間絶縁膜 107 内に混入しても、その画素の欠陥を目立たなくすることによって、液晶表示装置の製造歩留まりを向上させることである。

【課題を解決するための手段】

【0015】

本発明は上記問題を克服するものであり、主な具体的な手段は次のとおりである。主な具体的な手段の第 1 は、TFT 基板と対向基板と前記 TFT 基板と前記対向基板との間に液晶が挟持された液晶表示装置であって、前記 TFT 基板には、ゲート電極、ゲート絶縁膜、半導体層がこの順で形成され、前記半導体層にはドレイン電極とソース電極が配置され、前記ゲート絶縁膜の上には、ITO によって形成された画素電極が配置され、前記画素電極の上には、絶縁膜が形成され、前記絶縁膜の上にはスリットを有するITO によって形成されたコモン電極が配置され、前記画素電極は複数に分割され、前記複数の分割された画素電極は各々前記ソース電極と接続し、前記分割された画素電極と前記コモン電極の前記スリットはオーバーラップしていることを特徴とする液晶表示装置である。

40

【0016】

50

主な具体的な手段の第２は、ＴＦＴ基板と対向基板と前記ＴＦＴ基板と前記対向基板との間に液晶が挟持された液晶表示装置であって、前記ＴＦＴ基板には、第１の方向に延在するゲート電極と、ゲート絶縁膜、半導体層がこの順で形成され、前記半導体層の上にはドレイン電極と、前記第１の方向と直角方向の第２の方向に、前記ドレイン電極と対向して第１のソース電極が形成され、前記第１の方向と直角方向で、前記第２の方向と反対方向の第３の方向に、前記ドレイン電極と対向して第２のソース電極が形成され、前記ゲート電極に対して前記第２の方向には、前記ゲート絶縁膜の上にＩＴＯによって形成された第１の画素電極が配置され、前記ゲート電極に対して前記第３の方向には、前記ゲート絶縁膜の上にＩＴＯによって形成された第２の画素電極が配置され、前記第１および第２の画素電極の上には、絶縁膜が形成され、前記絶縁膜の上にはＩＴＯによって形成されたコモン電極が配置され、前記コモン電極は、前記第１の画素電極および前記第２の画素電極の各々に対応してスリットが形成されていることを特徴とする液晶表示装置である。

10

【００１７】

分割された画素電極の一つがコモン電極とが導通した場合、導通した画素電極をソース電極からレーザを用いて切り離すことによって、分割された他の画素電極の動作を維持することが出来る。

【発明の効果】**【００１８】**

本発明によれば、画素内の画素を分割しているので、仮に、上層のコモン電極と画素電極とが導通することがあっても、導通した部分の画素電極をソース電極から切り離すことによって、分割された他の画素電極の動作を維持することが出来るので、画素が完全欠陥となることを防止することが出来る。したがって、液晶表示装置の製造歩留まりを向上させることが出来る。

20

【図面の簡単な説明】**【００１９】**

【図１】実施例１におけるＴＦＴ基板の画素の平面図である。

【図２】図１において、コモン電極を取り去った場合の平面図である。

【図３】実施例１における液晶表示パネルの断面図である。

【図４】本発明のＴＦＴ基板において、画素電極とコモン電極の間に導電性異物が存在する場合の例を示す平面図である。

30

【図５】本発明の液晶表示パネルにおいて、画素電極とコモン電極の間に導電性異物が存在する場合の例を示す断面図である。

【図６】実施例１の画素電極とコモン電極の他の例を示す平面図である。

【図７】図６において、コモン電極を取り去った状態の平面図である。

【図８】実施例１の画素電極とソース電極の関係を示す他の例である。

【図９】実施例２におけるＴＦＴ基板の画素の平面図である。

【図１０】図９のコモン電極を取り去った場合の平面図である。

【図１１】実施例２の液晶表示装置の断面図である。

【図１２】実施例３の画素部の平面図である。

【図１３】図１２のコモン電極を取り去った状態の平面図である。

40

【図１４】実施例３において、導電性異物が存在する場合の画素部の平面図である。

【図１５】本発明が適用されるＩＰＳの画素部の平面図である。

【図１６】図１５のＡ－Ａ断面図に相当する液晶表示パネルの断面図である。

【図１７】図１５の構成の問題点を示す断面図である。

【発明を実施するための形態】**【００２０】**

以下に本発明の内容を実施例を用いて詳細に説明する。

【実施例１】**【００２１】**

図１は、本発明によるＴＦＴ基板１００の画素部分の平面図である。図２は、図１にお

50

けるコモン電極 108 を取り去った状態における平面図である。図 3 は図 1 における A - A 断面に対応する断面図であるが、対向基板 200 の断面も含まれている。図 1 において、映像信号線 20 と走査線 10 とで囲まれた領域に画素電極 106 が形成されている。画素電極 106 は、2 つに分割されている。図示しない層間絶縁膜 107 を介して画素電極 106 を覆って、平面ベタで形成されたコモン電極 108 が形成されている。図 1 において、コモン電極 108 にはハッチングが施されている。

【0022】

コモン電極 108 のスリット 1081 は画素電極 106 の上に配置されている。コモン電極 108 のスリット 1081 を介してコモン電極 108 から画素電極 106 に電気力線が発生し、液晶分子 301 を制御する。2 個の画素電極 106 は、TFT のソース電極 105 によって共通に接続されている。TFT は、走査線 10 の上に形成されており、走査線 10 がゲート電極 101 を兼ねている。TFT のドレイン電極 104 は映像信号線 20 から分岐したものである。ドレイン電極 104 とソース電極 105 は半導体層 103 の上で対向して配置されている。

10

【0023】

図 2 は、画素における平面構成をわかりやすくするために、図 1 におけるコモン電極 108 を取り去った状態における画素領域の平面図である。図 2 において、長方形の画素電極 106 が 2 個に分離して配置している。TFT 基板 100 のソース電極 105 によって 2 個の画素電極 106 が接続している。ここで、2 個に分離した画素電極 106 のいずれかに不具合が生じた場合、例えば、切断線 400 に沿ってレーザ照射によって切断することによって、いずれかの 2 個の画素電極 106 を分離することが出来る。図 2 の例は、右側の画素電極 106 に不具合が生じた場合の例である。

20

【0024】

ここで、図 2 で示す画素の半分が機能しなくなっても、他の半分が機能しているので、欠陥を目立たなくすることが出来る。例えば、図 2 の画素を白表示する場合、画素電極 106 の一方が機能しているので、1/2 の明るさを維持できるので、黒点不良にはならないので、当該液晶表示装置が不良となることを免れる。

【0025】

図 3 は図 1 の A - A 断面図と対応するものであるが、対向基板 200 の断面についても記載しており、液晶表示パネルの断面図となっている。液晶表示パネルの断面構造については、図 16 で説明したので、詳細は省略する。図 3 が図 16 と異なるところは、図 3 においては、画素電極 106 が分割されていることである。しかし、コモン電極 108 に形成された 2 個のスリット 1081 を通して、コモン電極 108 から 2 個の画素電極 106 に向かって電気力線が発生し、液晶分子 301 を制御することが出来る構成となっている。

30

【0026】

なお、図 3 では図示していないが、2 個の画素電極 106 は、図 1 あるいは図 2 に示すソース電極 105 によって接続している。このように、画素電極 106 が分割されていても、図 16 等の場合と同様に液晶分子 301 を制御することが出来る。このような構成の画素構造において、図 4 に示すように、画素電極 106 の一方に導電性異物 500 が混入した場合を想定する。

40

【0027】

図 4 において、導電性異物 500 が右側の画素電極 106 とコモン電極 108 との間に混入している。この場合、コモン電極 108 と画素電極 106 がショートするので、コモン電極 108 と画素電極 106 との間には電界は発生せず、この画素は不良となる。しかし、図 4 に示す切断線 400 に沿ってレーザ光線等によって切断すると、左側の画素電極 106 と右側の画素電極 106 とが分離される。

【0028】

図 4 においては、欠陥が生じている画素は右側の画素なので、例えば、切断線 400 によって切断すれば、左側の画素電極 106 は正常に動作することになり、該画素が完全欠

50

陥となることは免れる。仮に、TFTに近い左側の画素電極106に欠陥が生じた場合は、切断線400を左側の画素電極106側に形成することによって、右側の画素電極106を正常に動作させることが出来る。なお、右側の画素電極106に欠陥が生じた場合は、切断線400のみでなく、切断線401によって分離してもよい。

【0029】

図5は図4において説明した作用を示す断面図である。図5において、画素電極106が左側と右側とに分離されている。右側の画素電極106とコモン電極108との間に導電性異物500が混入して導通している。したがって、右側の画素電極106とコモン電極108との間には電気力線は発生していない。一方、図4に示すように、左側の画素電極106と右側の画素電極106とは切断線400によって分離されているので、右側の画素電極106の影響は左側の画素電極106へは及ばない。

10

【0030】

したがって、図5に示すように、左側の画素電極106とコモン電極108との間にはコモン電極108のスリット1081を通して電気力線が発生し、液晶分子301を制御することが出来る。すなわち、導電性異物500が存在しても、影響を受けるのは、画素の半分の領域なので、欠陥は目立たず、完全な画素欠陥となることを免れる。

【0031】

図6は、画素電極106とコモン電極108の他の例である。図1では、各画素において、コモン電極108にスリット1081は2個存在し、画素電極106は2個存在している。しかし、スリット1081の数、および画素電極106の数は2個に限定される必要は無い。図6は、各画素において、コモン電極108のスリット1081が3個、画素電極106が3個存在している例を示す平面図である。各画素電極106は各スリット1081に対応して配置されている。図6では、コモン電極108、画素電極106およびソース電極105のみ記載されている。図6において、コモン電極108にはハッチングが施されている。

20

【0032】

図7は図6におけるコモン電極108を取り去った状態を示す平面図である。図7において、3個の画素電極106のいずれかに欠陥が生じた場合、切断線400に沿っていずれかの画素電極106を他の画素電極106から分離することが出来る。この場合、3個の内の1個のみの画素が不良になるので、欠陥は図1等の場合に比較してさらに目立たなくすることが出来る。

30

【0033】

図6および図7は、画素電極106を3個に分割した例であるが、3個に限らず、4個以上とすることも出来る。分割数は画素の大きさおよび加工精度次第である。画素電極106の分離数を多くしても工程数が増えるわけではない。また、図1、図4、図6等に示す例では、コモン電極108におけるスリット1081の数と、分割された画素電極106の数が等しいが、必ずしも等しくする必要は無い。本発明では、画素電極106を分割し、欠陥を目立たなくすることなので、画素電極106を分割することが重要である。したがって、コモン電極108からスリット1081を通して画素電極106側に電気力線が発生することが出来る限り、コモン電極108のスリット1081の数と分割された画素電極106の数が一致する必要はない。

40

【0034】

ただし、コモン電極108のスリット1081と分割された画素電極106とはオーバーラップしていることが望ましい。このためには、コモン電極108のスリット1081の幅よりも、分割された画素電極106の幅のほうが大きいことが望ましい。画素電極106の幅は、コモン電極108の幅に対して、マスクの合わせ精度以上大きいことが望ましい。

【0035】

図1、2、4、6、7等では、レーザによる切断線400において、櫛歯状のソース電極105の幅w1のほうが分割された画素電極106の幅w2より大きくなっている。

50

この場合、図 7 に示すように、ソース電極 105 における櫛歯の間隔 d_1 が最も小さい。分割された画素電極 106 の間隔 d_2 はソース電極 105 における櫛歯の間隔 d_1 よりも大きい。現状における最小加工精度は $3\ \mu\text{m}$ 程度である。 d_1 を最小加工精度とした場合、図 7 の構成においては、分割された画素電極 106 の幅 w を十分に大きくとれない場合がある。

【0036】

図 8 はこのような問題に対策する構成である。図 8 において、櫛歯状のソース電極 105 の幅 w_1 のほうが分割された画素電極 106 の幅 w_2 よりも小さくなっている。分割された画素電極 106 の間隔 d_2 は櫛歯状のソース電極 105 の間隔 d_1 よりも大きい。つまり、図 8 の構成では、図 7 の構成よりも分割された画素電極 106 の幅 w_2 を大きくとることが出来る。したがって、コモン電極 108 のスリット 1081 と画素電極 106 との合わせ裕度を大きくとることが出来る。

10

【実施例 2】

【0037】

図 9 は、本発明による画素部分の構成を示す平面図である。図 9 は、ソース電極 105 と画素電極 106 の接続以外は、図 1 と同様である。図 1 と図 9 が異なる点は、図 1 においては、分割された画素電極 106 は、接続部において、ソース電極 105 の上に存在しているが、図 9 では、ソース電極 105 が分割された画素電極 106 よりも上に存在していることである。しかし、ソース電極 105 と分割された画素電極 106 が直接接触していることは同じである。このような構成は、画素電極 106 である ITO を現像するとき、映像信号線 20、ソース電極 105 等が ITO の現像液によって腐食されるという問題を除去することが出来るという特徴がある。

20

【0038】

図 10 は図 9 におけるコモン電極 108 を取り去った状態を示す画素部の平面図である。図 10 は図 2 に比較して、ソース電極 105 が分割された画素電極 106 の上に存在している点が異なる。このように、ソース電極 105 がコモン電極 108 の上側にあった場合であっても、図 10 における切断線 400 に沿ってレーザを照射することによって、一方の画素電極 106 を他の画素電極 106 から電氣的に分離することが出来る。図 10 は右側の画素電極 106 を分離する場合であるが、左側の画素電極 106 を分離する場合も同じである。

30

【0039】

図 11 は、図 9 の B - B 断面図に対応する液晶表示パネルの断面図である。図 11 が図 3 と異なる点は、接続部において、ソース電極 105 が画素電極 106 の上に配置されていることである。その他の構成は図 3 と同様であり、動作も図 3 で説明したのと同様である。図 9 ~ 図 11 では、コモン電極 108 のスリット 1081 は 2 個であり、分割された画素電極 106 も 2 個である。しかし、本実施例の構成においても、コモン電極 108 のスリット 1081 の数と画素電極 106 の分割数は 3 個以上であってもよい。また、コモン電極 108 のスリット 1081 の数と分割された画素電極 106 の数は必ずしも一致する必要は無い。その他、実施例 1 で説明した構成は、いずれも本実施例において適用することが出来る。

40

【実施例 3】

【0040】

図 12 は本発明の第 3 の実施例を示す画素構成の平面図である。図 12 において、画素の中心に走査線 10 が横方向に延在し、画素の左右は映像信号線 20 によって区画されている。すなわち、図 3 においては、画素は上側の第 1 のサブ画素と下側の第 2 のサブ画素によって形成されている。第 1 のサブ画素には第 1 の画素電極 106 が形成され、第 2 のサブ画素には第 2 の画素電極 106 が形成されている。第 1 の画素電極 106 および第 2 の画素電極 106 の上に図示しない層間絶縁膜 107 を介してコモン電極 108 が配置されている。コモン電極 108 は第 1 の画素電極 106 および第 2 の画素電極 106 に対応した部分にスリット 1081 を有する。図 12 において、コモン電極 108 にはハッチン

50

グが施されている。

【0041】

走査線10の上にTFTが形成されている。すなわち、走査線10の上に半導体層103が形成されており、半導体層103の上にドレイン電極104および第1のソース電極105と第2のソース電極105が配置されている。TFTのドレイン電極104は映像信号線20から分岐している。第1のソース電極105は第1のサブ画素と接続し、第2のソース電極105は第2のサブ画素と接続している。

【0042】

図13は、図12において、コモン電極108を取り去った状態を示す画素部分の平面図である。図13において、第1のサブ画素、第2のサブ画素には各々、矩形状の画素電極106が形成されている。図13において、画素電極106は、接続部において、第1のソース電極105あるいは第2のソース電極105の上に形成されているが、実施例2のように、第1のソース電極105あるいは第2のソース電極105を画素電極106の上に形成してもよい。

【0043】

図14に示すように、上側の第1のサブ画素の画素電極106の上に導電性異物500が混入した場合、画素電極106とコモン電極108とはショートして、第1のサブ画素は動作をしなくなる。この第1のサブ画素のショートの影響は下側の第2のサブ画素にも影響を及ぼし、第2のサブ画素において、画素電極106とコモン電極108との間に所定の映像信号が加わらなくなる可能性がある。

【0044】

このような問題を防止するために、本実施例では、図14に示すように、第2のサブ画素において、ソース電極105を切断線400に沿ってレーザ光線によって切断する。そうすると、第1のサブ画素で欠陥が生じて、その影響が第2のサブ画素に及ぶことを防止することが出来る。その結果、導電性異物500が存在した場合でも、画素欠陥を目立たなくすることが出来、1画素全体が欠陥となることを免れることが出来る。

【0045】

図12、図13等では、第1のサブ画素、第2のサブ画素とも、画素電極106は矩形となっている。しかし、各々のサブ画素において、実施例1で説明したように、画素電極106を分割し、ソース電極105を分割した画素電極106に合わせて櫛歯状にすることが出来る。この構成によって、例えば、サブ画素に導電性異物500が存在した場合であっても、サブ画素全体が欠陥となることを免れることが出来る。したがって、導電性異物500の存在による画素欠陥への影響をさらに低減することが出来る。

【0046】

以上の実施例では、コモン電極に形成されたスリットは長方形である。視野角の指向性をさらに均一にするために、スリットの形状をくの字型に形成する場合もあるが、この場合は、対応する画素電極もくの字型にすることによって、以上で説明したと同様な効果を得ることが出来る。

【0047】

また、実施例1あるいは実施例2等においては、コモン電極のスリットの下には分割された画素電極が配置されているが、本発明はこれに限らず、例えば、画素電極と画素電極の隙間がコモン電極のスリットとオーラップするような構成でもよい。例えば、コモン電極のスリットの幅よりも分割された画素電極の間隔が小さければ、コモン電極からの電気力線が液晶分子を回転させるような構成とすることが出来る。したがって、各実施例で説明したと同様な効果を得ることが出来る。

【符号の説明】

【0048】

10...走査線、 20...映像信号線、 100...TFT基板、 101...ゲート電極、
102...ゲート絶縁膜、 103...半導体層、 104...ドレイン電極、 105...ソース電極、
106...画素電極、 107...層間絶縁膜、 108...コモン電極、 10

10

20

30

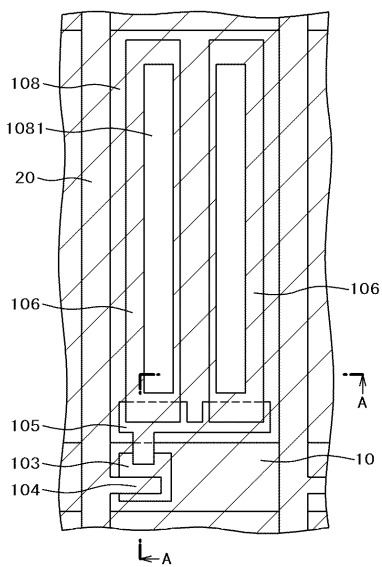
40

50

9 ... 配向膜、 200 ... 対向基板、 201 ... カラーフィルタ、 202 ... ブラックマトリクス、 20 ... オーバーコート膜、 300 ... 液晶層、 301 ... 液晶分子、 400 ... 切断線、 401 ... 他の切断線、 500 ... 導電性異物、 1081 ... スリット。

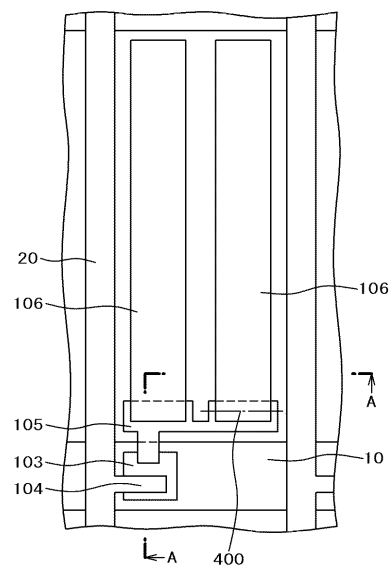
【図1】

図1



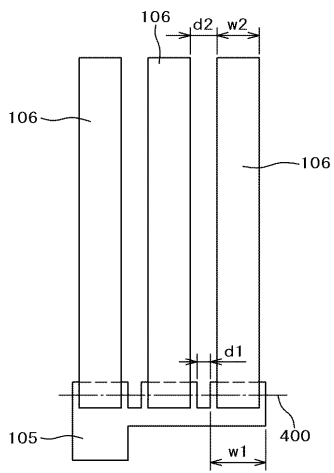
【図2】

図2



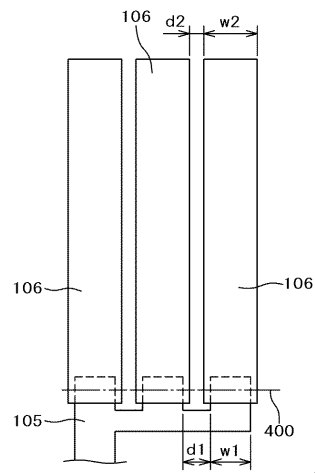
【 図 7 】

図 7



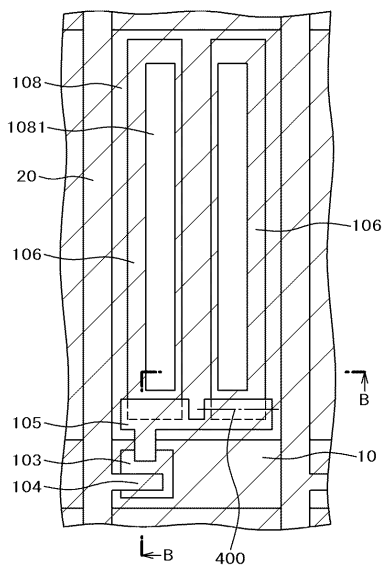
【 図 8 】

図 8



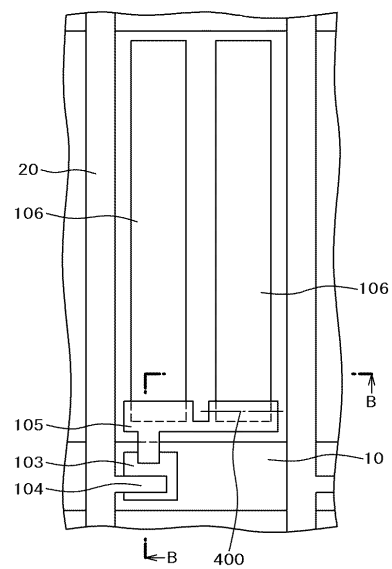
【 図 9 】

図 9

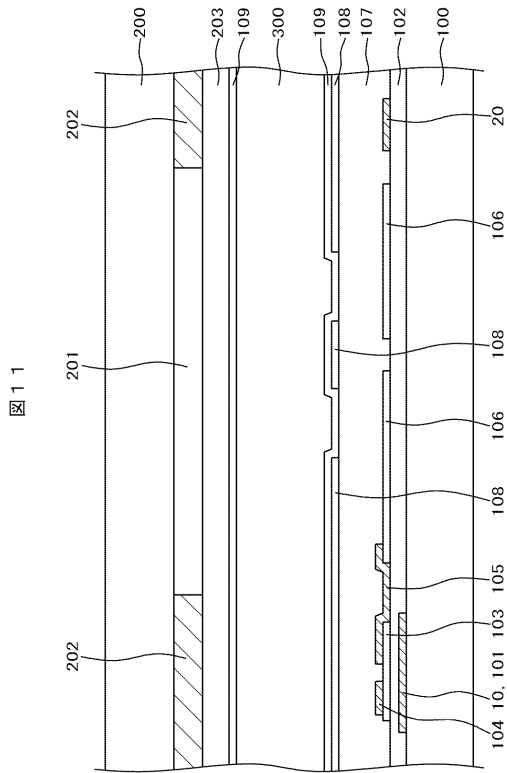


【 図 10 】

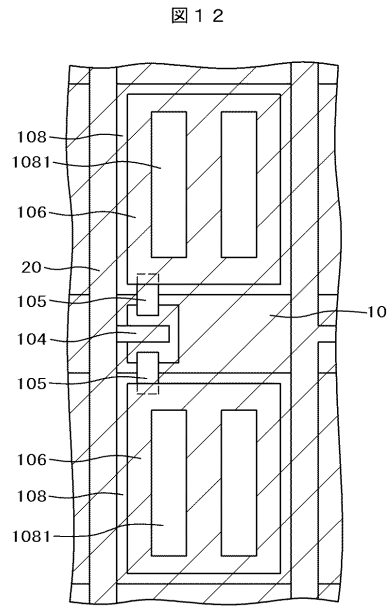
図 10



【図 1 1】

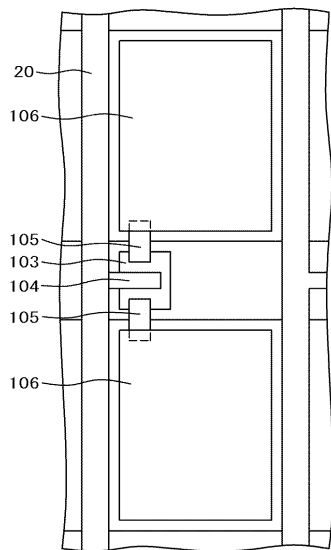


【図 1 2】



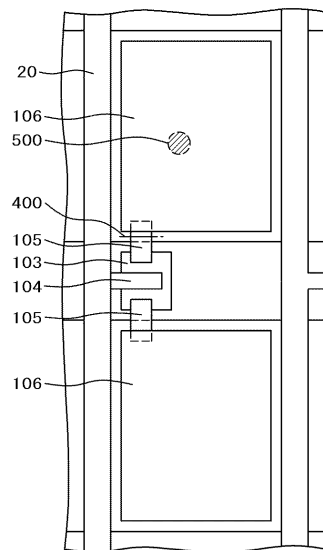
【図 1 3】

図 1 3



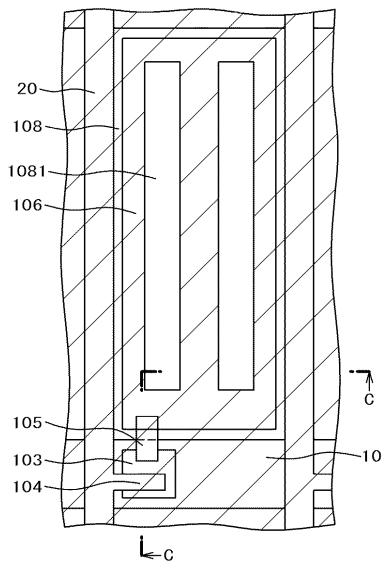
【図 1 4】

図 1 4



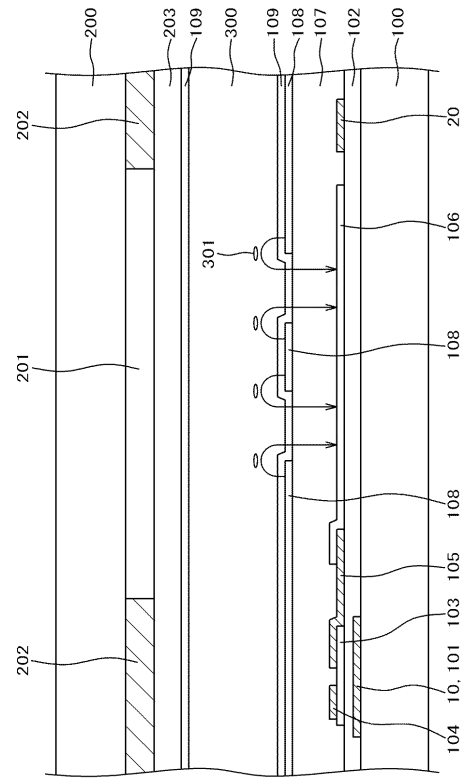
【図 15】

図 15



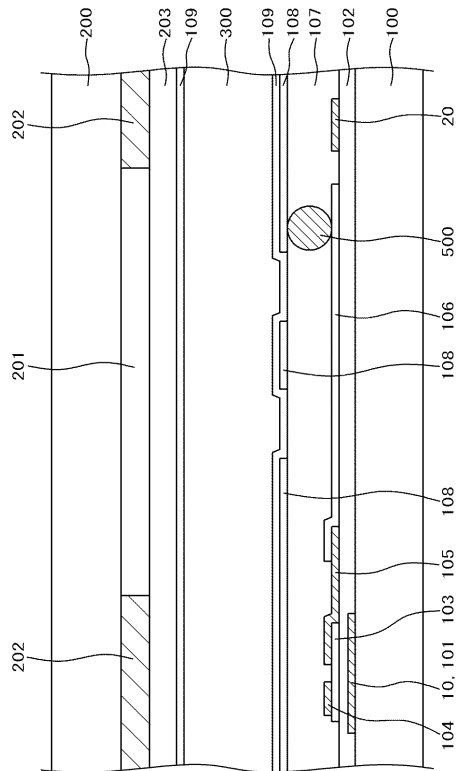
【図 16】

図 16



【図 17】

図 17



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	JP2012113090A	公开(公告)日	2012-06-14
申请号	JP2010261153	申请日	2010-11-24
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	日立显示器有限公司		
[标]发明人	長三幸弘		
发明人	長三 幸弘		
IPC分类号	G02F1/1343 G02F1/1368 G02F1/13		
CPC分类号	G02F1/134309 G02F2001/134372		
FI分类号	G02F1/1343 G02F1/1368 G02F1/13.101		
F-TERM分类号	2H088/EA02 2H088/FA15 2H088/HA02 2H088/HA04 2H088/JA04 2H088/MA20 2H092/GA14 2H092/GA15 2H092/GA17 2H092/HA04 2H092/JA24 2H092/JA42 2H092/JA44 2H092/JA45 2H092/JB56 2H092/JB71 2H092/KA18 2H092/KB14 2H092/KB25 2H092/MA49 2H092/NA16 2H092/NA29 2H092/QA06 2H192/AA24 2H192/BB12 2H192/BB73 2H192/BC13 2H192/BC14 2H192/CB05 2H192/CC04 2H192/CC42 2H192/EA22 2H192/EA43 2H192/HB34		
其他公开文献	JP5134676B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了减少由IPS型液晶显示装置中的像素电极和公共电极的导通引起的像素缺陷的数量，其中与TFT的源电极连接的像素电极布置在下部层和具有狭缝的公共电极设置在上层中，在它们之间插入绝缘膜。解决方案：在TFT基板100上形成栅电极101，在覆盖栅电极的同时形成栅绝缘膜102，并分开像素电极106形成在其上。分割像素电极106通常通过源电极105连接。层间绝缘膜107形成在像素电极106上，并且具有狭缝的公共电极108形成在层间绝缘膜107上。在共同的情况下电极108和划分像素电极106中的一个由导电异物500导通，划分像素电极106与源电极105断开。因此，可以操作其他划分像素电极106，从而防止一个像素从成为一个完整的缺陷。

