

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-3229

(P2012-3229A)

(43) 公開日 平成24年1月5日(2012.1.5)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1368 (2006.01)	G02F 1/1368	2H092
G09G 3/20 (2006.01)	G09G 3/20 624B	5C006
G09G 3/36 (2006.01)	G09G 3/20 621B	5C080
	G09G 3/20 623C	
	G09G 3/36	
審査請求 未請求 請求項の数 13 O L (全 26 頁) 最終頁に続く		

(21) 出願番号 特願2011-20040 (P2011-20040)
 (22) 出願日 平成23年2月1日(2011.2.1)
 (31) 優先権主張番号 10-2010-0056981
 (32) 優先日 平成22年6月16日(2010.6.16)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839
 三星電子株式会社
 Samsung Electronics
 Co., Ltd.
 大韓民国京畿道水原市靈通区梅灘洞416
 416, Maetan-dong, Yeongtong-gu, Suwon-si,
 Gyeonggi-do, Republic of Korea
 (74) 代理人 110000408
 特許業務法人高橋・林アンドパートナーズ
 (72) 発明者 高 俊 哲
 大韓民国京畿道華城市盤松洞 ナルマウル
 宇林ルミアートアパート603棟1804
 号

最終頁に続く

(54) 【発明の名称】 液晶表示装置及びその駆動方法

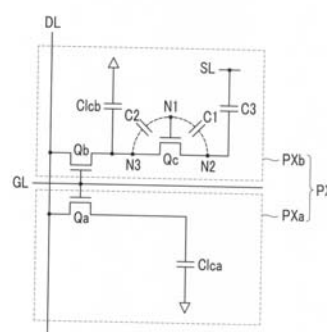
(57) 【要約】

【課題】表示品質を向上させた液晶表示装置及びその駆動方法を提供すること。

【解決手段】

本発明の一実施形態に係る液晶表示装置は、ゲート線と、前記ゲート線と絶縁されて交差し、データ電圧を供給するデータ線、前記ゲート線及び前記データ線から分離され、一定の電圧を伝達する共通電圧線と、前記ゲート線及び前記データ線と接続される第1スイッチング素子と、前記ゲート線及び前記データ線と接続される第2スイッチング素子と、前記第1スイッチング素子と接続される第1液晶キャパシタと、前記第2スイッチング素子と接続される第2液晶キャパシタと、前記第2スイッチング素子と接続される入力端子、フローティングされた制御端子、及び出力端子を含む第3スイッチング素子と、前記第3スイッチング素子及び前記共通電圧線と接続される第3キャパシタとを含む。

【選択図】図2



【特許請求の範囲】**【請求項 1】**

ゲート線と、

前記ゲート線と絶縁されて交差し、データ電圧を供給するデータ線と、

前記ゲート線及び前記データ線から分離された共通電圧線と、

前記ゲート線及び前記データ線と接続される第 1 スイッチング素子と、

前記ゲート線及び前記データ線と接続される第 2 スイッチング素子と、

前記第 1 スイッチング素子と接続される第 1 液晶キャパシタと、

前記第 2 スイッチング素子と接続される第 2 液晶キャパシタと、

前記第 2 スイッチング素子と接続される入力端子、フローティングされた制御端子、及び出力端子を含む第 3 スイッチング素子と、

前記第 3 スイッチング素子及び前記共通電圧線と接続される第 3 キャパシタと、を含むことを特徴とする液晶表示装置。

【請求項 2】

前記第 3 スイッチング素子の前記出力端子と前記制御端子は第 1 キャパシタを形成し、前記第 3 スイッチング素子の前記入力端子と前記制御端子は第 2 キャパシタを形成することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記データ電圧の極性をフレームごとに反転させる制御部をさらに含むことを特徴とする請求項 1 または 2 に記載の液晶表示装置。

【請求項 4】

前記第 1 スイッチング素子の制御端子と前記第 2 スイッチング素子の制御端子は前記ゲート線に接続されており、

前記第 1 スイッチング素子の入力端子と前記第 2 スイッチング素子の入力端子は前記データ線に接続されており、

前記第 1 スイッチング素子の出力端子は前記第 1 液晶キャパシタと接続されており、

前記第 2 スイッチング素子の出力端子は前記第 2 液晶キャパシタ及び前記第 3 スイッチング素子の前記入力端子と接続されることを特徴とする請求項 1 乃至 3 のいずれかに記載の液晶表示装置。

【請求項 5】

互いに対向する第 1 基板及び第 2 基板と、

前記第 1 基板上に配置されるゲート線、データ電圧を供給するデータ線、及び共通電圧線と、

前記ゲート線及び前記データ線と接続される第 1 スイッチング素子と、

前記ゲート線及び前記データ線と接続される第 2 スイッチング素子と、

前記第 1 スイッチング素子と接続される第 1 副画素電極と、

前記第 2 スイッチング素子と接続される第 2 副画素電極と、

前記第 2 スイッチング素子と接続される入力端子、フローティングされた制御端子、及び前記入力端子と対向する出力端子を含む第 3 スイッチング素子と、

前記第 3 スイッチング素子の前記出力端子と前記共通電圧線の一部を二端子として含む第 3 キャパシタと、

を含むことを特徴とする液晶表示装置。

【請求項 6】

前記第 3 スイッチング素子の前記出力端子と前記制御端子は第 1 キャパシタを形成し、前記第 3 スイッチング素子の前記入力端子と前記制御端子は第 2 キャパシタを形成することを特徴とする請求項 5 に記載の液晶表示装置。

【請求項 7】

前記データ電圧の極性をフレームごとに反転させる制御部をさらに含むことを特徴とする請求項 5 または 6 に記載の液晶表示装置。

【請求項 8】

10

20

30

40

50

前記第 1 スイッチング素子の制御端子と前記第 2 スイッチング素子の制御端子は前記ゲート線に接続されており、
前記第 1 スイッチング素子の入力端子と前記第 2 スイッチング素子の入力端子は前記データ線に接続されており、
前記第 1 スイッチング素子の出力端子は前記第 1 副画素電極と接続されており、
前記第 2 スイッチング素子の出力端子は前記第 2 副画素電極及び前記第 3 スイッチング素子の前記入力端子と接続されることを特徴とする請求項 5 乃至 7 のいずれかに記載の液晶表示装置。

【請求項 9】

前記第 2 基板上に配置され、共通電圧の印加を受ける対向電極をさらに含むことを特徴とする請求項 5 乃至 8 のいずれかに記載の液晶表示装置。

【請求項 10】

ゲート線と、前記ゲート線と絶縁されて交差するデータ線と、前記ゲート線及び前記データ線から分離された共通電圧線と、前記ゲート線及び前記データ線と接続される第 1 スイッチング素子と、前記ゲート線及び前記データ線と接続される第 2 スイッチング素子と、前記第 1 スイッチング素子と接続される第 1 液晶キャパシタと、前記第 2 スイッチング素子と接続される第 2 液晶キャパシタと、前記第 2 スイッチング素子と接続される入力端子、フローティングされた制御端子、及び出力端子を含む第 3 スイッチング素子と、前記第 3 スイッチング素子及び前記共通電圧線と接続される第 3 キャパシタとを含む液晶表示装置において、

前記データ線にデータ電圧を印加する段階と、

前記ゲート線にゲートオン電圧を印加して、前記第 1 液晶キャパシタ及び前記第 2 液晶キャパシタを第 1 電圧で充電させる段階と、

前記第 3 スイッチング素子を通じて前記第 2 液晶キャパシタの充電電圧を変化させる段階と

を含むことを特徴とする液晶表示装置の駆動方法。

【請求項 11】

前記第 3 スイッチング素子において、前記制御端子の電圧は、前記入力端子の電圧から前記出力端子の電圧までの範囲の値を有することを特徴とする請求項 10 に記載の液晶表示装置の駆動方法。

【請求項 12】

前記第 3 スイッチング素子において、前記制御端子、前記入力端子、及び前記出力端子の電圧は、1 フレームの 50 % 以上の時間の間に同一の値を有することを特徴とする請求項 10 または 11 に記載の液晶表示装置の駆動方法。

【請求項 13】

前記データ電圧の極性をフレームごとに反転する段階をさらに含むことを特徴とする請求項 10 乃至 12 のいずれかに記載の液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置及びその駆動方法に関するものである。

【背景技術】

【0002】

液晶表示装置は、現在、最も広く用いられているフラットパネルディスプレイの一つであって、画素電極と共通電極などの電界生成電極 (field generating electrode) 及び液晶層を含む。液晶表示装置は、電界生成電極に電圧を印加して液晶層に電界を生成し、これによって液晶層の液晶分子の方向、すなわち傾きを決定し、入射光の偏光を制御することによって画像を表示する。

【0003】

液晶表示装置のうち、電界が印加されない状態で液晶分子の長軸を上下表示板に対して垂

10

20

30

40

50

直となるように配列した垂直配向方式 (v e r t i c a l l y a l i g n e d m o d e) の液晶表示装置は、コントラスト比が大きく、広い基準視野角の実現が容易であるため注目されている。

【 0 0 0 4 】

一方、垂直配向方式の液晶表示装置は、前面視認性に比べて側面視認性が劣るが、これを解決するために、一つの画素を二つの副画素に分割し、二つの副画素の電圧を異なるようにする方法が提示された。

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 5 】

本発明は上記問題点に鑑みてなされたものであって、本発明の目的は、液晶表示装置の開口率を低くすることなく、側面視認性を改善することができ、トランジスタのストレスを減らしてしきい値電圧が変化することを防ぐことにより、残像などの表示不良を減少させて、表示品質を向上させた液晶表示装置及びその駆動方法を提供することにある。

【 課題を解決するための手段 】

【 0 0 0 6 】

本発明の一実施形態に係る液晶表示装置は、ゲート線と、前記ゲート線と絶縁されて交差し、データ電圧を供給するデータ線と、前記ゲート線及び前記データ線から分離されて、一定の電圧を伝達する共通電圧線と、前記ゲート線及び前記データ線と接続される第 1 スイッチング素子と、前記ゲート線及び前記データ線と接続される第 2 スイッチング素子と、前記第 1 スイッチング素子と接続される第 1 液晶キャパシタと、前記第 2 スイッチング素子と接続される第 2 液晶キャパシタと、前記第 2 スイッチング素子と接続される入力端子、フローティングされた制御端子、及び出力端子を含む第 3 スイッチング素子と、前記第 3 スイッチング素子及び前記共通電圧線と接続される第 3 キャパシタとを含むことを特徴とする。

【 0 0 0 7 】

前記第 3 スイッチング素子の前記出力端子と前記制御端子は第 1 キャパシタを形成し、前記第 3 スイッチング素子の前記入力端子と前記制御端子は第 2 キャパシタを形成してもよい。

【 0 0 0 8 】

前記データ電圧の極性をフレームごとに反転させる制御部をさらに含んでもよい。

【 0 0 0 9 】

前記第 1 スイッチング素子の制御端子と前記第 2 スイッチング素子の制御端子は前記ゲート線に接続されており、前記第 1 スイッチング素子の入力端子と前記第 2 スイッチング素子の入力端子は前記データ線に接続されており、前記第 1 スイッチング素子の出力端子は前記第 1 液晶キャパシタと接続されており、前記第 2 スイッチング素子の出力端子は前記第 2 液晶キャパシタ及び前記第 3 スイッチング素子の前記入力端子と接続されてもよい。

【 0 0 1 0 】

本発明の他の実施形態に係る液晶表示装置は、互いに対向する第 1 基板及び第 2 基板と、前記第 1 基板上に配置されるゲート線、データ電圧を供給するデータ線、及び共通電圧線と、前記ゲート線及び前記データ線と接続される第 1 スイッチング素子と、前記ゲート線及び前記データ線と接続される第 2 スイッチング素子と、前記第 1 スイッチング素子と接続される第 1 副画素電極と、前記第 2 スイッチング素子と接続される第 2 副画素電極と、前記第 2 スイッチング素子と接続される入力端子、フローティングされた制御端子、及び前記入力端子と対向する出力端子を含む第 3 スイッチング素子と、前記第 3 スイッチング素子の前記出力端子と前記共通電圧線の一部を二端子として含む第 3 キャパシタとを含むことを特徴とする。

【 0 0 1 1 】

前記第 3 スイッチング素子の前記出力端子と前記制御端子は第 1 キャパシタを形成し、前記第 3 スイッチング素子の前記入力端子と前記制御端子は第 2 キャパシタを形成してもよい。

10

20

30

40

50

い。

【 0 0 1 2 】

前記データ電圧の極性をフレームごとに反転させる制御部をさらに含んでもよい。

【 0 0 1 3 】

前記第 1 スイッチング素子の制御端子と前記第 2 スイッチング素子の制御端子は前記ゲート線に接続されており、前記第 1 スイッチング素子の入力端子と前記第 2 スイッチング素子の入力端子は前記データ線に接続されており、前記第 1 スイッチング素子の出力端子は前記第 1 副画素電極と接続されており、前記第 2 スイッチング素子の出力端子は前記第 2 副画素電極及び前記第 3 スイッチング素子の前記入力端子と接続されてもよい。

【 0 0 1 4 】

前記第 2 基板上に配置され、共通電圧の印加を受ける対向電極をさらに含んでもよい。

【 0 0 1 5 】

本発明の一実施形態に係る液晶表示装置の駆動方法は、ゲート線と、前記ゲート線と絶縁されて交差するデータ線と、前記ゲート線及び前記データ線から分離されて、一定の電圧を伝達する共通電圧線と、前記ゲート線及び前記データ線と接続される第 1 スイッチング素子と、前記ゲート線及び前記データ線と接続される第 2 スイッチング素子と、前記第 1 スイッチング素子と接続される第 1 液晶キャパシタと、前記第 2 スイッチング素子と接続される第 2 液晶キャパシタと、前記第 2 スイッチング素子と接続される入力端子、フローティングされる制御端子、及び出力端子を含む第 3 スイッチング素子と、前記第 3 スイッチング素子及び前記共通電圧線と接続される第 3 キャパシタとを含む液晶表示装置において、前記データ線にデータ電圧を印加する段階と、前記ゲート線にゲートオン電圧を印加して、前記第 1 液晶キャパシタ及び前記第 2 液晶キャパシタを第 1 電圧で充電させる段階と、前記第 3 スイッチング素子を通じて前記第 2 液晶キャパシタの充電電圧を変化させる段階とを含むことを特徴とする。

【 0 0 1 6 】

前記第 3 スイッチング素子において、前記制御端子の電圧は、前記入力端子の電圧と前記出力端子の電圧との間の値、または前記入力端子の電圧及び前記出力端子の電圧と同一の値を有してもよい。

【 0 0 1 7 】

前記第 3 スイッチング素子において、前記制御端子、前記入力端子、及び前記出力端子の電圧は、1 フレームの 5 0 % 以上の時間の間に同一の値を有してもよい。

【 0 0 1 8 】

前記データ電圧の極性をフレームごとに反転する段階をさらに含んでもよい。

【 発明の効果 】

【 0 0 1 9 】

本発明の実施形態によれば、液晶表示装置の第 1 副画素及び第 2 副画素の輝度を異ならせることにより、液晶表示装置の開口率を低くすることなく、視認性を向上させることができる。また、1 フレームの一定時間の間に第 2 副画素に含まれる第 3 スイッチング素子が受けるストレスを減少させて、第 3 スイッチング素子のしきい値電圧の変化を防止し、これによって残像などの表示不良を減少させることができる。

【 図面の簡単な説明 】

【 0 0 2 0 】

【 図 1 】 本発明の一実施形態に係る液晶表示装置のブロック図である。

【 図 2 】 本発明の一実施形態に係る液晶表示装置の一画素に対する等価回路図である。

【 図 3 】 本発明の一実施形態に係る液晶表示装置の一画素に対する配置図である。

【 図 4 】 図 3 の液晶表示装置の I V - I V 線に沿った断面図である。

【 図 5 】 本発明の他の実施形態に係る液晶表示装置の一画素に対する配置図である。

【 図 6 】 図 2 乃至図 5 に示した液晶表示装置の第 3 スイッチング素子の三端子 (N 1 、 N 2 、 N 3) の電圧のフレームによる変化を示した図面である。

【 図 7 】 図 6 の ' P ' 部分及びゲート信号を共に示した図面である。

10

20

30

40

50

【図 8】図 6 の ‘ N ’ 部分及びゲート信号を共に示した図面である。

【発明を実施するための形態】

【 0 0 2 1 】

以下、添付した図面を参照して、本発明の実施形態について本発明が属する技術分野における通常の知識を有する者が容易に実施できるように詳細に説明する。しかし、本発明は種々の異なる形態に実現でき、ここで説明する実施形態に限られない。

【 0 0 2 2 】

図面において、種々の層及び領域を明確に表現するために厚さを拡大して示した。明細書の全体にわたって類似する部分に対しては同一の図面符号を付けた。層、膜、領域、板などの部分が他の部分の“上”にあるという場合、これは他の部分の“すぐ上”にある場合だけでなく、その中間に他の部分がある場合も含む。一方、ある部分が他の部分の“すぐ上”にあるという場合には、中間に他の部分がないことを意味する。

10

【 0 0 2 3 】

まず、図 1 及び図 2 を参照して、本発明の一実施形態に係る液晶表示装置について説明する。

【 0 0 2 4 】

図 1 は、本発明の一実施形態に係る液晶表示装置のブロック図であり、図 2 は、本発明の一実施形態に係る液晶表示装置の画素に対する等価回路図である。

【 0 0 2 5 】

図 1 を参照すると、本発明の一実施形態に係る液晶表示装置は、液晶表示パネルアセンブリ (liquid crystal panel assembly) 300、ゲート駆動部 (gatedriver) 400、及びデータ駆動部 (data driver) 500を含む。

20

【 0 0 2 6 】

図 1 及び図 2 を参照すると、液晶表示パネルアセンブリ 300 は、複数の信号線 (GL、DL、SL) と、これに接続されて、ほぼ行列状に配列された複数の画素 (pixel) (PX) を含む。

【 0 0 2 7 】

信号線 (GL、DL、SL) は、ゲート信号 (“ 走査信号 ” ともいう) を伝達 (transfer) する複数のゲート線 (GL)、データ電圧を伝達する複数のデータ線 (DL)、及び共通電圧など一定の電圧を伝達する共通電圧線 (SL) を含む。ゲート線 (GL) 及び共通電圧線 (SL) はそれぞれほぼ行方向に延び、互いにほぼ平行に配置してもよく、データ線 (DL) はほぼ列方向に延び、互いにほぼ平行に配置してもよい。

30

【 0 0 2 8 】

各画素 (PX) は第 1 副画素 (PX a) 及び第 2 副画素 (PX b) を含む。第 1 副画素 (PX a) は第 1 液晶キャパシタ (C1 c a) 及び第 1 スイッチング素子 (Q a) を含み、第 2 副画素 (PX b) は第 2 液晶キャパシタ (C1 c b)、第 2 スイッチング素子 (Q b)、第 3 スイッチング素子 (Q c)、及び第 3 キャパシタ (C 3) を含む。

【 0 0 2 9 】

第 1、第 2 及び第 3 スイッチング素子 (Q a、Q b、Q c) は、それぞれ例えば薄膜トランジスタなどの三端子素子であってもよい。

40

【 0 0 3 0 】

第 1 スイッチング素子 (Q a) の制御端子はゲート線 (GL) と接続されており、入力端子はデータ線 (DL) と接続されており、出力端子は第 1 液晶キャパシタ (C1 c a) と接続されている。第 2 スイッチング素子 (Q b) の制御端子はゲート線 (GL) と接続されており、入力端子はデータ線 (DL) と接続されており、出力端子は第 2 液晶キャパシタ (C1 c b) と接続されている。

【 0 0 3 1 】

第 1 液晶キャパシタ (C1 c a) 及び第 2 液晶キャパシタ (C1 c b) は、それぞれ二つの電極、例えば、副画素電極と対向電極 (図示せず) を有し、誘電体 (dielectr

50

ic material)として二つの電極間の液晶層(図示せず)を有する。

【0032】

第3スイッチング素子(Qc)の制御端子(N1)はフローティング(floating)されており、入力端子(N3)は第2スイッチング素子(Qb)及び第2液晶キャパシタ(C1cb)と接続されており、出力端子(N2)は第3キャパシタ(C3)と接続されている。図2に示したように、第3スイッチ素子(Qc)の制御端子(N1)と出力端子(N2)は共に第1キャパシタ(C1)を形成し、第3スイッチング素子(Qc)の制御端子(N1)と入力端子(N3)は共に第2キャパシタ(C2)を形成する。

【0033】

第3キャパシタ(C3)の二端子は第3スイッチング素子(Qc)の出力端子と共通電圧線(SL)にそれぞれ接続されている。第3キャパシタ(C3)は、第3スイッチング素子(Qc)の出力端子と共通電圧線(SL)の一部とが絶縁体を介してオーバーラップして形成されてもよい。

10

【0034】

その他に、第1及び第2液晶キャパシタ(C1ca、C1cb)の補助的な役割を果たすストレージキャパシタ(図示せず)をさらに含んでもよい。

【0035】

一方、色表示を実現するためには、各画素(PX)が基本色(primary color)のうちの一つを固有に表示するか(空間分割)、各画素(PX)が時間により交互に基本色を表示する(時間分割)ようにして、これらの基本色の空間的、時間的な作用により所望の色が認識されるようにする。基本色の例としては赤色、緑色、青色など三原色が挙げられる。空間分割の一例として、各画素(PX)は基本色のうちの一つを示すカラーフィルタ(図示せず)を備えてもよい。

20

【0036】

液晶表示パネルアセンブリ300は、少なくとも一つの偏光子(図示せず)を具備してもよい。

【0037】

さらに図1及び図2を参照すると、データ駆動部500は、液晶表示パネルアセンブリ300のデータ線(DL)と接続されて、データ電圧(Vd)をデータ線(DL)に印加する。

30

【0038】

ゲート駆動部400は、液晶表示パネルアセンブリ300のゲート線(GL)と接続されて、第1及び第2スイッチング素子(Qa、Qb)をターンオンさせるゲートオン電圧(Von)とターンオフさせるゲートオフ電圧(Voff)との組み合わせからなるゲート信号(Vg)をゲート線(GL)に印加する。

【0039】

以下、図1及び図2に示した液晶表示装置の一例について、図3及び図4を参照して詳細に説明する。

【0040】

図3は、本発明の一実施形態に係る液晶表示装置の一画素に対する配置図であり、図4は、図3の液晶表示装置のIV-IV線に沿った断面図である。

40

【0041】

本発明の一実施形態に係る液晶表示装置は、互いに対向する下部表示板100と上部表示板200、及びこれら二つの表示板100、200の間に挿入される液晶層3を含む。

【0042】

まず、下部表示板100について説明する。

【0043】

絶縁基板110の上に複数のゲート線121、第3ゲート電極124c、及び複数の共通電圧線131を含む複数のゲート導電体が形成されている。

【0044】

50

ゲート線 121 は、主に横方向 (horizontal direction) に延びて、ゲート信号を伝達する。ゲート線 121 はゲート線 121 から上に突出した第 1 ゲート電極 124a 及び第 2 ゲート電極 124b を含む。第 1 ゲート電極 124a 及び第 2 ゲート電極 124b は互いに接続されてもよい。第 3 ゲート電極 124c は島型 (island shape) で、フローティング (floating) されている。

【0045】

共通電圧線 131 は、主に横方向に延びており、共通電圧 V_{com} などの一定の電圧を伝達する。共通電圧線 131 は、共通電圧線 131 から下に突出して拡張された維持電極 137、及びゲート線 121 に対してほぼ垂直に上に延びた一对の縦部 (vertical portion) 134 を含む。

10

【0046】

ゲート導電体の上にはゲート絶縁膜 (gate insulating layer) 140 が形成されている。

【0047】

ゲート絶縁膜 140 の上には、アモルファスシリコン (amorphous silicon) または結晶シリコン (crystalline silicon) などからなる複数の線状半導体 (図示せず) が形成されている。線状半導体は、主に縦方向 (vertical direction) に延びており、第 1 ゲート電極 124a 及び第 2 ゲート電極 124b に向かって延びて互いに接続されている第 1 半導体 154a 及び第 2 半導体 154b と、第 2 半導体 154b から延びて第 3 ゲート電極 124c の上に位置する第 3 半導体 154c を含む。

20

【0048】

第 1 半導体 154a の上には、一对のオーミックコンタクト部 (ohmic contact) (163a、165a) が配置され、第 2 半導体 154b の上には一对のオーミックコンタクト部 (163b、165b) が配置される。また、第 3 半導体 154c の上には一对のオーミックコンタクト部 (163c、165c) が配置される。オーミックコンタクト部 163a は、線状半導体の上に位置する線状オーミックコンタクト部 (図示せず) と接続されてもよく、オーミックコンタクト部 (165a、163b) は互いに接続されてもよく、オーミックコンタクト部 (165b、163c) は互いに接続されてもよい。

30

【0049】

オーミックコンタクト部 (163a、165a、163b、165b、163c、165c) は、リンなどの n 型不純物が高濃度にドーピングされている n+ 水素化アモルファスシリコンなどの物質、またはケイ素化合物 (silicon compound) などで形成されてもよい。

【0050】

オーミックコンタクト部 (163a、165a、163b、165b、163c、165c) 及びゲート絶縁膜 140 の上には、複数のデータ線 171、複数の第 1 ドレイン電極 175a、複数の第 2 ドレイン電極 175b、及び複数の第 3 ドレイン電極 175c を含むデータ導電体が形成されている。

40

【0051】

データ線 171 は、データ信号を伝達し、主に縦方向に延びてゲート線 121 及び共通電圧線 131 と交差する。各データ線 171 は、第 1 ゲート電極 124a 及び第 2 ゲート電極 124b に向かって延びて互いに接続される第 1 ソース電極 (source electrode) 173a 及び第 2 ソース電極 173b を含む。

【0052】

第 1 ドレイン電極 175a、第 2 ドレイン電極 175b、及び第 3 ドレイン電極 175c は、棒状の一端部と、面積が相対的に広い他端部とを含む。第 1 ドレイン電極 175a 及び第 2 ドレイン電極 175b の棒状の端部は、それぞれ第 1 ソース電極 173a 及び第 2 ソース電極 173b によって一部が囲まれている。第 2 ドレイン電極 175b の広い一端

50

部はさらに延長されて棒状の第3ソース電極173cを形成し、第3ソース電極173cは第3ドレイン電極175cと対向する。第3ドレイン電極175cの広い端部177cは、共通電圧線131の維持電極137とオーバーラップして第3キャパシタC3を形成する。

【0053】

第1/第2/第3ゲート電極(124a/124b/124c)、第1/第2/第3ソース電極(173a/173b/173c)、及び第1/第2/第3ドレイン電極(175a/175b/175c)は、第1/第2/第3半導体(154a/154b/154c)と共に第1/第2/第3薄膜トランジスタ(thin film transistor、TFT)(Qa/Qb/Qc)を形成し、薄膜トランジスタのチャネル(channel)領域は、各ソース電極(173a/173b/173c)と各ドレイン電極(175a/175b/175c)との間の第1/第2/第3半導体(154a/154b/154c)にそれぞれ形成される。

10

【0054】

第1、第2及び第3半導体(154a、154b、154c)を含む線状半導体は、第1、第2、第3ソース電極(173a、173b、173c)と、第1、第2、第3ドレイン電極(175a、175b、175c)との間のチャネル領域を除いては、データ導電体及びその下部のオーミックコンタクト部(163a、165a、163b、165b、163c、165c)と実質的に同一の平面形状を有してもよい。

【0055】

データ導電体及び露出した第1、第2及び第3半導体(154a、154b、154c)部分の上には、窒化ケイ素または酸化ケイ素などの無機絶縁物または有機絶縁物などからなる保護膜(passivation layer)180が形成されている。しかし、保護膜180は有機絶縁物及び無機絶縁物からなる二重層構造を有することも可能である。保護膜180には、第1ドレイン電極175aの広い端部を露出する第1コンタクトホール(contact hole)185a、及び第2ドレイン電極175bの広い端部を露出する第2コンタクトホール185bが形成されている。

20

【0056】

保護膜180の上には、ITO(indium tin oxide)またはIZO(indium zinc oxide)などの透明な導電物質や、アルミニウム、銀、クロムまたはその合金などの反射性金属からなる複数の画素電極(pixel electrode)191が形成されている。一つの画素電極191は第1副画素電極191a及び第2副画素電極191bを含み、画素電極191の全体的な形状は四角形としてもよい。第1副画素電極191aは、間隙91を間に置いて第2副画素電極191bによって取り囲まれている。

30

【0057】

第1副画素電極191aは、ゲート線121に対してそれぞれ斜めに対称な方向に延びた下部及び上部を含む。

【0058】

第2副画素電極191bは、第1副画素電極191aの二つの斜めに延びた部分を囲み、漏斗型の三角形形状(funnel-shaped triangular)の切開部92を含み、第2副画素電極191bの上部及び下部は、第1副画素電極191aの二つの斜めに延びた上部及び下部の近くに位置し、切開部(93a、93b)を含む。切開部92は、対向する間隙91の斜辺に平行に延びる二つの斜辺、及び二つの斜辺と接続されて横方向に延びる二つの横辺を含み、切開部(93a、93b)も対向する間隙91の斜辺に平行な斜辺を含む形状に形成されている。

40

【0059】

間隙91の二つの斜辺、切開部92の二つの斜辺、及び切開部(93a、93b)の斜辺は、ゲート線121とほぼ45度または135度の角度をなす形状であってもよい。

【0060】

50

第 2 副画素電極 1 9 1 b の面積は、第 1 副画素電極 1 9 1 a の面積より大きいものであってもよい。

【 0 0 6 1 】

第 1 副画素電極 1 9 1 a は第 1 コンタクトホール 1 8 5 a を通じて第 1 ドレイン電極 1 7 5 a からデータ電圧の印加を受け、第 2 副画素電極 1 9 1 b は第 2 コンタクトホール 1 8 5 b を通じて、第 2 ドレイン電極 1 7 5 b からデータ電圧の印加を受ける。このとき、第 1 副画素電極 1 9 1 a 及び第 2 副画素電極 1 9 1 b が、第 1 スイッチング素子 Q a 及び第 2 スイッチング素子 Q b から印加を受けるデータ電圧は互いに同一である。

【 0 0 6 2 】

画素電極 1 9 1 の上には配向膜（図示せず）が形成されてもよい。

10

【 0 0 6 3 】

次に、上部表示パネル 2 0 0 について説明する。

【 0 0 6 4 】

絶縁基板 2 1 0 の上に遮光部（light blocking member）2 2 0 が形成されている。遮光部 2 2 0 は、画素電極 1 9 1 の間の光漏れを防止し、画素電極 1 9 1 と対向する開口領域を定義する開口部（図示せず）を含む。

【 0 0 6 5 】

基板 2 1 0 及び遮光部 2 2 0 の上には複数のカラーフィルタ（図示せず）が形成されている。カラーフィルタは、遮光部 2 2 0 によって取り囲まれた領域内にその大部分が位置し、画素電極 1 9 1 の列に沿って長く延びた形状に形成されてもよい。各カラーフィルタは赤色、緑色、及び青色の三原色など基本色のうちの一つを表示するものであってもよい。

20

【 0 0 6 6 】

遮光部 2 2 0 及びカラーフィルタのうちの少なくとも一つは下部表示パネル 1 0 0 に位置してもよい。

【 0 0 6 7 】

カラーフィルタ及び遮光部 2 2 0 の上には保護膜（overcoat）2 5 0 が形成されている。しかし、保護膜 2 5 0 は省略してもよい。

【 0 0 6 8 】

保護膜 2 5 0 の上には、画素電極 1 9 1 と対向して、共通電圧 V c o m の印加を受ける対向電極 2 7 0 が形成されている。対向電極 2 7 0 は、複数の画素電極 1 9 1、例えば、全ての画素電極 1 9 1 と対向するように形成されてもよい。対向電極 2 7 0 は、画素電極 1 9 1 の間隙 9 1 の斜辺、切開部 9 2 の斜辺、及び切開部（9 3 a、9 3 b）と実質的に平行な斜線部を有する形状の複数対の切開部（7 1、7 2、7 3 a、7 3 b、7 4 a、7 4 b）を含む。各切開部（7 1、7 2、7 3 a、7 3 b、7 4 a、7 4 b）は、各斜線部の端部から縦方向または横方向に延びた長手部（longitudinal portion）をさらに含む。切開部 7 1 は二つの斜線部が互いに交差する所から横方向に延びた横部（horizontal portion）をさらに含む。

30

【 0 0 6 9 】

対向電極 2 7 0 の上には配向膜（図示せず）を配置してもよい。

【 0 0 7 0 】

下部表示パネル 1 0 0 及び上部表示パネル 2 0 0 の上の配向膜は垂直配向膜であってもよい。

40

【 0 0 7 1 】

下部表示パネル 1 0 0 と上部表示パネル 2 0 0 との間に挿入されている液晶層 3 は、誘電率異方性を有する液晶分子を含む。液晶分子は、電界がない状態でほぼその長軸が二つの表示パネル（1 0 0、2 0 0）の面（surface）に対して垂直となるように配向されてもよい。

【 0 0 7 2 】

下部表示パネル 1 0 0 の第 1 副画素電極 1 9 1 a は、上部表示パネル 2 0 0 の対向電極 2 7 0 及びその間の液晶層 3 と共に第 1 液晶キャパシタ（C l c a）を形成し、第 2 副画素

50

電極 191b は、対向電極 270 及びその間の液晶層 3 と共に第 2 液晶キャパシタ (C1cb) を形成する。

【0073】

上部表示パネル 200 の対向電極 270 とともにデータ電圧が印加される第 1 及び第 2 副画素電極 (191a、191b) は、液晶層 3 に電界を生成することによって、二つの電極 (191、270) の間の液晶層 3 の液晶分子の方向、すなわち傾きを決定する。液晶分子が傾く方向は、まず、電極素子の辺 (画素電極 191 の間隙 91 及び切開部 (92、93a、93b) と対向電極 270 の切開部 (71、72、73a、73b、74a、74b) の辺) が表示パネル (100、200) の面に対してほぼ垂直である主電界を歪める (distort) ことにより生成される電界の水平成分 (horizontal component) によって決定される。このような電界の水平成分は、間隙 91 及び切開部 (92、93a、93b、71、72、73a、73b、74a、74b) の辺にほぼ垂直であるため、液晶分子はこれらの辺にほぼ垂直な方向に傾く。本実施例において、液晶分子の傾く方向はほぼ 4 方向であり、このように液晶分子が傾く方向を多様な方向にすれば、液晶表示装置の基準視野角を大きくすることができる。

10

【0074】

また、第 1 及び第 2 副画素電極 (191a、191b) の電圧と対向電極 270 の電圧との差は、第 1 及び第 2 液晶キャパシタ (C1ca、C1cb) の充電電圧、即ち、画素電圧として表される。液晶分子は、この画素電圧の大きさによってその配列または傾きが変化し、液晶層 3 に入射した光の偏光に変化を生じさせることができる。このような偏光の変化は、出射側偏光子 (exit polarizer) による光の透過率の変化として表れ、これによって液晶表示装置には映像が表示される。

20

【0075】

本発明の実施形態においては、第 2 副画素電極 191b が第 2 スイッチング素子 (Qb) を通じて印加を受けたデータ電圧が、第 3 スイッチング素子 (Qc) 及び第 3 キャパシタ (C3) によって変化して、第 2 液晶キャパシタ (C1cb) 及び第 1 液晶キャパシタ (C1ca) の充電電圧が変化し、これにより、液晶分子の傾きが変化するようになる。

【0076】

このような液晶表示装置の動作について、上述した図 1 乃至図 4 と共に図 6、図 7 及び図 8 を参照して説明する。

30

【0077】

図 6 は、図 2 乃至図 5 に示した液晶表示装置の第 3 スイッチング素子 (Qc) の三端子 (N1、N2、N3) の電圧の、1 フレーム間の変化を示した図面であり、図 7 は、図 6 の 'P' 部分及びゲート信号を拡大して示した図面であり、図 8 は、図 6 の 'N' 部分及びゲート信号を拡大して示した図面である。

【0078】

データ駆動部 500 は、外部からデジタル映像信号を受信し、各デジタル映像信号に対応する階調電圧を選択することによって、デジタル映像信号をアナログデータ電圧 (Vd) に変換した後、これに対応するデータ線 (DL、171) に印加する。

【0079】

ゲート駆動部 400 は、ゲートオン電圧 (Von) をゲート線 (GL、121) に印加して、ゲート線 (GL、121) に接続された第 1 及び第 2 スイッチング素子 (Qa、Qb) をターンオンさせる。これにより、データ線 (DL、171) に印加されたデータ電圧 (Vd) が、ターンオンされた第 1 及び第 2 スイッチング素子 (Qa、Qb) を通じて対応する画素 (PX) の第 1 及び第 2 副画素電極 (191a、191b) に印加される。

40

【0080】

このプロセスは 1 水平周期を一単位として繰り返される。1 水平周期 ("1H" とも記す) は、水平同期信号 (Hsync) 及びデタインーブル信号 (DE) の一周期と同じ意味である。1 フレーム (frame) の映像を表示するために、全てのゲート線 (GL、121) に対して順次にゲートオン電圧 (Von) が印加され、全ての画素 (PX) にデ

50

ータ電圧 (V_d) が印加される。1 フレームが終了すると、次のフレームが開始され、各画素 (P_X) に印加されるデータ電圧 (V_d) の極性が、直前フレームの極性と反対となるように、データ駆動部 500 に印加される反転信号 (RVS) の状態が制御される (“フレーム反転” という。)。データ駆動部 500 の内部または外部には、反転信号 (RVS) の状態を制御する制御部を形成してもよい。

【0081】

以下の説明において、対向電極 270 の電圧が基準電圧を基準として同一であるかまたは大きい場合をデータ電圧 (V_d) が正極性であり、対向電極 270 の電圧が基準電圧を基準として同一であるかまたは小さい場合をデータ電圧 (V_d) が負極性であるとする。

【0082】

図 2 を参照すると、第 3 スイッチング素子 (Q_c) の出力端子 (N₂) と制御端子 (N₁) のカップリングによる第 1 キャパシタ (C₁) の容量を C₁ といい、入力端子 (N₃) と制御端子 (N₁) のカップリングによる第 2 キャパシタ (C₂) の容量を C₂ といい、第 3 スイッチング素子 (Q_c) 自体の容量を C_{tft} というとき、第 3 スイッチング素子 (Q_c) の制御端子 (N₁) の電圧 (V₁) は次の数式 1 で示される。

【0083】

【数 1】

$$V_1 = \{ (C_1 + C_{tft} / 2) * V_2 + (C_2 + C_{tft} / 2) * V_3 \} / (C_1 + C_2 + C_{tft}) \quad \cdots \text{(数式 1)}$$

【0084】

数式 1 において、V₂ は出力端子 (N₂) の電圧であり、V₃ は入力端子 (N₃) の電圧である。

【0085】

数式 1 によれば、第 1 キャパシタ (C₁) の容量 (C₁) と第 2 キャパシタ (C₂) の容量 (C₂) が同一である場合、第 3 スイッチング素子 (Q_c) の制御端子 (N₁) の電圧 (V₁) は、次の数式 2 の通りである。

【0086】

【数 2】

$$V_1 = (V_2 + V_3) / 2 \quad (\text{但し、} C_1 = C_2) \quad \cdots \text{(数式 2)}$$

【0087】

以下において、C₁ と C₂ が同一である場合を仮定して説明する。

【0088】

まず、図 2、図 6 及び図 7 を参照して、データ線 (DL、171) に正極性のデータ電圧 (V_d) が印加される場合について説明する。第 3 スイッチング素子 (Q_c) の入力端子 (N₃) に正極性のデータ電圧 (V_d) が充電される間、制御端子 (N₁) の電圧 (V₁) は電圧 (V₂) と電圧 (V₃) との平均値を有するので高くなる。これにより、正極性のフレーム (positive frame) (図 7 において、“P” と示した) において、第 3 スイッチング素子 (Q_c) の電圧 (V_{gs}) に対応する電圧差 (V₁ - V₂) は、正の値である (V₃ - V₂) / 2 となり、入力端子 (N₃) から出力端子 (N₂) に電流が流れ、出力端子 (N₂) の電圧 (V₂) も高くなる。これを整理すると、電圧差 (V₁ - V₂) は数式 3 の通りである。

【0089】

10

20

30

40

【数 3】

$$V_{gs} = V_1 - V_2 = (V_3 - V_2) / 2 > 0 \quad (\text{但し、} V_3 \geq V_2) \quad \dots (\text{数式 3})$$

【0090】

図 6 及び図 7 を参照すると、ゲート信号 (V_g) がゲートオフ電圧 (V_{off}) になった後には、出力端子 (N_2) の電圧 (V_2) と入力端子 (N_3) の電圧 (V_3)、そして制御端子 (N_1) の電圧 (V_1) が互いに同一になるまで、入力端子 (N_3) から出力端子 (N_2) に電流は流れ続け、入力端子 (N_3) の電圧 (V_3) は下降し、出力端子 (N_2) の電圧 (V_2) は上昇する。これにより、第 3 スイッチング素子 (Q_c) の入力端子 (N_3) と接続されている第 2 副画素電極 191b の電圧は、最初に印加を受けた正極性のデータ電圧 (V_d) より低くなって、第 1 副画素電極 191a の電圧より小さくなり、これは残りのフレーム内に維持される。また、第 3 スイッチング素子 (Q_c) の出力端子 (N_2) の電圧 (V_2) も、第 3 キャパシタ (C_3) によって残りのフレーム内に維持される。

10

【0091】

これによって図 6 に示したように、1 フレームの大部分の時間の間、第 1 液晶キャパシタ ($C_{1c a}$) の充電電圧より第 2 液晶キャパシタ ($C_{1c b}$) の充電電圧が低いので、第 1 副画素 ($PX a$) と第 2 副画素 ($PX b$) とで液晶分子の傾いた角度が異なるようになるため、二つの副画素 ($PX a$ 、 $PX b$) の輝度 ($luminance$) を変化させることができる。したがって、第 1 液晶キャパシタ ($C_{1c a}$) の充電電圧と第 2 液晶キャパシタ ($C_{1c b}$) の充電電圧とを適切に調節すれば、側面から見る映像を正面から見る映像に最大限近いものとすることができ、これによって側面視認性を向上させることができる。

20

【0092】

次に、図 2、図 6 及び図 8 を参照して、データ線 (DL 、171) に負極性のデータ電圧 (V_d) が印加される場合について説明する。第 3 スイッチング素子 (Q_c) の入力端子 (N_3) に負極性のデータ電圧 (V_d) が充電される間、制御端子 (N_1) の電圧 (V_1) は電圧 (V_2) と電圧 (V_3) の平均値に達して低くなる。これにより、負極性のフレーム ($negative\ frame$) (図 8 において、“N” と示した) で第 3 スイッチング素子 (Q_c) の電圧 (V_{gs}) に対応する電圧差 ($V_1 - V_3$) は、正の値である ($V_2 - V_3$) / 2 となって、正極性のフレームの場合とは反対に、第 3 スイッチング素子 (Q_c) の出力端子 (N_2) から入力端子 (N_3) に電流が流れ、出力端子 (N_2) の電圧 (V_2) は低くなる。これを整理すれば、次の数式 4 の通りである。

30

【0093】

【数 4】

$$V_{gs} = V_1 - V_3 = (V_2 - V_3) / 2 > 0 \quad (\text{但し、} V_2 \geq V_3) \quad \dots (\text{数式 4})$$

【0094】

図 6 及び図 8 を参照すると、ゲート信号 (V_g) がゲートオフ電圧 (V_{off}) になった後には、出力端子 (N_2) の電圧 (V_2) と入力端子 (N_3) の電圧 (V_3)、及び制御端子 (N_1) の電圧 (V_1) が互いに同一になるまで、出力端子 (N_2) から入力端子 (N_3) に電流は流れ続け、入力端子 (N_3) の電圧 (V_3) は上昇し、出力端子 (N_2) の電圧 (V_2) は下降する。これにより、第 3 スイッチング素子 (Q_c) の入力端子 (N_3) と接続されている第 2 副画素電極 191b の電圧も最初に印加を受けた負極性のデータ電圧 (V_d) より高くなって、第 1 副画素電極 191a の電圧より大きくなり、これは残りのフレーム内に維持される。また、第 3 スイッチング素子 (Q_c) の出力端子 (N_2) の電圧 (V_2) も第 3 キャパシタ (C_3) によって残りのフレーム内に維持される。負極性のフレームにおいては、第 1 副画素電極 191a と対向電極 270 の電圧差より第 2

40

50

副画素電極 191b と対向電極 270 の電圧差がさらに小さいので、第 2 液晶キャパシタ (C1cb) の充電電圧が第 1 液晶キャパシタ (C1ca) の充電電圧より小さくなる。

【0095】

これにより、図 6 に示したように、1 フレームの大部分の時間の間に第 1 液晶キャパシタ (C1ca) の充電電圧より第 2 液晶キャパシタ (C1cb) の充電電圧が低いので、第 1 副画素 (PXa) と第 2 副画素 (PXb) で液晶分子の傾いた角度が異なるようになるため、二つの副画素 (PXa、PXb) の輝度を変化させることができる。

【0096】

本実施形態においては、データ電圧 (Vd) の印加後、第 3 スイッチング素子 (Qc) の三端子 (N1、N2、N3) の電圧 (V1、V2、V3) が同一になるまでの時間は、数十 msec、さらに具体的には 2 msec 以下とすることができる。このとき、本発明の一実施形態に係る液晶表示装置は、120 Hz の周波数で駆動させてもよく、この場合、1 フレームの 50% 以上、さらに具体的には 1 フレームの 70% 以上の時間の間に第 3 スイッチング素子 (Qc) の三端子 (N1、N2、N3) の電圧 (V1、V2、V3) が同一の値を有するようにしてもよい。

10

【0097】

また、データ電圧 (Vd) の印加後、第 3 スイッチング素子 (Qc) の三端子 (N1、N2、N3) の電圧 (V1、V2、V3) が同一になる最終値及び同一になる速度は、第 1 キャパシタ (C1) 及び第 2 キャパシタ (C2) の容量及び容量比によって変化させてもよい。例えば、第 2 キャパシタ (C2) の容量が第 1 キャパシタ (C1) の容量より大きい場合、三電圧 (V1、V2、V3) が同一になる最終値、即ち、制御端子 (N1) の電圧 (V1) の最終値は、上記数式 1 によって出力端子 (N2) の電圧 (V2) よりも、入力端子 (N3) の電圧 (V3) にさらに近い値であってもよい。

20

【0098】

また、第 3 キャパシタ (C3) の容量によって液晶表示装置の透過率及び側面わい曲現象 (the side distortion phenomenon) を変化させることができる。例えば、第 3 キャパシタ (C3) の容量が大きくなるほど透過率は低下するが、側面わい曲現象は減少させることができる。

【0099】

また、負極性のフレーム及び正極性フレームにおいて、三端子 (N1、N2、N3) の電圧 (V1、V2、V3) が同一になる時間を変化させてもよい。

30

【0100】

このように、本発明の一実施形態に係る液晶表示装置の第 1 及び第 2 副画素 (PXa、PXb) の輝度を異なるようにすることにより、開口率の減少なしに、視認性を向上させることができる。また、図 6 に示したように、1 フレームの大部分の時間、例えば、1 フレームの 50% 以上、さらに具体的には 1 フレームの 70% 以上の時間の間に、第 3 スイッチング素子 (Qc) の制御端子 (N1)、出力端子 (N2)、及び入力端子 (N3) のうちの少なくとも二端子間の電圧差は実質的に 0 に維持されるので、第 3 スイッチング素子 (Qc) が受けるストレス (stress) を大幅に減少させることができる。これにより、第 3 スイッチング素子 (Qc) のしきい値電圧 (threshold voltage) の変化を防止して、残像などの表示不良を減少させて表示品質を向上させることができる。

40

【0101】

以下、図 1 及び図 2 に示した液晶表示装置の他の例について、図 5 を参照して説明する。上述した実施形態と同一の構成要素に対しては同一の図面符号を付け、同一の説明は省略する。

【0102】

図 5 は、本発明の他の実施形態に係る液晶表示装置の一画素に対する配置図である。本実施形態に係る液晶表示装置は、上述した図 3 及び図 4 の液晶表示装置とほぼ同一の断面構造を有しているので、対応する図面符号はそのまま用いる。

50

【 0 1 0 3 】

図 5 に示した本実施形態に係る液晶表示装置は、互いに対向する下部表示パネル 1 0 0 と上部表示パネル 2 0 0、及びこれら二つの表示パネルの間に挿入されている液晶層 3 を含む。

【 0 1 0 4 】

まず、上部表示パネル 2 0 0 について説明すると、絶縁基板 2 1 0 の上に対向電極 2 7 0 が形成されており、対向電極 2 7 0 の上には上部配向膜（図示せず）が形成されている。上部配向膜は垂直配向膜としてもよい。

【 0 1 0 5 】

液晶層 3 は負の誘電率異方性を有し、液晶層 3 の液晶分子は、電界がない状態でその長軸が二つの表示パネル（1 0 0、2 0 0）の面に対して垂直となるように配向されている。

10

【 0 1 0 6 】

次に、下部表示パネル 1 0 0 について説明すると、絶縁基板 1 1 0 の上に複数のゲート線 1 2 1、第 3 ゲート電極 1 2 4 c、及び複数の共通電圧線 1 3 1 を含む複数のゲート導電体が形成されている。共通電圧線 1 3 1 は、下に拡張された維持電極 1 3 7、及び上に形成されて閉ループ形状を有している環部（ring portion）1 3 3 を含む。

【 0 1 0 7 】

ゲート導電体の上にはゲート絶縁膜 1 4 0 が形成されており、ゲート絶縁膜の上には複数の第 1、第 2 及び第 3 半導体（1 5 4 a、1 5 4 b、1 5 4 c）を含む複数の線状半導体（図示せず）が形成されている。第 1、第 2 及び第 3 半導体（1 5 4 a、1 5 4 b、1 5 4 c）の上にはそれぞれ一对のオーミックコンタクト部が形成されている。

20

【 0 1 0 8 】

オーミックコンタクト部の上には複数のデータ線 1 7 1、複数の第 1 ドレイン電極 1 7 5 a、複数の第 2 ドレイン電極 1 7 5 b、及び複数の第 3 ドレイン電極 1 7 5 c を含むデータ導電体が形成されている。データ線 1 7 1 は、第 1 ソース電極 1 7 3 a 及び第 2 ソース電極 1 7 3 b を含み、第 3 ドレイン電極 1 7 5 c の広い端部 1 7 7 c は、共通電圧線 1 3 1 の維持電極 1 3 7 とオーバーラップして第 3 キャパシタ（C 3）を形成する。

【 0 1 0 9 】

第 1 / 第 2 / 第 3 ゲート電極（1 2 4 a / 1 2 4 b / 1 2 4 c）、第 1 / 第 2 / 第 3 ソース電極（1 7 3 a / 1 7 3 b / 1 7 3 c）、及び第 1 / 第 2 / 第 3 ドレイン電極（1 7 5 a / 1 7 5 b / 1 7 5 c）は、第 1 / 第 2 / 第 3 半導体（1 5 4 a / 1 5 4 b / 1 5 4 c）と共に第 1 / 第 2 / 第 3 薄膜トランジスタ（Q a / Q b / Q c）を形成する。

30

【 0 1 1 0 】

データ導電体及び露出した第 1、第 2、第 3 半導体（1 5 4 a、1 5 4 b、1 5 4 c）部分の上には保護膜 1 8 0 が形成されており、保護膜 1 8 0 は第 1 ドレイン電極 1 7 5 a の広い端部を露出する第 1 コンタクトホール 1 8 5 a、及び第 2 ドレイン電極 1 7 5 b の広い端部を露出する第 2 コンタクトホール 1 8 5 b が形成されている。

【 0 1 1 1 】

保護膜 1 8 0 の上には第 1 副画素電極 1 9 1 a 及び第 2 副画素電極 1 9 1 b を含む画素電極が形成されている。第 1 副画素電極 1 9 1 a と第 2 副画素電極 1 9 1 b は、ゲート線 1 2 1 及び共通電圧線 1 3 1 を介して互いに分離され、それぞれ列方向の上部と下部に隣接して配置される。第 2 副画素電極 1 9 1 b の高さは、第 1 副画素電極 1 9 1 a の高さより高くしてもよく、第 1 副画素電極 1 9 1 a の高さのほぼ 1 倍～3 倍としてもよい。

40

【 0 1 1 2 】

第 1 副画素電極 1 9 1 a 及び第 2 副画素電極 1 9 1 b の全体的な形状は四角形であってもよい。

【 0 1 1 3 】

第 1 副画素電極 1 9 1 a は、横幹部（horizontal stem portion）及び縦幹部（vertical stem portion）を含む十字幹部（cross stem portion）、外周（periphery）を取り囲む外周部、及

50

び外周部の左側下端から下に突出して第 1 コンタクトホール 185 a を通じて第 1 ドレイン電極 175 a と接続された突出部を含む。一方、共通電圧線 131 の環部 133 は、第 1 副画素電極 191 a の外周を取り囲んでいるので、光漏れを防止することができる。

【0114】

第 2 副画素電極 191 b も、横幹部及び縦幹部を含む十字幹部、上端横部及び下端横部、そして十字幹部の縦幹部の上端から上に突出して第 2 コンタクトホール 185 b を通じて第 2 ドレイン電極 175 b と接続された突出部を含む。

【0115】

第 1 副画素電極 191 a 及び第 2 副画素電極 191 b のそれぞれは、十字幹部によって 4 個の副領域に分けられ、各副領域は十字幹部から外側に斜めに延びる複数の微細枝部 (fine branching units) を含む。微細枝部がゲート線 121 となす角度は、約 45 度または 135 度であってもよい。

10

【0116】

第 1 及び第 2 副画素電極 (191 a、191 b) の微細枝部の辺が液晶層 3 の電界を歪め、微細枝部の辺に対して垂直な水平成分を作り、液晶分子の傾斜方向が水平成分によって決定される。したがって、液晶分子はまず微細枝部の辺に垂直な方向に傾こうとする。しかし、隣接する微細枝部の辺における電界の水平成分の方向が互いに反対であり、微細枝部の幅または微細枝部間の間隔が液晶層 3 のセルギャップに比べて狭いため、互いに反対方向に傾こうとする液晶分子が、微細枝部の長さ方向に平行な方向に傾くようになる。

20

【0117】

本発明の実施形態において、第 1 及び第 2 副画素電極 (191 a、191 b) は、微細枝部の長さ方向が互いに異なる 4 個の副領域を含むので、液晶層 3 の液晶分子が傾く方向も 4 個の副領域に対応する 4 方向になる。このように、液晶分子が傾く方向を多様にすることにより、液晶表示装置の基準視野角を大きくすることができる。

【0118】

また、第 1 副画素電極 191 a と対向電極 270 は、その間の液晶層 3 と共に第 1 液晶キャパシタ (C1c a) を形成し、第 2 副画素電極 191 b と対向電極 270 は、その間の液晶層 3 と共に第 2 液晶キャパシタ (C1c b) を形成する。液晶層 3 は、第 1 液晶キャパシタ (C1c a) 及び第 2 液晶キャパシタ (C1c b) の誘電体であってもよい。

30

【0119】

本実施形態に係る液晶表示装置の動作は、上述した図 3 及び図 4、そして図 6 乃至図 8 の実施形態に係る液晶表示装置の動作と同一である。そのため第 1 及び第 2 液晶キャパシタ (C1c a、C1c b) の充電電圧を異ならせることにより、液晶表示装置の側面視認性を向上させることができる。また、第 3 スイッチング素子 (Qc) のストレスを減らし、しきい値電圧の変化を減らすことができる。従って、液晶表示装置の残像を減らして表示品質を向上させることができる。

【0120】

上述した図 3 及び図 4 に示した実施形態に係る液晶表示装置の種々の特徴及び効果などは、本実施形態に係る液晶表示装置にも適用できる。

【0121】

以上、本発明の好ましい実施形態について詳細に説明したが、本発明の権利範囲はこれに限定されず、特許請求の範囲で定義している本発明の基本概念を利用した当業者の種々の変形及び改良形態も本発明の権利範囲に属するものである。

40

【符号の説明】

【0122】

3 液晶層

91 間隙

71、72、73 a、73 b、74 a、74 b、92、93 a、93 b 切開部

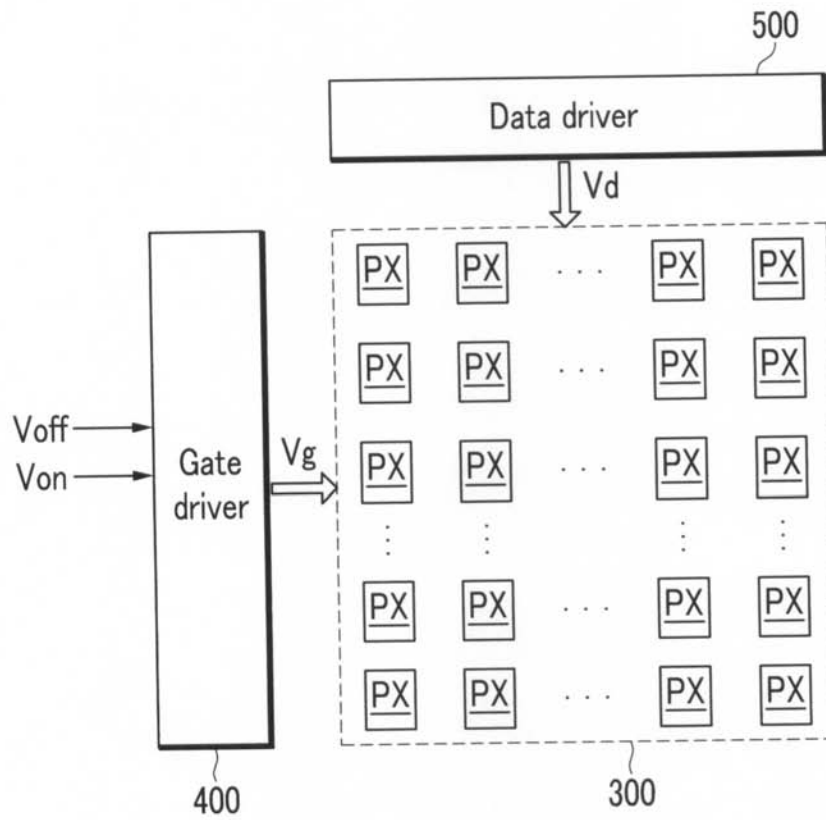
100 下部表示パネル

110、210 絶縁基板

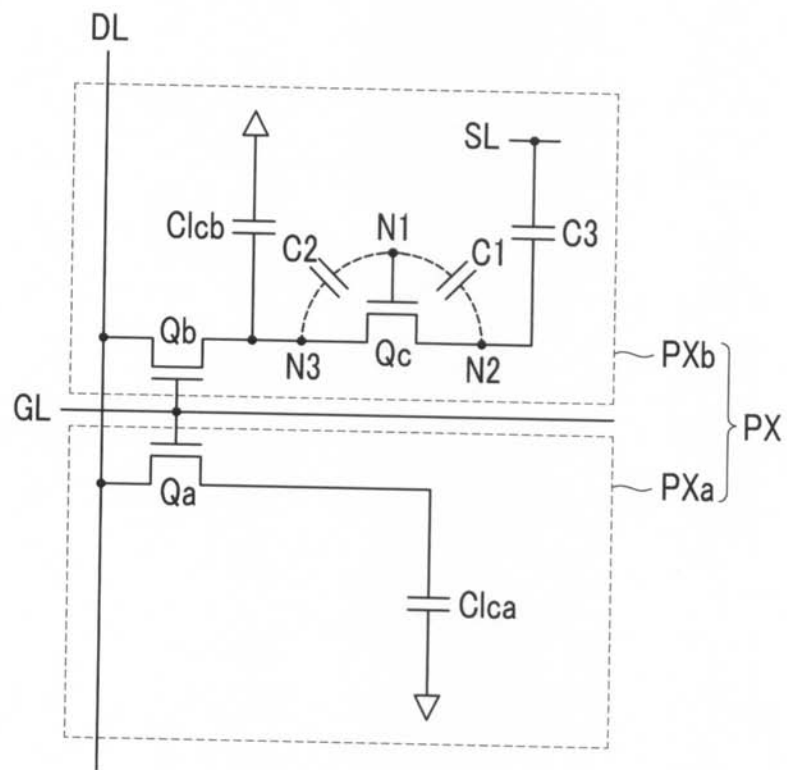
50

1 2 1	ゲート線	
1 2 4 a、1 2 4 b、1 2 4 c	ゲート電極	
1 3 1	共通電圧線	
1 3 3	共通電圧線の環部	
1 3 4	共通電圧線の縦部	
1 3 7	維持電極	
1 4 0	ゲート絶縁膜	
1 5 4 a、1 5 4 b、1 5 4 c	半導体	
1 6 3 a、1 6 3 b、1 6 3 c、1 6 5 a、1 6 5 b、1 6 5 c	オーミックコンタクト部	10
1 7 1	データ線	
1 7 3 a、1 7 3 b、1 7 3 c	ソース電極	
1 7 5 a、1 7 5 b、1 7 5 c、1 7 7 c	ドレイン電極	
1 8 0	保護膜	
1 8 5 a、1 8 5 b	コンタクトホール	
1 9 1	画素電極	
1 9 1 a、1 9 1 b	副画素電極	
2 0 0	上部表示パネル	
2 2 0	遮光部	
2 5 0	保護膜	20
2 7 0	対向電極	
3 0 0	液晶表示パネルアセンブリ	
4 0 0	ゲート駆動部	
5 0 0	データ駆動部	

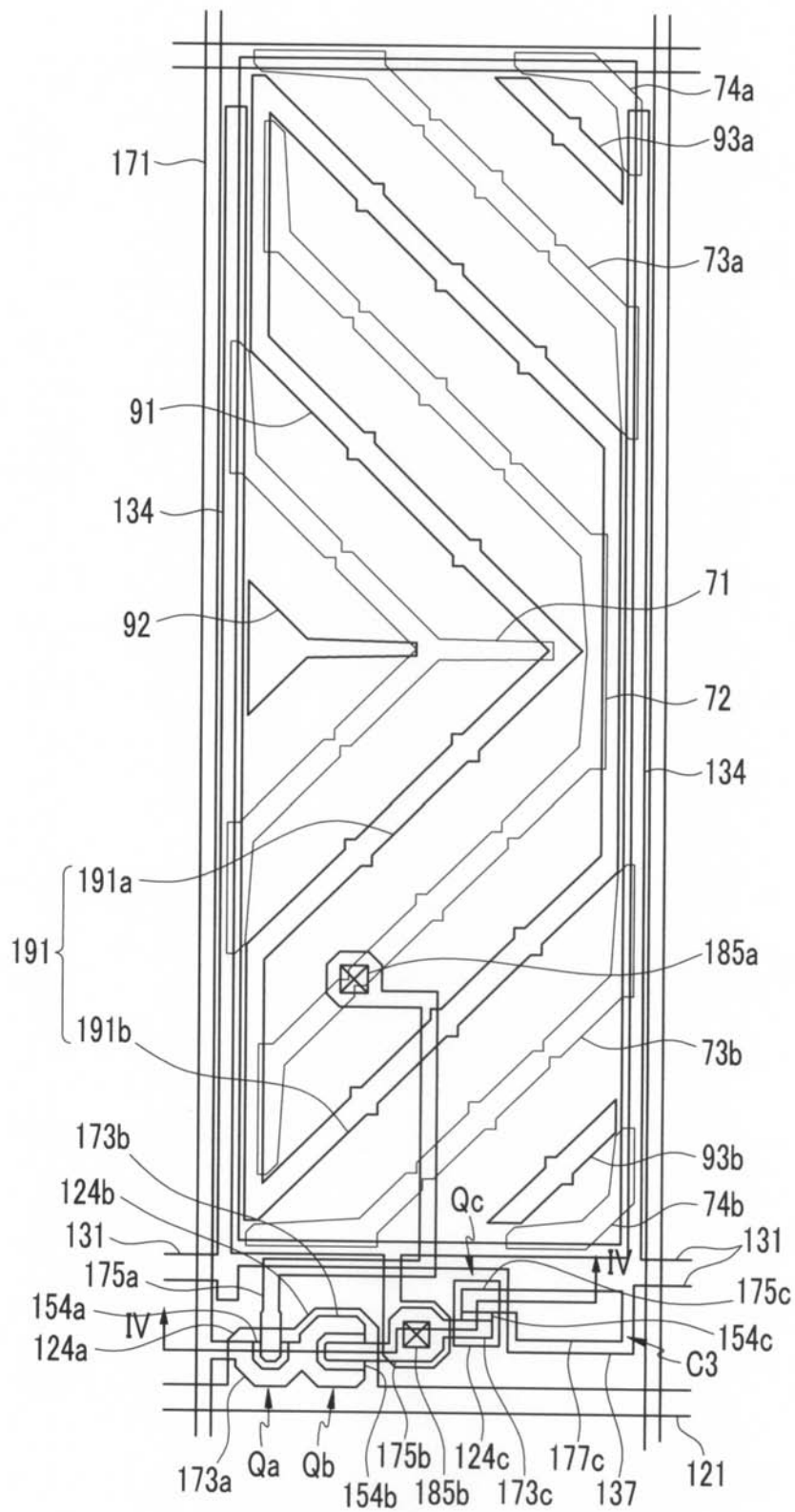
【 図 1 】



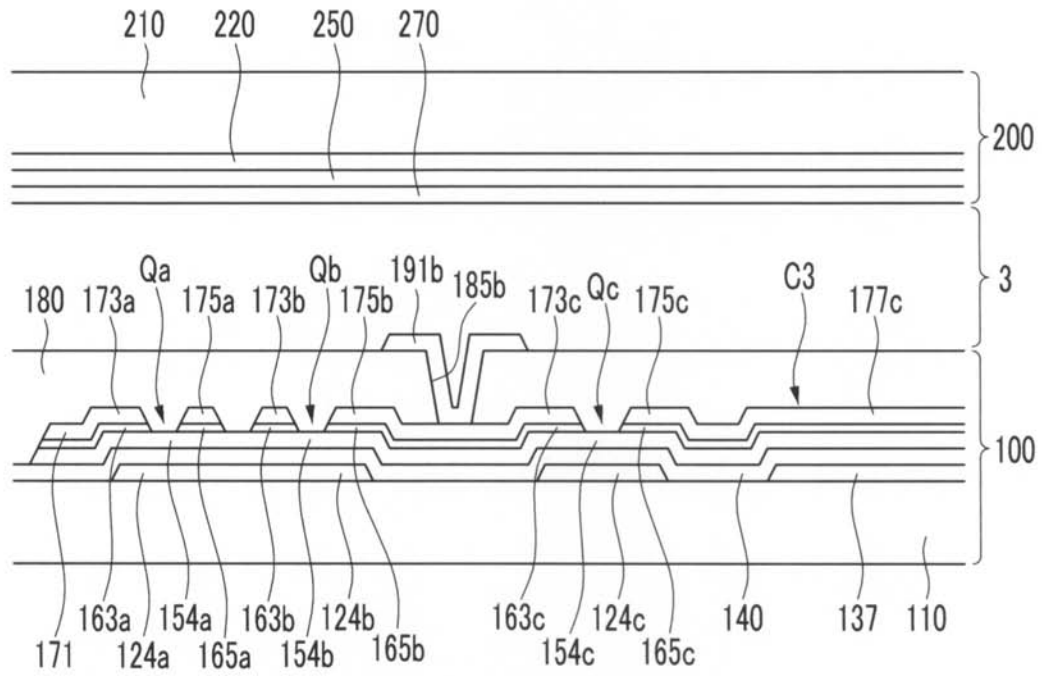
【図 2】



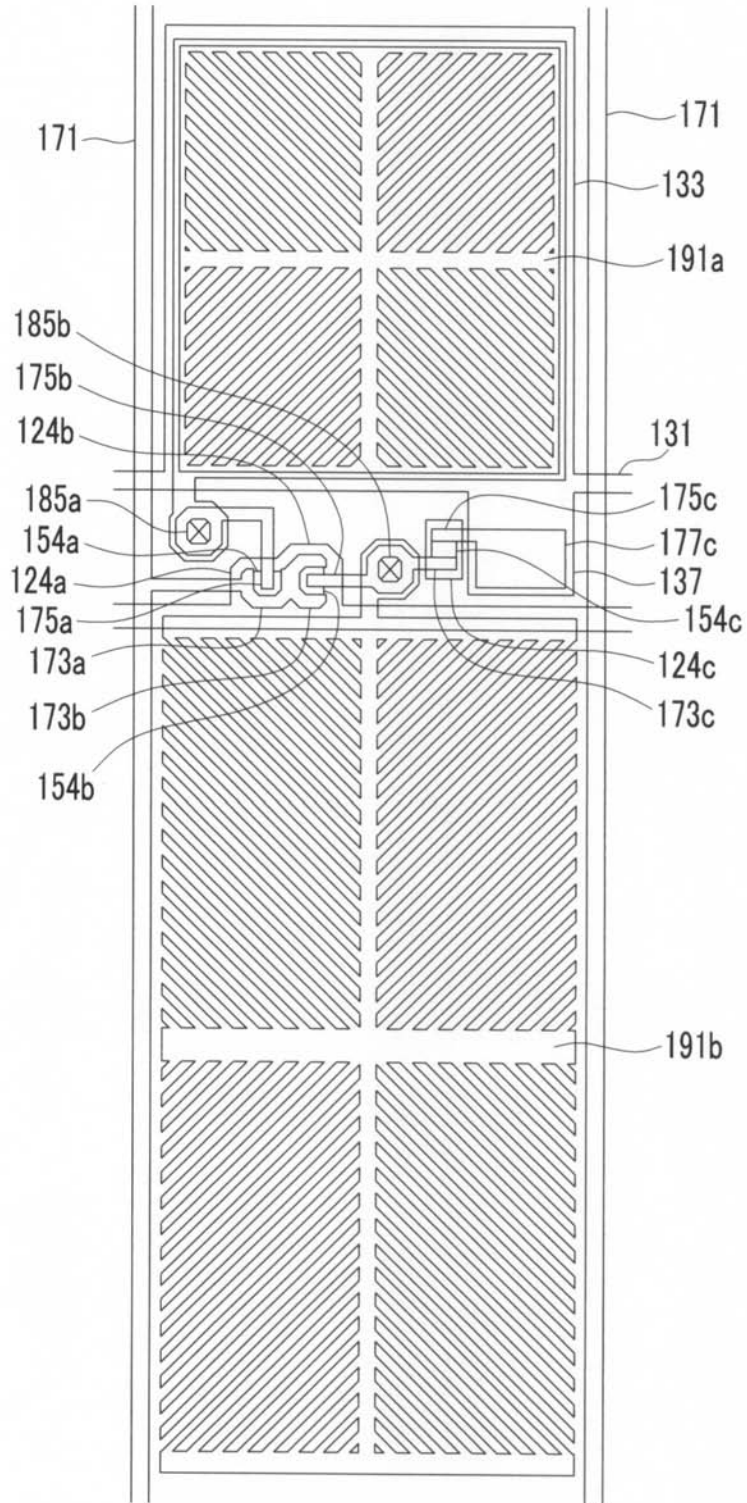
【図 3】



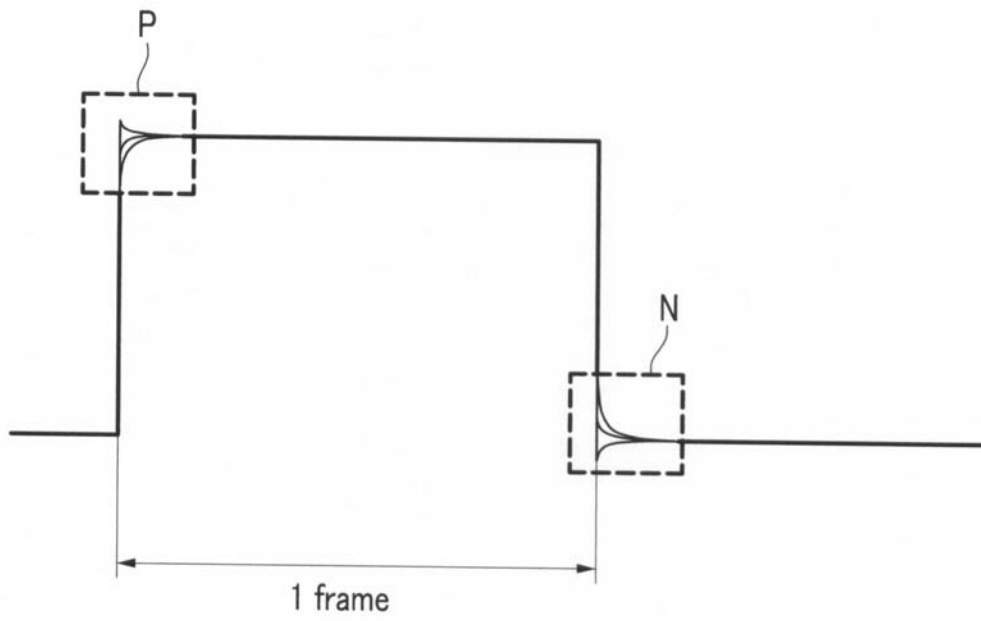
【 図 4 】



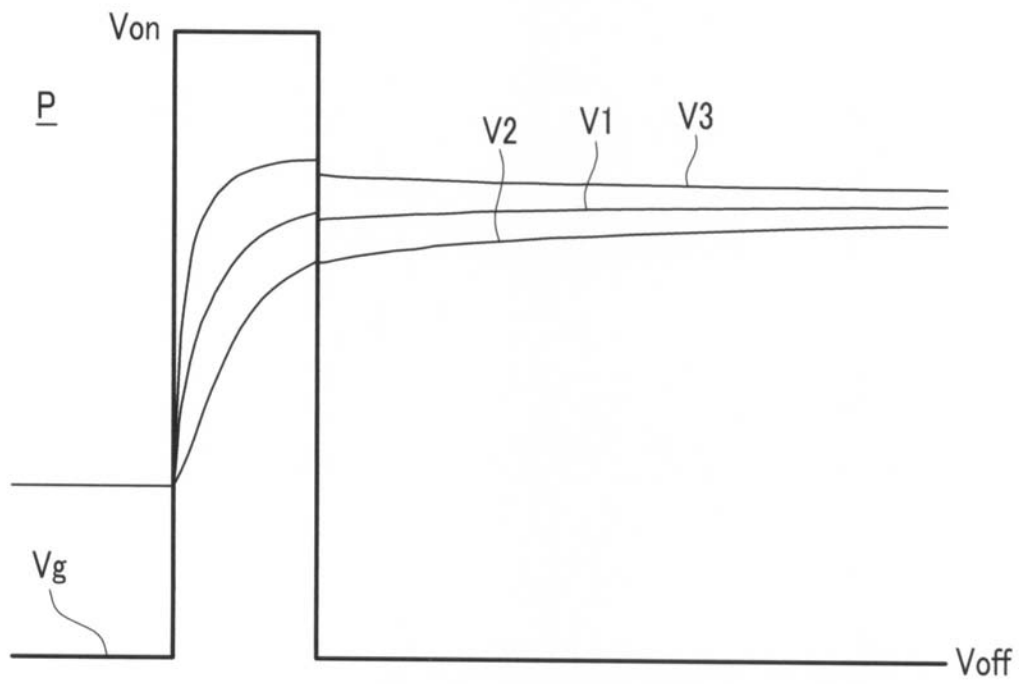
【図 5】



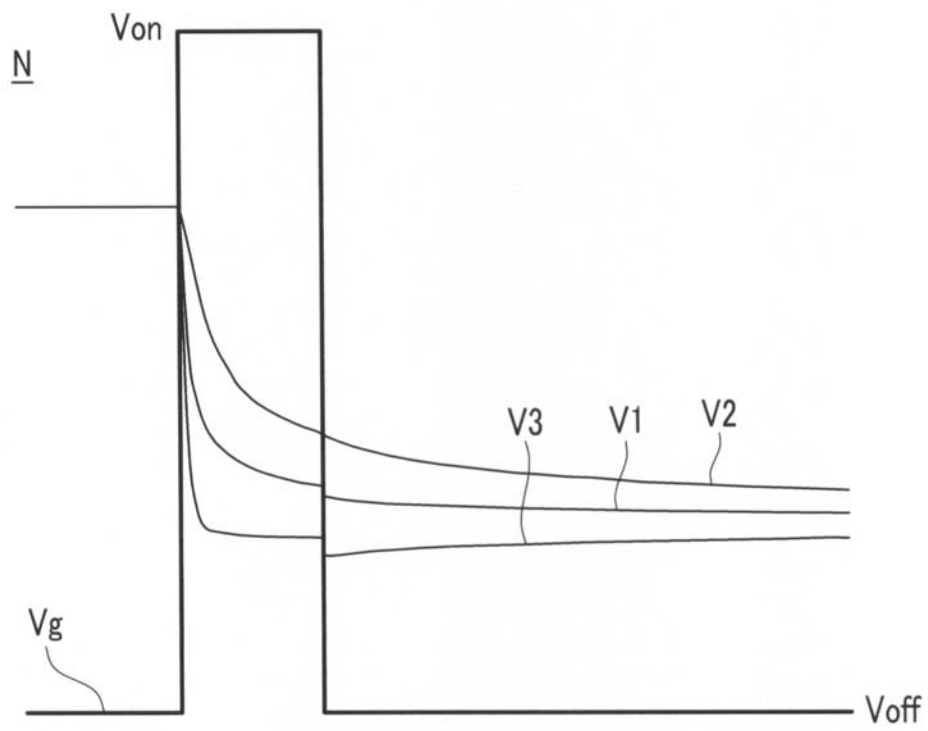
【 図 6 】



【 図 7 】



【 図 8 】



 フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20 6 8 0 H	
	G 0 9 G 3/20 6 2 4 D	
	G 0 9 G 3/20 6 2 2 B	

(72)発明者 蔡 鍾 哲
大韓民国ソウル特別市瑞草区盤浦洞 三星来美安ファスティジ 1 1 6 棟 2 7 0 1 号

(72)発明者 李 成 榮
大韓民国京畿道安養市萬安区石水洞 3 2 3 - 6 番地 2 階

(72)発明者 鄭 光 哲
大韓民国京畿道城南市壽井区壽進 2 洞 4 5 3 8 - 3 番地 テピョンオフィステル 4 0 3 号

(72)発明者 尹 寧 秀
大韓民国京畿道安養市東安区冠陽洞 三星仁▲徳▼院アパート 1 1 2 棟 1 6 0 2 号

F ターム(参考) 2H092 JA26 JA37 JB13 JB22 JB31 JB43 JB46 JB69 NA01 NA25

PA06 QA09

5C006 AC21 AC28 BB16 BC05 FA26 FA34 FA55

5C080 AA10 BB05 DD05 DD19 JJ02 JJ03 JJ04 JJ06

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	JP2012003229A	公开(公告)日	2012-01-05
申请号	JP2011020040	申请日	2011-02-01
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	高俊哲 蔡鍾哲 李成榮 鄭光哲 尹寧秀		
发明人	高 俊 哲 蔡 鍾 哲 李 成 榮 鄭 光 哲 尹 寧 秀		
IPC分类号	G02F1/1368 G09G3/20 G09G3/36		
CPC分类号	G02F1/13624 G02F1/134309 G02F2001/134345 G09G3/36 G09G3/3648 G09G2300/0426 G09G2300/0443 G09G2300/0852 G09G2300/0876		
FI分类号	G02F1/1368 G09G3/20.624.B G09G3/20.621.B G09G3/20.623.C G09G3/36 G09G3/20.680.H G09G3/20.624.D G09G3/20.622.B		
F-TERM分类号	2H092/JA26 2H092/JA37 2H092/JB13 2H092/JB22 2H092/JB31 2H092/JB43 2H092/JB46 2H092/JB69 2H092/NA01 2H092/NA25 2H092/PA06 2H092/QA09 5C006/AC21 5C006/AC28 5C006/BB16 5C006/BC05 5C006/FA26 5C006/FA34 5C006/FA55 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD19 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 2H192/AA24 2H192/BA23 2H192/BC26 2H192/BC31 2H192/BC61 2H192/CB05 2H192/CC22 2H192/DA12 2H192/EA22 2H192/EA43 2H192/GD61 2H192/JA13		
优先权	1020100056981 2010-06-16 KR		
其他公开文献	JP5723614B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种显示质量得到改善的液晶显示装置及其驱动方法。解决方案：根据本发明的一个实施例的液晶显示装置包括栅极线，与之交叉的数据线和栅极线与栅极线绝缘并提供数据电压，公共电压线与栅极线和数据线分开并传输恒定电压，第一开关元件连接到栅极线和数据线，连接到栅极线和数据线的第二开关元件，连接到第一开关元件的第一液晶电容器，连接到第二开关元件的第二液晶电容器，包括第二开关元件的第三开关元件输入端子连接到第二开关元件，浮动控制端子和输出端子，以及连接到第三开关的第三电容器ng元素和公共电压线。

