

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-170376

(P2011-170376A)

(43) 公開日 平成23年9月1日(2011.9.1)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 611F	5C006
G02F 1/133 (2006.01)	G09G 3/20 623F	5C080
	G02F 1/133 575	
	G02F 1/133 510	
審査請求 有 請求項の数 10 O L (全 19 頁) 最終頁に続く		

(21) 出願番号 特願2011-90727 (P2011-90727)
 (22) 出願日 平成23年4月15日 (2011.4.15)
 (62) 分割の表示 特願2004-150016 (P2004-150016)
 の分割
 原出願日 平成16年5月20日 (2004.5.20)

(71) 出願人 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部1753番地
 (71) 出願人 000233594
 株式会社ルネサス北日本セミコンダクタ
 北海道亀田郡七飯町字中島145番地
 (74) 代理人 100089071
 弁理士 玉村 静世
 (72) 発明者 山口 聡
 北海道千歳市泉沢1007番地39 株式
 会社ルネサス北日本セミコンダクタ内
 (72) 発明者 遠藤 祐弘
 北海道千歳市泉沢1007番地39 株式
 会社ルネサス北日本セミコンダクタ内

最終頁に続く

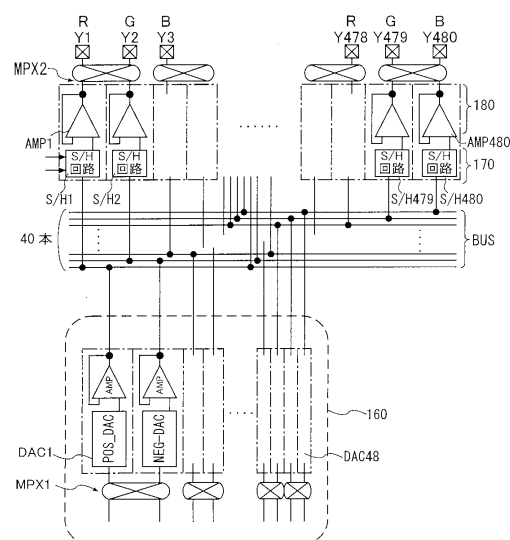
(54) 【発明の名称】 液晶表示駆動装置、液晶表示システムおよび液晶駆動用半導体集積回路装置

(57) 【要約】

【課題】 D A 変換回路を内蔵しデジタル画像データをアナログ階調電圧に変換してカラー液晶パネルの信号線（ソース線）に印加される電圧を出力する液晶ドライバ（液晶駆動用半導体集積回路）の小型化を図る。

【解決手段】 階調電圧に変換された画像信号を出力する最終段の出力アンプ（160：AMP1～AMP480）を複数のグループに分け、画像データを階調電圧に変換する D A 変換回路（160：DAC1～DAC40）を上記グループに共通の回路として設けて、グループを切り替えながら D A 変換回路を時分割動作させ、上記最終段の出力アンプは同一色の画像信号に関わるもの同士を選択してグループ化し、 D A 変換回路と出力アンプの間にはセクタ機能を設けて D A 変換回路で階調電圧に変換された画像信号を所望のホールド回路に振り分けるようにした。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

複数個組み合わせて使用されることでカラー表示装置の駆動が可能な液晶表示駆動装置は、

第 1 の端子と、
第 2 の端子と、
第 3 の端子と、
第 1 のデータラッチ回路と、
第 2 のデータラッチ回路と、
変換回路と、
サンプルホールド回路と、
出力アンプ回路と、を有し、

前記第 1 の端子には、画像データの伝送開始通知制御信号が入力され、
前記第 2 の端子には、前記画像データの入力許可信号が入力され、
前記第 3 の端子には、前記画像データが入力され、
前記第 1 のデータラッチ回路は、前記第 3 の端子より入力された前記画像データを順次取り込み、

第 2 のデータラッチ回路は、前記第 1 データラッチ回路に取り込まれた前記画像データを取り込み、一括して前記変換回路に送り、

前記変換回路は、前記第 2 のデータラッチ回路より送られてきた前記画像データ対応するアナログの駆動電圧に変換して出力し、

前記サンプルホールド回路は、前記カラー表示装置の前記駆動に使用される出力端子の出力端子数に対応した数だけ設けられ、前記変換回路から出力された前記アナログの駆動電圧を保持し、

前記出力アンプ回路は、前記出力端子数に対応した数だけ設けられ前記サンプルホールド回路に保持された前記アナログの駆動電圧を前記出力端子から出力し、
画像データの伝送開始通知制御信号が入力される第 1 の端子と、

前記第 1 の端子に前記伝送開始通知制御信号が入力され前記第 2 の端子に前記入力許可信号が入力されることによって前記第 3 の端子から入力される画像データを前記第 1 のデータラッチ回路に取り込み可能とされ、

前記変換回路は、前記サンプルホールド回路および前記出力アンプの複数のグループに共通の回路として設けられることによって時分割動作され、

前記変換回路により一度に変換される前記画像データは、前記カラー表示装置によるカラー表示の赤色と緑色と青色のいずれかの同一色の画像データであり、

前記画像データは同一色の複数の画像データが連続して入力され前記変換回路で前記アナログの駆動電圧に変換され、前記駆動電圧は前記サンプルホールド回路に保持され前記出力アンプに入力されることを特徴とする液晶表示駆動装置。

【請求項 2】

前記第 1 のデータラッチ回路への前記画像データの取り込みのデータラッチタイミングを示すクロック信号が入力される第 4 の端子と、

前記第 1 のデータラッチ回路に取り込まれた前記画像データが全て前記第 2 のデータラッチ回路から前記変換回路に送られ、前記変換回路によって前記アナログの駆動電圧に変換されて前記サンプルホールド回路および前記出力アンプを介して前記カラー表示装置に出力されたことを示す画像出力完了信号を出力する第 5 の端子と、

前記第 4 の端子より入力されるクロック信号を計数するカウンタとを有し、

前記画像データの前記入力許可信号の入力後に前記カウンタは前記クロック信号の計数を開始し、前記カウンタの計数値が所定値に達したときに前記画像出力完了信号を前記第 5 の端子に出力し、前記画像出力完了信号は複数個組み合わせて使用される他のカラー表示装置のうちの 1 つのカラー表示装置の画像データの入力許可信号として用いられることを特徴とする請求項 1 に記載の液晶表示駆動装置。

10

20

30

40

50

【請求項 3】

前記画像データは、前記カラー表示の前記赤色の画像データと前記緑色の画像データと前記青色の画像データであり、

前記出力端子および前記出力アンプは、前記赤色の画像信号に関わるものと、前記緑色の画像信号に関わるものと、前記青色の画像信号に関わるものとが、所定の順序で繰り返し配置され、

前記出力アンプは、2つおきに配置されているもの同士が同一色のグループとされていることを特徴とする請求項 2 に記載の液晶表示駆動装置。

【請求項 4】

前記第 1 端子に入力された初回の前記画像データの前記伝送開始通知制御信号と 2 回目の画像データの前記伝送開始通知制御信号との間に前記第 4 の端子に入力されたクロック信号の数を保持するレジスタと、

前記レジスタに保持された数と前記カウンタにより計数されたクロック信号の数とを比較する比較手段とを備え、

前記第 1 の端子に入力される前記伝送開始通知制御信号が、初回の前記伝送開始通知制御信号と 2 回目の前記伝送開始通知制御信号との間のクロック信号数に対応する時間よりも長くなったときに、前記カウンタの計数値が前記レジスタに保持された数よりも数多くなり、前記第 2 のデータラッチ回路に対してデータの取り込みを指示する信号を与えるように構成されていることを特徴とする請求項 2 に記載の液晶表示駆動装置。

【請求項 5】

前記赤色と前記緑色と前記青色から選択された第 1 の色の複数の画像データが連続して前記第 3 の端子に入力された後、前記赤色と前記緑色と前記青色から選択された第 2 の色の複数の画像データが連続して前記第 3 の端子に入力される前に該第 2 の色に対応した画素のガンマ特性に応じて前記変換回路に供給される階調電圧値を調整するガンマ補正がなされるように構成されていることを特徴とする請求項 2 ~ 請求項 4 のいずれかに記載の液晶表示駆動装置。

【請求項 6】

外部より印加された電圧を分圧して複数の階調電圧を生成し前記変換回路へ供給する階調電圧生成回路を備え、

前記階調電圧生成回路に前記外部から印加される前記電圧が変化されることにより、前記ガンマ補正がなされるように構成されていることを特徴とする請求項 5 に記載の液晶表示駆動装置。

【請求項 7】

請求項 5 に記載の構成を有する複数の液晶表示駆動装置と、

該複数の液晶表示駆動装置の前記出力端子から出力される駆動電圧を信号入力端子に受け表示を行なう前記カラー表示装置としてのカラー液晶表示パネルと、

該カラー液晶表示パネルの複数の走査線を順次駆動する走査線駆動装置と、

前記第 1 の端子に入力される前記画像データの前記伝送開始通知制御信号を生成し前記液晶表示駆動装置を制御する制御装置と、を備え、

前記複数の液晶表示駆動装置の前記第 1 の端子の各端子には前記制御装置が出力する前記伝送開始通知制御信号が入力され、

前記複数の液晶表示駆動装置のうち 1 番目の液晶表示駆動装置の前記第 2 の端子は定電位点に接続され、

前記複数の液晶表示駆動装置のうちで 2 番目以降の各液晶表示駆動装置の前記第 2 の端子はその前段の液晶表示駆動装置の前記第 5 の端子に接続されていることを特徴とする液晶表示システム。

【請求項 8】

前記複数の液晶表示駆動装置の各液晶表示駆動装置は外部より印加された電圧を分圧して複数の階調電圧を生成し前記変換回路へ供給する階調電圧生成回路を備え、

前記制御装置は、

前記液晶表示駆動装置へ前記赤色と前記緑色と前記青色から選択された第1の色の画像データを複数の前記カラー表示装置全てに供給した後、前記赤色と前記緑色と前記青色から選択された第2の色の画像データを複数の前記カラー表示装置全てに供給して、その後、前記赤色と前記緑色と前記青色から選択された第3の色の画像データを複数の前記カラー表示装置全てに供給する動作を繰り返して、複数の前記カラー表示装置全てに同一色の画像データを供給されるまでは前記伝送開始通知制御信号を同一の周期で発生し、各色の画像データを切り替える際は前記周期よりも長い周期で前記伝送開始通知制御信号を発生し、前記第3の色の画像データの供給終了後に、前記階調電圧生成回路に与える電圧を切り替えて階調電圧を調整してガンマ補正を行なわせることを特徴とする請求項7に記載の液晶表示システム。

10

【請求項9】

外部より入力される画像データを順次取り込む第1ラッチ回路と、
前記第1ラッチ回路に順次取り込まれた画像データを一括して取り込む第2ラッチ回路と、
前記第2ラッチ回路に順次取り込まれた画像データに応じた電圧を画像信号として出力する変換回路と、
前記変換回路により出力された画像信号を保持するホールド回路と、
前記ホールド回路に保持されている画像データに応じた駆動電圧を出力する出力アンプと、
を備え、
前記変換回路は前記半導体チップの長手方向と直交する方向に沿って複数個並んで配置され、
前記複数個の変換回路の形成領域の上方に前記変換回路に階調電圧を供給する複数の配線が配設されていることを特徴とする1個の半導体チップに形成された液晶駆動用半導体集積回路装置。

20

【請求項10】

前記変換回路は、正の電圧を生成するものと、負の電圧を生成するものからなり、
前記正の電圧を生成する複数の変換回路の形成領域と前記負の電圧を生成する複数の変換回路の形成領域は、前記半導体チップの長手方向に並んで設けられ、
各形成領域において、複数の変換回路がそれぞれ前記半導体チップの長手方向と直交する方向に沿って並んで配置され、
前記正の電圧を生成する前記複数の変換回路の前記形成領域および前記負の電圧を生成する前記複数の変換回路の前記形成領域の上方に前記変換回路へ前記階調電圧を供給する複数の配線がそれぞれ配設されていることを特徴とする請求項9に記載の液晶駆動用半導体集積回路装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、カラー表示パネルを駆動する表示駆動装置、カラー液晶パネルを駆動する液晶表示駆動装置、さらには、半導体集積回路化された液晶表示駆動装置に適用して有効な技術に関し、例えば、カラー液晶表示パネルを有するカラーテレビジョンシステムの上記カラー液晶表示パネルを駆動する液晶表示駆動装置に利用して有効な技術に関する。

40

【背景技術】

【0002】

表示装置の1つとしての液晶表示装置は、表示パネルとしての液晶表示パネル（以下、液晶パネルとも言う）と表示制御装置としての液晶表示制御装置（液晶コントローラ）や該制御装置の制御下で液晶表示パネルを駆動する表示駆動装置としての液晶表示駆動装置（液晶表示ドライバ）などにより構成されている。液晶パネルの画素信号が印加される信号線としてのソース線を駆動するソースドライバは、一般に、図16に示されているように、各画像信号出力端子Y1, Y2, ..., Ynごとにデジタル画像データ信号をアナログ電圧に変換するデジタル-アナログ（DA）変換回路DAC1, DAC2, ..., DACn

50

が設けられていた。

【 0 0 0 3 】

なお、図 1 6 のドライバにおいては、D A 変換回路 D A C 1 , D A C 2 ... D A C n は正電圧出力用と負電圧出力用のものが交互に配置され、あるソース線の画素のデータはマルチプレクサ M P X 1 により、正電圧出力用 D A 変換回路 D A C i と負電圧出力用 D A 変換回路 D A C i + 1 に交互に入力されてアナログ電圧に変換されマルチプレクサ M P X 2 を介してソース線に印加されることによって、各画素の電極は交流駆動され、液晶の劣化が防止されるようになっている。

【 先行技術文献 】

【 特許文献 】

10

【 0 0 0 4 】

【 特許文献 1 】 特開 2 0 0 1 - 2 7 7 5 0 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 5 】

近年、液晶表示装置における画像データは複数の画素データから構成される。1つの画素データは、1画素あたり、8ビットの赤色データ(R)と、8ビットの緑色データ(G)と、8ビットの青色データ(B)とで構成されており、液晶パネルの諧調表示は各色(R/G/B)あたり256段階であるものが多い。しかしながら、液晶表示装置の高画質化に伴い、より高諧調度の表示が行なえる液晶表示装置が要求されるようになって来た。そこで、本発明者らは、例えば、1画素の画素データを構成する各色(R/G/B)データを10ビットとし、各色(R/G/B)あたり1024段階のような諧調表示を行なえるソースドライバについて検討した。

20

【 0 0 0 6 】

その結果、画像信号出力端子 Y 1 , Y 2 ... Y n ごとに D A 変換回路 D A C 1 , D A C 2 ... D A C n を設ける方式にあつては、D A 変換回路に諧調電圧を供給する配線の数に正負合わせて2048本必要になる。そのため、諧調電圧を供給する配線の配線領域の幅が広くなり、これらの諧調電圧を供給する配線(給電線とも言う)の下に、D A 変換回路を配置したとしても、無駄なスペースが生じることになる。従って、液晶ドライバ、すなわち、ソースドライバが形成される半導体チップのサイズが大きくなり、ソースドライバの大幅なコストアップにつながるという課題があることを、発明者らは見出した。これを解決するには、ソースドライバに搭載するD A 変換回路の数を減らし、D A 変換回路を時分割動作させればよいが、そのようにすると画像データを入力してからアナログ電圧として出力されるまでの時間が長くなってしまふ。

30

【 0 0 0 7 】

また、表示画面の大型化や高精細化に伴いソース線の数の多い液晶パネルが提供されるようになってきているため、ソース線の数の異なる液晶パネルが共存している。それらの液晶パネルに共通のソースドライバを使用できるようにするには、最大のソース線の液晶パネルに合わせて画像信号出力端子を設けることも解決法のひとつである。しかし、そのようなソースドライバは、そのチップサイズが極端に大きくなってしまふため、有効な手法ではないことも発明者らは見出した。

40

【 0 0 0 8 】

そこで、1つのソースドライバの有する画像信号出力端子の数を制限し、複数のソースドライバを用いて液晶表示システムを構成することが考えられる。かかる手法は、ソースドライバのチップサイズを小さくする上で有効である。しかしながら、この場合、画像データを送るべきソースドライバを切り換える際のタイミングに注意を払う必要がある。そのタイミングが不正確であると、画像データをソースドライバに正しく取り込めなかったり、画像データをソースドライバに伝送するための伝送時間が長くなってしまったりするなどのおそれが発生する。

【 0 0 0 9 】

50

この発明の目的は、表示駆動装置（液晶ドライバ、液晶駆動用半導体集積回路）の小型化を図ることにある。

【0010】

この発明の他の目的は、複数の表示駆動装置（液晶ドライバ）を組み合わせ表示装置（液晶表示装置）を構成する可能な表示駆動装置（液晶ドライバ）を提供することにある。

【0011】

この発明のさらに他の目的は、カラー表示パネル（カラー液晶パネル）の各色の特性に応じたガンマ補正を動的に行なえる複数の表示駆動装置（液晶ドライバ）を提供することにある。

10

【0012】

この発明のさらに他の目的は、チップサイズの増大を抑えつつ高諧調度の表示を行なうことができる複数の表示駆動装置（液晶ドライバ）を提供することにある。

【0013】

この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0014】

本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

20

【0015】

すなわち、アナログ階調電圧に変換された画像信号を出力する最終段の出力アンプを複数のグループに分け、画像データをアナログ階調電圧に変換するディジタル・アナログ（D/A）変換回路を上記グループに共通の回路として設けて、グループを切り替えながらD/A変換回路を時分割動作させる。また、上記最終段の出力アンプは同一色の画像信号に関わるもの同士を選択してグループ化し、D/A変換回路と出力アンプとの間にはセクタ機能を設けてD/A変換回路でアナログ階調電圧に変換された画像信号を所望の出力アンプに振り分けるようにしたものである。

【0016】

上記した手段によれば、D/A変換回路を時分割動作させるためD/A変換回路の数が画像信号出力端子の数よりも少なくても済み、表示駆動装置（液晶ドライバ）の小型化を図ることができる。

30

【0017】

本発明の表示駆動装置（液晶ドライバ）を複数個組み合わせて使用する画像表示システムでは、ある表示駆動装置（液晶ドライバ）でD/A変換している間に、他の表示駆動装置（液晶ドライバ）ではD/A変換された画像信号を出力アンプへ伝送させることができる。そのため、画像データを入力してから所定の時間内に階調電圧として出力させることができ、画像データを表示駆動装置（液晶ドライバ）に正しく取り込めなかったり、データ伝送所要時間が長くなったりするのを防止することができる。

【0018】

また、最終段の出力アンプは同一色の画像信号に関わるもの同士を選択してグループ化しているため、表示制御装置（液晶コントローラ）は表示パネル（液晶パネル）の1ラインに関し、同一色の画像データを連続して転送することができる。色データの切替えは1ラインにR/G/B各データの3回で済むため、色データの切替えの際に、各色の階調電圧を動的に変更することによってガンマ補正を行なうことが可能となる。それに伴う遅れは極めて小さいので、データ伝送タイミングやシステム構成を大きく変えることなくガンマ補正を行なうことができる。

40

【0019】

さらに、本願の他の発明は、画像データをアナログ階調電圧に変換する複数のD/A変換回路を、半導体チップのほぼ中央に、半導体チップの長手方向と直交する方向に並べて配

50

置し、D A 変換回路に諧調電圧を供給する複数の配線を半導体チップの長手方向と直交する方向に沿って配設するようにしたものである。

【 0 0 2 0 】

上記した手段によれば、表示駆動装置（液晶ドライバ）が 1 0 2 4 階調のような多段階の画像信号を出力するものであり、諧調電圧を供給する配線の領域の幅が広がる場合にも、これらの諧調電圧を供給する配線（給電線）の下に D A 変換回路を配置したときに無駄なスペースが生じさせることがなく、これにより半導体チップのサイズを低減させることができる。

【 発明の効果 】

【 0 0 2 1 】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【 0 0 2 2 】

すなわち、本出願の発明に従うと、表示駆動装置（液晶ドライバ、液晶駆動用半導体集積回路）の小型化を実現することができる。

【 0 0 2 3 】

また、本出願の発明に従うと、複数の表示駆動装置（液晶ドライバ）を組み合わせる表示装置（液晶表示システム）を構成する可能な表示駆動装置（液晶ドライバ）を実現する。

【 0 0 2 4 】

さらに、本出願の発明に従うと、カラー表示パネル（カラー液晶パネル）の各色の特性に応じたガンマ補正を動的に行なえる表示駆動装置（液晶ドライバ）を実現することができる。

【 0 0 2 5 】

また、チップサイズの増大を抑えつつ高諧調度の表示を行なうことができる表示駆動装置（液晶ドライバ、液晶駆動用半導体集積回路）を実現することができる。

【 図面の簡単な説明 】

【 0 0 2 6 】

【 図 1 】 本発明を適用した液晶ドライバ回路の概略構成を示すブロック図である。

【 図 2 】 図 1 の液晶ドライバ回路のうちデコーダ部とサンプル・ホールド部および出力アンプ部を取り出してより詳細な構成を示したブロック図である。

【 図 3 】 本実施例の液晶ドライバ回路を複数個使用した液晶表示システムの構成例を示すブロック図である。

【 図 4 】 図 3 の液晶表示システムにおいて、それぞれ組をなす 4 つの液晶ドライバ回路のデコーダ部からサンプル・ホールド部へ供給される赤色画像信号の伝送タイミングを示すタイミングチャートである。

【 図 5 】 図 3 の液晶表示システムにおいて、それぞれ組をなす 4 つの液晶ドライバ回路のデコーダ部からサンプル・ホールド部へ供給される緑色画像信号の伝送タイミングを示すタイミングチャートである。

【 図 6 】 図 3 の液晶表示システムにおいて、それぞれ組をなす 4 つの液晶ドライバ回路のデコーダ部からサンプル・ホールド部へ供給される青色画像信号の伝送タイミングを示すタイミングチャートである。

【 図 7 】 図 3 の液晶表示システムにおける液晶表示コントローラから液晶ドライバ回路に対して供給される制御信号やクロックのタイミングを示すタイミングチャートである。

【 図 8 】 タイミング制御部の構成例を示すブロック図である。

【 図 9 】 タイミング制御部で自動生成されるラッチクロックのタイミングを示すタイミングチャートである。

【 図 1 0 】 図 3 の液晶表示システムにおける各種信号のタイミングを示すタイミングチャートである。

【 図 1 1 】 サンプル・ホールド部の単位サンプル・ホールド回路の構成例を示すブロック

10

20

30

40

50

図である。

【図 1 2】 サンプル・ホールド部の単位サンプル・ホールド回路の動作タイミングを示すタイミングチャートである。

【図 1 3】 本実施例の液晶ドライバ回路を構成する各回路ブロックの半導体チップ上でのレイアウトの一例を示す平面図である。

【図 1 4】 図 1 3 の実施例のデコーダ部における D A 変換回路の配置を示す平面図である。

【図 1 5】 本発明に先立って検討した液晶ドライバ回路のレイアウトを示す平面図である。

【図 1 6】 本発明に先立って検討した液晶ドライバ回路の概略構成を示すブロック図である。

【発明を実施するための形態】

【0027】

以下、本発明の好適な実施例を図面に基づいて説明する。

【0028】

図 1 は、本発明を適用した液晶ドライバ回路の概略構成を示す。特に制限されるものではないが、図 1 に示されている各回路ブロックは単結晶シリコンのような 1 個の半導体チップ上に半導体集積回路として構成される。本実施例の液晶ドライバ回路は、複数の走査線と複数の信号線とが格子状に配設され各交点に画素が設けられているドットマトリックス型のカラー液晶パネルの信号線に印加される画像信号 Y 1 ~ Y n を出力する回路である。

【0029】

本発明において、特に制限されないが、1 画素の画素データは、赤色 (R) / 緑色 (G) / 青色 (B) の各色データがそれぞれ 10 ビットとされた 30 ビットで構成されるものとして、以下実施例が説明される。

【0030】

本実施例の液晶ドライバ回路は、10 ビットの入力画像データ (赤色 (R) / 緑色 (G) / 青色 (B) の 3 つ色データのうち、1 つの色データの 10 ビットを示す) D 9 ~ D 0 を順次取り込む第 1 ラッチ部 110 と、該第 1 ラッチ部 110 に取り込まれた画像データを一括して転送する第 2 ラッチ部 120 と、入力画像データ D 9 ~ D 0 がオール " 1 " のときに画素を " 黒 " とするかオール " 0 " のときに画素を " 黒 " とするかに応じてデータを反転させるデータ反転回路 130 と、上記第 1 ラッチ部 110 のどこに inputs 画像データ D 9 ~ D 0 を取り込ませるか指定するラッチ位置指定回路 140 と、外部から供給される階調電圧 V 0 ~ V 8 , V 9 ~ V 17 をラダー抵抗で分圧して正極性および負極性それぞれ 1024 階調の電圧を生成する階調電圧生成回路 150 と、生成された電圧の中から前記第 2 ラッチ部 120 に保持されている画像データに応じた電圧を選択することでデジタル信号をアナログ階調電圧に変換するデコーダ (セレクタ) 部 160 と、変換されたアナログ電圧を保持するサンプル・ホールド部 170 と、ホールドされた電圧に応じた画像信号 Y 1 ~ Y n を生成して出力する出力アンプ部 180 と、外部から入力されるクロック信号や制御信号に基づいて半導体チップ内部の回路を所定の順序に従って動作させる内部制御信号を生成するタイミング制御部 190 などから構成される。

【0031】

タイミング制御部 190 には、本実施例の液晶ドライバ回路を複数個シリーズに接続して当該回路の出力数 (n 本) よりも多い信号線を有する液晶パネルを駆動するシステムを構成する場合に、所定の端子 E I O 1 の状態に応じて先頭の液晶ドライバ回路 (最初の画像データが供給される I C) か否かを判定するとともに、当該回路がすべての画像信号 Y 1 ~ Y n を出力したことを示す信号を所定の端子 E I O 2 より出力する機能が設けられている。具体的には、先頭の液晶ドライバ回路の端子 E I O 1 を電源電圧 V c c に固定するとともに、前段の液晶ドライバ回路の端子 E I O 2 を次段の端子 E I O 1 に接続することにより、複数の液晶ドライバ回路を順次画像データ取込み状態にさせることができる。

【0032】

10

20

30

40

50

図 2 は、図 1 に示されている液晶ドライバ回路のうちデコーダ部 160 とサンプル・ホールド部 170 および出力アンプ部 180 を取り出してより詳細に構成を示したものである。

【0033】

本実施例においては、サンプル・ホールド部 170 および出力アンプ部 180 にそれぞれ 480 個の単位サンプル・ホールド回路 $S/H1 \sim S/H480$ とボルテージフォロウとして動作する出力アンプ $AMP1 \sim AMP480$ が設けられているのに対し、 $1/12$ の数 (40 個) の DA 変換回路 $DAC1 \sim DAC40$ およびボルテージフォロウとして動作するアンプが設けられている。ここでは、デコーダ部 160 を構成する 40 個の回路を便宜的に DA 変換回路と呼んでいるが、階調電圧生成回路 150 から供給される複数の階調電圧の中から入力コードに応じた電圧を選択して出力させるスイッチ素子のみからなるセレクトによりデコーダ部 160 を構成することができる。

10

【0034】

上記デコーダ部 160 の 40 個の出力は、40 本の信号線からなるバス BUS を介して上記 480 個の単位サンプル・ホールド回路 $S/H1 \sim S/H480$ のうちいずれか 40 個に取り込まれるように構成されている。具体的には、デコーダ部 160 には同一色の画像データが 40 個まとめて入力されるようにされ、480 個の出力端子 $Y1 \sim Y480$ のうち、 $Y1, Y4, Y7 \dots Y478$ は液晶パネルの赤色 (R) 画素に接続された信号線に対応して赤色画像信号が、 $Y2, Y5, Y8 \dots Y479$ は液晶パネルの緑色 (G) 画素に接続された信号線に対応して緑色画像信号が、 $Y3, Y6, Y9 \dots Y480$ は液晶

20

【0035】

DA 変換回路 $DAC1 \dots DAC40$ は正電圧出力用と負電圧出力用のものが交互に配置されている。つまり、奇数番目の DA 変換回路 $DAC1, DAC3 \dots DAC47$ が正電圧を出力するようにされると、偶数番目の DA 変換回路 $DAC2, DAC4 \dots DAC48$ は負電圧を出力するようにされる。そして、あるビットの画素データはマルチプレクサ $MPX1$ により、正電圧出力用 DA 変換回路 $DACi$ と負電圧出力用 DA 変換回路 $DACi+1$ に交互に入力されてアナログ電圧に変換され、サンプル・ホールド回路に伝送されマルチプレクサ $MPX2$ を介して出力される。

30

【0036】

このとき、マルチプレクサ $MPX1$ と $MPX2$ は同じように動作される。すなわち、マルチプレクサ $MPX1$ が画像データをスルーさせている時はマルチプレクサ $MPX2$ も画像信号をスルーさせ、マルチプレクサ $MPX1$ が画像データを交差させている時はマルチプレクサ $MPX2$ も画像信号を交差させるように信号経路を切り替える。これによって、液晶パネルの各画素の電極は正の電圧と負の電圧が交互に印加されて交流駆動され、液晶の劣化が防止されるようになっている。

40

【0037】

図 3 には、本実施例の液晶ドライバ回路 100 を複数個使用して 1280×768 ドットのカラー液晶パネル 200 を駆動するシステムを構成した場合のブロック図が示されている。カラー液晶パネル 200 のライン方向には、8 個の液晶ドライバ回路 $DRV1 \sim DRV8$ が配置され、これらの液晶ドライバ回路 $DRV1 \sim DRV8$ が 4 個ずつ 2 組に分けられ、各組の先頭の液晶ドライバ回路 $DRV1, DRV5$ の端子 $EIO1$ は電源電圧 Vc に固定されるとともに、残りの液晶ドライバ回路 $DRV2 \sim DRV4, DRV6 \sim 8$ の端子 $EIO1$ には、前段の液晶ドライバ回路の端子 $EIO2$ が電氣的に結合されることにより、4 個ずつ直列形態に接続されている。

【0038】

300 はカラー液晶パネル 200 のコモン線 (TF T パネルではゲート線と呼ばれる)

50

を順番に選択レベルにする走査線駆動回路（コモンドライバ）、400は走査線駆動回路300に対するタイミング制御信号を生成したり、上記液晶ドライバ回路に供給する画像データD9～D0や液晶ドライバ回路を制御する制御信号DSS、動作クロックCL1、CL2を生成する液晶表示コントローラである。

【0039】

液晶表示コントローラ400は、2つの走査線駆動回路に対する画像データD9～D0を同時に出力するようにされる。また、この実施例では、画像データの伝送開始を知らせる制御信号DSSや取込みタイミングを知らせるクロックCL2を2組の液晶ドライバ回路DRV1～DRV4、DRV5～DRV8に対してそれぞれ別個に生成して与えるように構成されているが、これらの信号は共通の信号として与えるようにすることも可能である。

10

【0040】

図4～図6には、図3のような液晶表示システムにおいて、それぞれ組をなす4つの液晶ドライバ回路DRV1～DRV4またはDRV5～DRV8のデコーダ部160からサンプル・ホールド部160へ送る画像信号の伝送タイミングが示されている。図4～図6における時間の流れは、図4 図5 図6であり、また各図においては先ず左から右へ向かい、右端に達するとその下の左端へ向かうというような流れである。

【0041】

図4～図6から分かるように、本実施例の液晶表示システムでは、先ず赤色の画像データが40個ずつ16回に分けて伝送されDA変換されてホールドされた後、緑色の画像データが40個ずつ16回に分けて伝送されDA変換されてホールドされ、その後、青色の画像データが40個ずつ16回に分けて伝送されDA変換されてホールドされる。

20

【0042】

これによって、液晶パネルの1ラインの半分の640個のドットに対する1920個の画像データの伝送、ホールドが行われる。そして、本実施例の液晶表示システムでは、赤色の画像データの伝送から、緑色の画像データの伝送、さらに青色の画像データの伝送へと移る際に若干の遅延時間を設け、その間に各色の画素のガンマ特性に応じて出力する電圧を変化させるガンマ補正を動的に行うようになっている。このように、本実施例の液晶表示システムでは、比較的容易にガンマ補正を動的に行なうことができるのは、赤、緑、青の各色の画像データがそれぞれまとめて伝送されるためである。

30

【0043】

カラー液晶パネルの構成に応じて一方の端の信号線に対する画像データから他方の端の信号線に対する画像データまで順番に伝送する方式の表示システムにおいては、赤色の画像データの伝送と、緑色の画像データの伝送と、青色の画像データの伝送が繰り返されるか混在して伝送されるので、各色の画像データの伝送ごとにガンマ補正を行わなくてはならない。そのため、画像データの数だけガンマ補正のための遅延時間を設けなくてはならず、そのようにすると1水平期間中にすべての画像データの伝送を終了することができなくなる。

【0044】

これに対し、本実施例の液晶表示システムでは、赤、緑、青の各色の画像データがそれぞれまとめて伝送されるため、1水平期間中に3回だけガンマ補正のための遅延時間を設けてやればよいので、1水平期間中にすべての画像データの伝送を終了することができる。

40

【0045】

なお、本実施例の液晶ドライバ回路におけるガンマ補正は、図1の階調電圧生成回路150に外部から与える電圧V0～V8、V9～V17を、赤、緑、青の各色のガンマ特性に応じて切り替えてやることで実現することができる。

【0046】

図7には、図3の液晶表示システムにおける液晶表示コントローラ400から液晶ドライバ回路DRV1～DRV4（DRV5～DRV8についても同様）に対して供給される

50

データサンプリング開始制御信号 D S S やデータの取込みタイミング等を知らせるクロック C L 1 , C L 2 、画像データ D 9 ~ D 0 、各液晶ドライバ回路 D R V 1 ~ D R V 4 から出力されるデータ伝送終了信号 E I O 2 のタイミングが示されている。

【 0 0 4 7 】

このうち、クロック C L 1 は 1 水平期間を示す信号、制御信号 D S S は各液晶ドライバ回路 D R V 1 ~ D R V 4 のそれぞれのデータサンプリング開始タイミングを知らせる信号で、1 水平期間中にすなわちクロック C L 1 の 1 周期に 4 回制御信号 D S S が立ち上がる。

【 0 0 4 8 】

一方、C L 2 は画像データ D 9 ~ D 0 の取込みタイミングを知らせるクロックで、この実施例ではクロック C L 2 の立下がりと立上がりのそれぞれで画像データを取り込むように液晶ドライバ回路が構成されているため、1 つの液晶ドライバ回路が 4 0 個のまとまった画像データを取り込む期間すなわちデータサンプリング開始制御信号 D S S の 1 周期の期間におけるクロック C L 2 のパルス数は 2 0 個である。

【 0 0 4 9 】

なお、最初の液晶ドライバ回路 D R V 1 が画像データの取り込みを開始するのは、データサンプリング開始制御信号 D S S が変化してからクロック C L 2 の 2 パルスだけ後の時点からとされている。また、各液晶ドライバ回路が 4 0 個の画像データを取り込んだことを知らせる信号 E I O 2 は、実際の最後のデータの取込みタイミングよりもクロック C L 2 の 2 パルス前に立ち上がるようにされている。これにより、液晶ドライバ回路 D R V 2 ~ D R V 4 は、画像データを前段のドライバのデータ取込み終了から時間遅れなく連続して取り込むことができる。

【 0 0 5 0 】

次に、実施例の液晶ドライバ回路 D R V のチップ内部の動作について説明する。液晶ドライバ回路 D R V の内部の各回路ブロックは、タイミング制御部 1 9 0 からの制御信号によって所定のタイミングで動作され、タイミング制御部 1 9 0 は外部から入力されるクロック信号や制御信号に基づいて内部の回路を所定の順序に従って動作させる内部制御信号を生成する。

【 0 0 5 1 】

図 8 には、タイミング制御部 1 9 0 の構成例が示されている。本実施例のタイミング制御部 1 9 0 は、入力信号 E I O 1 に基づいて画像データを取り込む初段ラッチ回路 1 1 0 やクロックを計数する後述のカウンタを動作させるかスタンバイ状態にさせるかを示す制御信号 S T B , C E N 等を生成する動作開始判定回路 1 9 1 と、1 水平期間を示すクロック C L 1 に基づいて 1 水平期間中のデータサンプリング開始制御信号 D S S の数を計数しサンプル・ホールド部 1 7 0 に対するイネーブル信号 S H E N を生成する D S S カウンタ 1 9 2 と、データラッチタイミングを与えるクロック C L 2 を分周して第 1 ラッチ部 1 1 0 に取り込まれた画像データを一括して第 2 ラッチ部 1 2 0 に転送させるタイミングを与えるラッチタイミング信号 D L T を生成するクロック制御回路 1 9 3 と、出力アンプ部 1 8 0 に対し L C D 画像信号の出力を許可する出力イネーブル信号 O E N を生成する L C D 出力制御回路 1 9 4 などを備える。

【 0 0 5 2 】

図 1 には示されていないが、実施例の液晶ドライバ回路は、第 2 ラッチ部 1 2 0 が 1 段目のラッチ回路 1 2 1 と 2 段目のラッチ回路 1 2 2 からなる 2 段構成とされており、タイミング制御部 1 9 0 は 1 段目のラッチ回路 1 2 1 と 2 段目のラッチ回路 1 2 2 を順次ラッチ動作させるクロックを生成して供給するようにされている。これにより、1 段目のラッチ回路 1 2 1 がマスタラッチとして動作し、2 段目のラッチ回路 1 2 2 がスレーブラッチとして動作して、第 2 ラッチ部 1 2 0 に取り込まれた画像データが直ちに次段のデコーダ部 1 6 0 へ供給されてしまうのを防止することができる。

【 0 0 5 3 】

さらに、タイミング制御部 1 9 0 は、データサンプリング開始制御信号 D S S 間のクロ

10

20

30

40

50

ックＣＬ２の数を計数するＣＬ２カウンタ１９５や、１ライン中初回のＤＳＳ信号間のクロックＣＬ２の数を保持するＣＬ２数レジスタ１９６、１ライン中初回のＤＳＳ信号間のクロックＣＬ２の数と２回目以降のＤＳＳ信号間のクロックＣＬ２の数とを比較するコンパレータ１９７、該コンパレータ１９７の比較結果に基づいて、外部からのＤＳＳ信号が初回のＤＳＳ信号間のクロックＣＬ２の数よりも長い期間入力されなかった場合に、第２ラッチ部１２０の後段のラッチ回路１２２に対してデータのラッチを指示するためのクロック信号ＤＬＣを半導体チップ内部で自動的に発生するラッチクロック発生回路１９８を備える。

【００５４】

ラッチクロック発生回路１９８を設けたのは、本実施例の液晶ドライバ回路を使用しガンマ補正を行なう表示システムにおいては、図９に示すように、各色の画像データの転送期間にガンマ補正のための余裕期間（Ｔ_a）を設けるためにＤＳＳ信号を少し遅れて入力させることがあるので、ＤＳＳ信号にのみ基づいてラッチ回路１２２に対するラッチクロック信号ＤＬＣを生成したのでは、ラッチのタイミングが遅れてしまうためである。

【００５５】

また、本実施例のタイミング制御回路においては、ＣＬ２カウンタ１９５が所定数（１６クロック）を計数した時点で次段の液晶ドライバ回路に対するＥＩＯ２信号を立ち上げるようにすることができる。これにより、次段の液晶ドライバ回路がこの信号をＥＩＯ１端子に受けるように接続をしておくことによって、複数の液晶ドライバ回路を使用した表示システムにおいて、液晶表示コントローラは各ドライバに対して独自の開始信号を送ることなく、連続した画像データの伝送が可能となる。そのため、表示システムの設計者の負担を軽減することができる。

【００５６】

図１０には、実施例の液晶ドライバ回路を８個使用して４個ずつペアにして順に画像データを転送することで液晶パネルへのカラー表示を行なわせる図３のような液晶表示システムにおける液晶ドライバ回路ＤＲＶ１～ＤＲＶ４（ＤＲＶ５～ＤＲＶ８についても同様）に対して供給されるデータサンプリング開始制御信号ＤＳＳやクロックＣＬ１のタイミングと、各液晶ドライバ回路ＤＲＶ１～ＤＲＶ４内で生成されるクロックイネーブル信号ＣＥＮと、サンプルホールドイネーブル信号ＳＨＥＮと、次段の液晶ドライバ回路に対するＥＩＯ２信号のタイミングが示されている。

【００５７】

図１１には、サンプル・ホールド部１７０の単位サンプル・ホールド回路の構成例が、図１２にはその動作タイミングが示されている。

【００５８】

本実施例の単位サンプル・ホールド回路は、デコーダ部１６０でＡＤ変換された電圧を保持するための１組のホールド容量ＣＨ１、ＣＨ２と、入力側のアンプＡＭＰ_iの出力端子と前記ホールド容量ＣＨ１、ＣＨ２の一方の端子がそれぞれ接続されたノードＮ１、Ｎ２との間に接続された一対のスイッチＳＷ１１、ＳＷ１２と、前記ノードＮ１、Ｎ２と出力側のアンプＡＭＰ_oの入力端子との間に接続された一対のスイッチＳＷ２１、ＳＷ２２とにより構成されている。図２のアンプＡＭＰ１～ＡＭＰ４８０が図１１のアンプＡＭＰ_oに相当する。

【００５９】

上記一対のスイッチＳＷ１１、ＳＷ１２は制御信号ＥＮ１１、ＥＮ１２によってオン・オフされるとともに、スイッチＳＷ２１、ＳＷ２２は制御信号ＥＮ２１、ＥＮ２２によってオン・オフされる。そして、スイッチＳＷ１１がオンされるときはＳＷ２２がオンされ、スイッチＳＷ１２がオンされるときはＳＷ２１がオンされるように制御信号ＥＮ１１、ＥＮ１２、ＥＮ２１、ＥＮ２２によって制御される。さらに、スイッチＳＷ１１とＳＷ２１は同時にオン状態にされることがないように、またスイッチＳＷ１２とＳＷ２２も同時にオン状態にされることがないように、サンプルホールドイネーブル信号ＳＨＥＮに基づいてそれぞれの制御信号ＥＮ１１、ＥＮ１２、ＥＮ２１、ＥＮ２２が生成される。

【 0 0 6 0 】

本実施例の単位サンプル・ホールド回路は、スイッチ S W 1 1 がオン状態にされるとスイッチ S W 2 1 がオフ状態にされて、ホールド容量 C H 1 にデコーダ部 1 6 0 で A D 変換された電圧（画像信号）がサンプリングされる。このとき、反対側のホールド容量 C H 2 はスイッチ S W 2 2 がオン状態にされスイッチ S W 1 2 がオフ状態にされることにより、直前にサンプリングした電圧を出力する状態となる。

【 0 0 6 1 】

ホールド容量 C H 1 に入力電圧がサンプリングされると、スイッチ S W 1 1 がオフ状態にされスイッチ S W 1 2 がオン状態にされることにより、サンプリングした電圧を出力する状態となる。このとき、反対側のホールド容量 C H 2 はスイッチ S W 1 2 がオン状態にされ、スイッチ S W 2 2 がオフ状態にされて、デコーダ部 1 6 0 で A D 変換された電圧で充電されてサンプリングを行なうようにされる。

【 0 0 6 2 】

上記のような動作を繰り返すことにより、1組のホールド容量 C H 1 と C H 2 がサンプリング状態とホールド状態を交互に繰り返し、デコーダ部 1 6 0 から出力された電圧（画像信号）が連続して画像信号がサンプリングされ、次々と出力される。

【 0 0 6 3 】

図 1 3 には、本実施例の液晶ドライバ回路を構成する各回路ブロックの半導体チップ上でのレイアウトの一例が示されている。図 1 3 において、図 2 に示されている回路と同一の回路には同一の符号が付されている。

【 0 0 6 4 】

図 1 3 から分かるように、本実施例の液晶ドライバ I C においては、半導体チップのほぼ中央に、正電圧を出力する D A 変換回路 P O S - D A C と負電圧を出力する D A 変換回路 N E G - D A C が半導体チップの長手方向に並んで配置され、その上方にマルチプレクサ M P X が、また下方にランダムロジックからなるタイミング制御回路（1 9 0）および抵抗ラダーからなる諧調電圧生成回路（1 5 0）T G & R L が配置されている。そして、これらの回路の左右には、対称的に、上から順に、マルチプレクサ M P X 2、出力アンプ A M P、サンプル・ホールド回路 S / H が配置され、さらにこれらと同一の回路が上下対称的に、サンプル・ホールド回路 S / H、出力アンプ A M P、マルチプレクサ M P X 2 の順に配置されている。

【 0 0 6 5 】

さらに、正電圧を出力する D A 変換回路 P O S - D A C と負電圧を出力する D A 変換回路 N E G - D A C は、図 1 4 に示すように、それぞれ 2 0 個の単位 D A 変換回路 D A C 1 ~ D A C 2 0 が半導体チップの長手方向と直交する方向に並んで配置され、その上に諧調電圧生成回路 T G & R L から出力される階調電圧を供給する 1 0 2 4 本の給電線が配設されている。

【 0 0 6 6 】

画像データが 8 ビットで 2 5 6 階調の液晶ドライバ I C は、図 1 5 に示すように、マルチプレクサ M P X 2、出力アンプ A M P、デコーダ部 D A C、レベルシフタ、マルチプレクサ M P X 1、タイミング制御回路および諧調電圧生成回路 T G & R L が順に配置され、デコーダ部の単位 D A 変換回路は半導体チップの長手方向に沿って出力端子の数と同じ数だけ配置されたチップレイアウトが一般であった。かかるレイアウトを本実施例の液晶ドライバ I C のように画像データが 1 0 ビットで 1 0 2 4 階調の液晶ドライバ I C に適用すると、D A 変換回路列の上に従来の 4 倍の数の給電線を半導体チップの長手方向に沿って配設しなければならなくなり、給電線の長さが非常に長くなるとともに給電線の幅が大幅に増加して給電線の下方にむだなスペースが生じてしまう。

【 0 0 6 7 】

これに対し、図 1 3 および図 1 4 に示すようなレイアウトに従うと、階調電圧の給電線を半導体チップの長手方向と直交する方向に沿って配設すればよいため、給電線の長さが短くなるとともに、複数の給電線のレイアウト幅が大幅に増加しても給電線の下方にむだ

10

20

30

40

50

なスペースを生じさせることなく D A 変換回路を配置することができるようになる。その結果、高階調化に伴うチップサイズの増加を大幅に抑制することができるという利点がある。

【 0 0 6 8 】

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、前記実施例では、画像データが 1 0 ビットで階調電圧が 1 0 2 4 段階である場合について説明したが、それに限定されるものでなく、画像データが 9 ビットで階調電圧が 5 1 2 段階の場合や、画像データが 1 1 ビットで階調電圧が 2 0 4 8 段階の場合にも適用することができる。また、前記実施例では、4 8 0 個の出力アンプに対して 4 0 個すなわち 1 / 1 2 個の D A 変換回路を設けているが、1 / 8 個あるいは 1 / 1 6 個などであっても良い。

10

【 0 0 6 9 】

さらに、前記実施例では、画像データに同期して入力されるクロック信号を計数するカウンタの計数値が所定値に達したときに画像データの取り込み終了を示す信号 E I O 2 を出力する端子を設け、該端子の信号を次段のドライバ I C にデータ取り込み許可信号 E I O 1 として入力しているが、信号 E I O 2 を出力する端子を省略し、データ取り込み許可信号 E I O 1 を液晶表示コントローラ 4 0 0 から与えるように構成することも可能である。

【 産業上の利用可能性 】

20

【 0 0 7 0 】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である液晶パネルを駆動する液晶ドライバ回路に適用したものについて説明したが、本発明はそれに限定されるものでなく、ディジタルコードで与えられたカラーの画像データをアナログ電圧に変換して出力するカラー表示装置の駆動回路一般に適用することができる。

【 符号の説明 】

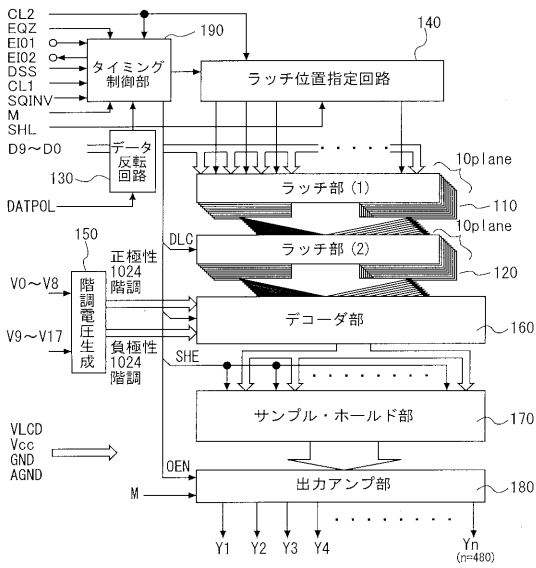
【 0 0 7 1 】

- 1 0 0 液晶表示駆動装置 (液晶ドライバ I C)
- 1 1 0 第 1 ラッチ部
- 1 2 0 第 2 ラッチ部
- 1 3 0 データ反転回路
- 1 4 0 ラッチ位置指定回路
- 1 5 0 階調電圧生成回路
- 1 6 0 デコーダ (セレクタ) 部
- 1 7 0 サンプル・ホールド部
- 1 8 0 出力アンプ部
- 1 9 0 タイミング制御部
- 2 0 0 液晶パネル
- 3 0 0 走査線駆動回路 (コモンドライバ)
- 4 0 0 液晶表示コントローラ
- D R V 1 ~ D R V 8 液晶ドライバ I C
- M P X 1 , M P X 2 マルチプレクサ
- D A C D A 変換回路
- A M P 出力アンプ
- S / H サンプル・ホールド回路

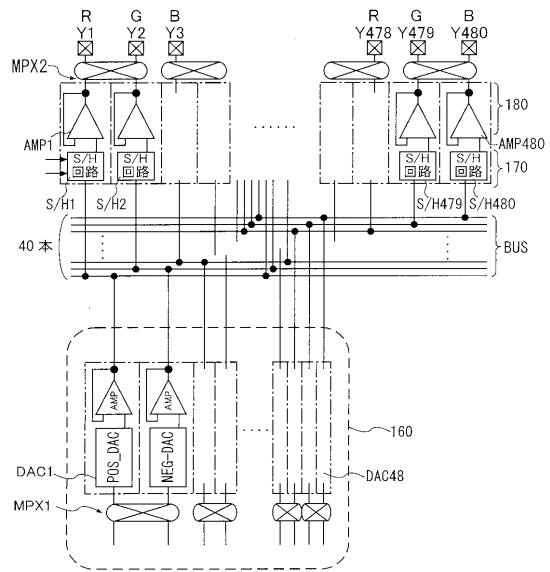
30

40

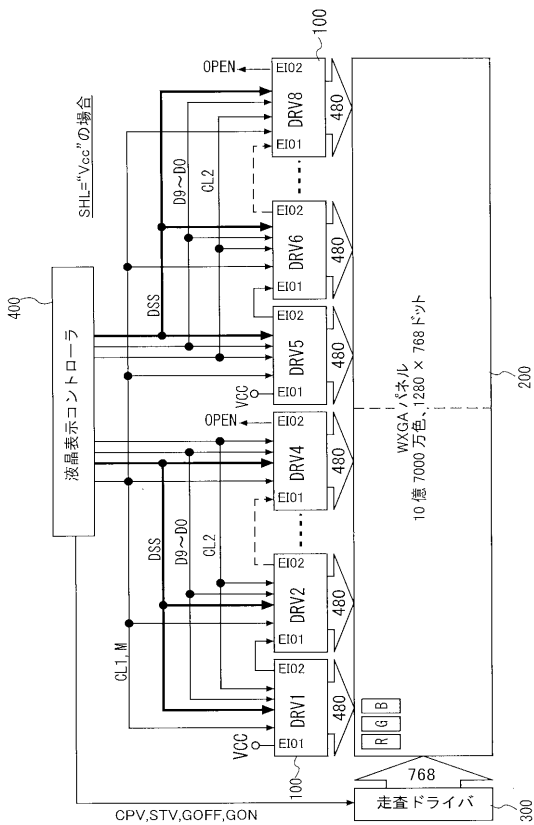
【 図 1 】



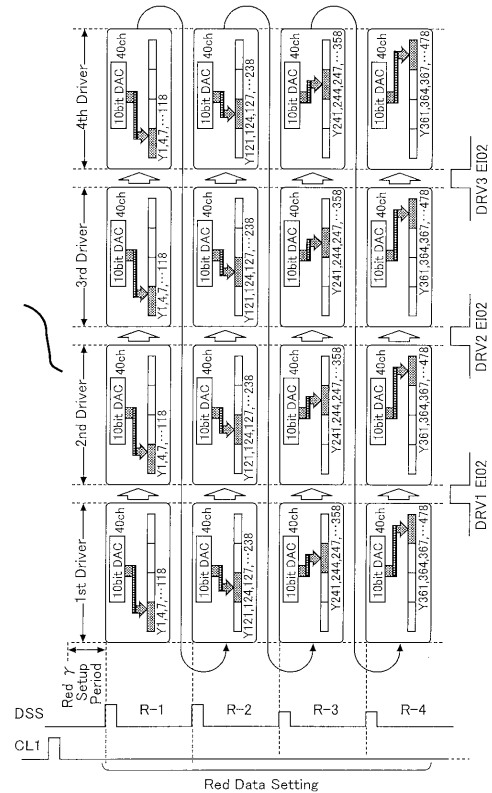
【 図 2 】



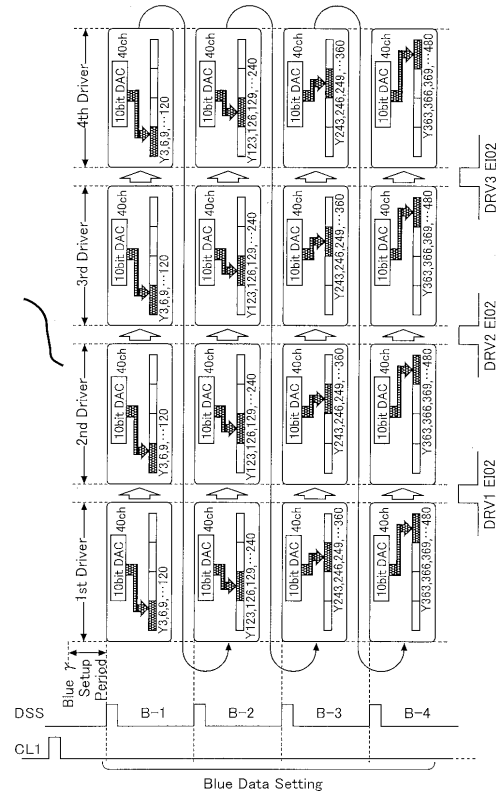
【 図 3 】



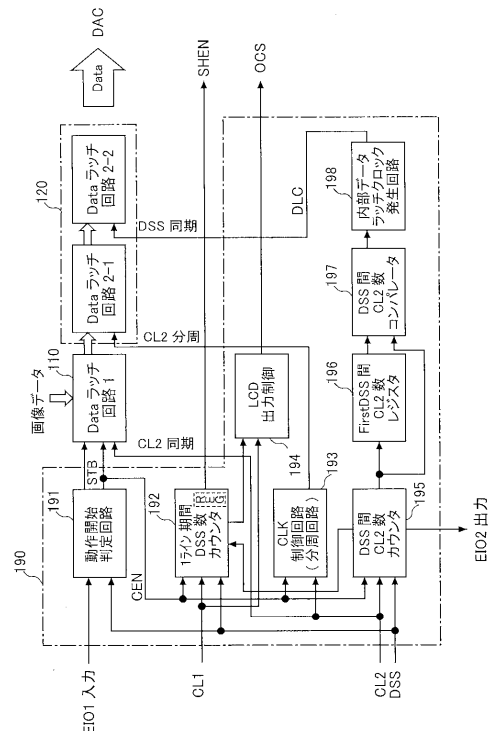
【 図 4 】



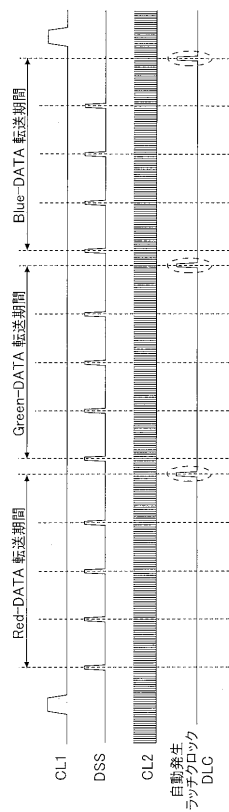
【 図 6 】



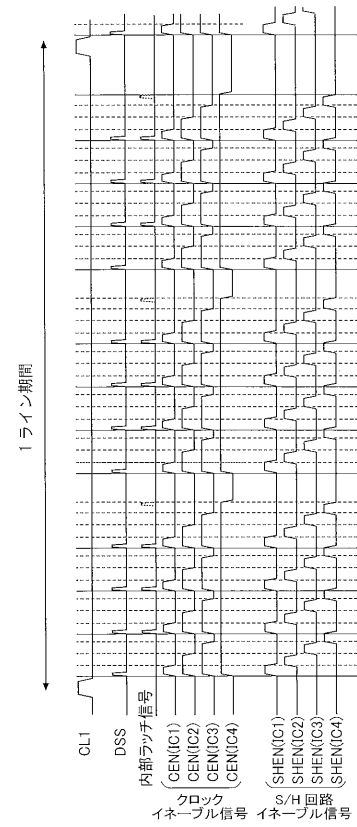
【 図 8 】



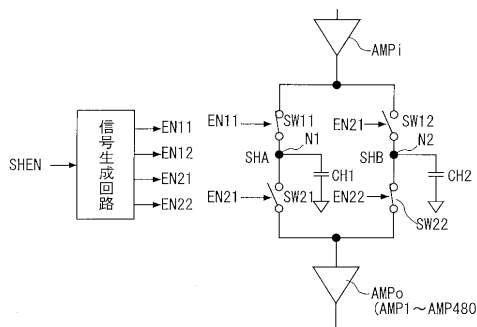
【図 9】



【図 10】



【図 11】



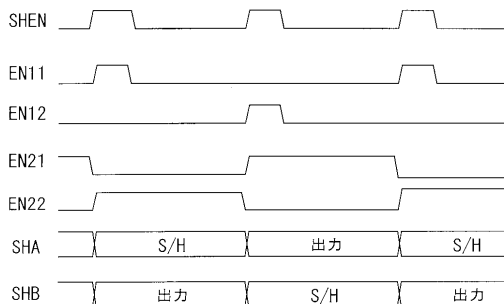
【図 13】

MPX2	MPX1	MPX2
AMP	POS	AMP
S/H	NEG	S/H
S/H	DAC	S/H
AMP	TG&RL	AMP
MPX2		MPX2

【図 14】



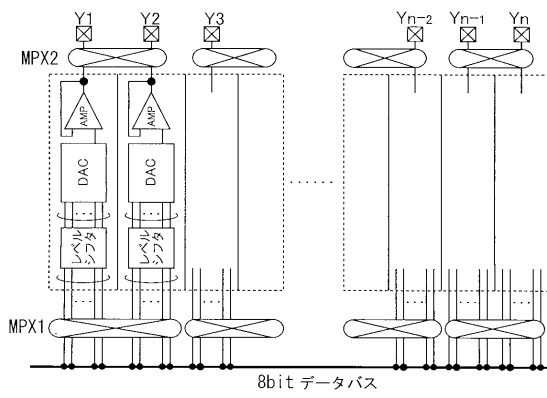
【図 12】



【図 15】

MPX2
AMP
DAC
レベルシフタ
MPX1
TG&RL

【図 16】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20 6 2 1 M	
	G 0 9 G 3/20 6 2 3 V	

(72)発明者 久保 健彦

東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

F ターム(参考) 2H193 ZC25 ZD11 ZD23 ZF05 ZF13 ZF33 ZF34 ZF35 ZF36
5C006 AA01 AA22 AF43 AF46 AF82 BC16 BC23 BF04 BF11 BF22
BF25 BF43 FA42 FA43 FA51
5C080 AA10 BB05 CC03 DD22 EE19 FF09 FF11 GG08 JJ02 JJ04
KK43

专利名称(译)	液晶显示器驱动装置，液晶显示系统和用于液晶驱动的半导体集成电路器件		
公开(公告)号	JP2011170376A	公开(公告)日	2011-09-01
申请号	JP2011090727	申请日	2011-04-15
[标]申请(专利权)人(译)	瑞萨电子株式会社 RENASAS日本北部SEMICON		
申请(专利权)人(译)	瑞萨电子公司 瑞萨北日本半导体公司		
[标]发明人	山口 聡 遠藤 祐弘 久保健彦		
发明人	山口 聡 遠藤 祐弘 久保 健彦		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.611.F G09G3/20.623.F G02F1/133.575 G02F1/133.510 G09G3/20.621.M G09G3/20.623.V		
F-TERM分类号	2H193/ZC25 2H193/ZD11 2H193/ZD23 2H193/ZF05 2H193/ZF13 2H193/ZF33 2H193/ZF34 2H193/ZF35 2H193/ZF36 5C006/AA01 5C006/AA22 5C006/AF43 5C006/AF46 5C006/AF82 5C006/BC16 5C006/BC23 5C006/BF04 5C006/BF11 5C006/BF22 5C006/BF25 5C006/BF43 5C006/FA42 5C006/FA43 5C006/FA51 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD22 5C080/EE19 5C080/FF09 5C080/FF11 5C080/GG08 5C080/JJ02 5C080/JJ04 5C080/KK43		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种紧凑型液晶驱动器（用于驱动液晶的半导体集成电路），具有内置DA转换器电路，用于将数字图像数据转换为模拟灰度电压并输出施加到信号线的电压（源线）彩色液晶面板。解决方案：输出转换为灰度电压的图像信号的最终级的输出放大器（160：AMP1-AMP480）被分成多个组。将图像数据转换为灰度电压的D/A转换器电路（160：DAC1-DAC40）被布置为对这些组共用的电路，并且在改变组的同时执行D/A转换器电路的时间共享操作。选择最后一级的输出放大器以对与相同颜色的图像信号有关的输出放大进行分组。选择器功能布置在D/A转换电路和输出放大器之间，并且由D/A转换电路转换成灰度电压的图像信号被分配到期望的保持电路。Ž

