

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-282173

(P2010-282173A)

(43) 公開日 平成22年12月16日(2010.12.16)

(51) Int.Cl.	F I	テーマコード (参考)
<b>GO2F 1/1368 (2006.01)</b>	GO2F 1/1368	2H092
<b>HO1L 29/786 (2006.01)</b>	HO1L 29/78 618B	4M104
<b>HO1L 21/336 (2006.01)</b>	HO1L 29/78 617T	5F033
<b>HO1L 29/423 (2006.01)</b>	HO1L 29/78 627C	5F110
<b>HO1L 29/49 (2006.01)</b>	HO1L 29/78 619A	

審査請求 有 請求項の数 15 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願2009-293701 (P2009-293701)  
 (22) 出願日 平成21年12月25日 (2009.12.25)  
 (31) 優先権主張番号 10-2009-0048778  
 (32) 優先日 平成21年6月2日 (2009.6.2)  
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 501426046  
 エルジー ディスプレイ カンパニー リ  
 ミテッド  
 大韓民国 ソウル, ヨンドゥンポーク, ヨ  
 イドードン 20  
 (74) 代理人 100110423  
 弁理士 曾我 道治  
 (74) 代理人 100084010  
 弁理士 古川 秀利  
 (74) 代理人 100094695  
 弁理士 鈴木 憲七  
 (74) 代理人 100111648  
 弁理士 梶並 順  
 (74) 代理人 100147566  
 弁理士 上田 俊一

最終頁に続く

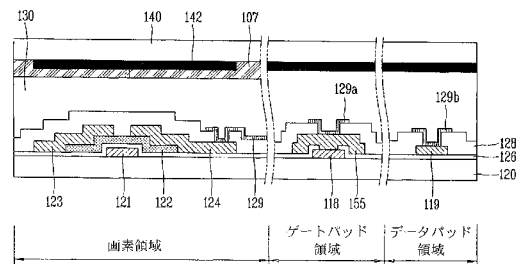
(54) 【発明の名称】 薄膜トランジスタを備えた表示素子及びその製造方法

(57) 【要約】 (修正有)

【課題】 工程を単純化することのできる酸化物薄膜トランジスタを備えた表示素子及びその製造方法を提供する。

【解決手段】 表示素子は、第1基板120及び第2基板140と、第1基板の画素領域に形成され、ゲート電極121、ゲート絶縁層126、酸化物半導体層122、並びにソース電極123及びドレイン電極124からなる薄膜トランジスタと、第1基板のゲートパッド領域に形成されたゲートパッド118、及び第1基板のデータパッド領域に形成されたデータパッド119と、ゲートパッド領域のゲート絶縁層上に形成され、コンタクトホールを介してゲート電極に接続する金属層155と、第1基板の全体にわたって形成された保護層128と、画素領域の保護層に形成された画素電極と、ゲートパッド領域に形成された第1透明導電層129a及びデータパッド領域に形成された第2透明導電層129bと、基板間に形成された液晶層130とから構成される。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

画素領域、ゲートパッド領域、及びデータパッド領域を含む第 1 基板及び第 2 基板を準備する段階と、

前記第 1 基板の画素領域にゲート電極を形成し、前記第 1 基板のゲートパッド領域にゲートパッドを形成する段階と、

前記第 1 基板の全体にわたって窒化物系ゲート絶縁層及び酸化物半導体物質を積層する段階と、

前記画素領域の酸化物半導体物質をエッチングして前記ゲート電極の上部に酸化物半導体層を形成し、前記ゲートパッド領域の酸化物半導体物質及びゲート絶縁層をエッチングして前記ゲートパッドを露出させ、前記データパッド領域の酸化物半導体物質をエッチングする段階と、

前記画素領域の酸化物半導体層上にソース電極及びドレイン電極を形成し、前記ゲートパッド領域の露出したゲートパッド上及びゲート絶縁層上に金属層を形成し、前記データパッド領域にデータパッドを形成する段階と、

前記第 1 基板の全体にわたって保護層を形成し、前記保護層をエッチングして前記ドレイン電極、金属層、及びデータパッド上の保護層にコンタクトホールを形成する段階と、

透明導電物質を積層してエッチングすることにより、前記画素領域に前記ドレイン電極に接続する画素電極を形成し、前記ゲートパッド領域の金属層及び前記データパッド領域のデータパッドに透明導電層を形成する段階と、

前記第 1 基板と前記第 2 基板とを液晶層を介して貼り合わせる段階と

を含むことを特徴とする薄膜トランジスタを備えた表示素子の製造方法。

## 【請求項 2】

前記ゲート絶縁層を積層する段階は、 $SiNx$  を積層することにより行われることを特徴とする請求項 1 に記載の薄膜トランジスタを備えた表示素子の製造方法。

## 【請求項 3】

前記酸化物半導体物質を積層する段階は、 $Zn$ 、 $In$ 、 $Ga$ 、又はこれらの混合物を含む酸化物を積層することにより行われることを特徴とする請求項 1 に記載の薄膜トランジスタを備えた表示素子の製造方法。

## 【請求項 4】

前記エッチングする段階は、

前記ゲート絶縁層の上部にフォトリソ層を形成した後、前記フォトリソ層の上部に透過領域、半透過領域、及び遮断領域からなるマスクを配置する段階と、

光を照射した後に前記フォトリソ層を現像することにより、前記ゲートパッド領域のゲートパッド上部の酸化物半導体物質を露出させる段階と、

前記現像されたフォトリソ層を利用して前記ゲートパッド領域の露出した酸化物半導体物質をエッチングする段階と、

前記現像されたフォトリソ層をアッシングすることにより、前記画素領域の一部の領域、前記ゲートパッド領域、及び前記データパッド領域の酸化物半導体物質を露出させる段階と、

前記アッシングされたフォトリソ層を利用して前記露出した酸化物半導体物質をエッチングすることにより、前記画素領域に酸化物半導体層を形成し、前記データパッド領域及び前記ゲートパッド領域の酸化物半導体物質を除去する段階と

を含むことを特徴とする請求項 1 に記載の薄膜トランジスタを備えた表示素子の製造方法。

## 【請求項 5】

前記エッチングする段階は、

前記ゲート絶縁層の上部にフォトリソ層を形成した後、マスクを利用して前記フォトリソ層を現像することにより、前記ゲートパッド上部の酸化物半導体層を露出させる段階と、

10

20

30

40

50

前記現像されたフォトリソ層を利用して前記ゲートパッド上部の酸化物半導体層及びゲート絶縁層をエッチングする段階と、

前記ゲート絶縁層の上部に再びフォトリソ層を形成した後、他のマスクを利用して前記フォトリソ層を現像することにより、前記酸化物半導体層を露出させる段階と、

前記現像されたフォトリソ層を利用して前記酸化物半導体層をエッチングする段階と

を含むことを特徴とする請求項 1 に記載の薄膜トランジスタを備えた表示素子の製造方法。

【請求項 6】

前記酸化物半導体物質が、エッチングガスによりエッチングされることを特徴とする請求項 4 に記載の薄膜トランジスタを備えた表示素子の製造方法。

10

【請求項 7】

前記ゲート絶縁層が、エッチングガスによりエッチングされることを特徴とする請求項 4 に記載の薄膜トランジスタを備えた表示素子の製造方法。

【請求項 8】

前記保護層を形成する段階は、 $\text{SiO}_2$ を積層することにより行われることを特徴とする請求項 1 に記載の薄膜トランジスタを備えた表示素子の製造方法。

【請求項 9】

前記保護層が、エッチング液によりエッチングされることを特徴とする請求項 8 に記載の薄膜トランジスタを備えた表示素子の製造方法。

20

【請求項 10】

前記第 2 基板の画素領域の画像非表示領域、ゲートパッド領域、及びデータパッド領域に、光の透過を防止するブラックマトリクスを形成する段階と、

前記画素領域にカラーを実現するカラーフィルタ層を形成する段階と

をさらに含むことを特徴とする請求項 1 に記載の薄膜トランジスタを備えた表示素子の製造方法。

【請求項 11】

画素領域、ゲートパッド領域、及びデータパッド領域を含む第 1 基板及び第 2 基板と、

前記第 1 基板の画素領域に形成され、前記第 1 基板に形成されたゲート電極、前記第 1 基板の全体にわたって形成されたゲート絶縁層、前記ゲート絶縁層上に形成された酸化物半導体層、並びに前記酸化物半導体層上に形成されたソース電極及びドレイン電極からなる酸化物薄膜トランジスタと、

30

前記第 1 基板のゲートパッド領域に形成されたゲートパッド、及び前記第 1 基板のデータパッド領域に形成されたデータパッドと、

前記ゲートパッド領域のゲート絶縁層上に形成され、前記ゲート絶縁層に形成されたコンタクトホールを介して前記ゲート電極に接続する金属層と、

前記第 1 基板の全体にわたって形成された保護層と、

前記画素領域の保護層に形成された画素電極と、

前記ゲートパッド領域に形成された第 1 透明導電層、及び前記データパッド領域に形成された第 2 透明導電層と、

40

前記第 1 基板と前記第 2 基板との間に形成された液晶層と

から構成されることを特徴とする薄膜トランジスタを備えた表示素子。

【請求項 12】

前記酸化物半導体層が、 $\text{Zn}$ 、 $\text{In}$ 、 $\text{Ga}$ 、又はこれらの混合物を含む酸化物からなることを特徴とする請求項 11 に記載の薄膜トランジスタを備えた表示素子。

【請求項 13】

前記ゲート絶縁層が、 $\text{SiN}_x$ からなることを特徴とする請求項 11 に記載の薄膜トランジスタを備えた表示素子。

【請求項 14】

前記保護層が、 $\text{SiO}_2$ からなることを特徴とする請求項 11 に記載の薄膜トランジス

50

タを備えた表示素子。

【請求項 15】

前記金属層が、前記酸化物薄膜トランジスタのソース電極と同一の金属からなることを特徴とする請求項 11 に記載の薄膜トランジスタを備えた表示素子。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜トランジスタを備えた表示素子及びその製造方法に関し、特に、ゲートパッド上にソース金属層を形成することにより、製造工程の単純化及び製造コストの低減を図ることのできる薄膜トランジスタを備えた表示素子及びその製造方法に関する。

10

【背景技術】

【0002】

近年、携帯電話、PDA、ノートブックコンピュータなどの各種携帯用電子機器が発展するにつれて、小型・軽量・薄型の表示装置だけではなく、高画質の大型表示装置に対する要求が増大し、フラットパネルディスプレイ装置が広く利用されている。このようなフラットパネルディスプレイ装置としては、LCD (Liquid Crystal Display) や PDP (Plasma Display Panel) などがあるが、量産化技術、駆動手段の容易性及び低電力性、高画質の実現という理由により、現在は、LCD (液晶表示素子) が脚光を浴びている。

【0003】

このような液晶表示素子は、概略、カラーフィルタ基板と、アレイ基板と、カラーフィルタ基板とアレイ基板との間に形成された液晶層とから構成される。

20

【0004】

液晶表示素子に主に用いられる駆動方式であるアクティブマトリクス (Active Matrix; AM) 方式は、スイッチング素子として非晶質シリコン薄膜トランジスタ (Amorphous Silicon Thin Film Transistor; a-Si TFT) を使用して、画素部の液晶を駆動する方式である。

【0005】

以下、図3を参照して一般的な液晶表示素子の構造について詳細に説明する。

図3は、一般的な液晶表示素子を概略的に示す分解斜視図である。図3に示すように、液晶表示素子は、主にカラーフィルタ基板5と、アレイ基板10と、カラーフィルタ基板5とアレイ基板10との間に形成された液晶層30とから構成される。

30

【0006】

カラーフィルタ基板5は、赤 (Red; R)、緑 (Green; G)、及び青 (Blue; B) の色を実現する複数のサブカラーフィルタ7から構成されるカラーフィルタCと、サブカラーフィルタ7を区分して液晶層30を透過する光を遮断するブラックマトリクス6と、液晶層30に電圧を印加する透明な共通電極8とからなる。

【0007】

また、アレイ基板10は、縦横に配列されて複数の画素領域Pを定義する複数のゲートライン16及びデータライン17と、ゲートライン16とデータライン17との交差領域に形成されたスイッチング素子である薄膜トランジスタTと、画素領域P上に形成された画素電極とからなる。

40

【0008】

ゲートライン16の端部にはゲートパッド18が形成され、データライン17の端部にはデータパッド19が形成される。ゲートパッド18には外部のゲート駆動回路が接続されており、ゲートライン16を介して走査信号を供給する。データパッド19には、外部のデータ駆動回路が接続されており、データライン17を介して画像信号を供給する。

【0009】

カラーフィルタ基板5及びアレイ基板10の画像表示領域の外郭領域にシーラント (図示せず) を塗布し、カラーフィルタ基板5とアレイ基板10とを対向して貼り合わせることにより、液晶表示パネルを構成する。ここで、カラーフィルタ基板5とアレイ基板10

50

との貼り合わせは、カラーフィルタ基板 5 又はアレイ基板 10 に形成された貼り合わせキ  
ー（図示せず）を用いて行う。

【0010】

一方、液晶表示素子においては、スイッチング素子として主に非晶質シリコンを使用す  
る。非晶質シリコンは、製造コストが安価であり、低温での製造が可能であることから、  
液晶表示素子のスイッチング素子として主に使用されている。

【0011】

ところが、非晶質シリコンは、移動度が非常に低くて静電特性が悪いため、大面積・高  
画質の表示素子を製造した場合、画質が低下するという問題があった。このような問題を  
解決するために、薄膜トランジスタを多結晶シリコンで製造する方法が提案されているが  
、多結晶シリコンからなる薄膜トランジスタは、製造コストが高価であり、大面積に形成  
した場合に特性を均一にすることが難しく、高温で工程が行われるという欠点があった。  
さらに、多結晶シリコンは、非晶質シリコンと同様に、静電特性がよくないという問題が  
あった。

10

【0012】

このような問題を解決するために、近年、酸化物半導体を利用した酸化物薄膜トランジ  
スタが提案されている。酸化物薄膜トランジスタは、低温で製造工程が行われるという利  
点だけではなく、非晶質シリコンや多結晶シリコンに比べて静電特性がよいため、液晶表  
示素子に適用した場合、安価なコストで均一な特性の薄膜トランジスタを形成できるとい  
う利点がある。

20

【0013】

図4は、図3の断面図であり、スイッチング素子として酸化物薄膜トランジスタを備え  
た液晶表示素子の構造を示す図である。図4においては、説明の便宜上、実際に画像が実  
現される画素領域と、外部の駆動回路に接続されて画素領域に信号を供給するパッド領域  
とに分けて示している。

【0014】

図4に示すように、液晶表示素子は、対向する第1基板20及び第2基板40と、第1  
基板20と第2基板40との間に形成された液晶層30とからなる。

【0015】

第1基板20は、アレイ基板であり、画素領域には酸化物薄膜トランジスタTが形成さ  
れる。酸化物薄膜トランジスタTは、第1基板20に形成されたゲート電極21と、ゲ  
ート電極21を覆うように第1基板20の全体にわたって形成されたゲート絶縁層26と、  
ゲート絶縁層26上に形成された酸化物半導体層22と、酸化物半導体層22上に形成さ  
れたソース電極23及びドレイン電極24とから構成され、第1基板20の全体にわた  
って保護層28が形成されて酸化物薄膜トランジスタTを覆っている。

30

【0016】

また、第1基板20のパッド領域には、ゲートパッド18、及びゲートパッド18上に  
形成されて工程中にゲートパッド18が酸化することを防止する透明導電層29aが配置  
される。図示していないが、パッド領域のゲート絶縁層26上には、データパッド及び透  
明導電層が形成されており、外部の信号が入力される。

40

【0017】

保護膜28上には画素電極29が形成されるが、保護膜28に形成されたコンタクトホ  
ールを介して酸化物薄膜トランジスタTのドレイン電極24と電氣的に接続され、酸化物  
薄膜トランジスタTを介して画像信号が供給される。

【0018】

第2基板40の画素領域には、実際にカラーを実現するカラーフィルタ層7が形成され  
、画素領域の画像非表示領域とパッド領域には、光が透過することを防止するブラックマ  
トリクス42が形成される。

【0019】

ところが、前記のような酸化物半導体層を備えた液晶表示素子においては、次のような

50

問題があった。

【0020】

一般的な液晶表示素子においては、ゲート絶縁層26は、SiNxなどの窒化物無機絶縁物質で形成され、保護膜28は、SiO<sub>2</sub>などの酸化物有機絶縁物質で形成される。このように、ゲート絶縁層26としてSiNxを使用し、保護膜28としてSiO<sub>2</sub>を使用するのは、次のような理由による。酸化物半導体層22で実際に電子が流れるチャンネル層は、酸化物半導体層22の上面に沿って形成される。従って、酸化物半導体層22の上面と接触する保護膜28としてSiNxを使用した場合は、酸化物半導体層22と保護膜28との界面で酸素が保護膜28に流入し、界面付近（すなわち、酸化物半導体層22の上面付近）の結晶性が低下する。このような結晶性の低下は、該当領域の電気伝導度の低下を引き起こすため、酸化物薄膜トランジスタの特性が低下する。このような理由によって、酸化物薄膜トランジスタTのゲート絶縁層26は、SiNxなどの窒化物無機絶縁物質で形成し、保護膜28は、SiO<sub>2</sub>などの酸化物有機絶縁物質で形成している。

10

【0021】

ここで、窒化物無機絶縁物質は、ドライエッチング法によりエッチングし、酸化物有機絶縁物質は、ウェットエッチング法によりエッチングするが、このようなエッチング法の違いにより、パッド領域のゲート絶縁層26及び保護膜28をエッチングするとき、工程上の問題が発生する。ゲート絶縁層26及び保護膜28をエッチングする工程を、図5A～図5Eに示す。ゲート絶縁層26及び保護膜28のエッチングは、画素領域の酸化物薄膜トランジスタTを形成した後、酸化物薄膜トランジスタTのドレイン電極24と画素電極29とを電気的に接続するためのコンタクトホールを形成する工程中に実質的には行われるが、図5A～図5Eにおいては、説明の便宜上、パッド領域におけるゲート絶縁層26及び保護膜28のエッチングについてのみ説明する。

20

【0022】

図5Aに示すように、パッド領域の第1基板20に積層されたゲート絶縁層26及び保護膜28の上部に、フォトレジスト層54aを形成した後、フォトマスクを利用して現像することにより、図5Bに示すように、フォトレジストパターン54bを形成した後、フォトレジストパターン54bにより保護層28をブロックした状態でエッチング液を作用させて保護層28をエッチングする。

【0023】

次に、図5Cに示すように、露出したゲート絶縁層26にエッチングガスを作用させると、図5Dに示すように、ゲート絶縁層26がエッチングされてゲートパッド18が外部に露出する。ここで、ゲート絶縁層26のエッチングにエッチングガスを使用することによって、ゲート絶縁層26が等方性にエッチングされ、図5Dに示すように、保護層28下部のゲート絶縁層26にアンダーカットが発生するため、保護膜28にオーバーハングAが発生する。

30

【0024】

保護層28のオーバーハングAは、後続する透明導電層29aの形成時、透明導電層29aに断線を起こす大きな原因となるので、図5Dに示すように、エッチング液を作用させて保護層28に形成されたオーバーハングAをエッチングすることにより、オーバーハングAを除去する。

40

【0025】

次に、図5Eに示すように、オーバーハングAが除去された保護層28上に透明な導電物質を積層して、透明導電層29aを形成する。

【発明の概要】

【発明が解決しようとする課題】

【0026】

前記のように、一般的な酸化物薄膜トランジスタを備えた液晶表示素子においては、ゲートパッド18上部のゲート絶縁層26及び保護層28をエッチングしてゲートパッド18を露出させる際、ゲート絶縁層26のエッチング工程及び保護層28のエッチング工程

50

に加えて、保護層 28 に形成されたオーバーハング A の除去工程が追加される。このような工程の追加により、製造工程が複雑になり、製造コストが増加する。

【0027】

本発明は、このような点に鑑みなされたもので、ゲートパッド領域のゲート絶縁層と保護層との間に金属層を形成して、ゲート絶縁層及び保護層のエッチング時に保護層にオーバーハングが発生することを防止することにより、工程を単純化することのできる薄膜トランジスタを備えた表示素子及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0028】

上記の目的を達成するために、本発明による表示素子の製造方法は、画素領域、ゲートパッド領域、及びデータパッド領域を含む第 1 基板及び第 2 基板を準備する段階と、前記第 1 基板の画素領域にゲート電極を形成し、前記第 1 基板のゲートパッド領域にゲートパッドを形成する段階と、前記第 1 基板の全体にわたって窒化物系ゲート絶縁層及び酸化物半導体物質を積層する段階と、前記画素領域の酸化物半導体物質をエッチングして前記ゲート電極の上部に酸化物半導体層を形成し、前記ゲートパッド領域の酸化物半導体物質及びゲート絶縁層をエッチングして前記ゲートパッドを露出させ、前記データパッド領域の酸化物半導体物質をエッチングする段階と、前記画素領域の酸化物半導体層上にソース電極及びドレイン電極を形成し、前記ゲートパッド領域の露出したゲートパッド上及びゲート絶縁層上に金属層を形成し、前記データパッド領域にデータパッドを形成する段階と、前記第 1 基板の全体にわたって保護層を形成し、前記保護層をエッチングして前記ドレイン電極、金属層、及びデータパッド上の保護層にコンタクトホールを形成する段階と、透明導電物質を積層してエッチングすることにより、前記画素領域に前記ドレイン電極に接続する画素電極を形成し、前記ゲートパッド領域の金属層及び前記データパッド領域のデータパッドに透明導電層を形成する段階と、前記第 1 基板と前記第 2 基板とを液晶層を介して貼り合わせる段階とを含む。

10

20

【0029】

前記ゲート絶縁層は、 $\text{SiN}_x$  などの窒化物系絶縁層からなり、前記保護層は、 $\text{SiO}_2$  などの酸化物系絶縁層からなり、前記酸化物半導体層は、 $\text{Zn}$ 、 $\text{In}$ 、 $\text{Ga}$ 、又はこれらの混合物を含む酸化物からなる。

【0030】

前記エッチングする段階は、前記ゲート絶縁層の上部にフォトリソ層を形成した後、前記フォトリソ層の上部に透過領域、半透過領域、及び遮断領域からなるマスクを配置する段階と、光を照射した後に前記フォトリソ層を現像することにより、前記ゲートパッド領域のゲートパッド上部の酸化物半導体物質を露出させる段階と、前記現像されたフォトリソ層を利用して前記ゲートパッド領域の露出した酸化物半導体物質をエッチングする段階と、前記現像されたフォトリソ層をアッシングすることにより、前記画素領域の一部の領域、前記ゲートパッド領域、及び前記データパッド領域の酸化物半導体物質を露出させる段階と、前記アッシングされたフォトリソ層を利用して前記露出した酸化物半導体物質をエッチングすることにより、前記画素領域に酸化物半導体層を形成し、前記データパッド領域及び前記ゲートパッド領域の酸化物半導体物質を除去する段階とを含む。

30

40

【0031】

また、本発明による表示素子は、画素領域、ゲートパッド領域、及びデータパッド領域を含む第 1 基板及び第 2 基板と、前記第 1 基板の画素領域に形成され、前記第 1 基板に形成されたゲート電極、前記第 1 基板の全体にわたって形成されたゲート絶縁層、前記ゲート絶縁層上に形成された酸化物半導体層、並びに前記酸化物半導体層上に形成されたソース電極及びドレイン電極からなる酸化物薄膜トランジスタと、前記第 1 基板のゲートパッド領域に形成されたゲートパッド、及び前記第 1 基板のデータパッド領域に形成されたデータパッドと、前記ゲートパッド領域のゲート絶縁層上に形成され、前記ゲート絶縁層に形成されたコンタクトホールを介して前記ゲート電極に接続する金属層と、前記第 1 基板

50

の全体にわたって形成された保護層と、前記画素領域の保護層に形成された画素電極と、前記ゲートパッド領域に形成された第1透明導電層、及び前記データパッド領域に形成された第2透明導電層と、前記第1基板と前記第2基板との間に形成された液晶層とから構成される。

【発明の効果】

【0032】

本発明においては、ゲートパッド領域のゲート絶縁層と保護層との間に金属層を形成して、ゲート絶縁層及び保護層のエッチング時に保護層にオーバーハングが発生することを防止することにより、製造工程の単純化及び製造コストの低減を図ることができる。

【図面の簡単な説明】

【0033】

【図1】本発明による酸化物薄膜トランジスタを備えた液晶表示素子の構造を示す断面図である。

【図2A】本発明による酸化物薄膜トランジスタを備えた液晶表示素子の製造方法を示す断面図である。

【図2B】図2Aに続く工程の断面図である。

【図2C】図2Bに続く工程の断面図である。

【図2D】図2Cに続く工程の断面図である。

【図2E】図2Dに続く工程の断面図である。

【図2F】図2Eに続く工程の断面図である。

【図2G】図2Fに続く工程の断面図である。

【図2H】図2Gに続く工程の断面図である。

【図3】一般的な液晶表示素子を概略的に示す分解斜視図である。

【図4】一般的な酸化物薄膜トランジスタを備えた液晶表示素子の構造を示す断面図である。

【図5A】一般的な酸化物薄膜トランジスタを備えた液晶表示素子のゲートパッド領域の製造工程を示す断面図である。

【図5B】図5Aに続く工程の断面図である。

【図5C】図5Bに続く工程の断面図である。

【図5D】図5Cに続く工程の断面図である。

【図5E】図5Dに続く工程の断面図である。

【発明を実施するための形態】

【0034】

以下、添付図面を参照して、本発明による酸化物薄膜トランジスタを備えた表示素子及びその製造方法について詳細に説明する。

【0035】

酸化物半導体は、非晶質シリコンより移動度が約 $10 \sim 100$ 倍高いだけでなく、オン/オフ電流比 (Ion/Ioff ratio) も $10^5 \sim 10^7$ であり、非常に優れた半導体特性を有する。また、酸化物半導体は、バンドギャップが約 $3.2 \sim 3.4$  eVであり、非晶質半導体層のバンドギャップに比べて大きいため、可視光線が照射された場合も漏れ電流がほとんど発生しないという利点がある。

【0036】

本発明においては、前述のような利点のため、表示素子に酸化物薄膜トランジスタを適用する際、ゲートパッド上のゲート絶縁層と保護層との間に金属層を形成することにより、工程を単純化することを特徴とする。

【0037】

すなわち、窒化物系ゲート絶縁層と酸化物系保護層との間に金属層を形成して、ゲート絶縁層と保護層を不連続的に形成することにより、ゲート絶縁層及び保護層のエッチングが互いに影響しないようにして、工程を単純化する。

【0038】

10

20

30

40

50

このような本発明の構成は、スイッチング素子として薄膜トランジスタを使用する全ての表示素子、例えば、液晶表示素子や有機電界発光素子などに使用できるが、説明の便宜上、以下では液晶表示素子についてのみ説明する。

【0039】

図1は、本発明による酸化物薄膜トランジスタを備えた液晶表示素子の構造を示す断面図である。図1においては、説明の便宜上、画素領域、ゲートパッド領域、及びデータパッド領域に分けて示す。

【0040】

図1に示すように、本発明による液晶表示素子は、ガラスなどの透明な物質からなり、対向する第1基板120及び第2基板140と、第1基板120と第2基板140との間に形成された液晶層130とからなる。

10

【0041】

第1基板120の画素領域には、酸化物薄膜トランジスタTが形成される。酸化物薄膜トランジスタTは、第1基板120に形成されたゲート電極121と、ゲート電極121を覆うように第1基板120の全体にわたって形成されたゲート絶縁層126と、ゲート絶縁層126上に形成された酸化物半導体層122と、酸化物半導体層122上に形成されたソース電極123及びドレイン電極124とから構成され、第1基板120の全体にわたって保護層128が形成されて酸化物薄膜トランジスタTを覆っている。

【0042】

酸化物半導体層122は、酸化物半導体物質で形成されるが、この酸化物半導体物質としては、Zn、In、Ga、又はこれらの混合物を含む酸化物などを使用することができる。

20

【0043】

ゲート絶縁層126としては、SiNxやSiO<sub>2</sub>などの様々な無機絶縁物質を使用することができるが、第1基板120及びゲート電極121との界面特性のために、ゲート絶縁層126は、SiNxを積層して形成することが好ましい。

【0044】

保護層128上には、透明な導電物質からなる画素電極129が形成されるが、保護層128に形成されたコンタクトホールを介して酸化物薄膜トランジスタTのドレイン電極124と電気的に接続されており、画素電極129に対して酸化物薄膜トランジスタTを介して外部から画像信号が供給される。

30

【0045】

保護層128としては、SiNxなどの窒化物系無機絶縁物質やSiO<sub>2</sub>などの酸化物系無機絶縁物質など、様々な無機絶縁物質を使用することができるが、保護層128と接触する酸化物半導体層122のチャンネル領域の結晶性のためには、SiO<sub>2</sub>などの酸化物系絶縁物質を使用することが好ましい。つまり、保護層128としてSiNxなどの窒化物系絶縁物質を使用した場合には、保護層128と接触する酸化物半導体層122の酸素が窒化物系絶縁物質からなる保護層128に流入し、保護層128との界面での酸化物半導体層122の結晶性が低下する。ところが、酸化物薄膜トランジスタTが製造されると、酸化物半導体層122のチャンネル領域が保護層128との界面付近に形成されるため、この領域の結晶性が低下すると、チャンネル領域の伝導度が低下し、酸化物薄膜トランジスタTの特性が低下する。従って、保護層128としては、SiO<sub>2</sub>などの酸化物系絶縁物質を使用することが好ましい。

40

【0046】

また、第1基板120のゲートパッド領域には、ゲートパッド118が形成される。ゲートパッド118は、画素領域に形成されるゲートラインと外部のゲート駆動回路とを接続して、ゲート駆動回路から出力される走査信号を酸化物薄膜トランジスタTに供給するためのものであり、酸化物薄膜トランジスタTのゲート電極121とは異なる金属で形成してもよいが、工程の単純化のためには、同一の金属で形成することが好ましい。

【0047】

50

ゲートパッド 118 は、ゲート絶縁層 126 及び保護層 128 により覆われ、ゲート絶縁層 126 及び保護層 128 には、その一部が除去されてホールが形成され、ゲート絶縁層 126 及びゲートパッド 118 の上部には、金属層 155 が形成される。ここで、金属層 155 は、酸化物薄膜トランジスタ T のソース電極 123 及びドレイン電極 124 とは異なる金属で形成してもよいが、工程の単純化のためには、同一の金属で形成することが好ましい。

【0048】

第 1 基板 120 のデータパッド領域のゲート絶縁層 126 上には、データパッド 119 が形成される。データパッド 119 は、画素領域に形成されるデータラインと外部のデータ駆動回路とを接続して、データ駆動回路から出力される画像信号を、酸化物薄膜トランジスタ T を介して画素電極 129 に供給するためのものであり、酸化物薄膜トランジスタ T のソース電極 123 及びドレイン電極 124 とは異なる金属で形成してもよいが、工程の単純化のためには、同一の金属で形成することが好ましい。

10

【0049】

ゲートパッド領域の保護層 128 上には、第 1 透明導電層 129a が形成され、データパッド領域の保護層 128 上には、第 2 透明導電層 129b が形成される。第 1 透明導電層 129a 及び第 2 透明導電層 129b は、ITO (Indium Tin Oxide) や IZO (Indium Zinc Oxide) などの透明な導電物質からなり、工程中にゲートパッド 118 及びデータパッド 119 が外部に露出して酸化することを防止するために形成される。第 1 透明導電層 129a 及び第 2 透明導電層 129b は、画素領域の工程とは別に形成してもよいが、工程の単純化のためには、画素領域の画素電極 129 と同時に形成することが好ましい。

20

【0050】

一方、第 2 基板 140 の画素領域には、実際にカラーを実現するカラーフィルタ層 107 が形成され、画素領域の画像非表示領域、ゲートパッド領域、及びデータパッド領域には、光の透過を防止するブラックマトリクス 142 が形成される。

【0051】

前記のように、本発明においては、ゲートパッド領域のゲート絶縁層 126 及びゲートパッド 118 の上部に金属層 155 が形成されている。金属層 155 は、液晶表示素子の製造工程を単純化するためのものであり、以下、本発明による液晶表示素子の製造工程を詳細に説明することにより、この金属層 155 の役割を説明する。

30

【0052】

図 2A ~ 図 2H は、本発明による酸化物薄膜トランジスタを備えた液晶表示素子の製造方法を示す断面図である。

【0053】

まず、図 2A に示すように、ガラスなどの透明な絶縁物質からなる第 1 基板 120 の全体にわたって、Al、AlNd などの Al 合金、Cu、Mo、Ta、Au などの金属をスパッタリング法により積層してエッチングすることにより、画素領域にゲート電極 121 を形成し、ゲートパッド領域にゲートパッド 118 を形成する。ここで、ゲートパッド 118 は、ゲート電極 121 とは異なる金属を用いて異なる工程で形成してもよいが、工程の単純化及びコストの低減のためには、同一の金属を用いて同一の工程で形成することが好ましい。次に、ゲート電極 121 及びゲートパッド 118 が形成された第 1 基板 120 の全体にわたって、PECVD (Plasma Enhanced Chemical Vapor Deposition) 法により SiNx などの無機絶縁物質を積層して、ゲート絶縁層 126 を形成する。

40

【0054】

その後、図 2B に示すように、第 1 基板 120 の全体にわたって酸化物半導体物質を積層して、ゲート絶縁層 126 上に酸化物半導体層 122a を形成する。酸化物半導体層 122a は、スパッタリング法、パルスレーザ蒸着 (Pulse Laser Deposition) 法、分子線エピタキシー (Molecular-beam Epitaxy) 法、プリント法、スピンコート法、原子層蒸着法、又は有機金属化学気相蒸着 (Metal Organic Chemical Vapor Deposition) 法などに

50

より、Zn、In、Ga、又はこれらの混合物を含む酸化物をゲート絶縁層126上に積層することにより形成される。

【0055】

次に、酸化物半導体層122a上にフォトリソを積層してフォトリソ層154aを形成した後、その上にマスク160を配置する。マスク160は、ハーフトーンマスク又は回折マスクであって、光（又は、紫外線）を遮断する遮断領域、光の一部のみを透過させる半透過領域、及び光を全て透過させる透過領域からなる。ここで、遮断領域は、画素領域の薄膜トランジスタ形成領域に対応する領域に形成され、透過領域は、ゲートパッド118に対応する領域に形成され、半透過領域は、遮断領域及び透過領域以外の領域に形成される。

10

【0056】

前記のように、マスク160を第1基板120上に配置した後、紫外線などの光を照射して現像液を作用させると、透過領域に対応する領域のフォトリソは、完全に除去され、半透過領域に対応する領域のフォトリソは、全体の厚さの半分が除去され、遮断領域に対応する領域のフォトリソは、そのまま残る。

【0057】

つまり、フォトリソ層154aの現像により、酸化物半導体層122a上には、図2Cに示すように、ゲートパッド118上部の酸化物半導体層122aが外部に露出するフォトリソパターン154bが形成される。

【0058】

20

このようなフォトリソパターン154bにより、酸化物半導体層122aをエッチングすると、外部に露出したゲートパッド118上部の酸化物半導体層122aがエッチングされ、ゲートパッド118上部のゲート絶縁層126が外部に露出する。ここで、酸化物半導体層122aのエッチングは、ドライエッチング法により行われるもので、露出した酸化物半導体層122aにエッチングガスを作用させて行う。

【0059】

その後、図2Dに示すように、フォトリソパターン154bをアッシングすると、マスクの遮断領域に対応するフォトリソパターン154bを除いた残りのフォトリソパターン154bが除去されて、図2Eに示すように、フォトリソパターン154cが画素領域の薄膜トランジスタ形成領域にのみ残る。

30

【0060】

このように、フォトリソパターン154cにより酸化物半導体層122aの一部をブロックした状態で、露出した酸化物半導体層122aをエッチングガスによるドライエッチング法によりエッチングすると、フォトリソパターン154c下部の酸化物半導体層122aを除いた残りの酸化物半導体層122aが全て除去される。このとき、酸化物半導体層122aのエッチングとともに、ゲートパッド領域のゲートパッド118上部の露出したゲート絶縁層126もエッチングされ、ゲートパッド118が外部に露出する。

【0061】

なお、酸化物半導体層122aは、エッチング液によるウェットエッチング法によりエッチングしてもよい。

40

【0062】

一方、酸化物半導体層122aのエッチング及びゲートパッド118上部のゲート絶縁層126のエッチングのために、ハーフトーンマスク又は回折マスクを使用するのではなく、遮断領域及び透過領域のみ形成された一般的なフォトリソマスクを使用してもよい。この場合、2つのマスクを使用した2回のフォトリソ工程で、フォトリソ層154aをパターンニングした後、それぞれのフォトリソ工程でゲートパッド118上部の酸化物半導体層122a及びゲート絶縁層126、並びに酸化物薄膜トランジスタ形成領域以外の領域の酸化物半導体層122aをエッチングすればよい。つまり、フォトリソ層を形成して1つのマスクにより現像した後、ゲートパッド118上部の酸化物半導体層122a及びゲート

50

絶縁層 126 をエッチングし、次に、再びフォトリソグレイド層を形成して他のマスクにより現像した後、酸化物薄膜トランジスタ形成領域以外の領域の酸化物半導体層 122a をエッチングする。

【0063】

次に、図 2F に示すように、第 1 基板 120 の全体にわたって Al、Al 合金、Cr、Ti、Mo などの金属をスパッタリング法により積層した後、フォトリソグラフィ法によりフォトリソグレイド層を利用してエッチングすることにより、画素領域の酸化物半導体層 122 上にソース電極 123 及びドレイン電極 124 を形成し、ゲートパッド領域の露出したゲートパッド 118 の上部及びゲート絶縁層 126 の一部領域上に金属層 155 を形成する。

10

【0064】

次に、図 2G に示すように、第 1 基板 120 の全体にわたって、PECVD 法により SiO<sub>2</sub> などの無機絶縁物質を積層して保護層 128 を形成した後、エッチング液によりエッチングすることにより、画素領域のドレイン電極 124 上部の保護層 128 を除去してコンタクトホールを形成し、ゲートパッド領域の金属層 155 上部の保護層 128 を除去してコンタクトホールを形成し、データパッド領域のデータパッド 119 上部の保護層 128 を除去してコンタクトホールを形成する。

【0065】

一般的な酸化物薄膜トランジスタを備えた液晶表示素子においては、ゲートパッド 118 の上部にゲート絶縁層 126 と保護層 128 が連続的に積層されているため、ゲート絶縁層 126 と保護層 128 をエッチングしてゲートパッド 118 を外部に露出させるためには、ウェットエッチングによる保護層 128 のエッチングとドライエッチングによるゲート絶縁層 126 のエッチングを順次行わなければならない、保護層 128 の下部において、ゲート絶縁層 126 の等方性エッチングにより保護層 128 にオーバーハングが発生する。従って、保護層 128 のオーバーハングを除去する工程が追加されていた。

20

【0066】

これに対して、本発明においては、前述のように、ゲート絶縁層 126 を形成してエッチングした後、ゲートパッド 118 及びゲート絶縁層 126 のコンタクトホールに金属層 155 を形成し、次に、保護層 128 を積層してエッチングするため、保護層 128 にオーバーハングが発生しなくなる。従って、本発明においては、保護層 128 のオーバーハングを除去する工程が必要なくなり、製造工程を単純化することができる。

30

【0067】

その後、第 1 基板 120 の全体にわたって ITO や IZO などの透明導電物質をスパッタリング法により積層した後、フォトリソグラフィ法によりエッチングすることにより、保護層 128 上に画素電極 129 を形成する。ここで、画素電極 129 は、保護層 128 に形成されたコンタクトホールを介して酸化物薄膜トランジスタのドレイン電極 124 と電氣的に接続する。そして、ゲートパッド領域の金属層 155 の上部及び保護層 128 の一部領域の上部には、第 1 透明導電層 129a が形成され、データパッド領域のデータパッド 119 の上部及び保護層 128 の一部領域の上部には、第 2 透明導電層 129b が形成される。

40

【0068】

次に、図 2H に示すように、ガラスなどの透明な絶縁物質からなる第 2 基板 140 上に、Cr や CrO<sub>x</sub> などを積層してエッチングすることにより、画素領域の画像が実現されない領域、すなわち酸化物薄膜トランジスタ形成領域、ゲートライン及びデータライン形成領域、ゲートパッド領域、データパッド領域にブラックマトリクスを形成した後、カラーインク又はカラー樹脂を積層してエッチングすることにより、画素領域に R (Red)、G (Green)、B (Blue) のサブカラーフィルタ層からなるカラーフィルタ層 107 を形成する。

【0069】

次に、第 1 基板 120 と第 2 基板 140 との間に液晶層 130 を配置した状態で、第 1

50

基板 120 と第 2 基板 140 とを貼り合わせるにより、液晶表示素子を完成する。液晶層 130 の形成は、第 1 基板 120 又は第 2 基板 140 にシーラントを塗布し、前記シーラントにより第 1 基板 120 と第 2 基板 140 とを貼り合わせた後、液晶注入口から液晶を注入するようにして行ってもよく、第 1 基板 120 又は第 2 基板 140 上に液晶を滴下した後、シーラントにより第 1 基板 120 と第 2 基板 140 とを貼り合わせるときに、液晶が基板上に広がるようにして行ってもよい。

【0070】

前述のように、本発明においては、ゲート絶縁層 126 を形成してエッチングした後、ゲートパッド 118 及びゲート絶縁層 126 のコンタクトホールに金属層 155 を形成し、次に、保護層 128 を積層してエッチングしており、ゲート絶縁層 126 のエッチングと保護層 128 のエッチングとは別々の工程で行われる。従って、ゲート絶縁層 126 のエッチング時、ゲート絶縁層 126 の等方性エッチングによる保護層 128 のオーバーハングが発生しなくなり、その結果、保護層 128 のオーバーハングを除去する工程が必要なくなり、製造工程を単純化することができる。

10

【0071】

以上では、特定構造の液晶表示素子についてのみ説明しているが、本発明はこのような構造に限定されるものではない。例えば、本発明は、液晶表示素子に限定されるものではなく、有機発光素子などのように、スイッチング素子として薄膜トランジスタを使用する全ての表示素子に適用することができ、酸化物薄膜トランジスタではなく、シリコン薄膜トランジスタを使用する表示素子にも適用することができる。つまり、ゲート絶縁層として窒化物絶縁層を使用し、かつ保護層として酸化物絶縁層を使用する全ての表示素子に適用することができる。

20

【0072】

また、酸化物半導体層として、前述した特定の物質のみ適用されるのではなく、現在知られている全ての物質を適用することができる。

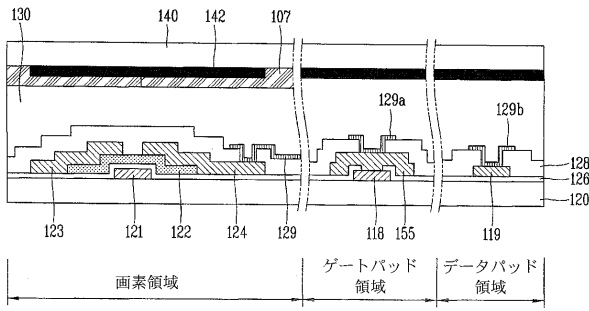
【符号の説明】

【0073】

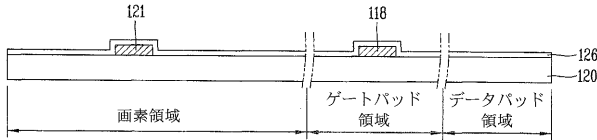
118 ゲートパッド、119 データパッド、120 第 1 基板、121 ゲート電極、122 酸化物半導体層、123 ソース電極、124 ドレイン電極、126 ゲート絶縁層、128 保護層、129 画素電極、129a 第 1 透明導電層、129b 第 2 透明導電層、140 第 2 基板、155 金属層、160 マスク。

30

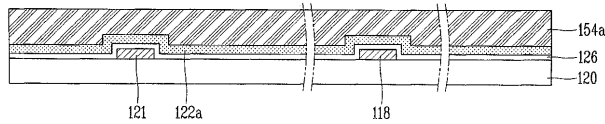
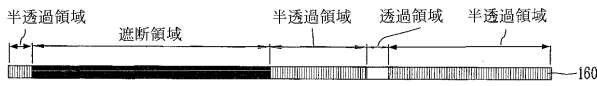
【図 1】



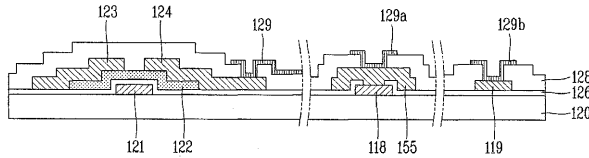
【図 2 A】



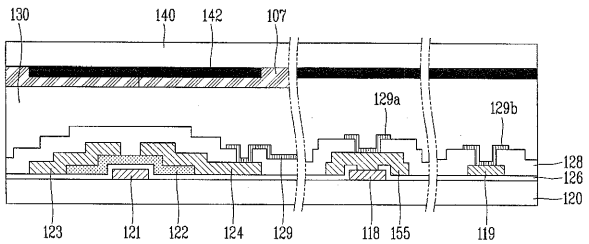
【図 2 B】



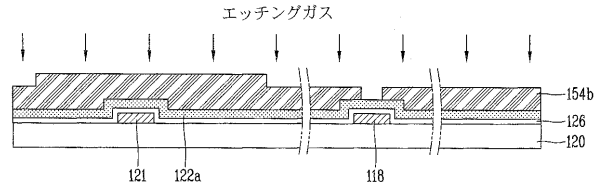
【図 2 G】



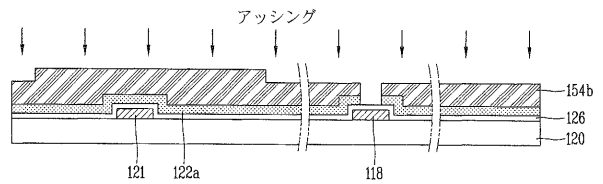
【図 2 H】



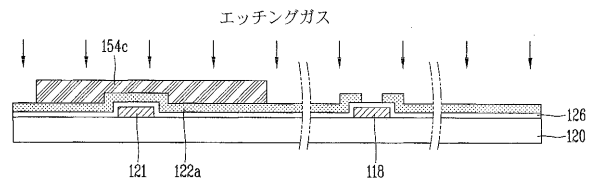
【図 2 C】



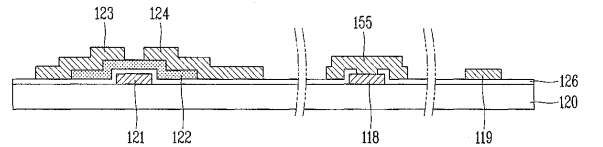
【図 2 D】



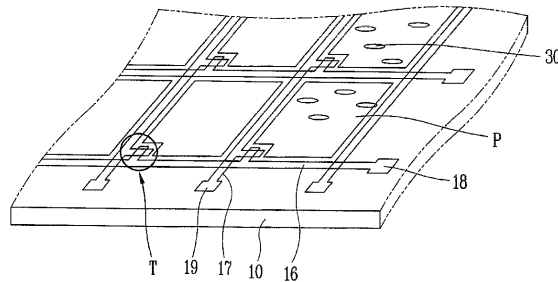
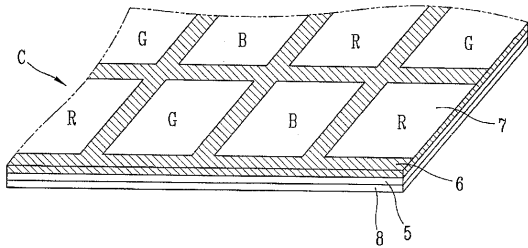
【図 2 E】



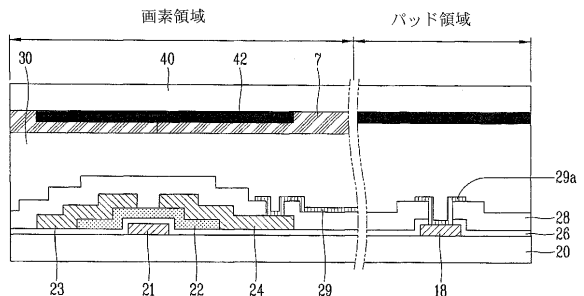
【図 2 F】



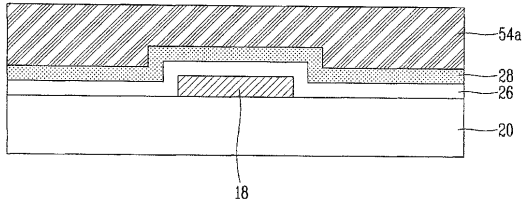
【図 3】



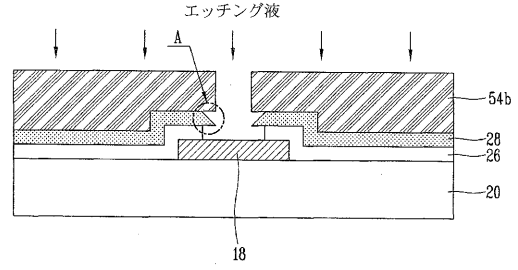
【図 4】



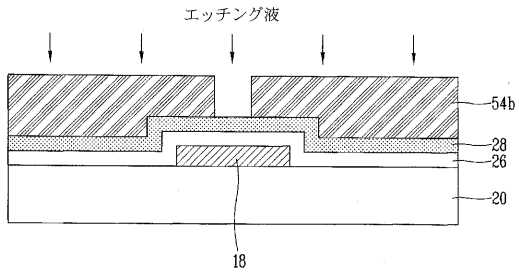
【図 5 A】



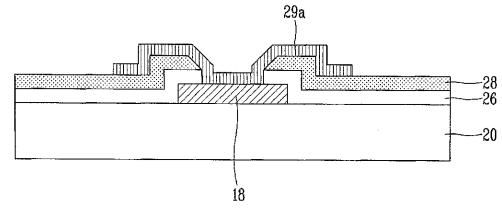
【図 5 D】



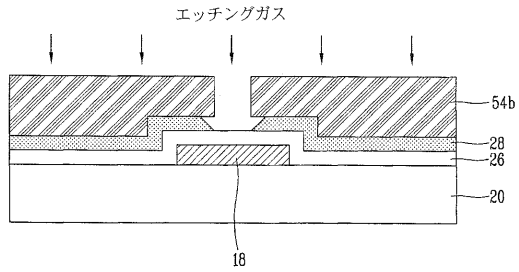
【図 5 B】



【図 5 E】



【図 5 C】



## フロントページの続き

(51)Int.Cl.		F I		テーマコード(参考)
<b>H 0 1 L 21/768</b>	<b>(2006.01)</b>	H 0 1 L 29/58	G	
		H 0 1 L 21/90	A	

(72)発明者 康 任局

大韓民國首爾特別市陽川區新月洞、三營スウィートヴィル 4 0 1

(72)発明者 金 大元

大韓民國京畿道高陽市徳陽區幸信洞、セント住公2團地 2 1 3 - 1 0 2 號

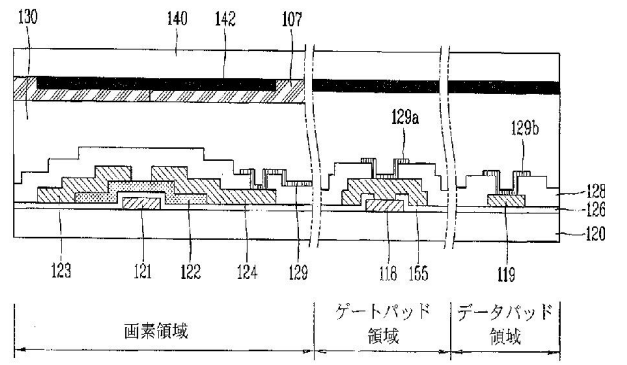
Fターム(参考) 2H092 GA34 GA42 HA04 HA14 HA19 JA26 JA34 KA12 MA05 MA08  
 MA15 NA27  
 4M104 AA03 BB02 BB04 BB09 BB16 BB17 CC05 DD09 DD16 DD17  
 DD37 DD63 EE17 FF21 GG09 GG10 GG14  
 5F033 GG03 HH08 HH09 HH17 HH18 HH20 HH38 JJ01 KK09 KK11  
 KK13 KK20 KK21 PP15 QQ07 QQ08 QQ09 QQ11 QQ19 QQ37  
 RR04 RR06 SS15 VV15 XX33 XX34  
 5F110 AA16 BB01 CC07 DD02 EE02 EE03 EE04 EE06 EE44 FF02  
 FF03 FF30 GG01 GG42 GG43 GG44 HK03 HK04 HK06 HK33  
 HL07 NN02 NN23 NN24 NN35 NN72 QQ02 QQ08

专利名称(译)	具有薄膜晶体管的显示装置及其制造方法		
公开(公告)号	<a href="#">JP2010282173A</a>	公开(公告)日	2010-12-16
申请号	JP2009293701	申请日	2009-12-25
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	康任局 金大元		
发明人	康任局 金大元		
IPC分类号	G02F1/1368 H01L29/786 H01L21/336 H01L29/423 H01L29/49 H01L21/768		
CPC分类号	H01L27/1225 G02F1/1333 G02F2001/136231 H01L23/4824 H01L27/1214 H01L27/1288 H01L29/4908 H01L2924/0002 H01L2924/12044		
FI分类号	G02F1/1368 H01L29/78.618.B H01L29/78.617.T H01L29/78.627.C H01L29/78.619.A H01L29/58.G H01L21/90.A		
F-TERM分类号	2H092/GA34 2H092/GA42 2H092/HA04 2H092/HA14 2H092/HA19 2H092/JA26 2H092/JA34 2H092/KA12 2H092/MA05 2H092/MA08 2H092/MA15 2H092/NA27 4M104/AA03 4M104/BB02 4M104/BB04 4M104/BB09 4M104/BB16 4M104/BB17 4M104/CC05 4M104/DD09 4M104/DD16 4M104/DD17 4M104/DD37 4M104/DD63 4M104/EE17 4M104/FF21 4M104/GG09 4M104/GG10 4M104/GG14 5F033/GG03 5F033/HH08 5F033/HH09 5F033/HH17 5F033/HH18 5F033/HH20 5F033/HH38 5F033/JJ01 5F033/KK09 5F033/KK11 5F033/KK13 5F033/KK20 5F033/KK21 5F033/PP15 5F033/QQ07 5F033/QQ08 5F033/QQ09 5F033/QQ11 5F033/QQ19 5F033/QQ37 5F033/RR04 5F033/RR06 5F033/SS15 5F033/VV15 5F033/XX33 5F033/XX34 5F110/AA16 5F110/BB01 5F110/CC07 5F110/DD02 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE44 5F110/FF02 5F110/FF03 5F110/FF30 5F110/GG01 5F110/GG42 5F110/GG43 5F110/GG44 5F110/HK03 5F110/HK04 5F110/HK06 5F110/HK33 5F110/HL07 5F110/NN02 5F110/NN23 5F110/NN24 5F110/NN35 5F110/NN72 5F110/QQ02 5F110/QQ08 2H192/AA24 2H192/BC31 2H192/CB05 2H192/CB37 2H192/EA22 2H192/EA43 2H192/EA74 2H192/FA65 2H192/HA44 2H192/HA45 2H192/HA63 2H192/HA64		
代理人(译)	英年古河 Kajinami秩序 上田俊一		
优先权	1020090048778 2009-06-02 KR		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

解决的问题：提供一种包括能够简化工艺的氧化物薄膜晶体管的显示装置及其制造方法。显示元件形成在第一基板和第二基板以及第一基板的像素区域上，并且包括栅极，栅极绝缘层，氧化物半导体层，源极和漏极。形成包括电极124，形成在第一基板的栅极焊盘区域中的栅极焊盘118，形成在第一基板的数据焊盘区域中的数据焊盘119以及在栅极焊盘区域中的栅极绝缘层的薄膜晶体管。通过接触孔连接到栅电极的金属层155，在整个第一基板上形成的保护层128，在像素区域中的保护层上形成的像素电极以及形成的栅焊盘区域。它包括第一透明导电层129a，形成在数据焊盘区域中的第二透明导电层129b以及形成在基板之间的液晶层130。[选型图]图1

【 図 1 】



【 図 2 A 】