

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-181125

(P2009-181125A)

(43) 公開日 平成21年8月13日(2009.8.13)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 624B	2H193
G02F 1/133 (2006.01)	G09G 3/20 624D	5C006
	G09G 3/20 624E	5C080
	G09G 3/20 621B	
審査請求 未請求 請求項の数 18 O L (全 16 頁) 最終頁に続く		

(21) 出願番号 特願2009-1387 (P2009-1387)
 (22) 出願日 平成21年1月7日(2009.1.7)
 (31) 優先権主張番号 10-2008-0008998
 (32) 優先日 平成20年1月29日(2008.1.29)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839
 三星電子株式会社
 SAMSUNG ELECTRONICS
 CO., LTD.
 大韓民国京畿道水原市靈通区梅灘洞416
 416, Maetan-dong, Yeongtong-gu, Suwon-si,
 Gyeonggi-do 442-742
 (KR)

(74) 代理人 100094145
 弁理士 小野 由己男
 (74) 代理人 100106367
 弁理士 稲積 朋子

最終頁に続く

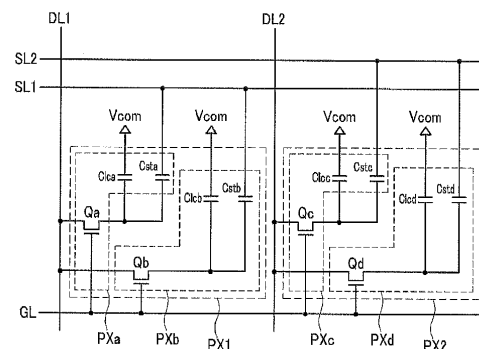
(54) 【発明の名称】 液晶表示装置及びその駆動方法

(57) 【要約】

【課題】簡単な構造及び方法で2つの副画素の電圧を調節する。

【解決手段】第1ゲート線及び第1データ線に接続される第1スイッチング素子、第1スイッチング素子に接続される第1液晶キャパシタ、及び第1ストレージキャパシタを含む第1副画素と、第1ゲート線及び第1データ線に接続される第2スイッチング素子、第2スイッチング素子に接続される第2液晶キャパシタ、及び第1ストレージキャパシタと異なる静電容量を有し、第2ストレージキャパシタを含む第2副画素と、からなる第1画素を含み、第1ストレージキャパシタの第1端子は第1スイッチング素子に接続されており、第2ストレージキャパシタの第1端子は第2スイッチング素子に接続されており、第1ストレージキャパシタの第2端子と第2ストレージキャパシタの第2端子は互いに接続されており、第1ストレージキャパシタの第1端子の電圧及び第2ストレージキャパシタの第1端子の電圧が変化する。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

第 1 ゲート信号を伝達する第 1 ゲート線と、

第 1 データ電圧を伝達する第 1 データ線と、

前記第 1 ゲート線及び前記第 1 データ線に接続される第 1 スイッチング素子、前記第 1 スイッチング素子に接続される第 1 液晶キャパシタ、及び第 1 端子及び第 2 端子を有する第 1 ストレージキャパシタを含む第 1 副画素と前記第 1 ゲート線及び前記第 1 データ線に接続される第 2 スイッチング素子、前記第 2 スイッチング素子に接続される第 2 液晶キャパシタ、及び前記第 1 ストレージキャパシタと異なる静電容量を有し、第 1 端子及び第 2 端子を有する第 2 ストレージキャパシタを含む第 2 副画素とからなる第 1 画素と、
を含み、

10

前記第 1 ストレージキャパシタの第 1 端子は、前記第 1 スイッチング素子に接続されており、前記第 2 ストレージキャパシタの第 1 端子は、前記第 2 スイッチング素子に接続されており、前記第 1 ストレージキャパシタの第 2 端子と前記第 2 ストレージキャパシタの第 2 端子は互いに接続されており、前記第 1 ストレージキャパシタの第 1 端子の電圧及び第 2 ストレージキャパシタの第 1 端子の電圧が変化することを特徴とする液晶表示装置。

【請求項 2】

前記第 1 及び第 2 ストレージキャパシタの第 2 端子の電圧は、前記第 1 及び第 2 スイッチング素子がターンオンして前記第 1 及び第 2 液晶キャパシタと前記第 1 及び第 2 ストレージキャパシタが充電される間は一定であり、前記充電が完了した後に変化する、請求項 1 に記載の液晶表示装置。

20

【請求項 3】

前記第 1 及び第 2 ストレージキャパシタの第 2 端子の電圧は、

前記第 1 及び第 2 液晶キャパシタと前記第 1 及び第 2 ストレージキャパシタに正極性の電圧が充電される場合は、低い値から高い値に変化し、

前記第 1 及び第 2 液晶キャパシタと前記第 1 及び第 2 ストレージキャパシタに負極性の電圧が充電される場合は、高い値から低い値に変化する、請求項 2 に記載の液晶表示装置。

【請求項 4】

前記第 1 及び第 2 ストレージキャパシタの第 2 端子には常に外部電圧が印加される、請求項 3 に記載の液晶表示装置。

30

【請求項 5】

周期的に変化する電圧を有し、前記第 1 及び第 2 ストレージキャパシタの第 2 端子に接続される第 1 維持電極線をさらに含む、請求項 4 に記載の液晶表示装置。

【請求項 6】

前記第 1 維持電極線の電圧と逆極性の電圧を有する第 2 維持電極線と、

第 2 データ電圧を伝達する第 2 データ線と、

前記第 1 ゲート線及び前記第 2 データ線に接続される第 3 スイッチング素子、前記第 3 スイッチング素子に接続される第 3 液晶キャパシタ、そして前記第 3 スイッチング素子と前記第 2 維持電極線の間に接続される第 3 ストレージキャパシタを含む第 3 副画素と、前記第 1 ゲート線及び前記第 2 データ線に接続される第 4 スイッチング素子、前記第 4 スイッチング素子に接続される第 4 液晶キャパシタ、そして前記第 3 ストレージキャパシタと異なる静電容量を有し、前記第 4 スイッチング素子と前記第 2 維持電極線の間に接続される第 4 ストレージキャパシタを含む第 4 副画素とからなる第 2 画素と、
をさらに含む、請求項 5 に記載の液晶表示装置。

40

【請求項 7】

前記第 1 及び第 2 ストレージキャパシタの第 2 端子は、電圧印加状態と浮遊状態を反復する請求項 3 に記載の液晶表示装置。

【請求項 8】

第 1 電圧を有する第 1 維持電極線と、

50

前記第 1 電圧と異なる第 2 電圧を有する第 2 維持電極線と、
第 2 ゲート信号を伝達する第 2 ゲート線とをさらに含み、

前記第 1 画素は、前記第 1 ゲート線、前記第 1 維持電極線、そして前記第 1 及び第 2 ストレージキャパシタの第 2 端子に接続される第 3 スイッチング素子、及び前記第 2 ゲート線、前記第 2 維持電極線、前記第 1 及び第 2 ストレージキャパシタの第 2 端子に接続される第 4 スイッチング素子をさらに含む、請求項 7 に記載の液晶表示装置。

【請求項 9】

前記第 3 スイッチング素子は、前記第 1 及び第 2 液晶キャパシタと前記第 1 及び第 2 ストレージキャパシタの充電中に前記第 1 電圧を伝達し、

前記第 4 スイッチング素子は、前記第 3 スイッチング素子がターンオフした後にターンオンし、前記第 2 電圧を伝達する、請求項 8 に記載の液晶表示装置。

10

【請求項 10】

第 3 ゲート信号を伝達する第 3 ゲート線と、

前記第 2 ゲート線及び前記第 1 データ線に接続される第 7 スイッチング素子、前記第 7 スイッチング素子に接続される第 3 液晶キャパシタ、及び前記第 5 スイッチング素子と前記第 7 スイッチング素子の間に接続される第 3 ストレージキャパシタとを含む第 3 副画素、前記第 2 ゲート線及び前記第 1 データ線に接続される第 8 スイッチング素子、前記第 8 スイッチング素子に接続される第 4 液晶キャパシタ、及び前記第 3 ストレージキャパシタと異なる静電容量を有して前記第 6 スイッチング素子と前記第 8 スイッチング素子の間に接続される第 4 ストレージキャパシタを含む第 4 副画素、前記第 2 ゲート線及び前記第 2 維持電極線に接続される第 5 スイッチング素子及び前記第 3 ゲート線及び前記第 1 維持電極線に接続される第 6 スイッチング素子を含む第 2 画素とをさらに含む、
請求項 9 に記載の液晶表示装置。

20

【請求項 11】

前記第 5 スイッチング素子は、前記第 3 及び第 4 液晶キャパシタと前記第 3 及び第 4 ストレージキャパシタの充電中に前記第 2 電圧を伝達し、前記第 6 スイッチング素子は、前記第 5 スイッチング素子がターンオフした後にターンオンし、前記第 1 電圧を伝達する、
請求項 10 に記載の液晶表示装置。

【請求項 12】

前記第 1、第 2、第 3 ゲート線は順次に電圧が変化する、請求項 11 に記載の液晶表示装置。

30

【請求項 13】

第 1 及び第 2 液晶キャパシタ、そして第 1 ストレージキャパシタと第 2 ストレージキャパシタを同一電圧で充電する段階と、

前記第 1 液晶キャパシタの第 1 端子とこれに接続された前記第 1 ストレージキャパシタの第 1 端子、そして前記第 2 液晶キャパシタの第 1 端子とこれに接続された前記第 2 ストレージキャパシタの第 1 端子を浮遊状態にする段階と、

前記第 1 及び第 2 ストレージキャパシタの第 2 端子の電圧を同一大きさだけ変化させて、前記第 1 液晶キャパシタの第 1 端子の電圧と前記第 2 液晶キャパシタ第 1 端子の電圧を互いに異なるように変化させる段階とを含む、液晶表示装置の駆動方法。

40

【請求項 14】

前記第 1 ストレージキャパシタの静電容量と前記第 2 ストレージキャパシタの静電容量は互いに異なる、請求項 13 に記載の液晶表示装置の駆動方法。

【請求項 15】

前記充電段階において、前記第 1 及び第 2 ストレージキャパシタの第 2 端子の電圧は一定である請求項 14 に記載の液晶表示装置の駆動方法。

【請求項 16】

前記電圧を変化させる段階において、

前記第 1 及び第 2 液晶キャパシタと前記第 1 及び第 2 ストレージキャパシタに正極性の電圧が充電される場合は、前記第 1 及び第 2 ストレージキャパシタの第 2 端子の電圧を低

50

い値から高い値で変え、

前記第 1 及び第 2 液晶キャパシタと前記第 1 及び第 2 ストレージキャパシタに負極性の電圧が充電される場合は、前記第 1 及び第 2 ストレージキャパシタの第 2 端子の電圧を高い値から低い値に変える請求項 15 に記載の液晶表示装置の駆動方法。

【請求項 17】

前記第 1 及び第 2 ストレージキャパシタの第 2 端子には常に外部電圧が印加される、請求項 16 に記載の液晶表示装置の駆動方法。

【請求項 18】

前記電圧を変化させる段階後に、前記第 1 及び第 2 ストレージキャパシタの第 2 端子を浮遊状態にする段階をさらに含む、請求項 16 に記載の液晶表示装置の駆動方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置及びその駆動方法に関するものである。

【背景技術】

【0002】

液晶表示装置は現在最も広く用いられているフラットパネルディスプレイの 1 つであって、画素電極と共通電極で構成される電場生成電極が形成されている 2 枚の表示板と、その間に挟持された液晶層とからなり、電場生成電極に電圧を印加して液晶層に電場を生成し、これによって液晶層の液晶分子の配向を決定し、入射光の偏光を制御することによって画像を表示する。

20

【0003】

また、液晶表示装置は、各画素電極に接続されているスイッチング素子及びスイッチング素子を制御して、画素電極に電圧を印加するためのゲート線とデータ線等の複数の信号線を含む。

【0004】

このような液晶表示装置の中でも、電場が印加されない状態で液晶分子の長軸を表示板に対して垂直になるように配列した垂直配向方式 (vertically aligned mode) の液晶表示装置は、コントラスト比が大きく、基準視野角が広いので脚光を浴びている。ここで基準視野角とは、コントラスト比が 1:10 の視野角、或いは階調間輝度反転の限界角度を意味する。

30

【0005】

このような方式の液晶表示装置の場合、側面視認性を正面視認性に近づけるために、1 つの画素を 2 つの副画素に分割し、2 つの副画素に異なる電圧を印加することにより、透過率を異ならせる方法が提示されている。このような方法としては、2 つの副画素の電圧をストレージキャパシタを用いて調節する方法があるが、この方法は構造及び駆動方法が複雑であり、適用が難しい。

【発明の概要】

【発明が解決しようとする課題】

【0006】

40

そこで、本発明は上記従来の問題点に鑑みてなされたものであって、本発明の目的は、簡単な構造及び方法で 2 つの副画素の電圧を調節することである。

【課題を解決するための手段】

【0007】

上記目的を達成するためになされた本発明の一実施例に係る液晶表示装置は、第 1 ゲート信号を伝達する第 1 ゲート線と、第 1 データ電圧を伝達する第 1 データ線と、前記第 1 ゲート線及び前記第 1 データ線に接続される第 1 スwitchング素子、前記第 1 スwitchング素子に接続される第 1 液晶キャパシタ、及び第 1 端子及び第 2 端子を有する第 1 ストレージキャパシタを含む第 1 副画素と前記第 1 ゲート線及び前記第 1 データ線に接続される第 2 スwitchング素子、前記第 2 スwitchング素子に接続される第 2 液晶キャパシタ、及

50

び前記第 1 ストレージキャパシタと異なる静電容量を有し、第 1 端子及び第 2 端子を有する第 2 ストレージキャパシタを含む第 2 副画素とからなる第 1 画素とを含み、前記第 1 ストレージキャパシタの第 1 端子は、前記第 1 スイッチング素子に接続されており、前記第 2 ストレージキャパシタの第 1 端子は、前記第 2 スイッチング素子に接続されており、前記第 1 ストレージキャパシタの第 2 端子と前記第 2 ストレージキャパシタの第 2 端子は互いに接続されており、前記第 1 ストレージキャパシタの第 1 端子の電圧及び第 2 ストレージキャパシタの第 1 端子の電圧が変化する。

【 0 0 0 8 】

前記第 1 及び第 2 ストレージキャパシタの第 2 端子の電圧は、前記第 1 及び第 2 スイッチング素子がターンオンして、前記第 1 及び第 2 液晶キャパシタと前記第 1 及び第 2 ストレージキャパシタの充電中は一定であり、前記充電完了後に変化するように構成できる。

10

【 0 0 0 9 】

前記第 1 及び第 2 ストレージキャパシタの第 2 端子の電圧は、前記第 1 及び第 2 液晶キャパシタと前記第 1 及び第 2 ストレージキャパシタに正極性の電圧が充電されると低い値から高い値に変化し、前記第 1 及び第 2 液晶キャパシタと前記第 1 及び第 2 ストレージキャパシタに負極性の電圧が充電されると高い値から低い値に変化されるように構成できる。

【 0 0 1 0 】

前記第 1 及び第 2 ストレージキャパシタの第 2 端子には常時外部電圧が印加されるように構成できる。

20

【 0 0 1 1 】

前記液晶表示装置は、周期的に変化する電圧を有し、前記第 1 及び第 2 ストレージキャパシタの第 2 端子に接続される第 1 維持電極線をさらに含むように構成できる。

【 0 0 1 2 】

前記液晶表示装置は、前記第 1 維持電極線の電圧と逆極性の電圧を有する第 2 維持電極線と、第 2 データ電圧を伝達する第 2 データ線と、前記第 1 ゲート線及び前記第 2 データ線に接続される第 3 スイッチング素子、前記第 3 スイッチング素子に接続される第 3 液晶キャパシタ、そして前記第 3 スイッチング素子と前記第 2 維持電極線の間に接続される第 3 ストレージキャパシタを含む第 3 副画素と、前記第 1 ゲート線及び前記第 2 データ線に接続される第 4 スイッチング素子、前記第 4 スイッチング素子に接続される第 4 液晶キャパシタ、そして前記第 3 ストレージキャパシタと異なる静電容量を有し、前記第 4 スイッチング素子と前記第 2 維持電極線の間に接続される第 4 ストレージキャパシタを含む第 4 副画素とからなる第 2 画素とをさらに含むように構成できる。

30

【 0 0 1 3 】

前記第 1 及び第 2 ストレージキャパシタの第 2 端子は、電圧印加状態と浮遊状態を反復するように構成できる。

【 0 0 1 4 】

前記液晶表示装置は、第 1 電圧を有する第 1 維持電極線と、前記第 1 電圧と異なる第 2 電圧を有する第 2 維持電極線と、そして第 2 ゲート信号を伝達する第 2 ゲート線とをさらに含み、前記第 1 画素は、前記第 1 ゲート線、前記第 1 維持電極線、及び前記第 1 及び第 2 ストレージキャパシタの第 2 端子に接続される第 3 スイッチング素子、そして前記第 2 ゲート線、前記第 2 維持電極線、前記第 1 及び第 2 ストレージキャパシタの第 2 端子に接続される第 4 スイッチング素子をさらに含むように構成できる。

40

【 0 0 1 5 】

前記第 3 スイッチング素子は、前記第 1 及び第 2 液晶キャパシタと前記第 1 及び第 2 ストレージキャパシタの充電中に前記第 1 電圧を伝達し、前記第 4 スイッチング素子は、前記第 3 スイッチング素子がターンオフした後にターンオンし、前記第 2 電圧を伝達するように構成できる。

【 0 0 1 6 】

前記液晶表示装置は、第 3 ゲート信号を伝達する第 3 ゲート線と、前記第 2 ゲート線及

50

び前記第 1 データ線に接続される第 7 スイッチング素子、前記第 7 スイッチング素子に接続される第 3 液晶キャパシタ、及び前記第 5 スイッチング素子と前記第 7 スイッチング素子の間に接続される第 3 ストレージキャパシタとを含む第 3 副画素、前記第 2 ゲート線及び前記第 1 データ線に接続される第 8 スイッチング素子、前記第 8 スイッチング素子に接続される第 4 液晶キャパシタ、及び前記第 3 ストレージキャパシタと異なる静電容量を有して前記第 6 スイッチング素子と前記第 8 スイッチング素子の間に接続される第 4 ストレージキャパシタを含む第 4 副画素、前記第 2 ゲート線及び前記第 2 維持電極線に接続される第 5 スイッチング素子及び前記第 3 ゲート線及び前記第 1 維持電極線に接続される第 6 スイッチング素子を含む第 2 画素とをさらに含むように構成できる。

【0017】

10

前記第 5 スイッチング素子は、前記第 3 及び第 4 液晶キャパシタと前記第 3 及び第 4 ストレージキャパシタの充電中に前記第 2 電圧を伝達し、前記第 6 スイッチング素子は、前記第 5 スイッチング素子がターンオフした後にターンオンし、前記第 1 電圧を伝達するように構成できる。

【0018】

前記第 1、第 2、第 3 ゲート線は、順次電圧変化するように構成できる。

【0019】

本発明の一実施例に係る液晶表示装置の駆動方法は、第 1 及び第 2 液晶キャパシタ、そして第 1 ストレージキャパシタと第 2 ストレージキャパシタを同一電圧で充電する段階、前記第 1 液晶キャパシタの第 1 端子とこれに接続された前記第 1 ストレージキャパシタの第 1 端子、そして前記第 2 液晶キャパシタの第 1 端子とこれに接続された前記第 2 ストレージキャパシタの第 1 端子を浮遊状態にする段階、そして前記第 1 及び第 2 ストレージキャパシタの第 2 端子の電圧を同一大きさだけ変化させて、前記第 1 液晶キャパシタの第 1 端子の電圧と前記第 2 液晶キャパシタ第 1 端子の電圧を互いに異なるように変化させる段階を含む。

20

【0020】

ここで、前記第 1 ストレージキャパシタの静電容量と前記第 2 ストレージキャパシタの静電容量とが互いに異なるように構成できる。

【0021】

前記充電段階で前記第 1 及び第 2 ストレージキャパシタの第 2 端子の電圧は一定であるように構成することができる。

30

【0022】

前記電圧を変化させる段階において、前記第 1 及び第 2 液晶キャパシタと前記第 1 及び第 2 ストレージキャパシタに正極性の電圧が充電される場合は、前記第 1 及び第 2 ストレージキャパシタの第 2 端子の電圧を低い値から高い値で変え、前記第 1 及び第 2 液晶キャパシタと前記第 1 及び第 2 ストレージキャパシタに負極性の電圧が充電される場合は、前記第 1 及び第 2 ストレージキャパシタの第 2 端子の電圧を高い値から低い値に変えるように構成できる。

【0023】

前記第 1 及び第 2 ストレージキャパシタの第 2 端子には常に外部の電圧が印加されるように構成できる。

40

【0024】

前記駆動方法は、前記電圧を変化させる段階の後に、前記第 1 及び第 2 ストレージキャパシタの第 2 端子を浮遊状態にする段階をさらに含むことを特徴とする。

【0025】

上記のように簡単な構造及び方法で 2 つの副画素の電圧を調節することで、正面視認性に側面視認性を近づけるように構成できる。

【発明の効果】

【0026】

本発明によれば、簡単な構造及び方法で 2 つの副画素の電圧を調節して、側面視認性を

50

正面視認性に近づけることができる。

【図面の簡単な説明】

【0027】

【図1】本発明の一実施例に係る液晶表示装置のブロック図である。

【図2】本発明の一実施例に係る液晶表示装置の構造と3副画素に対する等価回路図である。

【図3】本発明の一実施例に係る液晶表示装置の2つの画素に対する等価回路図である。

【図4】本発明の一実施例に係る液晶表示装置の駆動電圧を示した波形図である。

【図5】本発明の他の実施例に係る液晶表示装置の2つの画素に対する等価回路図である。

10

【図6】図5に示す液晶表示装置の駆動電圧を示した波形図である。

【発明を実施するための形態】

【0028】

添付した図面を用いながら、本発明の実施形態を、本発明が属する技術分野における通常の知識を有する者が容易に実施することができるように詳細に説明する。しかし、本発明は、多様な形態で実現することができ、ここで説明する実施形態に限定されない。

【0029】

図面は、各種層及び領域を明確に表現するために、厚さを拡大して示している。明細書全体を通じて類似した部分については同一の参照符号を付けている。層、膜、領域、板等の部分が、他の部分の「上に」とするとき、これは他の部分の「すぐ上に」とある場合に限らず、その中間に更に他の部分がある場合も含む。逆に、ある部分が他の部分の「すぐ上に」とあるとき、これは中間に他の部分がない場合を意味する。

20

【0030】

次に、本発明の一実施例に係る液晶表示装置について図1～3を参照して詳細に説明する。

【0031】

図1は本発明の一実施例に係る液晶表示装置のブロック図である。図2は本発明の一実施例に係る液晶表示装置の構造と3つの副画素に対する等価回路図である。図3は本発明の一実施例に係る液晶表示装置の2つの画素に対する等価回路図である。

【0032】

図1に示すように、本発明の一実施例に係る液晶表示装置は、液晶表示板組立体(liquid crystal panel assembly)300、ゲート駆動部400、データ駆動部500、維持電極駆動部(storage electrode driver)700、階調電圧生成部800及び信号制御部600を含む。

30

【0033】

液晶表示板組立体300は、等価回路によれば、複数の信号線(GL、DL1、DL2、SL1、SL2、図3参照)と、これに接続されておりほぼ行列状に配列された複数の画素(pixel)(PX)を含む。また、図2に示される構造によれば、液晶表示板組立体300は互いに対向する下部表示板100と上部表示板200及びその間に介在された液晶層3を含む。

40

【0034】

図3を参照すれば、信号線はゲート信号(走査信号とも言う)を伝達する複数のゲート線(GL)と、データ電圧(Vd)を伝達する複数のデータ線(DL1、DL2)及び維持電極信号(Vst1、Vst2)を伝達する複数対の第1及び第2維持電極線(SL1、SL2)を含む。第1及び第2維持電極線(SL1、SL2)には互いに逆位相を有する周期信号である第1及び第2維持電極信号(Vst1、Vst2)がそれぞれ印加される。ゲート線(GL)と第1及び第2維持電極線(SL1、SL2)はほぼ行方向に延長されており互いにほぼ平行である。また、データ線(DL1、DL2)はほぼ列方向に延長されており互いにほぼ平行である。

【0035】

50

各画素 (P X) は 2 つの副画素を含み、各副画素はスイッチング素子、液晶キャパシタ及びストレージキャパシタを含む。例えば図 3 において、画素 (P X 1) は 2 つの副画素 (P X a 、 P X b) を含み、各副画素 (P X a 、 P X b) はそれぞれスイッチング素子 (Q a 、 Q b) 、液晶キャパシタ (C 1 c a 、 C 1 c b) 及びストレージキャパシタ (C s t a 、 C s t b) を含む。同様に、画素 (P X 2) は 2 つの副画素 (P X c 、 P X d) を含み、各副画素 (P X c 、 P X d) はそれぞれスイッチング素子 (Q c 、 Q d) 、液晶キャパシタ (C 1 c c 、 C 1 c d) 及びストレージキャパシタ (C s t c 、 C s t d) を含む。

【 0 0 3 6 】

スイッチング素子 (Q a 、 Q b 、 Q c 、 Q d) は下部表示板 1 0 0 に設けられた薄膜トランジスタ等の三端子素子とすることができ、その制御端子はゲート線 (G L) に接続されており、入力端子はデータ線 (D L 1 、 D L 2) に接続されており、出力端子は液晶キャパシタ (C 1 c a 、 C 1 c b 、 C 1 c c 、 C 1 c d) 及びストレージキャパシタ (C s t a 、 C s t b 、 C s t c 、 C s t d) に接続されている。

10

【 0 0 3 7 】

図 2 を参照すれば、液晶キャパシタ (C 1 c a 、 C 1 c b) は、それぞれ下部表示板 1 0 0 の副画素電極 (P E a 、 P E b) と、上部表示板 2 0 0 の共通電極 2 7 0 とを 2 つの端子とし、副画素電極 (P E a 、 P E b) と共通電極 2 7 0 の間の液晶層 3 は誘電体として機能する。2 つの副画素電極 (P E a 、 P E b) は互いに分離されており、1 つの画素電極 (P E) をなす。共通電極 2 7 0 は、上部表示板 2 0 0 の内面側に形成されており、共通電圧 (V c o m) の印加を受ける。液晶層 3 は負の誘電率異方性を有し、液晶層 3 の液晶分子は電場のない状態でその長軸が 2 つの表示板の表面に対して垂直をなすように配向されている。

20

【 0 0 3 8 】

液晶キャパシタ (C 1 c c 、 C 1 c d) も同じ構造を有する。

【 0 0 3 9 】

ストレージキャパシタ (C s t a 、 C s t b) は、それぞれスイッチング素子 (Q a 、 Q b) 及び第 1 維持電極線 (S L 1) に接続されており、下部表示板 1 0 0 に設けられた維持電極線 (S L 1) と副画素電極 (P E a) が絶縁体を介在して重畳することで形成される。同様に、ストレージキャパシタ (C s t c 、 C s t d) は、それぞれスイッチング素子 (Q c 、 Q d) 及び第 2 維持電極線 (S L 2) に接続されており、下部表示板 1 0 0 に設けられた維持電極線 (S L 2) と副画素電極 (P E b) が絶縁体を介在して重畳することで形成される。

30

【 0 0 4 0 】

画素 (P X 1) の 2 つの副画素 (P X a 、 P X b) のストレージキャパシタ (C s t a 、 C s t b) は互いに異なる静電容量を有し、同一の維持電極線 (S L 1) に接続されている。また、画素 (P X 2) の 2 つの副画素 (P X c 、 P X d) のストレージキャパシタ (C s t c 、 C s t d) は互いに異なる静電容量を有し、同一の維持電極線 (S L 2) に接続されている。このように、隣接した画素 (P X 1) 、 (P X 2) のストレージキャパシタ (C s t a 、 C s t b) 、 (C s t c 、 C s t d) はそれぞれ異なる維持電極線 (S L 1) 、 (S L 2) に接続されている。

40

【 0 0 4 1 】

一方、色表示を実現するためには、各画素 (P X) が基本色 (p r i m a r y c o l o r) のうちの 1 つを固有に表示 (空間分割) するか、各画素 (P X) が時間によって交互に基本色を表示 (時間分割) することによって、基本色の空間的、時間的な作用で所望の色相が認識されるようにする。

【 0 0 4 2 】

基本色の例としては、赤色、緑色、青色などの三原色がある。図 2 は空間分割の一例であって、各画素 (P X) が上部表示板 2 0 0 の領域に基本色のうち 1 つを対応するカラーフィルタ 2 3 0 を備えている。図 2 の構成とは異なり、カラーフィルタ 2 3 0 を下部表示

50

板 1 0 0 の副画素電極 (P E a 、 P E b) の上または下に形成することも可能である。

【 0 0 4 3 】

表示板 (1 0 0 、 2 0 0) の外側面には偏光子 (p o l a r i z e r) (図示せず) が設けられており、2つの偏光子の偏光軸は直交している。反射型液晶表示装置の場合は、2つの偏光子 (1 2 、 2 2) のうちの1つは省略してもよい。直交偏光子の場合、電場のない液晶層 3 に入射する入射光を遮断する。

【 0 0 4 4 】

再び図 1 を参照すれば、階調電圧生成部 8 0 0 は、画素 (P X) の透過率に関連する複数の階調電圧 (又は基準階調電圧) を生成する。

【 0 0 4 5 】

ゲート駆動部 4 0 0 は、液晶表示板組立体 3 0 0 のゲート線 (G L) に接続され、ゲートオン電圧 (V o n) とゲートオフ電圧 (V o f f) との組み合わせからなるゲート信号 (V g) をゲート線 (G L) に印加する。

【 0 0 4 6 】

データ駆動部 5 0 0 は、液晶表示板組立体 3 0 0 のデータ線 (D L 1 、 D L 2) に接続されており、階調電圧生成部 8 0 0 からの階調電圧を選択し、これをデータ電圧 (V d) としてデータ線 (D L 1 、 D L 2) に印加する。また、階調電圧生成部 8 0 0 がすべての階調に対応する電圧を生成するのではなく、所定数の基準階調電圧のみを生成し、データ駆動部 5 0 0 が、階調電圧生成部 8 0 0 から提供された基準階調電圧を分圧して全体階調に対応する各階調電圧を生成し、この中からデータ電圧 (V d) を選択するように構成できる。

【 0 0 4 7 】

維持電極駆動部 7 0 0 は、液晶表示板組立体 3 0 0 の第 1 及び第 2 維持電極線 (S L 1 、 S L 2) に接続されており、逆位相の 1 対の維持電極信号 (V s t 1 、 V s t 2) をそれぞれ第 1 及び第 2 維持電極線 (S L 1 、 S L 2) に印加する。維持電極駆動部 7 0 0 は、ゲート駆動部 4 0 0 とともに 1 つのチップで構成することができる。信号制御部 6 0 0 は、ゲート駆動部 4 0 0 、データ駆動部 5 0 0 及び維持電極駆動部 7 0 0 等を制御する。

【 0 0 4 8 】

このような駆動装置 (4 0 0 、 5 0 0 、 6 0 0 、 7 0 0 、 8 0 0) の各々は、少なくとも 1 つの集積回路チップの形態で液晶表示板組立体 3 0 0 の上に直接装着するか、フレキシブル印刷回路フィルム (図示せず) の上に装着して T C P (t a p e c a r r i e r p a c k a g e) の形態で液晶表示板組立体 3 0 0 に取り付けるか、別の印刷回路基板 (図示せず) の上に取り付けられることもできる。また、これら駆動装置 (4 0 0 、 5 0 0 、 6 0 0 、 7 0 0 、 8 0 0) を液晶表示板組立体 3 0 0 に集積することもできる。さらに、駆動装置 (4 0 0 、 5 0 0 、 6 0 0 、 7 0 0 、 8 0 0) は単一チップで集積することもでき、この場合、これらのうちの少なくとも 1 つ又はこれらをなす少なくとも 1 つの回路素子が単一チップの外側に位置してもよい。

【 0 0 4 9 】

次に、このような液晶表示装置の動作について図 4 及び上記の図 1 ~ 図 3 を参照して詳細に説明する。

【 0 0 5 0 】

図 4 は、本発明の一実施例に係る液晶表示装置の駆動電圧を示す波形図である。

【 0 0 5 1 】

まず、図 1 を参照すれば、信号制御部 6 0 0 は外部のグラフィック制御部 (図示せず) から入力画像信号 (R 、 G 、 B) 及びその表示を制御する入力制御信号を受信する。入力画像信号 (R 、 G 、 B) は、各画素 (P X) の輝度 (l u m i n a n c e) 情報を含み、輝度は所定の数、例えば、 $1024 (= 2^{10})$ 、 $256 (= 2^8)$ 又は $64 (= 2^6)$ 個の階調 (g r a y) を有している。入力制御信号の例としては、垂直同期信号 (V s y n c) と水平同期信号 (H s y n c) 、メインクロック信号 (M C L K) 、データイネーブル信号 (D E) 等がある。

10

20

30

40

50

【 0 0 5 2 】

信号制御部 6 0 0 は、入力画像信号 (R、G、B) と入力制御信号に基づいて入力画像信号 (R、G、B) を液晶表示板組立体 3 0 0 の動作条件に合うように適切に処理し、ゲート制御信号 (C O N T 1)、データ制御信号 (C O N T 2) 及び維持電極制御信号 (C O N T 3) 等を生成した後、ゲート制御信号 (C O N T 1) をゲート駆動部 4 0 0 に送り、データ制御信号 (C O N T 2) と処理した画像信号 (D A T) をデータ駆動部 5 0 0 に送り、維持電極制御信号 (C O N T 3) を維持電極駆動部 7 0 0 に送る。出力画像信号 (D A T) は、デジタル信号として所定数の値 (又は階調) を有する。

【 0 0 5 3 】

信号制御部 6 0 0 からのデータ制御信号 (C O N T 2) に従って、データ駆動部 5 0 0 は 1 つの画素行の画素 (P X) に対するデジタル画像信号 (D A T) を受信し、各デジタル画像信号 (D A T) に対応する階調電圧を選択することによってデジタル画像信号 (D A T) をアナログデータ電圧に変換した後、これを当該データ線 (D L 1、D L 2) に印加する。

10

【 0 0 5 4 】

ゲート駆動部 4 0 0 は、信号制御部 6 0 0 からのゲート制御信号 (C O N T 1) に従ってゲートオン電圧 (V o n) をゲート線 (G L) に印加して、このゲート線 (G L) に接続されたスイッチング素子 (Q a、Q b、Q c、Q d) を導通状態にする。以下、データ線 (D L 1、D L 2) に印加されたデータ電圧 (V d) が導通したスイッチング素子 (Q a、Q b、Q c、Q d) を介して当該副画素 (P X a、P X b、P X c、P X d) に印加される。

20

【 0 0 5 5 】

この場合、1 つの画素 (P X 1、P X 2) を構成する 2 つの副画素 (P X a、P X b、P X c、P X d) は、同じ時間に同一のデータ線 (D L 1、D L 2) を介して、同一のデータ電圧 (V d) の印加を受け、隣接した 2 つの画素 (P X 1、P X 2) には共通電圧 (V c o m) を基準に逆極性のデータ電圧 (V d) が印加される。これに対し、隣接した 2 つの画素 (P X 1、P X 2) に印加されるデータ電圧 (V d) の極性は同一であってもよく、この場合は、2 つの画素 (P X 1、P X 2) が同一の維持電極線 (S L 1、S L 2) に接続されてもよく、これにより、維持電極線 (S L 1、S L 2) のうちの 1 つは省略してもよい。

30

【 0 0 5 6 】

説明の便宜上、各キャパシタ (C l c a ~ C l c d、C s t a ~ C s t d) の二端子のうち、スイッチング素子 (Q 1 ~ Q 4) に接続されたものを第 1 端子、反対側を第 2 端子と仮定する。上述のように、液晶キャパシタ (C l c a ~ C l c d) とこれらに対応するストレージキャパシタ (C s t a ~ C s t d) の第 1 端子はそれぞれ互いに接続されている。

【 0 0 5 7 】

図 4 を参照すれば、画素 (P X 1) において各キャパシタ (C l c a、C s t a、C l c b、C s t b) の第 1 端子電圧 (P a、P b) は、一定水準までほぼ同様に上昇する。反対に、画素 (P X 2) の各キャパシタ (C l c c、C s t c、C l c d、C s t d) の第 1 端子電圧 (P c、P d) は一定水準までほぼ同様に下降する。

40

【 0 0 5 8 】

その後、スイッチング素子 (Q a、Q b、Q c、Q d) がターンオフすると、各キャパシタ (C l c a ~ C l c d、C s t a ~ C s t d) の第 1 端子が浮遊 (f l o a t i n g) 状態となる。この際、ゲート電圧 (V g) がゲートオン電圧 (V o n) からゲートオフ電圧 (V o f f) に変わるので、第 1 端子電圧 (P a、P b、P c、P d) は全てキックバック電圧 (V k b) だけ下降する。

【 0 0 5 9 】

次に、第 1 維持電極線 (S L 1) の電圧が変化すると、この電圧変化に伴って、第 1 端子電圧 (P a、P b) も変化して互いに異なる電圧となる。同様に、第 2 維持電極線 (S

50

L 2) の電圧が変化すると、この変化によって第 2 端子電圧 (P c、P d) も変化して互いに異なる電圧になる。より詳細には、画素 (P X 1) において 2 つのストレージキャパシタ (C s t a、C s t b) の第 2 端子は同様に電圧変化する。しかし、2 つのストレージキャパシタ (C s t a、C s t b) の静電容量が互いに異なるため、第 1 端子電圧 (P a、P b) が互いに異なる電圧になる。同様に、画素 (P X 2) において 2 つのストレージキャパシタ (C s t c、C s t d) の第 2 端子は同様に電圧変化するが、2 つのストレージキャパシタ (C s t c、C s t d) の静電容量が互いに異なるため、第 1 端子電圧 (P c、P d) が互いに異なる電圧になる。第 1 端子電圧 (P k) (k = a、b、c、d) の変化量 ($\Delta P k$) は、 $C s t k / (C t + C s t k)$ (但し、C t は第 1 端子に接続された他のキャパシタの静電容量) と比例する。例えば、 $C s t a > C s t b$ である場合、 $C s t a / (C t + C s t a) > C s t b / (C t + C s t b)$ であるので、 $\Delta P a > \Delta P b$ となり、図 4 に示すような状態となる。同様に $C s t c > C s t d$ である場合は、図 4 のように $\Delta P c > \Delta P d$ となる。

【0060】

このような過程を通じて、液晶キャパシタ (C l c a、C l c b、C l c c、C l c d) の電圧 (V p a 1、V p b 1、V p c 1、V p d 1) が変化する。

【0061】

このように液晶キャパシタ (C l c a、C l c b、C l c c、C l c d) の両端に電位差が生じると液晶層 3 に電場が生成される。この結果、液晶層 3 の液晶分子は電場に応答してその長軸が傾斜し、液晶分子が傾く程度に応じて液晶層 3 に入射した入射光の偏光の変化程度が変わる。このような偏光の変化は、偏光子によって透過率の変化として現れ、これによって液晶表示装置が画像を表示する。

【0062】

液晶分子が傾く角度は電場の強さにより変わるが、1 つの画素の 2 つの副画素にそれぞれ設けられる 2 つの液晶キャパシタの電圧が互いに異なるので、副画素毎に液晶分子が傾く角度が異なり、これによって 2 つの副画素の輝度が異なることになる。従って、2 つの副画素のストレージキャパシタの静電容量を適宜調整することによって、側面から見る画像を正面から見る画像に最大限近づけることができ、即ち、側面ガンマ曲線を正面ガンマ曲線に最大限近づけることができ、そのようにすることで側面視認性を向上させることができる。

【0063】

1 水平周期 (1 H ともいい、水平同期信号 H s y n c 及びデータイネーブル信号 D E の一周期と同一である) を単位として、このような過程を繰り返すことによって、すべての画素 (P X) にデータ電圧 (V d) を印加して、1 フレーム (f r a m e) の画像を表示する。

【0064】

1 フレームが終了すると次のフレームが開始され、各画素 (P X) に印加されるデータ電圧 (V d) の極性が直前フレームでの極性と逆になるようにデータ駆動部 500 に印加される反転信号 (R V S) の状態が制御される。

【0065】

図 4 を参照すれば、次のフレームで各画素 (P X 1、P X 2) に印加されるデータ電圧 (V d) の極性が逆転し、維持電極信号 (V s t 1、V s t 2) の極性も逆転するので、電圧変化 ($\Delta P a$ 、 $\Delta P b$ 、 $\Delta P c$ 、 $\Delta P d$) の方向も逆になり、液晶キャパシタ (C l c a、C l c b、C l c c、C l c d) の両端電圧は V p a 2、V p b 2、V p c 2、V p d 2 となる。

【0066】

次に、図 5 及び図 6 を参照して、本発明の他の実施例に係る液晶表示装置及びその駆動方法について詳細に説明する。

【0067】

図 5 は、本発明の他の実施例に係る液晶表示装置の 2 つの画素に対する等価回路図であ

る。図 6 は、図 5 に示す液晶表示装置の駆動電圧を示した波形図である。

【 0 0 6 8 】

図 5 を参照すれば、本実施例に係る液晶表示装置は、複数のゲート線（ G L 1、 G L 2、 G L 3 ）、複数のデータ線（ D L ）、第 1 及び第 2 維持電極線（ S L 1、 S L 2 ）を含む。第 1 維持電極線（ S L 1 ）と第 2 維持電極線（ S L 2 ）は互いに異なる電圧を有し、一定の電圧を維持できる。

【 0 0 6 9 】

図 3 と同様に、各画素（ P X 3、 P X 4 ）はそれぞれ 2 つの副画素を含んでいる。画素（ P X 3 ）は、副画素（ P X a、 P X b ）を含み、各副画素（ P X a、 P X b ）は対応するゲート線（ G L 1、 ）及びデータ線（ D L ）に接続されているスイッチング素子（ Q a 1、 Q b 1 ）とこれに接続される液晶キャパシタ（ C l c a、 C l c b ）及びストレージキャパシタ（ C s t a、 C s t b ）を含む。ストレージキャパシタ（ C s t a、 C s t b ）の静電容量は互いに異なっている。また、画素（ P X 4 ）は、副画素（ P X c、 P X d ）を含み、各副画素（ P X c、 P X d ）は対応するゲート線（ G L 2 ）及びデータ線（ D L ）に接続されているスイッチング素子（ Q c 1、 Q d 1 ）とこれに接続される液晶キャパシタ（ C l c c、 C l c d ）及びストレージキャパシタ（ C s t c、 C s t d ）を含む。ストレージキャパシタ（ C s t c、 C s t d ）の静電容量は互いに異なっている。

【 0 0 7 0 】

図 3 で示した例と異なる点は、各画素（ P X 3 ）は互いに異なるゲート線（ G L 1、 G L 2 ）及び互いに異なる維持電極線（ S L 1、 S L 2 ）に接続されている 2 つのスイッチング素子（ Q a 2、 Q b 2 ）をさらに含んでおり、同様に画素（ P X 4 ）は互いに異なるゲート線（ G L 2、 G L 3 ）及び互いに異なる維持電極線（ S L 1、 S L 2 ）に接続されている 2 つのスイッチング素子（ Q c 2、 Q d 2 ）をさらに含むことである。例えば、画素（ P X 3 ）の 1 つのスイッチング素子（ Q a 2 ）は、スイッチング素子（ Q a 1、 Q b 1 ）が接続されているゲート線（以下、自己ゲート線という）（ G L 1 ）、第 1 維持電極線（ S L 1 ）及びストレージキャパシタ（ C s t a、 C s t b ）にそれぞれ制御端子、入力端子及び出力端子が接続されている。他のスイッチング素子（ Q b 2 ）は下側ゲート線（以下、後段ゲート線という）（ G L 2 ）、第 2 維持電極線（ S L 2 ）及びストレージキャパシタ（ C s t a、 C s t b ）にそれぞれ制御端子、入力端子及び出力端子が接続されている。

【 0 0 7 1 】

その下に位置する画素（ P X 4 ）の 1 つのスイッチング素子（ Q c 2 ）は、自己ゲート線（ G L 2 ）、第 2 維持電極線（ S L 2 ）及びストレージキャパシタ（ C s t c、 C s t d ）にそれぞれ制御端子、入力端子及び出力端子が接続されている。他のスイッチング素子（ Q d 2 ）は、後段ゲート線（ G L 3 ）、第 1 維持電極線（ S L 1 ）及びストレージキャパシタ（ C s t c、 C s t d ）にそれぞれ制御端子、入力端子及び出力端子が接続されている。

【 0 0 7 2 】

このような液晶表示装置は、画素（ P X 3 ）において液晶キャパシタ（ C l c a、 C l c b ）及びストレージキャパシタ（ C s t a、 C s t b ）が充電される間、 2 つのスイッチング素子（ Q a 2、 Q b 2 ）のうちの一つのスイッチング素子（ Q a 2 ）がターンオン状態になりストレージキャパシタ（ C s t a、 C s t b ）の第 2 端子側の電圧を一定に維持する。同様に、画素（ P X 4 ）において液晶キャパシタ（ C l c c、 C l c d ）及びストレージキャパシタ（ C s t c、 C s t d ）が充電される間、 2 つのスイッチング素子（ Q c 2、 Q d 2 ）のうちの一つのスイッチング素子（ Q c 2 ）がターンオン状態になりストレージキャパシタ（ C s t c、 C s t d ）の第 2 端子側の電圧を一定に維持する。

【 0 0 7 3 】

液晶キャパシタ（ C l c a、 C l c b ）及びストレージキャパシタ（ C s t a、 C s t b ）の充電が完了し、スイッチング素子（ Q a 2 ）がターンオフすると、次いで 2 つのスイッチング素子（ Q a 2、 Q b 2 ）のうちの 1 つのスイッチング素子（ Q b 2 ）がターン

オン状態になり、第1端子電圧 (P_a 、 P_b) を所定値 (ΔP_a 、 ΔP_b) だけ変化させることによって、液晶キャパシタ (C_{1ca} 、 C_{1cb}) 両端の電圧 (V_{pa} 、 V_{pb}) を変える。その後、スイッチング素子 (Q_{b2}) もターンオフし、ストレージキャパシタ (C_{sta} 、 C_{stb}) の第2端子側の接続点 (AB) が浮遊状態になって電圧を維持する。同様に、液晶キャパシタ (C_{1cc} 、 C_{1cd}) 及びストレージキャパシタ (C_{stc} 、 C_{std}) の充電が完了し、スイッチング素子 (Q_{c2}) がターンオフすると、次いで2つのスイッチング素子 (Q_{c2} 、 Q_{d2}) のうちの1つのスイッチング素子 (Q_{d2}) がターンオン状態になり、第1端子電圧 (P_c 、 P_d) を所定値 (ΔP_c 、 ΔP_d) だけ変化させることによって、液晶キャパシタ (C_{1cc} 、 C_{1cd}) 両端の電圧 (V_{pc} 、 V_{pd}) を変える。その後、スイッチング素子 (Q_{d2}) もターンオフし、ストレージ

10

【0074】

図6において、 g_1 、 g_2 、 g_3 はゲート線 (GL_1 、 GL_2 、 GL_3) に流れるゲート信号を示し、 V_{AB} は図5の接続点 (AB) の電圧、 V_{CD} は図5の接続点 (CD) の電圧を示す。

【0075】

このようにすることで、1画素に含まれる2つの副画素のストレージキャパシタに同一の電圧を与えると同時に、2つの副画素の輝度が異なるように構成することができる。

【0076】

以上、本発明の好ましい実施形態について詳細に説明したが、本発明の権利範囲はこれに限定されず、請求の範囲で定義している本発明の基本概念を利用した当業者の多様な変形及び改良形態も本発明の権利範囲に属するものである。

【符号の説明】

【0077】

3 液晶層

100、200 表示板

300 液晶表示板組立体

400 ゲート駆動部

500 データ駆動部

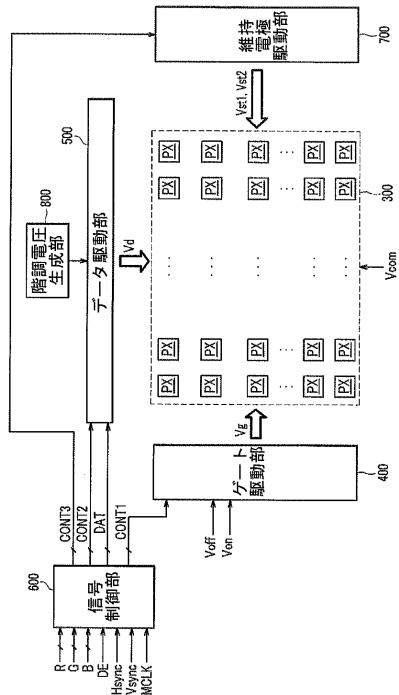
600 信号制御部

700 維持電極駆動部

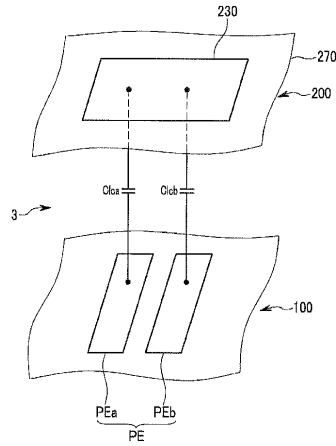
800 階調電圧生成部

30

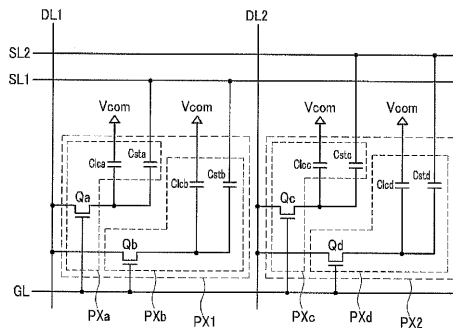
【図 1】



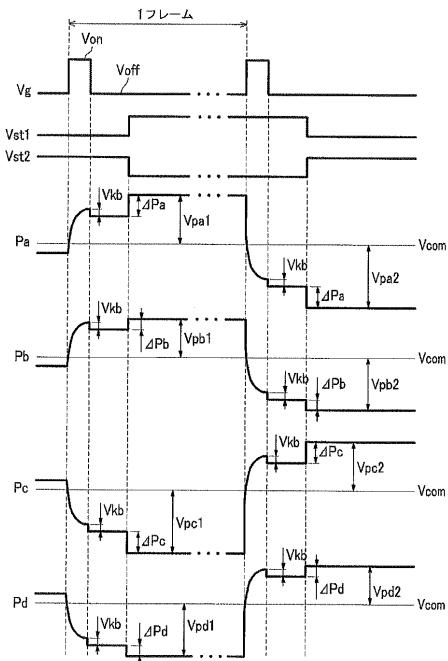
【図 2】



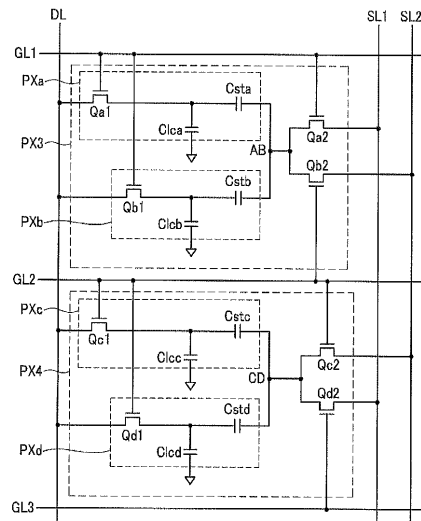
【図 3】



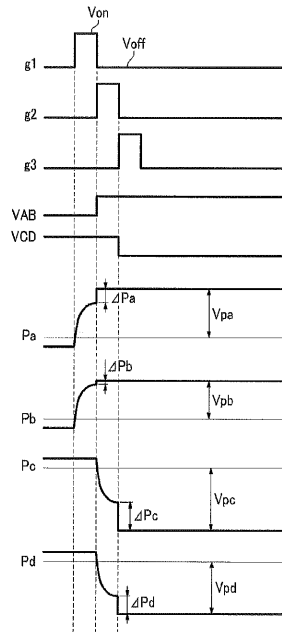
【図 4】



【図 5】



【図 6】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 2 F 1/133 5 5 0

(72)発明者 鄭 光 哲

大韓民国京畿道城南市壽井区太平 1 洞 7 1 1 5 - 4 番地

(72)発明者 鄭 美 惠

大韓民国京畿道水原市長安区亭子洞テリムジンフンアパート 8 2 4 棟 1 4 0 2 号

F ターム(参考) 2H093 NA16 NA33 NA53 NA57 NC10 NC12 NC18 NC34 NC35 NC40
ND13 NH18
2H193 ZA04 ZC15 ZD23 ZF22 ZF36 ZF59
5C006 AC11 AC24 AC25 AC26 AF42 AF44 AF71 BB16 BC03 BC06
BF37 FA55
5C080 AA10 BB05 DD01 DD22 EE29 FF11 JJ02 JJ03 JJ04 JJ06

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	JP2009181125A	公开(公告)日	2009-08-13
申请号	JP2009001387	申请日	2009-01-07
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	鄭光哲 鄭美惠		
发明人	鄭光哲 鄭美惠		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3648 G09G3/3614 G09G2300/0443 G09G2300/0447 G09G2300/0809 G09G2300/0876 G09G2320/028		
FI分类号	G09G3/36 G09G3/20.624.B G09G3/20.624.D G09G3/20.624.E G09G3/20.621.B G02F1/133.550		
F-TERM分类号	2H093/NA16 2H093/NA33 2H093/NA53 2H093/NA57 2H093/NC10 2H093/NC12 2H093/NC18 2H093/NC34 2H093/NC35 2H093/NC40 2H093/ND13 2H093/NH18 2H193/ZA04 2H193/ZC15 2H193/ZD23 2H193/ZF22 2H193/ZF36 2H193/ZF59 5C006/AC11 5C006/AC24 5C006/AC25 5C006/AC26 5C006/AF42 5C006/AF44 5C006/AF71 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BF37 5C006/FA55 5C080/AA10 5C080/BB05 5C080/DD01 5C080/DD22 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 2H193/ZA07 2H193/ZA08 2H193/ZB14 2H193/ZC16 2H193/ZC25 2H193/ZQ11		
优先权	1020080008998 2008-01-29 KR		
其他公开文献	JP5349977B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过简单的结构和方法调整两个子像素的电压。解决方案：液晶显示器包括第一像素，第一像素包括第一子像素和第二子像素。第一子像素包括：第一开关元件，连接到第一栅极线和第一数据线；第一液晶电容器，连接到第一开关元件和第一存储电容器。第二子像素包括：第二开关元件，连接到第一栅极线和第一数据线；第二液晶电容器，连接到第二开关元件；第二存储电容器，其电容与第一存储电容器的电容不同。第一存储电容器的第一端连接第一开关元件，第二存储电容器的第一端连接第二开关元件，第一存储电容器的第二端连接第二存储电容器的第二端电容器彼此耦合。第一存储电容器的第一端和第二存储电容器的第一端具有变化的电压。

