(19)日本国特許庁(JP)

再公表特許(A1)

(11)国際公開番号
WO2013/018596

発行日　平成27年3月5日(2015.3.5)

(43)国際公開日　平成25年2月7日(2013.2.7)

(51)Int.Cl.			F I			テーマコード（参考）
G09G	3/36	(2006.01)	G09G	3/36		2H193
G09G	3/20	(2006.01)	G09G	3/20	611A	5C006
G02F	1/133	(2006.01)	G09G	3/20	624C	5C080
			G09G	3/20	641C	
			G02F	1/133	550	

審査請求 未請求　予備審査請求 未請求　（全 44 頁）　最終頁に続く

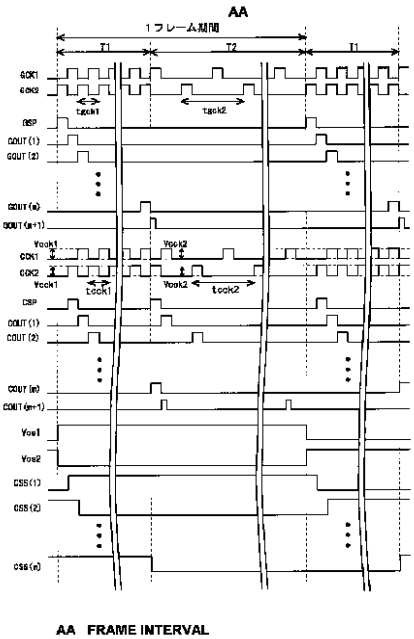
出願番号　特願2013-526832 (P2013-526832)
(21)国際出願番号　PCT/JP2012/068758
(22)国際出願日　平成24年7月25日(2012.7.25)
(31)優先権主張番号　特願2011-169050 (P2011-169050)
(32)優先日　平成23年8月2日(2011.8.2)
(33)優先権主張国　日本国(JP)

(71)出願人　000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町２２番２２号
(74)代理人　100104695
弁理士　島田　明宏
(74)代理人　100121348
弁理士　川原　健児
(74)代理人　100114247
弁理士　奥田　邦廣
(74)代理人　100148459
弁理士　河本　悟
(72)発明者　山本　薫
大阪府大阪市阿倍野区長池町２２番２２号
シャープ株式会社内

最終頁に続く

(54)【発明の名称】液晶表示装置および補助容量線の駆動方法

(57)【要約】
消費電力を低減したＣＳ駆動方式の液晶表示装置を提供する。
ＣＳドライバ（５００）は、ＣＳシフトレジスタ（５１０）およびＣＳ出力部（５２０）により構成される。ＣＳシフトレジスタ（５１０）はＣＳクロック信号ＣＣＫに基づいて制御信号（ＣＯＵＴ（１）～ＣＯＵＴ（ｍ））を出力する。ＣＳ出力部（５２０）は、制御信号（ＣＯＵＴ（１）～ＣＯＵＴ（ｍ））に基づいてそれぞれ補助容量信号（ＣＳＳ（１）～ＣＳＳ（ｍ））を出力する。走査期間（Ｔ１）の後に休止期間（Ｔ２）が設けられる。休止期間（Ｔ２）では、休止期間ＣＳ周波数（ｆｃｃｋ２）のＣＳクロック信号（ＣＣＫ）に基づいてＣＳドライバ（５００）が駆動される。休止期間ＣＳ周波数（ｆｃｃｋ２）は走査期間ＣＳ周波数（ｆｃｃｋ１）よりも低い。



AA　FRAME INTERVAL

【特許請求の範囲】
【請求項１】
複数の映像信号線と、該複数の映像信号線と交差する複数の走査信号線と、該複数の映像信号線および該複数の走査信号線に対応してマトリクス状に配置された複数の画素電極をそれぞれ含む複数の画素形成部と、該複数の走査信号線に沿って配置された複数の補助容量線と、各補助容量線と該補助容量線に沿った走査信号線に対応する画素電極との間に形成される補助容量とを含む表示部と、
オンレベルとオフレベルとを周期的に繰り返すクロック信号を生成する表示制御回路と、
前記複数の走査信号線が順次選択される走査期間と該複数の走査信号線のいずれもが非選択状態となる休止期間とが、該走査期間と該休止期間とからなるフレーム期間を周期として交互に現れるように、前記複数の走査信号線を駆動するための走査信号線駆動回路と、
前記表示部と一体的に形成され、前記クロック信号に含まれる補助容量クロック信号に基づいて前記複数の補助容量線を互いに独立して駆動するための補助容量線駆動回路とを備え、
前記補助容量線駆動回路は、互いに縦続接続された複数の第１双安定回路を有し、該複数の第１双安定回路の出力信号を、前記補助容量クロック信号に含まれる前記複数の第１シフト動作用クロック信号に基づいて順次にオンレベルにする第１シフトレジスタを含み、
前記走査期間における前記複数の第１シフト動作用クロック信号の周波数よりも、前記休止期間における該複数の第１シフト動作用クロック信号の周波数が低いことを特徴とする、液晶表示装置。
【請求項２】
前記休止期間における前記複数の第１シフト動作用信号の振幅が、前記走査期間における該複数の第１シフト動作用信号の振幅よりも低いことを特徴とする、請求項１に記載の液晶表示装置。
【請求項３】
前記休止期間が前記走査期間よりも長いことを特徴とする、請求項１に記載の液晶表示装置。
【請求項４】
前記補助容量線駆動回路は、前記複数の補助容量線に第１導通端子がそれぞれ接続された複数の第１スイッチング素子をさらに含み、
前記表示制御回路が、前記フレーム期間毎に２つの電位の間で切り替わり各フレーム期間内では固定された電位をバイアス信号として各第１スイッチング素子の第２導通端子に与え、
各第１スイッチング素子の制御端子には、該第１スイッチング素子の前記第１導通端子が接続された補助容量線に対応する第１双安定回路の出力信号が与えられることを特徴とする、請求項１に記載の液晶表示装置。
【請求項５】
前記表示制御回路が、互いに隣接する補助容量線にそれぞれ前記第１導通端子が接続された第１スイッチング素子のうちの一方については該第１スイッチング素子の前記第２導通端子に前記バイアス信号として第１バイアス信号を与え、互いに隣接する補助容量線にそれぞれ前記第１導通端子が接続された第１スイッチング素子のうちの他方については該第１スイッチング素子の前記第２導通端子に前記バイアス信号として第２バイアス信号を与え、
前記第１バイアス信号と前記第２バイアス信号とは、各フレーム期間において互いに異なる電位であることを特徴とする、請求項４に記載の液晶表示装置。
【請求項６】
前記補助容量線駆動回路は、前記複数の第１スイッチング素子にそれぞれ対応する複数

の第２スイッチング素子をさらに含み、
前記表示制御回路は、前記補助容量クロック信号に含まれ、前記走査期間における電位がオフレベルであり、前記休止期間においてオンレベルとオフレベルとを周期的に繰り返し、前記走査期間における前記複数の第１シフト動作用信号の周波数よりも前記休止期間における周波数が低い休止期間動作用クロック信号を、各第２スイッチング素子の制御端子に与え、
各第２スイッチング素子の第１制御端子が、該第２スイッチング素子に対応する第１スイッチング素子の前記第１導通端子に接続された補助容量線に接続され、
各第２スイッチング素子の第２制御端子には、該第２スイッチング素子に対応する第１スイッチング素子の前記第２導通端子に与えられた前記バイアス信号が与えられることを特徴とする、請求項４に記載の液晶表示装置。
【請求項７】
前記複数の第１シフト動作クロック信号が、互いに位相の異なる３相以上の第１シフト動作クロック信号であることを特徴とする、請求項１に記載の液晶表示装置。
【請求項８】
前記走査信号線駆動回路が前記表示部と一体的に形成されていることを特徴とする、請求項１に記載の液晶表示装置。
【請求項９】
前記走査信号線駆動回路は、互いに縦続接続された複数の第２双安定回路の出力信号を、前記クロック信号に含まれる複数の第２シフト動作クロック信号に基づいて順次にオンレベルにする第２シフトレジスタを含み、該複数の第２双安定回路の出力信号をそれぞれ前記複数の走査信号線に与えることを特徴とする、請求項８に記載の液晶表示装置。
【請求項１０】
前記走査信号線駆動回路および前記補助容量線駆動回路は、前記第１シフトレジスタを共通に含み、
前記走査信号線駆動回路は、複数の第１双安定回路に対応してそれぞれ設けられた複数の出力バッファをさらに含み、
前記表示制御回路が、前記走査期間ではオンレベルとなり、前記休止期間ではオフレベルとなるバッファ入力信号を前記複数の出力バッファに与え、
前記複数の出力バッファは、前記バッファ入力信号と、対応する第１双安定回路の出力信号との論理積を前記複数の走査信号線にそれぞれ与えることを特徴とする、請求項８に記載の液晶表示装置。
【請求項１１】
前記補助容量線駆動回路が、酸化物半導体により半導体層が形成された薄膜トランジスタを用いて実現されていることを特徴とする、請求項１から７までのいずれか１項に記載の液晶表示装置。
【請求項１２】
前記走査信号線駆動回路および前記補助容量線駆動回路が、酸化物半導体により半導体層が形成された薄膜トランジスタを用いて実現されていることを特徴とする、請求項８から１０までのいずれか１項に記載の液晶表示装置。
【請求項１３】
前記補助容量線駆動回路が、アモルファスシリコンにより半導体層が形成された薄膜トランジスタを用いて実現されていることを特徴とする、請求項１から７までのいずれか１項に記載の液晶表示装置。
【請求項１４】
前記走査信号線駆動回路および補助容量線駆動回路が、アモルファスシリコンにより半導体層が形成された薄膜トランジスタを用いて実現されていることを特徴とする、請求項８から１０までのいずれか１項に記載の液晶表示装置。
【請求項１５】
複数の映像信号線と、該複数の映像信号線と交差する複数の走査信号線と、該複数の映

像信号線および該複数の走査信号線に対応してマトリクス状に配置された複数の画素電極をそれぞれ含む複数の画素形成部と、該複数の走査信号線に沿って配置された複数の補助容量線と、各補助容量線と該補助容量線に沿った走査信号線に対応する画素電極との間に形成される補助容量とを含む表示部と、オンレベルとオフレベルとを周期的に繰り返すクロック信号を生成する表示制御回路と、該複数の走査信号線を駆動するための走査信号線駆動回路と、該表示部と一体的に形成され、該複数の補助容量線を駆動するための補助容量線駆動回路とを備える液晶表示装置における該複数の補助容量線の駆動方法であって、

前記複数の走査信号線が順次選択される走査期間と該複数の走査信号線のいずれもが非選択状態となる休止期間とが、該走査期間と該休止期間とからなるフレーム期間を周期として交互に現れるように、前記複数の走査信号線を駆動するステップと、

前記クロック信号に含まれる補助容量クロック信号に基づいて該複数の補助容量線を互いに独立して駆動するステップと、

前記走査期間における、前記補助容量クロック信号に含まれる複数の第１シフト動作用クロック信号の周波数よりも、前記休止期間における該複数の第１シフト動作用クロック信号の周波数を低くするステップとを備え、

前記補助容量線駆動回路は、互いに縦続接続された複数の第１双安定回路を有し、該複数の第１双安定回路の出力信号を、前記複数の第１シフト動作用クロック信号に基づいて順次にオンレベルにする第１シフトレジスタを含むことを特徴とする、駆動方法。

【請求項１６】

前記休止期間における前記複数の第１シフト動作用信号の振幅が、前記走査期間における該複数の第１シフト動作用信号の振幅よりも低いことを特徴とする、請求項１５に記載の駆動方法。

【請求項１７】

前記休止期間が前記走査期間よりも長いことを特徴とする、請求項１５に記載の駆動方法。

【請求項１８】

前記複数の第１シフト動作クロック信号が、互いに位相の異なる３相以上の第１シフト動作クロック信号であることを特徴とする、請求項１５に記載の駆動方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、液晶表示装置および当該液晶表示装置内の補助容量線の駆動方法に関し、特に、ドライバモノリシック型の液晶表示装置、および当該液晶表示装置内の補助容量線の駆動方法に関する。

【背景技術】

【０００２】

従来から、アクティブマトリクス型の液晶表示装置に関して低消費電力化が求められている。この低消費電力化を図る方法の１つとして、各走査信号線の選択期間終了後に対応する補助容量線の電位を変化させることにより極性反転駆動を行う方法が知られている。以下では、このような駆動方式を「ＣＳ駆動方式」という。このＣＳ駆動方式によれば、小さな映像信号振幅で液晶層に大きな電圧を加えることができるので、消費電力を低減することができる。このような駆動方法は、例えば特許文献１に開示されている。

【０００３】

また、近年、液晶パネルを駆動するためのドライバを、この液晶パネルを構成する基板上に直接的に形成することが徐々に多くなされている。このドライバとしては、例えば、ゲートライン（走査信号線）を駆動するためのゲートドライバ（走査信号線駆動回路）およびＣＳライン（上記補助容量線）を駆動するためのＣＳドライバ（補助容量線駆動回路）等が挙げられる。このようなドライバは「モノリシックドライバ」等と呼ばれている。このモノリシックドライバを備えた液晶表示装置（以下「ドライバモノリシック型の液層表示装置」という）は、例えば特許文献２に記載されている。このドライバモノリシック

型の液晶表示装置によれば、狭額縁化および低コスト化を図ることができる。このドライバモノリシック型の液晶表示装置では、従来よりアモルファスシリコン（ａ－Ｓｉ）を半導体層に用いた薄膜トランジスタ（以下「ａ－ＳｉＴＦＴ」という）が駆動素子として採用されている。

【０００４】

ところで、特許文献３には、ゲートラインを走査する走査期間Ｔ１の後に、全てのゲートラインを非走査状態にする休止期間Ｔ２を設ける表示装置の駆動方法が開示されている。この休止期間Ｔ２では、ゲートドライバにクロック信号等が与えられない。このため、走査期間Ｔ１においてゲートラインを６０Ｈｚで走査したとしても、例えばこの走査期間Ｔ１の同じ長さの休止期間Ｔ２を設けることにより、全体としてのゲートラインの駆動周波数が３０Ｈｚ程度になる。このため、低消費電力化を図ることができる。

【先行技術文献】

【特許文献】

【０００５】

【特許文献１】日本の特開２００９－８６１７０号公報

【特許文献２】日本の特開２００４－７８１７２号公報

【特許文献３】日本の特開２００１－３１２２５３号公報

【発明の概要】

【発明が解決しようとする課題】

【０００６】

上述のＣＳ駆動方式によれば液晶表示装置における消費電力を低減することができるが、液晶表示装置に対してはさらなる低消費電力化が求められている。

【０００７】

そこで、本発明は、消費電力を低減したＣＳ駆動方式の液晶表示装置、および当該液晶表示装置内の補助容量線の駆動方法を提供することを目的とする。

【課題を解決するための手段】

【０００８】

本発明の第１の局面は、液晶表示装置であって、

複数の映像信号線と、該複数の映像信号線と交差する複数の走査信号線と、該複数の映像信号線および該複数の走査信号線に対応してマトリクス状に配置された複数の画素電極をそれぞれ含む複数の画素形成部と、該複数の走査信号線に沿って配置された複数の補助容量線と、各補助容量線と該補助容量線に沿った走査信号線に対応する画素電極との間に形成される補助容量とを含む表示部と、

オンレベルとオフレベルとを周期的に繰り返すクロック信号を生成する表示制御回路と、

前記複数の走査信号線が順次選択される走査期間と該複数の走査信号線のいずれもが非選択状態となる休止期間とが、該走査期間と該休止期間とからなるフレーム期間を周期として交互に現れるように、前記複数の走査信号線を駆動するための走査信号線駆動回路と、

前記表示部と一体的に形成され、前記クロック信号に含まれる補助容量クロック信号に基づいて前記複数の補助容量線を互いに独立して駆動するための補助容量線駆動回路とを備え、

前記補助容量線駆動回路は、互いに縦続接続された複数の第１双安定回路を有し、該複数の第１双安定回路の出力信号を、前記補助容量クロック信号に含まれる前記複数の第１シフト動作用クロック信号に基づいて順次にオンレベルにする第１シフトレジスタを含み、

前記走査期間における前記複数の第１シフト動作用クロック信号の周波数よりも、前記休止期間における該複数の第１シフト動作用クロック信号の周波数が低いことを特徴とする。

【０００９】

本発明の第２の局面は、本発明の第１の局面において、
前記休止期間における前記複数の第１シフト動作用信号の振幅が、前記走査期間における該複数の第１シフト動作用信号の振幅よりも低いことを特徴とする。
【００１０】
本発明の第３の局面は、本発明の第１の局面において、
前記休止期間が前記走査期間よりも長いことを特徴とする。
【００１１】
本発明の第４の局面は、本発明の第１の局面において、
前記補助容量線駆動回路は、前記複数の補助容量線に第１導通端子がそれぞれ接続された複数の第１スイッチング素子をさらに含み、
前記表示制御回路が、前記フレーム期間毎に２つの電位の間で切り替わり各フレーム期間内では固定された電位をバイアス信号として各第１スイッチング素子の第２導通端子に与え、
各第１スイッチング素子の制御端子には、該第１スイッチング素子の前記第１導通端子が接続された補助容量線に対応する第１双安定回路の出力信号が与えられることを特徴とする。
【００１２】
本発明の第５の局面は、本発明の第４の局面において、
前記表示制御回路が、互いに隣接する補助容量線にそれぞれ前記第１導通端子が接続された第１スイッチング素子のうちの一方については該第１スイッチング素子の前記第２導通端子に前記バイアス信号として第１バイアス信号を与え、互いに隣接する補助容量線にそれぞれ前記第１導通端子が接続された第１スイッチング素子のうちの他方については該第１スイッチング素子の前記第２導通端子に前記バイアス信号として第２バイアス信号を与え、
前記第１バイアス信号と前記第２バイアス信号とは、各フレーム期間において互いに異なる電位であることを特徴とする。
【００１３】
本発明の第６の局面は、本発明の第４の局面において、
前記補助容量線駆動回路は、前記複数の第１スイッチング素子にそれぞれ対応する複数の第２スイッチング素子をさらに含み、
前記表示制御回路は、前記補助容量クロック信号に含まれ、前記走査期間における電位がオフレベルであり、前記休止期間においてオンレベルとオフレベルとを周期的に繰り返し、前記走査期間における前記複数の第１シフト動作用信号の周波数よりも前記休止期間における周波数が低い休止期間動作用クロック信号を、各第２スイッチング素子の制御端子に与え、
各第２スイッチング素子の第１制御端子が、該第２スイッチング素子に対応する第１スイッチング素子の前記第１導通端子に接続された補助容量線に接続され、
各第２スイッチング素子の第２制御端子には、該第２スイッチング素子に対応する第１スイッチング素子の前記第２導通端子に与えられた前記バイアス信号が与えられることを特徴とする。
【００１４】
本発明の第７の局面は、本発明の第１の局面において、
前記複数の第１シフト動作クロック信号が、互いに位相の異なる３相以上の第１シフト動作クロック信号であることを特徴とする。
【００１５】
本発明の第８の局面は、本発明の第１の局面において、
前記走査信号線駆動回路が前記表示部と一体的に形成されていることを特徴とする。
【００１６】
本発明の第９の局面は、本発明の第８の局面において、
前記走査信号線駆動回路は、互いに縦続接続された複数の第２双安定回路の出力信号を

、前記クロック信号に含まれる複数の第２シフト動作クロック信号に基づいて順次にオンレベルにする第２シフトレジスタを含み、該複数の第２双安定回路の出力信号をそれぞれ前記複数の走査信号線に与えることを特徴とする。

【００１７】

本発明の第１０の局面は、本発明の第８の局面において、

前記走査信号線駆動回路および前記補助容量線駆動回路は、前記第１シフトレジスタを共通に含み、

前記走査信号線駆動回路は、複数の第１双安定回路に対応してそれぞれ設けられた複数の出力バッファをさらに含み、

前記表示制御回路が、前記走査期間ではオンレベルとなり、前記休止期間ではオフレベルとなるバッファ入力信号を前記複数の出力バッファに与え、

前記複数の出力バッファは、前記バッファ入力信号と、対応する第１双安定回路の出力信号との論理積を前記複数の走査信号線にそれぞれ与えることを特徴とする。

【００１８】

本発明の第１１の局面は、本発明の第１の局面から第７の局面までのいずれかにおいて、

前記補助容量線駆動回路が、酸化物半導体により半導体層が形成された薄膜トランジスタを用いて実現されていることを特徴とする。

【００１９】

本発明の第１２の局面は、本発明の第８の局面から第１０の局面までのいずれかにおいて、

前記走査信号線駆動回路および前記補助容量線駆動回路が、酸化物半導体により半導体層が形成された薄膜トランジスタを用いて実現されていることを特徴とする。

【００２０】

本発明の第１３の局面は、本発明の第１の局面から第７の局面までのいずれかにおいて、

前記補助容量線駆動回路が、アモルファスシリコンにより半導体層が形成された薄膜トランジスタを用いて実現されていることを特徴とする。

【００２１】

本発明の第１４の局面は、本発明の第８の局面から第１０の局面までのいずれかにおいて、

前記走査信号線駆動回路および補助容量線駆動回路が、アモルファスシリコンにより半導体層が形成された薄膜トランジスタを用いて実現されていることを特徴とする。

【００２２】

本発明の第１５の局面は、複数の映像信号線と、該複数の映像信号線と交差する複数の走査信号線と、該複数の映像信号線および該複数の走査信号線に対応してマトリクス状に配置された複数の画素電極をそれぞれ含む複数の画素形成部と、該複数の走査信号線に沿って配置された複数の補助容量線と、各補助容量線と該補助容量線に沿った走査信号線に対応する画素電極との間に形成される補助容量とを含む表示部と、オンレベルとオフレベルとを周期的に繰り返すクロック信号を生成する表示制御回路と、該複数の走査信号線を駆動するための走査信号線駆動回路と、該表示部と一体的に形成され、該複数の補助容量線を駆動するための補助容量線駆動回路とを備える液晶表示装置における該複数の補助容量線の駆動方法であって、

前記複数の走査信号線が順次選択される走査期間と該複数の走査信号線のいずれもが非選択状態となる休止期間とが、該走査期間と該休止期間とからなるフレーム期間を周期として交互に現れるように、前記複数の走査信号線を駆動するステップと、

前記クロック信号に含まれる補助容量クロック信号に基づいて該複数の補助容量線を互いに独立して駆動するステップと、

前記走査期間における、前記補助容量クロック信号に含まれる複数の第１シフト動作用クロック信号の周波数よりも、前記休止期間における該複数の第１シフト動作用クロック

信号の周波数を低くするステップとを備え、
前記補助容量線駆動回路は、互いに縦続接続された複数の第１双安定回路を有し、該複数の第１双安定回路の出力信号を、前記複数の第１シフト動作用クロック信号に基づいて順次にオンレベルにする第１シフトレジスタを含むことを特徴とする。
【００２３】
本発明の第１６の局面は、本発明の第１５の局面において、
前記休止期間における前記複数の第１シフト動作用信号の振幅が、前記走査期間における該複数の第１シフト動作用信号の振幅よりも低いことを特徴とする。
【００２４】
本発明の第１７の局面は、本発明の第１５の局面において、
前記休止期間が前記走査期間よりも長いことを特徴とする。
【００２５】
本発明の第１８の局面は、本発明の第１５の局面において、
前記複数の第１シフト動作クロック信号が、互いに位相の異なる３相以上の第１シフト動作クロック信号であることを特徴とする。
【発明の効果】
【００２６】
本発明の第１の局面によれば、表示部と補助容量線駆動回路とが一体的に形成され、複数の補助容量線が互いに独立に駆動される表示装置において、１フレーム期間が上記走査期間および上記休止期間からなる。この休止期間では、走査期間よりも第１シフト動作用クロック信号の周波数が低くなるので、１フレーム期間全体での補助容量線駆動回路の駆動周波数が低減される。したがって、消費電力が低減される。また、表示部と補助容量線駆動回路とが一体的に形成されているので、額縁面積が縮小されると共に、補助容量線駆動回路のコストが低減される。
【００２７】
本発明の第２の局面によれば、休止期間における複数の第１シフト動作用クロック信号の振幅が、走査期間における該複数の第１シフト動作用クロック信号の振幅よりも小さくなる。このため、さらなる低消費電力化を図ることができる。
【００２８】
本発明の第３の局面によれば、休止期間が走査期間によりも長くなる。このため、さらなる低消費電力化を図ることができる。
【００２９】
本発明の第４の局面によれば、休止期間において、休止期間の直前の走査期間に各補助容量線に与えられたバイアス信号が、補助容量クロック信号に基づいて補助容量線に与えられる。このため、休止期間において補助容量線が受けるノイズ等の影響が低減される。これにより、表示品位の低下を抑制することができる。また、休止期間における複数の第１シフト動作用クロック信号の周波数が走査期間におけるものよりも低くなるので、第１スイッチング素子に掛かる負荷が低減される。したがって、第１スイッチング素子におけるしきい値変動が低減されるので、当該第１スイッチング素子の信頼性低下を抑制することができる。
【００３０】
本発明の第５の局面によれば、互いに隣接する補助容量線に、走査期間および休止期間からなるフレーム期間において互いに異なる電位が与えられる。このため、複数の補助容量線を互いに独立に駆動するにあたり、ライン反転駆動を行うことができる。
【００３１】
本発明の第６の局面によれば、複数の第１クロック信号に代えて、休止動作期間動作用信号に基づいて、本発明の第１の局面と同様の効果を奏することができる。また、休止期間において第１双安定回路の出力信号がオンレベルにならないので、第１スイッチング素子に掛かる負荷がさらに低減される。このため、第１スイッチング素子のさらなる高信頼性化を図ることができる。

【００３２】
本発明の第７の局面によれば、複数の第１クロック信号の相数を３相以上にすることにより、各相に対する、双安定回路内の素子の負荷容量が十分に小さくなる。このため、さらなる低消費電力化を図ることができる。
【００３３】
本発明の第８の局面によれば、走査信号線駆動回路も表示部と一体的に形成されるので、走査信号線駆動回路のコストが低減されると共に、さらなる狭額縁化を図ることができる。
【００３４】
本発明の第９の局面によれば、補助容量線駆動回路と走査信号線駆動回路とが互いに別個のシフトレジスタを用いて実現される。
【００３５】
本発明の第１０の局面によれば、補助容量線駆動回路と走査信号線駆動回路とでシフトレジスタが共有化される。このため、回路規模が縮小されるので、例えばさらなる狭額縁化を図ることができる。
【００３６】
本発明の第１１の局面によれば、酸化物半導体により半導体層が形成された薄膜トランジスタを用いて補助容量線駆動回路が実現される。この薄膜トランジスタのリーク電流は十分に小さいので、休止期間における複数のクロック信号の周波数をさらに低くすることができる。このため、さらなる低消費電力化を図ることができる。また、酸化物半導体により半導体層が形成された薄膜トランジスタのオン電流は十分に大きいので、この薄膜トランジスタのサイズを十分に小さくすることができる。これにより、さらなる狭額縁化を図ることができる。
【００３７】
本発明の第１２の局面によれば、酸化物半導体により半導体層が形成された薄膜トランジスタを用いて走査信号線駆動回路および補助容量線駆動回路が実現される。この薄膜トランジスタのリーク電流は十分に小さいので、休止期間における複数のクロック信号の周波数をさらに低くすることができる。このため、さらなる低消費電力化を図ることができる。また、酸化物半導体により半導体層が形成された薄膜トランジスタのオン電流は十分に大きいので、この薄膜トランジスタのサイズを十分に小さくすることができる。これにより、さらなる狭額縁化を図ることができる。
【００３８】
本発明の第１３の局面によれば、アモルファスシリコンにより半導体層が形成された薄膜トランジスタを用いて補助容量線駆動回路が実現される。このため、さらなる低コスト化を図ることができる。
【００３９】
本発明の第１４の局面によれば、アモルファスシリコンにより半導体層が形成された薄膜トランジスタを用いて走査信号線駆動回路および補助容量線駆動回路が実現される。このため、さらなる低コスト化を図ることができる。
【００４０】
本発明の第１５の局面から第１８の局面までによれば、表示装置の駆動方法において、本発明の第１の局面から第３の局面までおよび本発明の第７の局面とそれぞれ同様の効果を奏することができる。
【図面の簡単な説明】
【００４１】
【図１】本発明の第１の実施形態に係る液晶表示装置の全体構成を示すブロック図である。
【図２】上記第１の実施形態におけるゲートドライバおよびＣＳドライバの構成を説明するためのブロック図である。
【図３】上記第１の実施形態におけるゲートシフトレジスタの構成を示すブロック図であ

る。
【図４】上記第１の実施形態におけるゲートシフトレジスタの最前段側の構成を示すブロック図である。
【図５】上記第１の実施形態におけるゲートシフトレジスタの最後段側の構成を示すブロック図である。
【図６】上記第１の実施形態におけるゲートドライバの動作を説明するための信号波形図である。
【図７】上記第１の実施形態におけるゲート双安定回路またはＣＳ双安定回路の構成を示す回路図である。
【図８】上記第１の実施形態におけるゲート双安定回路の、走査期間時の動作を説明するための信号波形図である。
【図９】上記第１の実施形態におけるＣＳドライバの構成を示すブロック図である。
【図１０】上記第１の実施形態におけるＣＳドライバの最前段側の構成を示すブロック図である。
【図１１】上記第１の実施形態におけるＣＳドライバの最後段側の構成を示すブロック図である。
【図１２】上記第１の実施形態におけるＣＳシフトレジスタの動作を説明するための信号波形図である。
【図１３】上記第１の実施形態におけるＣＳ双安定回路の、走査期間時の動作を説明するための信号波形図である。
【図１４】上記第１の実施形態におけるＣＳ出力部の、走査期間時の動作を説明するための信号波形図である。
【図１５】上記第１の実施形態における画素電位の変化を説明するための信号波形図である。
【図１６】上記第１の実施形態におけるＣＳドライバの、休止期間時の動作を説明するための信号波形図である。
【図１７】上記第１の実施形態におけるＣＳ双安定回路の、休止期間時の動作を説明するための信号波形図である。
【図１８】ａ－ＳｉＴＦＴおよびＩＧＺＯＴＦＴのドレイン電流－ゲート電圧特性を示す図である。
【図１９】本発明の第２の実施形態におけるＣＳドライバの、休止期間時の動作を説明するための信号波形図である。
【図２０】本発明の第３の実施形態における液晶表示装置の全体構成を示すブロック図である。
【図２１】上記第３の実施形態におけるゲートＣＳドライバの構成を説明するためのブロック図である。
【図２２】上記第３の実施形態におけるゲートＣＳドライバの構成を示すブロック図である。
【図２３】上記第３の実施形態におけるゲートＣＳドライバの最前段側の構成を示すブロック図である。
【図２４】上記第３の実施形態におけるゲートＣＳドライバの最後段側の構成を示すブロック図である。
【図２５】上記第３の実施形態における出力バッファの構成例を示す回路図である。
【図２６】上記第３の実施形態におけるゲートＣＳドライバの動作を説明するための信号波形図である。
【図２７】本発明の第４の実施形態におけるＣＳドライバの構成を示すブロック図である。
【図２８】上記第４の実施形態におけるＣＳドライバの動作を説明するための信号波形図である。
【図２９】本発明の第５の実施形態におけるＣＳドライバの構成を示すブロック図である

。
【図３０】上記第５の実施形態におけるＣＳシフトレジスタの動作を説明するための信号波形図である。
【発明を実施するための形態】
【００４２】
以下、添付図面を参照しながら、本発明の実施形態について説明する。なお、以下の説明においては、薄膜トランジスタのゲート端子は制御端子に相当し、ドレイン端子は第１導通端子に相当し、ソース端子は第２導通端子に相当する。また、薄膜トランジスタはすべてｎチャネル型であるものとして説明する。
【００４３】
＜１．第１の実施形態＞
＜１．１　全体構成および動作＞
図１は、本発明の第１の実施形態に係る、ＣＳ駆動方式を採用したアクティブマトリクス型の液晶表示装置の全体構成を示すブロック図である。図１に示すように、この液晶表示装置は、電源１００とＤＣ／ＤＣコンバータ１１０と表示制御回路２００とソースドライバ（映像信号線駆動回路）３００とゲートドライバ（走査信号線駆動回路）４００とＣＳドライバ（補助容量線駆動回路）５００と表示部６００と共通電極駆動回路７００とを備えている。ＣＳドライバ５００は、アモルファスシリコン、多結晶シリコン、微結晶シリコン、または酸化物半導体等を用いて、表示部６００を含む液晶表示パネル８００上に形成されている。すなわち、本実施形態に係る液晶表示装置は、ＣＳドライバ５００と表示部６００とが同一基板（液晶表示パネルを構成する２枚の基板のうちの一方の基板であるアレイ基板）上に形成されたＣＳドライバモノリシック型の液晶表示装置である。これにより、液晶表示装置の額縁面積を縮小することができる。なお、ゲートドライバ４００および／またはソースドライバ３００も、アモルファスシリコン、多結晶シリコン、微結晶シリコン、または酸化物半導体等を用いて液晶表示パネル８００上に形成されていても良い。これらのアモルファスシリコンおよびＩＧＺＯを用いた具体的な実現例については後述する。
【００４４】
表示部６００には、ｎ本のソースライン（映像信号線）ＳＬ１～ＳＬｎと、ｍ本のゲートライン（走査信号線）ＧＬ１～ＧＬｍと、ｍ本のゲートラインＧＬ１～ＧＬｍにそれぞれ沿って配置されたｍ本のＣＳライン（補助容量線）ＣＬ１～ＣＬｍと、これらのソースラインＳＬ１～ＳＬｎとゲートラインＧＬ１～ＧＬｍとの交差点にそれぞれ対応して設けられたｍ×ｎ個の画素形成部とが形成されている。上記ｍ×ｎ個の画素形成部は、マトリクス状に配置されることにより画素アレイを構成している。各画素形成部は、対応する交差点を通過するゲートラインにゲート端子が接続されると共に当該交差点を通過するソースラインにソース端子が接続されたスイッチング素子である画素薄膜トランジスタ８０と、その画素薄膜トランジスタ８０のドレイン端子に接続された画素電極Ｅｐと、上記複数個の画素形成部に共通的に設けられた対向電極である共通電極Ｅｃと、上記複数個の画素形成部に共通的に設けられ画素電極Ｅｐと共通電極Ｅｃとの間に挟持された液晶層とからなる。画素電極Ｅｐと共通電極Ｅｃとにより液晶容量Ｃｌｃが形成される。また、上記対応する交差点を通過するゲートラインに沿って配置されたＣＳライン（「補助容量電極」ともいう）と、当該ＣＳラインに沿って配置されたゲートラインに対応する画素電極Ｅｐとにより補助容量Ｃｃｓが形成される。これらの液晶容量Ｃｌｃおよび補助容量Ｃｃｓにより画素容量Ｃｐが形成される。
【００４５】
電源１００は、ＤＣ／ＤＣコンバータ１１０と表示制御回路２００と共通電極駆動回路７００とに所定の電源電圧を供給する。ＤＣ／ＤＣコンバータ１１０は、ソースドライバ３００、ゲートドライバ４００、およびＣＳドライバ５００を動作させるための所定の直流電圧を電源電圧から生成し、それを、ソースドライバ３００、ゲートドライバ４００、およびＣＳドライバ５００に供給する。共通電極駆動回路７００は、共通電極Ｅｃに所定

の電位Ｖｃｏｍを与える。

【００４６】

表示制御回路２００は、外部から送られる画像信号ＤＡＴおよび水平同期信号や垂直同期信号などのタイミング信号群ＴＧを受け取り、デジタル映像信号ＤＶ、表示部６００における画像表示を制御するためのソーススタートパルス信号ＳＳＰ、ソースクロック信号ＳＣＫ、ラッチストローブ信号ＬＳ、ゲートスタートパルス信号ＧＳＰ、ゲートクロック信号ＧＣＫ、第１バイアス信号Ｖｃｓ１、第２バイアス信号Ｖｃｓ２、ＣＳクロック信号ＣＣＫ、およびＣＳスタートパルス信号ＣＳＰを出力する。ゲートクロック信号ＧＣＫおよびＣＳクロック信号ＣＣＫのハイレベル側の電位はＶｄｄ電位、ローレベル側の電位はＶｓｓ電位となっている。本実施形態では、ゲートスタートパルス信号ＧＳＰ、ゲートクロック信号ＧＣＫ、ＣＳクロック信号ＣＣＫ、およびＣＳスタートパルス信号ＣＳＰによりクロック信号が実現されている。また、ＣＳクロック信号ＣＣＫおよびＣＳスタートパルス信号ＣＳＰにより補助容量クロック信号が実現されている。

【００４７】

ゲートクロック信号ＧＣＫは、２相のゲートクロック信号ＧＣＫ１およびＧＣＫ２からなっている。以下では、ゲートクロック信号ＧＣＫ１を「第１ゲートクロック信号」といい、ゲートクロック信号ＧＣＫ２を「第２ゲートクロック信号」という。これらの第１ゲートクロック信号ＧＣＫ１および第２ゲートクロック信号ＧＣＫ２は、互いに１水平走査期間だけ位相がずれており、いずれも２水平走査期間中の１水平走査期間だけハイレベル電位（Ｖｄｄ電位）になる（ただし、後述の休止期間Ｔ２を除く）。本実施形態では、第１ゲートクロック信号ＧＣＫ１および第２ゲートクロック信号ＧＣＫ２により複数の第２シフト動作クロック信号が実現されている。

【００４８】

ＣＳクロック信号ＣＣＫは、２相のＣＳクロック信号ＣＣＫ１およびＣＣＫ２からなっている。以下では、ＣＳクロック信号ＣＣＫ１を「第１ＣＳクロック信号」といい、ＣＳクロック信号ＣＣＫ２を「第２ＣＳクロック信号」という。これらの第１ＣＳクロック信号ＣＣＫ１および第２ＣＳクロック信号ＣＣＫ２は、互いに１水平走査期間だけ位相がずれており、いずれも２水平走査期間中の１水平走査期間だけハイレベル電位（Ｖｄｄ電位）になる（ただし、後述の休止期間Ｔ２を除く）。本実施形態では、ＣＳクロック信号ＣＣＫはゲートクロック信号ＧＣＫよりも１水平走査期間だけ位相が遅れている。より詳細には、第１ＣＳクロック信号ＣＣＫ１および第２ＣＳクロック信号ＣＣＫ２がそれぞれ、第１ゲートクロック信号ＧＣＫ１および第２ゲートクロック信号よりも１水平走査期間だけ位相が遅れている。本実施形態では、第１ＣＳクロック信号ＣＣＫ１および第２ＣＳクロック信号ＣＣＫ２により複数の第１シフト動作用クロック信号が実現されている。

【００４９】

ソースドライバ３００は、表示制御回路２００から出力されるデジタル映像信号ＤＶ、ソーススタートパルス信号ＳＳＰ、ソースクロック信号ＳＣＫ、およびラッチストローブ信号ＬＳを受け取り、ソースラインＳＬ１～ＳＬｎにそれぞれＤ／Ａ変換されたアナログ映像信号ＳＳ（１）～ＳＳ（ｎ）を印加する。

【００５０】

ゲートドライバ４００は、表示制御回路２００から出力されるゲートスタートパルス信号ＧＳＰおよびゲートクロック信号ＧＣＫに基づいて、ハイレベル電位の走査信号ＧＯＵＴ（１）～ＧＯＵＴ（ｍ）のゲートラインＧＬ１～ＧＬｍそれぞれへの印加を１フレーム期間を周期として繰り返す。なお、このゲートドライバ４００についての詳しい説明は後述する。

【００５１】

ＣＳドライバ５００は、表示制御回路２００から出力される第１バイアス信号Ｖｃｓ１、第２バイアス信号Ｖｃｓ２、ＣＳクロック信号ＣＣＫ、およびＣＳスタートパルス信号ＣＳＰに基づいて、ＣＳラインＣＬ１～ＣＬｍに、各画素形成部における画素電極Ｅｐの電位（以下「画素電位」といい、符号Ｖｄを付す）にバイアスを掛けるための補助容量信

号ＣＳＳ（１）～ＣＳＳ（ｍ）をそれぞれ印加する。なお、このＣＳドライバ５００についての詳しい説明は後述する。

【００５２】

以上のようにして、ソースラインＳＬ１～ＳＬｎに映像信号ＳＳ（１）～ＳＳ（ｎ）がそれぞれ印加され、ゲートラインＧＬ１～ＧＬｍに走査信号ＧＯＵＴ（１）～ＧＯＵＴ（ｍ）がそれぞれ印加されることにより、外部から送られた画像信号ＤＡＴに基づく画像が表示部６００に表示される。

【００５３】

＜１．２　ゲートドライバの構成および動作＞

図２は、本実施形態におけるゲートドライバ４００およびＣＳドライバ５００の構成を説明するためのブロック図である。図２に示すように、ゲートドライバ４００は、ｍ個（段）のゲート双安定回路４０（１）～４０（ｍ）、および１個（段）のダミー用ゲート双安定回路４０（ｍ＋１）（以下「ダミー段」ともいう）からなるゲートシフトレジスタ４１０により構成されている。なお、ＣＳドライバ５００の説明については後述する。本実施形態では、ゲートシフトレジスタ４１０により第２シフトレジスタが実現され、ゲート双安定回路により第２双安定回路が実現されている。

【００５４】

表示部６００には上述のようにｍ行×ｎ列の画素マトリクスが形成されており、これらの画素マトリクスの各行と１対１で対応するように各段において上記ゲート双安定回路が設けられている。このゲート双安定回路および後述のＣＳ双安定回路は、各時点において２つの状態（第１の状態および第２の状態）のうちのいずれか一方の状態となっていて当該状態を示す信号（以下「状態信号」という。）を出力する。本実施形態では、双安定回路が第１の状態となっていれば、当該双安定回路からはハイレベル（オンレベル）電位の状態信号が出力され、双安定回路が第２の状態となっていれば、当該双安定回路からはローレベル（オフレベル）電位の状態信号が出力される。また、以下においては、双安定回路からハイレベル電位の状態信号が出力される期間のことを「選択期間」という。

【００５５】

図３は、本実施形態におけるゲートシフトレジスタ４１０の、最前段および最後段以外の構成を示すブロック図である。図４は、本実施形態におけるゲートシフトレジスタ４１０の最前段側の構成を示すブロック図である。図５は、本実施形態におけるゲートシフトレジスタ４１０の最後段側の構成を示すブロック図である。なお、以下の説明では、ｘ段目（ｘ＝１～ｍ＋１）の双安定回路のことを、単に「ｘ段目」ということがある。上述のように、このシフトレジスタ４１０は、ｍ個のゲート双安定回路４０（１）～４０（ｍ）と、１個のダミー用ゲート双安定回路４０（ｍ＋１）からなっている。図３にはｉ－２段目４０（ｉ－２）～ｉ＋１段目４０（ｉ＋１）を、図４には１段目４０（１）および２段目４０（２）を、図５にはｍ－１段目４０（ｍ－１）およびｍ段目４０（ｍ）とダミー段４０（ｍ＋１）を示している。

【００５６】

各ゲート双安定回路には、クロック信号ＣＫ１（以下「第１クロック信号」という）を受け取るための入力端子、クロック信号ＣＫ２（以下「第２クロック信号」という）を受け取るための入力端子、ローレベルの直流電源電位Ｖｓｓ（この電位の大きさのことを上記「Ｖｓｓ電位」ともいう）を受け取るための入力端子、セット信号Ｓを受け取るための入力端子、リセット信号Ｒを受け取るための入力端子、および状態信号Ｚを出力するための出力端子が設けられている。

【００５７】

ゲートシフトレジスタ４１０には、ゲートクロック信号ＧＣＫとして、上述のように２相の第１ゲートクロック信号ＧＣＫ１および第２ゲートクロック信号ＧＣＫ２が与えられる。

【００５８】

ゲートシフトレジスタ４１０の各段（各ゲート双安定回路）の入力端子に与えられる信

号は次のようになっている。なお、以下ではｉが奇数、ｍが偶数であると仮定する。図３～図５に示すように、奇数段目には、第１ゲートクロック信号ＧＣＫ１が第１クロック信号ＣＫ１として与えられ、第２ゲートクロック信号ＧＣＫ２が第２クロック信号ＣＫ２として与えられる。偶数段目には、第１ゲートクロック信号ＧＣＫ１が第２クロック信号ＣＫ２として与えられ、第２ゲートクロック信号ＧＣＫ２が第１クロック信号ＣＫ１として与えられる。また、各段にはローレベルの直流電源電位Ｖｓｓが共通的に与えられる。

【００５９】

各段には、前段から出力される状態信号Ｚがセット信号Ｓとして与えられ、次段から出力される状態信号Ｚがリセット信号Ｒとして与えられる。ただし、１段目（最前段）４０（１）には、ゲートスタートパルス信号ＧＳＰがセット信号Ｓとして与えられる。また、ｍ段目（最後段）４０（ｍ）には、ダミー段４０（ｍ＋１）から出力される状態信号がリセット信号Ｒとして与えられる。なお、ダミー段４０（ｍ＋１）には、ｍ段目４０（ｍ）から出力される状態信号Ｚがセット信号Ｓとして与えられ、自身の状態信号Ｚがリセット信号Ｒとして与えられる。このため、ダミー段４０（ｍ＋１）の状態信号Ｚがハイレベル電位になっている期間は、他の段の状態信号Ｚがハイレベル電位になっている期間よりも短い。このようなダミー段４０（ｍ＋１）を設けることに代えて、ｍ段目４０（ｍ）にリセット信号Ｒとして、ゲートエンドパルス信号ＧＥＰを与えても良い。このゲートエンドパルス信号は、走査期間Ｔ１終了後の１水平走査期間においてハイレベル電位になる信号である。

【００６０】

以上のような構成において、ゲートシフトレジスタ４１０の１段目４０（１）にセット信号Ｓとしてのゲートスタートパルス信号ＧＳＰが与えられると、第１ゲートクロック信号ＧＣＫ１および第２ゲートクロック信号ＧＣＫ２に基づいて、ゲートスタートパルス信号ＧＳＰに含まれるパルス（このパルスは各段から出力される状態信号Ｚに含まれる）が１段目４０（１）からｍ段目４０（ｍ）へと順次に転送される。そして、このパルスの転送に応じて、１段目４０（１）～ｍ段目４０（ｍ）からそれぞれ出力される状態信号Ｚが順次にハイレベル電位となる。これらの１段目４０（１）～ｍ段目４０（ｍ）からそれぞれ出力される状態信号Ｚは、走査信号ＧＯＵＴ（１）～ＧＯＵＴ（ｍ）としてゲートラインＧＬ１～ＧＬｍにそれぞれ与えられる。なお、１段目４０（１）～ｍ段目４０（ｍ）からそれぞれ出力される状態信号Ｚは、レベルシフタにより電圧が高められた後に、走査信号ＧＯＵＴ（１）～ＧＯＵＴ（ｍ）としてゲートラインＧＬ１～ＧＬｍにそれぞれ与えられても良い。以上により、図６に示すように、１水平走査期間ずつ順次にハイレベル電位となる走査信号が表示部６００内のゲートラインに与えられる。

【００６１】

＜１．３　ゲート双安定回路の構成＞

図７は、本実施形態における各ゲート双安定回路の構成を示す回路図である。なお、後述のＣＳ双安定回路も、ゲート双安定回路と同様に図７に示す構成となっている。図７に示すように、この双安定回路は、４個の薄膜トランジスタ（スイッチング素子）Ｍ１～Ｍ４、コンデンサ（容量素子）Ｃ１、４個の入力端子４１～４４、ローレベルの直流電源電位Ｖｓｓ用の入力端子、および出力端子４９により構成されている。ここで、第１クロック信号ＣＫ１を受け取る入力端子には符号４１を付し、第２クロック信号ＣＫ２を受け取る入力端子には符号４２を付し、セット信号Ｓを受け取る入力端子には符号４３を付し、リセット信号Ｒを受け取る入力端子には符号４４を付している。また、状態信号Ｚを出力する出力端子には符号４９を付している。

【００６２】

次に、この双安定回路内における構成要素間の接続関係について説明する。薄膜トランジスタＭ１のゲート端子、薄膜トランジスタＭ３のソース端子、薄膜トランジスタＭ４のドレイン端子、およびコンデンサＣ１の一端は互いに接続されている。以下では、これらが互いに接続されている接続点（配線）のことを便宜上「第１ノード」という。この第１ノードには符号Ｎ１を付す。

【００６３】
薄膜トランジスタＭ１については、ゲート端子が第１ノードＮ１に接続され、ドレイン端子が入力端子４１に接続され、ソース端子が出力端子４９に接続されている。薄膜トランジスタＭ２については、ゲート端子が入力端子４２に接続され、ドレイン端子が出力端子４９に接続され、ソース端子が直流電源電位Ｖｓｓ用の入力端子に接続されている。薄膜トランジスタＭ３については、ゲート端子およびドレイン端子が入力端子４３に接続され（すなわち、ダイオード接続となっている）、ソース端子が第１ノードＮ１に接続されている。薄膜トランジスタＭ４については、ゲート端子が入力端子４４に接続され、ドレイン端子が第１ノードＮ１に接続され、ソース端子が直流電源電位Ｖｓｓ用の入力端子に接続されている。コンデンサＣ１については、一端が第１ノードＮ１に接続され、他端が出力端子４９に接続されている。

【００６４】
次に、このゲート双安定回路における各構成要素の機能について説明する。薄膜トランジスタＭ１は、第１ノードＮ１の電位がハイレベルになっているときに、第１クロック信号ＣＫの電位を出力端子４９に与える。薄膜トランジスタＭ２は、第２クロック信号ＣＫ２の電位がハイレベルになっているときに、出力端子４９の電位をＶｓｓ電位に向けて変化させる。薄膜トランジスタＭ３は、セット信号Ｓの電位がハイレベルになっているときに、第１ノードＮ１の電位をハイレベルに向けて変化させる。薄膜トランジスタＭ４は、リセット信号Ｒの電位がハイレベルになっているときに、第１ノードＮ１の電位をＶｓｓ電位に向けて変化させる。コンデンサＣ１は、第１ノードＮ１がブートストラップされるときの補助容量として機能する。

【００６５】
＜１．４　ゲート双安定回路の動作＞
図８は、本実施形態におけるｉ段目のゲート双安定回路４０（ｉ）の動作のうち、特に後述の走査期間Ｔ１での動作を説明するための信号波形図である。なお、他のゲート双安定回路の動作も同様であるので、説明を省略する。ｉ段目では第１ゲートクロック信号ＧＣＫ１および第２ゲートクロック信号ＧＣＫ２がそれぞれ第１クロック信号ＣＫ１および第２クロック信号ＣＫ２に相当する。図８における時点ｔ１から時点ｔ２までの期間は選択期間に相当する。以下の説明では、１フレーム期間のうち、ゲートスタートパルス信号ＧＳＰが立ち上がる時点（走査開始時点）から、ダミー段の走査信号ＧＯＵＴ（ｍ＋１）が立ち上がる時点までの期間を「走査期間」といい、符号Ｔ１を付す。この走査期間Ｔ１は、複数（ｍ本）のゲートラインＧＬ（１）～ＧＬ（ｍ）を１回走査する期間である。また、１フレーム期間のうち、ダミー段の走査信号ＧＯＵＴ（ｍ＋１）が立ち上がる時点から後続のフレーム期間においてゲートスタートパルス信号ＧＳＰが立ち上がる時点までの期間を「休止期間」といい、符号Ｔ２を付す。この休止期間Ｔ２は、ダミー段４０（ｍ＋１）を除くゲート双安定回路４０（１）～４０（ｍ）の出力信号のいずれもがローレベル電位となる期間である。走査期間Ｔ１での動作説明においては、選択期間直前の１水平走査期間のことを「セット期間」といい、選択期間直後の１水平走査期間のことを「リセット期間」という。また、走査期間Ｔ１のうちの、選択期間、セット期間、およびリセット期間以外の期間のことを「通常動作期間」という。

【００６６】
セット期間になると（時点ｔ０になると）、セット信号Ｓの電位がローレベルからハイレベルに変化する。薄膜トランジスタＭ３が図７に示すようにダイオード接続となっているので、セット信号Ｓの電位がハイレベルになることによって薄膜トランジスタＭ３がオン状態になり、コンデンサＣ１が充電（ここではプリチャージ）される。これにより、第１ノードＮ１の電位がローレベルからハイレベルに変化し、薄膜トランジスタＭ１がオン状態となる。しかし、セット期間では、第１ゲートクロック信号ＧＣＫ１（第１クロック信号ＣＫ１）の電位がローレベルとなっているので、状態信号Ｚの電位はローレベルで維持される。

【００６７】

選択期間になると（時点ｔ１になると）、セット信号Ｓがハイレベルからローレベルに変化する。これにより、薄膜トランジスタＭ３がオフ状態になる。このとき、第１ノードＮ１はフローティング状態になる。この時点ｔ１では、第１ゲートクロック信号ＧＣＫ１の電位がローレベルからハイレベルに変化する。薄膜トランジスタＭ１はオン状態でありゲート容量が存在するので、入力端子４１の電位の上昇に伴って第１ノードＮ１の電位も上昇する（第１ノードＮ１がブートストラップされる）。この際、コンデンサＣ１は第１ノードＮ１の電位上昇を促進するように働く。その結果、薄膜トランジスタＭ１のゲート電位は十分に高いレベルになるので、第１ゲートクロック信号ＧＣＫ１のハイレベル（Ｖｄｄ電位）まで状態信号Ｚの電位が上昇する。

【００６８】

リセット期間になると（時点ｔ２になると）、第１ゲートクロック信号ＧＣＫ１の電位がハイレベルからローレベルに変化する。時点ｔ２には薄膜トランジスタＭ１がオン状態となっているので、入力端子４１の電位の低下と共に状態信号Ｚの電位が低下する。このように状態信号Ｚの電位が低下することによって、コンデンサＣ１を介して第１ノードＮ１の電位も低下する。また、リセット期間には、リセット信号Ｒがローレベルからハイレベルに変化する。このため、薄膜トランジスタＭ４がオン状態になる。その結果、リセット期間には、第１ノードＮ１の電位が確実にローレベルに低下する。さらに、リセット期間には、第２ゲートクロック信号ＧＣＫ２（第２クロック信号ＣＫ２）がローレベルからハイレベルに変化する。このため、薄膜トランジスタＭ２がオン状態になるので、状態信号Ｚの電位が確実にローレベルに低下する。

【００６９】

通常動作期間（走査期間Ｔ１において、時点ｔ０以前の期間および時点ｔ３以降の期間）では、第２ゲートクロック信号ＧＣＫ２の電位が１水平走査期間毎にハイレベルとローレベルとを繰り返すことにより、薄膜トランジスタＭ２が１水平走査期間毎にオン状態になる。このため、状態信号Ｚの電位をローレベルに維持することができる。

【００７０】

なお、以下の説明では、走査期間Ｔ１における、第１ゲートクロック信号ＧＣＫ１および第２ゲートクロック信号ＧＣＫ２のそれぞれの周期（以下「走査期間ゲート周期」という）を符号ｔｇｃｋ１で表す。また、走査期間Ｔ１における、第１ゲートクロック信号ＧＣＫ１および第２ゲートクロック信号ＧＣＫ２のそれぞれの周波数（以下「走査期間ゲート周波数」という）を符号ｆｇｃｋ１で表す。

【００７１】

＜１．６　ＣＳドライバの構成および動作＞

上記図２に示すように、本実施形態におけるＣＳドライバ５００は、ＣＳシフトレジスタ５１０およびＣＳ出力部５２０により構成されている。本実施形態では、ゲートドライバ４００とＣＳドライバ５００とは、表示部６００を挟んだ両側にそれぞれ配置されている。ＣＳシフトレジスタ５１０は、ｍ個（段）のＣＳ双安定回路５０（１）～５０（ｍ）、および１個（段）のダミー用ＣＳ双安定回路５０（ｍ＋１）（以下「ダミー段」ともいう）により構成されている。表示部６００には上述のようにｍ行×ｎ列の画素マトリクスが形成されており、これらの画素マトリクスの各行と１対１で対応するように各段において上記ＣＳ双安定回路が設けられている。ＣＳ双安定回路５０（１）～５０（ｍ）はＣＳ出力部５２０に接続されている。ＣＳ出力部５２０は、ＣＳラインＣＬ１～ＣＬｍに接続されている。本実施形態では、ＣＳシフトレジスタ５１０により第１シフトレジスタが実現され、ＣＳ双安定回路により第１双安定回路が実現されている。

【００７２】

＜１．６．１　ＣＳシフトレジスタの構成および動作＞

図９は、本実施形態におけるＣＳドライバ５００の、最前段および最後段以外の構成を示すブロック図である。図１０は、本実施形態におけるＣＳドライバ５００の最前段側の構成を示すブロック図である。図１１は、本実施形態におけるＣＳドライバ５００の最後段側の構成を示すブロック図である。上述のように、各ＣＳ双安定回路の構成は上記ゲー

ト双安定回路と同様である。このため、上記ゲート双安定回路と共通する部分についての説明は省略する。

【００７３】

ただし、このＣＳ双安定回路では、第１クロック信号を受け取るための入力端子４１および第２クロック信号を受け取るための入力端子４２に与えられる信号が上記ゲート双安定回路と異なる。すなわち、図９～図１１に示すように、奇数段目には、第１ＣＳクロック信号ＣＣＫ１が第１クロック信号ＣＫ１として与えられ、第２ＣＳクロック信号ＣＣＫ２が第２クロック信号ＣＫ２として与えられる。偶数段目には、第１ＣＳクロック信号ＣＣＫ１が第２クロック信号ＣＫ２として与えられ、第２ＣＳクロック信号ＣＣＫ２が第１クロック信号ＣＫ１として与えられる。

【００７４】

また、図１０に示すように、１段目（最前段目）５０（１）には、ＣＳスタートパルス信号ＣＳＰがセット信号Ｓとして与えられる。このＣＳスタートパルス信号ＣＳＰは、上記ゲートスタートパルス信号ＧＳＰの電位がハイレベルになる１水平走査期間の直後の１水平走査期間、および休止期間Ｔ２の開始直後の１水平走査期間において電位がハイレベルになる信号である。

【００７５】

以上のような構成において、ＣＳシフトレジスタ５１０の１段目４０（１）にセット信号ＳとしてのＣＳスタートパルス信号ＣＳＰが与えられると、第１ＣＳクロック信号ＣＣＫ１および第２ＣＳクロック信号ＣＣＫ２に基づいて、ＣＳスタートパルス信号ＣＳＰに含まれるパルス（このパルスは各段から出力される状態信号Ｚに含まれる）が１段目４０（１）からｍ段目４０（ｍ）へと順次に転送される。そして、このパルスの転送に応じて、１段目４０（１）～ｍ段目４０（ｍ）からそれぞれ出力される状態信号Ｚが順次にハイレベル電位となる。これらの１段目４０（１）～ｍ段目４０（ｍ）からそれぞれ出力される状態信号Ｚは、制御信号ＣＯＵＴ（１）～ＣＯＵＴ（ｍ）としてＣＳ出力部５２０に与えられる。より詳細には、これらの制御信号ＣＯＵＴ（１）～ＣＯＵＴ（ｍ）はそれぞれ、ＣＳ出力部５２０を構成する後述のバイアス用薄膜トランジスタ（第１スイッチング素子）６０（１）～６０（ｍ）のゲート端子に与えられる。以上により、図１２に示すように、１水平走査期間ずつ順次にハイレベル電位となる制御信号がＣＳ出力部５２０に与えられる。

【００７６】

＜１．６．２　ＣＳ双安定回路の動作＞

図１３は、本実施形態におけるｉ段目のＣＳ双安定回路５０（ｉ）の動作のうち、特に走査期間Ｔ１での動作を説明するための信号波形図である。図１３に示すように、このＣＳ双安定回路の動作は、上記ゲート双安定回路の動作において第１ゲートクロック信号ＧＣＫ１および第２ゲートクロック信号ＧＣＫ２をそれぞれ第１ＣＳクロック信号ＣＣＫ１および第２ＣＳクロック信号ＣＣＫ２に置き換えたものなので、走査期間Ｔ１でのＣＳ双安定回路の詳細な動作説明を省略する。

【００７７】

なお、以下の説明では、走査期間Ｔ１における、第１ＣＳクロック信号ＣＣＫ１および第２ＣＳクロック信号ＣＣＫ２のそれぞれの周期（以下「走査期間ＣＳ周期」という）を符号ｔｃｃｋ１で表す。また、走査期間Ｔ１における、第１ＣＳクロック信号ＣＣＫ１および第２ＣＳクロック信号ＣＣＫ２のそれぞれの周波数（以下「走査期間ＣＳ周波数」という）を符号ｆｃｃｋ１で表す。さらに、走査期間Ｔ１における、第１ＣＳクロック信号ＣＣＫ１および第２ＣＳクロック信号ＣＣＫ２のそれぞれの振幅（以下「走査期間ＣＳ振幅」という）を符号Ｖｃｃｋ１で表す。

【００７８】

＜１．６．３　ＣＳ出力部の構成および動作＞

上記図９～図１１に示すように、本実施形態におけるＣＳ出力部５２０は、ｍ個のバイアス用薄膜トランジスタ（第１スイッチング素子）６０（１）～６０（ｍ）により構成さ

れている。バイアス用薄膜トランジスタ６０（１）～６０（ｍ）は、ＣＳ双安定回路５０（１）～５０（ｍ）にそれぞれ対応すると共に、ＣＳラインＣＬ１～ＣＬｍにそれぞれ対応している。各バイアス用薄膜トランジスタのゲート端子には対応するＣＳ双安定回路の出力端子４９（状態信号Ｚが出力される端子）が接続され、ドレイン端子には対応するＣＳラインが接続されている。また、奇数段目のバイアス用薄膜トランジスタのソース端子には第１バイアス信号Ｖｃｓ１が与えられ、偶数段目のバイアス用薄膜トランジスタのソース端子には第２バイアス信号Ｖｃｓ２が与えられる。なお、ＣＳライン（補助容量信号）、第１バイアス信号Ｖｃｓ１、および第２バイアス信号Ｖｃｓ２の電位によって各バイアス用薄膜トランジスタのソース端子とドレイン端子とが入れ替わる。しかし本明細書では、これらの電位に関わらず、各バイアス用薄膜トランジスタにおいて、対応するＣＳラインに接続されている側の端子をドレイン端子とし、第１バイアス信号Ｖｃｓ１または第２バイアス信号Ｖｃｓ２が与えられている端子をソース端子として説明する。

【００７９】

図１４は、本実施形態におけるＣＳ出力部５２０の動作のうち、特に走査期間Ｔ２における動作を説明するための信号波形図である。図１４に示すように、第１バイアス信号Ｖｃｓ１および第２バイアス信号は互いに異なる電位であると共に、１フレーム期間毎に電位が反転する。すなわち、連続する２フレーム期間のうち、例えば先行の１フレーム期間では第１バイアス信号Ｖｃｓ１の電位が所定の高電位Ｖｈ（以下単に「高電位Ｖｈ」という）且つ第２バイアス信号Ｖｃｓ２が所定の低電位Ｖｌ（以下単に「低電位Ｖｌ」という）であり、後続の１フレーム期間では第１バイアス信号Ｖｃｓ１の電位が低電位Ｖｌ且つ第２バイアス信号Ｖｃｓ２の電位が高電位Ｖｈとなる。

【００８０】

まず、第１バイアス信号Ｖｃｓ１の電位が高電位Ｖｈであり、第２バイアス信号Ｖｃｓ２の電位が低電位Ｖｌになっているものとする。１段目のＣＳ双安定回路５０（１）の出力信号である制御信号ＣＯＵＴ（１）がハイレベル電位になると、これに対応するバイアス用薄膜トランジスタ６０（１）がオン状態になる。このバイアス用薄膜トランジスタ６０（１）のソース端子には第１バイアス信号Ｖｃｓ１が与えられているので、ＣＳライン（１）に印加される補助容量信号ＣＳＳ（１）の電位が高電位Ｖｈに変化する。この補助容量信号ＣＳＳ（１）の電位は、後続の１フレーム期間においてバイアス用薄膜トランジスタ６０（１）がオン状態になるまで維持される。

【００８１】

次に、２段目のＣＳ双安定回路５０（２）の出力信号である制御信号ＣＯＵＴ（２）がハイレベル電位になると、これに対応するバイアス用薄膜トランジスタ６０（２）がオン状態になる。このバイアス用薄膜トランジスタ６０（２）のソース端子には第２バイアス信号Ｖｃｓ２が与えられているので、ＣＳライン（２）印加される補助容量信号ＣＳＳ（２）の電位が低電位Ｖｌに変化する。この補助容量信号ＣＳＳ（２）の電位は、後続の１フレーム期間においてバイアス用薄膜トランジスタ６０（２）がオン状態になるまで維持される。

【００８２】

次に、３段目のＣＳ双安定回路５０（３）の出力信号である制御信号ＣＯＵＴ（３）がハイレベル電位になると、これに対応するバイアス用薄膜トランジスタ６０（３）がオン状態になる。このバイアス用薄膜トランジスタ６０（３）のソース端子には第１バイアス信号Ｖｃｓ１が与えられているので、ＣＳライン（３）に印加される補助容量信号ＣＳＳ（３）の電位が高電位Ｖｈに変化する。この補助容量信号ＣＳＳ（３）の電位は、後続の１フレーム期間においてバイアス用薄膜トランジスタ６０（３）がオン状態になるまで維持される。以下同様に、ＣＳ双安定回路の出力信号である制御信号に応じて各ＣＳラインに印加される補助容量信号の電位が順次変化する。

【００８３】

＜１．７　画素電位の変化＞

図１５は、本実施形態における画素電位の変化を説明するための信号波形図である。本

実施形態では、各行で画素電位の極性を反転させるライン反転駆動が行われる。なお、以下では、１行毎に画素電位の極性を反転させるものとして説明するが、複数行毎に画素電位の極性を反転させても良い。図１５において、Ｖｄ（１）～Ｖｄ（３）はそれぞれ、ゲートラインＧＬ１～ＧＬ３に対応して設けられた画素形成部のうちの任意の画素形成部における画素電位Ｖｄを表す。以下では、画素電位Ｖｄ（１）を「１行目画素電位」といい、画素電位Ｖｄ（２）を「２行目画素電位」といい、画素電位Ｖｄ（３）を「３行目画素電位」という。

【００８４】

ゲートラインＧＬ１が選択状態になると（走査信号ＧＯＵＴ（１）がハイレベル電位になると）、当該ゲートラインＧＬ１にゲート端子が接続された画素薄膜トランジスタ８０がオン状態になるので、この画素薄膜トランジスタ８０を介して与えられる映像信号により画素容量Ｃｐが充電される。その結果、図１５に示すように、１行目画素電位Ｖｄ（１）が書き込み電位Ｖｓｉｇとなる。次に、走査信号ＧＯＵＴ（１）がローレベル電位になると、画素薄膜トランジスタ８０がオフ状態になることにより、１行目画素電位Ｖｄ（１）が書き込み電位Ｖｓｉｇに保持される。この時点まで、ゲートラインＧＬ１に沿って配置されたＣＳラインＣＬ１に印加されている補助容量信号ＣＳＳ（１）の電位は低電位Ｖｌとなっている。

【００８５】

次に、補助容量信号ＣＳＳ（１）の電位が低電位Ｖｌから高電位Ｖｈに変化する。このため、１行目画素電位Ｖｄ（１）に、補助容量信号ＣＳＳ（１）の変化分に応じたバイアス電圧ΔＶｃｓが加わることになる。その結果、１行目画素電位Ｖｄ（１）の電位は下記の式（１）で示される。

$$Vd(1) = Vsig + \Delta Vcs$$
$$= Vsig + (Ccs / (Clc + Ccs)) \times (Vh - Vl) \cdots (1)$$

【００８６】

このように、１行目画素電位Ｖｄ（１）は、映像信号の振幅に相当する書き込み電位Ｖｓｉｇよりも（Ｃｃｓ／（Ｃｌｃ＋Ｃｃｓ））×（Ｖｈ－Ｖｌ）だけ大きくなる。このようにして、ソースラインに与えるべき映像信号の振幅を小さくしつつ、液晶層に大きな電圧を印加することができる。これにより、低消費電力化を図ることができる。この１行目画素電位Ｖｄ（１）は、後続のフレーム期間において画素薄膜トランジスタ８０が再度オン状態になるまで保持される。なお、この後続のフレーム期間においても同様の動作が行われるのでその説明を省略する。ただし、この後続のフレーム期間では、第１行目画素電位Ｖｄ（１）の極性が先行のフレーム期間におけるものの逆極性となっている。また、２行目画素電位Ｖｄ（２）および３行目画素電位Ｖｄ（３）についても同様の動作が行われるのでその説明を省略する。ただし、２行目画素電位Ｖｄ（２）については、第１行目画素電位Ｖｄ（１）の逆極性となっている。

【００８７】

なお、本実施形態では、上記図６に示すように、ゲートラインＧＬ１～ＧＬｍの走査は、ゲートラインＧＬ１～ＧＬｍの番号の昇順（「ＧＬ１→ＧＬ２→…→ＧＬｍの順」をいう）に行われる。このため、上記図１２に示すように補助容量信号ＣＳＳ（１）～ＣＳＳ（ｍ）の電位切替順も補助容量信号ＣＳＳ（１）～ＣＳＳ（ｍ）の番号の昇順（「ＣＳＳ（１）→ＣＳＳ（２）→…ＣＳＳ（ｍ）の順」をいう）となっている。ただし、本発明のゲートラインＧＬ１～ＧＬｍの走査順および補助容量信号ＣＳＳ（１）～ＣＳＳ（ｍ）の電位切替順はこれに限定されるものではない。ゲートラインＧＬ１～ＧＬｍの走査が、ゲートラインＧＬ１～ＧＬｍの番号の降順（「ＧＬｍ→…→ＧＬ２→ＧＬ１の順」をいう）で行われる場合には、補助容量信号ＣＳＳ（１）～ＣＳＳ（ｍ）の電位切替順も補助容量信号ＣＳＳ（１）～ＣＳＳ（ｍ）の番号の降順（「ＣＳＳ（ｍ）→…ＣＳＳ（２）→ＣＳＳ（１）の順」をいう）となる。また、ゲートラインＧＬ１～ＧＬｍの走査順および補助容量信号ＣＳＳ（１）～ＣＳＳ（ｍ）の電位切替順が切り替え可能となっていても良い。

【００８８】

＜１．８　休止期間の動作＞

図１６は、本実施形態におけるＣＳドライバ５００の動作のうち、特に休止期間Ｔ２の動作を説明するための信号波形図である。図１６に示すように、本実施形態では、１フレーム期間が走査期間Ｔ１と、当該走査期間Ｔ１の後に設けられた休止期間Ｔ２とからなっている。すなわち、走査期間Ｔ１と休止期間Ｔ２とが１フレーム期間を周期として交互に現れる。ＣＳドライバ５００の動作についての説明の前に、まず、ゲートドライバ４００の動作について説明する。ここで、休止期間Ｔ２における、第１ゲートクロック信号ＧＣＫ１および第２ゲートクロック信号ＧＣＫ２のそれぞれの周期（以下「休止期間ゲート周期」という）を符号ｔｇｃｋ２で表す。また、休止期間Ｔ２における、第１ゲートクロック信号ＧＣＫ１および第２ゲートクロック信号ＧＣＫ２のそれぞれの周波数（以下「休止期間ゲート周波数」という）を符号ｆｇｃｋ２で表す。

【００８９】

本実施形態では、休止期間Ｔ２が走査期間Ｔ１よりも長く設けられている。ただし、本発明はこれに限定されるものではなく、休止期間Ｔ２が走査期間Ｔ１よりも短くても良い。

【００９０】

走査期間Ｔ１では、ゲートドライバ４００は走査期間ゲート周波数ｆｇｃｋ１で駆動され、１段目４０（１）～ｍ段目４０（ｍ）からそれぞれ出力される状態信号Ｚである走査信号ＧＯＵＴ（１）～ＧＯＵＴ（ｍ）が、第１ゲートクロック信号ＧＣＫ１および第２ゲートクロック信号ＧＣＫ２に基づいて順次にハイレベル電位になる。一方、休止期間Ｔ２では、ゲートドライバ４００は、走査期間ゲート周波数ｆｇｃｋ１よりも低い休止期間ゲート周波数ｆｇｃｋ２で駆動され、走査信号ＧＯＵＴ（１）～ＧＯＵＴ（ｍ）はローレベル電位に維持される。すなわち、この休止期間Ｔ２ではゲートラインＧＬ１～ＧＬｍのいずれもが非選択状態となる。このような動作により、ゲートドライバ４００を駆動するための消費電力を低減することができる。なお、休止期間Ｔ２では、ゲートドライバ４００へのゲートクロック信号ＧＣＫの供給が停止されるまたはゲートクロック信号ＧＣＫがローレベル電位に維持されるようにしても良い。

【００９１】

次に、本実施形態におけるＣＳドライバ５００の動作について説明する。走査期間Ｔ１では、１段目５０（１）～ｍ－１段目５０（ｍ－１）からそれぞれ出力される状態信号Ｚである制御信号ＣＯＵＴ（１）～ＣＯＵＴ（ｍ－１）が、第１ＣＳクロック信号ＣＣＫ１および第２ＣＳクロック信号ＣＣＫ２に基づいて順次にハイレベル電位になる。なお、制御信号ＣＯＵＴ（ｍ）については、当該走査期間Ｔ１の後の休止期間Ｔ２の最初の１水平走査期間においてハイレベル電位になる。

【００９２】

一方休止期間Ｔ２では、ＣＳドライバ５００の動作は走査期間Ｔ１におけるものと異なるものとなる。ここで、休止期間Ｔ２における、第１ＣＳクロック信号ＣＣＫ１および第２ＣＳクロック信号ＣＣＫ２のそれぞれの周期（以下「休止期間ＣＳ周期」という）を符号ｔｃｃｋ２で表す。また、休止期間Ｔ２における第１ＣＳクロック信号ＣＣＫ１および第２ＣＳクロック信号ＣＣＫ２のそれぞれの周波数（以下「休止期間ＣＳ周波数」という）を符号ｆｃｃｋ２で表す。さらに、休止期間Ｔ２における第１ＣＳクロック信号ＣＣＫ１および第２ＣＳクロック信号ＣＣＫ２のそれぞれの振幅（以下「休止期間ＣＳ振幅」という）を符号Ｖｃｃｋ２で表す。

【００９３】

図１６に示すように、休止期間ＣＳ周期ｔｃｃｋ２は走査期間ＣＳ周期ｔｃｃｋ１よりも長い。すなわち、休止期間ＣＳ周波数ｆｃｃｋ２は走査期間ＣＳ周波数ｆｃｃｋ１よりも低い。ここで、走査期間ＣＳ周波数ｆｃｃｋ１は休止期間ＣＳ周波数ｆｃｃｋ２の整数倍であることが望ましい。これにより、表示制御回路２００等を簡易な構成とすることができる。また、走査期間ＣＳ周波数ｆｃｃｋ１は休止期間ＣＳ周波数ｆｃｃｋ２の２倍以上であることが望ましい。言い換えると、休止期間ＣＳ周波数ｆｃｃｋ２は走査期間ＣＳ

周波数ｆｃｃｋ１の１／２倍以下であることが望ましい。これにより、ＣＳドライバ５００の駆動に要する消費電力を十分に低減することができる。このようなＣＳクロック信号ＣＣＫの周波数（周期）の制御は、例えば表示制御回路２００において行われる。上記ゲートクロック信号ＧＣＫの周波数（周期）の制御も、例えば表示制御回路２００において行われる。なお、本実施形態では、休止期間ＣＳ振幅Ｖｃｃｋ２および走査期間ＣＳ振幅Ｖｃｃｋ１は互いに同じ大きさである。

【００９４】

図１６に示すように、休止期間Ｔ２における最初の１水平走査期間においてＣＳスタートパルス信号ＣＳＰがハイレベル電位になる。したがって、走査期間ＣＳ周波数ｆｃｃｋ１よりも低い休止期間ＣＳ周波数ｆｃｃｋ２に基づいて、制御信号ＣＯＵＴ（１）～ＣＯＵＴ（ｍ）が順次にハイレベル電位になる。このように本実施形態では、休止期間Ｔ２において、走査期間Ｔ１における周期よりも長い周期で制御信号ＣＯＵＴ（１）～ＣＯＵＴ（ｍ）が順次にハイレベル電位になる。休止期間Ｔ２において制御信号ＣＯＵＴ（１）～ＣＯＵＴ（ｍ）がハイレベル電位になると、バイアス用薄膜トランジスタ６０（１）～（ｍ）がそれぞれオン状態になる。この休止期間Ｔ２における第１バイアス信号Ｖｃｓ１および第２バイアス信号Ｖｃｓ２は、走査期間Ｔ１におけるものと同じ電位である。このため、ＣＳラインＣＬ１～ＣＬｍにそれぞれ与えられる補助容量信号ＣＳＳ（１）～ＣＳＳ（ｍ）の電位は変化しない。

【００９５】

図１７は、本実施形態におけるｉ段目のＣＳ双安定回路５０（ｉ）の動作のうち、特に休止期間Ｔ２での動作を説明するための信号波形図である。なお、他のＣＳ双安定回路の動作も同様であるので、説明を省略する。休止期間Ｔ２での動作説明においては、セット信号Ｓがハイレベル電位になっている１水平走査期間を「セット期間」といい、セット期間の終了時点から選択期間開始時点までの期間を「選択待ち期間」といい、選択期間終了時点からリセット信号Ｒがハイレベル電位に変化する時点までの期間を「リセット待ち期間」といい、リセット信号Ｒがハイレベル電位になっている期間を「リセット期間」という。また、休止期間Ｔ２のうちの、選択期間、セット期間、選択待ち期間、リセット待ち期間およびリセット期間以外の期間のことを「通常動作期間」という。

【００９６】

セット期間（時点ｓ０～ｓ１）の動作については、走査期間Ｔ１におけるセット期間での動作と同様であるので説明を省略する。

【００９７】

選択待ち期間になると（時点ｓ１になると）、セット信号Ｓの電位がハイレベルからローレベルに変化するので薄膜トランジスタＭ３がオフ状態になる（図７を参照）。このため、第１ノードＮ１はフローティング状態になる。また、第１ＣＳクロック信号ＣＣＫ１はローレベル電位のままである。このため、選択待ち期間では、セット期間における第１ノードＮ１の電位が維持される。なお、第２ＣＳクロック信号ＣＣＫ２の電位がローレベルに変化するので、薄膜トランジスタＭ２がオフ状態になる。

【００９８】

選択期間（時点ｓ２～ｓ３）の動作については、走査期間Ｔ１におけるセット期間での動作と同様であるので説明を省略する。

【００９９】

リセット待ち期間になると（時点ｓ３になると）、第１ＣＳクロック信号ＣＣＫ１の電位がハイレベルからローレベルに変化するので、薄膜トランジスタＭ１のゲート－ドレイン間の寄生容量の影響により第１ノードＮ１の電位が下降する。この電位の下降量は、上述のブーストストラップによる電位の上昇量に相当する。このため、薄膜トランジスタＭ１はオフ状態にはならない。したがって、上述のように第１ＣＳクロック信号ＣＣＫ１の電位がハイレベルからローレベルに変化することにより、状態信号Ｚの電位がローレベルに変化する。また、その後も、第１ＣＳクロック信号ＣＣＫ１の電位はローレベルを維持するので、状態信号Ｚの電位はローレベルを維持する。

【０１００】
リセット期間（時点ｓ４からの１水平走査期間）の動作については、走査期間Ｔ１におけるセット期間での動作と同様であるので説明を省略する。
【０１０１】
通常動作期間（休止期間Ｔ２において、時点ｓ０以前の期間および時点ｓ４以降の期間）では、第２ＣＳクロック信号ＣＣＫ２の電位が休止期間ＣＳ周期ｔｃｃｋ２毎にハイレベルとローレベルとを繰り返すことにより、薄膜トランジスタＭ２が休止期間ＣＳ周期ｔｃｃｋ２期間毎にオン状態になる。このため、状態信号Ｚの電位をローレベルに維持することができる。
【０１０２】
＜１．９　考察＞
例えば図９に示すＣＳドライバ５００を備えるＣＳドライバモノリシック型の液晶表示装置に対して上記特許文献３に記載の駆動方法を適用した場合を考える。この場合、休止期間Ｔ２においてＣＳラインＣＬ１～ＣＬｍ（補助容量信号ＣＳＳ（１）～ＣＳＳ（ｍ））の電位を高電位Ｖｈまたは低電位Ｖｌに維持するためには、バイアス用薄膜トランジスタ６０（１）～６０（ｍ）をオフ状態に維持する必要があるか、または、バイアス用薄膜トランジスタ６０（１）～６０（ｍ）をオン状態に維持すると共にこれらのバイアス用薄膜トランジスタ６０（１）～６０（ｍ）を介してＣＳラインＣＬ１～ＣＬｍに第１バイアス信号Ｖｃｓ１または第２バイアス信号Ｖｃｓ２を与える必要がある。
【０１０３】
休止期間Ｔ２においてＣＳラインＣＬ１～ＣＬｍの電位を高電位Ｖｈまたは低電位Ｖｌに維持するためにバイアス用薄膜トランジスタ６０（１）～６０（ｍ）をオフ状態に維持する場合、この休止期間Ｔ２においてＣＳラインＣＬ１～ＣＬｍがフローティング状態になる。このため、休止期間Ｔ２においてＣＳラインＣＬ１～ＣＬｍがノイズ等の影響を受けやすくなってしまう。その結果、表示品位の低下を招くおそれがある。これに対して、本実施形態では上述のように、休止期間Ｔ２において、第１ＣＳクロック信号ＣＣＫ１および第２ＣＳクロック信号ＣＣＫ２に基づいてＣＳドライバ５００が駆動されることにより制御信号ＣＯＵＴ（１）～ＣＯＵＴ（ｍ）が順次にハイレベル電位になる。このため、制御信号ＣＯＵＴ（１）～ＣＯＵＴ（ｍ）がハイレベル電位になるタイミングで、ＣＳラインＣＬ１～ＣＬｍにそれぞれ高電位Ｖｈまたは低電位Ｖｌが与えられることとなる。これにより、本実施形態では、休止期間Ｔ２においてＣＳラインＣＬ１～ＣＬｍがフローティング状態になることによりこれらのＣＳラインＣＬ１～ＣＬｍが受けるノイズ等の影響が低減される。その結果、表示品位の低下を抑制することができる。
【０１０４】
一方、休止期間Ｔ２においてＣＳラインＣＬ１～ＣＬｍの電位を高電位Ｖｈまたは低電位Ｖｌに維持するために、バイアス用薄膜トランジスタ６０（１）～６０（ｍ）をオン状態に維持すると共にこれらのバイアス用薄膜トランジスタ６０（１）～６０（ｍ）を介してＣＳラインＣＬ１～ＣＬｍに第１バイアス信号Ｖｃｓ１または第２バイアス信号Ｖｃｓ２を与える場合、バイアス用薄膜トランジスタ６０（１）～６０（ｍ）のゲート端子に対レベルの電位を与え続ける必要がある。このため、これらのバイアス用薄膜トランジスタ６０（１）～６０（ｍ）ゲートバイアスストレスが長時間掛かることとなるので、これらのバイアス用薄膜トランジスタ６０（１）～６０（ｍ）におけるしきい値変動が大きくなる。その結果、これらのバイアス用薄膜トランジスタ６０（１）～６０（ｍ）の駆動能力（信頼性）が低下することになる。これに対して、本実施形態では上述のように、休止期間Ｔ２において、第１ＣＳクロック信号ＣＣＫ１および第２ＣＳクロック信号ＣＣＫ２に基づいてＣＳドライバ５００が駆動されることにより制御信号ＣＯＵＴ（１）～ＣＯＵＴ（ｍ）が順次にハイレベル電位になる。このため、休止期間Ｔ２において、バイアス用薄膜トランジスタ６０（１）～６０（ｍ）のゲート端子それぞれに１水平走査期間のみハイレベル電位が与えられる。これにより、本実施形態では、バイアス用薄膜トランジスタ６０（１）～６０（ｍ）に掛かるゲートバイアスストレスが低減されるので、これらのバイ

アス用薄膜トランジスタ６０（１）～６０（ｍ）におけるしきい値変動が低減される。その結果、これらのバイアス用薄膜トランジスタ６０（１）～６０（ｍ）の駆動能力（信頼性）の低下を抑制することができる。

【０１０５】

＜１．１０　実現例＞

本実施形態における双安定回路中の各薄膜トランジスタの半導体層には、例えば、ａ－Ｓｉまたは酸化物半導体等を用いることができる。なお、酸化物半導体としては、典型的には、インジウム、ガリウム、亜鉛、および酸素を主成分とする酸化物半導体であるＩｎＧａＺｎO_x（以下、「ＩＧＺＯ」という）が用いられるが本発明はこれに限定されるものではない。例えば、インジウム、ガリウム、亜鉛、銅、珪素、錫、アルミニウム、カルシウム、ゲルマニウム、および鉛のうち少なくとも１つを含む酸化物半導体であれば良い。

【０１０６】

図１８は、ａ－ＳｉＴＦＴおよびＩＧＺＯを半導体層に用いたＴＦＴ（以下「ＩＧＺＯＴＦＴ」という）のドレイン電流－ゲート電圧特性を示す図である。図１８において、横軸はゲート電圧Ｖｇを表し、縦軸はドレイン電流Ｉｄｓを表している。図１８に示すように、ＩＧＺＯＴＦＴのリーク電流はａ－ＳｉＴＦＴのリーク電流の１／１０００以下であると共に、ＩＧＺＯＴＦＴのオン電流はａ－ＳｉＴＦＴのオン電流の約２０倍である。

【０１０７】

ａ－ＳｉＴＦＴを用いた場合、フレーム周波数を例えば４５Ｈｚ程度まで低くすることができる。これに対して、ＩＧＺＯＴＦＴを本実施形態における双安定回路の各薄膜トランジスタとして用いた場合、ＩＧＺＯＴＦＴは上述のようにリーク電流が小さいので、画素ＴＦＴからのリーク電流が小さく、画素電位の保持時間を長くすることができるため、フレーム周波数を例えば０．２Ｈｚ程度まで低くすることができる。このため、ＩＧＺＯＴＦＴを用いた場合、ａ－ＳｉＴＦＴを用いた場合に比べてＣＳドライバ５００の駆動電力を１／１００以下にすることができる。なお、より詳細には、ＩＧＺＯＴＦＴを用いた場合、走査期間ＣＳ周波数ｆｃｃｋ１を６０Ｈｚに設定すると、休止期間ＣＳ周波数ｆｃｃｋ２を１～０．１Ｈｚ程度に設定することができる。

【０１０８】

また、ＩＧＺＯＴＦＴは上述のようにオン電流が大きいので、ＩＧＺＯＴＦＴを用いた場合、ａ－ＳｉＴＦＴを用いた場合に比べてＴＦＴのサイズを１／２０程度に小さくすることができる。

【０１０９】

なお、ａ－ＳｉＴＦＴを用いた場合は、ＩＧＺＯＴＦＴを用いた場合よりも低コストで本実施形態を実現することができる。

【０１１０】

＜１．１１　効果＞

本実施形態によれば、１フレーム期間において、走査期間Ｔ１の後に休止期間Ｔ２が設けられる。休止期間ＣＳ周波数ｆｃｃｋ２が走査期間ＣＳ周波数ｆｃｃｋ１よりも低いので、ＣＳドライバ５００の１フレーム期間全体の駆動周波数が低減される。このため、ＣＳドライバ５００の駆動に要する消費電力が低減される。また、ＣＳドライバ５００がモノリシック化されて形成されているので、液晶表示パネル８００の額縁面積が縮小されると共に、ＣＳドライバ５００のコストが低減される。

【０１１１】

また、本実施形態によれば、休止期間Ｔ２において、制御信号ＣＯＵＴ（１）～ＣＯＵＴ（ｍ）がハイレベル電位になるタイミングで、ＣＳラインＣＬ１～ＣＬｍにそれぞれ高電位Ｖｈまたは低電位Ｖｌが与えられる。このため、休止期間Ｔ２においてＣＳラインＣＬ１～ＣＬｍがフローティング状態になることによりこれらのＣＳラインＣＬ１～ＣＬｍが受けるノイズ等の影響が低減される。これにより、表示品位の低下を抑制することができる。また、休止期間Ｔ２において、バイアス用薄膜トランジスタ６０（１）～６０（ｍ

）のゲート端子それぞれに１水平走査期間のみハイレベル電位が与えられることとなるので、バイアス用薄膜トランジスタ６０（１）～６０（ｍ）に掛かるゲートバイアスストレスが低減される。その結果、バイアス用薄膜トランジスタ６０（１）～６０（ｍ）におけるしきい値変動が低減されるので、これらのバイアス用薄膜トランジスタ６０（１）～６０（ｍ）の駆動能力（信頼性）の低下を抑制することができる。

【０１１２】

また、本実施形態によれば、休止期間Ｔ２が走査期間Ｔ１よりも長く設けられているので、さらなる消費電力化を図ることができる。

【０１１３】

ＩＧＺＯＴＦＴを本実施形態におけるＣＳ双安定回路の各薄膜トランジスタとして用いた場合には、ＩＧＺＯＴＦＴのリーク電流が十分に小さいので、休止期間ＣＳ周波数ｆｃｃｋ２をさらに低くすることができる。このため、消費電力を低減することができる。また、この場合、ＩＧＺＯＴＦＴのオン電流が十分に大きいので、ＴＦＴサイズを十分に小さくすることができる。これにより、さらなる狭額縁化を図ることができる。

【０１１４】

一方、ａ－ＳｉＴＦＴを本実施形態におけるＣＳ双安定回路の各薄膜トランジスタとして用いた場合には、さらなる低コスト化を図ることができる。

【０１１５】

なお、本実施形態では、１フレーム期間において、走査期間Ｔ１の後に休止期間Ｔ２が設けられることにより、ゲートドライバ４００の１フレーム期間全体の駆動周波数も低減されるので、ゲートドライバ４００の駆動に要する消費電力も低減される。また、ゲートクロック信号ＧＣＫの周波数についても、走査期間Ｔ１よりも休止期間Ｔ２において低くなるので、ゲートドライバ４００の駆動に要する消費電力も低減することができる。

【０１１６】

＜２．第２の実施形態＞

＜２．１　休止期間の動作＞

図１９は、本発明の第２の実施形態におけるＣＳドライバ５００の動作のうち、特に休止期間Ｔ２の動作を説明するための信号波形図である。なお、本実施形態は、休止期間の動作を除き上記第１の実施形態と同様であるので、当該同様の部分についての説明を省略する。図１９に示すように、本実施形態における休止期間ＣＳ振幅Ｖｃｃｋ２は走査期間ＣＳ振幅Ｖｃｃｋ１よりも小さい。なお、休止期間Ｔ２においてバイアス用薄膜トランジスタ６０（１）～６０（ｍ）を確実にオン状態にするためには、この休止期間ＣＳ振幅Ｖｃｃｋ２はバイアス用薄膜トランジスタ６０（１）～６０（ｍ）のしきい値電圧よりも大きい必要がある。すなわち、本実施形態における休止期間ＣＳ振幅Ｖｃｃｋ２は、走査期間ＣＳ振幅Ｖｃｃｋ１よりも小さく且つバイアス用薄膜トランジスタ６０（１）～６０（ｍ）のしきい値電圧よりも大きい。

【０１１７】

＜２．２　効果＞

本実施形態によれば、休止期間Ｔ２における第１ＣＳクロック信号ＣＣＫ１および第２ＣＳクロック信号ＣＣＫ２の振幅である休止期間ＣＳ振幅Ｖｃｃｋ２が、走査期間Ｔ１における第１ＣＳクロック信号ＣＣＫ１および第２ＣＳクロック信号ＣＣＫ２の振幅である走査期間ＣＳ振幅Ｖｃｃｋ１よりも小さい。このため、さらなる低消費電力化を図ることができる。また、休止期間Ｖ２にバイアス用薄膜トランジスタ６０（１）～６０（ｍ）に掛かるゲートバイアスストレスが低減されるので、これらのバイアス用薄膜トランジスタ６０（１）～６０（ｍ）のさらなる高信頼性化を図ることができる。

【０１１８】

＜３．第３の実施形態＞

＜３．１　全体構成および動作＞

図２０は、本発明の第３の実施形態に係るアクティブマトリクス型の液晶表示装置の全体構成を示すブロック図である。本実施形態の構成要素のうち第１の実施形態と同一の要

素については、同一の参照符号を付して説明を省略する。図２０に示すように、本実施形態に係る液晶表示装置は、上記第１の実施形態におけるゲートドライバ４００およびＣＳドライバ５００に代えてゲートＣＳドライバ９００を備えている。このゲートＣＳドライバ９００は、後述のように上記ゲートドライバ４００およびＣＳドライバ５００により構成されている。このゲートＣＳドライバ９００は、表示部６００と一体的に液晶表示パネル８００上に形成されている。すなわち、本実施形態では、ＣＳドライバ５００のみならず、ゲートドライバ４００も表示部６００と一体的に形成されている。このゲートドライバ４００も、ＣＳドライバ５００と同様にアモルファスシリコン、多結晶シリコン、微結晶シリコン、または酸化物半導体（例えばＩＧＺＯ）などを用いて、表示部６００を含む液晶表示パネル８００上に形成されている。

【０１１９】

表示制御回路２００は、上記第１の実施形態と異なり、ＣＳクロック信号ＣＣＫおよびＣＳスタートパルス信号ＣＳＰを出力しない。すなわち、本実施形態における表示制御回路２００は、デジタル映像信号ＤＶと、ソーススタートパルス信号ＳＳＰ、ソースクロック信号ＳＣＫ、ラッチストローブ信号ＬＳ、ゲートスタートパルス信号ＧＳＰ、ゲートエンドパルス信号ＧＥＰ、ゲートクロック信号ＧＣＫ、第１バイアス信号Ｖｃｓ１、および第２バイアス信号Ｖｃｓ２のみを出力する。本実施形態では、ゲートスタートパルス信号ＧＳＰ、ゲートクロック信号ＧＣＫ、およびクロック信号が実現されている。また、ゲートスタートパルス信号ＧＳＰおよびゲートクロック信号ＧＣＫにより補助容量クロック信号が実現されている。

【０１２０】

ゲートＣＳドライバ９００内のゲートドライバ４００は、表示制御回路２００から出力されるゲートスタートパルス信号ＧＳＰおよびゲートクロック信号ＧＣＫに基づいて、ハイレベル電位の走査信号ＧＯＵＴ（１）～ＧＯＵＴ（ｍ）のゲートラインＧＬ１～ＧＬｍそれぞれへの印加を１フレーム期間を周期として繰り返す。ゲートＣＳドライバ９００内のＣＳドライバ５００は、表示制御回路２００から出力されるゲートクロック信号ＧＣＫ（第１ゲートクロック信号ＧＣＫ１および第２ゲートクロック信号ＧＣＫ２）、第１バイアス信号Ｖｃｓ１および第２バイアス信号Ｖｃｓ２に基づいて、ＣＳラインＣＬ１～ＣＬｍに、画素電位Ｖｄにバイアスを掛けるための補助容量信号ＣＳＳ（１）～ＣＳＳ（ｍ）をそれぞれ印加する。本実施形態では、第１ゲートクロック信号ＧＣＫ１および第２ゲートクロック信号ＧＣＫ２により複数の第１シフト動作クロック信号が実現されている。

【０１２１】

＜３．２　ゲートＣＳドライバの構成＞

図２１は、本実施形態におけるゲートＣＳドライバ９００の構成を説明するためのブロック図である。このゲートＣＳドライバ９００は、上述のようにゲートドライバ４００およびＣＳドライバ５００により構成されている。図２１に示すように、ゲートドライバ４００は、上記ゲートシフトレジスタ４１０（以下、本実施形態では単に「シフトレジスタ」という）および出力バッファ群４２０により構成されている。ＣＳドライバ５００は、シフトレジスタ４１０および上記ＣＳ出力部５２０により構成されている。すなわち、本実施形態では、ゲートドライバ４００とＣＳドライバ５００とがシフトレジスタ４１０を共有している。本実施形態では、シフトレジスタ４１０により第１シフトレジスタが実現されている。

【０１２２】

図２２は、本実施形態におけるゲートドライバ４００およびＣＳドライバ５００の、最前段および最後段以外の構成を示すブロック図である。図２３は、本実施形態におけるゲートドライバ４００およびＣＳドライバ５００の最前段側の構成を示すブロック図である。図２４は、本実施形態におけるゲートドライバ４００およびＣＳドライバ５００の最後段側の構成を示すブロック図である。なお、上記第１の実施形態と共通する部分については適宜説明を省略する。

【０１２３】

図２２～図２４に示すように、シフトレジスタ４１０は、ｍ個のゲート双安定回路（以下、本実施形態では単に「双安定回路」という）４０（１）～４０（ｍ）と、１個のダミー用双安定回路４０（ｍ＋１）（以下単に「双安定回路４０（ｍ＋１）」ということがある）からなっている。出力バッファ群４２０は、ｍ個の出力バッファ７０（１）～７０（ｍ）からなっている。ＣＳ出力部５２０は、上述のようにｍ個のバイアス用薄膜トランジスタ６０（１）～６０（ｍ）により構成されている。本実施形態では、双安定回路（ゲート双安定回路）により第１双安定回路が実現されている。

【０１２４】

本実施形態では上記第１の実施形態と異なり、バイアス用薄膜トランジスタ６０（１）～６０（ｍ）が双安定回路４０（１）～４０（ｍ）に１段ずれて対応している。すなわち、本実施形態では、バイアス用薄膜トランジスタ６０（１）～６０（ｍ）が双安定回路４０（２）～４０（ｍ＋１）にそれぞれ対応している。なお、これらのバイアス用薄膜トランジスタ６０（１）～６０（ｍ）は、上記第１の実施形態と同様にＣＳラインＣＬ１～ＣＬｍにそれぞれ対応している。各バイアス用薄膜トランジスタのゲート端子には、対応する双安定回路の出力端子４９（状態信号Ｚが出力される端子）が接続され、ドレイン端子には対応するＣＳラインが接続されている。奇数段目のバイアス用薄膜トランジスタのソース端子には第１バイアス信号Ｖｃｓ１が与えられ、偶数段目のバイアス用薄膜トランジスタのソース端子には第２バイアス信号Ｖｃｓ２が与えられる。

【０１２５】

出力バッファ７０（１）～７０（ｍ）は、双安定回路４０（１）～４０（ｍ）にそれぞれ対応すると共に、ゲートラインＧＬ１～ＧＬｍにそれぞれ対応している。各出力バッファは、例えば図２５に示すＡＮＤ回路により実現される。ここで、出力バッファ７０（ｉ）を実現するＡＮＤ回路を示している。以下では、出力バッファと、当該出力バッファを実現するＡＮＤ回路とを同一の符号で表すことがある。各ＡＮＤ回路の一方の入力端子には対応する双安定回路の出力端子４９が接続され（制御信号が与えられ）、他方の入力端子には対応するバイアス入力信号Ｖｇｈが与えられ、出力端子には対応するゲートラインが接続されている。このバイアス入力信号Ｖｇｈは表示制御回路２００から各ＡＮＤ回路に与えられる。また、このバイアス入力信号Ｖｇｈは、走査期間Ｔ１にはハイレベル電位（Ｖｄｄ電位）となり、休止期間Ｔ２にはローレベル電位（Ｖｓｓ電位）となる。

【０１２６】

＜３．３　ゲートＣＳドライバの動作＞

図２６は、本実施形態におけるゲートＣＳドライバ９００の動作を説明するための信号波形図である。まず、走査期間Ｔ１における動作について説明する。走査期間Ｔ１では、ゲートＣＳドライバ９００は走査期間ゲート周波数ｆｇｃｋ１で駆動される。図２６に示すように、ゲートスタートパルス信号ＧＳＰがハイレベル電位になった後、第１ゲートクロック信号ＧＣＫ１および第２ゲートクロック信号ＧＣＫ２に基づいて、制御信号ＧＯＵＴ’（１）～ＧＯＵＴ’（ｍ）が順次にハイレベル電位になる。この走査期間Ｔ１ではバイアス入力信号Ｖｇｈがハイレベル電位になっているので、これらの制御信号ＧＯＵＴ’（１）～ＧＯＵＴ’（ｍ）がハイレベル電位になるタイミングでそれぞれ、ＡＮＤ回路７０（１）～７０（ｍ）の出力信号の電位がハイレベルになる。すなわち、の制御信号ＧＯＵＴ’（１）～ＧＯＵＴ’（ｍ）がハイレベル電位になるタイミングでそれぞれ走査信号ＧＯＵＴ（１）～ＧＯＵＴ（ｍ）がハイレベル電位になる。

【０１２７】

ここで、走査期間Ｔ１では第１バイアス信号Ｖｃｓ１の電位が高電位Ｖｈであり、第２バイアス信号Ｖｃｓ２の電位が低電位Ｖｌになっているものとする。２段目の双安定回路４０（２）の出力信号である制御信号ＧＯＵＴ’（２）がハイレベル電位になると、これに対応するバイアス用薄膜トランジスタ６０（１）がオン状態になる。このバイアス用薄膜トランジスタ６０（１）のソース端子には第１バイアス信号Ｖｃｓ１が与えられているので、ＣＳライン（１）に印加される補助容量信号ＣＳＳ（１）の電位が高電位Ｖｈに変化する。この補助容量信号ＣＳＳ（１）の電位は、後続の１フレーム期間においてバイア

ス用薄膜トランジスタ６０（１）がオン状態になるまで維持される。

【０１２８】

３段目の双安定回路４０（３）の出力信号である制御信号ＧＯＵＴ’（３）がハイレベル電位になると、これに対応するバイアス用薄膜トランジスタ６０（２）がオン状態になる。このバイアス用薄膜トランジスタ６０（２）のソース端子には第２バイアス信号Ｖｃｓ２が与えられているので、ＣＳライン（２）印加される補助容量信号ＣＳＳ（２）の電位が低電位Ｖｌに変化する。この補助容量信号ＣＳＳ（２）の電位は、後続の１フレーム期間においてバイアス用薄膜トランジスタ６０（２）がオン状態になるまで維持される。以下同様に、双安定回路の出力信号である制御信号に応じて各ＣＳラインに印加される補助容量信号の電位が順次変化する。

【０１２９】

なお、図２６に示すように、休止期間Ｔ２において補助容量信号ＣＳＳ（１）～ＣＳＳ（ｍ）を順次にハイレベル電位にするために、走査期間Ｔ１の最後の１水平走査期間においてゲートスタートパルス信号ＧＳＰが再度ハイレベル電位になる。

【０１３０】

次に、休止期間Ｔ２における動作について説明する。休止期間Ｔ２では、ゲートＣＳドライバ９００は、走査期間ゲート周波数ｆｇｃｋ１よりも低い休止期間ゲート周波数ｆｇｃｋ２で駆動される。上述のように走査期間Ｔ１の最後の１水平走査期間においてゲートスタートパルス信号ＧＳＰがハイレベル電位になっているので、走査期間ＣＳ周波数ｆｃｃｋ１よりも低い休止期間ＣＳ周波数ｆｃｃｋ２の第１ゲートクロック信号ＧＣＫ１および第２ゲートクロック信号ＧＣＫ２に基づいて、制御信号ＧＯＵＴ’（１）～ＧＯＵＴ’（ｍ）が順次にハイレベル電位になる。しかし、この休止期間Ｔ２ではバイアス入力信号Ｖｇｈがローレベル電位になっているので、ＡＮＤ回路７０（１）～７０（ｍ）の出力信号の電位はローレベルを維持する。すなわち、休止期間Ｔ２では走査信号ＧＯＵＴ（１）～走査信号ＧＯＵＴ（ｍ）はローレベル電位を維持する。

【０１３１】

また、休止期間Ｔ２において制御信号ＧＯＵＴ’（１）～ＧＯＵＴ’（ｍ）が順次にハイレベル電位になると、バイアス用薄膜トランジスタ６０（１）～（ｍ）がそれぞれオン状態になる。この休止期間Ｔ２における第１バイアス信号Ｖｃｓ１および第２バイアス信号Ｖｃｓ２は、走査期間Ｔ１におけるものと同じ電位である。このため、ＣＳラインＣＬ１～ＣＬｍにそれぞれ与えられる補助容量信号ＣＳＳ（１）～ＣＳＳ（ｍ）の電位は変化しない。

【０１３２】

なお、本実施形態における双安定回路の構成および動作は上記第１の実施形態におけるゲート双安定回路またはＣＳ双安定回路のものと同様なので、その説明を省略する。

【０１３３】

＜３．４　効果＞

本実施形態によれば、ゲートドライバ４００とＣＳドライバ５００とでシフトレジスタ４１０を共有化できる。このため、回路規模が縮小されるので、例えばさらなる狭額縁化を図ることができる。また、ＣＳドライバ５００のみならずゲートドライバ４００もモノリシック化されて形成されるため、ゲートドライバ４００のコストが低減されると共に、さらなる狭額縁化を図ることができる。

【０１３４】

なお、休止期間Ｔ２における第１ゲートクロック信号ＧＣＫ１および第２ゲートクロック信号ＧＣＫ２の振幅（以下「休止期間ゲート振幅」という）を走査期間Ｔ１における第１ゲートクロック信号ＧＣＫ１および第２ゲートクロック信号ＧＣＫ２の振幅（以下「走査期間ゲート振幅」という）よりも小さくした場合には、さらなる低消費電力化を図ることができる。ただし、この場合、休止期間ゲート振幅は、走査期間ゲート振幅よりも小さく、且つバイアス用薄膜トランジスタ６０（１）～６０（ｍ）のしきい値電圧および出力バッファ７０（１）～７０（ｍ）を実現する薄膜トランジスタのしきい値電圧よりも大き

い必要がある。

【０１３５】

なお、各出力バッファは、与えられるバッファ入力信号Ｖｇｈと、対応する双安定回路の出力信号である制御信号との論理積を実質的に出力できれば良く、上記ＡＮＤ回路に限定されるものではない。

【０１３６】

＜４．第４の実施形態＞

＜４．１　ＣＳドライバの構成＞

図２７は、本発明の第４の実施形態におけるＣＳドライバ５００の構成を示すブロック図である。なお、本実施形態は、ＣＳドライバ５００の構造および休止期間の動作を除き上記第１の実施形態と同様であるので、当該同様の部分についての説明を省略する。図２７に示すように、本実施形態におけるＣＳドライバ５００は、ｍ本のゲートラインＧＬ１～ＧＬｍにそれぞれ対応して設けられた、ｍ個の休止時動作用薄膜トランジスタ（第２スイッチング素子）６１（１）～６１（ｍ）をさらに備えている。また、これらの休止動作用薄膜トランジスタ６１（１）～６１（ｍ）はそれぞれＣＳ双安定回路５０（１）～５０（ｍ）に対応している。

【０１３７】

各休止動作用薄膜トランジスタのゲート端子には休止期間動作用クロック信号ＡＬＬ＿ＯＮが与えられ、ドレイン端子には対応するゲートラインが接続されている。この休止期間動作用クロック信号ＡＬＬ＿ＯＮは表示制御回路２００から与えられる。また、この休止期間動作用クロック信号ＡＬＬ＿ＯＮは、走査期間Ｔ１では常にローレベル電位である。なお、以下の説明では、休止期間Ｔ２における休止期間動作用クロック信号ＡＬＬ＿ＯＮの周期（以下「休止期間ＡＬＬ＿ＯＮ周期」という）を符号ｔａｃｋ２で表す。また、休止期間Ｔ２における休止期間動作用クロック信号ＡＬＬ＿ＯＮの周波数（以下「休止期間ＡＬＬ＿ＯＮ周波数」という）を符号ｆａｃｋ２で表す。

【０１３８】

休止期間動作用クロック信号ＡＬＬ＿ＯＮは、休止期間ＡＬＬ＿ＯＮ周期ｔａｃｋ２毎にハイレベル電位になる。この休止期間ＡＬＬ＿ＯＮ周期ｔａｃｋ２は、走査期間ＣＳ周期ｔｃｃｋ１よりも長い。すなわち、休止期間ＡＬＬ＿ＯＮ周波数ｆａｃｋ２は走査期間ＣＳ周波数ｆｃｃｋ１よりも低い。

【０１３９】

奇数段目のＣＳ双安定回路に対応する休止動作用薄膜トランジスタのドレイン端子には第１バイアス信号Ｖｃｓ１が与えられる。一方、偶数段目のＣＳ双安定回路に対応する休止動作用薄膜トランジスタのドレイン端子には第２バイアス信号Ｖｃｓ２が与えられる。本実施形態では、休止期間動作用クロック信号ＡＬＬ＿ＯＮ、ＣＳクロック信号ＣＣＫ、およびＣＳスタートパルス信号ＣＳＰにより補助容量クロック信号が実現されている。

【０１４０】

＜４．２　ＣＳドライバの動作＞

図２８は、本実施形態におけるＣＳドライバ５００の動作のうち、特に休止期間Ｔ２の動作を説明するための信号波形図である。走査期間Ｔ１では、休止期間動作用クロック信号ＡＬＬ＿ＯＮは上述のようにローレベル電位を維持している。

【０１４１】

本実施形態では、上記第１の実施形態と異なり、休止期間Ｔ２において第１ＣＳクロック信号ＣＣＫ１および第２ＣＳクロック信号ＣＣＫ２がローレベル電位を維持している。このとき、休止期間ＣＳ周波数ｆｃｃｋ２は０となる。また、休止期間Ｔ２においてＣＳスタートパルス信号ＣＳＰがハイレベル電位にならない。このため、休止期間Ｔ２において制御信号ＣＯＵＴ（１）～ＣＯＵＴ（ｍ）はハイレベル電位にならない。また、休止期間Ｔ２では、休止期間動作用クロック信号ＡＬＬ＿ＯＮは休止期間ＡＬＬ＿ＯＮ周期ｔａｃｋ２毎にハイレベル電位になる。休止期間動作用クロック信号ＡＬＬ＿ＯＮがハイレベル電位になると、休止動作用薄膜トランジスタ６１（１）～６１（ｍ）がオン状態になる

。この休止期間Ｔ２における第１バイアス信号Ｖｃｓ１および第２バイアス信号Ｖｃｓ２は、走査期間Ｔ１におけるものと同じ電位である。このため、ＣＳラインＣＬ１～ＣＬｍにそれぞれ与えられる補助容量信号ＣＳＳ（１）～ＣＳＳ（ｍ）の電位は変化しない。

【０１４２】

なお、ＣＳドライバ５００のその他の動作については上記第１の実施形態と同様であるのでその説明を省略する。

【０１４３】

＜４．３　効果＞

本実施形態によれば、休止期間Ｔ２において、制御信号ＣＯＵＴ（１）～ＣＯＵＴ（ｍ）がハイレベル電位になるタイミングに代えて、休止期間動作用クロック信号ＡＬＬ＿ＯＮがハイレベル電位になるタイミングでＣＳラインＣＬ１～ＣＬｍにそれぞれ高電位Ｖｈまたは低電位Ｖｌが与えられる。このため、休止期間Ｔ２においてＣＳラインＣＬ１～ＣＬｍがフローティング状態になることによりこれらのＣＳラインＣＬ１～ＣＬｍが受けるノイズ等の影響が低減される。これにより、表示品位の低下を抑制することができる。また、休止期間Ｔ２において第１ＣＳクロック信号ＣＣＫ１および第２ＣＳクロック信号ＣＣＫ２がローレベル電位を維持するので、さらなる低消費電力化を図ることができる。さらに、休止期間Ｔ２において制御信号ＣＯＵＴ（１）～ＣＯＵＴ（ｍ）がハイレベル電位にならないので、バイアス用薄膜トランジスタ６０（１）～６０（ｍ）に掛かるゲートバイアスストレスがさらに低減される。したがって、バイアス用薄膜トランジスタ６０（１）～６０（ｍ）におけるしきい値変動がさらに低減されるので、これらのバイアス用薄膜トランジスタ６０（１）～６０（ｍ）のさらなる高信頼性化を図ることができる。なお、休止動作用薄膜トランジスタ６１（１）～６１（ｍ）においてしきい値変動が生じたとしても、バイアス用薄膜トランジスタ６０（１）～６０（ｍ）においてしきい値変動が生じる場合に比べて表示に与える影響は少ない。

【０１４４】

＜５．第５の実施形態＞

＜５．１　ＣＳシフトレジスタの構成および動作＞

図２９は、本発明の第５の実施形態におけるＣＳシフトレジスタ５１０の構成を説明するためのブロック図である。なお、本実施形態は、ＣＳシフトレジスタ４１０の構成および動作を除き上記第１の実施形態と同様であるので、当該同様の部分についての説明を省略する。本実施形態では、表示制御回路２００からＣＳドライバ５００に与えられるＣＳクロック信号ＣＣＫが、３相のＣＳクロック信号ＣＣＫ１～ＣＣＫ３からなっている。以下では、ＣＳクロック信号ＣＣＫ３を「第３ＣＳクロック信号」という。これらの第１ＣＳクロック信号ＣＣＫ１、第２ＣＳクロック信号ＣＣＫ２、および第３ＣＳクロック信号ＣＣＫ３は互いに１水平走査期間だけ位相がずれており、いずれも３水平走査期間中の１水平走査期間だけハイレベル電位（Ｖｄｄ電位）になる（ただし、休止期間Ｔ２を除く）。

【０１４５】

ＣＳシフトレジスタ５１０の各段（各ＣＳ双安定回路）の入力端子に与えられる信号は次のようになっている。ｉ－２段目には、第１ＣＳクロック信号ＣＣＫ１が第１クロック信号ＣＫ１として与えられ、第２ＣＳクロック信号ＣＣＫ２が第２クロック信号ＣＫ２として与えられる。ｉ－１段目には、第２ＣＳクロック信号ＣＣＫ２が第１クロック信号ＣＫ１として与えられ、第３ＣＳクロック信号ＣＣＫ３が第２クロック信号ＣＫ２として与えられる。ｉ段目には、第３ＣＳクロック信号ＣＣＫ３が第１クロック信号ＣＫ１として与えられ、第１ＣＳクロック信号ＣＣＫ１が第２クロック信号ＣＫ２として与えられる。なお、セット信号Ｓおよびリセット信号Ｒを受け取るための端子に与えられる信号については上記第１の実施形態と同様であるので説明を省略する。

【０１４６】

以上のような構成において、ＣＳシフトレジスタ５１０の１段目５０（１）にセット信号ＳとしてのＣＳスタートパルス信号ＣＳＰが与えられると、第１ＣＳクロック信号ＣＣ

Ｋ１、第２ＣＳクロック信号ＣＣＫ２、および第３ＣＳクロック信号ＣＣＫ３に基づいて、図３０に示すように、１水平走査期間ずつ順次にハイレベル電位となる制御信号がＣＳドライバ５００内のＣＳ出力部５２０に与えられる。

【０１４７】

＜５．２　消費電力＞

一般に、ＣＳドライバの駆動に要する消費電力Ｗ（以下単に「消費電力Ｗ」という）は、下記の式（１）により求められる。

$$W = n \times f \times (Cp + Ct) \times V^2 \quad \cdots (1)$$

ここで、ｎはＣＳクロック信号ＣＣＫの相数を、ｆはＣＳクロック信号ＧＣＫの周波数を、Ｃｐは配線容量を、Ｃｔは薄膜トランジスタの負荷容量を表す。

【０１４８】

上記第１の実施形態では、ＣＳクロック信号ＣＣＫの相数が２である。このため、上記式（１）より、上記第１の実施形態における消費電力Ｗは下記の式（２）により表すことができる。

$$W = 2 \times f \times (Cp + Ct) \times V^2 \quad \cdots (2)$$

【０１４９】

一方、本実施形態では、ＣＳクロック信号ＣＣＫの相数が３である。また、ＣＳクロック信号ＣＣＫの各相（以下単に「各相」という）に着目した場合に、本実施形態における、当該各相が与えられる双安定回路の入力端子４１または４２の数（以下「接続数」という）が、上記第１の実施形態における接続数よりも少なくなる。これは、各相に対する薄膜トランジスタの負荷容量が小さくなることを意味する。上記第１の実施形態では、各相が、１段毎に入力端子４１または４２に交互に与えられているので、接続数はｍである。なお、ここでは便宜上ダミー段５０（ｍ＋１）を考慮していない。一方本実施形態では、各相が、１段おきに且つ１段毎に入力端子４１または４２に交互に与えられているので、接続数は（２／３）×ｍである。すなわち、本実施形態における各相に対する薄膜トランジスタの負荷容量は、上記第１の実施形態における負荷容量の２／３になる。したがって、上記式（１）により、本実施形態における消費電力Ｗは下記の式（３）により表すことができる。

$$W = 3 \times f \times (Cp + (2/3) \times Ct) \times V^2 \quad \cdots (3)$$

【０１５０】

ここで、$Cp = Ct / 3$であると仮定すると、上記式（２）および式（３）をそれぞれ下記の式（４）および（５）により表すことができる。

$$W = 2.67 \times f \times Ct \times V^2 \quad \cdots (4)$$

$$W = 2 \times f \times Ct \times V^2 \quad \cdots (5)$$

【０１５１】

上記式（４）および（５）から、本実施形態では、上記第１の実施形態よりも３０％程度消費電力Ｗを低減できることがわかる。

【０１５２】

＜５．３　効果＞

本実施形態によれば、ＣＳクロック信号ＣＣＫの相数が３となる。このため、各相が与えられるＣＳ双安定回路の入力端子４１または４２の数（接続数）が、上記第１の実施形態における接続数よりも少なくなる。このため、各相に対する薄膜トランジスタの負荷容量が小さくなる。したがって、さらなる低消費電力化を図ることができる。

【０１５３】

＜６．その他＞

上記各実施形態において、ＣＳクロック信号ＣＣＫおよびゲートクロック信号ＧＣＫの周波数および振幅の制御は表示制御回路２００において行われることが望ましいが、ＣＳドライバ５００およびゲートドライバ４００においてそれぞれこのような制御が行われる構成としても良い。

【０１５４】

本発明におけるＣＳ双安定回路およびゲート双安定回路の構成は上記各実施形態に例示されたものに限定されるものではなく、種々変形可能である。

【０１５５】

上記第１の実施形態ではＣＳクロック信号ＣＣＫが２相からなり、上記第５の実施形態ではＣＳクロック信号ＣＣＫが３相からなっているが、本発明はこれに限定されるものではない。ＣＳクロック信号ＣＣＫが４相以上からなっていても良い。

【０１５６】

上記各実施形態では、双安定回路内に設けられている薄膜トランジスタはすべてｎチャネル型であるものとして説明したが、本発明はこれに限定されるものではない。双安定回路内に設けられている薄膜トランジスタがｐチャネル型であっても本発明を適用することができる。

【０１５７】

その他、本発明の趣旨を逸脱しない範囲で上記各実施形態を種々変形して実施することができる。

【０１５８】

以上により、本発明によれば、消費電力を低減したＣＳ駆動方式の液晶表示装置、および当該液晶表示装置内の補助容量線の駆動方法を提供することができる。

【産業上の利用可能性】

【０１５９】

本発明は、ドライバモノリシック型の液晶表示装置に適用することができる。

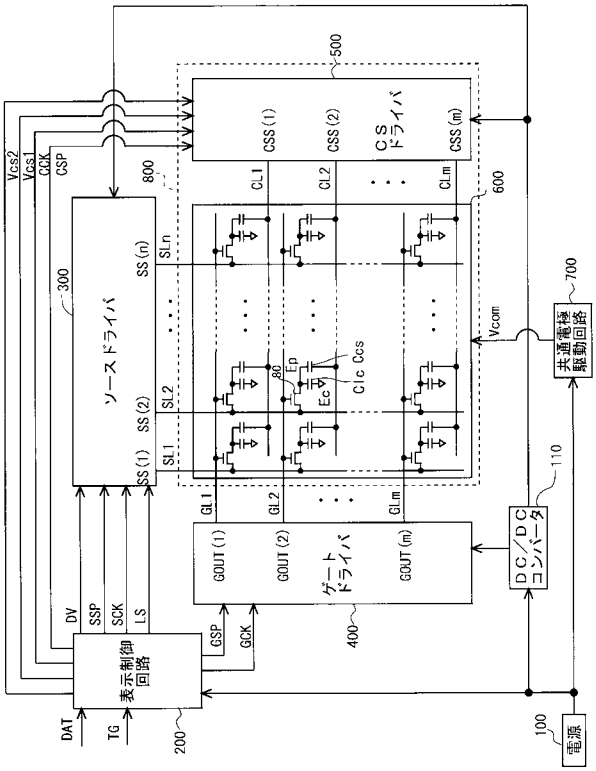
【符号の説明】

【０１６０】

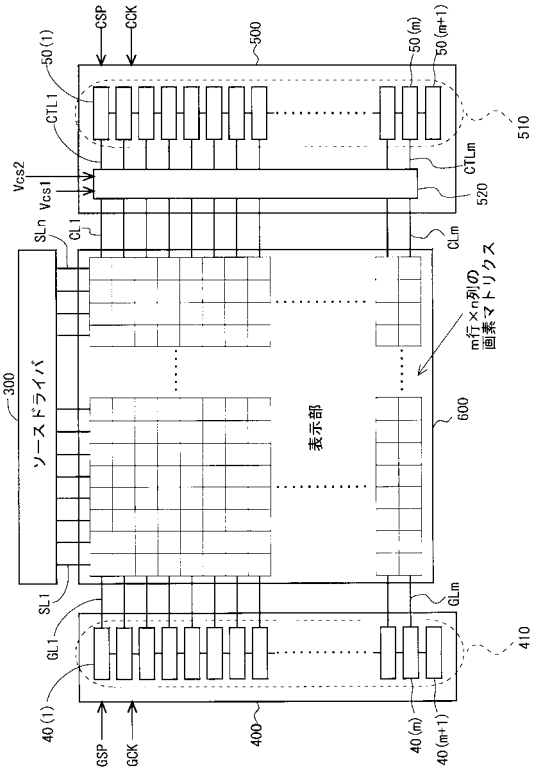
４０（１）～４０（ｍ）…ゲート双安定回路（双安定回路）
４０（ｍ＋１）…ゲート双安定回路（ダミー段）
４１～４４…入力端子（入力ノード）
４９…出力端子（出力ノード）
５０（１）～５０（ｍ）…ＣＳ双安定回路（双安定回路）
５０（ｍ＋１）…ＣＳ双安定回路（ダミー段）
６０（１）～６０（ｍ）…バイアス用薄膜トランジスタ（第１スイッチング素子）
６１（１）～６１（ｍ）…休止動作用薄膜トランジスタ（第２スイッチング素子）
７０（１）～７０（ｍ）…出力バッファ（ＡＮＤ回路）
８０…画素薄膜トランジスタ（画素スイッチング素子）
３００…ソースドライバ（映像信号線駆動回路）
４００…ゲートドライバ（走査信号線駆動回路）
４１０…ゲートシフトレジスタ
４２０…出力バッファ群
５００…ＣＳドライバ（補助容量線駆動回路）
５１０…ＣＳシフトレジスタ
５２０…ＣＳ出力部
６００…表示部
８００…液晶表示パネル
９００…ゲートＣＳドライバ
Ｅｐ…画素電極
Ｃｃｓ…補助容量
Ｍ１～Ｍ４…薄膜トランジスタ（スイッチング素子）
Ｃ１…コンデンサ（容量素子）
Ｎ１…第１ノード
ＣＳＰ…ＣＳスタートパルス信号
ＧＳＰ…ゲートスタートパルス信号
ＣＣＫ１～ＣＣＫ３…第１ＣＳクロック信号～第３ＣＳクロック信号（第１シフト動作用

クロック信号）
ＧＣＫ１、ＧＣＫ２…第１ゲートクロック信号、第２ゲートクロック信号（第２シフト動作用クロック信号）
Ｓ…セット信号
Ｒ…リセット信号
ＣＳＳ（１）～ＣＳＳ（ｍ）…補助容量信号
ＣＯＵＴ（１）～ＣＯＵＴ（ｍ）…制御信号
ＧＯＵＴ（１）～ＧＯＵＴ（ｍ）…走査信号
ＧＯＵＴ’（１）～ＧＯＵＴ’（ｍ）…制御信号
ＡＬＬ＿ＯＮ…休止期間動作用クロック信号
Ｔ１…走査期間
Ｔ２…休止期間
ｔｃｃｋ１…走査期間ＣＳ周期
ｔｃｃｋ２…休止期間ＣＳ周期
ｔａｃｋ２…休止期間ＡＬＬ＿ＯＮ周期
ｆｃｃｋ１…走査期間ＣＳ周波数
ｆｃｃｋ２…休止期間ＣＳ周波数
ｆａｃｋ２…休止期間ＡＬＬ＿ＯＮ周波数
Ｖｃｃｋ１…走査期間ＣＳ振幅
Ｖｃｃｋ２…休止期間ＣＳ振幅
Ｖｓｓ…ローレベルの直流電源電位
Ｖｄｄ…ハイレベルの直流電源電位

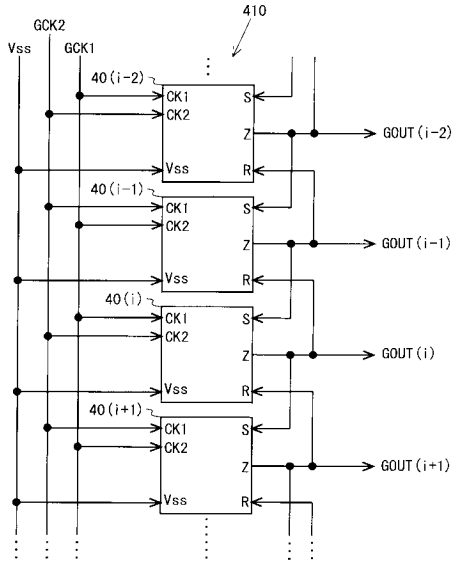
【図１】



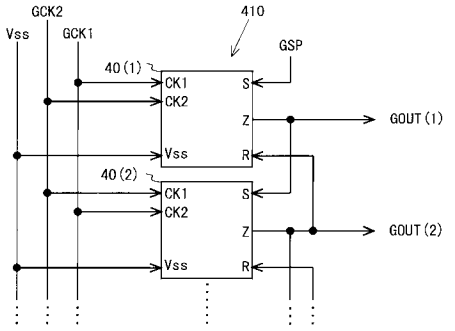
【図２】



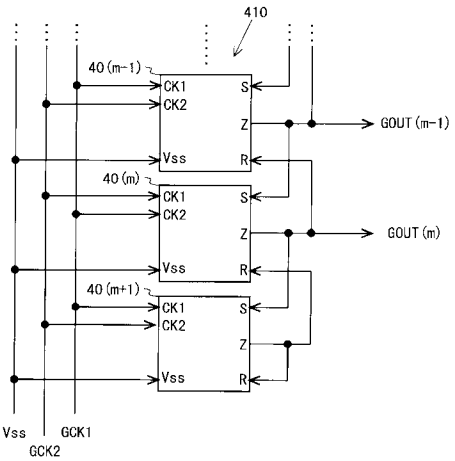
【図３】


410
GCK2
Vss
GCK1
40(i-2)
CK1
CK2
Vss
S
Z
R
GOUT(i-2)
40(i-1)
GOUT(i-1)
40(i)
GOUT(i)
40(i+1)
GOUT(i+1)

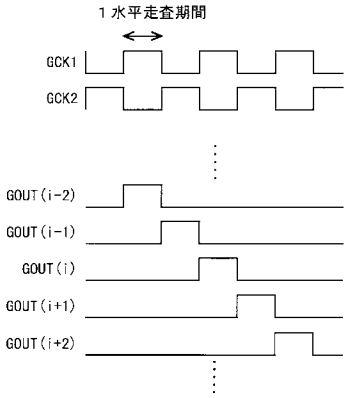
【図４】


GCK2
Vss
GCK1
410
GSP
40(1)
CK1
CK2
Vss
S
Z
R
GOUT(1)
40(2)
GOUT(2)

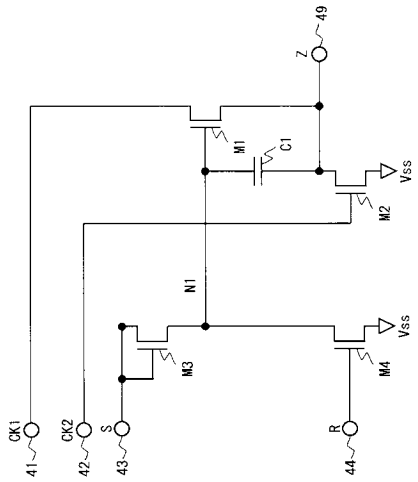
【図５】


410
40(m-1)
CK1
CK2
Vss
S
Z
R
GOUT(m-1)
40(m)
GOUT(m)
40(m+1)
Vss
GCK1
GCK2

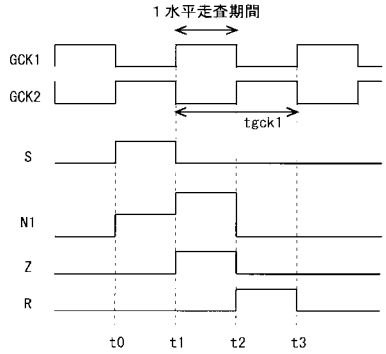
【図６】


1水平走査期間
GCK1
GCK2
GOUT(i-2)
GOUT(i-1)
GOUT(i)
GOUT(i+1)
GOUT(i+2)

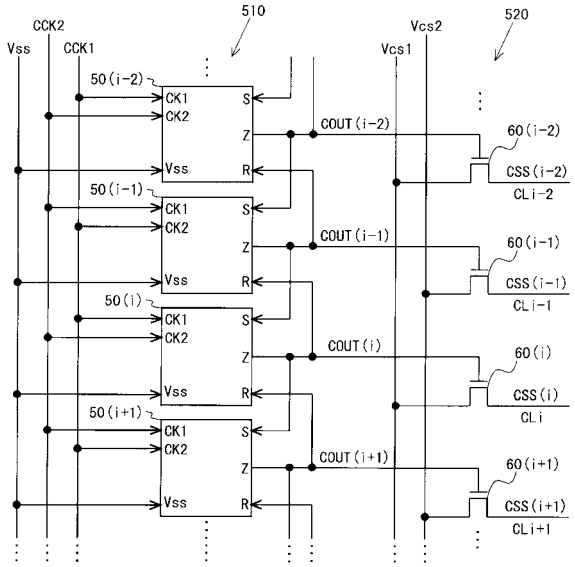
【図７】


Z
49
M1
C1
Vss
M2
N1
M3
M4
CK1
41
CK2
42
S
43
R
44

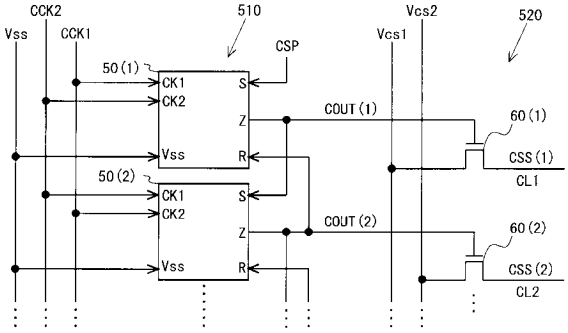
【図８】



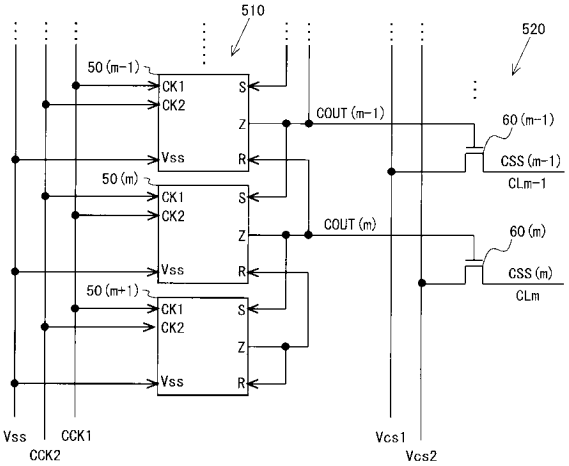
【図９】



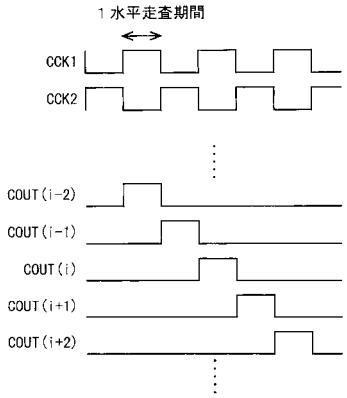
【図１０】



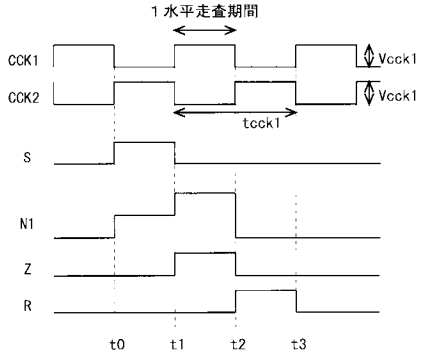
【図１１】



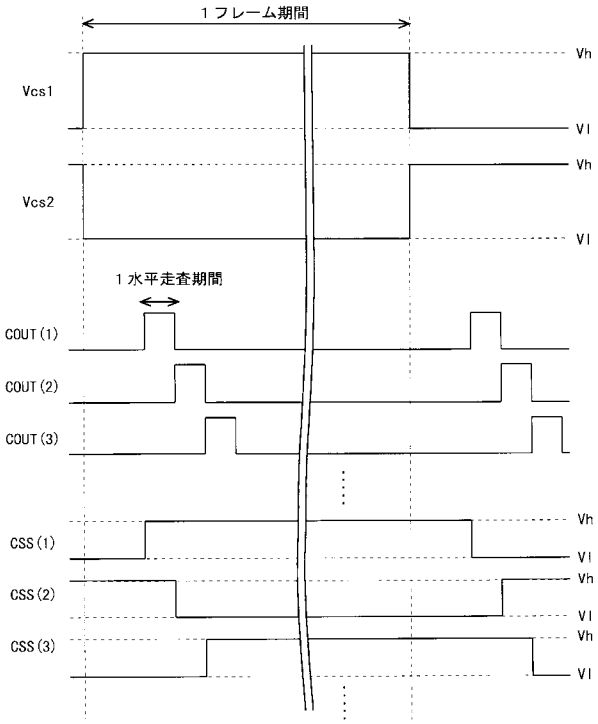
【図１２】



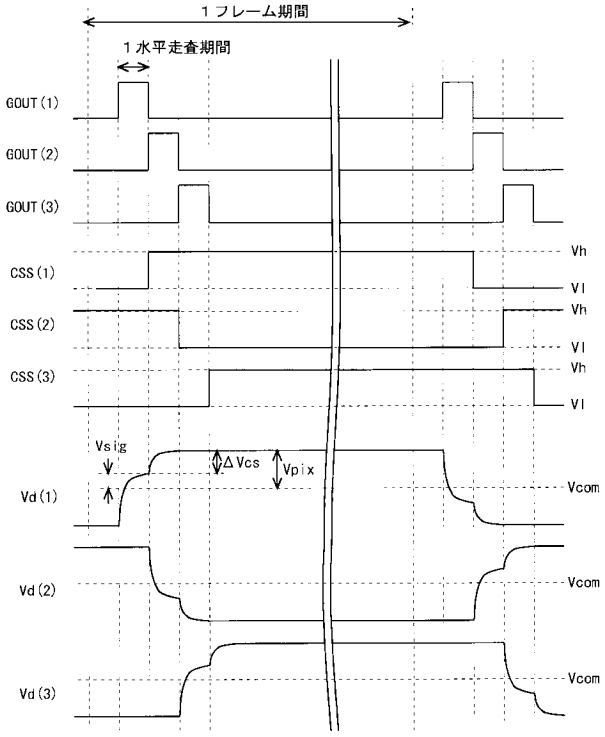
【図１３】



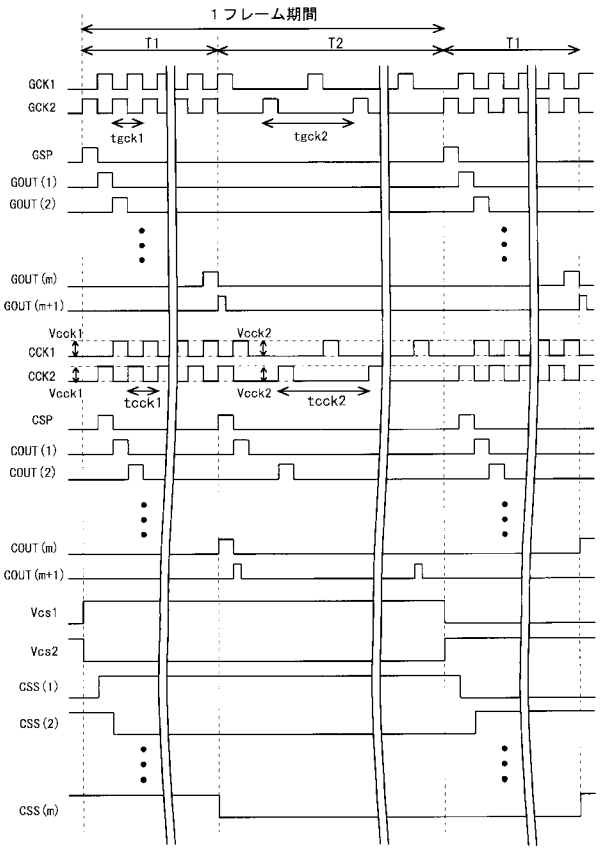
【図１４】



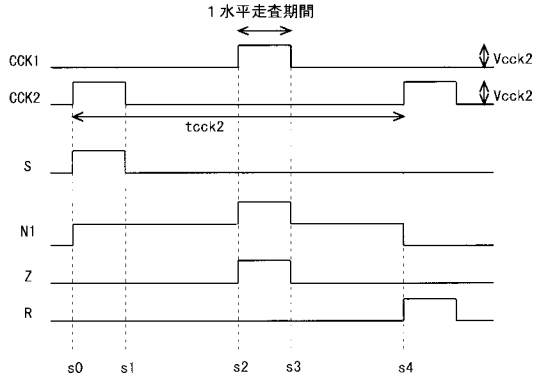
【図１５】



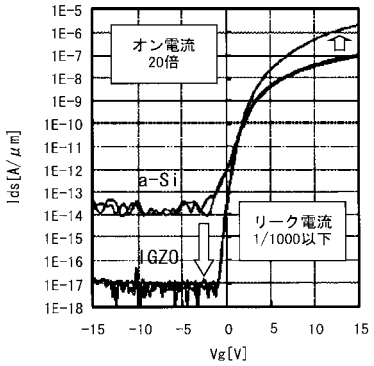
【図１６】



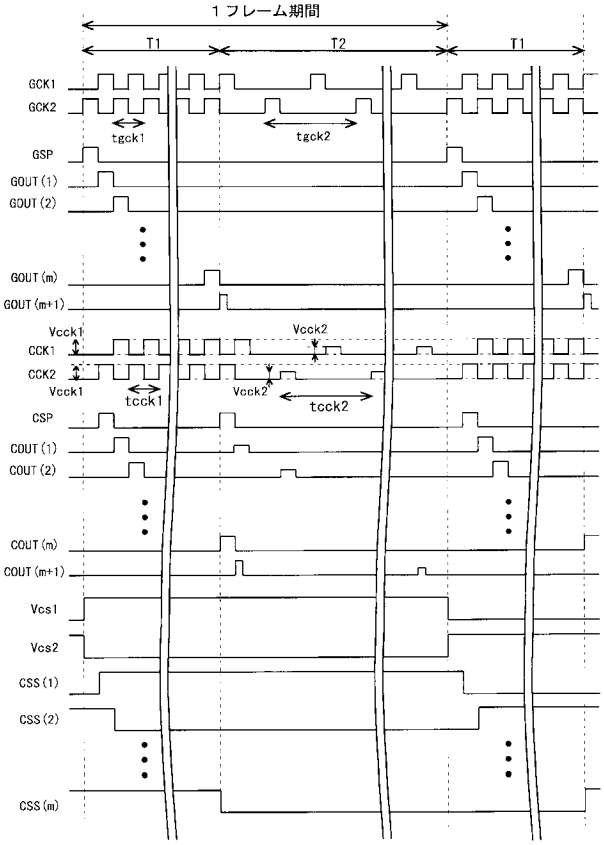
【図１７】



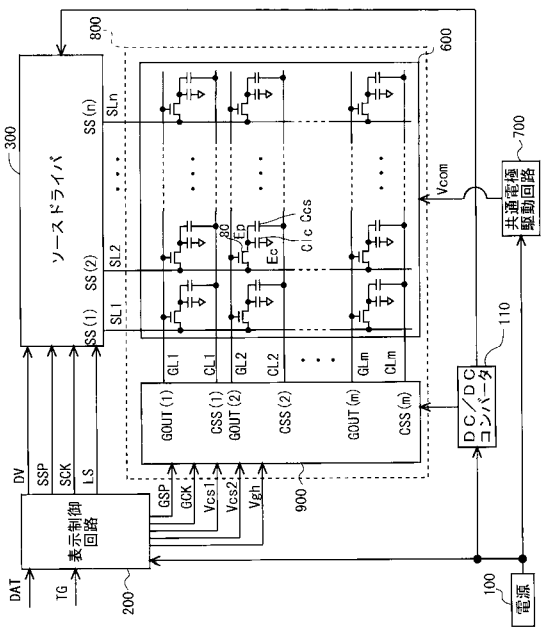
【図１８】



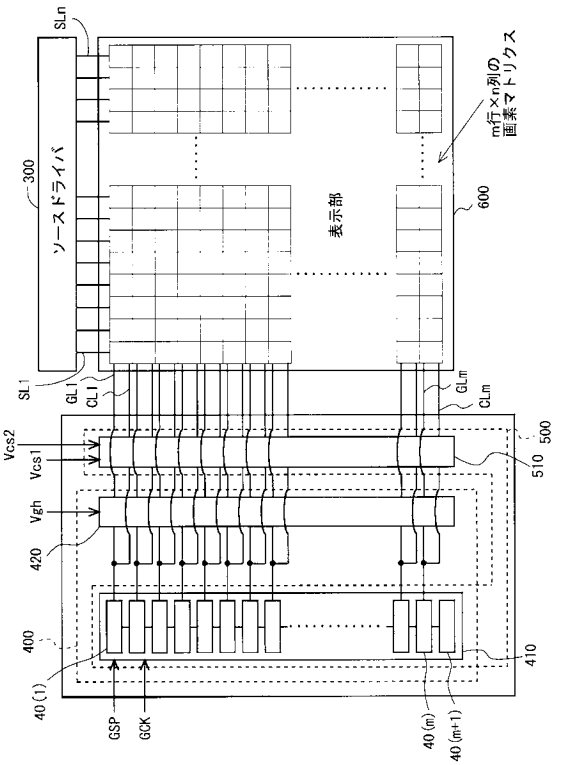
【図１９】



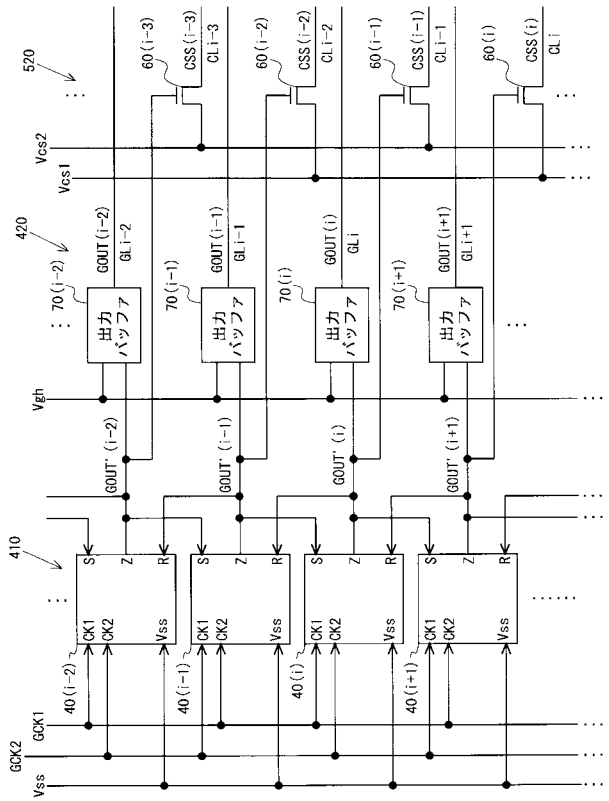
【図２０】



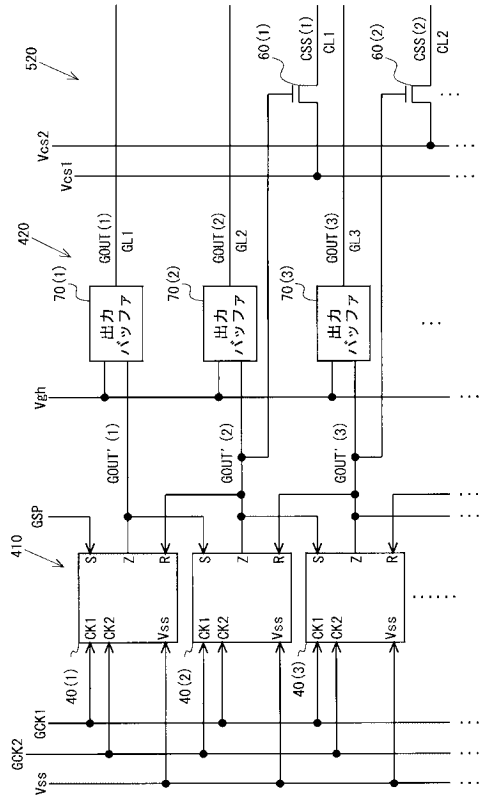
【図２１】



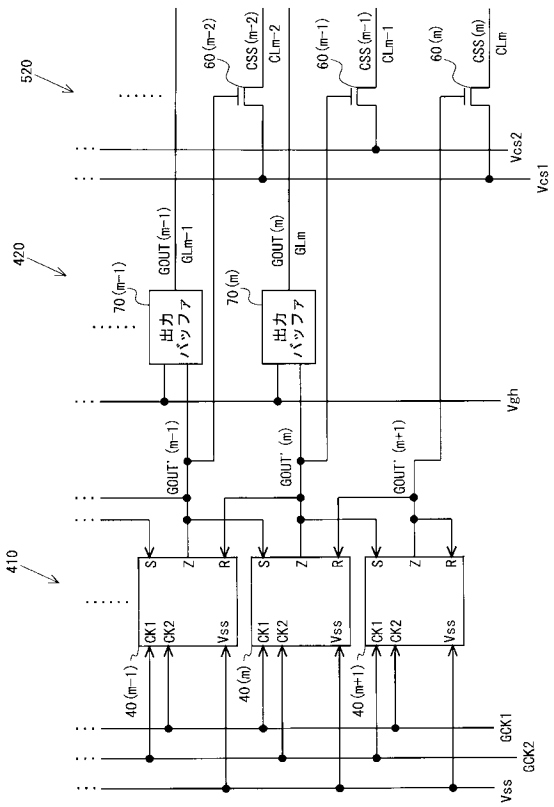
【図２２】



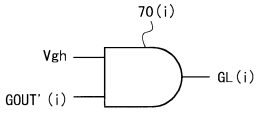
【図２３】



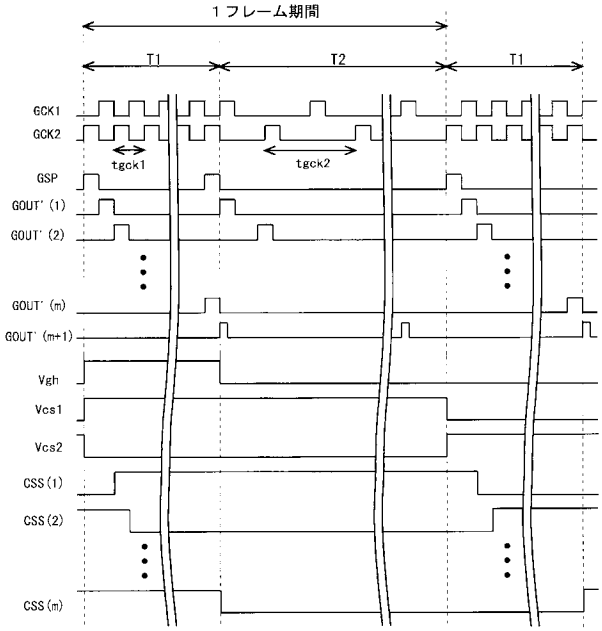
【図２４】



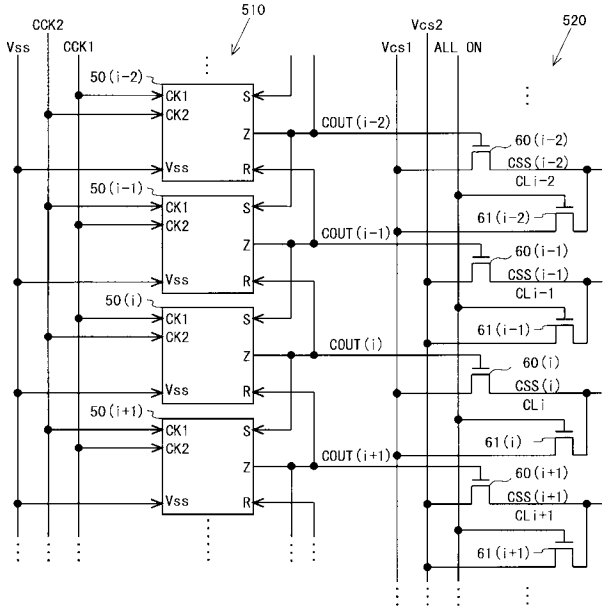
【図２５】



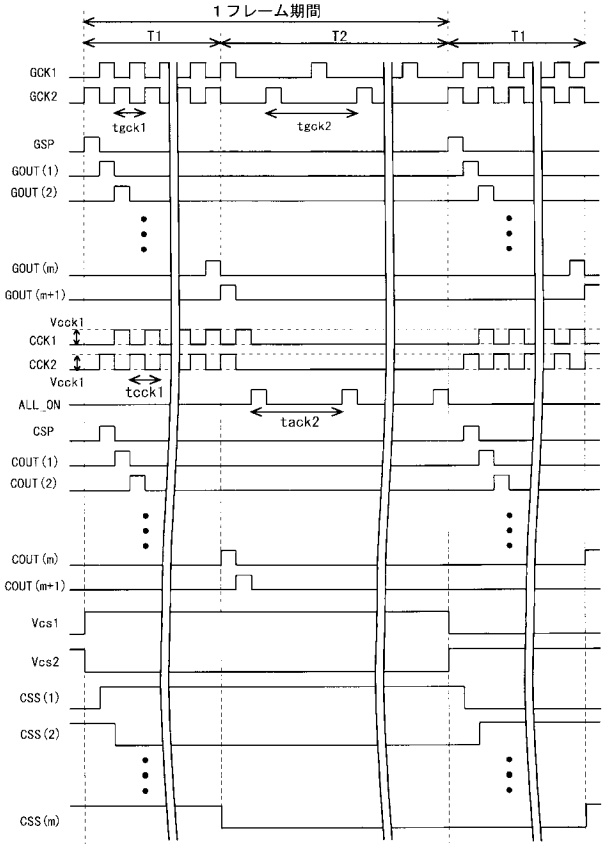
【図２６】



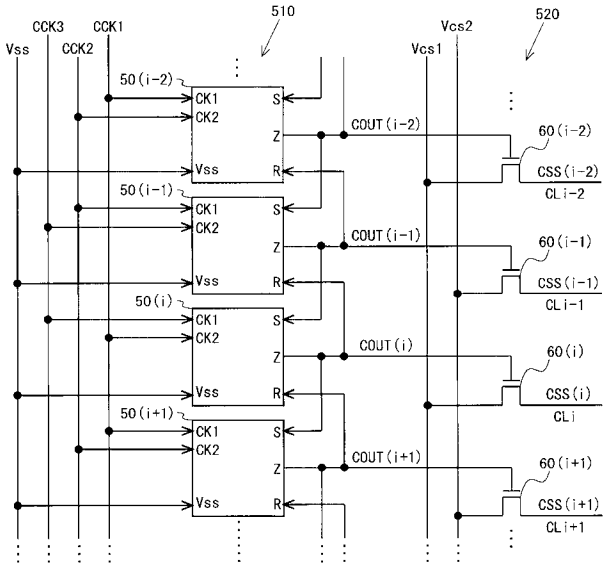
【図２７】



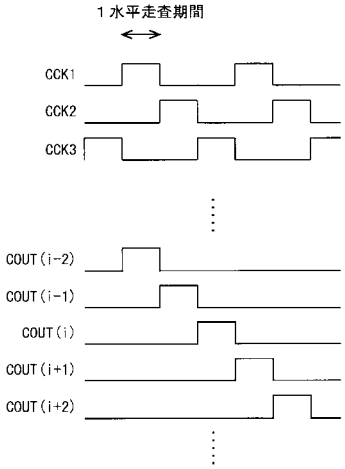
【図２８】



【図２９】


510
520
CCK3
CCK1
CCK2
Vss
Vcs2
Vcs1
50(i-2)
50(i-1)
50(i)
50(i+1)
CK1
CK2
Vss
S
Z
R
COUT(i-2)
COUT(i-1)
COUT(i)
COUT(i+1)
60(i-2)
60(i-1)
60(i)
60(i+1)
CSS(i-2)
CSS(i-1)
CSS(i)
CSS(i+1)
CLi-2
CLi-1
CLi
CLi+1

【図３０】


1水平走査期間
CCK1
CCK2
CCK3
COUT(i-2)
COUT(i-1)
COUT(i)
COUT(i+1)
COUT(i+2)

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2012/068758

A. CLASSIFICATION OF SUBJECT MATTER
G09G3/36(2006.01)i, *G02F1/133*(2006.01)i, *G09G3/20*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G09G3/36, G02F1/133, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2012
Kokai Jitsuyo Shinan Koho 1971-2012 Toroku Jitsuyo Shinan Koho 1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 5-216443 A (Toshiba Corp.), 27 August 1993 (27.08.1993), paragraphs [0046] to [0047]; fig. 1, 5 (Family: none)	1-4,7-9, 11-18 5-6,10
Y A	JP 2006-53349 A (Citizen Watch Co., Ltd.), 23 February 2006 (23.02.2006), paragraphs [0012], [0029]; fig. 2 (Family: none)	1-4,7-9, 11-18 5-6,10
Y	JP 2006-267313 A (Sharp Corp.), 05 October 2006 (05.10.2006), paragraph [0043]; fig. 11 (Family: none)	2,11,13,16

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
23 October, 2012 (23.10.12)	30 October, 2012 (30.10.12)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (July 2009)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2012/068758

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-182619 A (Sharp Corp.), 26 June 2002 (26.06.2002), paragraph [0075]; fig. 1, 5, 11 & US 2002/0180673 A1 & EP 1296174 A1 & WO 2001/084226 A1 & TW 573167 B & CN 1440514 A	3,11,13,17
Y	JP 2011-123963 A (Mitsubishi Electric Corp.), 23 June 2011 (23.06.2011), paragraphs [0135] to [0139]; fig. 8 & US 2011/0142191 A1	7,9,11-14,18
A	JP 2006-220947 A (Sharp Corp.), 24 August 2006 (24.08.2006), paragraphs [0045] to [0055]; fig. 4 (Family: none)	10

国際調査報告

国際出願番号 ＰＣＴ／ＪＰ２０１２／０６８７５８

Ａ． 発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

Ｂ． 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl. G09G3/36, G02F1/133, G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１２年
日本国実用新案登録公報	１９９６－２０１２年
日本国登録実用新案公報	１９９４－２０１２年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ． 関連すると認められる文献

引用文献のカテゴリー＊	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 5-216443 A（株式会社東芝）1993.08.27，段落００４６－００４７，図１，５（ファミリーなし）	1-4,7-9,11-18
A		5-6,10
Y	JP 2006-53349 A（シチズン時計株式会社）2006.02.23，段落００１２，００２９，第２図（ファミリーなし）	1-4,7-9,11-18
A		5-6,10

☑ Ｃ欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

＊ 引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 ２３．１０．２０１２	国際調査報告の発送日 ３０．１０．２０１２
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員） 2G ３０１５ 山崎 仁之 電話番号 ０３－３５８１－１１０１ 内線 ３２２６

様式ＰＣＴ／ＩＳＡ／２１０（第２ページ）（２００９年７月）

国際調査報告

国際出願番号 ＰＣＴ／ＪＰ２０１２／０６８７５８

Ｃ（続き）． 関連すると認められる文献

引用文献のカテゴリー＊	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2006-267313 A (シャープ株式会社) 2006.10.05, 段落００４３, 第１１図 (ファミリーなし)	2,11,13,16
Y	JP 2002-182619 A (シャープ株式会社) 2002.06.26, 段落００７５, 第１, ５, １１図 & US 2002/0180673 A1 & EP 1296174 A1 & WO 2001/084226 A1 & TW 573167 B & CN 1440514 A	3,11,13,17
Y	JP 2011-123963 A (三菱電機株式会社) 2011.06.23, 段落０１３５－０１３９, 第８図 & US 2011/0142191 A1	7,9,11-14,18
A	JP 2006-220947 A (シャープ株式会社) 2006.08.24, 段落００４５－００５５, 第４図 (ファミリーなし)	10

フロントページの続き

(51)Int.Cl.	FI		テーマコード（参考）
	G09G	3/20	624D
	G09G	3/20	622E

(81)指定国 AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN

(72)発明者 金子 誠二
大阪府大阪市阿倍野区長池町２２番２２号 シャープ株式会社内
(72)発明者 小川 康行
大阪府大阪市阿倍野区長池町２２番２２号 シャープ株式会社内
(72)発明者 田中 耕平
大阪府大阪市阿倍野区長池町２２番２２号 シャープ株式会社内
(72)発明者 内田 誠一
大阪府大阪市阿倍野区長池町２２番２２号 シャープ株式会社内
(72)発明者 高丸 泰
大阪府大阪市阿倍野区長池町２２番２２号 シャープ株式会社内
(72)発明者 森 重恭
大阪府大阪市阿倍野区長池町２２番２２号 シャープ株式会社内

Ｆターム(参考) 2H193 ZA04 ZA07 ZB02 ZB14 ZF23 ZF44 ZF60
5C006 AA16 AC22 AC28 AF42 BB16 BC03 BC20 BF03 BF26 BF31
FA36 FA41 FA47 FA48
5C080 AA10 BB05 DD26 EE29 FF11 FF12 JJ02 JJ03 JJ04 JJ05

（注）この公表は、国際事務局（ＷＩＰＯ）により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願（日本語実用新案登録出願）の国際公開の効果は、特許法第１８４条の１０第１項(実用新案法第４８条の１３第２項）により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	<无法获取翻译>		
公开(公告)号	JPWO2013018596A5	公开(公告)日	2016-07-14
申请号	JP2013526832	申请日	2012-07-25
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	山本薫 金子誠二 小川康行 田中耕平 内田誠一 高丸泰 森重恭		
发明人	山本 薫 金子 誠二 小川 康行 田中 耕平 内田 誠一 高丸 泰 森 重恭		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3677 G02F1/136213 G09G3/3614 G09G3/3655 G09G2300/0876 G09G2330/023 G11C19/28		
FI分类号	G09G3/36 G09G3/20.611.A G09G3/20.624.C G09G3/20.641.C G02F1/133.550 G09G3/20.624.D G09G3/20.622.E		
F-TERM分类号	2H193/ZA04 2H193/ZA07 2H193/ZB02 2H193/ZB14 2H193/ZF23 2H193/ZF44 2H193/ZF60 5C006/AA16 5C006/AC22 5C006/AC28 5C006/AF42 5C006/BB16 5C006/BC03 5C006/BC20 5C006/BF03 5C006/BF26 5C006/BF31 5C006/FA36 5C006/FA41 5C006/FA47 5C006/FA48 5C080/AA10 5C080/BB05 5C080/DD26 5C080/EE29 5C080/FF11 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05		
代理人(译)	岛田彰 川原贤治 川本悟		
优先权	2011169050 2011-08-02 JP		
其他公开文献	JPWO2013018596A1 JP5972267B2		

摘要(译)

提供了一种具有降低的功耗的CS驱动型液晶显示装置。 CS驱动器（500）由CS移位寄存器（510）和CS输出单元（520）组成。 CS移位寄存器（510）基于CS时钟信号CCK输出控制信号（COUT（1）至COUT（m））。 CS输出部分（520）基于控制信号（COUT（1）至COUT（m））分别输出辅助电容信号（CSS（1）至CSS（m））。 在扫描时段（T1）之后提供休息时段（T2）。 在空闲时段（T2）中，基于具有空闲频率CS频率（fcck2）的CS时钟信号（CCK）来驱动CS驱动器（500）。 空闲周期CS频率（fcck2）低于扫描周期CS频率（fcck1）。