

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02013/018596

発行日 平成27年3月5日(2015.3.5)

(43) 国際公開日 平成25年2月7日(2013.2.7)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 611A	5C006
G02F 1/133 (2006.01)	G09G 3/20 624C	5C080
	G09G 3/20 641C	
	G02F 1/133 550	
審査請求 未請求 予備審査請求 未請求 (全 44 頁) 最終頁に続く		

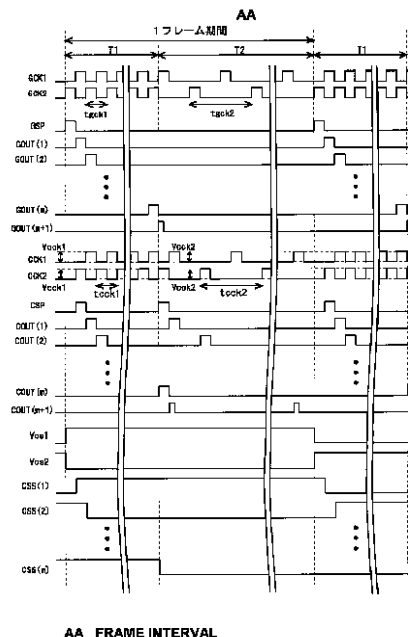
出願番号	特願2013-526832 (P2013-526832)	(71) 出願人	000005049
(21) 国際出願番号	PCT/JP2012/068758		シャープ株式会社
(22) 国際出願日	平成24年7月25日(2012.7.25)		大阪府大阪市阿倍野区長池町22番22号
(31) 優先権主張番号	特願2011-169050 (P2011-169050)	(74) 代理人	100104695
(32) 優先日	平成23年8月2日(2011.8.2)		弁理士 島田 明宏
(33) 優先権主張国	日本国(JP)	(74) 代理人	100121348
			弁理士 川原 健児
		(74) 代理人	100114247
			弁理士 奥田 邦廣
		(74) 代理人	100148459
			弁理士 河本 悟
		(72) 発明者	山本 薫
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		最終頁に続く	

(54) 【発明の名称】 液晶表示装置および補助容量線の駆動方法

(57) 【要約】

消費電力を低減したCS駆動方式の液晶表示装置を提供する。

CSドライバ(500)は、CSシフトレジスタ(510)およびCS出力部(520)により構成される。CSシフトレジスタ(510)はCSクロック信号CLKに基づいて制御信号(COUT(1)~COUT(m))を出力する。CS出力部(520)は、制御信号(COUT(1)~COUT(m))に基づいてそれぞれ補助容量信号(CSS(1)~CSS(m))を出力する。走査期間(T1)の後に休止期間(T2)が設けられる。休止期間(T2)では、休止期間CS周波数(f_{cc2})のCSクロック信号(CLK)に基づいてCSドライバ(500)が駆動される。休止期間CS周波数(f_{cc2})は走査期間CS周波数(f_{cc1})よりも低い。



【特許請求の範囲】

【請求項 1】

複数の映像信号線と、該複数の映像信号線と交差する複数の走査信号線と、該複数の映像信号線および該複数の走査信号線に対応してマトリクス状に配置された複数の画素電極をそれぞれ含む複数の画素形成部と、該複数の走査信号線に沿って配置された複数の補助容量線と、各補助容量線と該補助容量線に沿った走査信号線に対応する画素電極との間に形成される補助容量とを含む表示部と、

オンレベルとオフレベルとを周期的に繰り返すクロック信号を生成する表示制御回路と

、
前記複数の走査信号線が順次選択される走査期間と該複数の走査信号線のいずれもが非選択状態となる休止期間とが、該走査期間と該休止期間とからなるフレーム期間を周期として交互に現れるように、前記複数の走査信号線を駆動するための走査信号線駆動回路と

、
前記表示部と一体的に形成され、前記クロック信号に含まれる補助容量クロック信号に基づいて前記複数の補助容量線を互いに独立して駆動するための補助容量線駆動回路とを備え、

前記補助容量線駆動回路は、互いに縦続接続された複数の第 1 双安定回路を有し、該複数の第 1 双安定回路の出力信号を、前記補助容量クロック信号に含まれる前記複数の第 1 シフト動作クロック信号に基づいて順次にオンレベルにする第 1 シフトレジスタを含み

、
前記走査期間における前記複数の第 1 シフト動作クロック信号の周波数よりも、前記休止期間における該複数の第 1 シフト動作クロック信号の周波数が低いことを特徴とする、液晶表示装置。

【請求項 2】

前記休止期間における前記複数の第 1 シフト動作信号の振幅が、前記走査期間における該複数の第 1 シフト動作信号の振幅よりも低いことを特徴とする、請求項 1 に記載の液晶表示装置。

【請求項 3】

前記休止期間が前記走査期間よりも長いことを特徴とする、請求項 1 に記載の液晶表示装置。

【請求項 4】

前記補助容量線駆動回路は、前記複数の補助容量線に第 1 導通端子がそれぞれ接続された複数の第 1 スイッチング素子をさらに含み、

前記表示制御回路が、前記フレーム期間毎に 2 つの電位の間で切り替わり各フレーム期間内では固定された電位をバイアス信号として各第 1 スイッチング素子の第 2 導通端子に与え、

各第 1 スイッチング素子の制御端子には、該第 1 スイッチング素子の前記第 1 導通端子が接続された補助容量線に対応する第 1 双安定回路の出力信号が与えられることを特徴とする、請求項 1 に記載の液晶表示装置。

【請求項 5】

前記表示制御回路が、互いに隣接する補助容量線にそれぞれ前記第 1 導通端子が接続された第 1 スイッチング素子のうち的一方については該第 1 スイッチング素子の前記第 2 導通端子に前記バイアス信号として第 1 バイアス信号を与え、互いに隣接する補助容量線にそれぞれ前記第 1 導通端子が接続された第 1 スイッチング素子のうち他方については該第 1 スイッチング素子の前記第 2 導通端子に前記バイアス信号として第 2 バイアス信号を与え、

前記第 1 バイアス信号と前記第 2 バイアス信号とは、各フレーム期間において互いに異なる電位であることを特徴とする、請求項 4 に記載の液晶表示装置。

【請求項 6】

前記補助容量線駆動回路は、前記複数の第 1 スイッチング素子にそれぞれ対応する複数

10

20

30

40

50

の第 2 スイッチング素子をさらに含み、

前記表示制御回路は、前記補助容量クロック信号に含まれ、前記走査期間における電位がオフレベルであり、前記休止期間においてオンレベルとオフレベルとを周期的に繰り返し、前記走査期間における前記複数の第 1 シフト動作クロック信号の周波数よりも前記休止期間における周波数が低い休止期間動作クロック信号を、各第 2 スイッチング素子の制御端子に与え、

各第 2 スイッチング素子の第 1 制御端子が、該第 2 スイッチング素子に対応する第 1 スイッチング素子の前記第 1 導通端子に接続された補助容量線に接続され、

各第 2 スイッチング素子の第 2 制御端子には、該第 2 スイッチング素子に対応する第 1 スイッチング素子の前記第 2 導通端子に与えられた前記バイアス信号が与えられることを特徴とする、請求項 4 に記載の液晶表示装置。

10

【請求項 7】

前記複数の第 1 シフト動作クロック信号が、互いに位相の異なる 3 相以上の第 1 シフト動作クロック信号であることを特徴とする、請求項 1 に記載の液晶表示装置。

【請求項 8】

前記走査信号線駆動回路が前記表示部と一体的に形成されていることを特徴とする、請求項 1 に記載の液晶表示装置。

【請求項 9】

前記走査信号線駆動回路は、互いに縦続接続された複数の第 2 双安定回路の出力信号を、前記クロック信号に含まれる複数の第 2 シフト動作クロック信号に基づいて順次にオンレベルにする第 2 シフトレジスタを含み、該複数の第 2 双安定回路の出力信号をそれぞれ前記複数の走査信号線に与えることを特徴とする、請求項 8 に記載の液晶表示装置。

20

【請求項 10】

前記走査信号線駆動回路および前記補助容量線駆動回路は、前記第 1 シフトレジスタを共通に含み、

前記走査信号線駆動回路は、複数の第 1 双安定回路に対応してそれぞれ設けられた複数の出力バッファをさらに含み、

前記表示制御回路が、前記走査期間ではオンレベルとなり、前記休止期間ではオフレベルとなるバッファ入力信号を前記複数の出力バッファに与え、

前記複数の出力バッファは、前記バッファ入力信号と、対応する第 1 双安定回路の出力信号との論理積を前記複数の走査信号線にそれぞれ与えることを特徴とする、請求項 8 に記載の液晶表示装置。

30

【請求項 11】

前記補助容量線駆動回路が、酸化物半導体により半導体層が形成された薄膜トランジスタを用いて実現されていることを特徴とする、請求項 1 から 7 までのいずれか 1 項に記載の液晶表示装置。

【請求項 12】

前記走査信号線駆動回路および前記補助容量線駆動回路が、酸化物半導体により半導体層が形成された薄膜トランジスタを用いて実現されていることを特徴とする、請求項 8 から 10 までのいずれか 1 項に記載の液晶表示装置。

40

【請求項 13】

前記補助容量線駆動回路が、アモルファスシリコンにより半導体層が形成された薄膜トランジスタを用いて実現されていることを特徴とする、請求項 1 から 7 までのいずれか 1 項に記載の液晶表示装置。

【請求項 14】

前記走査信号線駆動回路および補助容量線駆動回路が、アモルファスシリコンにより半導体層が形成された薄膜トランジスタを用いて実現されていることを特徴とする、請求項 8 から 10 までのいずれか 1 項に記載の液晶表示装置。

【請求項 15】

複数の映像信号線と、該複数の映像信号線と交差する複数の走査信号線と、該複数の映

50

像信号線および該複数の走査信号線に対応してマトリクス状に配置された複数の画素電極をそれぞれ含む複数の画素形成部と、該複数の走査信号線に沿って配置された複数の補助容量線と、各補助容量線と該補助容量線に沿った走査信号線に対応する画素電極との間に形成される補助容量とを含む表示部と、オンレベルとオフレベルとを周期的に繰り返すクロック信号を生成する表示制御回路と、該複数の走査信号線を駆動するための走査信号線駆動回路と、該表示部と一体的に形成され、該複数の補助容量線を駆動するための補助容量線駆動回路とを備える液晶表示装置における該複数の補助容量線の駆動方法であって、

前記複数の走査信号線が順次選択される走査期間と該複数の走査信号線のいずれもが非選択状態となる休止期間とが、該走査期間と該休止期間とからなるフレーム期間を周期として交互に現れるように、前記複数の走査信号線を駆動するステップと、

前記クロック信号に含まれる補助容量クロック信号に基づいて該複数の補助容量線を互いに独立して駆動するステップと、

前記走査期間における、前記補助容量クロック信号に含まれる複数の第 1 シフト動作クロック信号の周波数よりも、前記休止期間における該複数の第 1 シフト動作クロック信号の周波数を低くするステップとを備え、

前記補助容量線駆動回路は、互いに縦続接続された複数の第 1 双安定回路を有し、該複数の第 1 双安定回路の出力信号を、前記複数の第 1 シフト動作クロック信号に基づいて順次にオンレベルにする第 1 シフトレジスタを含むことを特徴とする、駆動方法。

【請求項 16】

前記休止期間における前記複数の第 1 シフト動作信号の振幅が、前記走査期間における該複数の第 1 シフト動作信号の振幅よりも低いことを特徴とする、請求項 15 に記載の駆動方法。

【請求項 17】

前記休止期間が前記走査期間よりも長いことを特徴とする、請求項 15 に記載の駆動方法。

【請求項 18】

前記複数の第 1 シフト動作クロック信号が、互いに位相の異なる 3 相以上の第 1 シフト動作クロック信号であることを特徴とする、請求項 15 に記載の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置および当該液晶表示装置内の補助容量線の駆動方法に関し、特に、ドライバモノリシック型の液晶表示装置、および当該液晶表示装置内の補助容量線の駆動方法に関する。

【背景技術】

【0002】

従来から、アクティブマトリクス型の液晶表示装置に関して低消費電力化が求められている。この低消費電力化を図る方法の 1 つとして、各走査信号線の選択期間終了後に対応する補助容量線の電位を変化させることにより極性反転駆動を行う方法が知られている。以下では、このような駆動方式を「CS 駆動方式」という。この CS 駆動方式によれば、小さな映像信号振幅で液晶層に大きな電圧を加えることができるので、消費電力を低減することができる。このような駆動方法は、例えば特許文献 1 に開示されている。

【0003】

また、近年、液晶パネルを駆動するためのドライバを、この液晶パネルを構成する基板上に直接的に形成することが徐々に多くなされている。このドライバとしては、例えば、ゲートライン（走査信号線）を駆動するためのゲートドライバ（走査信号線駆動回路）および CS ライン（上記補助容量線）を駆動するための CS ドライバ（補助容量線駆動回路）等が挙げられる。このようなドライバは「モノリシックドライバ」等と呼ばれている。このモノリシックドライバを備えた液晶表示装置（以下「ドライバモノリシック型の液晶表示装置」という）は、例えば特許文献 2 に記載されている。このドライバモノリシック

10

20

30

40

50

型の液晶表示装置によれば、狭額縁化および低コスト化を図ることができる。このドライバモノリシック型の液晶表示装置では、従来よりアモルファスシリコン（ $a-Si$ ）を半導体層に用いた薄膜トランジスタ（以下「 $a-SiTFT$ 」という）が駆動素子として採用されている。

【0004】

ところで、特許文献3には、ゲートラインを走査する走査期間 T_1 の後に、全てのゲートラインを非走査状態にする休止期間 T_2 を設ける表示装置の駆動方法が開示されている。この休止期間 T_2 では、ゲートドライバにクロック信号等が与えられない。このため、走査期間 T_1 においてゲートラインを 60Hz で走査したとしても、例えばこの走査期間 T_1 の同じ長さの休止期間 T_2 を設けることにより、全体としてのゲートラインの駆動周波数が 30Hz 程度になる。このため、低消費電力化を図ることができる。

10

【先行技術文献】

【特許文献】

【0005】

【特許文献1】日本の特開2009-86170号公報

【特許文献2】日本の特開2004-78172号公報

【特許文献3】日本の特開2001-312253号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

20

上述のCS駆動方式によれば液晶表示装置における消費電力を低減することができるが、液晶表示装置に対してはさらなる低消費電力化が求められている。

【0007】

そこで、本発明は、消費電力を低減したCS駆動方式の液晶表示装置、および当該液晶表示装置内の補助容量線の駆動方法を提供することを目的とする。

【課題を解決するための手段】

【0008】

本発明の第1の局面は、液晶表示装置であって、

複数の映像信号線と、該複数の映像信号線と交差する複数の走査信号線と、該複数の映像信号線および該複数の走査信号線に対応してマトリクス状に配置された複数の画素電極をそれぞれ含む複数の画素形成部と、該複数の走査信号線に沿って配置された複数の補助容量線と、各補助容量線と該補助容量線に沿った走査信号線に対応する画素電極との間に形成される補助容量とを含む表示部と、

30

オンレベルとオフレベルとを周期的に繰り返すクロック信号を生成する表示制御回路と

、
前記複数の走査信号線が順次選択される走査期間と該複数の走査信号線のいずれもが非選択状態となる休止期間とが、該走査期間と該休止期間とからなるフレーム期間を周期として交互に現れるように、前記複数の走査信号線を駆動するための走査信号線駆動回路と

、
前記表示部と一体的に形成され、前記クロック信号に含まれる補助容量クロック信号に基づいて前記複数の補助容量線を互いに独立して駆動するための補助容量線駆動回路とを備え、

40

前記補助容量線駆動回路は、互いに縦続接続された複数の第1双安定回路を有し、該複数の第1双安定回路の出力信号を、前記補助容量クロック信号に含まれる前記複数の第1シフト動作クロック信号に基づいて順次にオンレベルにする第1シフトレジスタを含み

、
前記走査期間における前記複数の第1シフト動作クロック信号の周波数よりも、前記休止期間における該複数の第1シフト動作クロック信号の周波数が低いことを特徴とする。

【0009】

50

本発明の第 2 の局面は、本発明の第 1 の局面において、
前記休止期間における前記複数の第 1 シフト動作信号の振幅が、前記走査期間における該複数の第 1 シフト動作信号の振幅よりも低いことを特徴とする。

【 0 0 1 0 】

本発明の第 3 の局面は、本発明の第 1 の局面において、
前記休止期間が前記走査期間よりも長いことを特徴とする。

【 0 0 1 1 】

本発明の第 4 の局面は、本発明の第 1 の局面において、
前記補助容量線駆動回路は、前記複数の補助容量線に第 1 導通端子がそれぞれ接続された複数の第 1 スイッチング素子をさらに含み、

前記表示制御回路が、前記フレーム期間毎に 2 つの電位の間で切り替わり各フレーム期間内では固定された電位をバイアス信号として各第 1 スイッチング素子の第 2 導通端子に与え、

各第 1 スイッチング素子の制御端子には、該第 1 スイッチング素子の前記第 1 導通端子が接続された補助容量線に対応する第 1 双安定回路の出力信号が与えられることを特徴とする。

【 0 0 1 2 】

本発明の第 5 の局面は、本発明の第 4 の局面において、

前記表示制御回路が、互いに隣接する補助容量線にそれぞれ前記第 1 導通端子が接続された第 1 スイッチング素子のうち的一方については該第 1 スイッチング素子の前記第 2 導通端子に前記バイアス信号として第 1 バイアス信号を与え、互いに隣接する補助容量線にそれぞれ前記第 1 導通端子が接続された第 1 スイッチング素子のうち他方については該第 1 スイッチング素子の前記第 2 導通端子に前記バイアス信号として第 2 バイアス信号を与え、

前記第 1 バイアス信号と前記第 2 バイアス信号とは、各フレーム期間において互いに異なる電位であることを特徴とする。

【 0 0 1 3 】

本発明の第 6 の局面は、本発明の第 4 の局面において、

前記補助容量線駆動回路は、前記複数の第 1 スイッチング素子にそれぞれ対応する複数の第 2 スイッチング素子をさらに含み、

前記表示制御回路は、前記補助容量クロック信号に含まれ、前記走査期間における電位がオフレベルであり、前記休止期間においてオンレベルとオフレベルとを周期的に繰り返し、前記走査期間における前記複数の第 1 シフト動作信号の周波数よりも前記休止期間における周波数が低い休止期間動作クロック信号を、各第 2 スイッチング素子の制御端子に与え、

各第 2 スイッチング素子の第 1 制御端子が、該第 2 スイッチング素子に対応する第 1 スイッチング素子の前記第 1 導通端子に接続された補助容量線に接続され、

各第 2 スイッチング素子の第 2 制御端子には、該第 2 スイッチング素子に対応する第 1 スイッチング素子の前記第 2 導通端子に与えられた前記バイアス信号が与えられることを特徴とする。

【 0 0 1 4 】

本発明の第 7 の局面は、本発明の第 1 の局面において、

前記複数の第 1 シフト動作クロック信号が、互いに位相の異なる 3 相以上の第 1 シフト動作クロック信号であることを特徴とする。

【 0 0 1 5 】

本発明の第 8 の局面は、本発明の第 1 の局面において、

前記走査信号線駆動回路が前記表示部と一体的に形成されていることを特徴とする。

【 0 0 1 6 】

本発明の第 9 の局面は、本発明の第 8 の局面において、

前記走査信号線駆動回路は、互いに縦続接続された複数の第 2 双安定回路の出力信号を

10

20

30

40

50

、前記クロック信号に含まれる複数の第2シフト動作クロック信号に基づいて順次にオンレベルにする第2シフトレジスタを含み、該複数の第2双安定回路の出力信号をそれぞれ前記複数の走査信号線に与えることを特徴とする。

【0017】

本発明の第10の局面は、本発明の第8の局面において、

前記走査信号線駆動回路および前記補助容量線駆動回路は、前記第1シフトレジスタを共通に含み、

前記走査信号線駆動回路は、複数の第1双安定回路に対応してそれぞれ設けられた複数の出力バッファをさらに含み、

前記表示制御回路が、前記走査期間ではオンレベルとなり、前記休止期間ではオフレベルとなるバッファ入力信号を前記複数の出力バッファに与え、

前記複数の出力バッファは、前記バッファ入力信号と、対応する第1双安定回路の出力信号との論理積を前記複数の走査信号線にそれぞれ与えることを特徴とする。

【0018】

本発明の第11の局面は、本発明の第1の局面から第7の局面までのいずれかにおいて、

前記補助容量線駆動回路が、酸化物半導体により半導体層が形成された薄膜トランジスタを用いて実現されていることを特徴とする。

【0019】

本発明の第12の局面は、本発明の第8の局面から第10の局面までのいずれかにおいて、

前記走査信号線駆動回路および前記補助容量線駆動回路が、酸化物半導体により半導体層が形成された薄膜トランジスタを用いて実現されていることを特徴とする。

【0020】

本発明の第13の局面は、本発明の第1の局面から第7の局面までのいずれかにおいて、

前記補助容量線駆動回路が、アモルファスシリコンにより半導体層が形成された薄膜トランジスタを用いて実現されていることを特徴とする。

【0021】

本発明の第14の局面は、本発明の第8の局面から第10の局面までのいずれかにおいて、

前記走査信号線駆動回路および補助容量線駆動回路が、アモルファスシリコンにより半導体層が形成された薄膜トランジスタを用いて実現されていることを特徴とする。

【0022】

本発明の第15の局面は、複数の映像信号線と、該複数の映像信号線と交差する複数の走査信号線と、該複数の映像信号線および該複数の走査信号線に対応してマトリクス状に配置された複数の画素電極をそれぞれ含む複数の画素形成部と、該複数の走査信号線に沿って配置された複数の補助容量線と、各補助容量線と該補助容量線に沿った走査信号線に対応する画素電極との間に形成される補助容量とを含む表示部と、オンレベルとオフレベルとを周期的に繰り返すクロック信号を生成する表示制御回路と、該複数の走査信号線を駆動するための走査信号線駆動回路と、該表示部と一体的に形成され、該複数の補助容量線を駆動するための補助容量線駆動回路とを備える液晶表示装置における該複数の補助容量線の駆動方法であって、

前記複数の走査信号線が順次選択される走査期間と該複数の走査信号線のいずれもが非選択状態となる休止期間とが、該走査期間と該休止期間とからなるフレーム期間を周期として交互に現れるように、前記複数の走査信号線を駆動するステップと、

前記クロック信号に含まれる補助容量クロック信号に基づいて該複数の補助容量線を互いに独立して駆動するステップと、

前記走査期間における、前記補助容量クロック信号に含まれる複数の第1シフト動作クロック信号の周波数よりも、前記休止期間における該複数の第1シフト動作クロック

10

20

30

40

50

信号の周波数を低くするステップとを備え、

前記補助容量線駆動回路は、互いに縦続接続された複数の第1双安定回路を有し、該複数の第1双安定回路の出力信号を、前記複数の第1シフト動作クロック信号に基づいて順次にオンレベルにする第1シフトレジスタを含むことを特徴とする。

【0023】

本発明の第16の局面は、本発明の第15の局面において、

前記休止期間における前記複数の第1シフト動作信号の振幅が、前記走査期間における該複数の第1シフト動作信号の振幅よりも低いことを特徴とする。

【0024】

本発明の第17の局面は、本発明の第15の局面において、

前記休止期間が前記走査期間よりも長いことを特徴とする。

【0025】

本発明の第18の局面は、本発明の第15の局面において、

前記複数の第1シフト動作クロック信号が、互いに位相の異なる3相以上の第1シフト動作クロック信号であることを特徴とする。

【発明の効果】

【0026】

本発明の第1の局面によれば、表示部と補助容量線駆動回路とが一体的に形成され、複数の補助容量線が互いに独立に駆動される表示装置において、1フレーム期間が上記走査期間および上記休止期間からなる。この休止期間では、走査期間よりも第1シフト動作クロック信号の周波数が低くなるので、1フレーム期間全体での補助容量線駆動回路の駆動周波数が低減される。したがって、消費電力が低減される。また、表示部と補助容量線駆動回路とが一体的に形成されているので、額縁面積が縮小されると共に、補助容量線駆動回路のコストが低減される。

【0027】

本発明の第2の局面によれば、休止期間における複数の第1シフト動作クロック信号の振幅が、走査期間における該複数の第1シフト動作クロック信号の振幅よりも小さくなる。このため、さらなる低消費電力化を図ることができる。

【0028】

本発明の第3の局面によれば、休止期間が走査期間よりも長くなる。このため、さらなる低消費電力化を図ることができる。

【0029】

本発明の第4の局面によれば、休止期間において、休止期間の直前の走査期間に各補助容量線に与えられたバイアス信号が、補助容量クロック信号に基づいて補助容量線に与えられる。このため、休止期間において補助容量線が受けるノイズ等の影響が低減される。これにより、表示品位の低下を抑制することができる。また、休止期間における複数の第1シフト動作クロック信号の周波数が走査期間におけるものよりも低くなるので、第1スイッチング素子に掛かる負荷が低減される。したがって、第1スイッチング素子におけるしきい値変動が低減されるので、当該第1スイッチング素子の信頼性低下を抑制することができる。

【0030】

本発明の第5の局面によれば、互いに隣接する補助容量線に、走査期間および休止期間からなるフレーム期間において互いに異なる電位が与えられる。このため、複数の補助容量線を互いに独立に駆動するにあたり、ライン反転駆動を行うことができる。

【0031】

本発明の第6の局面によれば、複数の第1クロック信号に代えて、休止動作期間動作信号に基づいて、本発明の第1の局面と同様の効果を奏することができる。また、休止期間において第1双安定回路の出力信号がオンレベルにならないので、第1スイッチング素子に掛かる負荷がさらに低減される。このため、第1スイッチング素子のさらなる高信頼性化を図ることができる。

10

20

30

40

50

【 0 0 3 2 】

本発明の第 7 の局面によれば、複数の第 1 クロック信号の相数を 3 相以上にすることにより、各相に対する、双安定回路内の素子の負荷容量が十分に小さくなる。このため、さらなる低消費電力化を図ることができる。

【 0 0 3 3 】

本発明の第 8 の局面によれば、走査信号線駆動回路も表示部と一体的に形成されるので、走査信号線駆動回路のコストが低減されると共に、さらなる狭額縁化を図ることができる。

【 0 0 3 4 】

本発明の第 9 の局面によれば、補助容量線駆動回路と走査信号線駆動回路とが互いに別個のシフトレジスタを用いて実現される。

10

【 0 0 3 5 】

本発明の第 10 の局面によれば、補助容量線駆動回路と走査信号線駆動回路とでシフトレジスタが共有化される。このため、回路規模が縮小されるので、例えばさらなる狭額縁化を図ることができる。

【 0 0 3 6 】

本発明の第 11 の局面によれば、酸化物半導体により半導体層が形成された薄膜トランジスタを用いて補助容量線駆動回路が実現される。この薄膜トランジスタのリーク電流は十分に小さいので、休止期間における複数のクロック信号の周波数をさらに低くすることができる。このため、さらなる低消費電力化を図ることができる。また、酸化物半導体により半導体層が形成された薄膜トランジスタのオン電流は十分に大きいので、この薄膜トランジスタのサイズを十分に小さくすることができる。これにより、さらなる狭額縁化を図ることができる。

20

【 0 0 3 7 】

本発明の第 12 の局面によれば、酸化物半導体により半導体層が形成された薄膜トランジスタを用いて走査信号線駆動回路および補助容量線駆動回路が実現される。この薄膜トランジスタのリーク電流は十分に小さいので、休止期間における複数のクロック信号の周波数をさらに低くすることができる。このため、さらなる低消費電力化を図ることができる。また、酸化物半導体により半導体層が形成された薄膜トランジスタのオン電流は十分に大きいので、この薄膜トランジスタのサイズを十分に小さくすることができる。これにより、さらなる狭額縁化を図ることができる。

30

【 0 0 3 8 】

本発明の第 13 の局面によれば、アモルファスシリコンにより半導体層が形成された薄膜トランジスタを用いて補助容量線駆動回路が実現される。このため、さらなる低コスト化を図ることができる。

【 0 0 3 9 】

本発明の第 14 の局面によれば、アモルファスシリコンにより半導体層が形成された薄膜トランジスタを用いて走査信号線駆動回路および補助容量線駆動回路が実現される。このため、さらなる低コスト化を図ることができる。

【 0 0 4 0 】

本発明の第 15 の局面から第 18 の局面までによれば、表示装置の駆動方法において、本発明の第 1 の局面から第 3 の局面までおよび本発明の第 7 の局面とそれぞれ同様の効果を奏することができる。

40

【 図面の簡単な説明 】

【 0 0 4 1 】

【 図 1 】 本発明の第 1 の実施形態に係る液晶表示装置の全体構成を示すブロック図である。

【 図 2 】 上記第 1 の実施形態におけるゲートドライバおよび CS ドライバの構成を説明するためのブロック図である。

【 図 3 】 上記第 1 の実施形態におけるゲートシフトレジスタの構成を示すブロック図であ

50

る。

【図４】上記第１の実施形態におけるゲートシフトレジスタの最前段側の構成を示すブロック図である。

【図５】上記第１の実施形態におけるゲートシフトレジスタの最後段側の構成を示すブロック図である。

【図６】上記第１の実施形態におけるゲートドライバの動作を説明するための信号波形図である。

【図７】上記第１の実施形態におけるゲート双安定回路またはＣＳ双安定回路の構成を示す回路図である。

【図８】上記第１の実施形態におけるゲート双安定回路の、走査期間時の動作を説明するための信号波形図である。

10

【図９】上記第１の実施形態におけるＣＳドライバの構成を示すブロック図である。

【図１０】上記第１の実施形態におけるＣＳドライバの最前段側の構成を示すブロック図である。

【図１１】上記第１の実施形態におけるＣＳドライバの最後段側の構成を示すブロック図である。

【図１２】上記第１の実施形態におけるＣＳシフトレジスタの動作を説明するための信号波形図である。

【図１３】上記第１の実施形態におけるＣＳ双安定回路の、走査期間時の動作を説明するための信号波形図である。

20

【図１４】上記第１の実施形態におけるＣＳ出力部の、走査期間時の動作を説明するための信号波形図である。

【図１５】上記第１の実施形態における画素電位の変化を説明するための信号波形図である。

【図１６】上記第１の実施形態におけるＣＳドライバの、休止期間時の動作を説明するための信号波形図である。

【図１７】上記第１の実施形態におけるＣＳ双安定回路の、休止期間時の動作を説明するための信号波形図である。

【図１８】 $a-SiTFET$ および $IGZOTFT$ のドレイン電流－ゲート電圧特性を示す図である。

30

【図１９】本発明の第２の実施形態におけるＣＳドライバの、休止期間時の動作を説明するための信号波形図である。

【図２０】本発明の第３の実施形態における液晶表示装置の全体構成を示すブロック図である。

【図２１】上記第３の実施形態におけるゲートＣＳドライバの構成を説明するためのブロック図である。

【図２２】上記第３の実施形態におけるゲートＣＳドライバの構成を示すブロック図である。

【図２３】上記第３の実施形態におけるゲートＣＳドライバの最前段側の構成を示すブロック図である。

40

【図２４】上記第３の実施形態におけるゲートＣＳドライバの最後段側の構成を示すブロック図である。

【図２５】上記第３の実施形態における出力バッファの構成例を示す回路図である。

【図２６】上記第３の実施形態におけるゲートＣＳドライバの動作を説明するための信号波形図である。

【図２７】本発明の第４の実施形態におけるＣＳドライバの構成を示すブロック図である。

【図２８】上記第４の実施形態におけるＣＳドライバの動作を説明するための信号波形図である。

【図２９】本発明の第５の実施形態におけるＣＳドライバの構成を示すブロック図である

50

。

【図 30】上記第 5 の実施形態における CS シフトレジスタの動作を説明するための信号波形図である。

【発明を実施するための形態】

【0042】

以下、添付図面を参照しながら、本発明の実施形態について説明する。なお、以下の説明においては、薄膜トランジスタのゲート端子は制御端子に相当し、ドレイン端子は第 1 導通端子に相当し、ソース端子は第 2 導通端子に相当する。また、薄膜トランジスタはすべて n チャンネル型であるものとして説明する。

【0043】

10

< 1. 第 1 の実施形態 >

< 1. 1 全体構成および動作 >

図 1 は、本発明の第 1 の実施形態に係る、CS 駆動方式を採用したアクティブマトリクス型の液晶表示装置の全体構成を示すブロック図である。図 1 に示すように、この液晶表示装置は、電源 100 と DC / DC コンバータ 110 と表示制御回路 200 とソースドライバ（映像信号線駆動回路）300 とゲートドライバ（走査信号線駆動回路）400 と CS ドライバ（補助容量線駆動回路）500 と表示部 600 と共通電極駆動回路 700 とを備えている。CS ドライバ 500 は、アモルファスシリコン、多結晶シリコン、微結晶シリコン、または酸化物半導体等を用いて、表示部 600 を含む液晶表示パネル 800 上に形成されている。すなわち、本実施形態に係る液晶表示装置は、CS ドライバ 500 と表示部 600 とが同一基板（液晶表示パネルを構成する 2 枚の基板のうちの一方の基板であるアレイ基板）上に形成された CS ドライバモノリシック型の液晶表示装置である。これにより、液晶表示装置の額縁面積を縮小することができる。なお、ゲートドライバ 400 および / またはソースドライバ 300 も、アモルファスシリコン、多結晶シリコン、微結晶シリコン、または酸化物半導体等を用いて液晶表示パネル 800 上に形成されていても良い。これらのアモルファスシリコンおよび IGZO を用いた具体的な実現例については後述する。

20

【0044】

表示部 600 には、n 本のソースライン（映像信号線）SL1 ~ SLn と、m 本のゲートライン（走査信号線）GL1 ~ GLm と、m 本のゲートライン GL1 ~ GLm にそれぞれ沿って配置された m 本の CS ライン（補助容量線）CL1 ~ CLm と、これらのソースライン SL1 ~ SLn とゲートライン GL1 ~ GLm との交差点にそれぞれ対応して設けられた m × n 個の画素形成部とが形成されている。上記 m × n 個の画素形成部は、マトリクス状に配置されることにより画素アレイを構成している。各画素形成部は、対応する交差点を通過するゲートラインにゲート端子が接続されると共に当該交差点を通過するソースラインにソース端子が接続されたスイッチング素子である画素薄膜トランジスタ 80 と、その画素薄膜トランジスタ 80 のドレイン端子に接続された画素電極 Ep と、上記複数個の画素形成部に共通的に設けられた対向電極である共通電極 Ec と、上記複数個の画素形成部に共通的に設けられ画素電極 Ep と共通電極 Ec との間に挟持された液晶層とからなる。画素電極 Ep と共通電極 Ec とにより液晶容量 Clc が形成される。また、上記対応する交差点を通過するゲートラインに沿って配置された CS ライン（「補助容量電極」ともいう）と、当該 CS ラインに沿って配置されたゲートラインに対応する画素電極 Ep とにより補助容量 Ccs が形成される。これらの液晶容量 Clc および補助容量 Ccs により画素容量 Cp が形成される。

30

40

【0045】

電源 100 は、DC / DC コンバータ 110 と表示制御回路 200 と共通電極駆動回路 700 とに所定の電源電圧を供給する。DC / DC コンバータ 110 は、ソースドライバ 300、ゲートドライバ 400、および CS ドライバ 500 を動作させるための所定の直流電圧を電源電圧から生成し、それを、ソースドライバ 300、ゲートドライバ 400、および CS ドライバ 500 に供給する。共通電極駆動回路 700 は、共通電極 Ec に所定

50

の電位 V_{com} を与える。

【0046】

表示制御回路200は、外部から送られる画像信号DATおよび水平同期信号や垂直同期信号などのタイミング信号群TGを受け取り、デジタル映像信号DV、表示部600における画像表示を制御するためのソーススタートパルス信号SSP、ソースクロック信号SCK、ラッチストロブ信号LS、ゲートスタートパルス信号GSP、ゲートクロック信号GCK、第1バイアス信号Vcs1、第2バイアス信号Vcs2、CSクロック信号CCK、およびCSスタートパルス信号CSPを出力する。ゲートクロック信号GCKおよびCSクロック信号CCKのハイレベル側の電位はVdd電位、ローレベル側の電位はVss電位となっている。本実施形態では、ゲートスタートパルス信号GSP、ゲートクロック信号GCK、CSクロック信号CCK、およびCSスタートパルス信号CSPによりクロック信号が実現されている。また、CSクロック信号CCKおよびCSスタートパルス信号CSPにより補助容量クロック信号が実現されている。

10

【0047】

ゲートクロック信号GCKは、2相のゲートクロック信号GCK1およびGCK2からなっている。以下では、ゲートクロック信号GCK1を「第1ゲートクロック信号」といい、ゲートクロック信号GCK2を「第2ゲートクロック信号」という。これらの第1ゲートクロック信号GCK1および第2ゲートクロック信号GCK2は、互いに1水平走査期間だけ位相がずれており、いずれも2水平走査期間中の1水平走査期間だけハイレベル電位（Vdd電位）になる（ただし、後述の休止期間T2を除く）。本実施形態では、第1ゲートクロック信号GCK1および第2ゲートクロック信号GCK2により複数の第2シフト動作クロック信号が実現されている。

20

【0048】

CSクロック信号CCKは、2相のCSクロック信号CCK1およびCCK2からなっている。以下では、CSクロック信号CCK1を「第1CSクロック信号」といい、CSクロック信号CCK2を「第2CSクロック信号」という。これらの第1CSクロック信号CCK1および第2CSクロック信号CCK2は、互いに1水平走査期間だけ位相がずれており、いずれも2水平走査期間中の1水平走査期間だけハイレベル電位（Vdd電位）になる（ただし、後述の休止期間T2を除く）。本実施形態では、CSクロック信号CCKはゲートクロック信号GCKよりも1水平走査期間だけ位相が遅れている。より詳細には、第1CSクロック信号CCK1および第2CSクロック信号CCK2がそれぞれ、第1ゲートクロック信号GCK1および第2ゲートクロック信号よりも1水平走査期間だけ位相が遅れている。本実施形態では、第1CSクロック信号CCK1および第2CSクロック信号CCK2により複数の第1シフト動作クロック信号が実現されている。

30

【0049】

ソースドライバ300は、表示制御回路200から出力されるデジタル映像信号DV、ソーススタートパルス信号SSP、ソースクロック信号SCK、およびラッチストロブ信号LSを受け取り、ソースラインSL1～SLnにそれぞれD/A変換されたアナログ映像信号SS(1)～SS(n)を印加する。

【0050】

ゲートドライバ400は、表示制御回路200から出力されるゲートスタートパルス信号GSPおよびゲートクロック信号GCKに基づいて、ハイレベル電位の走査信号GOUT(1)～GOUT(m)のゲートラインGL1～GLmそれぞれへの印加を1フレーム期間を周期として繰り返す。なお、このゲートドライバ400についての詳しい説明は後述する。

40

【0051】

CSドライバ500は、表示制御回路200から出力される第1バイアス信号Vcs1、第2バイアス信号Vcs2、CSクロック信号CCK、およびCSスタートパルス信号CSPに基づいて、CSラインCL1～CLmに、各画素形成部における画素電極Epの電位（以下「画素電位」といい、符号Vdを付す）にバイアスを掛けるための補助容量信

50

号 $CS(1) \sim CS(m)$ をそれぞれ印加する。なお、この CS ドライバ 500 についての詳しい説明は後述する。

【0052】

以上のようにして、ソースライン $SL1 \sim SLn$ に映像信号 $SS(1) \sim SS(n)$ がそれぞれ印加され、ゲートライン $GL1 \sim GLm$ に走査信号 $GOUT(1) \sim GOUT(m)$ がそれぞれ印加されることにより、外部から送られた画像信号 DAT に基づく画像が表示部 600 に表示される。

【0053】

< 1.2 ゲートドライバの構成および動作 >

図2は、本実施形態におけるゲートドライバ400および CS ドライバ500の構成を説明するためのブロック図である。図2に示すように、ゲートドライバ400は、 m 個(段)のゲート双安定回路40(1)~40(m)、および1個(段)のダミー用ゲート双安定回路40($m+1$) (以下「ダミー段」ともいう) からなるゲートシフトレジスタ410により構成されている。なお、 CS ドライバ500の説明については後述する。本実施形態では、ゲートシフトレジスタ410により第2シフトレジスタが実現され、ゲート双安定回路により第2双安定回路が実現されている。

【0054】

表示部600には上述のように m 行 $\times$ n 列の画素マトリクスが形成されており、これらの画素マトリクスの各行と1対1で対応するように各段において上記ゲート双安定回路が設けられている。このゲート双安定回路および後述の CS 双安定回路は、各時点において2つの状態(第1の状態および第2の状態)のうちのいずれか一方の状態となっていて当該状態を示す信号(以下「状態信号」という。)を出力する。本実施形態では、双安定回路が第1の状態となっていれば、当該双安定回路からはハイレベル(オンレベル)電位の状態信号が出力され、双安定回路が第2の状態となっていれば、当該双安定回路からはローレベル(オフレベル)電位の状態信号が出力される。また、以下においては、双安定回路からハイレベル電位の状態信号が出力される期間のことを「選択期間」という。

【0055】

図3は、本実施形態におけるゲートシフトレジスタ410の、最前段および最後段以外の構成を示すブロック図である。図4は、本実施形態におけるゲートシフトレジスタ410の最前段側の構成を示すブロック図である。図5は、本実施形態におけるゲートシフトレジスタ410の最後段側の構成を示すブロック図である。なお、以下の説明では、 x 段目($x=1 \sim m+1$)の双安定回路のことを、単に「 x 段目」ということがある。上述のように、このシフトレジスタ410は、 m 個のゲート双安定回路40(1)~40(m)と、1個のダミー用ゲート双安定回路40($m+1$)からなっている。図3には $i-2$ 段目40($i-2$)~ $i+1$ 段目40($i+1$)を、図4には1段目40(1)および2段目40(2)を、図5には $m-1$ 段目40($m-1$)および m 段目40(m)とダミー段40($m+1$)を示している。

【0056】

各ゲート双安定回路には、クロック信号 $CK1$ (以下「第1クロック信号」という)を受け取るための入力端子、クロック信号 $CK2$ (以下「第2クロック信号」という)を受け取るための入力端子、ローレベルの直流電源電位 Vss (この電位の大きさのことを上記「 Vss 電位」ともいう)を受け取るための入力端子、セット信号 S を受け取るための入力端子、リセット信号 R を受け取るための入力端子、および状態信号 Z を出力するための出力端子が設けられている。

【0057】

ゲートシフトレジスタ410には、ゲートクロック信号 GCK として、上述のように2相の第1ゲートクロック信号 $GCK1$ および第2ゲートクロック信号 $GCK2$ が与えられる。

【0058】

ゲートシフトレジスタ410の各段(各ゲート双安定回路)の入力端子に与えられる信

10

20

30

40

50

号は次のようになっている。なお、以下では i が奇数、 m が偶数であると仮定する。図 3 ~ 図 5 に示すように、奇数段目には、第 1 ゲートクロック信号 $GCK1$ が第 1 クロック信号 $CK1$ として与えられ、第 2 ゲートクロック信号 $GCK2$ が第 2 クロック信号 $CK2$ として与えられる。偶数段目には、第 1 ゲートクロック信号 $GCK1$ が第 2 クロック信号 $CK2$ として与えられ、第 2 ゲートクロック信号 $GCK2$ が第 1 クロック信号 $CK1$ として与えられる。また、各段にはローレベルの直流電源電位 V_{ss} が共通的に与えられる。

【0059】

各段には、前段から出力される状態信号 Z がセット信号 S として与えられ、次段から出力される状態信号 Z がリセット信号 R として与えられる。ただし、1 段目（最前段）40（1）には、ゲートスタートパルス信号 GSP がセット信号 S として与えられる。また、 m 段目（最後段）40（ m ）には、ダミー段 40（ $m+1$ ）から出力される状態信号がリセット信号 R として与えられる。なお、ダミー段 40（ $m+1$ ）には、 m 段目 40（ m ）から出力される状態信号 Z がセット信号 S として与えられ、自身の状態信号 Z がリセット信号 R として与えられる。このため、ダミー段 40（ $m+1$ ）の状態信号 Z がハイレベル電位になっている期間は、他の段の状態信号 Z がハイレベル電位になっている期間よりも短い。このようなダミー段 40（ $m+1$ ）を設けることに代えて、 m 段目 40（ m ）にリセット信号 R として、ゲートエンドパルス信号 GEP を与えても良い。このゲートエンドパルス信号は、走査期間 $T1$ 終了後の 1 水平走査期間においてハイレベル電位になる信号である。

【0060】

以上のような構成において、ゲートシフトレジスタ 410 の 1 段目 40（1）にセット信号 S としてのゲートスタートパルス信号 GSP が与えられると、第 1 ゲートクロック信号 $GCK1$ および第 2 ゲートクロック信号 $GCK2$ に基づいて、ゲートスタートパルス信号 GSP に含まれるパルス（このパルスは各段から出力される状態信号 Z に含まれる）が 1 段目 40（1）から m 段目 40（ m ）へと順次に転送される。そして、このパルスの転送に応じて、1 段目 40（1）~ m 段目 40（ m ）からそれぞれ出力される状態信号 Z が順次にハイレベル電位となる。これらの 1 段目 40（1）~ m 段目 40（ m ）からそれぞれ出力される状態信号 Z は、走査信号 $GOUT(1) \sim GOUT(m)$ としてゲートライン $GL1 \sim GLm$ にそれぞれ与えられる。なお、1 段目 40（1）~ m 段目 40（ m ）からそれぞれ出力される状態信号 Z は、レベルシフタにより電圧が高められた後に、走査信号 $GOUT(1) \sim GOUT(m)$ としてゲートライン $GL1 \sim GLm$ にそれぞれ与えられても良い。以上により、図 6 に示すように、1 水平走査期間ずつ順次にハイレベル電位となる走査信号が表示部 600 内のゲートラインに与えられる。

【0061】

< 1.3 ゲート双安定回路の構成 >

図 7 は、本実施形態における各ゲート双安定回路の構成を示す回路図である。なお、後述の CS 双安定回路も、ゲート双安定回路と同様に図 7 に示す構成となっている。図 7 に示すように、この双安定回路は、4 個の薄膜トランジスタ（スイッチング素子） $M1 \sim M4$ 、コンデンサ（容量素子） $C1$ 、4 個の入力端子 41 ~ 44、ローレベルの直流電源電位 V_{ss} 用の入力端子、および出力端子 49 により構成されている。ここで、第 1 クロック信号 $CK1$ を受け取る入力端子には符号 41 を付し、第 2 クロック信号 $CK2$ を受け取る入力端子には符号 42 を付し、セット信号 S を受け取る入力端子には符号 43 を付し、リセット信号 R を受け取る入力端子には符号 44 を付している。また、状態信号 Z を出力する出力端子には符号 49 を付している。

【0062】

次に、この双安定回路内における構成要素間の接続関係について説明する。薄膜トランジスタ $M1$ のゲート端子、薄膜トランジスタ $M3$ のソース端子、薄膜トランジスタ $M4$ のドレイン端子、およびコンデンサ $C1$ の一端は互いに接続されている。以下では、これらが互いに接続されている接続点（配線）のことを便宜上「第 1 ノード」という。この第 1 ノードには符号 $N1$ を付す。

【 0 0 6 3 】

薄膜トランジスタM 1については、ゲート端子が第1ノードN 1に接続され、ドレイン端子が入力端子4 1に接続され、ソース端子が出力端子4 9に接続されている。薄膜トランジスタM 2については、ゲート端子が入力端子4 2に接続され、ドレイン端子が出力端子4 9に接続され、ソース端子が直流電源電位V s s用の入力端子に接続されている。薄膜トランジスタM 3については、ゲート端子およびドレイン端子が入力端子4 3に接続され（すなわち、ダイオード接続となっている）、ソース端子が第1ノードN 1に接続されている。薄膜トランジスタM 4については、ゲート端子が入力端子4 4に接続され、ドレイン端子が第1ノードN 1に接続され、ソース端子が直流電源電位V s s用の入力端子に接続されている。コンデンサC 1については、一端が第1ノードN 1に接続され、他端が出力端子4 9に接続されている。

【 0 0 6 4 】

次に、このゲート双安定回路における各構成要素の機能について説明する。薄膜トランジスタM 1は、第1ノードN 1の電位がハイレベルになっているときに、第1クロック信号C Kの電位を出力端子4 9に与える。薄膜トランジスタM 2は、第2クロック信号C K 2の電位がハイレベルになっているときに、出力端子4 9の電位をV s s電位に向けて変化させる。薄膜トランジスタM 3は、セット信号Sの電位がハイレベルになっているときに、第1ノードN 1の電位をハイレベルに向けて変化させる。薄膜トランジスタM 4は、リセット信号Rの電位がハイレベルになっているときに、第1ノードN 1の電位をV s s電位に向けて変化させる。コンデンサC 1は、第1ノードN 1がブートストラップされる

【 0 0 6 5 】

< 1 . 4 ゲート双安定回路の動作 >

図8は、本実施形態におけるi段目のゲート双安定回路4 0 (i)の動作のうち、特に後述の走査期間T 1での動作を説明するための信号波形図である。なお、他のゲート双安定回路の動作も同様であるので、説明を省略する。i段目では第1ゲートクロック信号G C K 1および第2ゲートクロック信号G C K 2がそれぞれ第1クロック信号C K 1および第2クロック信号C K 2に相当する。図8における時点t 1から時点t 2までの期間は選択期間に相当する。以下の説明では、1フレーム期間のうち、ゲートスタートパルス信号G S Pが立ち上がる時点（走査開始時点）から、ダミー段の走査信号G O U T (m + 1)が立ち上がる時点までの期間を「走査期間」といい、符号T 1を付す。この走査期間T 1は、複数（m本）のゲートラインG L (1) ~ G L (m)を1回走査する期間である。また、1フレーム期間のうち、ダミー段の走査信号G O U T (m + 1)が立ち上がる時点から後続のフレーム期間においてゲートスタートパルス信号G S Pが立ち上がる時点までの期間を「休止期間」といい、符号T 2を付す。この休止期間T 2は、ダミー段4 0 (m + 1)を除くゲート双安定回路4 0 (1) ~ 4 0 (m)の出力信号のいずれもがローレベル電位となる期間である。走査期間T 1での動作説明においては、選択期間直前の1水平走査期間のことを「セット期間」といい、選択期間直後の1水平走査期間のことを「リセット期間」という。また、走査期間T 1のうちの、選択期間、セット期間、およびリセット期間以外の期間のことを「通常動作期間」という。

【 0 0 6 6 】

セット期間になると（時点t 0になると）、セット信号Sの電位がローレベルからハイレベルに変化する。薄膜トランジスタM 3が図7に示すようにダイオード接続となっているので、セット信号Sの電位がハイレベルになることによって薄膜トランジスタM 3がオン状態になり、コンデンサC 1が充電（ここではプリチャージ）される。これにより、第1ノードN 1の電位がローレベルからハイレベルに変化し、薄膜トランジスタM 1がオン状態となる。しかし、セット期間では、第1ゲートクロック信号G C K 1（第1クロック信号C K 1）の電位がローレベルとなっているので、状態信号Zの電位はローレベルで維持される。

【 0 0 6 7 】

10

20

30

40

50

選択期間になると（時点 t_1 になると）、セット信号 S がハイレベルからローレベルに変化する。これにより、薄膜トランジスタ M_3 がオフ状態になる。このとき、第1ノード N_1 はフローティング状態になる。この時点 t_1 では、第1ゲートクロック信号 GCK_1 の電位がローレベルからハイレベルに変化する。薄膜トランジスタ M_1 はオン状態でありゲート容量が存在するので、入力端子 4_1 の電位の上昇に伴って第1ノード N_1 の電位も上昇する（第1ノード N_1 がブートストラップされる）。この際、コンデンサ C_1 は第1ノード N_1 の電位上昇を促進するように働く。その結果、薄膜トランジスタ M_1 のゲート電位は十分に高いレベルになるので、第1ゲートクロック信号 GCK_1 のハイレベル（ V_{dd} 電位）まで状態信号 Z の電位が上昇する。

【0068】

リセット期間になると（時点 t_2 になると）、第1ゲートクロック信号 GCK_1 の電位がハイレベルからローレベルに変化する。時点 t_2 には薄膜トランジスタ M_1 がオン状態となっているので、入力端子 4_1 の電位の低下と共に状態信号 Z の電位が低下する。このように状態信号 Z の電位が低下することによって、コンデンサ C_1 を介して第1ノード N_1 の電位も低下する。また、リセット期間には、リセット信号 R がローレベルからハイレベルに変化する。このため、薄膜トランジスタ M_4 がオン状態になる。その結果、リセット期間には、第1ノード N_1 の電位が確実にローレベルに低下する。さらに、リセット期間には、第2ゲートクロック信号 GCK_2 （第2クロック信号 CK_2 ）がローレベルからハイレベルに変化する。このため、薄膜トランジスタ M_2 がオン状態になるので、状態信号 Z の電位が確実にローレベルに低下する。

【0069】

通常動作期間（走査期間 T_1 において、時点 t_0 以前の期間および時点 t_3 以降の期間）では、第2ゲートクロック信号 GCK_2 の電位が1水平走査期間毎にハイレベルとローレベルとを繰り返すことにより、薄膜トランジスタ M_2 が1水平走査期間毎にオン状態になる。このため、状態信号 Z の電位をローレベルに維持することができる。

【0070】

なお、以下の説明では、走査期間 T_1 における、第1ゲートクロック信号 GCK_1 および第2ゲートクロック信号 GCK_2 のそれぞれの周期（以下「走査期間ゲート周期」という）を符号 t_{gck1} で表す。また、走査期間 T_1 における、第1ゲートクロック信号 GCK_1 および第2ゲートクロック信号 GCK_2 のそれぞれの周波数（以下「走査期間ゲート周波数」という）を符号 f_{gck1} で表す。

【0071】

< 1.6 CSドライバの構成および動作 >

上記図2に示すように、本実施形態におけるCSドライバ500は、CSシフトレジスタ510およびCS出力部520により構成されている。本実施形態では、ゲートドライバ400とCSドライバ500とは、表示部600を挟んだ両側にそれぞれ配置されている。CSシフトレジスタ510は、 m 個（段）のCS双安定回路50（1）～50（ m ）、および1個（段）のダミー用CS双安定回路50（ $m+1$ ）（以下「ダミー段」ともいう）により構成されている。表示部600には上述のように m 行× n 列の画素マトリクスが形成されており、これらの画素マトリクスの各行と1対1で対応するように各段において上記CS双安定回路が設けられている。CS双安定回路50（1）～50（ m ）はCS出力部520に接続されている。CS出力部520は、CSライン CL_1 ～ CL_m に接続されている。本実施形態では、CSシフトレジスタ510により第1シフトレジスタが実現され、CS双安定回路により第1双安定回路が実現されている。

【0072】

< 1.6.1 CSシフトレジスタの構成および動作 >

図9は、本実施形態におけるCSドライバ500の、最前段および最後段以外の構成を示すブロック図である。図10は、本実施形態におけるCSドライバ500の最前段側の構成を示すブロック図である。図11は、本実施形態におけるCSドライバ500の最後段側の構成を示すブロック図である。上述のように、各CS双安定回路の構成は上記ゲート

10

20

30

40

50

ト双安定回路と同様である。このため、上記ゲート双安定回路と共通する部分についての説明は省略する。

【 0 0 7 3 】

ただし、このＣＳ双安定回路では、第１クロック信号を受け取るための入力端子４１および第２クロック信号を受け取るための入力端子４２に与えられる信号が上記ゲート双安定回路と異なる。すなわち、図９～図１１に示すように、奇数段目には、第１ＣＳクロック信号ＣＣＫ１が第１クロック信号ＣＫ１として与えられ、第２ＣＳクロック信号ＣＣＫ２が第２クロック信号ＣＫ２として与えられる。偶数段目には、第１ＣＳクロック信号ＣＣＫ１が第２クロック信号ＣＫ２として与えられ、第２ＣＳクロック信号ＣＣＫ２が第１クロック信号ＣＫ１として与えられる。

10

【 0 0 7 4 】

また、図１０に示すように、１段目（最前段目）５０（１）には、ＣＳスタートパルス信号ＣＳＰがセット信号Ｓとして与えられる。このＣＳスタートパルス信号ＣＳＰは、上記ゲートスタートパルス信号ＧＳＰの電位がハイレベルになる１水平走査期間の直後の１水平走査期間、および休止期間Ｔ２の開始直後の１水平走査期間において電位がハイレベルになる信号である。

【 0 0 7 5 】

以上のような構成において、ＣＳシフトレジスタ５１０の１段目４０（１）にセット信号ＳとしてのＣＳスタートパルス信号ＣＳＰが与えられると、第１ＣＳクロック信号ＣＣＫ１および第２ＣＳクロック信号ＣＣＫ２に基づいて、ＣＳスタートパルス信号ＣＳＰに含まれるパルス（このパルスは各段から出力される状態信号Ｚに含まれる）が１段目４０（１）からｍ段目４０（ｍ）へと順次に転送される。そして、このパルスの転送に応じて、１段目４０（１）～ｍ段目４０（ｍ）からそれぞれ出力される状態信号Ｚが順次にハイレベル電位となる。これらの１段目４０（１）～ｍ段目４０（ｍ）からそれぞれ出力される状態信号Ｚは、制御信号ＣＯＵＴ（１）～ＣＯＵＴ（ｍ）としてＣＳ出力部５２０に与えられる。より詳細には、これらの制御信号ＣＯＵＴ（１）～ＣＯＵＴ（ｍ）はそれぞれ、ＣＳ出力部５２０を構成する後述のバイアス用薄膜トランジスタ（第１スイッチング素子）６０（１）～６０（ｍ）のゲート端子に与えられる。以上により、図１２に示すように、１水平走査期間ずつ順次にハイレベル電位となる制御信号がＣＳ出力部５２０に与えられる。

20

30

【 0 0 7 6 】

< １．６．２ ＣＳ双安定回路の動作 >

図１３は、本実施形態におけるｉ段目のＣＳ双安定回路５０（ｉ）の動作のうち、特に走査期間Ｔ１での動作を説明するための信号波形図である。図１３に示すように、このＣＳ双安定回路の動作は、上記ゲート双安定回路の動作において第１ゲートクロック信号ＧＣＫ１および第２ゲートクロック信号ＧＣＫ２をそれぞれ第１ＣＳクロック信号ＣＣＫ１および第２ＣＳクロック信号ＣＣＫ２に置き換えたものなので、走査期間Ｔ１でのＣＳ双安定回路の詳細な動作説明を省略する。

【 0 0 7 7 】

なお、以下の説明では、走査期間Ｔ１における、第１ＣＳクロック信号ＣＣＫ１および第２ＣＳクロック信号ＣＣＫ２のそれぞれの周期（以下「走査期間ＣＳ周期」という）を符号 t_{cck1} で表す。また、走査期間Ｔ１における、第１ＣＳクロック信号ＣＣＫ１および第２ＣＳクロック信号ＣＣＫ２のそれぞれの周波数（以下「走査期間ＣＳ周波数」という）を符号 f_{cck1} で表す。さらに、走査期間Ｔ１における、第１ＣＳクロック信号ＣＣＫ１および第２ＣＳクロック信号ＣＣＫ２のそれぞれの振幅（以下「走査期間ＣＳ振幅」という）を符号 V_{cck1} で表す。

40

【 0 0 7 8 】

< １．６．３ ＣＳ出力部の構成および動作 >

上記図９～図１１に示すように、本実施形態におけるＣＳ出力部５２０は、ｍ個のバイアス用薄膜トランジスタ（第１スイッチング素子）６０（１）～６０（ｍ）により構成さ

50

れている。バイアス用薄膜トランジスタ60(1)~60(m)は、CS双安定回路50(1)~50(m)にそれぞれ対応すると共に、CSラインCL1~CLmにそれぞれ対応している。各バイアス用薄膜トランジスタのゲート端子には対応するCS双安定回路の出力端子49(状態信号Zが出力される端子)が接続され、ドレイン端子には対応するCSラインが接続されている。また、奇数段目のバイアス用薄膜トランジスタのソース端子には第1バイアス信号Vcs1が与えられ、偶数段目のバイアス用薄膜トランジスタのソース端子には第2バイアス信号Vcs2が与えられる。なお、CSライン(補助容量信号)、第1バイアス信号Vcs1、および第2バイアス信号Vcs2の電位によって各バイアス用薄膜トランジスタのソース端子とドレイン端子とが入れ替わる。しかし本明細書では、これらの電位に関わらず、各バイアス用薄膜トランジスタにおいて、対応するCSラインに接続されている側の端子をドレイン端子とし、第1バイアス信号Vcs1または第2バイアス信号Vcs2が与えられている端子をソース端子として説明する。

10

20

30

40

50

【0079】

図14は、本実施形態におけるCS出力部520の動作のうち、特に走査期間T2における動作を説明するための信号波形図である。図14に示すように、第1バイアス信号Vcs1および第2バイアス信号は互いに異なる電位であると共に、1フレーム期間毎に電位が反転する。すなわち、連続する2フレーム期間のうち、例えば先行の1フレーム期間では第1バイアス信号Vcs1の電位が所定の高電位Vh(以下単に「高電位Vh」という)且つ第2バイアス信号Vcs2が所定の低電位Vl(以下単に「低電位Vl」という)であり、後続の1フレーム期間では第1バイアス信号Vcs1の電位が低電位Vl且つ第2バイアス信号Vcs2の電位が高電位Vhとなる。

【0080】

まず、第1バイアス信号Vcs1の電位が高電位Vhであり、第2バイアス信号Vcs2の電位が低電位Vlになっているものとする。1段目のCS双安定回路50(1)の出力信号である制御信号COUT(1)がハイレベル電位になると、これに対応するバイアス用薄膜トランジスタ60(1)がオン状態になる。このバイアス用薄膜トランジスタ60(1)のソース端子には第1バイアス信号Vcs1が与えられているので、CSライン(1)に印加される補助容量信号CSS(1)の電位が高電位Vhに変化する。この補助容量信号CSS(1)の電位は、後続の1フレーム期間においてバイアス用薄膜トランジスタ60(1)がオン状態になるまで維持される。

【0081】

次に、2段目のCS双安定回路50(2)の出力信号である制御信号COUT(2)がハイレベル電位になると、これに対応するバイアス用薄膜トランジスタ60(2)がオン状態になる。このバイアス用薄膜トランジスタ60(2)のソース端子には第2バイアス信号Vcs2が与えられているので、CSライン(2)に印加される補助容量信号CSS(2)の電位が低電位Vlに変化する。この補助容量信号CSS(2)の電位は、後続の1フレーム期間においてバイアス用薄膜トランジスタ60(2)がオン状態になるまで維持される。

【0082】

次に、3段目のCS双安定回路50(3)の出力信号である制御信号COUT(3)がハイレベル電位になると、これに対応するバイアス用薄膜トランジスタ60(3)がオン状態になる。このバイアス用薄膜トランジスタ60(3)のソース端子には第1バイアス信号Vcs1が与えられているので、CSライン(3)に印加される補助容量信号CSS(3)の電位が高電位Vhに変化する。この補助容量信号CSS(3)の電位は、後続の1フレーム期間においてバイアス用薄膜トランジスタ60(3)がオン状態になるまで維持される。以下同様に、CS双安定回路の出力信号である制御信号に応じて各CSラインに印加される補助容量信号の電位が順次変化する。

【0083】

< 1.7 画素電位の変化 >

図15は、本実施形態における画素電位の変化を説明するための信号波形図である。本

実施形態では、各行で画素電位の極性を反転させるライン反転駆動が行われる。なお、以下では、1行毎に画素電位の極性を反転させるものとして説明するが、複数行毎に画素電位の極性を反転させても良い。図15において、 $V_d(1) \sim V_d(3)$ はそれぞれ、ゲートライン $GL1 \sim GL3$ に対応して設けられた画素形成部のうちの任意の画素形成部における画素電位 V_d を表す。以下では、画素電位 $V_d(1)$ を「1行目画素電位」といい、画素電位 $V_d(2)$ を「2行目画素電位」といい、画素電位 $V_d(3)$ を「3行目画素電位」という。

【0084】

ゲートライン $GL1$ が選択状態になると（走査信号 $GOUT(1)$ がハイレベル電位になると）、当該ゲートライン $GL1$ にゲート端子が接続された画素薄膜トランジスタ80がオン状態になるので、この画素薄膜トランジスタ80を介して与えられる映像信号により画素容量 C_p が充電される。その結果、図15に示すように、1行目画素電位 $V_d(1)$ が書き込み電位 V_{sig} となる。次に、走査信号 $GOUT(1)$ がローレベル電位になると、画素薄膜トランジスタ80がオフ状態になることにより、1行目画素電位 $V_d(1)$ が書き込み電位 V_{sig} に保持される。この時点まで、ゲートライン $GL1$ に沿って配置された CS ライン $CL1$ に印加されている補助容量信号 $CSS(1)$ の電位は低電位 V_l となっている。

【0085】

次に、補助容量信号 $CSS(1)$ の電位が低電位 V_l から高電位 V_h に変化する。このため、1行目画素電位 $V_d(1)$ に、補助容量信号 $CSS(1)$ の変化分に応じたバイアス電圧 ΔV_{cs} が加わることになる。その結果、1行目画素電位 $V_d(1)$ の電位は下記の式(1)で示される。

$$\begin{aligned} V_d(1) &= V_{sig} + \Delta V_{cs} \\ &= V_{sig} + (C_{cs} / (C_{lc} + C_{cs})) \times (V_h - V_l) \dots (1) \end{aligned}$$

【0086】

このように、1行目画素電位 $V_d(1)$ は、映像信号の振幅に相当する書き込み電位 V_{sig} よりも $(C_{cs} / (C_{lc} + C_{cs})) \times (V_h - V_l)$ だけ大きくなる。このようにして、ソースラインに与えるべき映像信号の振幅を小さくしつつ、液晶層に大きな電圧を印加することができる。これにより、低消費電力化を図ることができる。この1行目画素電位 $V_d(1)$ は、後続のフレーム期間において画素薄膜トランジスタ80が再度オン状態になるまで保持される。なお、この後続のフレーム期間においても同様の動作が行われるのでその説明を省略する。ただし、この後続のフレーム期間では、第1行目画素電位 $V_d(1)$ の極性が先行のフレーム期間におけるものの逆極性となっている。また、2行目画素電位 $V_d(2)$ および3行目画素電位 $V_d(3)$ についても同様の動作が行われるのでその説明を省略する。ただし、2行目画素電位 $V_d(2)$ については、第1行目画素電位 $V_d(1)$ の逆極性となっている。

【0087】

なお、本実施形態では、上記図6に示すように、ゲートライン $GL1 \sim GLm$ の走査は、ゲートライン $GL1 \sim GLm$ の番号の昇順（「 $GL1 \rightarrow GL2 \rightarrow \dots \rightarrow GLm$ の順」をいう）に行われる。このため、上記図12に示すように補助容量信号 $CSS(1) \sim CSS(m)$ の電位切替順も補助容量信号 $CSS(1) \sim CSS(m)$ の番号の昇順（「 $CSS(1) \rightarrow CSS(2) \rightarrow \dots \rightarrow CSS(m)$ の順」をいう）となっている。ただし、本発明のゲートライン $GL1 \sim GLm$ の走査順および補助容量信号 $CSS(1) \sim CSS(m)$ の電位切替順はこれに限定されるものではない。ゲートライン $GL1 \sim GLm$ の走査が、ゲートライン $GL1 \sim GLm$ の番号の降順（「 $GLm \rightarrow \dots \rightarrow GL2 \rightarrow GL1$ の順」をいう）で行われる場合には、補助容量信号 $CSS(1) \sim CSS(m)$ の電位切替順も補助容量信号 $CSS(1) \sim CSS(m)$ の番号の降順（「 $CSS(m) \rightarrow \dots \rightarrow CSS(2) \rightarrow CSS(1)$ の順」をいう）となる。また、ゲートライン $GL1 \sim GLm$ の走査順および補助容量信号 $CSS(1) \sim CSS(m)$ の電位切替順が切り替え可能となっても良い。

【0088】

10

20

30

40

50

< 1 . 8 休止期間の動作 >

図 1 6 は、本実施形態における C S ドライバ 5 0 0 の動作のうち、特に休止期間 T 2 の動作を説明するための信号波形図である。図 1 6 に示すように、本実施形態では、1 フレーム期間が走査期間 T 1 と、当該走査期間 T 1 の後に設けられた休止期間 T 2 とからなっている。すなわち、走査期間 T 1 と休止期間 T 2 とが 1 フレーム期間を周期として交互に現れる。C S ドライバ 5 0 0 の動作についての説明の前に、まず、ゲートドライバ 4 0 0 の動作について説明する。ここで、休止期間 T 2 における、第 1 ゲートクロック信号 G C K 1 および第 2 ゲートクロック信号 G C K 2 のそれぞれの周期（以下「休止期間ゲート周期」という）を符号 t_{gck2} で表す。また、休止期間 T 2 における、第 1 ゲートクロック信号 G C K 1 および第 2 ゲートクロック信号 G C K 2 のそれぞれの周波数（以下「休止期間ゲート周波数」という）を符号 f_{gck2} で表す。

10

【 0 0 8 9 】

本実施形態では、休止期間 T 2 が走査期間 T 1 よりも長く設けられている。ただし、本発明はこれに限定されるものではなく、休止期間 T 2 が走査期間 T 1 よりも短くても良い。

【 0 0 9 0 】

走査期間 T 1 では、ゲートドライバ 4 0 0 は走査期間ゲート周波数 f_{gck1} で駆動され、1 段目 4 0 (1) ~ m 段目 4 0 (m) からそれぞれ出力される状態信号 Z である走査信号 G O U T (1) ~ G O U T (m) が、第 1 ゲートクロック信号 G C K 1 および第 2 ゲートクロック信号 G C K 2 に基づいて順次にハイレベル電位になる。一方、休止期間 T 2 では、ゲートドライバ 4 0 0 は、走査期間ゲート周波数 f_{gck1} よりも低い休止期間ゲート周波数 f_{gck2} で駆動され、走査信号 G O U T (1) ~ G O U T (m) はローレベル電位に維持される。すなわち、この休止期間 T 2 ではゲートライン G L 1 ~ G L m のいずれもが非選択状態となる。このような動作により、ゲートドライバ 4 0 0 を駆動するための消費電力を低減することができる。なお、休止期間 T 2 では、ゲートドライバ 4 0 0 へのゲートクロック信号 G C K の供給が停止されるまたはゲートクロック信号 G C K がローレベル電位に維持されるようにしても良い。

20

【 0 0 9 1 】

次に、本実施形態における C S ドライバ 5 0 0 の動作について説明する。走査期間 T 1 では、1 段目 5 0 (1) ~ m - 1 段目 5 0 (m - 1) からそれぞれ出力される状態信号 Z である制御信号 C O U T (1) ~ C O U T (m - 1) が、第 1 C S クロック信号 C C K 1 および第 2 C S クロック信号 C C K 2 に基づいて順次にハイレベル電位になる。なお、制御信号 C O U T (m) については、当該走査期間 T 1 の後の休止期間 T 2 の最初の 1 水平走査期間においてハイレベル電位になる。

30

【 0 0 9 2 】

一方休止期間 T 2 では、C S ドライバ 5 0 0 の動作は走査期間 T 1 におけるものと異なるものとなる。ここで、休止期間 T 2 における、第 1 C S クロック信号 C C K 1 および第 2 C S クロック信号 C C K 2 のそれぞれの周期（以下「休止期間 C S 周期」という）を符号 t_{cck2} で表す。また、休止期間 T 2 における第 1 C S クロック信号 C C K 1 および第 2 C S クロック信号 C C K 2 のそれぞれの周波数（以下「休止期間 C S 周波数」という）を符号 f_{cck2} で表す。さらに、休止期間 T 2 における第 1 C S クロック信号 C C K 1 および第 2 C S クロック信号 C C K 2 のそれぞれの振幅（以下「休止期間 C S 振幅」という）を符号 V_{cck2} で表す。

40

【 0 0 9 3 】

図 1 6 に示すように、休止期間 C S 周期 t_{cck2} は走査期間 C S 周期 t_{cck1} よりも長い。すなわち、休止期間 C S 周波数 f_{cck2} は走査期間 C S 周波数 f_{cck1} よりも低い。ここで、走査期間 C S 周波数 f_{cck1} は休止期間 C S 周波数 f_{cck2} の整数倍であることが望ましい。これにより、表示制御回路 2 0 0 等を簡易な構成とすることができる。また、走査期間 C S 周波数 f_{cck1} は休止期間 C S 周波数 f_{cck2} の 2 倍以上であることが望ましい。言い換えると、休止期間 C S 周波数 f_{cck2} は走査期間 C S

50

周波数 $f_{cc k 1}$ の $1/2$ 倍以下であることが望ましい。これにより、CSドライバ500の駆動に要する消費電力を十分に低減することができる。このようなCSクロック信号 $CC K$ の周波数（周期）の制御は、例えば表示制御回路200において行われる。上記ゲートクロック信号 $GC K$ の周波数（周期）の制御も、例えば表示制御回路200において行われる。なお、本実施形態では、休止期間CS振幅 $V_{cc k 2}$ および走査期間CS振幅 $V_{cc k 1}$ は互いに同じ大きさである。

【0094】

図16に示すように、休止期間 T_2 における最初の1水平走査期間においてCSスタートパルス信号 $CS P$ がハイレベル電位になる。したがって、走査期間CS周波数 $f_{cc k 1}$ よりも低い休止期間CS周波数 $f_{cc k 2}$ に基づいて、制御信号 $CO UT (1) \sim CO UT (m)$ が順次にハイレベル電位になる。このように本実施形態では、休止期間 T_2 において、走査期間 T_1 における周期よりも長い周期で制御信号 $CO UT (1) \sim CO UT (m)$ が順次にハイレベル電位になる。休止期間 T_2 において制御信号 $CO UT (1) \sim CO UT (m)$ がハイレベル電位になると、バイアス用薄膜トランジスタ60(1)～(m)がそれぞれオン状態になる。この休止期間 T_2 における第1バイアス信号 $V_{cs 1}$ および第2バイアス信号 $V_{cs 2}$ は、走査期間 T_1 におけるものと同じ電位である。このため、CSライン $CL 1 \sim CL m$ にそれぞれ与えられる補助容量信号 $CS S (1) \sim CS S (m)$ の電位は変化しない。

【0095】

図17は、本実施形態におけるi段目のCS双安定回路50(i)の動作のうち、特に休止期間 T_2 での動作を説明するための信号波形図である。なお、他のCS双安定回路の動作も同様であるので、説明を省略する。休止期間 T_2 での動作説明においては、セット信号 S がハイレベル電位になっている1水平走査期間を「セット期間」といい、セット期間の終了時点から選択期間開始時点までの期間を「選択待ち期間」といい、選択期間終了時点からリセット信号 R がハイレベル電位に変化する時点までの期間を「リセット待ち期間」といい、リセット信号 R がハイレベル電位になっている期間を「リセット期間」という。また、休止期間 T_2 のうちの、選択期間、セット期間、選択待ち期間、リセット待ち期間およびリセット期間以外の期間のことを「通常動作期間」という。

【0096】

セット期間（時点 $s_0 \sim s_1$ ）の動作については、走査期間 T_1 におけるセット期間での動作と同様であるので説明を省略する。

【0097】

選択待ち期間になると（時点 s_1 になると）、セット信号 S の電位がハイレベルからローレベルに変化するので薄膜トランジスタ M_3 がオフ状態になる（図7を参照）。このため、第1ノード N_1 はフローティング状態になる。また、第1CSクロック信号 $CC K 1$ はローレベル電位のままである。このため、選択待ち期間では、セット期間における第1ノード N_1 の電位が維持される。なお、第2CSクロック信号 $CC K 2$ の電位がローレベルに変化するので、薄膜トランジスタ M_2 がオフ状態になる。

【0098】

選択期間（時点 $s_2 \sim s_3$ ）の動作については、走査期間 T_1 におけるセット期間での動作と同様であるので説明を省略する。

【0099】

リセット待ち期間になると（時点 s_3 になると）、第1CSクロック信号 $CC K 1$ の電位がハイレベルからローレベルに変化するので、薄膜トランジスタ M_1 のゲート・ドレイン間の寄生容量の影響により第1ノード N_1 の電位が下降する。この電位の下降量は、上述のブーストストラップによる電位の上昇量に相当する。このため、薄膜トランジスタ M_1 はオフ状態にはならない。したがって、上述のように第1CSクロック信号 $CC K 1$ の電位がハイレベルからローレベルに変化することにより、状態信号 Z の電位がローレベルに変化する。また、その後も、第1CSクロック信号 $CC K 1$ の電位はローレベルを維持するので、状態信号 Z の電位はローレベルを維持する。

10

20

30

40

50

【 0 1 0 0 】

リセット期間（時点 s_4 からの 1 水平走査期間）の動作については、走査期間 T_1 におけるセット期間での動作と同様であるので説明を省略する。

【 0 1 0 1 】

通常動作期間（休止期間 T_2 において、時点 s_0 以前の期間および時点 s_4 以降の期間）では、第 2 CS クロック信号 CCK_2 の電位が休止期間 CS 周期 $t_{cc k 2}$ 毎にハイレベルとローレベルとを繰り返すことにより、薄膜トランジスタ M_2 が休止期間 CS 周期 $t_{cc k 2}$ 期間毎にオン状態になる。このため、状態信号 Z の電位をローレベルに維持することができる。

【 0 1 0 2 】

< 1 . 9 考察 >

例えば図 9 に示す CS ドライバ 500 を備える CS ドライバモノリシック型の液晶表示装置に対して上記特許文献 3 に記載の駆動方法を適用した場合を考える。この場合、休止期間 T_2 において CS ライン $CL_1 \sim CL_m$ （補助容量信号 $CS S(1) \sim CS S(m)$ ）の電位を高電位 V_h または低電位 V_l に維持するためには、バイアス用薄膜トランジスタ 60(1) $\sim$ 60(m) をオフ状態に維持する必要があるか、または、バイアス用薄膜トランジスタ 60(1) $\sim$ 60(m) をオン状態に維持すると共にこれらのバイアス用薄膜トランジスタ 60(1) $\sim$ 60(m) を介して CS ライン $CL_1 \sim CL_m$ に第 1 バイアス信号 V_{cs1} または第 2 バイアス信号 V_{cs2} を与える必要がある。

【 0 1 0 3 】

休止期間 T_2 において CS ライン $CL_1 \sim CL_m$ の電位を高電位 V_h または低電位 V_l に維持するためにバイアス用薄膜トランジスタ 60(1) $\sim$ 60(m) をオフ状態に維持する場合、この休止期間 T_2 において CS ライン $CL_1 \sim CL_m$ がフローティング状態になる。このため、休止期間 T_2 において CS ライン $CL_1 \sim CL_m$ がノイズ等の影響を受けやすくなってしまふ。その結果、表示品位の低下を招くおそれがある。これに対して、本実施形態では上述のように、休止期間 T_2 において、第 1 CS クロック信号 CCK_1 および第 2 CS クロック信号 CCK_2 に基づいて CS ドライバ 500 が駆動されることにより制御信号 $COU T(1) \sim COU T(m)$ が順次にハイレベル電位になる。このため、制御信号 $COU T(1) \sim COU T(m)$ がハイレベル電位になるタイミングで、 CS ライン $CL_1 \sim CL_m$ にそれぞれ高電位 V_h または低電位 V_l が与えられることとなる。これにより、本実施形態では、休止期間 T_2 において CS ライン $CL_1 \sim CL_m$ がフローティング状態になることによりこれらの CS ライン $CL_1 \sim CL_m$ が受けるノイズ等の影響が低減される。その結果、表示品位の低下を抑制することができる。

【 0 1 0 4 】

一方、休止期間 T_2 において CS ライン $CL_1 \sim CL_m$ の電位を高電位 V_h または低電位 V_l に維持するために、バイアス用薄膜トランジスタ 60(1) $\sim$ 60(m) をオン状態に維持すると共にこれらのバイアス用薄膜トランジスタ 60(1) $\sim$ 60(m) を介して CS ライン $CL_1 \sim CL_m$ に第 1 バイアス信号 V_{cs1} または第 2 バイアス信号 V_{cs2} を与える場合、バイアス用薄膜トランジスタ 60(1) $\sim$ 60(m) のゲート端子に対してレベルの電位を与え続ける必要がある。このため、これらのバイアス用薄膜トランジスタ 60(1) $\sim$ 60(m) ゲートバイアスストレスが長時間掛かることとなるので、これらのバイアス用薄膜トランジスタ 60(1) $\sim$ 60(m) におけるしきい値変動が大きくなる。その結果、これらのバイアス用薄膜トランジスタ 60(1) $\sim$ 60(m) の駆動能力（信頼性）が低下することになる。これに対して、本実施形態では上述のように、休止期間 T_2 において、第 1 CS クロック信号 CCK_1 および第 2 CS クロック信号 CCK_2 に基づいて CS ドライバ 500 が駆動されることにより制御信号 $COU T(1) \sim COU T(m)$ が順次にハイレベル電位になる。このため、休止期間 T_2 において、バイアス用薄膜トランジスタ 60(1) $\sim$ 60(m) のゲート端子それぞれに 1 水平走査期間のみハイレベル電位が与えられる。これにより、本実施形態では、バイアス用薄膜トランジスタ 60(1) $\sim$ 60(m) に掛かるゲートバイアスストレスが低減されるので、これらのバイ

10

20

30

40

50

アス用薄膜トランジスタ60(1)~60(m)におけるしきい値変動が低減される。その結果、これらのバイアス用薄膜トランジスタ60(1)~60(m)の駆動能力(信頼性)の低下を抑制することができる。

【0105】

<1.10 実現例>

本実施形態における双安定回路中の各薄膜トランジスタの半導体層には、例えば、a-Siまたは酸化物半導体等を用いることができる。なお、酸化物半導体としては、典型的には、インジウム、ガリウム、亜鉛、および酸素を主成分とする酸化物半導体であるInGaZnO_x(以下、「IGZO」という)が用いられるが本発明はこれに限定されるものではない。例えば、インジウム、ガリウム、亜鉛、銅、珪素、錫、アルミニウム、カルシウム、ゲルマニウム、および鉛のうち少なくとも1つを含む酸化物半導体であれば良い。

10

【0106】

図18は、a-SiTFTおよびIGZOを半導体層に用いたTFT(以下「IGZO TFT」という)のドレイン電流-ゲート電圧特性を示す図である。図18において、横軸はゲート電圧V_gを表し、縦軸はドレイン電流I_{ds}を表している。図18に示すように、IGZO TFTのリーク電流はa-SiTFTのリーク電流の1/1000以下であると共に、IGZO TFTのオン電流はa-SiTFTのオン電流の約20倍である。

【0107】

a-SiTFTを用いた場合、フレーム周波数を例えば45Hz程度まで低くすることができる。これに対して、IGZO TFTを本実施形態における双安定回路の各薄膜トランジスタとして用いた場合、IGZO TFTは上述のようにリーク電流が小さいので、画素TFTからのリーク電流が小さく、画素電位の保持時間を長くすることができるため、フレーム周波数を例えば0.2Hz程度まで低くすることができる。このため、IGZO TFTを用いた場合、a-SiTFTを用いた場合に比べてCSドライバ500の駆動電力を1/100以下にすることができる。なお、より詳細には、IGZO TFTを用いた場合、走査期間CS周波数f_{cc k 1}を60Hzに設定すると、休止期間CS周波数f_{cc k 2}を1~0.1Hz程度に設定することができる。

20

【0108】

また、IGZO TFTは上述のようにオン電流が大きいので、IGZO TFTを用いた場合、a-SiTFTを用いた場合に比べてTFTのサイズを1/20程度に小さくすることができる。

30

【0109】

なお、a-SiTFTを用いた場合は、IGZO TFTを用いた場合よりも低コストで本実施形態を実現することができる。

【0110】

<1.11 効果>

本実施形態によれば、1フレーム期間において、走査期間T₁の後に休止期間T₂が設けられる。休止期間CS周波数f_{cc k 2}が走査期間CS周波数f_{cc k 1}よりも低いので、CSドライバ500の1フレーム期間全体の駆動周波数が低減される。このため、CSドライバ500の駆動に要する消費電力が低減される。また、CSドライバ500がモノリシック化されて形成されているので、液晶表示パネル800の額縁面積が縮小されると共に、CSドライバ500のコストが低減される。

40

【0111】

また、本実施形態によれば、休止期間T₂において、制御信号COUT(1)~COUT(m)がハイレベル電位になるタイミングで、CSラインCL1~CLmにそれぞれ高電位V_hまたは低電位V_lが与えられる。このため、休止期間T₂においてCSラインCL1~CLmがフローティング状態になることによりこれらのCSラインCL1~CLmが受けるノイズ等の影響が低減される。これにより、表示品位の低下を抑制することができる。また、休止期間T₂において、バイアス用薄膜トランジスタ60(1)~60(m)

50

）のゲート端子それぞれに１水平走査期間のみハイレベル電位が与えられることとなるので、バイアス用薄膜トランジスタ６０（１）～６０（ｍ）に掛かるゲートバイアスストレスが低減される。その結果、バイアス用薄膜トランジスタ６０（１）～６０（ｍ）におけるしきい値変動が低減されるので、これらのバイアス用薄膜トランジスタ６０（１）～６０（ｍ）の駆動能力（信頼性）の低下を抑制することができる。

【０１１２】

また、本実施形態によれば、休止期間Ｔ２が走査期間Ｔ１よりも長く設けられているので、さらなる消費電力化を図ることができる。

【０１１３】

ＩＧＺＯＴＦＴを本実施形態におけるＣＳ双安定回路の各薄膜トランジスタとして用いた場合には、ＩＧＺＯＴＦＴのリーク電流が十分に小さいので、休止期間ＣＳ周波数ｆ_{ｃｃｋ２}をさらに低くすることができる。このため、消費電力を低減することができる。また、この場合、ＩＧＺＯＴＦＴのオン電流が十分に大きいので、ＴＦＴサイズを十分に小さくすることができる。これにより、さらなる狭額縁化を図ることができる。

【０１１４】

一方、ａ－ＳｉＴＦＴを本実施形態におけるＣＳ双安定回路の各薄膜トランジスタとして用いた場合には、さらなる低コスト化を図ることができる。

【０１１５】

なお、本実施形態では、１フレーム期間において、走査期間Ｔ１の後に休止期間Ｔ２が設けられることにより、ゲートドライバ４００の１フレーム期間全体の駆動周波数も低減されるので、ゲートドライバ４００の駆動に要する消費電力も低減される。また、ゲートクロック信号ＧＣＫの周波数についても、走査期間Ｔ１よりも休止期間Ｔ２において低くなるので、ゲートドライバ４００の駆動に要する消費電力も低減することができる。

【０１１６】

< ２．第２の実施形態 >

< ２．１ 休止期間の動作 >

図１９は、本発明の第２の実施形態におけるＣＳドライバ５００の動作のうち、特に休止期間Ｔ２の動作を説明するための信号波形図である。なお、本実施形態は、休止期間の動作を除き上記第１の実施形態と同様であるので、当該同様の部分についての説明を省略する。図１９に示すように、本実施形態における休止期間ＣＳ振幅Ｖ_{ｃｃｋ２}は走査期間ＣＳ振幅Ｖ_{ｃｃｋ１}よりも小さい。なお、休止期間Ｔ２においてバイアス用薄膜トランジスタ６０（１）～６０（ｍ）を確実にオン状態にするためには、この休止期間ＣＳ振幅Ｖ_{ｃｃｋ２}はバイアス用薄膜トランジスタ６０（１）～６０（ｍ）のしきい値電圧よりも大きい必要がある。すなわち、本実施形態における休止期間ＣＳ振幅Ｖ_{ｃｃｋ２}は、走査期間ＣＳ振幅Ｖ_{ｃｃｋ１}よりも小さく且つバイアス用薄膜トランジスタ６０（１）～６０（ｍ）のしきい値電圧よりも大きい。

【０１１７】

< ２．２ 効果 >

本実施形態によれば、休止期間Ｔ２における第１ＣＳクロック信号ＣＣＫ１および第２ＣＳクロック信号ＣＣＫ２の振幅である休止期間ＣＳ振幅Ｖ_{ｃｃｋ２}が、走査期間Ｔ１における第１ＣＳクロック信号ＣＣＫ１および第２ＣＳクロック信号ＣＣＫ２の振幅である走査期間ＣＳ振幅Ｖ_{ｃｃｋ１}よりも小さい。このため、さらなる低消費電力化を図ることができる。また、休止期間Ｔ２にバイアス用薄膜トランジスタ６０（１）～６０（ｍ）に掛かるゲートバイアスストレスが低減されるので、これらのバイアス用薄膜トランジスタ６０（１）～６０（ｍ）のさらなる高信頼性化を図ることができる。

【０１１８】

< ３．第３の実施形態 >

< ３．１ 全体構成および動作 >

図２０は、本発明の第３の実施形態に係るアクティブマトリクス型の液晶表示装置の全体構成を示すブロック図である。本実施形態の構成要素のうち第１の実施形態と同一の要

10

20

30

40

50

素については、同一の参照符号を付して説明を省略する。図20に示すように、本実施形態に係る液晶表示装置は、上記第1の実施形態におけるゲートドライバ400およびCSドライバ500に代えてゲートCSドライバ900を備えている。このゲートCSドライバ900は、後述のように上記ゲートドライバ400およびCSドライバ500により構成されている。このゲートCSドライバ900は、表示部600と一体的に液晶表示パネル800上に形成されている。すなわち、本実施形態では、CSドライバ500のみならず、ゲートドライバ400も表示部600と一体的に形成されている。このゲートドライバ400も、CSドライバ500と同様にアモルファスシリコン、多結晶シリコン、微結晶シリコン、または酸化物半導体（例えばIGZO）などを用いて、表示部600を含む液晶表示パネル800上に形成されている。

10

【0119】

表示制御回路200は、上記第1の実施形態と異なり、CSクロック信号CLKおよびCSスタートパルス信号CSPを出力しない。すなわち、本実施形態における表示制御回路200は、デジタル映像信号DVと、ソーススタートパルス信号SSP、ソースクロック信号CLK、ラッチストロブ信号LS、ゲートスタートパルス信号GSP、ゲートエンドパルス信号GEP、ゲートクロック信号GCK、第1バイアス信号Vcs1、および第2バイアス信号Vcs2のみを出力する。本実施形態では、ゲートスタートパルス信号GSP、ゲートクロック信号GCK、およびクロック信号が実現されている。また、ゲートスタートパルス信号GSPおよびゲートクロック信号GCKにより補助容量クロック信号が実現されている。

20

【0120】

ゲートCSドライバ900内のゲートドライバ400は、表示制御回路200から出力されるゲートスタートパルス信号GSPおよびゲートクロック信号GCKに基づいて、ハイレベル電位の走査信号GOUT(1)~GOUT(m)のゲートラインGL1~GLmそれぞれへの印加を1フレーム期間を周期として繰り返す。ゲートCSドライバ900内のCSドライバ500は、表示制御回路200から出力されるゲートクロック信号GCK（第1ゲートクロック信号GCK1および第2ゲートクロック信号GCK2）、第1バイアス信号Vcs1および第2バイアス信号Vcs2に基づいて、CSラインCL1~CLmに、画素電位Vdにバイアスを掛けるための補助容量信号CSS(1)~CSS(m)をそれぞれ印加する。本実施形態では、第1ゲートクロック信号GCK1および第2ゲートクロック信号GCK2により複数の第1シフト動作クロック信号が実現されている。

30

【0121】

<3.2 ゲートCSドライバの構成>

図21は、本実施形態におけるゲートCSドライバ900の構成を説明するためのブロック図である。このゲートCSドライバ900は、上述のようにゲートドライバ400およびCSドライバ500により構成されている。図21に示すように、ゲートドライバ400は、上記ゲートシフトレジスタ410（以下、本実施形態では単に「シフトレジスタ」という）および出力バッファ群420により構成されている。CSドライバ500は、シフトレジスタ410および上記CS出力部520により構成されている。すなわち、本実施形態では、ゲートドライバ400とCSドライバ500とがシフトレジスタ410を共有している。本実施形態では、シフトレジスタ410により第1シフトレジスタが実現されている。

40

【0122】

図22は、本実施形態におけるゲートドライバ400およびCSドライバ500の、最前段および最後段以外の構成を示すブロック図である。図23は、本実施形態におけるゲートドライバ400およびCSドライバ500の最前段側の構成を示すブロック図である。図24は、本実施形態におけるゲートドライバ400およびCSドライバ500の最後段側の構成を示すブロック図である。なお、上記第1の実施形態と共通する部分については適宜説明を省略する。

【0123】

50

図 2 2 ~ 図 2 4 に示すように、シフトレジスタ 4 1 0 は、 m 個のゲート双安定回路（以下、本実施形態では単に「双安定回路」という） $4 0 (1) \sim 4 0 (m)$ と、1 個のダミー用双安定回路 $4 0 (m+1)$ （以下単に「双安定回路 $4 0 (m+1)$ 」ということがある）からなっている。出力バッファ群 4 2 0 は、 m 個の出力バッファ $7 0 (1) \sim 7 0 (m)$ からなっている。CS 出力部 5 2 0 は、上述のように m 個のバイアス用薄膜トランジスタ $6 0 (1) \sim 6 0 (m)$ により構成されている。本実施形態では、双安定回路（ゲート双安定回路）により第 1 双安定回路が実現されている。

【0 1 2 4】

本実施形態では上記第 1 の実施形態と異なり、バイアス用薄膜トランジスタ $6 0 (1) \sim 6 0 (m)$ が双安定回路 $4 0 (1) \sim 4 0 (m)$ に 1 段ずれて対応している。すなわち、本実施形態では、バイアス用薄膜トランジスタ $6 0 (1) \sim 6 0 (m)$ が双安定回路 $4 0 (2) \sim 4 0 (m+1)$ にそれぞれ対応している。なお、これらのバイアス用薄膜トランジスタ $6 0 (1) \sim 6 0 (m)$ は、上記第 1 の実施形態と同様に CS ライン $CL 1 \sim CL m$ にそれぞれ対応している。各バイアス用薄膜トランジスタのゲート端子には、対応する双安定回路の出力端子 4 9（状態信号 Z が出力される端子）が接続され、ドレイン端子には対応する CS ラインが接続されている。奇数段目のバイアス用薄膜トランジスタのソース端子には第 1 バイアス信号 V_{cs1} が与えられ、偶数段目のバイアス用薄膜トランジスタのソース端子には第 2 バイアス信号 V_{cs2} が与えられる。

【0 1 2 5】

出力バッファ $7 0 (1) \sim 7 0 (m)$ は、双安定回路 $4 0 (1) \sim 4 0 (m)$ にそれぞれ対応すると共に、ゲートライン $GL 1 \sim GL m$ にそれぞれ対応している。各出力バッファは、例えば図 2 5 に示す AND 回路により実現される。ここで、出力バッファ $7 0 (i)$ を実現する AND 回路を示している。以下では、出力バッファと、当該出力バッファを実現する AND 回路とを同一の符号で表すことがある。各 AND 回路の一方の入力端子には対応する双安定回路の出力端子 4 9 が接続され（制御信号が与えられ）、他方の入力端子には対応するバイアス入力信号 V_{gh} が与えられ、出力端子には対応するゲートラインが接続されている。このバイアス入力信号 V_{gh} は表示制御回路 2 0 0 から各 AND 回路に与えられる。また、このバイアス入力信号 V_{gh} は、走査期間 T_1 にはハイレベル電位（ V_{dd} 電位）となり、休止期間 T_2 にはローレベル電位（ V_{ss} 電位）となる。

【0 1 2 6】

< 3 . 3 ゲート CS ドライバの動作 >

図 2 6 は、本実施形態におけるゲート CS ドライバ 9 0 0 の動作を説明するための信号波形図である。まず、走査期間 T_1 における動作について説明する。走査期間 T_1 では、ゲート CS ドライバ 9 0 0 は走査期間ゲート周波数 f_{gck1} で駆動される。図 2 6 に示すように、ゲートスタートパルス信号 GSP がハイレベル電位になった後、第 1 ゲートクロック信号 $GCK 1$ および第 2 ゲートクロック信号 $GCK 2$ に基づいて、制御信号 $GOUT' (1) \sim GOUT' (m)$ が順次にハイレベル電位になる。この走査期間 T_1 ではバイアス入力信号 V_{gh} がハイレベル電位になっているので、これらの制御信号 $GOUT' (1) \sim GOUT' (m)$ がハイレベル電位になるタイミングでそれぞれ、AND 回路 $7 0 (1) \sim 7 0 (m)$ の出力信号の電位がハイレベルになる。すなわち、の制御信号 $GOUT' (1) \sim GOUT' (m)$ がハイレベル電位になるタイミングでそれぞれ走査信号 $GOUT (1) \sim GOUT (m)$ がハイレベル電位になる。

【0 1 2 7】

ここで、走査期間 T_1 では第 1 バイアス信号 V_{cs1} の電位が高電位 V_h であり、第 2 バイアス信号 V_{cs2} の電位が低電位 V_l になっているものとする。2 段目の双安定回路 $4 0 (2)$ の出力信号である制御信号 $GOUT' (2)$ がハイレベル電位になると、これに対応するバイアス用薄膜トランジスタ $6 0 (1)$ がオン状態になる。このバイアス用薄膜トランジスタ $6 0 (1)$ のソース端子には第 1 バイアス信号 V_{cs1} が与えられているので、CS ライン (1) に印加される補助容量信号 $CSS (1)$ の電位が高電位 V_h に変化する。この補助容量信号 $CSS (1)$ の電位は、後続の 1 フレーム期間においてバイア

10

20

30

40

50

ス用薄膜トランジスタ 60 (1) がオン状態になるまで維持される。

【0128】

3 段目の双安定回路 40 (3) の出力信号である制御信号 GOUT' (3) がハイレベル電位になると、これに対応するバイアス用薄膜トランジスタ 60 (2) がオン状態になる。このバイアス用薄膜トランジスタ 60 (2) のソース端子には第 2 バイアス信号 Vcs2 が与えられているので、CS ライン (2) に印加される補助容量信号 CSS (2) の電位が低電位 V1 に変化する。この補助容量信号 CSS (2) の電位は、後続の 1 フレーム期間においてバイアス用薄膜トランジスタ 60 (2) がオン状態になるまで維持される。以下同様に、双安定回路の出力信号である制御信号に応じて各 CS ラインに印加される補助容量信号の電位が順次変化する。

10

【0129】

なお、図 26 に示すように、休止期間 T2 において補助容量信号 CSS (1) ~ CSS (m) を順次にハイレベル電位にするために、走査期間 T1 の最後の 1 水平走査期間においてゲートスタートパルス信号 GSP が再度ハイレベル電位になる。

【0130】

次に、休止期間 T2 における動作について説明する。休止期間 T2 では、ゲート CSDライバ 900 は、走査期間ゲート周波数 fgck1 よりも低い休止期間ゲート周波数 fgck2 で駆動される。上述のように走査期間 T1 の最後の 1 水平走査期間においてゲートスタートパルス信号 GSP がハイレベル電位になっているので、走査期間 CS 周波数 fcck1 よりも低い休止期間 CS 周波数 fcck2 の第 1 ゲートクロック信号 GCK1 および第 2 ゲートクロック信号 GCK2 に基づいて、制御信号 GOUT' (1) ~ GOUT' (m) が順次にハイレベル電位になる。しかし、この休止期間 T2 ではバイアス入力信号 Vgh がローレベル電位になっているので、AND 回路 70 (1) ~ 70 (m) の出力信号の電位はローレベルを維持する。すなわち、休止期間 T2 では走査信号 GOUT (1) ~ 走査信号 GOUT (m) はローレベル電位を維持する。

20

【0131】

また、休止期間 T2 において制御信号 GOUT' (1) ~ GOUT' (m) が順次にハイレベル電位になると、バイアス用薄膜トランジスタ 60 (1) ~ (m) がそれぞれオン状態になる。この休止期間 T2 における第 1 バイアス信号 Vcs1 および第 2 バイアス信号 Vcs2 は、走査期間 T1 におけるものと同じ電位である。このため、CS ライン CL1 ~ CLm にそれぞれ与えられる補助容量信号 CSS (1) ~ CSS (m) の電位は変化しない。

30

【0132】

なお、本実施形態における双安定回路の構成および動作は上記第 1 の実施形態におけるゲート双安定回路または CS 双安定回路のものと同等なので、その説明を省略する。

【0133】

< 3.4 効果 >

本実施形態によれば、ゲートドライバ 400 と CS ドライバ 500 とでシフトレジスタ 410 を共有化できる。このため、回路規模が縮小されるので、例えばさらなる狭額縁化を図ることができる。また、CS ドライバ 500 のみならずゲートドライバ 400 もモノリシック化されて形成されるため、ゲートドライバ 400 のコストが低減されると共に、さらなる狭額縁化を図ることができる。

40

【0134】

なお、休止期間 T2 における第 1 ゲートクロック信号 GCK1 および第 2 ゲートクロック信号 GCK2 の振幅 (以下「休止期間ゲート振幅」という) を走査期間 T1 における第 1 ゲートクロック信号 GCK1 および第 2 ゲートクロック信号 GCK2 の振幅 (以下「走査期間ゲート振幅」という) よりも小さくした場合には、さらなる低消費電力化を図ることができる。ただし、この場合、休止期間ゲート振幅は、走査期間ゲート振幅よりも小さく、且つバイアス用薄膜トランジスタ 60 (1) ~ 60 (m) のしきい値電圧および出力バッファ 70 (1) ~ 70 (m) を実現する薄膜トランジスタのしきい値電圧よりも大き

50

い必要がある。

【0135】

なお、各出力バッファは、与えられるバッファ入力信号 V_{gh} と、対応する双安定回路の出力信号である制御信号との論理積を実質的に出力できれば良く、上記 AND 回路に限定されるものではない。

【0136】

< 4 . 第 4 の実施形態 >

< 4 . 1 CS ドライバの構成 >

図 27 は、本発明の第 4 の実施形態における CS ドライバ 500 の構成を示すブロック図である。なお、本実施形態は、CS ドライバ 500 の構造および休止期間の動作を除き
10
上記第 1 の実施形態と同様であるので、当該同様の部分についての説明を省略する。図 27 に示すように、本実施形態における CS ドライバ 500 は、 m 本のゲートライン $GL1 \sim GLm$ にそれぞれ対応して設けられた、 m 個の休止時動作用薄膜トランジスタ（第 2 スイッチング素子） $61(1) \sim 61(m)$ をさらに備えている。また、これらの休止動作用薄膜トランジスタ $61(1) \sim 61(m)$ はそれぞれ CS 双安定回路 $50(1) \sim 50(m)$ に対応している。

【0137】

各休止動作用薄膜トランジスタのゲート端子には休止期間動作用クロック信号 ALL_ON が与えられ、ドレイン端子には対応するゲートラインが接続されている。この休止期間動作用クロック信号 ALL_ON は表示制御回路 200 から与えられる。また、この休
20
止期間動作用クロック信号 ALL_ON は、走査期間 $T1$ では常にローレベル電位である。なお、以下の説明では、休止期間 $T2$ における休止期間動作用クロック信号 ALL_ON の周期（以下「休止期間 ALL_ON 周期」という）を符号 t_{ack2} で表す。また、休止期間 $T2$ における休止期間動作用クロック信号 ALL_ON の周波数（以下「休止期間 ALL_ON 周波数」という）を符号 f_{ack2} で表す。

【0138】

休止期間動作用クロック信号 ALL_ON は、休止期間 ALL_ON 周期 t_{ack2} 毎にハイレベル電位になる。この休止期間 ALL_ON 周期 t_{ack2} は、走査期間 CS 周期 t_{clk1} よりも長い。すなわち、休止期間 ALL_ON 周波数 f_{ack2} は走査期間 CS 周波数 f_{clk1} よりも低い。
30

【0139】

奇数段目の CS 双安定回路に対応する休止動作用薄膜トランジスタのドレイン端子には第 1 バイアス信号 V_{cs1} が与えられる。一方、偶数段目の CS 双安定回路に対応する休止動作用薄膜トランジスタのドレイン端子には第 2 バイアス信号 V_{cs2} が与えられる。本実施形態では、休止期間動作用クロック信号 ALL_ON 、CS クロック信号 CLK 、および CS スタートパルス信号 CSP により補助容量クロック信号が実現されている。

【0140】

< 4 . 2 CS ドライバの動作 >

図 28 は、本実施形態における CS ドライバ 500 の動作のうち、特に休止期間 $T2$ の動作を説明するための信号波形図である。走査期間 $T1$ では、休止期間動作用クロック信号 ALL_ON は上述のようにローレベル電位を維持している。
40

【0141】

本実施形態では、上記第 1 の実施形態と異なり、休止期間 $T2$ において第 1 CS クロック信号 $CLK1$ および第 2 CS クロック信号 $CLK2$ がローレベル電位を維持している。このとき、休止期間 CS 周波数 f_{clk2} は 0 となる。また、休止期間 $T2$ において CS スタートパルス信号 CSP がハイレベル電位にならない。このため、休止期間 $T2$ において制御信号 $COUT(1) \sim COUT(m)$ はハイレベル電位にならない。また、休止期間 $T2$ では、休止期間動作用クロック信号 ALL_ON は休止期間 ALL_ON 周期 t_{ack2} 毎にハイレベル電位になる。休止期間動作用クロック信号 ALL_ON がハイレベル電位になると、休止動作用薄膜トランジスタ $61(1) \sim 61(m)$ がオン状態になる
50

。この休止期間 T_2 における第 1 バイアス信号 V_{cs1} および第 2 バイアス信号 V_{cs2} は、走査期間 T_1 におけるものと同じ電位である。このため、CS ライン $CL_1 \sim CL_m$ にそれぞれ与えられる補助容量信号 $CS_S(1) \sim CS_S(m)$ の電位は変化しない。

【0142】

なお、CS ドライバ 500 のその他の動作については上記第 1 の実施形態と同様であるのでその説明を省略する。

【0143】

< 4.3 効果 >

本実施形態によれば、休止期間 T_2 において、制御信号 $COUT(1) \sim COUT(m)$ がハイレベル電位になるタイミングに代えて、休止期間動作クロック信号 ALL_ON がハイレベル電位になるタイミングで CS ライン $CL_1 \sim CL_m$ にそれぞれ高電位 V_h または低電位 V_l が与えられる。このため、休止期間 T_2 において CS ライン $CL_1 \sim CL_m$ がフローティング状態になることによりこれらの CS ライン $CL_1 \sim CL_m$ が受けるノイズ等の影響が低減される。これにより、表示品位の低下を抑制することができる。また、休止期間 T_2 において第 1 CS クロック信号 CLK_1 および第 2 CS クロック信号 CLK_2 がローレベル電位を維持するので、さらなる低消費電力化を図ることができる。さらに、休止期間 T_2 において制御信号 $COUT(1) \sim COUT(m)$ がハイレベル電位にならないので、バイアス用薄膜トランジスタ 60(1) ~ 60(m) に掛かるゲートバイアスストレスがさらに低減される。したがって、バイアス用薄膜トランジスタ 60(1) ~ 60(m) におけるしきい値変動がさらに低減されるので、これらのバイアス用薄膜トランジスタ 60(1) ~ 60(m) のさらなる高信頼性化を図ることができる。なお、休止動作薄膜トランジスタ 61(1) ~ 61(m) においてしきい値変動が生じたとしても、バイアス用薄膜トランジスタ 60(1) ~ 60(m) においてしきい値変動が生じる場合に比べて表示に与える影響は少ない。

【0144】

< 5. 第 5 の実施形態 >

< 5.1 CS シフトレジスタの構成および動作 >

図 29 は、本発明の第 5 の実施形態における CS シフトレジスタ 510 の構成を説明するためのブロック図である。なお、本実施形態は、CS シフトレジスタ 410 の構成および動作を除き上記第 1 の実施形態と同様であるので、当該同様の部分についての説明を省略する。本実施形態では、表示制御回路 200 から CS ドライバ 500 に与えられる CS クロック信号 CLK が、3 相の CS クロック信号 $CLK_1 \sim CLK_3$ からなっている。以下では、CS クロック信号 CLK_3 を「第 3 CS クロック信号」という。これらの第 1 CS クロック信号 CLK_1 、第 2 CS クロック信号 CLK_2 、および第 3 CS クロック信号 CLK_3 は互いに 1 水平走査期間だけ位相がずれており、いずれも 3 水平走査期間中の 1 水平走査期間だけハイレベル電位 (V_{dd} 電位) になる (ただし、休止期間 T_2 を除く)。

【0145】

CS シフトレジスタ 510 の各段 (各 CS 双安定回路) の入力端子に与えられる信号は次のようになっている。i - 2 段目には、第 1 CS クロック信号 CLK_1 が第 1 クロック信号 CK_1 として与えられ、第 2 CS クロック信号 CLK_2 が第 2 クロック信号 CK_2 として与えられる。i - 1 段目には、第 2 CS クロック信号 CLK_2 が第 1 クロック信号 CK_1 として与えられ、第 3 CS クロック信号 CLK_3 が第 2 クロック信号 CK_2 として与えられる。i 段目には、第 3 CS クロック信号 CLK_3 が第 1 クロック信号 CK_1 として与えられ、第 1 CS クロック信号 CLK_1 が第 2 クロック信号 CK_2 として与えられる。なお、セット信号 S およびリセット信号 R を受け取るための端子に与えられる信号については上記第 1 の実施形態と同様であるので説明を省略する。

【0146】

以上のような構成において、CS シフトレジスタ 510 の 1 段目 50(1) にセット信号 S としての CS スタートパルス信号 CS_P が与えられると、第 1 CS クロック信号 CK

K 1、第 2 C S クロック信号 C C K 2、および第 3 C S クロック信号 C C K 3 に基づいて、図 3 0 に示すように、1 水平走査期間ずつ順次にハイレベル電位となる制御信号が C S ドライバ 5 0 0 内の C S 出力部 5 2 0 に与えられる。

【 0 1 4 7 】

< 5 . 2 消費電力 >

一般に、C S ドライバの駆動に要する消費電力 W (以下単に「消費電力 W」という)は、下記の式 (1) により求められる。

$$W = n \times f \times (C_p + C_t) \times V^2 \quad \dots (1)$$

ここで、n は C S クロック信号 C C K の相数を、f は C S クロック信号 G C K の周波数を、C p は配線容量を、C t は薄膜トランジスタの負荷容量を表す。

10

【 0 1 4 8 】

上記第 1 の実施形態では、C S クロック信号 C C K の相数が 2 である。このため、上記式 (1) より、上記第 1 の実施形態における消費電力 W は下記の式 (2) により表すことができる。

$$W = 2 \times f \times (C_p + C_t) \times V^2 \quad \dots (2)$$

【 0 1 4 9 】

一方、本実施形態では、C S クロック信号 C C K の相数が 3 である。また、C S クロック信号 C C K の各相 (以下単に「各相」という)に着目した場合に、本実施形態における、当該各相が与えられる双安定回路の入力端子 4 1 または 4 2 の数 (以下「接続数」という)が、上記第 1 の実施形態における接続数よりも少なくなる。これは、各相に対する薄膜トランジスタの負荷容量が小さくなることを意味する。上記第 1 の実施形態では、各相が、1 段毎に入力端子 4 1 または 4 2 に交互に与えられているので、接続数は m である。なお、ここでは便宜上ダミー段 5 0 (m + 1) を考慮していない。一方本実施形態では、各相が、1 段おきに且つ 1 段毎に入力端子 4 1 または 4 2 に交互に与えられているので、接続数は (2 / 3) × m である。すなわち、本実施形態における各相に対する薄膜トランジスタの負荷容量は、上記第 1 の実施形態における負荷容量の 2 / 3 になる。したがって、上記式 (1) により、本実施形態における消費電力 W は下記の式 (3) により表すことができる。

20

$$W = 3 \times f \times (C_p + (2/3) \times C_t) \times V^2 \quad \dots (3)$$

【 0 1 5 0 】

30

ここで、C p = C t / 3 であると仮定すると、上記式 (2) および式 (3) をそれぞれ下記の式 (4) および (5) により表すことができる。

$$W = 2.67 \times f \times C_t \times V^2 \quad \dots (4)$$

$$W = 2 \times f \times C_t \times V^2 \quad \dots (5)$$

【 0 1 5 1 】

上記式 (4) および (5) から、本実施形態では、上記第 1 の実施形態よりも 3 0 % 程度消費電力 W を低減できることがわかる。

【 0 1 5 2 】

< 5 . 3 効果 >

本実施形態によれば、C S クロック信号 C C K の相数が 3 となる。このため、各相が与えられる C S 双安定回路の入力端子 4 1 または 4 2 の数 (接続数)が、上記第 1 の実施形態における接続数よりも少なくなる。このため、各相に対する薄膜トランジスタの負荷容量が小さくなる。したがって、さらなる低消費電力化を図ることができる。

40

【 0 1 5 3 】

< 6 . その他 >

上記各実施形態において、C S クロック信号 C C K およびゲートクロック信号 G C K の周波数および振幅の制御は表示制御回路 2 0 0 において行われることが望ましいが、C S ドライバ 5 0 0 およびゲートドライバ 4 0 0 においてそれぞれこのような制御が行われる構成としても良い。

【 0 1 5 4 】

50

本発明におけるＣＳ双安定回路およびゲート双安定回路の構成は上記各実施形態に例示されたものに限定されるものではなく、種々変形可能である。

【０１５５】

上記第１の実施形態ではＣＳクロック信号ＣＣＫが２相からなり、上記第５の実施形態ではＣＳクロック信号ＣＣＫが３相からなっているが、本発明はこれに限定されるものではない。ＣＳクロック信号ＣＣＫが４相以上からなっているいても良い。

【０１５６】

上記各実施形態では、双安定回路内に設けられている薄膜トランジスタはすべてｎチャネル型であるものとして説明したが、本発明はこれに限定されるものではない。双安定回路内に設けられている薄膜トランジスタがｐチャネル型であっても本発明を適用することができる。

10

【０１５７】

その他、本発明の趣旨を逸脱しない範囲で上記各実施形態を種々変形して実施することができる。

【０１５８】

以上により、本発明によれば、消費電力を低減したＣＳ駆動方式の液晶表示装置、および当該液晶表示装置内の補助容量線の駆動方法を提供することができる。

【産業上の利用可能性】

【０１５９】

本発明は、ドライバモノリシック型の液晶表示装置に適用することができる。

20

【符号の説明】

【０１６０】

４０（１）～４０（ｍ）…ゲート双安定回路（双安定回路）

４０（ｍ＋１）…ゲート双安定回路（ダミー段）

４１～４４…入力端子（入力ノード）

４９…出力端子（出力ノード）

５０（１）～５０（ｍ）…ＣＳ双安定回路（双安定回路）

５０（ｍ＋１）…ＣＳ双安定回路（ダミー段）

６０（１）～６０（ｍ）…バイアス用薄膜トランジスタ（第１スイッチング素子）

６１（１）～６１（ｍ）…休止動作用薄膜トランジスタ（第２スイッチング素子）

30

７０（１）～７０（ｍ）…出力バッファ（ＡＮＤ回路）

８０…画素薄膜トランジスタ（画素スイッチング素子）

３００…ソースドライバ（映像信号線駆動回路）

４００…ゲートドライバ（走査信号線駆動回路）

４１０…ゲートシフトレジスタ

４２０…出力バッファ群

５００…ＣＳドライバ（補助容量線駆動回路）

５１０…ＣＳシフトレジスタ

５２０…ＣＳ出力部

６００…表示部

40

８００…液晶表示パネル

９００…ゲートＣＳドライバ

Ｅｐ…画素電極

Ｃｃｓ…補助容量

Ｍ１～Ｍ４…薄膜トランジスタ（スイッチング素子）

Ｃ１…コンデンサ（容量素子）

Ｎ１…第１ノード

ＣＳＰ…ＣＳスタートパルス信号

ＧＳＰ…ゲートスタートパルス信号

ＣＣＫ１～ＣＣＫ３…第１ＣＳクロック信号～第３ＣＳクロック信号（第１シフト動作

50

クロック信号)

GCK1、GCK2...第1ゲートクロック信号、第2ゲートクロック信号(第2シフト動作クロック信号)

S...セット信号

R...リセット信号

CSS(1)~CSS(m)...補助容量信号

COU(1)~COU(m)...制御信号

GOU(1)~GOU(m)...走査信号

GOUT'(1)~GOUT'(m)...制御信号

ALL_ON...休止期間動作クロック信号

T1...走査期間

T2...休止期間

t_{clk1}...走査期間CS周期

t_{clk2}...休止期間CS周期

t_{ack2}...休止期間ALL_ON周期

f_{clk1}...走査期間CS周波数

f_{clk2}...休止期間CS周波数

f_{ack2}...休止期間ALL_ON周波数

V_{clk1}...走査期間CS振幅

V_{clk2}...休止期間CS振幅

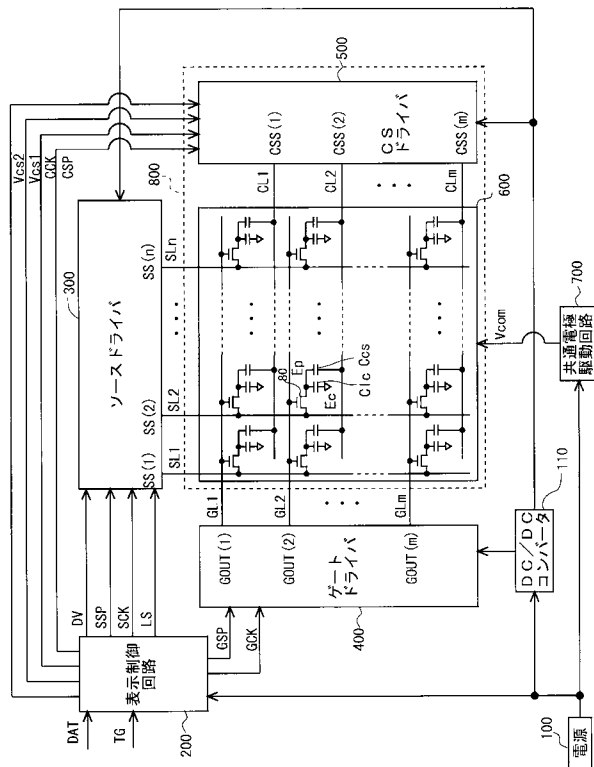
V_{ss}...ローレベルの直流電源電位

V_{dd}...ハイレベルの直流電源電位

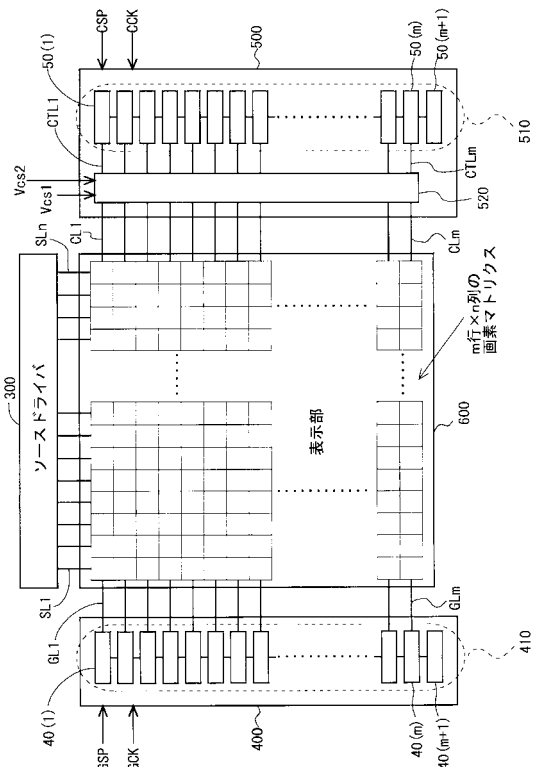
10

20

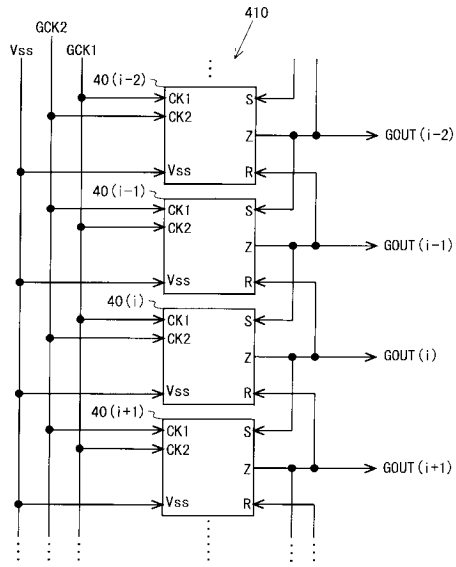
【図1】



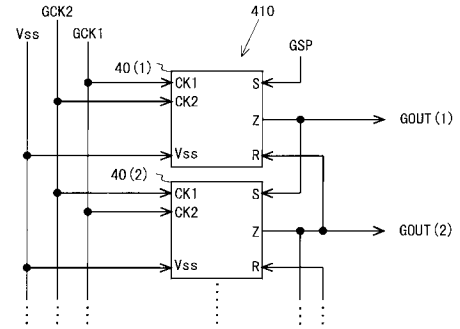
【図2】



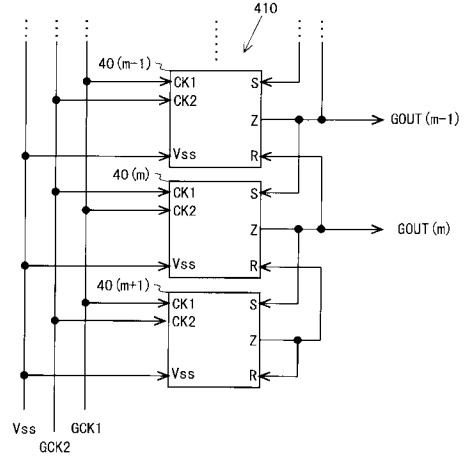
【図 3】



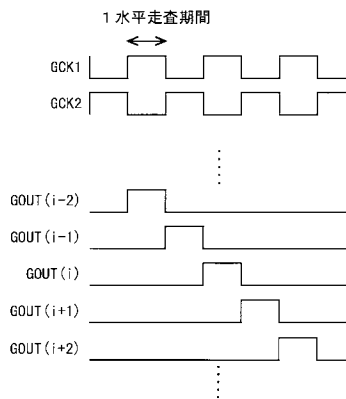
【図 4】



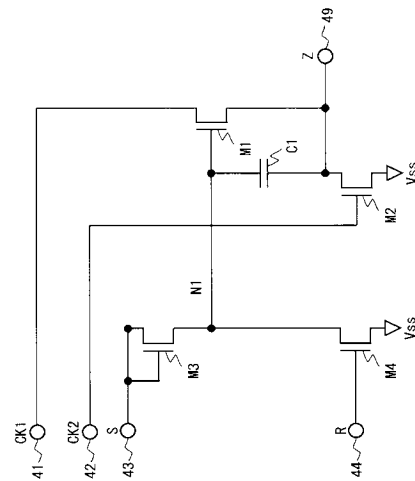
【図 5】



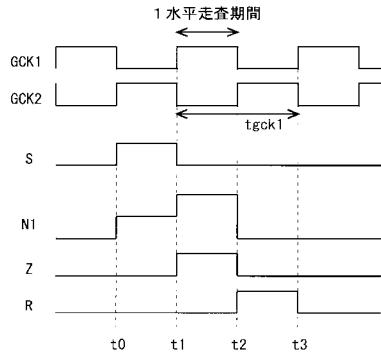
【図 6】



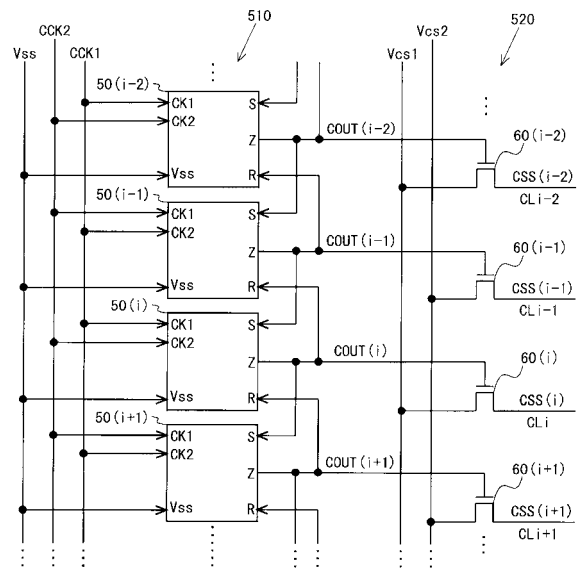
【図 7】



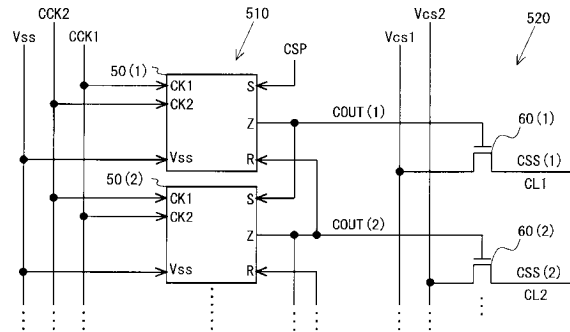
【図 8】



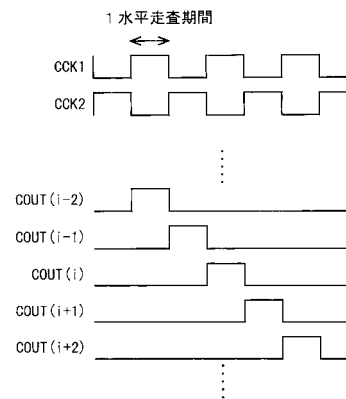
【図 9】



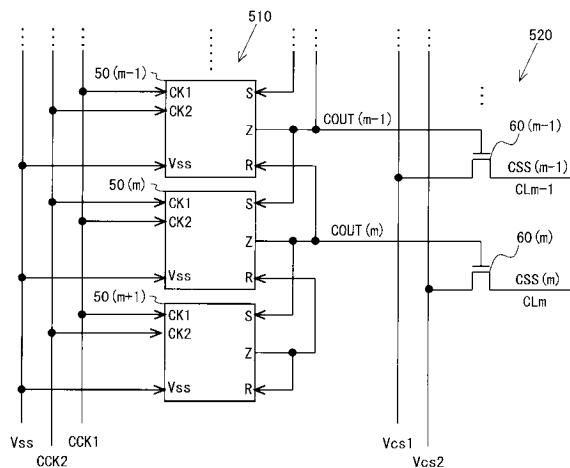
【図 10】



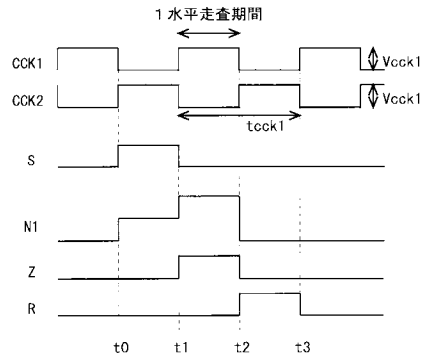
【図 12】



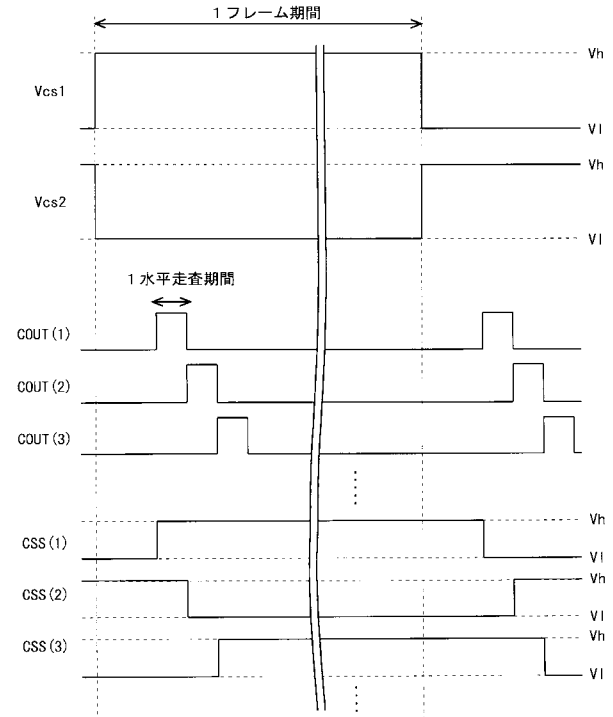
【図 11】



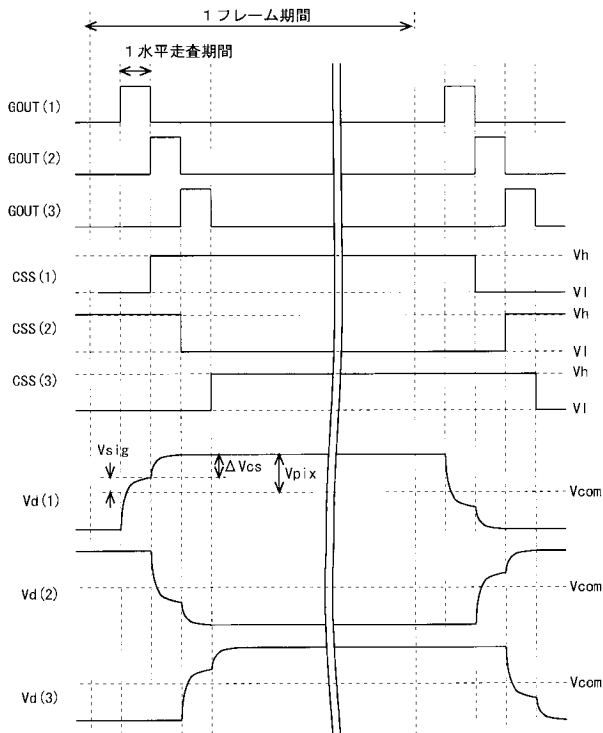
【図 13】



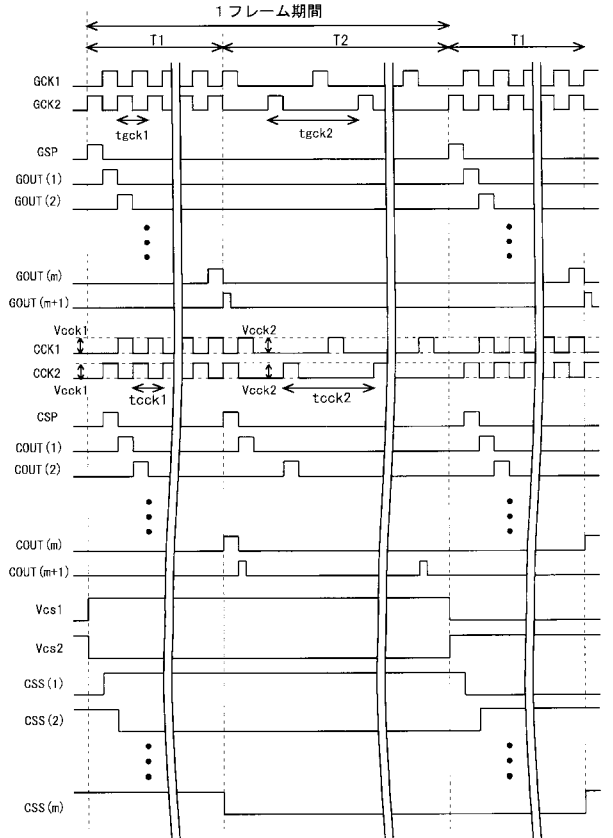
【図 14】



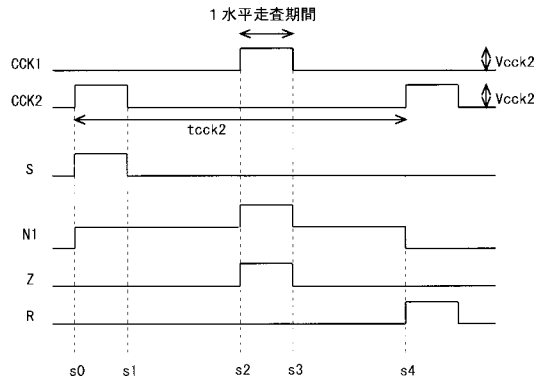
【図 15】



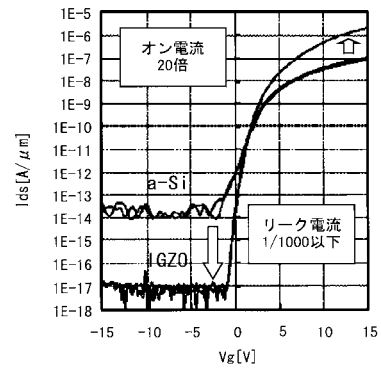
【図 16】



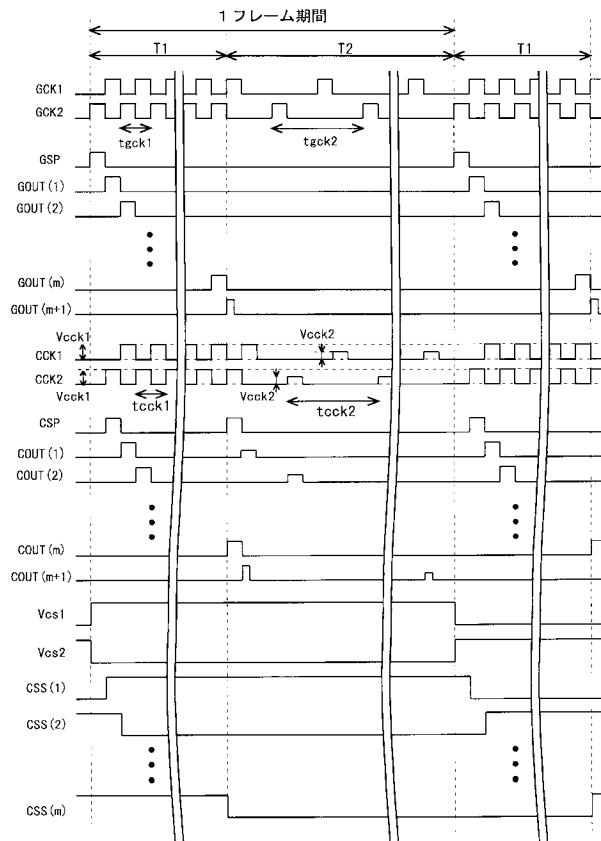
【図 17】



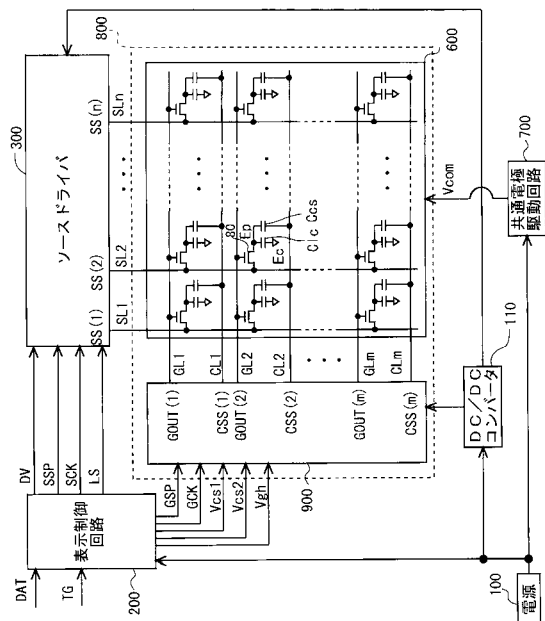
【図 18】



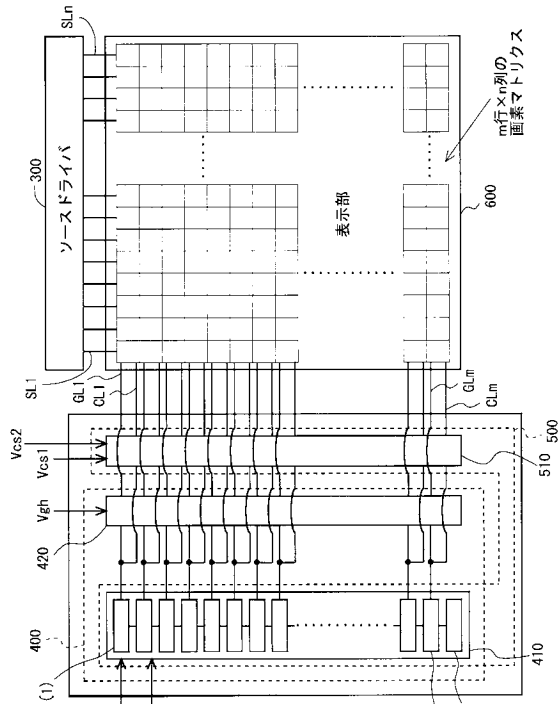
【図 19】



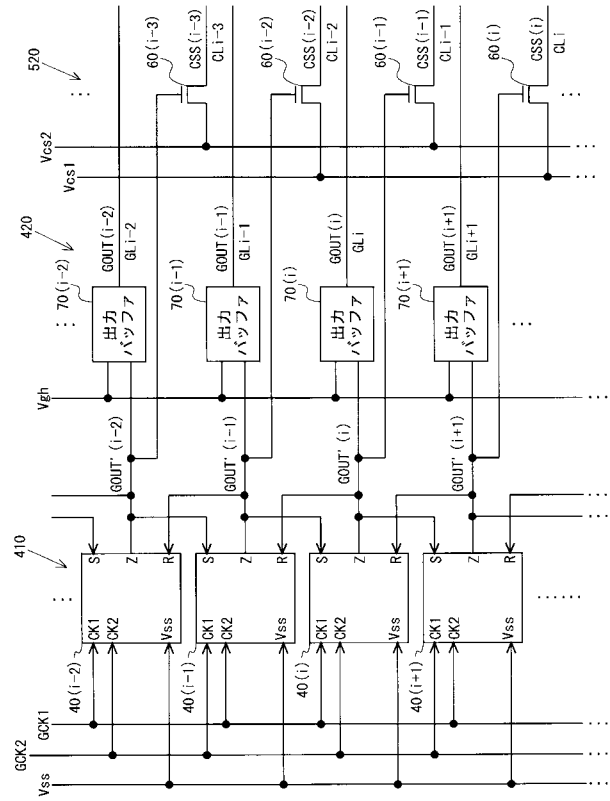
【図 20】



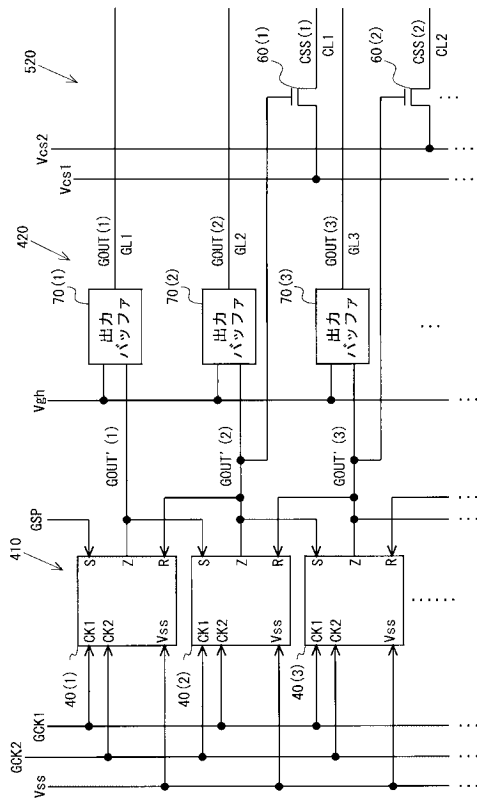
【図 2 1】



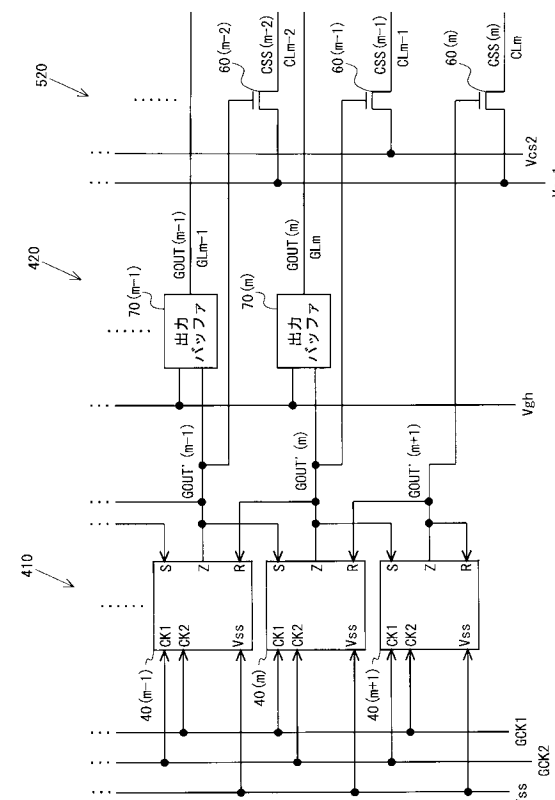
【図 2 2】



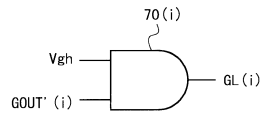
【図 2 3】



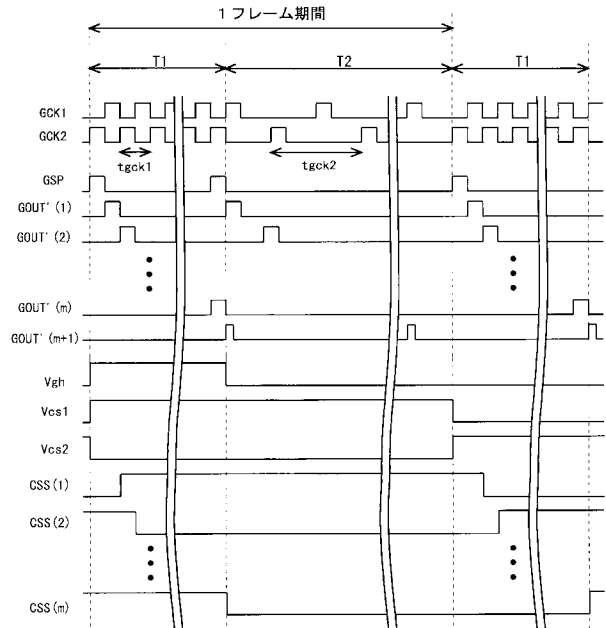
【図 2 4】



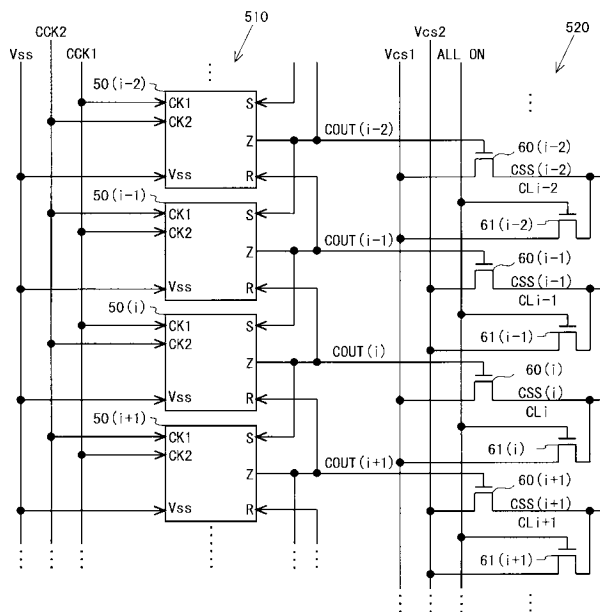
【図 25】



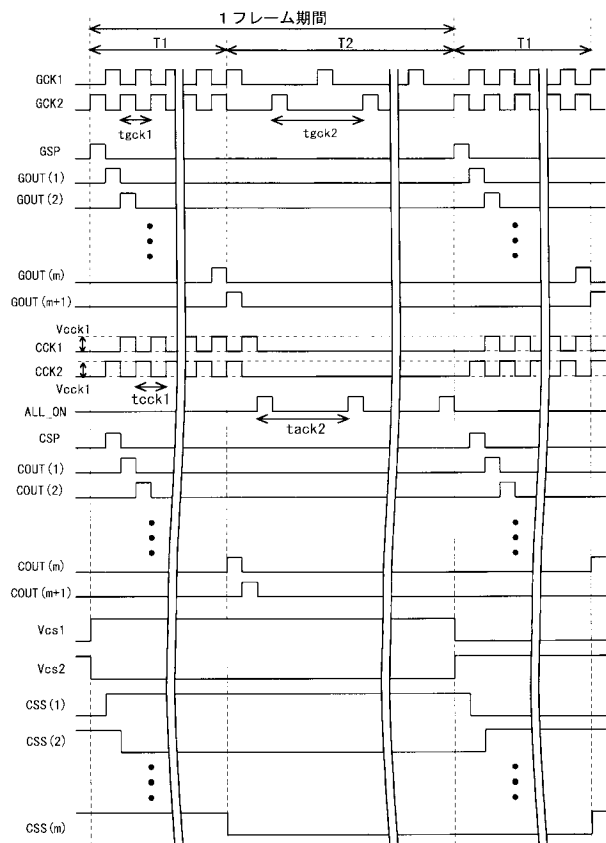
【図 26】



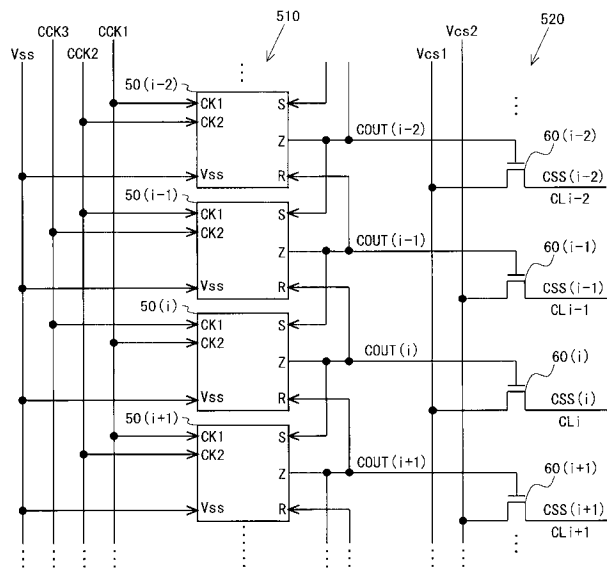
【図 27】



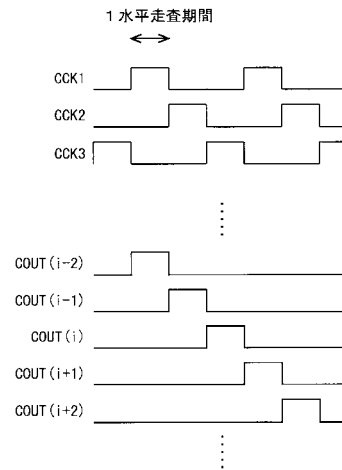
【図 28】



【図 29】



【図 30】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/068758

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/36, G02F1/133, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 5-216443 A (Toshiba Corp.), 27 August 1993 (27.08.1993), paragraphs [0046] to [0047]; fig. 1, 5 (Family: none)	1-4, 7-9, 11-18 5-6, 10
A		
Y	JP 2006-53349 A (Citizen Watch Co., Ltd.), 23 February 2006 (23.02.2006), paragraphs [0012], [0029]; fig. 2 (Family: none)	1-4, 7-9, 11-18 5-6, 10
A		
Y	JP 2006-267313 A (Sharp Corp.), 05 October 2006 (05.10.2006), paragraph [0043]; fig. 11 (Family: none)	2, 11, 13, 16

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
23 October, 2012 (23.10.12)Date of mailing of the international search report
30 October, 2012 (30.10.12)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/068758

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-182619 A (Sharp Corp.), 26 June 2002 (26.06.2002), paragraph [0075]; fig. 1, 5, 11 & US 2002/0180673 A1 & EP 1296174 A1 & WO 2001/084226 A1 & TW 573167 B & CN 1440514 A	3, 11, 13, 17
Y	JP 2011-123963 A (Mitsubishi Electric Corp.), 23 June 2011 (23.06.2011), paragraphs [0135] to [0139]; fig. 8 & US 2011/0142191 A1	7, 9, 11-14, 18
A	JP 2006-220947 A (Sharp Corp.), 24 August 2006 (24.08.2006), paragraphs [0045] to [0055]; fig. 4 (Family: none)	10

国際調査報告		国際出願番号 PCT/J P 2 0 1 2 / 0 6 8 7 5 8									
A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. G09G3/36, G02F1/133, G09G3/20											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2012年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2012年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2012年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2012年	日本国実用新案登録公報	1996-2012年	日本国登録実用新案公報	1994-2012年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2012年										
日本国実用新案登録公報	1996-2012年										
日本国登録実用新案公報	1994-2012年										
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
Y A	JP 5-216443 A（株式会社東芝）1993.08.27, 段落0046-0047, 図1, 5（ファミリーなし）	1-4, 7-9, 11-18 5-6, 10									
Y A	JP 2006-53349 A（シチズン時計株式会社）2006.02.23, 段落0012, 0029, 第2図（ファミリーなし）	1-4, 7-9, 11-18 5-6, 10									
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。											
<table border="0"> <tr> <td> * 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願 </td> <td> の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献 </td> </tr> </table>				* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願	の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献						
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願	の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献										
国際調査を完了した日 23.10.2012		国際調査報告の発送日 30.10.2012									
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 山崎 仁之 電話番号 03-3581-1101 内線 3226	2G 3015								

国際調査報告		国際出願番号 PCT/J P 2 0 1 2 / 0 6 8 7 5 8
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2006-267313 A (シャープ株式会社) 2006.10.05, 段落 0 0 4 3 , 第 1 1 図 (ファミリーなし)	2, 11, 13, 16
Y	JP 2002-182619 A (シャープ株式会社) 2002.06.26, 段落 0 0 7 5 , 第 1 , 5 , 1 1 図 & US 2002/0180673 A1 & EP 1296174 A1 & WO 2001/084226 A1 & TW 573167 B & CN 1440514 A	3, 11, 13, 17
Y	JP 2011-123963 A (三菱電機株式会社) 2011.06.23, 段落 0 1 3 5 - 0 1 3 9 , 第 8 図 & US 2011/0142191 A1	7, 9, 11-14, 18
A	JP 2006-220947 A (シャープ株式会社) 2006.08.24, 段落 0 0 4 5 - 0 0 5 5 , 第 4 図 (ファミリーなし)	10

フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20 6 2 4 D	
	G 0 9 G 3/20 6 2 2 E	

(81) 指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN

(72) 発明者 金子 誠二
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

(72) 発明者 小川 康行
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

(72) 発明者 田中 耕平
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

(72) 発明者 内田 誠一
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

(72) 発明者 高丸 泰
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

(72) 発明者 森 重恭
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

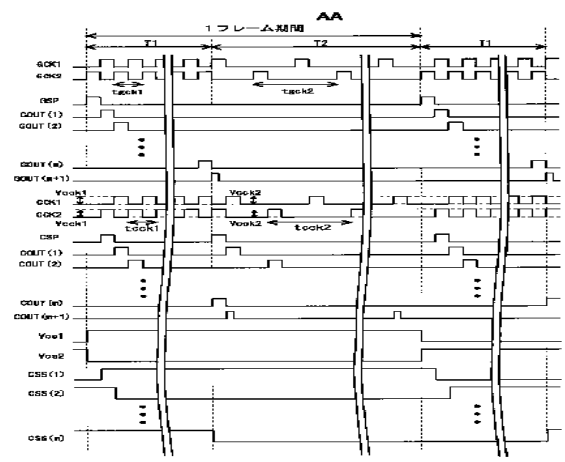
F ターム (参考) 2H193 ZA04 ZA07 ZB02 ZB14 ZF23 ZF44 ZF60
5C006 AA16 AC22 AC28 AF42 BB16 BC03 BC20 BF03 BF26 BF31
FA36 FA41 FA47 FA48
5C080 AA10 BB05 DD26 EE29 FF11 FF12 JJ02 JJ03 JJ04 JJ05

(注) この公表は、国際事務局 (W I P O) により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願 (日本語実用新案登録出願) の国際公開の効果は、特許法第 1 8 4 条の 1 0 第 1 項 (実用新案法第 4 8 条の 1 3 第 2 項) により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	液晶显示装置及辅助电容线的驱动方法		
公开(公告)号	JPWO2013018596A1	公开(公告)日	2015-03-05
申请号	JP2013526832	申请日	2012-07-25
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	山本 薫 金子 誠二 小川 康行 田中 耕平 内田 誠一 高丸 泰 森 重恭		
发明人	山本 薫 金子 誠二 小川 康行 田中 耕平 内田 誠一 高丸 泰 森 重恭		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3677 G02F1/136213 G09G3/3614 G09G3/3655 G09G2300/0876 G09G2330/023 G11C19/28		
FI分类号	G09G3/36 G09G3/20.611.A G09G3/20.624.C G09G3/20.641.C G02F1/133.550 G09G3/20.624.D G09G3/20.622.E		
F-TERM分类号	2H193/ZA04 2H193/ZA07 2H193/ZB02 2H193/ZB14 2H193/ZF23 2H193/ZF44 2H193/ZF60 5C006/AA16 5C006/AC22 5C006/AC28 5C006/AF42 5C006/BB16 5C006/BC03 5C006/BC20 5C006/BF03 5C006/BF26 5C006/BF31 5C006/FA36 5C006/FA41 5C006/FA47 5C006/FA48 5C080/AA10 5C080/BB05 5C080/DD26 5C080/EE29 5C080/FF11 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05		
代理人(译)	岛田 彰 川原 贤治 川本 悟		
优先权	2011169050 2011-08-02 JP		
其他公开文献	JPWO2013018596A5 JP5972267B2		
外部链接	Espacenet		

摘要(译)

提供了一种具有降低的功耗的CS驱动型液晶显示装置。CS驱动器 (500) 由CS移位寄存器 (510) 和CS输出单元 (520) 组成。CS移位寄存器 (510) 基于CS时钟信号CCK输出控制信号 (COUT (1) 至COUT (m))。CS输出部分 (520) 基于控制信号 (COUT (1) 至COUT (m)) 分别输出辅助电容信号 (CSS (1) 至CSS (m))。在扫描时段 (T1) 之后提供休息时段 (T2)。在空闲时段 (T2) 中, 基于具有空闲频率CS频率 (fcck2) 的CS时钟信号 (CCK) 来驱动CS驱动器 (500)。空闲周期CS频率 (fcck2) 低于扫描周期CS频率 (fcck1)。



AA FRAME INTERVAL