

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02012/137541

発行日 平成26年7月28日(2014.7.28)

(43) 国際公開日 平成24年10月11日(2012.10.11)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H092
GO2F 1/1343 (2006.01)	GO2F 1/1343	2H192

審査請求 有 予備審査請求 未請求 (全 31 頁)

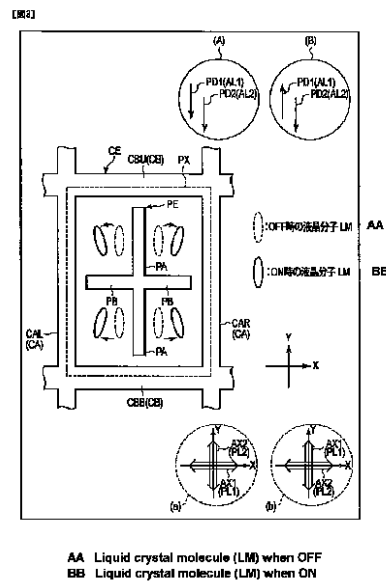
出願番号	特願2013-508784 (P2013-508784)	(71) 出願人	502356528 株式会社ジャパンディスプレイ 東京都港区西新橋三丁目7番1号
(21) 国際出願番号	PCT/JP2012/053545	(74) 代理人	110001737 特許業務法人スズエ国際特許事務所
(22) 国際出願日	平成24年2月15日(2012.2.15)	(74) 代理人	100091351 弁理士 河野 哲
(31) 優先権主張番号	特願2011-86561 (P2011-86561)	(74) 代理人	100084618 弁理士 村松 貞男
(32) 優先日	平成23年4月8日(2011.4.8)	(74) 代理人	100087653 弁理士 鈴江 正二
(33) 優先権主張国	日本国(JP)	(72) 発明者	廣澤 仁 日本国東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

第1方向に沿ってそれぞれ延出したゲート配線及び補助容量線と、第1方向に交差する第2方向に沿ってそれぞれ延出した第1ソース配線及び第2ソース配線と、前記第1ソース配線と前記第2ソース配線との間に位置し第2方向に沿って延出した帯状の主画素電極と、前記主画素電極に繋がり前記第1ソース配線及び前記第2ソース配線に向かって第1方向に沿ってそれぞれ延出した帯状の副画素電極と、水平配向性を示す材料によって形成され前記主画素電極及び前記副画素電極を覆う第1配向膜と、を備えた第1基板と、前記主画素電極を挟んだ両側で第2方向に沿ってそれぞれ延出した第2主共通電極と、前記第2主共通電極に繋がり前記副画素電極を挟んだ両側で第1方向に沿ってそれぞれ延出した第2副共通電極と、水平配向性を示す材料によって形成され前記第2主共通電極及び前記第2副共通電極を覆う第2配向膜と、を備えた第2基板と、前記第1基板と前記第2基板との間に保持された液晶分子を含む液晶層と、を備えたことを特徴とする液晶表示装置。



AA Liquid crystal molecule (LM) when OFF
BB Liquid crystal molecule (LM) when ON

【特許請求の範囲】

【請求項 1】

第 1 方向に沿ってそれぞれ延出したゲート配線及び補助容量線と、第 1 方向に交差する第 2 方向に沿ってそれぞれ延出した第 1 ソース配線及び第 2 ソース配線と、前記第 1 ソース配線と前記第 2 ソース配線との間に位置し第 2 方向に沿って延出した帯状の主画素電極と、前記主画素電極に繋がり前記第 1 ソース配線及び前記第 2 ソース配線に向かって第 1 方向に沿ってそれぞれ延出した帯状の副画素電極と、水平配向性を示す材料によって形成され前記主画素電極及び前記副画素電極を覆う第 1 配向膜と、を備えた第 1 基板と、

前記主画素電極を挟んだ両側で第 2 方向に沿ってそれぞれ延出した第 2 主共通電極と、前記第 2 主共通電極に繋がり前記副画素電極を挟んだ両側で第 1 方向に沿ってそれぞれ延出した第 2 副共通電極と、水平配向性を示す材料によって形成され前記第 2 主共通電極及び前記第 2 副共通電極を覆う第 2 配向膜と、を備えた第 2 基板と、

前記第 1 基板と前記第 2 基板との間に保持された液晶分子を含む液晶層と、
を備えたことを特徴とする液晶表示装置。

【請求項 2】

前記主画素電極と前記第 2 主共通電極との間に電界が形成されていない状態で、前記液晶分子の初期配向方向は、第 2 方向に略平行であることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記第 1 基板は、さらに、前記第 1 ソース配線及び前記第 2 ソース配線とそれぞれ対向し第 2 方向に沿って延出し前記第 1 配向膜によって覆われ前記第 2 主共通電極と同電位の第 1 主共通電極を備えたことを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 4】

前記第 1 基板は、さらに、前記ゲート配線と対向し第 1 方向に沿って延出し前記第 1 配向膜によって覆われ前記第 2 主共通電極と同電位の第 1 副共通電極を備えたことを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 5】

前記第 1 基板は、さらに、前記ゲート配線と対向し第 1 方向に沿って延出し前記第 1 配向膜によって覆われ前記第 2 主共通電極と同電位の第 1 副共通電極と、前記第 1 副共通電極と繋がり前記第 1 ソース配線及び前記第 2 ソース配線とそれぞれ対向し第 2 方向に沿って延出し前記第 1 配向膜によって覆われた第 1 主共通電極と、を備えたことを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 6】

第 1 方向に沿ってそれぞれ延出したゲート配線及び補助容量線と、第 1 方向に交差する第 2 方向に沿ってそれぞれ延出した第 1 ソース配線及び第 2 ソース配線と、前記第 1 ソース配線と前記第 2 ソース配線との間に位置し第 2 方向に沿って延出した帯状の主画素電極と、前記主画素電極に繋がり前記第 1 ソース配線及び前記第 2 ソース配線に向かって第 1 方向に沿ってそれぞれ延出した帯状の副画素電極と、前記第 1 ソース配線及び前記第 2 ソース配線とそれぞれ対向し第 2 方向に沿って延出した第 1 主共通電極と、水平配向性を示す材料によって形成され前記主画素電極、前記副画素電極、及び、前記第 1 主共通電極を覆う第 1 配向膜と、を備えた第 1 基板と、

前記副画素電極を挟んだ両側で第 1 方向に沿ってそれぞれ延出し前記第 1 主共通電極と同電位の第 2 副共通電極と、水平配向性を示す材料によって形成され前記第 2 副共通電極を覆う第 2 配向膜と、を備えた第 2 基板と、

前記第 1 基板と前記第 2 基板との間に保持された液晶分子を含む液晶層と、
を備えたことを特徴とする液晶表示装置。

【請求項 7】

前記主画素電極と前記第 1 主共通電極との間に電界が形成されていない状態で、前記液晶分子の初期配向方向は、第 2 方向に略平行であることを特徴とする請求項 6 に記載の液晶表示装置。

10

20

30

40

50

【請求項 8】

前記第 1 基板は、さらに、前記第 1 主共通電極と繋がり前記ゲート配線と対向し第 1 方向に沿って延出し前記第 1 配向膜によって覆われた第 1 副共通電極を備えたことを特徴とする請求項 7 に記載の液晶表示装置。

【請求項 9】

第 1 方向に沿ってそれぞれ延出したゲート配線及び補助容量線と、第 1 方向に交差する第 2 方向に沿ってそれぞれ延出した第 1 ソース配線及び第 2 ソース配線と、前記第 1 ソース配線と前記第 2 ソース配線との間に位置し第 2 方向に沿って延出した帯状の主画素電極と、前記主画素電極に繋がり前記第 1 ソース配線及び前記第 2 ソース配線に向かって第 1 方向に沿ってそれぞれ延出した帯状の副画素電極と、前記ゲート配線と対向し第 1 方向に沿って延出した第 1 副共通電極と、水平配向性を示す材料によって形成され前記主画素電極、前記副画素電極、及び、前記第 1 副共通電極を覆う第 1 配向膜と、を備えた第 1 基板と、

前記主画素電極を挟んだ両側で第 2 方向に沿ってそれぞれ延出し前記第 1 副共通電極と同電位の第 2 主共通電極と、水平配向性を示す材料によって形成され前記第 2 主共通電極を覆う第 2 配向膜と、を備えた第 2 基板と、

前記第 1 基板と前記第 2 基板との間に保持された液晶分子を含む液晶層と、
を備えたことを特徴とする液晶表示装置。

【請求項 10】

前記主画素電極と前記第 2 主共通電極との間に電界が形成されていない状態で、前記液晶分子の初期配向方向は、第 2 方向に略平行であることを特徴とする請求項 9 に記載の液晶表示装置。

【請求項 11】

前記第 1 基板は、さらに、前記第 1 副共通電極と繋がり前記第 1 ソース配線及び前記第 2 ソース配線とそれぞれ対向し第 2 方向に沿って延出し前記第 1 配向膜によって覆われた第 1 主共通電極を備えたことを特徴とする請求項 10 に記載の液晶表示装置。

【請求項 12】

前記副画素電極は、前記補助容量線の上方に位置することを特徴とする請求項 1 乃至 11 のいずれか 1 項に記載の液晶表示装置。

【請求項 13】

前記副画素電極は、前記主画素電極の第 2 方向に沿った略中央部に結合したことを特徴とする請求項 12 に記載の液晶表示装置。

【請求項 14】

前記副画素電極は、前記主画素電極と略直交していることを特徴とする請求項 13 に記載の液晶表示装置。

【請求項 15】

前記主画素電極は、前記第 1 ソース配線と前記第 2 ソース配線との略中間に位置していることを特徴とする請求項 14 に記載の液晶表示装置。

【請求項 16】

前記第 2 主共通電極は、前記第 1 ソース配線及び前記第 2 ソース配線の上方にそれぞれ位置することを特徴とする請求項 1 乃至 5、9 乃至 11 のいずれか 1 項に記載の液晶表示装置。

【請求項 17】

前記第 2 副共通電極は、前記ゲート配線の上方に位置することを特徴とする請求項 16 に記載の液晶表示装置。

【請求項 18】

前記第 1 配向膜が前記液晶分子を初期配向させる第 1 配向処理方向及び前記第 2 配向膜が前記液晶分子を初期配向させる第 2 配向処理方向は互いに略平行であり、

前記液晶分子は、前記第 1 基板と前記第 2 基板との間においてスプレィ配向またはホモジニアス配向していることを特徴とする請求項 1 乃至 11 のいずれか 1 項に記載の液晶表

10

20

30

40

50

示装置。

【請求項 19】

さらに、前記第 1 基板の外面に配置され第 1 偏光軸を備えた第 1 偏光板と、第 2 基板の外面に配置され第 1 偏光軸とクロスニコルの位置関係にある第 2 偏光軸を備えた第 2 偏光板を備え、前記第 1 偏光板の第 1 偏光軸が前記液晶分子の初期配向方向と直交する或いは平行であることを特徴とする請求項 18 に記載の液晶表示装置。

【請求項 20】

前記第 1 基板は、容量結合駆動を行うための駆動機構を備えたことを特徴とする請求項 1 乃至 11 のいずれか 1 項に記載の液晶表示装置。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明の実施形態は、液晶表示装置に関する。

【背景技術】

【0002】

近年、平面表示装置が盛んに開発されており、中でも液晶表示装置は、軽量、薄型、低消費電力等の利点から特に注目を集めている。特に、各画素にスイッチング素子を組み込んだアクティブマトリクス型液晶表示装置においては、IPS(In-Plane Switching)モードやFFS(Fringe Field Switching)モードなどの横電界(フリンジ電界も含む)を利用した構造が注目されている。このような横電界モードの液晶表示装置は、アレイ基板に形成された画素電極と対向電極とを備え、アレイ基板の主面に対してほぼ平行な横電界で液晶分子をスイッチングする。

20

【0003】

一方で、アレイ基板に形成された画素電極と、対向基板に形成された対向電極との間に、横電界あるいは斜め電界を形成し、液晶分子をスイッチングする技術も提案されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2009-192822 号公報

30

【特許文献 2】特開平 9-160041 号公報

【特許文献 3】US 6,657,693 B1

【発明の概要】

【発明が解決しようとする課題】

【0005】

本実施形態の目的は、表示品位の良好な液晶表示装置を提供することにある。

【課題を解決するための手段】

【0006】

本実施形態によれば、

第 1 方向に沿ってそれぞれ延出したゲート配線及び補助容量線と、第 1 方向に交差する第 2 方向に沿ってそれぞれ延出した第 1 ソース配線及び第 2 ソース配線と、前記第 1 ソース配線と前記第 2 ソース配線との間に位置し第 2 方向に沿って延出した帯状の主画素電極と、前記主画素電極に繋がり前記第 1 ソース配線及び前記第 2 ソース配線に向かって第 1 方向に沿ってそれぞれ延出した帯状の副画素電極と、水平配向性を示す材料によって形成され前記主画素電極及び前記副画素電極を覆う第 1 配向膜と、を備えた第 1 基板と、前記主画素電極を挟んだ両側で第 2 方向に沿ってそれぞれ延出した第 2 主共通電極と、前記第 2 主共通電極に繋がり前記副画素電極を挟んだ両側で第 1 方向に沿ってそれぞれ延出した第 2 副共通電極と、水平配向性を示す材料によって形成され前記第 2 主共通電極及び前記第 2 副共通電極を覆う第 2 配向膜と、を備えた第 2 基板と、前記第 1 基板と前記第 2 基板との間に保持された液晶分子を含む液晶層と、を備えたことを特徴とする液晶表示装置が

40

50

提供される。

【 0 0 0 7 】

本実施形態によれば、

第 1 方向に沿ってそれぞれ延出したゲート配線及び補助容量線と、第 1 方向に交差する第 2 方向に沿ってそれぞれ延出した第 1 ソース配線及び第 2 ソース配線と、前記第 1 ソース配線と前記第 2 ソース配線との間に位置し第 2 方向に沿って延出した帯状の主画素電極と、前記主画素電極に繋がり前記第 1 ソース配線及び前記第 2 ソース配線に向かって第 1 方向に沿ってそれぞれ延出した帯状の副画素電極と、前記第 1 ソース配線及び前記第 2 ソース配線とそれぞれ対向し第 2 方向に沿って延出した第 1 主共通電極と、水平配向性を示す材料によって形成され前記主画素電極、前記副画素電極、及び、前記第 1 主共通電極を覆う第 1 配向膜と、を備えた第 1 基板と、前記副画素電極を挟んだ両側で第 1 方向に沿ってそれぞれ延出し前記第 1 主共通電極と同電位の第 2 副共通電極と、水平配向性を示す材料によって形成され前記第 2 副共通電極を覆う第 2 配向膜と、を備えた第 2 基板と、前記第 1 基板と前記第 2 基板との間に保持された液晶分子を含む液晶層と、を備えたことを特徴とする液晶表示装置が提供される。

10

【 0 0 0 8 】

本実施形態によれば、

第 1 方向に沿ってそれぞれ延出したゲート配線及び補助容量線と、第 1 方向に交差する第 2 方向に沿ってそれぞれ延出した第 1 ソース配線及び第 2 ソース配線と、前記第 1 ソース配線と前記第 2 ソース配線との間に位置し第 2 方向に沿って延出した帯状の主画素電極と、前記主画素電極に繋がり前記第 1 ソース配線及び前記第 2 ソース配線に向かって第 1 方向に沿ってそれぞれ延出した帯状の副画素電極と、前記ゲート配線と対向し第 1 方向に沿って延出した第 1 副共通電極と、水平配向性を示す材料によって形成され前記主画素電極、前記副画素電極、及び、前記第 1 副共通電極を覆う第 1 配向膜と、を備えた第 1 基板と、前記主画素電極を挟んだ両側で第 2 方向に沿ってそれぞれ延出し前記第 1 副共通電極と同電位の第 2 主共通電極と、水平配向性を示す材料によって形成され前記第 2 主共通電極を覆う第 2 配向膜と、を備えた第 2 基板と、前記第 1 基板と前記第 2 基板との間に保持された液晶分子を含む液晶層と、を備えたことを特徴とする液晶表示装置が提供される。

20

【 図面の簡単な説明 】

【 0 0 0 9 】

30

【 図 1 】 図 1 は、本実施形態における液晶表示装置の構成を概略的に示す図である。

【 図 2 】 図 2 は、図 1 に示した液晶表示パネルの構成及び等価回路を概略的に示す図である。

【 図 3 】 図 3 は、本実施形態の基本構成について一画素における最小の単位構成体を概略的に示す平面図である。

【 図 4 】 図 4 は、スイッチング素子を含む液晶表示パネルの断面を概略的に示す断面図である。

【 図 5 】 図 5 は、本実施形態の第 1 構成例における液晶表示パネルの対向基板における一画素の構造を概略的に示す平面図である。

【 図 6 】 図 6 は、本実施形態の第 1 構成例における液晶表示パネルの一画素を対向基板側から見たときのアレイ基板の構造を概略的に示す平面図である。

40

【 図 7 】 図 7 は、本実施形態の第 2 構成例における液晶表示パネルの対向基板における一画素の構造を概略的に示す平面図である。

【 図 8 】 図 8 は、本実施形態の第 2 構成例における液晶表示パネルの一画素を対向基板側から見たときのアレイ基板の構造を概略的に示す平面図である。

【 図 9 】 図 9 は、本実施形態の第 3 構成例における液晶表示パネルの対向基板における一画素の構造を概略的に示す平面図である。

【 図 1 0 】 図 1 0 は、本実施形態の第 3 構成例における液晶表示パネルの一画素を対向基板側から見たときのアレイ基板の構造を概略的に示す平面図である。

【 図 1 1 】 図 1 1 は、本実施形態の第 4 構成例における液晶表示パネルの一画素を対向基

50

板側から見たときのアレイ基板の構造を概略的に示す平面図である。

【図 1 2】図 1 2 は、第 1 乃至第 4 構成例で説明したアレイ基板と、第 1 乃至第 3 構成例で説明した対向基板との組み合わせをまとめた図である。

【図 1 3】図 1 3 は、本実施形態のバリエーションのひとつを概略的に示す平面図である。

【発明を実施するための形態】

【0010】

以下、本実施形態について、図面を参照しながら詳細に説明する。なお、各図において、同一又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する説明は省略する。

10

【0011】

図 1 は、本実施形態における液晶表示装置 1 の構成を概略的に示す図である。

【0012】

すなわち、液晶表示装置 1 は、アクティブマトリクスタイプの液晶表示パネル L P N、液晶表示パネル L P N に接続された駆動 I C チップ 2 及びフレキシブル配線基板 3、液晶表示パネル L P N を照明するバックライト 4 などを用意している。

【0013】

液晶表示パネル L P N は、第 1 基板であるアレイ基板 A R と、アレイ基板 A R に対向して配置された第 2 基板である対向基板 C T と、これらのアレイ基板 A R と対向基板 C T との間に保持された図示しない液晶層と、を備えて構成されている。このような液晶表示パネル L P N は、画像を表示するアクティブエリア A C T を備えている。このアクティブエリア A C T は、 $m \times n$ 個のマトリクス状に配置された複数の画素 P X によって構成されている（但し、 m 及び n は正の整数である）。

20

【0014】

バックライト 4 は、図示した例では、アレイ基板 A R の背面側に配置されている。このようなバックライト 4 としては、種々の形態が適用可能であり、また、光源として発光ダイオード（L E D）を利用したものや冷陰極管（C C F L）を利用したものなどのいずれでも適用可能であり、詳細な構造については説明を省略する。

【0015】

図 2 は、図 1 に示した液晶表示パネル L P N の構成及び等価回路を概略的に示す図である。

30

【0016】

液晶表示パネル L P N は、アクティブエリア A C T において、 n 本のゲート配線 G（ $G_1 \sim G_n$ ）、 n 本の補助容量線 C（ $C_1 \sim C_n$ ）、 m 本のソース配線 S（ $S_1 \sim S_m$ ）などを備えている。ゲート配線 G 及び補助容量線 C は、例えば、第 1 方向 X に沿って略直線的に延出している。これらのゲート配線 G 及び補助容量線 C は、第 1 方向 X に交差する第 2 方向 Y に沿って間隔をおいて隣接し、交互に並列配置されている。ここでは、第 1 方向 X と第 2 方向 Y とは互いに直交している。ソース配線 S は、ゲート配線 G 及び補助容量線 C と交差している。ソース配線 S は、第 2 方向 Y に沿って略直線的に延出している。なお、ゲート配線 G、補助容量線 C、及び、ソース配線 S は、必ずしも直線的に延出していなくても良く、それらの一部が屈曲していてもよい。

40

【0017】

各ゲート配線 G は、アクティブエリア A C T の外側に引き出され、ゲートドライバ G D に接続されている。各ソース配線 S は、アクティブエリア A C T の外側に引き出され、ソースドライバ S D に接続されている。これらのゲートドライバ G D 及びソースドライバ S D の少なくとも一部は、例えば、アレイ基板 A R に形成され、コントローラを内蔵した駆動 I C チップ 2 と接続されている。

【0018】

各画素 P X は、スイッチング素子 S W、画素電極 P E、共通電極 C Eなどを備えている。保持容量 C s は、例えば補助容量線 C と画素電極 P E との間に形成される。補助容量線

50

Cは、補助容量電圧が印加される電圧印加部VCSと電氣的に接続されている。

【0019】

なお、本実施形態においては、液晶表示パネルLPNは、画素電極PEがアレイ基板ARに形成される一方で共通電極CEの少なくとも一部が対向基板CTに形成された構成であり、これらの画素電極PEと共通電極CEとの間に形成される電界を主に利用して液晶層LQの液晶分子をスイッチングする。画素電極PEと共通電極CEとの間に形成される電界は、第1方向Xと第2方向Yとで規定されるX-Y平面あるいはアレイ基板ARの基板主面あるいは対向基板CTの基板主面に対してわずかに傾いた斜め電界（あるいは、基板主面にほぼ平行な横電界）である。

【0020】

スイッチング素子SWは、例えば、nチャネル薄膜トランジスタ(TFT)によって構成されている。このスイッチング素子SWは、ゲート配線G及びソース配線Sと電氣的に接続されている。アクティブエリアACTには、 $m \times n$ 個のスイッチング素子SWが形成されている。

【0021】

画素電極PEは、各画素PXに配置され、スイッチング素子SWに電氣的に接続されている。アクティブエリアACTには、 $m \times n$ 個の画素電極PEが形成されている。共通電極CEは、例えばコモン電位であり、液晶層LQを介して複数の画素PXの画素電極PEに対して共通に配置されている。

【0022】

アレイ基板ARは、共通電極CEに電圧を印加するための給電部VSを備えている。この給電部VSは、例えば、アクティブエリアACTの外側に形成されている。共通電極CEのうち、対向基板CTに形成された共通電極CEの少なくとも一部は、アクティブエリアACTの外側に引き出され、図示しない導電部材を介して、アレイ基板ARに形成された給電部VSと電氣的に接続されている。なお、共通電極CEの一部がアレイ基板ARに形成された場合には、アレイ基板ARに形成された共通電極CEの一部は例えばアクティブエリアACTの外側で給電部VSと電氣的に接続されている。

【0023】

以下に、本実施形態の基本構成について説明する。

【0024】

図3は、一画素PXにおける最小の単位構成体を概略的に示す平面図である。

【0025】

画素電極PEは、主画素電極PA及び副画素電極PBを有している。これらの主画素電極PA及び副画素電極PBは、互いに電氣的に接続されている。本実施形態においては、主画素電極PA及び副画素電極PBがともにアレイ基板ARに備えられている。主画素電極PAは、第2方向Yに沿って延出している。副画素電極PBは、第2方向Yとは異なる第1方向Xに沿って延出している。

【0026】

図示した例では、画素電極PEは、略十字状に形成されている。より具体的には、主画素電極PAは、略画素中央部において第2方向Yに沿って直線的に延出した帯状に形成されている。副画素電極PBは、画素中央部において第1方向Xに沿って直線的に延出した帯状に形成されている。

【0027】

副画素電極PBは、主画素電極PAの略中央部（あるいは主画素電極PAの第2方向Yに沿った長さの中間点付近）に結合し、主画素電極PAからその両側、つまり画素PXの左側及び右側に向かって延出している。換言すると、主画素電極PAは、副画素電極PBの略中央部（あるいは副画素電極PBの第1方向Xに沿った長さの中間点付近）に結合し、副画素電極PBからその両側、つまり画素PXの上側及び下側に向かって延出している。これらの主画素電極PA及び副画素電極PBは、互いに略直交している。画素電極PEは、例えば、副画素電極PBにおいて図示を省略したスイッチング素子と電氣的に接続さ

10

20

30

40

50

れている。

【 0 0 2 8 】

共通電極 C E は、主共通電極 C A 及び副共通電極 C B を有している。これらの主共通電極 C A 及び副共通電極 C B は、互いに電氣的に接続されている。このような共通電極 C E は、画素電極 P E とは電氣的に絶縁されている。本実施形態においては、共通電極 C E において、主共通電極 C A 及び副共通電極 C B の少なくとも一部は、対向基板 C T に備えられている。

【 0 0 2 9 】

主共通電極 C A は、第 2 方向 Y に沿って延出している。この主共通電極 C A は、主画素電極 P A を挟んだ両側に配置されている。このとき、X - Y 平面内において、主共通電極 C A のいずれも主画素電極 P A とは重ならず、主共通電極 C A のそれぞれと主画素電極 P A との間には略等しい間隔が形成されている。つまり、主画素電極 P A は、隣接する主共通電極 C A の略中間に位置している。

10

【 0 0 3 0 】

副共通電極 C B は、第 1 方向 X に沿って延出している。副共通電極 C B は、副画素電極 P B を挟んだ両側に配置されている。このとき、X - Y 平面内において、副共通電極 C B のいずれも副画素電極 P B とは重ならず、副共通電極 C B のそれぞれと副画素電極 P B との間には略等しい間隔が形成されている。つまり、副画素電極 P B は、隣接する副共通電極 C B の略中間に位置している。

【 0 0 3 1 】

20

図示した例では、主共通電極 C A は、第 2 方向 Y に沿って直線的に延出した帯状に形成されている。副共通電極 C B は、第 1 方向 X に沿って直線的に延出した帯状に形成されている。なお、主共通電極 C A は第 1 方向 X に沿って間隔をおいて 2 本平行に並んでおり、以下では、これらを区別するために、図中の左側の主共通電極を C A L と称し、図中の右側の主共通電極を C A R と称する。また、副共通電極 C B は第 2 方向 Y に沿って間隔をおいて 2 本平行に並んでおり、以下では、これらを区別するために、図中の上側の主共通電極を C B U と称し、図中の下側の主共通電極を C B B と称する。主共通電極 C A L 及び主共通電極 C A R は、副共通電極 C B U 及び副共通電極 C B B と同電位である。図示した例では、主共通電極 C A L 及び主共通電極 C A R は、副共通電極 C B U 及び副共通電極 C B B とそれぞれ繋がっている。

30

【 0 0 3 2 】

主共通電極 C A L 及び主共通電極 C A R は、それぞれ当該画素 P X と左右に隣接する画素間に配置されている。すなわち、主共通電極 C A L は図示した当該画素 P X とその左側の画素（図示せず）との境界に跨って配置され、主共通電極 C A R は図示した当該画素 P X とその右側の画素（図示せず）との境界に跨って配置されている。

【 0 0 3 3 】

副共通電極 C B U 及び主共通電極 C B B は、それぞれ当該画素 P X と上下に隣接する画素間に配置されている。すなわち、副共通電極 C B U は図示した当該画素 P X とその上側の画素（図示せず）との境界に跨って配置され、副共通電極 C B B は図示した当該画素 P X とその下側の画素（図示せず）との境界に跨って配置されている。

40

【 0 0 3 4 】

隣接する主共通電極 C A L 及び主共通電極 C A R の間には、1 本の主画素電極 P A が位置している。このため、主共通電極 C A L、主画素電極 P A、及び、主共通電極 C A R は、第 1 方向 X に沿ってこの順に配置されている。つまり、主画素電極 P A と主共通電極 C A とは第 1 方向 X に沿って交互に配置されている。これらの主画素電極 P A と、主共通電極 C A L 及び主共通電極 C A R とは、互いに略平行に配置されている。また、主共通電極 C A L と主画素電極 P A との第 1 方向 X に沿った距離は、主共通電極 C A R と主画素電極 P A との第 1 方向 X に沿った距離と略同等である。

【 0 0 3 5 】

隣接する副共通電極 C B U 及び副共通電極 C B B の間には、1 本の副画素電極 P B が位

50

置している。このため、副共通電極 C B B、副画素電極 P B、及び、副共通電極 C B Uは、第 2 方向 Y に沿ってこの順に配置されている。つまり、副画素電極 P B と副共通電極 C B とは第 2 方向 Y に沿って交互に配置されている。これらの副画素電極 P B と、副共通電極 C B B 及び副共通電極 C B U とは、互いに略平行に配置されている。また、副共通電極 C B B と副画素電極 P B との第 2 方向 Y に沿った距離は、副共通電極 C B U と副画素電極 P B との第 2 方向 Y に沿った距離と略同等である。

【 0 0 3 6 】

つまり、図示した例では、一画素 P X において、画素電極 P E と共通電極 C E とで区画された 4 つの領域が主として表示に寄与する開口部あるいは透過部として形成される。

【 0 0 3 7 】

ここに示した例では、液晶分子 L M の初期配向方向は、例えば、第 2 方向 Y と略平行な方向である。

【 0 0 3 8 】

なお、ここでは詳述しないが、主共通電極 C A の少なくとも 1 つは、主共通電極 C A と略平行に（あるいは第 2 方向 Y に沿って）延出するソース配線 S と対向していてもよい。また、副画素電極 P B 及び副共通電極 C B のいずれか 1 つは、これらと略平行に（あるいは第 1 方向 X に沿って）延出するゲート配線 G や補助容量線 C と対向していてもよい。

【 0 0 3 9 】

また、後に詳述するが、主共通電極 C A は、アレイ基板 A R に備えられた第 1 主共通電極 C A 1、及び、対向基板 C T に備えられた第 2 主共通電極 C A 2 の少なくとも一方を含んでいてもよい。また、副共通電極 C B は、アレイ基板 A R に備えられた第 1 副共通電極 C B 1、及び、対向基板 C T に備えられた第 2 副共通電極 C B 2 の少なくとも一方を含んでいてもよい。第 1 主共通電極 C A 1、第 2 主共通電極 C A 2、第 1 副共通電極 C B 1、及び、第 2 副共通電極 C B 2 は、いずれも同電位である。

【 0 0 4 0 】

図 4 は、スイッチング素子 S W を含む液晶表示パネル L P N の断面を概略的に示す断面図である。なお、ここでは、共通電極の図示を省略し、説明に必要な箇所のみを図示している。

【 0 0 4 1 】

液晶表示パネル L P N を構成するアレイ基板 A R の背面側には、バックライト 4 が配置されている。

【 0 0 4 2 】

アレイ基板 A R は、例えば、ガラス基板やプラスチック基板などの光透過性を有する第 1 絶縁基板 1 0 を用いて形成されている。このアレイ基板 A R は、第 1 絶縁基板 1 0 の対向基板 C T に対向する側に、スイッチング素子 S W、画素電極 P E、第 1 配向膜 A L 1 などを備えている。

【 0 0 4 3 】

図示した例では、スイッチング素子 S W は、トップゲート型の薄膜トランジスタであるが、ボトムゲート型の薄膜トランジスタであっても良い。また、スイッチング素子 S W の半導体層 S C は、例えば、ポリシリコンによって形成されているが、アモルファスシリコンによって形成されていても良い。

【 0 0 4 4 】

半導体層 S C は、チャネル領域 S C C を挟んだ両側にそれぞれソース領域 S C S 及びドレイン領域 S C D を有している。なお、第 1 絶縁基板 1 0 と半導体層 S C との間には、絶縁膜であるアンダーコート層が介在していても良い。半導体層 S C は、ゲート絶縁膜 1 1 によって覆われている。また、ゲート絶縁膜 1 1 は、第 1 絶縁基板 1 0 の上にも配置されている。

【 0 0 4 5 】

スイッチング素子 S W のゲート電極 W G は、ゲート絶縁膜 1 1 の上に形成され、半導体層 S C のチャネル領域 S C C の上方に位置している。また、ゲート配線 G 及び補助容量線

10

20

30

40

50

Cも、ゲート絶縁膜11の上に形成されている。これらのゲート電極WG、ゲート配線G及び補助容量線Cは、同一材料を用いて同一工程で形成可能である。ゲート電極WGは、ゲート配線Gと電氣的に接続されている。

【0046】

ゲート電極WG、ゲート配線G及び補助容量線Cは、第1層間絶縁膜12によって覆われている。また、この第1層間絶縁膜12は、ゲート絶縁膜11の上にも配置されている。これらのゲート絶縁膜11及び第1層間絶縁膜12は、例えば、酸化シリコン及び窒化シリコンなどの無機系材料によって形成されている。

【0047】

スイッチング素子SWのソース電極WS及びドレイン電極WDは、第1層間絶縁膜12の上に形成されている。また、ソース配線Sも、第1層間絶縁膜12の上に形成されている。これらのソース電極WS、ドレイン電極WD、及び、ソース配線Sは、同一材料を用いて同一工程で形成可能である。ソース電極WSは、ソース配線Sと電氣的に接続されている。

10

【0048】

ソース電極WSは、ゲート絶縁膜11及び第1層間絶縁膜12を貫通するコンタクトホールを通して半導体層SCのソース領域SCSにコンタクトしている。ドレイン電極WDは、ゲート絶縁膜11及び第1層間絶縁膜12を貫通するコンタクトホールを通して半導体層SCのドレイン領域SCDにコンタクトしている。これらのゲート電極WG、ゲート配線G、補助容量線C、ソース電極WS、ドレイン電極WD、及び、ソース配線Sは、例えば、モリブデン、アルミニウム、タンゲステン、チタンなどの導電材料によって形成されている。

20

【0049】

このような構成のスイッチング素子SWは、第2層間絶縁膜13によって覆われている。つまり、ソース電極WS、ドレイン電極WD、及び、ソース配線Sは、第2層間絶縁膜13によって覆われている。また、この第2層間絶縁膜13は、第1層間絶縁膜12の上にも配置されている。この第2層間絶縁膜13は、例えば、紫外線硬化型樹脂や熱硬化型樹脂などの各種有機材料によって形成されている。

【0050】

画素電極PEは、第2層間絶縁膜13の上に形成されている。詳述しないが、画素電極PEを構成する主画素電極PA及び副画素電極PBは、第2層間絶縁膜13の上に形成されている。この画素電極PEは、第2層間絶縁膜13を貫通するコンタクトホールを介してドレイン電極WDに接続されている。このような画素電極PEは、例えば、インジウム・ティン・オキサイド(ITO)やインジウム・ジंक・オキサイド(IZO)などの光透過性を有する導電材料によって形成されているが、アルミニウムなどの他の金属材料によって形成されても良い。

30

【0051】

第1配向膜AL1は、アレイ基板ARの対向基板CTと対向する面に配置され、アクティブエリアACTの略全体に亘って延在している。この第1配向膜AL1は、画素電極PEを覆っており、第2層間絶縁膜13の上にも配置されている。このような第1配向膜AL1は、水平配向性を示す材料によって形成されている。

40

【0052】

なお、アレイ基板ARは、さらに、共通電極の一部として第1主共通電極及び第1副共通電極を備えている場合もある。

【0053】

一方、対向基板CTは、例えば、ガラス基板やプラスチック基板などの光透過性を有する第2絶縁基板20を用いて形成されている。この対向基板CTは、第2絶縁基板20のアレイ基板ARに対向する側に、図示を省略した共通電極のうちの第2主共通電極及び第2副共通電極の少なくとも一方や、第2配向膜AL2などを備えている。また、この対向基板CTは、図示を省略するが、各画素PXを区画する(あるいは、ソース配線S、ゲー

50

ト配線 G、補助容量線 C、スイッチング素子 S Wなどの配線部に対向するように配置された)ブラックマトリクスや各画素 P Xに対応して配置されたカラーフィルタ層、ブラックマトリクス及びカラーフィルタ層の表面の凹凸の影響を緩和するオーバーコート層などが配置されても良い。

【0054】

共通電極は、例えば、ITOやIZOなどの光透過性を有する導電材料によって形成されている。

【0055】

第2配向膜AL2は、対向基板CTのアレイ基板ARと対向する面に配置され、アクティブエリアACTの略全体に亘って延在している。この第2配向膜AL2は、共通電極などを覆っている。このような第2配向膜AL2は、水平配向性を示す材料によって形成されている。

10

【0056】

これらの第1配向膜AL1及び第2配向膜AL2には、液晶分子LMを初期配向させるための配向処理(例えば、ラビング処理や光配向処理)がなされている。第1配向膜AL1が液晶分子LMを初期配向させる第1配向処理方向PD1は、第2配向膜AL2が液晶分子LMを初期配向させる第2配向処理方向PD2と平行である。図3の(A)で示した例では、第1配向処理方向PD1と第2配向処理方向PD2とが互いに略平行であって、ともに同じ向きである。図3の(B)で示した例では、第1配向処理方向PD1と第2配向処理方向PD2とが互いに略平行であって、互いに逆向きである。

20

【0057】

上述したようなアレイ基板ARと対向基板CTとは、それぞれの第1配向膜AL1及び第2配向膜AL2が対向するように配置されている。このとき、アレイ基板ARの第1配向膜AL1と対向基板CTの第2配向膜AL2との間には、例えば、樹脂材料によって一方の基板に一体的に形成された柱状スペーサが配置され、これにより、所定のセルギャップ、例えば2~7μmのセルギャップが形成される。アレイ基板ARと対向基板CTとは、所定のセルギャップが形成された状態で、アクティブエリアACTの外側のシール材によって貼り合わせられている。

【0058】

液晶層LQは、アレイ基板ARと対向基板CTとの間に形成されたセルギャップに保持され、第1配向膜AL1と第2配向膜AL2との間に配置されている。液晶層LQは、液晶分子LMを含んでいる。このような液晶層LQは、例えば、誘電率異方性が正(ポジ型)の液晶材料によって構成されている。

30

【0059】

アレイ基板ARの外表面、つまり、アレイ基板ARを構成する第1絶縁基板10の外表面には、第1光学素子OD1が接着剤などにより貼付されている。この第1光学素子OD1は、液晶表示パネルLPNのバックライト4と対向する側に位置しており、バックライト4から液晶表示パネルLPNに入射する入射光の偏光状態を制御する。この第1光学素子OD1は、第1偏光軸AX1を有する第1偏光板PL1を含んでいる。なお、第1偏光板PL1と第1絶縁基板10との間に位相差板などの他の光学素子が配置されても良い。

40

【0060】

対向基板CTの外表面、つまり、対向基板CTを構成する第2絶縁基板20の外表面には、第2光学素子OD2が接着剤などにより貼付されている。この第2光学素子OD2は、液晶表示パネルLPNの表示面側に位置しており、液晶表示パネルLPNから出射した出射光の偏光状態を制御する。この第2光学素子OD2は、第2偏光軸AX2を有する第2偏光板PL2を含んでいる。なお、第2偏光板PL2と第2絶縁基板20との間に位相差板などの他の光学素子が配置されていても良い。

【0061】

第1偏光板PL1の第1偏光軸AX1と、第2偏光板PL2の第2偏光軸AX2とは、クロスニコルの位置関係にある。このとき、一方の偏光板は、例えば、その偏光軸が液晶

50

分子 L M の初期配向方向つまり第 1 配向処理方向 P D 1 あるいは第 2 配向処理方向 P D 2 と平行または直交するように配置されている。初期配向方向が第 2 方向 Y と平行である場合、一方の偏光板の偏光軸は、第 2 方向 Y と平行、あるいは、第 1 方向 X と平行である。

【 0 0 6 2 】

図 3 において、(a) で示した例では、第 1 偏光板 P L 1 は、その第 1 偏光軸 A X 1 が液晶分子 L M の初期配向方向である第 2 方向 Y に対して直交するように配置され、また、第 2 偏光板 P L 2 は、その第 2 偏光軸 A X 2 が液晶分子 L M の初期配向方向に対して平行となるように配置されている。また、図 3 において、(b) で示した例では、第 2 偏光板 P L 2 は、その第 2 偏光軸 A X 2 が液晶分子 L M の初期配向方向である第 2 方向 Y に対して直交するように配置され、また、第 1 偏光板 P L 1 は、その第 1 偏光軸 A X 1 が液晶分子 L M の初期配向方向に対して平行となるように配置されている。

10

【 0 0 6 3 】

これにより、ノーマリーブラックモードを実現している。

【 0 0 6 4 】

次に、上記構成の液晶表示パネル L P N の動作について説明する。

【 0 0 6 5 】

すなわち、液晶層 L Q に電圧が印加されていない状態つまり画素電極 P E と共通電極 C E との間に電界が形成されていない無電界時 (O F F 時) には、図 3 において破線で示したように、液晶層 L Q の液晶分子 L M は、その長軸が第 1 配向膜 A L 1 の第 1 配向処理方向 P D 1 及び第 2 配向膜 A L 2 の第 2 配向処理方向 P D 2 を向くように配向している。このような O F F 時が初期配向状態に相当し、O F F 時の液晶分子 L M の配向方向が初期配向方向に相当する。

20

【 0 0 6 6 】

なお、厳密には、液晶分子 L M は、X - Y 平面に平行に配向しているとは限らず、ブレチルトしている場合が多い。このため、液晶分子 L M の厳密な初期配向方向とは、O F F 時の液晶分子 L M の配向方向を X - Y 平面に正射影した方向である。しかしながら、説明を簡略にするために、以下では、液晶分子 L M は、X - Y 平面に平行に配向しているものとし、X - Y 平面と平行な面内で回転するものとして説明する。

【 0 0 6 7 】

ここでは、第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 は、ともに第 2 方向 Y と略平行な方向である。O F F 時においては、液晶分子 L M は、図 3 に破線で示したように、その長軸が第 2 方向 Y と略平行な方向を向くように初期配向する。つまり、液晶分子 L M の初期配向方向は、第 2 方向 Y と平行 (あるいは、第 2 方向 Y に対して 0 °) である。

30

【 0 0 6 8 】

図示した例のように、第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 が平行且つ同じ向きである場合、液晶層 L Q の断面において、液晶分子 L M は、液晶層 L Q の中間部付近で略水平 (ブレチルト角が略ゼロ) に配向し、ここを境界として第 1 配向膜 A L 1 の近傍及び第 2 配向膜 A L 2 の近傍において対称となるようなブレチルト角を持って配向する (スプレイ配向)。このように液晶分子 L M がスプレイ配向している状態では、基板の法線方向から傾いた方向においても第 1 配向膜 A L 1 の近傍の液晶分子 L M と第 2 配向膜 A L 2 の近傍の液晶分子 L M とにより光学的に補償される。したがって、第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 が互いに平行、且つ、同じ向きである場合には、黒表示の場合に光漏れが少なく、高コントラスト比を実現することができ、表示品位を向上することが可能となる。

40

【 0 0 6 9 】

なお、第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 が互いに平行且つ逆向きである場合、液晶層 L Q の断面において、液晶分子 L M は、第 1 配向膜 A L 1 の近傍、第 2 配向膜 A L 2 の近傍、及び、液晶層 L Q の中間部において略均一なブレチルト角を持って配向する (ホモジニアス配向)。

50

【 0 0 7 0 】

バックライト 4 からのバックライト光の一部は、第 1 偏光板 P L 1 を透過し、液晶表示パネル L P N に入射する。液晶表示パネル L P N に入射した光は、第 1 偏光板 P L 1 の第 1 偏光軸 A X 1 と直交する直線偏光である。このような直線偏光の偏光状態は、O F F 時の液晶表示パネル L P N を通過した際にほとんど変化しない。このため、液晶表示パネル L P N を透過した直線偏光は、第 1 偏光板 P L 1 に対してクロスニコルの位置関係にある第 2 偏光板 P L 2 によって吸収される（黒表示）。

【 0 0 7 1 】

一方、液晶層 L Q に電圧が印加された状態、つまり、画素電極 P E と共通電極 C E との間に電位差が形成された状態（O N 時）では、画素電極 P E と共通電極 C E との間に基板と略平行な横電界（あるいは斜め電界）が形成される。液晶分子 L M は、電界の影響を受け、その長軸が図中の実線で示したように X - Y 平面と略平行な平面内で回転する。

10

【 0 0 7 2 】

図 3 に示した例では、画素電極 P E と主共通電極 C A L との間の領域のうち、下側半分の領域内の液晶分子 L M は、第 2 方向 Y に対して時計回りに回転し図中の左下を向くように配向し、また、上側半分の領域内の液晶分子 L M は、第 2 方向 Y に対して反時計回りに回転し図中の左上を向くように配向する。画素電極 P E と主共通電極 C A R との間の領域のうち、下側半分の領域内の液晶分子 L M は、第 2 方向 Y に対して反時計回りに回転し図中の右下を向くように配向し、上側半分の領域内の液晶分子 L M は、第 2 方向 Y に対して時計回りに回転し図中の右上を向くように配向する。

20

【 0 0 7 3 】

このように、各画素 P X において、画素電極 P E と共通電極 C E との間に電界が形成された状態では、液晶分子 L M の配向方向は、画素電極 P E と重なる位置を境界として複数の方向に分かれ、それぞれの配向方向でドメインを形成する。つまり、一画素 P X には、複数のドメインが形成される。

【 0 0 7 4 】

このような O N 時には、第 1 偏光板 P L 1 の第 1 偏光軸 A X 1 と直交する直線偏光は、液晶表示パネル L P N に入射し、その偏光状態は、液晶層 L Q を通過する際に液晶分子 L M の配向状態に応じて変化する。このような O N 時には、液晶層 L Q を通過した少なくとも一部の光は、第 2 偏光板 P L 2 を透過する（白表示）。

30

【 0 0 7 5 】

このような本実施形態によれば、一画素内に 4 つのドメインを形成することが可能となるため、4 方向での視野角を光学的に補償することができ、広視野角化が可能となる。したがって、階調反転がなく、高い透過率の表示を実現することができ、表示品位の良好な液晶表示装置を提供することが可能となる。

【 0 0 7 6 】

また、一画素内において、画素電極 P E と共通電極 C E とで区画される 4 つの領域それぞれについて開口部の面積を略同一に設定することにより、各領域の透過率が略同等となり、それぞれの開口部を透過した光が互いに光学的に補償し合い、広い視野角範囲に亘って均一な表示を実現することが可能となる。

40

【 0 0 7 7 】

また、液晶分子の初期配向状態が基板に対して垂直である垂直配向型の液晶表示装置と比較して、本実施形態は中間調においても視野角が広く輝度が明るいことが確認されている。

【 0 0 7 8 】

なお、O N 時には、画素電極 P E の主画素電極 P A 付近及び副画素電極 P B 付近、あるいは、共通電極 C E の主共通電極 C A 付近及び副共通電極 C B 付近では、横電界がほとんど形成されない（あるいは、液晶分子 L M を駆動するのに十分な電界が形成されない）ため、液晶分子 L M は、O F F 時と同様に初期配向方向からほとんど動かない。このため、上記のように、画素電極 P E 及び共通電極 C E が光透過性の導電材料によって形成されて

50

いても、これらの領域ではバックライト光がほとんど透過せず、ON時において表示にほとんど寄与しない。したがって、画素電極PE及び共通電極CEは、必ずしも透明な導電材料によって形成される必要はなく、アルミニウムや銀などの導電材料を用いて形成しても良い。

【0079】

また、アレイ基板ARと対向基板CTとの合わせずれが生じた際に、画素電極PEを挟んだ両側の共通電極CEとの距離に差が生じることがある。しかしながら、このような合わせずれは、全ての画素PXに共通に生じるため、画素PX間での電界分布に相違はなく、画像の表示に及ぼす影響はきわめて小さい。

【0080】

また、上述の一画素PXにおける最小の単位構成体は、正方形に限らず第2方向Yあるいは第1方向Xへの伸縮に制限は無く矩形で良い。すなわち、単位構成体それ自体あるいは単位構成体を組み合わせることで所望とする画素サイズを設計することができる。このように単位構成体の寸法を自由に設計しても、液晶分子LMは電極間に生じる電界によって基板に水平に配向するため、基板に対する法線方向のリタデーションに及ぼす影響は小さい。したがって、画素サイズの変更が輝度及び視野角に及ぼす影響はほとんど無い。

【0081】

一方、初期配向状態が基板に対して垂直に配向し印加電圧によって水平に配向する垂直配向型の液晶表示装置の場合には、電極間に生じる電界強度が画素内で異なると、基板に対する液晶分子の傾きの程度も異なるため、基板に対する法線方向のリタデーションに及ぼす影響は大きい。したがって、画素サイズの変更が、輝度及び視野角に及ぼす影響は大きい。このことから仮にこの単位構成体に垂直配向型の液晶分子を適用する場合には、画素内の電界強度及び電界分布を均一にするために単位構成体は正方形にする必要がある。

【0082】

次に、本実施形態の一構成例について説明する。

【0083】

第1構成例

まず、本実施形態の第1構成例について説明する。

【0084】

図5は、本実施形態の第1構成例における液晶表示パネルLPNの対向基板CT1における一画素PXの構造を概略的に示す平面図である。

【0085】

この第1構成例では、共通電極CEは、主共通電極として対向基板CT1に備えられた第2主共通電極CA2、及び、副共通電極として対向基板CT1に備えられた第2副共通電極CB2を有している。これらの第2主共通電極CA2及び第2副共通電極CB2は、第2配向膜AL2によって覆われている。

【0086】

すなわち、図示した対向基板CT1は、第2方向Yに沿って直線的に延出した帯状の第2主共通電極CA2と、第1方向Xに沿って直線的に延出した帯状の第2副共通電極CB2と、を備えている。これらの第2主共通電極CA2及び第2副共通電極CB2は、電氣的に接続されている。図示した例では、第2主共通電極CA2及び第2副共通電極CB2は、一体的（あるいは連続的）に形成されている。つまり、対向基板CT1において、共通電極CEは、格子状に形成されている。

【0087】

なお、図示した第2主共通電極CA2は第1方向Xに沿って間隔をおいて2本平行に並んでおり、以下では、これらを区別するために、図中の左側の第2主共通電極をCAL2と称し、図中の右側の第2主共通電極をCAR2と称する。また、図示した第2副共通電極CB2は第2方向Yに沿って間隔をおいて2本平行に並んでおり、以下では、これらを区別するために、図中の上側の第2副共通電極をCBU2と称し、図中の下側の第2副共通電極をCBB2と称する。これらの第2主共通電極CAL2及び第2主共通電極CAR

10

20

30

40

50

2 は、第 2 副共通電極 C B U 2 及び第 2 副共通電極 C B B 2 と繋がっている。

【 0 0 8 8 】

このような構成の共通電極 C E は、詳述しないが、アクティブエリアの外側に引き出され、導電部材を介して、アレイ基板に形成された給電部と電氣的に接続され、コモン電位が給電される。

【 0 0 8 9 】

次に、図 5 に示した対向基板 C T 1 との組み合わせが好適なアレイ基板 A R 1 について説明する。

【 0 0 9 0 】

図 6 は、本実施形態の第 1 構成例における液晶表示パネル L P N の一画素 P X を対向基板 C T 1 側から見たときのアレイ基板 A R 1 の構造を概略的に示す平面図である。なお、画素電極 P E と共通電極 C E との位置関係を説明するために、共通電極 C E を破線で図示している。また、一画素 P X における説明に必要な構成のみを図示し、スイッチング素子などの図示を省略している。

10

【 0 0 9 1 】

アレイ基板 A R 1 は、第 1 方向 X に沿って延出した補助容量線 C 1 と、第 1 方向 X に沿って延出したゲート配線 G 1 及びゲート配線 G 2 と、第 2 方向 Y に沿って延出したソース配線 S 1 及びソース配線 S 2 と、画素電極 P E と、を備えている。補助容量線 C 1、ゲート配線 G 1、及び、ゲート配線 G 2 は、ゲート絶縁膜 1 1 の上に形成され、第 1 層間絶縁膜 1 2 によって覆われている。ソース配線 S 1 及びソース配線 S 2 は、第 1 層間絶縁膜 1 2 の上に形成され、第 2 層間絶縁膜 1 3 によって覆われている。画素電極 P E は、第 2 層間絶縁膜 1 3 の上に形成されている。

20

【 0 0 9 2 】

図示した例では、画素 P X は、図中の破線で示した領域に相当し、第 1 方向 X に沿った長さよりも第 2 方向 Y に沿った長さの方が長い長方形状である。また、図示した例では、画素 P X において、ソース配線 S 1 は左側端部に配置され、ソース配線 S 2 は右側端部に配置されている。厳密には、ソース配線 S 1 は当該画素 P X とその左側に隣接する画素との境界に跨って配置され、ソース配線 S 2 は当該画素 P X とその右側に隣接する画素との境界に跨って配置されている。また、画素 P X において、ゲート配線 G 1 は上側端部に配置され、ゲート配線 G 2 は下側端部に配置され、補助容量線 C 1 は略画素中央部に配置されている。つまり、ゲート配線 G 1 と補助容量線 C 1 との第 2 方向 Y に沿った間隔は、ゲート配線 G 2 と補助容量線 C 1 との第 2 方向 Y に沿った間隔と略同等である。

30

【 0 0 9 3 】

画素電極 P E は、ソース配線 S 1 とソース配線 S 2 との間、あるいは、ゲート配線 G 1 とゲート配線 G 2 との間に配置され、図示を省略したスイッチング素子に電氣的に接続されている。このような画素電極 P E は、第 2 方向 Y に沿って直線的に延出した帯状の主画素電極 P A、及び、第 1 方向 X に沿って直線的に延出した帯状の副画素電極 P B を有している。これらの主画素電極 P A 及び副画素電極 P B は、電氣的に接続されている。図示した例では、主画素電極 P A 及び副画素電極 P B は、一体的（あるいは連続的）に形成されている。つまり、アレイ基板 A R 1 において、画素電極 P E は、十字状に形成されている。また、主画素電極 P A 及び副画素電極 P B は、ともに第 1 配向膜 A L 1 によって覆われている。

40

【 0 0 9 4 】

主画素電極 P A は、隣接するソース配線 S 1 及びソース配線 S 2 のそれぞれの直上の位置よりも画素 P X の内側に位置し、ソース配線 S 1 とソース配線 S 2 との略中間に配置されている。このような主画素電極 P A は、画素 P X の上側端部付近から下側端部付近まで延出している。

【 0 0 9 5 】

副画素電極 P B は、略画素中央部に配置され、主画素電極 P A と交差している。このような副画素電極 P B は、主画素電極 P A の略中央部からその両側、つまり、主画素電極 P

50

Aの左側のソース配線S1、及び、主画素電極PAの右側のソース配線S2に向かってそれぞれ直線的に延出している。このような副画素電極PBは、画素PXの左側端部付近から右側端部付近まで延出している。

【0096】

この第1構成例においては、副画素電極PBは、補助容量線C1と対向している。図示した例では、副画素電極PBは、補助容量線C1の上方に配置されている。副画素電極PBと補助容量線C1との間には、絶縁膜として、第1層間絶縁膜12及び第2層間絶縁膜13が介在している。

【0097】

この副画素電極PBの第1方向Xに沿った長さについては、副画素電極PBが補助容量線C1を覆う場合には、ソース配線S1とソース配線S2との間に位置する補助容量線C1の第1方向Xに沿った長さと同等以上である。

【0098】

また、副画素電極PBの第2方向Yに沿った幅については、副画素電極PBが補助容量線C1上で図示しないスイッチング素子と電氣的に接続される構成の場合、比較的幅広に設定される。副画素電極PBが補助容量線C1を覆う場合、副画素電極PBの幅は補助容量線C1の幅と同等以上である。

【0099】

上述したように、ゲート配線G1が画素の上側端部に配置され、補助容量線C1が略画素中央部に配置された構成では、副画素電極PBがソース配線S1とソース配線S2との間に位置する補助容量線C1を覆うように配置可能である。

【0100】

また、補助容量線C1が画素PXの上側端部または下側端部に配置され、ゲート配線G1が略画素中央部に配置されても良い。この場合には、副画素電極PBは、ゲート配線G1と対向していても良い（あるいは、副画素電極PBがゲート配線G1の上方に配置されていても良い）。

【0101】

一方、共通電極CEにおいて、第2主共通電極CAL2及び第2主共通電極CAR2は主画素電極PAの直上の位置を挟んだ両側に配置され、また、第2副共通電極CBU2及び第2副共通電極CBB2は副画素電極PBの直上の位置を挟んだ両側に配置されている。換言すると、主画素電極PAは第2主共通電極CAL2と第2主共通電極CAR2との間に配置され、副画素電極PBは第2副共通電極CBU2と第2副共通電極CBB2との間に配置されている。

【0102】

図示した例では、第2主共通電極CAL2は、画素PXの左側端部に配置され、ソース配線S1に対向している（あるいは、第2主共通電極CAL2がソース配線S1の上方に配置されている）。また、第2主共通電極CAR2は、画素PXの右側端部に配置され、ソース配線S2に対向している（あるいは、第2主共通電極CAR2がソース配線S2の上方に配置されている）。また、第2副共通電極CBU2は、画素PXの上側端部に配置され、ゲート配線G1に対向している（あるいは、第2副共通電極CBU2がゲート配線G1の上方に配置されている）。また、第2副共通電極CBB2は、画素PXの下側端部に配置され、ゲート配線G2に対向している（あるいは、第2副共通電極CBB2がゲート配線G2の上方に配置されている）。

【0103】

このような第1構成例によれば、上記の通り、一画素内に4つのドメインを形成することが可能となるため、4方向での視野角を光学的に補償することができ、広視野角化が可能となる。

【0104】

また、第2主共通電極CAL2及び第2主共通電極CAR2は、それぞれソース配線S1及びソース配線S2と対向している。特に、第2主共通電極CAL2及び第2主共通電

10

20

30

40

50

極 C A R 2 がそれぞれソース配線 S 1 及びソース配線 S 2 の上方に配置されている場合には、第 2 主共通電極 C A L 2 及び第 2 主共通電極 C A R 2 がソース配線 S 1 及びソース配線 S 2 よりも主画素電極 P A 側に配置された場合と比較して、表示に寄与する開口部を拡大することができ、画素 P X の透過率を向上することが可能となる。

【 0 1 0 5 】

また、第 2 主共通電極 C A L 2 及び第 2 主共通電極 C A R 2 をそれぞれソース配線 S 1 及びソース配線 S 2 の上方に配置することによって、主画素電極 P A と第 2 主共通電極 C A L 2 及び第 2 主共通電極 C A R 2 との間の距離を拡大することが可能となり、より水平に近い横電界を形成することが可能となる。このため、従来の構成である IPS モード等の利点である広視野角化も維持することが可能となる。

10

【 0 1 0 6 】

さらに、画素電極 P E の副画素電極 P B は、補助容量線やゲート配線と対向するように配置されているため、補助容量線やゲート配線からの不所望な電界を遮蔽することが可能となる。このため、補助容量線やゲート配線から液晶層 L Q に対して不所望なバイアスが印加されることを抑制することができ、焼きツキなどの表示不良の発生を抑制することが可能となる。したがって、さらに表示品位の良好な液晶表示装置を提供することができる。

【 0 1 0 7 】

第 2 構成例

次に、本実施形態の第 2 構成例について説明する。なお、第 1 構成例と同一構成については同一の参照符号を付して詳細な説明を省略する。

20

【 0 1 0 8 】

図 7 は、本実施形態の第 2 構成例における液晶表示パネル L P N の対向基板 C T 2 における一画素 P X の構造を概略的に示す平面図である。

【 0 1 0 9 】

この第 2 構成例では、共通電極 C E は、主共通電極として後述するアレイ基板に備えられた第 1 主共通電極 C A 1、及び、副共通電極として対向基板 C T 2 に備えられた第 2 副共通電極 C B 2 を有している。この第 2 副共通電極 C B 2 は、第 2 配向膜 A L 2 によって覆われている。

30

【 0 1 1 0 】

すなわち、図示した対向基板 C T 2 は、第 1 方向 X に沿って直線的に延出した帯状の第 2 副共通電極 C B 2 を備えており、主共通電極は備えていない。つまり、対向基板 C T 2 において、共通電極 C E は、第 1 方向 X に延出したストライプ状に形成されている。なお、図示した第 2 副共通電極 C B 2 は第 2 方向 Y に沿って間隔をおいて 2 本平行に並んでおり、以下では、これらを区別するために、図中の上側の第 2 副共通電極を C B U 2 と称し、図中の下側の第 2 副共通電極を C B B 2 と称する。

【 0 1 1 1 】

このような共通電極 C E の第 2 副共通電極 C B 2 は、詳述しないが、アクティブエリアの外側に引き出され、導電部材を介して、アレイ基板に形成された給電部と電氣的に接続され、コモン電位が給電される。

40

【 0 1 1 2 】

次に、図 7 に示した対向基板 C T 2 との組み合わせが好適なアレイ基板 A R 2 について説明する。

【 0 1 1 3 】

図 8 は、本実施形態の第 2 構成例における液晶表示パネル L P N の一画素 P X を対向基板 C T 2 側から見たときのアレイ基板 A R 2 の構造を概略的に示す平面図である。なお、画素電極 P E と共通電極 C E との位置関係を説明するために、共通電極 C E を破線で図示している。また、一画素 P X における説明に必要な構成のみを図示し、スイッチング素子などの図示を省略している。

【 0 1 1 4 】

50

アレイ基板 A R 2 は、アレイ基板 A R 1 と同様に、第 1 方向 X に沿って延出した補助容量線 C 1 と、第 1 方向 X に沿って延出したゲート配線 G 1 及びゲート配線 G 2 と、第 2 方向 Y に沿って延出したソース配線 S 1 及びソース配線 S 2 と、画素電極 P E と、を備えている。画素電極 P E は、第 1 配向膜 A L 1 によって覆われている。さらに、アレイ基板 A R 2 は、共通電極 C E の一部として、第 2 方向 Y に沿って直線的に延出した帯状の第 1 主共通電極 C A 1 を備えている。この第 1 主共通電極 C A 1 は、第 2 副共通電極 C B 2 と同電位である。

【 0 1 1 5 】

なお、図示した第 1 主共通電極 C A 1 は第 1 方向 X に沿って間隔をおいて 2 本平行に並んでおり、以下では、これらを区別するために、図中の左側の第 1 主共通電極を C A L 1 と称し、図中の右側の第 1 主共通電極を C A R 1 と称する。これらの第 1 主共通電極 C A L 1 及び第 1 主共通電極 C A R 1 は、例えば、画素電極 P E と同様に、第 2 層間絶縁膜 1 3 の上に形成され、第 1 配向膜 A L 1 によって覆われている。この場合、第 1 主共通電極 C A L 1 及び第 1 主共通電極 C A R 1 は、画素電極 P E と同一材料（例えば、ITO など）を用いて同一工程で形成可能である。

10

【 0 1 1 6 】

図示した例では、第 1 主共通電極 C A L 1 は、画素 P X の左側端部に配置され、ソース配線 S 1 と対向している（あるいは、第 1 主共通電極 C A L 1 がソース配線 S 1 の上方に配置されている）。また、第 1 主共通電極 C A R 1 は、画素 P X の右側端部に配置され、ソース配線 S 2 と対向している（あるいは、第 1 主共通電極 C A R 1 がソース配線 S 2 の上方に配置されている）。第 1 主共通電極 C A L 1 及び第 1 主共通電極 C A R 1 と、ソース配線 S 1 及びソース配線 S 2 との間には、絶縁膜として、第 2 層間絶縁膜 1 3 が介在している。

20

【 0 1 1 7 】

これらの第 1 主共通電極 C A L 1 及び第 1 主共通電極 C A R 1 は、それぞれアクティブエリア内においては直線的に延出し、アクティブエリアの外側に引き出され、アレイ基板 A R 2 に形成された給電部と電氣的に接続され、コモン電位が給電される。また、第 1 主共通電極 C A L 1 及び第 1 主共通電極 C A R 1 のそれぞれがアクティブエリア内においてソース配線 S 1 及びソース配線 S 2 を覆う場合には、第 1 主共通電極 C A L 1 及び第 1 主共通電極 C A R 1 の第 1 方向 X に沿った幅については、ソース配線 S 1 及びソース配線 S 2 の第 1 方向 X に沿った幅と同等以上である。

30

【 0 1 1 8 】

画素電極 P E は、第 1 構成例と同様に、ゲート配線 G 1 とゲート配線 G 2 との間に配置されている。あるいは、画素電極 P E は、ソース配線 S 1 とソース配線 S 2 との間、つまり、第 1 主共通電極 C A L 1 と第 1 主共通電極 C A R 1 との間に配置されている。この画素電極 P E は、主画素電極 P A 及び副画素電極 P B を有している。

【 0 1 1 9 】

主画素電極 P A は、第 1 主共通電極 C A L 1 と第 1 主共通電極 C A R 1 との略中間の位置に配置されている。この主画素電極 P A は、ゲート配線 G 1 及びゲート配線 G 2 に向かって延出している。

40

【 0 1 2 0 】

副画素電極 P B は、ゲート配線 G 1 とゲート配線 G 2 との略中間の位置に配置されている。この副画素電極 P B は、第 1 主共通電極 C A L 1 及び第 1 主共通電極 C A R 1 に向かって延出している。但し、画素電極 P E が第 1 主共通電極 C A L 1 及び第 1 主共通電極 C A R 1 とともに第 2 層間絶縁膜 1 3 の上に形成されている場合には、副画素電極 P B は、第 1 主共通電極 C A L 1 及び第 1 主共通電極 C A R 1 には接触しないように配置されている（あるいは、副画素電極 P B が第 1 主共通電極 C A L 1 及び第 1 主共通電極 C A R 1 から離間するように配置されている）。また、この副画素電極 P B は、補助容量線 C 1 と対向している（あるいは、副画素電極 P B が補助容量線 C 1 の上方に配置されている）。

【 0 1 2 1 】

50

なお、補助容量線 C 1 が画素 P X の上側端部または下側端部に配置され、ゲート配線 G 1 が略画素中央部に配置されても良い。この場合には、副画素電極 P B は、ゲート配線 G 1 と対向していても良い（あるいは、副画素電極 P B がゲート配線 G 1 の上方に配置されていても良い）。

【0122】

一方、共通電極 C E において、第 2 副共通電極 C B U 2 及び第 2 副共通電極 C B B 2 は、副画素電極 P B の直上の位置を挟んだ両側に配置されている。換言すると、主画素電極 P A は第 1 主共通電極 C A L 1 と第 1 主共通電極 C A R 1 との間に配置され、副画素電極 P B は第 2 副共通電極 C B U 2 と第 2 副共通電極 C B B 2 との間に配置されている。

【0123】

10

図示した例では、第 2 副共通電極 C B U 2 は、画素 P X の上側端部に配置され、ゲート配線 G 1 に対向している（あるいは、第 2 副共通電極 C B U 2 がゲート配線 G 1 の上方に配置されている）。また、第 2 副共通電極 C B B 2 は、画素 P X の下側端部に配置され、ゲート配線 G 2 に対向している（あるいは、第 2 副共通電極 C B B 2 がゲート配線 G 2 の上方に配置されている）。

【0124】

このような第 2 構成例によれば、上記の通り、一画素内に 4 つのドメインを形成することが可能となるため、4 方向での視野角を光学的に補償することができ、広視野角化が可能となる。また、第 1 構成例で説明した効果に加えて、共通電極 C E の第 1 主共通電極 C A 1 の少なくとも 1 つは、ソース配線と対向するように配置されているため、ソース配線からの不所望な電界を遮蔽することが可能となる。このため、ソース配線から液晶層 L Q に対して不所望なバイアスが印加されることを抑制することができ、クロストーク（例えば、当該画素 P X が黒を表示する画素電位に設定されている状態で、当該画素 P X に接続されたソース配線に白を表示する画素電位が供給されたときに、当該画素 P X の一部から光漏れが生じて輝度の上昇を招く現象）などの表示不良の発生を抑制することが可能となる。したがって、さらに表示品位の良好な液晶表示装置を提供することができる。

20

【0125】

なお、この第 2 構成例で説明したアレイ基板 A R 2 は、第 1 構成例で説明した対向基板 C T 1 と組み合わせても良い。この場合、共通電極 C E は、主共通電極として、アレイ基板 A R 2 に備えられた第 1 主共通電極 C A 1 及び対向基板 C T 1 に備えられた第 2 主共通電極 C A 2 を有する構成となる。このような第 1 主共通電極 C A 1 と第 2 主共通電極 C A 2 とが液晶層を挟んで対向する領域では、不所望な縦電界（すなわち、基板主面の法線方向に沿った電界）の発生を抑制することが可能となる。

30

【0126】

第 3 構成例

次に、本実施形態の第 3 構成例について説明する。なお、第 1 構成例と同一構成については同一の参照符号を付して詳細な説明を省略する。

【0127】

図 9 は、本実施形態の第 3 構成例における液晶表示パネル L P N の対向基板 C T 3 における一画素 P X の構造を概略的に示す平面図である。

40

【0128】

この第 3 構成例では、共通電極 C E は、主共通電極として対向基板 C T 3 に備えられた第 2 主共通電極 C A 2、及び、副共通電極として後述するアレイ基板に備えられた第 1 副共通電極 C B 1 を有している。この第 2 主共通電極 C A 2 は、第 2 配向膜 A L 2 によって覆われている。

【0129】

すなわち、図示した対向基板 C T 3 は、第 2 方向 Y に沿って直線的に延出した帯状の第 2 主共通電極 C A 2 を備えており、副共通電極は備えていない。つまり、対向基板 C T 3 において、共通電極 C E は、第 2 方向 Y に延出したストライプ状に形成されている。なお、図示した第 2 主共通電極 C A 2 は第 1 方向 X に沿って間隔をおいて 2 本平行に並んでお

50

り、以下では、これらを区別するために、図中の左側の第2主共通電極をC A L 2と称し、図中の右側の第2主共通電極をC A R 2と称する。

【0130】

このような共通電極C Eの第2主共通電極C A 2は、詳述しないが、アクティブエリアの外側に引き出され、導電部材を介して、アレイ基板に形成された給電部と電氣的に接続され、コモン電位が給電される。

【0131】

次に、図9に示した対向基板C T 3との組み合わせが好適なアレイ基板A R 3について説明する。

【0132】

図10は、本実施形態の第3構成例における液晶表示パネルL P Nの一画素P Xを対向基板C T 3の側から見たときのアレイ基板A R 3の構造を概略的に示す平面図である。なお、画素電極P Eと共通電極C Eとの位置関係を説明するために、共通電極C Eを破線で図示している。また、一画素P Xにおける説明に必要な構成のみを図示し、スイッチング素子などの図示を省略している。

【0133】

アレイ基板A R 3は、アレイ基板A R 1と同様に、第1方向Xに沿って延出した補助容量線C 1と、第1方向Xに沿って延出したゲート配線G 1及びゲート配線G 2と、第2方向Yに沿って延出したソース配線S 1及びソース配線S 2と、画素電極P Eと、を備えている。画素電極P Eは、第1配向膜A L 1によって覆われている。さらに、アレイ基板A R 3は、共通電極C Eの一部として、第1方向Xに沿って直線的に延出した帯状の第1副共通電極C B 1を備えている。この第1副共通電極C B 1は、第2主共通電極C A 2と同電位である。

【0134】

なお、図示した第1副共通電極C B 1は第2方向Yに沿って間隔をおいて2本平行に並んでおり、以下では、これらを区別するために、図中の上側の第1副共通電極をC B U 1と称し、図中の下側の第1副共通電極をC B B 1と称する。これらの第1副共通電極C B U 1及び第1副共通電極C B B 1は、例えば、画素電極P Eと同様に、第2層間絶縁膜13の上に形成され、第1配向膜A L 1によって覆われている。この場合、第1副共通電極C B U 1及び第1副共通電極C B B 1は、画素電極P Eと同一材料（例えば、ITOなど）を用いて同一工程で形成可能である。

【0135】

図示した例では、第1副共通電極C B U 1は、画素P Xの上側端部に配置され、ゲート配線G 1と対向している（あるいは、第1副共通電極C B U 1がゲート配線G 1の上方に配置されている）。また、第1副共通電極C B B 1は、画素P Xの下側端部に配置され、ゲート配線G 2と対向している（あるいは、第1副共通電極C B B 1がゲート配線G 2の上方に配置されている）。第1副共通電極C B U 1及び第1副共通電極C B B 1と、ゲート配線G 1及びゲート配線G 2との間には、絶縁膜として、第1層間絶縁膜12及び第2層間絶縁膜13が介在している。

【0136】

これらの第1副共通電極C B U 1及び第1副共通電極C B B 1は、それぞれアクティブエリア内においては直線的に延出し、アクティブエリアの外側に引き出され、アレイ基板A R 3に形成された給電部と電氣的に接続され、コモン電位が給電される。また、第1副共通電極C B U 1及び第1副共通電極C B B 1のそれぞれがアクティブエリア内においてゲート配線G 1及びゲート配線G 2を覆う場合には、第1副共通電極C B U 1及び第1副共通電極C B B 1の第2方向Yに沿った幅については、ゲート配線G 1及びゲート配線G 2の第2方向Yに沿った幅と同等以上である。

【0137】

画素電極P Eは、第1構成例と同様に、ソース配線S 1とソース配線S 2との間に配置されている。あるいは、画素電極P Eは、ゲート配線G 1とゲート配線G 2との間、つま

10

20

30

40

50

り、第1副共通電極CBU1と第1副共通電極CBB1との間に配置されている。この画素電極PEは、主画素電極PA及び副画素電極PBを有している。

【0138】

主画素電極PAは、ソース配線S1とソース配線S2との略中間の位置に配置されている。この主画素電極PAは、第1副共通電極CBU1及び第1副共通電極CBB1に向かって延出している。但し、画素電極PEが第1副共通電極CBU1及び第1副共通電極CBB1とともに第2層間絶縁膜13の上に形成されている場合には、主画素電極PAは、第1副共通電極CBU1及び第1副共通電極CBB1には接触しないように配置されている（あるいは、主画素電極PAが第1副共通電極CBU1及び第1副共通電極CBB1から離間するように配置されている）。

10

【0139】

副画素電極PBは、第1副共通電極CBU1と第1副共通電極CBB1と略中間の位置に配置されている。この副画素電極PBは、ソース配線S1及びソース配線S2に向かって延出している。また、この副画素電極PBは、補助容量線C1と対向している（あるいは、副画素電極PBが補助容量線C1の上方に配置されている）。

【0140】

なお、補助容量線C1が画素PXの上側端部または下側端部に配置され、ゲート配線G1が略画素中央部に配置されても良い。この場合には、副画素電極PBは、ゲート配線G1と対向していても良い（あるいは、副画素電極PBがゲート配線G1の上方に配置されていても良い）し、第1副共通電極CBU1または第1副共通電極CBB1は、補助容量線C1と対向していても良い（あるいは、第1副共通電極CBU1または第1副共通電極CBB1が補助容量線C1の上方に配置されていても良い）。

20

【0141】

一方、共通電極CEにおいて、第2主共通電極CAL2及び第2主共通電極CAR2は、主画素電極PAの直上の位置を挟んだ両側に配置されている。換言すると、主画素電極PAは第2主共通電極CAL2と第2主共通電極CAR2との間に配置され、副画素電極PBは第1副共通電極CBU1と第1副共通電極CBB1との間に配置されている。

【0142】

図示した例では、第2主共通電極CAL2は、画素PXの左側端部に配置され、ソース配線S1と対向している（あるいは、第2主共通電極CAL2がソース配線S1の上方に配置されている）。また、第2主共通電極CAR2は、画素PXの右側端部に配置され、ソース配線S2と対向している（あるいは、第2主共通電極CAR2がソース配線S2の上方に配置されている）。

30

【0143】

このような第3構成例によれば、上記の通り、一画素内に4つのドメインを形成することが可能となるため、4方向での視野角を光学的に補償することができ、広視野角化が可能となる。また、第1構成例で説明した効果に加えて、共通電極CEの第1副共通電極CB1は、ゲート配線と対向するように配置されているため、ゲート配線からの不所望な電界を遮蔽することが可能となる。このため、ゲート配線から液晶層LQに対して不所望なバイアスが印加されることを抑制することができ、焼きツキなどの表示不良の発生を抑制することが可能となる。したがって、さらに表示品位の良好な液晶表示装置を提供することができる。

40

【0144】

なお、この第3構成例で説明したアレイ基板AR3は、第1構成例で説明した対向基板CT1と組み合わせても良い。この場合、共通電極CEは、副共通電極として、アレイ基板AR3に備えられた第1副共通電極CB1及び対向基板CT1に備えられた第2副共通電極CB2を有する構成となる。このような第1副共通電極CB1と第2副共通電極CB2とが液晶層を挟んで対向する領域では、不所望な縦電界（すなわち、基板主面の法線方向に沿った電界）の発生を抑制することが可能となる。

【0145】

50

第 4 構成例

次に、本実施形態の第 4 構成例について説明する。なお、第 1 構成例と同一構成については同一の参照符号を付して詳細な説明を省略する。

【0146】

図 11 は、本実施形態の第 4 構成例における液晶表示パネル L P N の一画素 P X を対向基板 C T の側から見たときのアレイ基板 A R 4 の構造を概略的に示す平面図である。なお、一画素 P X における説明に必要な構成のみを図示し、スイッチング素子などの図示を省略している。

【0147】

この第 4 構成例では、共通電極 C E は、主共通電極としてアレイ基板 A R 4 に備えられた第 1 主共通電極 C A 1、及び、副共通電極としてアレイ基板 A R 4 に備えられた第 1 副共通電極 C B 1 を有している。

【0148】

アレイ基板 A R 4 は、アレイ基板 A R 1 と同様に、第 1 方向 X に沿って延出した補助容量線 C 1 と、第 1 方向 X に沿って延出したゲート配線 G 1 及びゲート配線 G 2 と、第 2 方向 Y に沿って延出したソース配線 S 1 及びソース配線 S 2 と、画素電極 P E と、を備えている。画素電極 P E は、第 1 配向膜 A L 1 によって覆われている。さらに、アレイ基板 A R 4 は、第 2 方向 Y に沿って直線的に延出した帯状の第 1 主共通電極 C A 1 (C A L 1 及び C A R 1) 及び第 1 方向 X に沿って直線的に延出した帯状の第 1 副共通電極 C B 1 (C B U 1 及び C B B 1) を有する共通電極 C E を備えている。つまり、アレイ基板 A R 4 において、共通電極 C E は、格子状に形成されている。第 1 主共通電極 C A 1 の構成については、アレイ基板 A R 2 で説明した通りである。第 1 副共通電極 C B 1 の構成については、アレイ基板 A R 3 で説明した通りである。

【0149】

このような共通電極 C E の第 1 主共通電極 C A 1 及び第 1 副共通電極 C B 1 は、詳述しないが、アクティブエリアの外側に引き出され、導電部材を介して、アレイ基板 A R 4 に形成された給電部と電気的に接続され、コモン電位が給電される。

【0150】

この第 4 構成例で説明したアレイ基板 A R 4 は、第 1 構成例で説明した対向基板 C T 1、第 2 構成例で説明した対向基板 C T 2、及び、第 3 構成例で説明した対向基板 C T 3 のいずれとも組み合わせ可能である。

【0151】

上記の第 1 乃至第 4 構成例で説明したアレイ基板 A R 1、アレイ基板 A R 2、アレイ基板 A R 3、及び、アレイ基板 A R 4 と、上記の第 1 乃至第 3 構成例で説明した対向基板 C T 1、対向基板 C T 2、及び、対向基板 C T 3 との組み合わせについては、図 12 にまとめた。図中の斜線は本実施形態の基本構成を実現できない組み合わせに相当し、図中の二重丸 () は各構成例で説明した組み合わせに相当し、図中の白丸 (○) は各構成例において可能な組み合わせに相当する。

【0152】

次に、本実施形態の更なるバリエーションについて一画素 P X の構成を簡単に説明する。

【0153】

図 13 は、本実施形態のバリエーションのひとつを概略的に示す平面図である。

【0154】

画素電極 P E は、第 2 方向 Y に沿って延出し且つ第 1 方向 X に沿って間隔をおいて平行に並んだ 2 本の主画素電極 P A、第 1 方向 X に沿って延出し且つ 2 本の主画素電極 P A と交差するとともに略画素中央部に配置された副画素電極 P B を有している。このような画素電極 P E は、アレイ基板に備えられている。

【0155】

共通電極 C E は、第 2 方向 Y に沿って延出した主共通電極 C A 及び第 1 方向 X に沿って

延出した副共通電極 C B を有している。主共通電極 C A は、2 本の主画素電極 P A のそれぞれの両側に配置されている。つまり、3 本の主共通電極 C A と 2 本の主画素電極 P A とが交互に配置されている。副共通電極 C B は、副画素電極 P B を挟んで両側に配置されている。つまり、副画素電極 P B と 2 本の副共通電極 C B とが交互に配置されている。このような共通電極 C E についても、主共通電極 C A 及び副共通電極 C B の少なくとも一部は、対向基板に備えられている。

【 0 1 5 6 】

このような構成においては、一画素 P X 内に 8 つの領域が形成され、O N 時には、図中の矢印で示した方向に液晶分子が配向する。このような構成においても上記の各構成例と同様の効果が得られる。

10

【 0 1 5 7 】

上記の本実施形態は、特に、容量結合駆動 (C C 駆動) を行う構成に好適である。すなわち、容量結合駆動 (C C 駆動) では、各画素の保持容量 C s を通して、補助容量信号を画素電極 P E に重畳することで所定の電圧に到達させるため、保持容量 C s と画素容量とを略等しくする場合には、信号電圧振幅を略半減できる。上述したゲートドライバ G D 、ソースドライバ S D 、コントローラを内蔵した駆動 I C チップ 2 などは、このような C C 駆動を行うための駆動機構として機能し、アレイ基板 A R に備えられている。

【 0 1 5 8 】

このような C C 駆動を適用した構成によれば、消費電力を低減できるとともに表示品位の劣化を抑制することが可能となる。

20

【 0 1 5 9 】

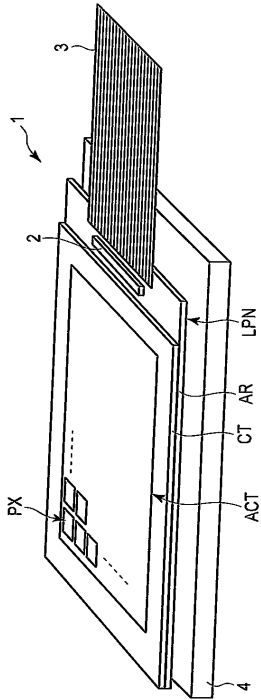
以上説明したように、本実施形態によれば、表示品位の良好な液晶表示装置を提供することが可能となる。

【 0 1 6 0 】

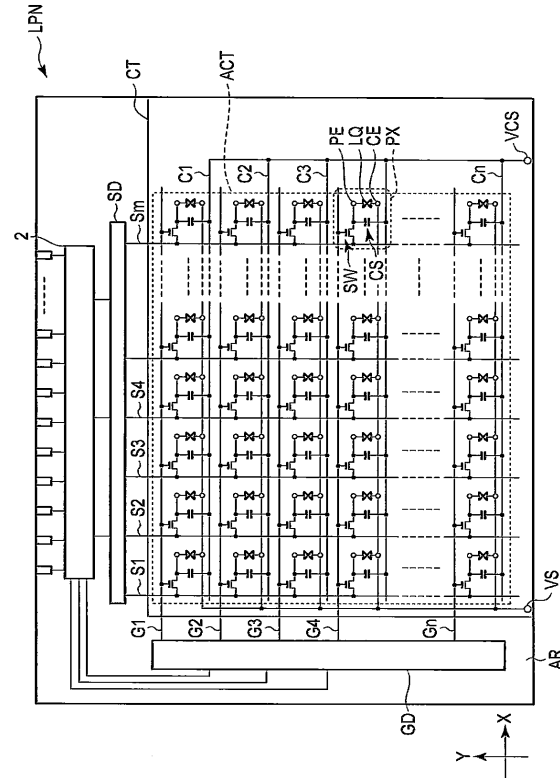
なお、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これらの新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これらの実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

30

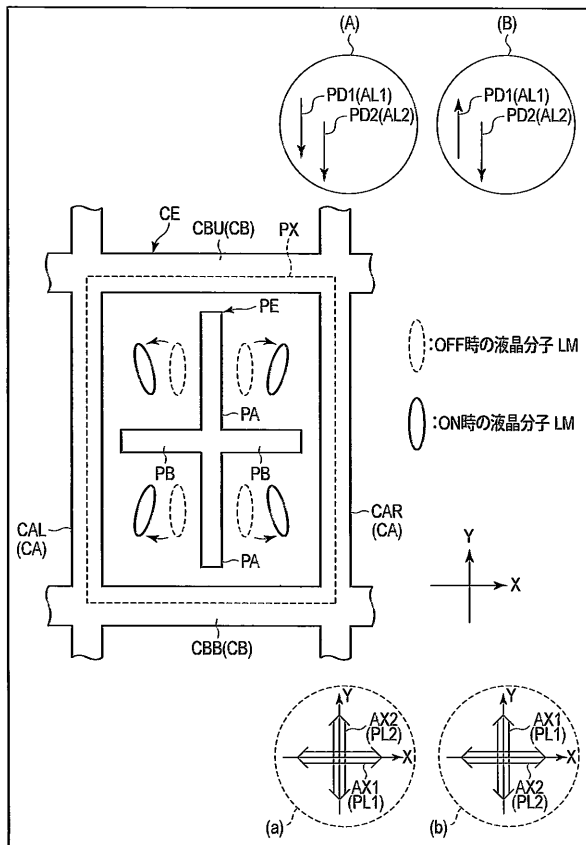
【図 1】



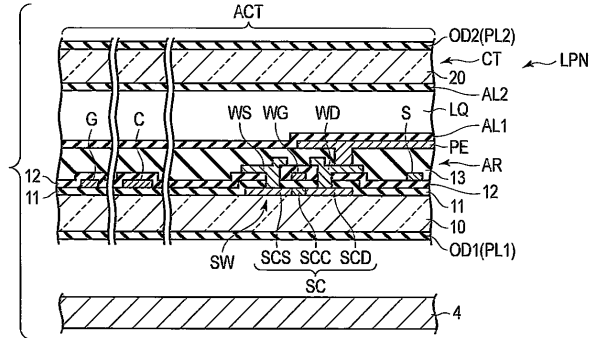
【図 2】



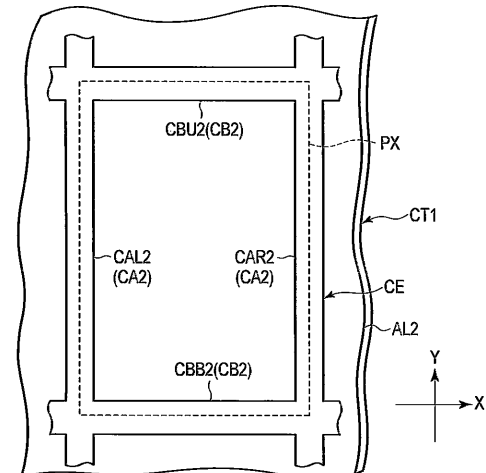
【図 3】



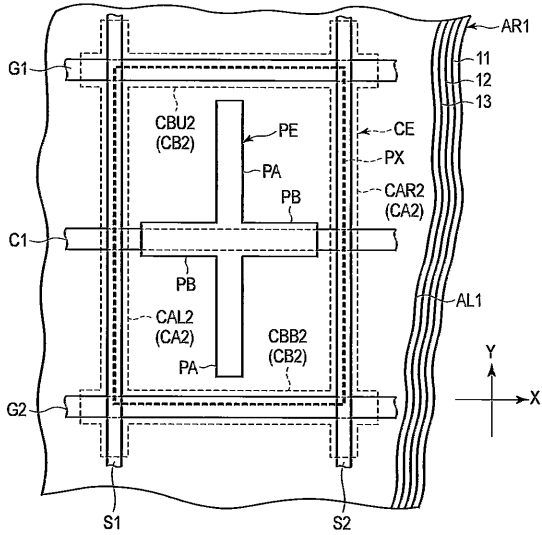
【図 4】



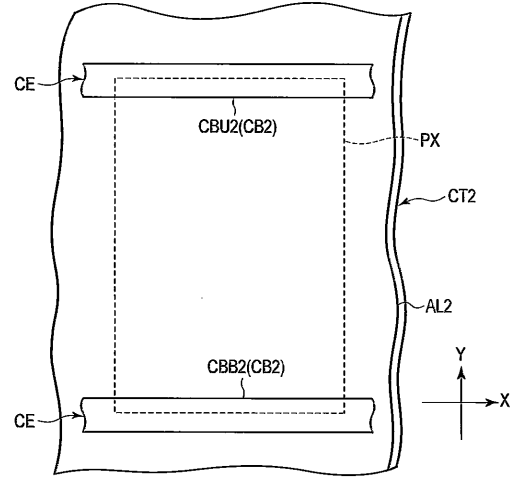
【図 5】



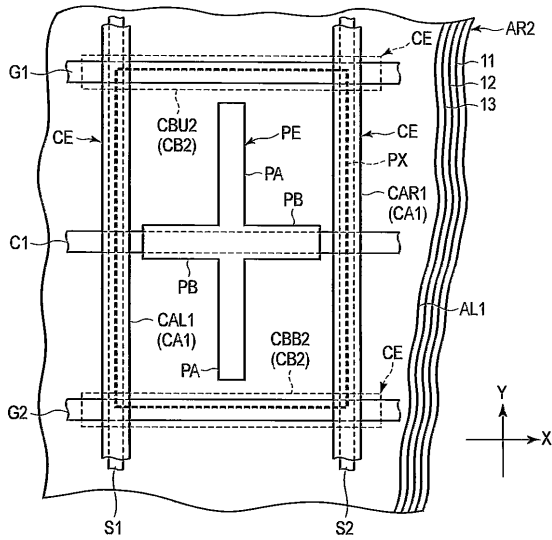
【図 6】



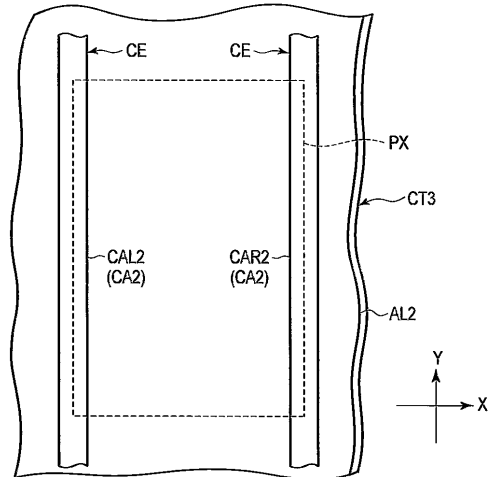
【図 7】



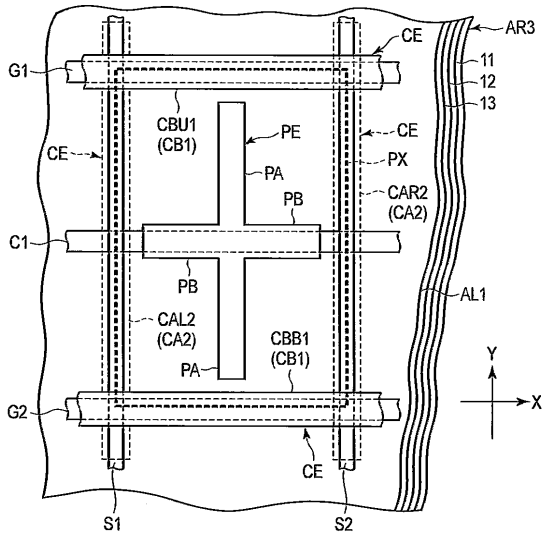
【図 8】



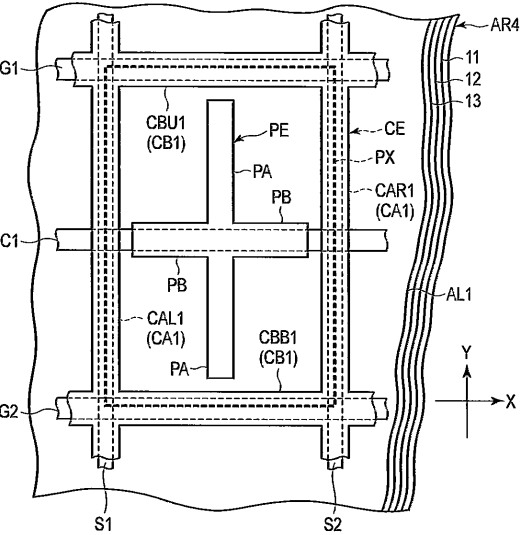
【図 9】



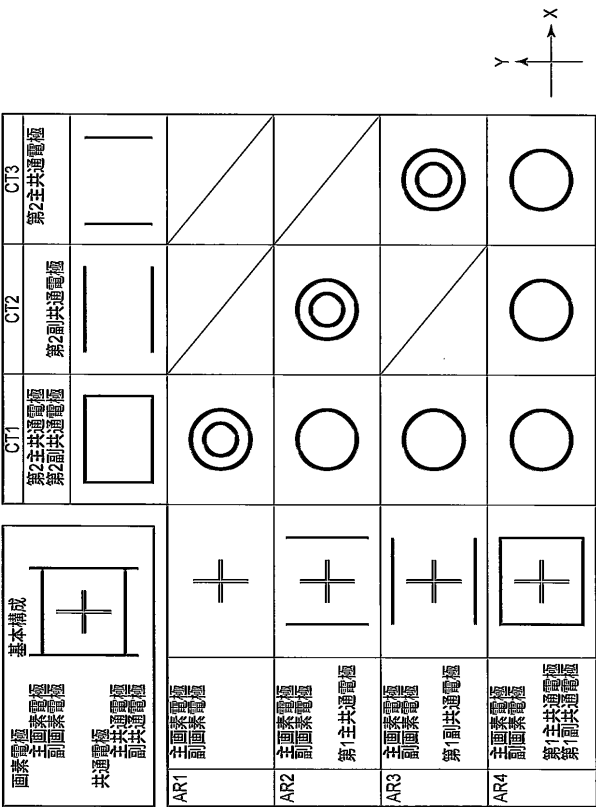
【 図 1 0 】



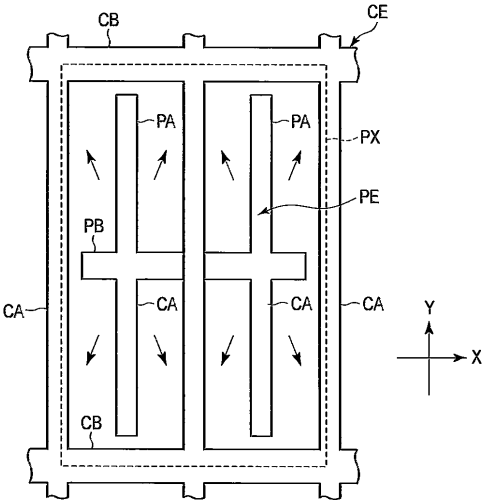
【 図 1 1 】



【 図 1 2 】



【 図 1 3 】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2012/053545
A. CLASSIFICATION OF SUBJECT MATTER G02F1/1362(2006.01)i, G02F1/1343(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G02F1/1362, G02F1/1343 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2012 Kokai Jitsuyo Shinan Koho 1971-2012 Toroku Jitsuyo Shinan Koho 1994-2012 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 7-36058 A (Hitachi, Ltd.), 07 February 1995 (07.02.1995), paragraphs [0003], [0016] to [0018]; fig. 5 (Family: none)	1,2,12-16, 18-20
Y	JP 2009-192822 A (Toshiba Mobile Display Co., Ltd.), 27 August 2009 (27.08.2009), paragraphs [0009], [0010], [0016], [0020], [0021], [0039]; fig. 4 & US 2009/0207363 A1	1,2,12-16, 18-20
Y	JP 2006-53592 A (L.G. Philips LCD Co., Ltd.), 23 February 2006 (23.02.2006), paragraphs [0016] to [0025]; fig. 2 (Family: none)	18-20
☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 06 March, 2012 (06.03.12)		Date of mailing of the international search report 13 March, 2012 (13.03.12)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/053545

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-282205 A (Matsushita Electric Industrial Co., Ltd.), 12 October 2001 (12.10.2001), claim 5; paragraphs [0011] to [0013] (Family: none)	20
Y	JP 2009-244287 A (Toshiba Mobile Display Co., Ltd.), 22 October 2009 (22.10.2009), paragraph [0009] (Family: none)	20
A	JP 2002-40457 A (Sanyo Electric Co., Ltd.), 06 February 2002 (06.02.2002), claim 4; paragraphs [0018] to [0032]; fig. 1, 6 (Family: none)	1-20

国際調査報告		国際出願番号 PCT/J P 2 0 1 2 / 0 5 3 5 4 5									
A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. G02F1/1362(2006.01)i, G02F1/1343(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. G02F1/1362, G02F1/1343											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2012年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2012年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2012年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2012年	日本国実用新案登録公報	1996-2012年	日本国登録実用新案公報	1994-2012年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2012年										
日本国実用新案登録公報	1996-2012年										
日本国登録実用新案公報	1994-2012年										
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
Y	JP 7-36058 A（株式会社日立製作所）1995.02.07, 段落【0003】、 【0016】－【0018】、【図5】（ファミリーなし）	1, 2, 12-16, 18 -20									
Y	JP 2009-192822 A（東芝モバイルディスプレイ株式会社） 2009.08.27, 段落【0009】、【0010】、【0016】、【0020】、 【0021】、【0039】、【図4】 & US 2009/0207363 A1	1, 2, 12-16, 18 -20									
Y	JP 2006-53592 A（エルジー フィリップス エルシーディー カン パニー リミテッド）2006.02.23, 段落【0016】－【0025】、	18-20									
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。											
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願 の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献											
国際調査を完了した日 06.03.2012		国際調査報告の発送日 13.03.2012									
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） ▲高▼木 尚哉 電話番号 03-3581-1101 内線 3255	2L 3611								

国際調査報告

国際出願番号 PCT/J P 2 0 1 2 / 0 5 3 5 4 5

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
	【図2】 (ファミリーなし)	
Y	JP 2001-282205 A (松下電器産業株式会社) 2001.10.12, 【請求項5】 、段落 【0011】 － 【0013】 (ファミリーなし)	20
Y	JP 2009-244287 A (東芝モバイルディスプレイ株式会社) 2009.10.22, 段落 【0009】 (ファミリーなし)	20
A	JP 2002-40457 A (三洋電機株式会社) 2002.02.06, 【請求項4】 、段落 【0018】 － 【0032】 、 【図1】 、 【図6】 (ファミリーなし)	1-20

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN

(72)発明者 武田 有広

日本国東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内

(72)発明者 森本 浩和

日本国東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内

Fターム(参考) 2H092 GA13 JA25 JB04 JB05 JB14 NA01

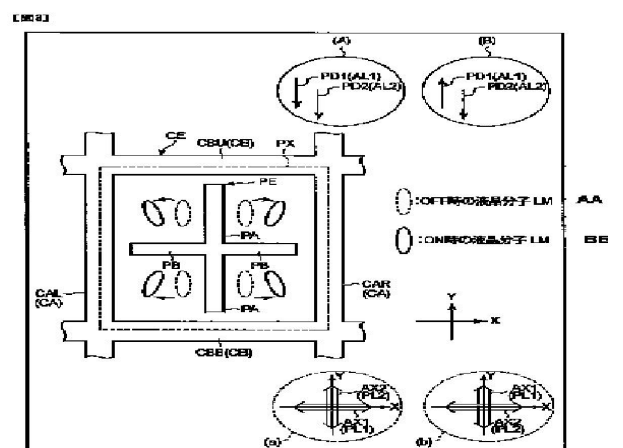
2H192 AA24 BB21 BB32 BB52 BC31 CB02 JA33

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	液晶表示装置		
公开(公告)号	JPWO2012137541A1	公开(公告)日	2014-07-28
申请号	JP2013508784	申请日	2012-02-15
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	廣澤仁 武田有広 森本浩和		
发明人	廣澤 仁 武田 有広 森本 浩和		
IPC分类号	G02F1/1368 G02F1/1343		
CPC分类号	G09G3/3611 G02F1/133707 G02F1/134336 G02F1/134363 G02F1/136213 G02F1/1368 G02F2001/134318		
FI分类号	G02F1/1368 G02F1/1343		
F-TERM分类号	2H092/GA13 2H092/JA25 2H092/JB04 2H092/JB05 2H092/JB14 2H092/NA01 2H192/AA24 2H192/BB21 2H192/BB32 2H192/BB52 2H192/BC31 2H192/CB02 2H192/JA33		
代理人(译)	河野 哲		
优先权	2011086561 2011-04-08 JP		
其他公开文献	JP5707488B2		
外部链接	Espacenet		

摘要(译)

分别沿着第一方向延伸的栅极线和辅助电容线，沿着与第一方向相交的第二方向延伸的第一源极线和第二源极线以及第一源极线条形的主像素电极位于第二源极布线和第二源极布线之间并沿第二方向延伸，并连接到主像素电极，并指向第一源极布线和第二源极布线。沿每个方向延伸的带状子像素电极，以及第一基板，其具有第一取向膜，该第一取向膜由水平取向的材料形成并覆盖主像素电极和子像素电极，以及第二主公共电极在主像素电极的两侧沿第二方向延伸，第二主公共电极连接在第二主公共电极上并在子像素电极的两侧沿第一方向延伸。它由第二个子公共电极和显示水平对齐的材料形成。第二基板具有覆盖第二主共用电极和第二副共用电极的第二取向膜，以及在第一基板和第二基板之间保持有包含液晶分子的液晶。一种液晶显示装置，包括：层。



AA Liquid crystal molecule (LM) when OFF
BB Liquid crystal molecule (LM) when ON