

(19) 日本国特許庁(JP)

再 公 表 特 許(A1)

(11) 国際公開番号

W02012/137540

発行日 平成26年7月28日(2014. 7. 28)

(43) 国際公開日 平成24年10月11日(2012. 10. 11)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1343 (2006.01)	GO2F 1/1343	2H092
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H192

審査請求 有 予備審査請求 未請求 (全 33 頁)

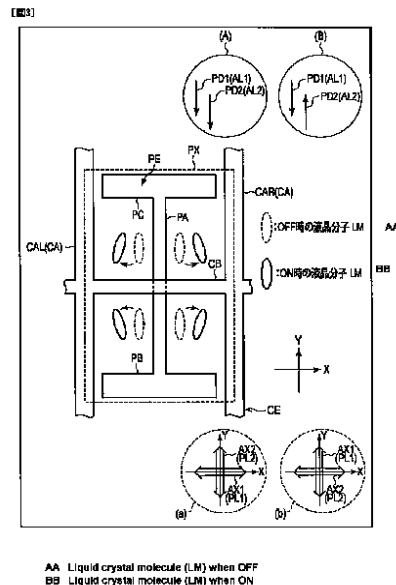
出願番号	特願2013-508783 (P2013-508783)	(71) 出願人	502356528 株式会社ジャパンディスプレイ 東京都港区西新橋三丁目7番1号
(21) 国際出願番号	PCT/JP2012/053544	(74) 代理人	110001737 特許業務法人スズエ国際特許事務所
(22) 国際出願日	平成24年2月15日(2012. 2. 15)	(74) 代理人	100091351 弁理士 河野 哲
(31) 優先権主張番号	特願2011-86560 (P2011-86560)	(74) 代理人	100084618 弁理士 村松 貞男
(32) 優先日	平成23年4月8日(2011. 4. 8)	(74) 代理人	100087653 弁理士 鈴江 正二
(33) 優先権主張国	日本国(JP)	(72) 発明者	廣澤 仁 日本国東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

第1方向に沿ってそれぞれ延出した第1補助容量線及び第2補助容量線と、第1方向に沿って延出し前記第1補助容量線と前記第2補助容量線との間に位置するゲート配線と、第1方向に交差する第2方向に沿ってそれぞれ延出した第1ソース配線及び第2ソース配線と、前記第1ソース配線と前記第2ソース配線との間に位置し第2方向に沿って延出した帯状の主画素電極と、前記主画素電極に繋が前記第1補助容量線と対向し第1方向に沿って延出した帯状の第1副画素電極と、前記主画素電極に繋が前記第1副画素電極から離間し第1方向に沿って延出した帯状の第2副画素電極と、水平配向性を示す材料によって形成され前記主画素電極、前記第1副画素電極、及び、前記第2副画素電極を覆う第1配向膜と、を備えた第1基板と、前記主画素電極を挟んだ両側で第2方向に沿ってそれぞれ延出した第2主共通電極と、前記第2主共通電極に繋が前記第1副画素電極と前記第2副画素電極との間で第1方向に沿って延出した第2副共通電極と、水平配向性を示す材料によって形成され前記第2主共通電極及び前記第2副共通電極を覆う第2



AA Liquid crystal molecule (LM) when OFF
BB Liquid crystal molecule (LM) when ON

【特許請求の範囲】

【請求項 1】

第 1 方向に沿ってそれぞれ延出した第 1 補助容量線及び第 2 補助容量線と、第 1 方向に沿って延出し前記第 1 補助容量線と前記第 2 補助容量線との間に位置するゲート配線と、第 1 方向に交差する第 2 方向に沿ってそれぞれ延出した第 1 ソース配線及び第 2 ソース配線と、前記第 1 ソース配線と前記第 2 ソース配線との間に位置し第 2 方向に沿って延出した帯状の主画素電極と、前記主画素電極に繋がり前記第 1 補助容量線と対向し第 1 方向に沿って延出した帯状の第 1 副画素電極と、前記主画素電極に繋がり前記第 1 副画素電極から離間し第 1 方向に沿って延出した帯状の第 2 副画素電極と、水平配向性を示す材料によって形成され前記主画素電極、前記第 1 副画素電極、及び、前記第 2 副画素電極を覆う第 1 配向膜と、を備えた第 1 基板と、

10

前記主画素電極を挟んだ両側で第 2 方向に沿ってそれぞれ延出した第 2 主共通電極と、前記第 2 主共通電極に繋がり前記第 1 副画素電極と前記第 2 副画素電極との間で第 1 方向に沿って延出した第 2 副共通電極と、水平配向性を示す材料によって形成され前記第 2 主共通電極及び前記第 2 副共通電極を覆う第 2 配向膜と、を備えた第 2 基板と、

前記第 1 基板と前記第 2 基板との間に保持された液晶分子を含む液晶層と、
を備えたことを特徴とする液晶表示装置。

【請求項 2】

前記主画素電極と前記第 2 主共通電極との間に電界が形成されていない状態で、前記液晶分子の初期配向方向は、第 2 方向に略平行であることを特徴とする請求項 1 に記載の液晶表示装置。

20

【請求項 3】

前記第 1 基板は、さらに、前記第 1 ソース配線及び前記第 2 ソース配線とそれぞれ対向し第 2 方向に沿って延出し前記第 1 配向膜によって覆われ前記第 2 主共通電極と同電位の第 1 主共通電極を備えたことを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 4】

前記第 1 基板は、さらに、前記ゲート配線と対向し第 1 方向に沿って延出し前記第 1 配向膜によって覆われ前記第 2 主共通電極と同電位の第 1 副共通電極を備えたことを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 5】

前記第 1 基板は、さらに、前記ゲート配線と対向し第 1 方向に沿って延出し前記第 1 配向膜によって覆われ前記第 2 主共通電極と同電位の第 1 副共通電極と、前記第 1 副共通電極と繋がり前記第 1 ソース配線及び前記第 2 ソース配線とそれぞれ対向し第 2 方向に沿って延出し前記第 1 配向膜によって覆われた第 1 主共通電極と、を備えたことを特徴とする請求項 2 に記載の液晶表示装置。

30

【請求項 6】

第 1 方向に沿ってそれぞれ延出した第 1 補助容量線及び第 2 補助容量線と、第 1 方向に沿って延出し前記第 1 補助容量線と前記第 2 補助容量線との間に位置するゲート配線と、第 1 方向に交差する第 2 方向に沿ってそれぞれ延出した第 1 ソース配線及び第 2 ソース配線と、前記第 1 ソース配線と前記第 2 ソース配線との間に位置し第 2 方向に沿って延出した帯状の主画素電極と、前記主画素電極に繋がり前記第 1 補助容量線と対向し第 1 方向に沿って延出した帯状の第 1 副画素電極と、前記主画素電極に繋がり前記第 1 副画素電極から離間し第 1 方向に沿って延出した帯状の第 2 副画素電極と、前記第 1 ソース配線及び前記第 2 ソース配線とそれぞれ対向し第 2 方向に沿って延出した第 1 主共通電極と、水平配向性を示す材料によって形成され前記主画素電極、前記第 1 副画素電極、前記第 2 副画素電極、及び、前記第 1 主共通電極を覆う第 1 配向膜と、を備えた第 1 基板と、

40

前記第 1 副画素電極と前記第 2 副画素電極との間で第 1 方向に沿って延出した第 2 副共通電極と、水平配向性を示す材料によって形成され前記第 2 副共通電極を覆う第 2 配向膜と、を備えた第 2 基板と、

前記第 1 基板と前記第 2 基板との間に保持された液晶分子を含む液晶層と、

50

を備えたことを特徴とする液晶表示装置。

【請求項 7】

前記主画素電極と前記第 1 主共通電極との間に電界が形成されていない状態で、前記液晶分子の初期配向方向は、第 2 方向に略平行であることを特徴とする請求項 6 に記載の液晶表示装置。

【請求項 8】

前記第 1 基板は、さらに、前記第 1 主共通電極と繋がり前記ゲート配線と対向し第 1 方向に沿って延出し前記第 1 配向膜によって覆われた第 1 副共通電極を備えたことを特徴とする請求項 7 に記載の液晶表示装置。

【請求項 9】

第 1 方向に沿ってそれぞれ延出した第 1 補助容量線及び第 2 補助容量線と、第 1 方向に沿って延出し前記第 1 補助容量線と前記第 2 補助容量線との間に位置するゲート配線と、第 1 方向に交差する第 2 方向に沿ってそれぞれ延出した第 1 ソース配線及び第 2 ソース配線と、前記第 1 ソース配線と前記第 2 ソース配線との間に位置し第 2 方向に沿って延出した帯状の主画素電極と、前記主画素電極に繋がり前記第 1 補助容量線と対向し第 1 方向に沿って延出した帯状の第 1 副画素電極と、前記主画素電極に繋がり前記第 1 副画素電極から離間し第 1 方向に沿って延出した帯状の第 2 副画素電極と、前記ゲート配線と対向し第 1 方向に沿って延出した第 1 副共通電極と、水平配向性を示す材料によって形成され前記主画素電極、前記第 1 副画素電極、前記第 2 副画素電極、及び、前記第 1 副共通電極を覆う第 1 配向膜と、を備えた第 1 基板と、

前記主画素電極を挟んだ両側で第 2 方向に沿ってそれぞれ延出し前記第 1 副共通電極と同電位の第 2 主共通電極と、水平配向性を示す材料によって形成され前記第 2 主共通電極を覆う第 2 配向膜と、を備えた第 2 基板と、

前記第 1 基板と前記第 2 基板との間に保持された液晶分子を含む液晶層と、

を備えたことを特徴とする液晶表示装置。

【請求項 10】

前記主画素電極と前記第 2 主共通電極との間に電界が形成されていない状態で、前記液晶分子の初期配向方向は、第 2 方向に略平行であることを特徴とする請求項 9 に記載の液晶表示装置。

【請求項 11】

前記第 1 基板は、さらに、前記第 1 副共通電極と繋がり前記第 1 ソース配線及び前記第 2 ソース配線とそれぞれ対向し第 2 方向に沿って延出し前記第 1 配向膜によって覆われた第 1 主共通電極を備えたことを特徴とする請求項 10 に記載の液晶表示装置。

【請求項 12】

前記第 2 副画素電極は、前記第 2 補助容量線と前記ゲート配線との間、または、前記第 1 補助容量線と前記ゲート配線との間に位置することを特徴とする請求項 1 乃至 11 のいずれか 1 項に記載の液晶表示装置。

【請求項 13】

前記第 2 副画素電極は、前記第 2 補助容量線の上方に位置することを特徴とする請求項 1 乃至 11 のいずれか 1 項に記載の液晶表示装置。

【請求項 14】

前記第 1 副画素電極は前記主画素電極の一端部に繋がり、前記第 2 副画素電極は前記主画素電極の他端部に繋がったことを特徴とする請求項 1 乃至 11 のいずれか 1 項に記載の液晶表示装置。

【請求項 15】

前記主画素電極は、前記第 1 ソース配線と前記第 2 ソース配線との略中間に位置していることを特徴とする請求項 14 に記載の液晶表示装置。

【請求項 16】

前記第 2 主共通電極は、前記第 1 ソース配線及び前記第 2 ソース配線の上方にそれぞれ位置することを特徴とする請求項 1 乃至 5、9 乃至 11 のいずれか 1 項に記載の液晶表示

10

20

30

40

50

装置。

【請求項 17】

前記第 2 副共通電極は、前記ゲート配線の上方に位置することを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載の液晶表示装置。

【請求項 18】

前記第 1 配向膜が前記液晶分子を初期配向させる第 1 配向処理方向及び前記第 2 配向膜が前記液晶分子を初期配向させる第 2 配向処理方向は互いに略平行であり、

前記液晶分子は、前記第 1 基板と前記第 2 基板との間においてスプレイ配向またはホモジニアス配向していることを特徴とする請求項 1 乃至 11 のいずれか 1 項に記載の液晶表示装置。

10

【請求項 19】

さらに、前記第 1 基板の外面に配置され第 1 偏光軸を備えた第 1 偏光板と、第 2 基板の外面に配置され第 1 偏光軸とクロスニコルの位置関係にある第 2 偏光軸を備えた第 2 偏光板を備え、前記第 1 偏光板の第 1 偏光軸が前記液晶分子の初期配向方向と直交する或いは平行であることを特徴とする請求項 18 に記載の液晶表示装置。

【請求項 20】

前記第 1 基板は、容量結合ドット反転駆動を行うための駆動機構を備えたことを特徴とする請求項 1 乃至 11 のいずれか 1 項に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明の実施形態は、液晶表示装置に関する。

【背景技術】

【0002】

近年、平面表示装置が盛んに開発されており、中でも液晶表示装置は、軽量、薄型、低消費電力等の利点から特に注目を集めている。特に、各画素にスイッチング素子を組み込んだアクティブマトリクス型液晶表示装置においては、IPS (In-Plane Switching) モードや FFS (Fringe Field Switching) モードなどの横電界 (フリンジ電界も含む) を利用した構造が注目されている。このような横電界モードの液晶表示装置は、アレイ基板に形成された画素電極と対向電極とを備え、アレイ基板の主面に対してほぼ平行な横電界で液晶分子をスイッチングする。

30

【0003】

一方で、アレイ基板に形成された画素電極と、対向基板に形成された対向電極との間に、横電界あるいは斜め電界を形成し、液晶分子をスイッチングする技術も提案されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2009 - 192822 号公報

【特許文献 2】特開平 9 - 160041 号公報

40

【特許文献 3】US 6,657,693 B1

【発明の概要】

【発明が解決しようとする課題】

【0005】

本実施形態の目的は、表示品位の良好な液晶表示装置を提供することにある。

【課題を解決するための手段】

【0006】

本実施形態によれば、

第 1 方向に沿ってそれぞれ延出した第 1 補助容量線及び第 2 補助容量線と、第 1 方向に沿って延出し前記第 1 補助容量線と前記第 2 補助容量線との間に位置するゲート配線と、

50

第 1 方向に交差する第 2 方向に沿ってそれぞれ延出した第 1 ソース配線及び第 2 ソース配線と、前記第 1 ソース配線と前記第 2 ソース配線との間に位置し第 2 方向に沿って延出した帯状の主画素電極と、前記主画素電極に繋がり前記第 1 補助容量線と対向し第 1 方向に沿って延出した帯状の第 1 副画素電極と、前記主画素電極に繋がり前記第 1 副画素電極から離間し第 1 方向に沿って延出した帯状の第 2 副画素電極と、水平配向性を示す材料によって形成され前記主画素電極、前記第 1 副画素電極、及び、前記第 2 副画素電極を覆う第 1 配向膜と、を備えた第 1 基板と、前記主画素電極を挟んだ両側で第 2 方向に沿ってそれぞれ延出した第 2 主共通電極と、前記第 2 主共通電極に繋がり前記第 1 副画素電極と前記第 2 副画素電極との間で第 1 方向に沿って延出した第 2 副共通電極と、水平配向性を示す材料によって形成され前記第 2 主共通電極及び前記第 2 副共通電極を覆う第 2 配向膜と、を備えた第 2 基板と、前記第 1 基板と前記第 2 基板との間に保持された液晶分子を含む液晶層と、を備えたことを特徴とする液晶表示装置が提供される。

10

【0007】

本実施形態によれば、

第 1 方向に沿ってそれぞれ延出した第 1 補助容量線及び第 2 補助容量線と、第 1 方向に沿って延出し前記第 1 補助容量線と前記第 2 補助容量線との間に位置するゲート配線と、第 1 方向に交差する第 2 方向に沿ってそれぞれ延出した第 1 ソース配線及び第 2 ソース配線と、前記第 1 ソース配線と前記第 2 ソース配線との間に位置し第 2 方向に沿って延出した帯状の主画素電極と、前記主画素電極に繋がり前記第 1 補助容量線と対向し第 1 方向に沿って延出した帯状の第 1 副画素電極と、前記主画素電極に繋がり前記第 1 副画素電極から離間し第 1 方向に沿って延出した帯状の第 2 副画素電極と、前記第 1 ソース配線及び前記第 2 ソース配線とそれぞれ対向し第 2 方向に沿って延出した第 1 主共通電極と、水平配向性を示す材料によって形成され前記主画素電極、前記第 1 副画素電極、前記第 2 副画素電極、及び、前記第 1 主共通電極を覆う第 1 配向膜と、を備えた第 1 基板と、前記第 1 副画素電極と前記第 2 副画素電極との間で第 1 方向に沿って延出した第 2 副共通電極と、水平配向性を示す材料によって形成され前記第 2 副共通電極を覆う第 2 配向膜と、を備えた第 2 基板と、前記第 1 基板と前記第 2 基板との間に保持された液晶分子を含む液晶層と、を備えたことを特徴とする液晶表示装置が提供される。

20

【0008】

本実施形態によれば、

第 1 方向に沿ってそれぞれ延出した第 1 補助容量線及び第 2 補助容量線と、第 1 方向に沿って延出し前記第 1 補助容量線と前記第 2 補助容量線との間に位置するゲート配線と、第 1 方向に交差する第 2 方向に沿ってそれぞれ延出した第 1 ソース配線及び第 2 ソース配線と、前記第 1 ソース配線と前記第 2 ソース配線との間に位置し第 2 方向に沿って延出した帯状の主画素電極と、前記主画素電極に繋がり前記第 1 補助容量線と対向し第 1 方向に沿って延出した帯状の第 1 副画素電極と、前記主画素電極に繋がり前記第 1 副画素電極から離間し第 1 方向に沿って延出した帯状の第 2 副画素電極と、前記ゲート配線と対向し第 1 方向に沿って延出した第 1 副共通電極と、水平配向性を示す材料によって形成され前記主画素電極、前記第 1 副画素電極、前記第 2 副画素電極、及び、前記第 1 副共通電極を覆う第 1 配向膜と、を備えた第 1 基板と、前記主画素電極を挟んだ両側で第 2 方向に沿ってそれぞれ延出し前記第 1 副共通電極と同電位の第 2 主共通電極と、水平配向性を示す材料によって形成され前記第 2 主共通電極を覆う第 2 配向膜と、を備えた第 2 基板と、前記第 1 基板と前記第 2 基板との間に保持された液晶分子を含む液晶層と、を備えたことを特徴とする液晶表示装置が提供される。

30

40

【図面の簡単な説明】

【0009】

【図 1】図 1 は、本実施形態における液晶表示装置の構成を概略的に示す図である。

【図 2】図 2 は、図 1 に示した液晶表示パネルの構成及び等価回路を概略的に示す図である。

【図 3】図 3 は、本実施形態の基本構成について一画素における最小の単位構成体を概略

50

的に示す平面図である。

【図４】図４は、スイッチング素子を含む液晶表示パネルの断面を概略的に示す断面図である。

【図５】図５は、本実施形態の第１構成例における液晶表示パネルの対向基板における一画素の構造を概略的に示す平面図である。

【図６】図６は、本実施形態の第１構成例における液晶表示パネルの一画素を対向基板側から見たときのアレイ基板の構造を概略的に示す平面図である。

【図７】図７は、本実施形態の第２構成例における液晶表示パネルの対向基板における一画素の構造を概略的に示す平面図である。

【図８】図８は、本実施形態の第２構成例における液晶表示パネルの一画素を対向基板側から見たときのアレイ基板の構造を概略的に示す平面図である。

【図９】図９は、本実施形態の第３構成例における液晶表示パネルの対向基板における一画素の構造を概略的に示す平面図である。

【図１０】図１０は、本実施形態の第３構成例における液晶表示パネルの一画素を対向基板側から見たときのアレイ基板の構造を概略的に示す平面図である。

【図１１】図１１は、本実施形態の第４構成例における液晶表示パネルの一画素を対向基板側から見たときのアレイ基板の構造を概略的に示す平面図である。

【図１２】図１２は、第１乃至第４構成例で説明したアレイ基板と、第１乃至第３構成例で説明した対向基板との組み合わせをまとめた図である。

【図１３】図１３は、本実施形態のバリエーションのひとつを概略的に示す平面図である。

【図１４】図１４は、本実施形態の他のバリエーションを概略的に示す平面図である。

【図１５】図１５は、本実施形態において適用可能な、画素電極と、ゲート配線、及び、補助容量線との位置関係を説明するための図である。

【発明を実施するための形態】

【００１０】

以下、本実施形態について、図面を参照しながら詳細に説明する。なお、各図において、同一又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する説明は省略する。

【００１１】

図１は、本実施形態における液晶表示装置１の構成を概略的に示す図である。

【００１２】

すなわち、液晶表示装置１は、アクティブマトリクスタイプの液晶表示パネルＬＰＮ、液晶表示パネルＬＰＮに接続された駆動ＩＣチップ２及びフレキシブル配線基板３、液晶表示パネルＬＰＮを照明するバックライト４などを備えている。

【００１３】

液晶表示パネルＬＰＮは、第１基板であるアレイ基板ＡＲと、アレイ基板ＡＲに対向して配置された第２基板である対向基板ＣＴと、これらのアレイ基板ＡＲと対向基板ＣＴとの間に保持された図示しない液晶層と、を備えて構成されている。このような液晶表示パネルＬＰＮは、画像を表示するアクティブエリアＡＣＴを備えている。このアクティブエリアＡＣＴは、 $m \times n$ 個のマトリクス状に配置された複数の画素ＰＸによって構成されている（但し、 m 及び n は正の整数である）。

【００１４】

バックライト４は、図示した例では、アレイ基板ＡＲの背面側に配置されている。このようなバックライト４としては、種々の形態が適用可能であり、また、光源として発光ダイオード（ＬＥＤ）を利用したものや冷陰極管（ＣＣＦＬ）を利用したものなどのいずれでも適用可能であり、詳細な構造については説明を省略する。

【００１５】

図２は、図１に示した液晶表示パネルＬＰＮの構成及び等価回路を概略的に示す図である。

10

20

30

40

50

【 0 0 1 6 】

液晶表示パネル L P N は、アクティブエリア A C T において、 n 本のゲート配線 G ($G_1 \sim G_n$)、 n 本の補助容量線 C ($C_1 \sim C_n$)、 m 本のソース配線 S ($S_1 \sim S_m$)などを備えている。ゲート配線 G 及び補助容量線 C は、例えば、第 1 方向 X に沿って略直線的に延出している。これらのゲート配線 G 及び補助容量線 C は、第 1 方向 X に交差する第 2 方向 Y に沿って間隔をおいて隣接し、交互に並列配置されている。ここでは、第 1 方向 X と第 2 方向 Y とは互いに直交している。ソース配線 S は、ゲート配線 G 及び補助容量線 C と交差している。ソース配線 S は、第 2 方向 Y に沿って略直線的に延出している。なお、ゲート配線 G、補助容量線 C、及び、ソース配線 S は、必ずしも直線的に延出していても良く、それらの一部が屈曲していてもよい。

10

【 0 0 1 7 】

各ゲート配線 G は、アクティブエリア A C T の外側に引き出され、ゲートドライバ G D に接続されている。各ソース配線 S は、アクティブエリア A C T の外側に引き出され、ソースドライバ S D に接続されている。これらのゲートドライバ G D 及びソースドライバ S D の少なくとも一部は、例えば、アレイ基板 A R に形成され、コントローラを内蔵した駆動 I C チップ 2 と接続されている。

【 0 0 1 8 】

各画素 P X は、スイッチング素子 S W、画素電極 P E、共通電極 C E などを備えている。保持容量 C s は、例えば補助容量線 C と画素電極 P E との間に形成される。補助容量線 C は、補助容量電圧が印加される電圧印加部 V C S と電氣的に接続されている。

20

【 0 0 1 9 】

なお、本実施形態においては、液晶表示パネル L P N は、画素電極 P E がアレイ基板 A R に形成される一方で共通電極 C E の少なくとも一部が対向基板 C T に形成された構成であり、これらの画素電極 P E と共通電極 C E との間に形成される電界を主に利用して液晶層 L Q の液晶分子をスイッチングする。画素電極 P E と共通電極 C E との間に形成される電界は、第 1 方向 X と第 2 方向 Y とで規定される X - Y 平面あるいはアレイ基板 A R の基板主面あるいは対向基板 C T の基板主面に対してわずかに傾いた斜め電界（あるいは、基板主面にほぼ平行な横電界）である。

【 0 0 2 0 】

スイッチング素子 S W は、例えば、 n チャネル薄膜トランジスタ (T F T) によって構成されている。このスイッチング素子 S W は、ゲート配線 G 及びソース配線 S と電氣的に接続されている。アクティブエリア A C T には、 $m \times n$ 個のスイッチング素子 S W が形成されている。

30

【 0 0 2 1 】

画素電極 P E は、各画素 P X に配置され、スイッチング素子 S W に電氣的に接続されている。アクティブエリア A C T には、 $m \times n$ 個の画素電極 P E が形成されている。共通電極 C E は、例えばコモン電位であり、液晶層 L Q を介して複数の画素 P X の画素電極 P E に対して共通に配置されている。

【 0 0 2 2 】

アレイ基板 A R は、共通電極 C E に電圧を印加するための給電部 V S を備えている。この給電部 V S は、例えば、アクティブエリア A C T の外側に形成されている。共通電極 C E のうち、対向基板 C T に形成された共通電極 C E の少なくとも一部は、アクティブエリア A C T の外側に引き出され、図示しない導電部材を介して、アレイ基板 A R に形成された給電部 V S と電氣的に接続されている。なお、共通電極 C E の一部がアレイ基板 A R に形成された場合には、アレイ基板 A R に形成された共通電極 C E の一部は例えばアクティブエリア A C T の外側で給電部 V S と電氣的に接続されている。

40

【 0 0 2 3 】

以下に、本実施形態の基本構成について説明する。

【 0 0 2 4 】

図 3 は、一画素 P X における最小の単位構成体を概略的に示す平面図である。

50

【 0 0 2 5 】

画素電極 P E は、主画素電極 P A、第 1 副画素電極 P B、及び、第 2 副画素電極 P C を有している。これらの主画素電極 P A、第 1 副画素電極 P B、及び、第 2 副画素電極 P C は、互いに電氣的に接続されている。本実施形態においては、主画素電極 P A、第 1 副画素電極 P B、及び、第 2 副画素電極 P C がいずれもアレイ基板 A R に備えられている。主画素電極 P A は、第 2 方向 Y に沿って延出している。第 1 副画素電極 P B 及び第 2 副画素電極 P C は、第 2 方向 Y とは異なる第 1 方向 X に沿って延出している。第 2 副画素電極 P C は、第 1 副画素電極 P B から離間している。

【 0 0 2 6 】

図示した例では、画素電極 P E は、略 I 字状に形成されている。より具体的には、主画素電極 P A は、略画素中央部において第 2 方向 Y に沿って直線的に延出した帯状に形成されている。第 1 副画素電極 P B 及び第 2 副画素電極 P C は、それぞれ画素 P X の上側端部及び下側端部において第 1 方向 X に沿って直線的に延出した帯状に形成されている。

【 0 0 2 7 】

なお、第 1 副画素電極 P B 及び第 2 副画素電極 P C は、それぞれ当該画素 P X と上下に隣接する画素間に配置されても良い。つまり、第 1 副画素電極 P B は図示した当該画素 P X とその下側の画素（図示せず）との境界に跨って配置されても良いし、第 2 副画素電極 P C は図示した当該画素 P X とその上側の画素（図示せず）との境界に跨って配置されても良い

第 1 副画素電極 P B は、例えば主画素電極 P A の一端部に結合し、主画素電極 P A からその両側に向かって延出している。第 2 副画素電極 P C は、例えば主画素電極 P A の他端部に結合し、主画素電極 P A からその両側に向かって延出している。これらの第 1 副画素電極 P B 及び第 2 副画素電極 P C は、主画素電極 P A と略直交している。なお、第 1 副画素電極 P B は主画素電極 P A の一端部よりもわずかに他端部寄りに結合していても良いし、同様に、第 2 副画素電極 P C は主画素電極 P A の他端部よりもわずかに一端部寄りに結合していても良い。画素電極 P E は、例えば、第 2 副画素電極 P C において図示を省略したスイッチング素子と電氣的に接続されている。

【 0 0 2 8 】

共通電極 C E は、主共通電極 C A 及び副共通電極 C B を有している。これらの主共通電極 C A 及び副共通電極 C B は、互いに電氣的に接続されている。このような共通電極 C E は、画素電極 P E とは電氣的に絶縁されている。本実施形態においては、共通電極 C E において、主共通電極 C A 及び副共通電極 C B の少なくとも一部は、対向基板 C T に備えられている。

【 0 0 2 9 】

主共通電極 C A は、第 2 方向 Y に沿って延出している。この主共通電極 C A は、主画素電極 P A を挟んだ両側に配置されている。このとき、X - Y 平面内において、主共通電極 C A のいずれも主画素電極 P A とは重ならず、主共通電極 C A のそれぞれと主画素電極 P A との間には略等しい間隔が形成されている。つまり、主画素電極 P A は、隣接する主共通電極 C A の略中間に位置している。

【 0 0 3 0 】

副共通電極 C B は、第 1 方向 X に沿って延出している。副共通電極 C B は、第 1 副画素電極 P B と第 2 副画素電極 P C との間に配置されている。このとき、X - Y 平面内において、副共通電極 C B のいずれも第 1 副画素電極 P B 及び第 2 副画素電極 P C とは重ならず、第 1 副画素電極 P B 及び第 2 副画素電極 P C のそれぞれと副共通電極 C B との間には略等しい間隔が形成されている。つまり、副共通電極 C B は、第 1 副画素電極 P B と第 2 副画素電極 P C との略中間に位置している。

【 0 0 3 1 】

図示した例では、主共通電極 C A は、第 2 方向 Y に沿って直線的に延出した帯状に形成されている。副共通電極 C B は、第 1 方向 X に沿って直線的に延出した帯状に形成されている。なお、主共通電極 C A は第 1 方向 X に沿って間隔をおいて 2 本平行に並んでおり、

10

20

30

40

50

以下では、これらを区別するために、図中の左側の主共通電極をC A Lと称し、図中の右側の主共通電極をC A Rと称する。主共通電極C A L及び主共通電極C A Rは、副共通電極C Bと同電位である。図示した例では、主共通電極C A L及び主共通電極C A Rは、副共通電極C Bとそれぞれ繋がっている。

【0032】

主共通電極C A L及び主共通電極C A Rは、それぞれ当該画素P Xと左右に隣接する画素間に配置されている。すなわち、主共通電極C A Lは図示した当該画素P Xとその左側の画素（図示せず）との境界に跨って配置され、主共通電極C A Rは図示した当該画素P Xとその右側の画素（図示せず）との境界に跨って配置されている。

【0033】

10

副共通電極C Bは、当該画素P Xの略中央を横切っている。

【0034】

隣接する主共通電極C A L及び主共通電極C A Rの間には、1本の主画素電極P Aが位置している。このため、主共通電極C A L、主画素電極P A、及び、主共通電極C A Rは、第1方向Xに沿ってこの順に配置されている。つまり、主画素電極P Aと主共通電極C Aとは第1方向Xに沿って交互に配置されている。これらの主画素電極P Aと、主共通電極C A L及び主共通電極C A Rとは、互いに略平行に配置されている。また、主共通電極C A Lと主画素電極P Aとの第1方向Xに沿った距離は、主共通電極C A Rと主画素電極P Aとの第1方向Xに沿った距離と略同等である。

【0035】

20

隣接する第1副画素電極P B及び第2副画素電極P Cの間には、1本の副共通電極C Bが位置している。このため、第1副画素電極P B、副共通電極C B、及び、第2副画素電極P Cは、第2方向Yに沿ってこの順に配置されている。つまり、第1副画素電極P B及び第2副画素電極P Cと副共通電極C Bとは第2方向Yに沿って交互に配置されている。これらの第1副画素電極P B、副共通電極C B、及び、第2副画素電極P Cは、互いに略平行に配置されている。また、第1副画素電極P Bと副共通電極C Bとの第2方向Yに沿った距離は、第2副画素電極P Cと副共通電極C Bとの第2方向Yに沿った距離と略同等である。

【0036】

つまり、図示した例では、一画素P Xにおいて、画素電極P Eと共通電極C Eとで区画された4つの領域が主として表示に寄与する開口部あるいは透過部として形成される。

30

【0037】

ここに示した例では、液晶分子L Mの初期配向方向は、例えば、第2方向Yと略平行な方向である。

【0038】

なお、ここでは詳述しないが、主共通電極C Aの少なくとも1つは、主共通電極C Aと略平行に（あるいは第2方向Yに沿って）延出するソース配線Sと対向していてもよい。また、第1副画素電極P B、第2副画素電極P C、及び、副共通電極C Bのいずれか1つは、これらと略平行に（あるいは第1方向Xに沿って）延出するゲート配線Gや補助容量線Cと対向していてもよい。

40

【0039】

また、後に詳述するが、主共通電極C Aは、アレイ基板A Rに備えられた第1主共通電極C A 1、及び、対向基板C Tに備えられた第2主共通電極C A 2の少なくとも一方を含んでいてもよい。また、副共通電極C Bは、アレイ基板A Rに備えられた第1副共通電極C B 1、及び、対向基板C Tに備えられた第2副共通電極C B 2の少なくとも一方を含んでいてもよい。第1主共通電極C A 1、第2主共通電極C A 2、第1副共通電極C B 1、及び、第2副共通電極C B 2は、いずれも同電位である。

【0040】

図4は、スイッチング素子S Wを含む液晶表示パネルL P Nの断面を概略的に示す断面図である。なお、ここでは、共通電極の図示を省略し、説明に必要な箇所のみを図示して

50

いる。

【 0 0 4 1 】

液晶表示パネル L P N を構成するアレイ基板 A R の背面側には、バックライト 4 が配置されている。

【 0 0 4 2 】

アレイ基板 A R は、例えば、ガラス基板やプラスチック基板などの光透過性を有する第 1 絶縁基板 1 0 を用いて形成されている。このアレイ基板 A R は、第 1 絶縁基板 1 0 の対向基板 C T に対向する側に、スイッチング素子 S W 、画素電極 P E 、第 1 配向膜 A L 1 などを用意している。

【 0 0 4 3 】

図示した例では、スイッチング素子 S W は、トップゲート型の薄膜トランジスタであるが、ボトムゲート型の薄膜トランジスタであっても良い。また、スイッチング素子 S W の半導体層 S C は、例えば、ポリシリコンによって形成されているが、アモルファスシリコンによって形成されていても良い。

【 0 0 4 4 】

半導体層 S C は、チャンネル領域 S C C を挟んだ両側にそれぞれソース領域 S C S 及びドレイン領域 S C D を有している。なお、第 1 絶縁基板 1 0 と半導体層 S C との間には、絶縁膜であるアンダーコート層が介在していても良い。半導体層 S C は、ゲート絶縁膜 1 1 によって覆われている。また、ゲート絶縁膜 1 1 は、第 1 絶縁基板 1 0 の上にも配置されている。

【 0 0 4 5 】

スイッチング素子 S W のゲート電極 W G は、ゲート絶縁膜 1 1 の上に形成され、半導体層 S C のチャンネル領域 S C C の上方に位置している。また、ゲート配線 G 及び補助容量線 C も、ゲート絶縁膜 1 1 の上に形成されている。これらのゲート電極 W G 、ゲート配線 G 及び補助容量線 C は、同一材料を用いて同一工程で形成可能である。ゲート電極 W G は、ゲート配線 G と電氣的に接続されている。

【 0 0 4 6 】

ゲート電極 W G 、ゲート配線 G 及び補助容量線 C は、第 1 層間絶縁膜 1 2 によって覆われている。また、この第 1 層間絶縁膜 1 2 は、ゲート絶縁膜 1 1 の上にも配置されている。これらのゲート絶縁膜 1 1 及び第 1 層間絶縁膜 1 2 は、例えば、酸化シリコン及び窒化シリコンなどの無機系材料によって形成されている。

【 0 0 4 7 】

スイッチング素子 S W のソース電極 W S 及びドレイン電極 W D は、第 1 層間絶縁膜 1 2 の上に形成されている。また、ソース配線 S も、第 1 層間絶縁膜 1 2 の上に形成されている。これらのソース電極 W S 、ドレイン電極 W D 、及び、ソース配線 S は、同一材料を用いて同一工程で形成可能である。ソース電極 W S は、ソース配線 S と電氣的に接続されている。

【 0 0 4 8 】

ソース電極 W S は、ゲート絶縁膜 1 1 及び第 1 層間絶縁膜 1 2 を貫通するコンタクトホールを通して半導体層 S C のソース領域 S C S にコンタクトしている。ドレイン電極 W D は、ゲート絶縁膜 1 1 及び第 1 層間絶縁膜 1 2 を貫通するコンタクトホールを通して半導体層 S C のドレイン領域 S C D にコンタクトしている。これらのゲート電極 W G 、ゲート配線 G 、補助容量線 C 、ソース電極 W S 、ドレイン電極 W D 、及び、ソース配線 S は、例えば、モリブデン、アルミニウム、タングステン、チタンなどの導電材料によって形成されている。

【 0 0 4 9 】

このような構成のスイッチング素子 S W は、第 2 層間絶縁膜 1 3 によって覆われている。つまり、ソース電極 W S 、ドレイン電極 W D 、及び、ソース配線 S は、第 2 層間絶縁膜 1 3 によって覆われている。また、この第 2 層間絶縁膜 1 3 は、第 1 層間絶縁膜 1 2 の上にも配置されている。この第 2 層間絶縁膜 1 3 は、例えば、紫外線硬化型樹脂や熱硬化型

10

20

30

40

50

樹脂などの各種有機材料によって形成されている。

【 0 0 5 0 】

画素電極 P E は、第 2 層間絶縁膜 1 3 の上に形成されている。詳述しないが、画素電極 P E を構成する主画素電極 P A、第 1 副画素電極 P B、及び、第 2 副画素電極 P C は、第 2 層間絶縁膜 1 3 の上に形成されている。この画素電極 P E は、第 2 層間絶縁膜 1 3 を貫通するコンタクトホールを介してドレイン電極 W D に接続されている。このような画素電極 P E は、例えば、インジウム・ティン・オキサイド (I T O) やインジウム・ジnk・オキサイド (I Z O) などの光透過性を有する導電材料によって形成されているが、アルミニウムなどの他の金属材料によって形成されても良い。

【 0 0 5 1 】

第 1 配向膜 A L 1 は、アレイ基板 A R の対向基板 C T と対向する面に配置され、アクティブエリア A C T の略全体に亘って延在している。この第 1 配向膜 A L 1 は、画素電極 P E を覆っており、第 2 層間絶縁膜 1 3 の上にも配置されている。このような第 1 配向膜 A L 1 は、水平配向性を示す材料によって形成されている。

【 0 0 5 2 】

なお、アレイ基板 A R は、さらに、共通電極の一部として第 1 主共通電極及び第 1 副共通電極を備えている場合もある。

【 0 0 5 3 】

一方、対向基板 C T は、例えば、ガラス基板やプラスチック基板などの光透過性を有する第 2 絶縁基板 2 0 を用いて形成されている。この対向基板 C T は、第 2 絶縁基板 2 0 のアレイ基板 A R に対向する側に、図示を省略した共通電極のうちの第 2 主共通電極及び第 2 副共通電極の少なくとも一方や、第 2 配向膜 A L 2 などを備えている。また、この対向基板 C T は、図示を省略するが、各画素 P X を区画する（あるいは、ソース配線 S、ゲート配線 G、補助容量線 C、スイッチング素子 S W などの配線部に対向するように配置された）ブラックマトリクスや各画素 P X に対応して配置されたカラーフィルタ層、ブラックマトリクス及びカラーフィルタ層の表面の凹凸の影響を緩和するオーバーコート層などが配置されても良い。

【 0 0 5 4 】

共通電極は、例えば、 I T O や I Z O などの光透過性を有する導電材料によって形成されている。

【 0 0 5 5 】

第 2 配向膜 A L 2 は、対向基板 C T のアレイ基板 A R と対向する面に配置され、アクティブエリア A C T の略全体に亘って延在している。この第 2 配向膜 A L 2 は、共通電極などを覆っている。このような第 2 配向膜 A L 2 は、水平配向性を示す材料によって形成されている。

【 0 0 5 6 】

これらの第 1 配向膜 A L 1 及び第 2 配向膜 A L 2 には、液晶分子 L M を初期配向させるための配向処理（例えば、ラビング処理や光配向処理）がなされている。第 1 配向膜 A L 1 が液晶分子 L M を初期配向させる第 1 配向処理方向 P D 1 は、第 2 配向膜 A L 2 が液晶分子 L M を初期配向させる第 2 配向処理方向 P D 2 と平行である。図 3 の (A) で示した例では、第 1 配向処理方向 P D 1 と第 2 配向処理方向 P D 2 とが互いに略平行であって、ともに同じ向きである。図 3 の (B) で示した例では、第 1 配向処理方向 P D 1 と第 2 配向処理方向 P D 2 とが互いに略平行であって、互いに逆向きである。

【 0 0 5 7 】

上述したようなアレイ基板 A R と対向基板 C T とは、それぞれの第 1 配向膜 A L 1 及び第 2 配向膜 A L 2 が対向するように配置されている。このとき、アレイ基板 A R の第 1 配向膜 A L 1 と対向基板 C T の第 2 配向膜 A L 2 との間には、例えば、樹脂材料によって一方の基板に一体的に形成された柱状スペーサが配置され、これにより、所定のセルギャップ、例えば 2 ~ 7 μm のセルギャップが形成される。アレイ基板 A R と対向基板 C T とは、所定のセルギャップが形成された状態で、アクティブエリア A C T の外側のシール材に

10

20

30

40

50

よって貼り合わせられている。

【0058】

液晶層 L Q は、アレイ基板 A R と対向基板 C T との間に形成されたセルギャップに保持され、第 1 配向膜 A L 1 と第 2 配向膜 A L 2 との間に配置されている。液晶層 L Q は、液晶分子 L M を含んでいる。このような液晶層 L Q は、例えば、誘電率異方性が正（ポジ型）の液晶材料によって構成されている。

【0059】

アレイ基板 A R の外面、つまり、アレイ基板 A R を構成する第 1 絶縁基板 10 の外面には、第 1 光学素子 O D 1 が接着剤などにより貼付されている。この第 1 光学素子 O D 1 は、液晶表示パネル L P N のバックライト 4 と対向する側に位置しており、バックライト 4 から液晶表示パネル L P N に入射する入射光の偏光状態を制御する。この第 1 光学素子 O D 1 は、第 1 偏光軸 A X 1 を有する第 1 偏光板 P L 1 を含んでいる。なお、第 1 偏光板 P L 1 と第 1 絶縁基板 10 との間に位相差板などの他の光学素子が配置されても良い。

10

【0060】

対向基板 C T の外面、つまり、対向基板 C T を構成する第 2 絶縁基板 20 の外面には、第 2 光学素子 O D 2 が接着剤などにより貼付されている。この第 2 光学素子 O D 2 は、液晶表示パネル L P N の表示面側に位置しており、液晶表示パネル L P N から出射した出射光の偏光状態を制御する。この第 2 光学素子 O D 2 は、第 2 偏光軸 A X 2 を有する第 2 偏光板 P L 2 を含んでいる。なお、第 2 偏光板 P L 2 と第 2 絶縁基板 20 との間に位相差板などの他の光学素子が配置されていても良い。

20

【0061】

第 1 偏光板 P L 1 の第 1 偏光軸 A X 1 と、第 2 偏光板 P L 2 の第 2 偏光軸 A X 2 とは、クロスニコルの位置関係にある。このとき、一方の偏光板は、例えば、その偏光軸が液晶分子 L M の初期配向方向つまり第 1 配向処理方向 P D 1 あるいは第 2 配向処理方向 P D 2 と平行または直交するように配置されている。初期配向方向が第 2 方向 Y と平行である場合、一方の偏光板の偏光軸は、第 2 方向 Y と平行、あるいは、第 1 方向 X と平行である。

【0062】

図 3 において、(a) で示した例では、第 1 偏光板 P L 1 は、その第 1 偏光軸 A X 1 が液晶分子 L M の初期配向方向である第 2 方向 Y に対して直交するように配置され、また、第 2 偏光板 P L 2 は、その第 2 偏光軸 A X 2 が液晶分子 L M の初期配向方向に対して平行となるように配置されている。また、図 3 において、(b) で示した例では、第 2 偏光板 P L 2 は、その第 2 偏光軸 A X 2 が液晶分子 L M の初期配向方向である第 2 方向 Y に対して直交するように配置され、また、第 1 偏光板 P L 1 は、その第 1 偏光軸 A X 1 が液晶分子 L M の初期配向方向に対して平行となるように配置されている。

30

【0063】

これにより、ノーマリーブラックモードを実現している。

【0064】

次に、上記構成の液晶表示パネル L P N の動作について説明する。

【0065】

すなわち、液晶層 L Q に電圧が印加されていない状態つまり画素電極 P E と共通電極 C E との間に電界が形成されていない無電界時（OFF 時）には、図 3 において破線で示したように、液晶層 L Q の液晶分子 L M は、その長軸が第 1 配向膜 A L 1 の第 1 配向処理方向 P D 1 及び第 2 配向膜 A L 2 の第 2 配向処理方向 P D 2 を向くように配向している。このような OFF 時が初期配向状態に相当し、OFF 時の液晶分子 L M の配向方向が初期配向方向に相当する。

40

【0066】

なお、厳密には、液晶分子 L M は、X - Y 平面に平行に配向しているとは限らず、ブレチルトしている場合が多い。このため、液晶分子 L M の厳密な初期配向方向とは、OFF 時の液晶分子 L M の配向方向を X - Y 平面に正射影した方向である。しかしながら、説明を簡略にするために、以下では、液晶分子 L M は、X - Y 平面に平行に配向しているもの

50

とし、X - Y 平面と平行な面内で回転するものとして説明する。

【0067】

ここでは、第1配向処理方向PD1及び第2配向処理方向PD2は、ともに第2方向Yと略平行な方向である。OFF時においては、液晶分子LMは、図3に破線で示したように、その長軸が第2方向Yと略平行な方向を向くように初期配向する。つまり、液晶分子LMの初期配向方向は、第2方向Yと平行（あるいは、第2方向Yに対して0°）である。

【0068】

図示した例のように、第1配向処理方向PD1及び第2配向処理方向PD2が平行且つ同じ向きである場合、液晶層LQの断面において、液晶分子LMは、液晶層LQの中間部付近で略水平（プレチルト角が略ゼロ）に配向し、ここを境界として第1配向膜AL1の近傍及び第2配向膜AL2の近傍において対称となるようなプレチルト角を持って配向する（スプレイ配向）。このように液晶分子LMがスプレイ配向している状態では、基板の法線方向から傾いた方向においても第1配向膜AL1の近傍の液晶分子LMと第2配向膜AL2の近傍の液晶分子LMとにより光学的に補償される。したがって、第1配向処理方向PD1及び第2配向処理方向PD2が互いに平行、且つ、同じ向きである場合には、黒表示の場合に光漏れが少なく、高コントラスト比を実現することができ、表示品位を向上することが可能となる。

【0069】

なお、第1配向処理方向PD1及び第2配向処理方向PD2が互いに平行且つ逆向きである場合、液晶層LQの断面において、液晶分子LMは、第1配向膜AL1の近傍、第2配向膜AL2の近傍、及び、液晶層LQの中間部において略均一なプレチルト角を持って配向する（ホモジニアス配向）。

【0070】

バックライト4からのバックライト光の一部は、第1偏光板PL1を透過し、液晶表示パネルLPNに入射する。液晶表示パネルLPNに入射した光は、第1偏光板PL1の第1偏光軸AX1と直交する直線偏光である。このような直線偏光の偏光状態は、OFF時の液晶表示パネルLPNを通過した際にほとんど変化しない。このため、液晶表示パネルLPNを透過した直線偏光は、第1偏光板PL1に対してクロスニコルの位置関係にある第2偏光板PL2によって吸収される（黒表示）。

【0071】

一方、液晶層LQに電圧が印加された状態、つまり、画素電極PEと共通電極CEとの間に電位差が形成された状態（ON時）では、画素電極PEと共通電極CEとの間に基板と略平行な横電界（あるいは斜め電界）が形成される。液晶分子LMは、電界の影響を受け、その長軸が図中の実線で示したようにX - Y平面と略平行な平面内で回転する。

【0072】

図3に示した例では、画素電極PEと主共通電極CALとの間の領域のうち、上側半分の領域内の液晶分子LMは、第2方向Yに対して時計回りに回転し図中の左下を向くように配向し、また、下側半分の領域内の液晶分子LMは、第2方向Yに対して反時計回りに回転し図中の左上を向くように配向する。画素電極PEと主共通電極CARとの間の領域のうち、上側半分の領域内の液晶分子LMは、第2方向Yに対して反時計回りに回転し図中の右下を向くように配向し、下側半分の領域内の液晶分子LMは、第2方向Yに対して時計回りに回転し図中の右上を向くように配向する。

【0073】

このように、各画素PXにおいて、画素電極PEと共通電極CEとの間に電界が形成された状態では、液晶分子LMの配向方向は、画素電極PEと重なる位置を境界として複数の方向に分かれ、それぞれの配向方向でドメインを形成する。つまり、一画素PXには、複数のドメインが形成される。

【0074】

このようなON時には、第1偏光板PL1の第1偏光軸AX1と直交する直線偏光は、

10

20

30

40

50

液晶表示パネル L P N に入射し、その偏光状態は、液晶層 L Q を通過する際に液晶分子 L M の配向状態に応じて変化する。このような O N 時においては、液晶層 L Q を通過した少なくとも一部の光は、第 2 偏光板 P L 2 を透過する（白表示）。

【 0 0 7 5 】

このような本実施形態によれば、一画素内に 4 つのドメインを形成することが可能となるため、4 方向での視野角を光学的に補償することができ、広視野角化が可能となる。したがって、階調反転がなく、高い透過率の表示を実現することができ、表示品位の良好な液晶表示装置を提供することが可能となる。

【 0 0 7 6 】

また、一画素内において、画素電極 P E と共通電極 C E とで区画される 4 つの領域それぞれについて開口部の面積を略同一に設定することにより、各領域の透過率が略同等となり、それぞれの開口部を透過した光が互いに光学的に補償し合い、広い視野角範囲に亘って均一な表示を実現することが可能となる。

【 0 0 7 7 】

また、液晶分子の初期配向状態が基板に対して垂直である垂直配向型の液晶表示装置と比較して、本実施形態は中間調においても視野角が広く輝度が明るいことが確認されている。

【 0 0 7 8 】

なお、O N 時には、画素電極 P E の主画素電極 P A 付近、第 1 副画素電極 P B 付近、及び、第 2 副画素電極 P C 付近、あるいは、共通電極 C E の主共通電極 C A 付近及び副共通電極 C B 付近では、横電界がほとんど形成されない（あるいは、液晶分子 L M を駆動するのに十分な電界が形成されない）ため、液晶分子 L M は、O F F 時と同様に初期配向方向からほとんど動かない。このため、上記のように、画素電極 P E 及び共通電極 C E が光透過性の導電材料によって形成されていても、これらの領域ではバックライト光がほとんど透過せず、O N 時において表示にほとんど寄与しない。したがって、画素電極 P E 及び共通電極 C E は、必ずしも透明な導電材料によって形成される必要はなく、アルミニウムや銀などの導電材料を用いて形成しても良い。

【 0 0 7 9 】

また、アレイ基板 A R と対向基板 C T との合わせずれが生じた際に、画素電極 P E を挟んだ両側の共通電極 C E との距離に差が生じることがある。しかしながら、このような合わせずれは、全ての画素 P X に共通に生じるため、画素 P X 間での電界分布に相違はなく、画像の表示に及ぼす影響はきわめて小さい。

【 0 0 8 0 】

また、上述の一画素 P X における最小の単位構成体は、正方形に限らず第 2 方向 Y あるいは第 1 方向 X への伸縮に制限は無く矩形で良い。すなわち、単位構成体それ自体あるいは単位構成体を組み合わせることで所望とする画素サイズを設計することができる。このように単位構成体の寸法を自由に設計しても、液晶分子 L M は電極間に生じる電界によって基板に水平に配向するため、基板に対する法線方向のリタデーションに及ぼす影響は小さい。したがって、画素サイズの変更が輝度及び視野角に及ぼす影響はほとんど無い。

【 0 0 8 1 】

一方、初期配向状態が基板に対して垂直に配向し印加電圧によって水平に配向する垂直配向型の液晶表示装置の場合には、電極間に生じる電界強度が画素内で異なると、基板に対する液晶分子の傾きの程度も異なるため、基板に対する法線方向のリタデーションに及ぼす影響は大きい。したがって、画素サイズの変更が、輝度及び視野角に及ぼす影響は大きい。このことから仮にこの単位構成体に垂直配向型の液晶分子を適用する場合には、画素内の電界強度及び電界分布を均一にするために単位構成体は正方形にする必要がある。

【 0 0 8 2 】

次に、本実施形態の一構成例について説明する。

【 0 0 8 3 】

第 1 構成例

10

20

30

40

50

まず、本実施形態の第 1 構成例について説明する。

【 0 0 8 4 】

図 5 は、本実施形態の第 1 構成例における液晶表示パネル L P N の対向基板 C T 1 における一画素 P X の構造を概略的に示す平面図である。

【 0 0 8 5 】

この第 1 構成例では、共通電極 C E は、主共通電極として対向基板 C T 1 に備えられた第 2 主共通電極 C A 2、及び、副共通電極として対向基板 C T 1 に備えられた第 2 副共通電極 C B 2 を有している。これらの第 2 主共通電極 C A 2 及び第 2 副共通電極 C B 2 は、第 2 配向膜 A L 2 によって覆われている。

【 0 0 8 6 】

すなわち、図示した対向基板 C T 1 は、第 2 方向 Y に沿って直線的に延出した帯状の第 2 主共通電極 C A 2 と、第 1 方向 X に沿って直線的に延出した帯状の第 2 副共通電極 C B 2 と、を備えている。これらの第 2 主共通電極 C A 2 及び第 2 副共通電極 C B 2 は、電氣的に接続されている。図示した例では、第 2 主共通電極 C A 2 及び第 2 副共通電極 C B 2 は、一体的（あるいは連続的）に形成されている。つまり、対向基板 C T 1 において、共通電極 C E は、格子状に形成されている。

【 0 0 8 7 】

なお、図示した第 2 主共通電極 C A 2 は第 1 方向 X に沿って間隔をおいて 2 本平行に並んでおり、以下では、これらを区別するために、図中の左側の第 2 主共通電極を C A L 2 と称し、図中の右側の第 2 主共通電極を C A R 2 と称する。第 2 主共通電極 C A L 2 及び第 2 主共通電極 C A R 2 は、第 2 副共通電極 C B 2 とそれぞれ繋がっている。

【 0 0 8 8 】

このような構成の共通電極 C E は、詳述しないが、アクティブエリアの外側に引き出され、導電部材を介して、アレイ基板に形成された給電部と電氣的に接続され、コモン電位が給電される。

【 0 0 8 9 】

次に、図 5 に示した対向基板 C T 1 との組み合わせが好適なアレイ基板 A R 1 について説明する。

【 0 0 9 0 】

図 6 は、本実施形態の第 1 構成例における液晶表示パネル L P N の一画素 P X を対向基板 C T 1 側から見たときのアレイ基板 A R 1 の構造を概略的に示す平面図である。なお、画素電極 P E と共通電極 C E との位置関係を説明するために、共通電極 C E を破線で図示している。また、一画素 P X における説明に必要な構成のみを図示し、スイッチング素子などの図示を省略している。

【 0 0 9 1 】

アレイ基板 A R 1 は、第 1 方向 X に沿って延出した補助容量線 C 1 及び補助容量線 C 2 と、第 1 方向 X に沿って延出したゲート配線 G 1 と、第 2 方向 Y に沿って延出したソース配線 S 1 及びソース配線 S 2 と、画素電極 P E と、を備えている。補助容量線 C 1、補助容量線 C 2、及び、ゲート配線 G 1 は、ゲート絶縁膜 1 1 の上に形成され、第 1 層間絶縁膜 1 2 によって覆われている。ソース配線 S 1 及びソース配線 S 2 は、第 1 層間絶縁膜 1 2 の上に形成され、第 2 層間絶縁膜 1 3 によって覆われている。画素電極 P E は、第 2 層間絶縁膜 1 3 の上に形成されている。

【 0 0 9 2 】

図示した例では、画素 P X は、図中の破線で示した領域に相当し、第 1 方向 X に沿った長さよりも第 2 方向 Y に沿った長さの方が長い長方形形状である。また、図示した例では、画素 P X において、ソース配線 S 1 は左側端部に配置され、ソース配線 S 2 は右側端部に配置されている。厳密には、ソース配線 S 1 は当該画素 P X とその左側に隣接する画素との境界に跨って配置され、ソース配線 S 2 は当該画素 P X とその右側に隣接する画素との境界に跨って配置されている。また、画素 P X において、補助容量線 C 1 は上側端部に配置され、補助容量線 C 2 は下側端部に配置され、ゲート配線 G 1 は略画素中央部に配置さ

10

20

30

40

50

れている。つまり、ゲート配線 G 1 と補助容量線 C 1 との第 2 方向 Y に沿った間隔は、ゲート配線 G 1 と補助容量線 C 2 との第 2 方向 Y に沿った間隔と略同等である。なお、補助容量線 C 1 は、当該画素 P X とその上側の画素との境界に跨って配置されてもよい。同様に、補助容量線 C 2 は、当該画素 P X とその下側の画素との境界に跨って配置されてもよい。

【 0 0 9 3 】

画素電極 P E は、ソース配線 S 1 とソース配線 S 2 との間に配置され、図示を省略したスイッチング素子に電氣的に接続されている。このような画素電極 P E は、第 2 方向 Y に沿って直線的に延出した帯状の主画素電極 P A、第 1 方向 X に沿って直線的に延出した帯状の第 1 副画素電極 P B 及び第 2 副画素電極 P C を有している。これらの主画素電極 P A、第 1 副画素電極 P B 及び第 2 副画素電極 P C は、電氣的に接続されている。図示した例では、主画素電極 P A、第 1 副画素電極 P B 及び第 2 副画素電極 P C は、一体的（あるいは連続的）に形成されている。つまり、アレイ基板 A R 1 において、画素電極 P E は、I 字状に形成されている。また、主画素電極 P A、第 1 副画素電極 P B 及び第 2 副画素電極 P C は、いずれも第 1 配向膜 A L 1 によって覆われている。

10

【 0 0 9 4 】

主画素電極 P A は、隣接するソース配線 S 1 及びソース配線 S 2 のそれぞれの直上の位置よりも画素 P X の内側に位置し、ソース配線 S 1 とソース配線 S 2 との略中間に配置されている。このような主画素電極 P A は、画素 P X の上側端部付近から下側端部付近まで延出している。

20

【 0 0 9 5 】

第 1 副画素電極 P B は、画素 P X の下側端部に配置され、主画素電極 P A の一端部に繋がっている。このような第 1 副画素電極 P B は、主画素電極 P A からその両側、つまり、主画素電極 P A の左側のソース配線 S 1、及び、主画素電極 P A の右側のソース配線 S 2 に向かってそれぞれ直線的に延出している。

【 0 0 9 6 】

第 2 副画素電極 P C は、画素 P X の上側端部に配置され、主画素電極 P A の他端部に繋がっている。このような第 2 副画素電極 P C は、主画素電極 P A からその両側、つまり、ソース配線 S 1 及びソース配線 S 2 に向かってそれぞれ直線的に延出している。この第 1 構成例においては、第 2 副画素電極 P C は、補助容量線 C 1 と対向している。図示した例では、第 2 副画素電極 P C は、補助容量線 C 1 の上方に配置されている。第 2 副画素電極 P C と補助容量線 C 1 との間には、絶縁膜として、第 1 層間絶縁膜 1 2 及び第 2 層間絶縁膜 1 3 が介在している。

30

【 0 0 9 7 】

これらの第 1 副画素電極 P B 及び第 2 副画素電極 P C の第 1 方向 X に沿ったそれぞれの長さについては、略同等であっても良いし、異なる長さであっても良い。第 2 副画素電極 P C の第 1 方向 X に沿った長さについては、第 2 副画素電極 P C が補助容量線 C 1 を覆う場合には、ソース配線 S 1 とソース配線 S 2 との間に位置する補助容量線 C 1 の第 1 方向 X に沿った長さと同様以上である。

【 0 0 9 8 】

また、第 1 副画素電極 P B 及び第 2 副画素電極 P C の第 2 方向 Y に沿ったそれぞれの幅については、略同等であっても良いし、異なる幅であっても良い。第 2 副画素電極 P C の幅については、第 2 副画素電極 P C が補助容量線 C 1 上で図示しないスイッチング素子と電氣的に接続される構成の場合、第 1 副画素電極 P B の幅よりも幅広になっても良い。第 2 副画素電極 P C が補助容量線 C 1 を覆う場合、第 2 副画素電極 P C の幅は補助容量線 C 1 の幅と同様以上である。

40

【 0 0 9 9 】

上述したように、補助容量線 C 1 が画素の上側端部に配置され、ゲート配線 G 1 が略画素中央部に配置された構成では、第 2 副画素電極 P C がソース配線 S 1 とソース配線 S 2 との間に位置する補助容量線 C 1 を覆うように配置可能である。なお、補助容量線 C 2 が

50

画素の下側端部に配置された構成では、第 1 副画素電極 P B がソース配線 S 1 とソース配線 S 2 との間に位置する補助容量線 C 2 を覆うように配置可能である。

【 0 1 0 0 】

また、1 本の補助容量線の上には、第 2 方向 Y に隣接する 2 つの画素電極の第 1 副画素電極 P B 及び第 2 副画素電極 P C が配置されても良い。例えば、補助容量線 C 1 の上には、図示した当該画素 P X の画素電極 P E の第 2 副画素電極 P C とともに、当該画素 P X の上側の画素に配置された画素電極の第 1 副画素電極が配置されても良い。この場合、当該画素 P X の画素電極 P E の第 1 副画素電極 P B は、補助容量線 C 2 の上に配置される。

【 0 1 0 1 】

また、ゲート配線 G 1 が画素 P X の上側端部または下側端部に配置され、補助容量線 C 1 が略画素中央部に配置されても良い。この場合には、第 1 副画素電極 P B または第 2 副画素電極 P C は、ゲート配線 G 1 と対向していても良い（あるいは、第 1 副画素電極 P B または第 2 副画素電極 P C がゲート配線 G 1 の上方に配置されていても良い）。

10

【 0 1 0 2 】

一方、共通電極 C E において、第 2 主共通電極 C A L 2 及び第 2 主共通電極 C A R 2 は主画素電極 P A の直上の位置を挟んだ両側に配置され、また、第 2 副共通電極 C B 2 は第 1 副画素電極 P B の直上の位置と第 2 副画素電極 P C の直上の位置との間に配置されている。換言すると、主画素電極 P A は第 2 主共通電極 C A L 2 と第 2 主共通電極 C A R 2 との間に配置され、第 1 副画素電極 P B 及び第 2 副画素電極 P C は第 2 副共通電極 C B 2 を挟んだ両側に配置されている。

20

【 0 1 0 3 】

図示した例では、第 2 主共通電極 C A L 2 は、画素 P X の左側端部に配置され、ソース配線 S 1 に対向している（あるいは、第 2 主共通電極 C A L 2 がソース配線 S 1 の上方に配置されている）。また、第 2 主共通電極 C A R 2 は、画素 P X の右側端部に配置され、ソース配線 S 2 に対向している（あるいは、第 2 主共通電極 C A R 2 がソース配線 S 2 の上方に配置されている）。また、第 2 副共通電極 C B 2 は、略画素中央部に配置され、ゲート配線 G 1 に対向している（あるいは、第 2 副共通電極 C B 2 がゲート配線 G 1 の上方に配置されている）。

【 0 1 0 4 】

このような第 1 構成例によれば、上記の通り、一画素内に 4 つのドメインを形成することが可能となるため、4 方向での視野角を光学的に補償することができ、広視野角化が可能となる。

30

【 0 1 0 5 】

また、第 2 主共通電極 C A L 2 及び第 2 主共通電極 C A R 2 は、それぞれソース配線 S 1 及びソース配線 S 2 と対向している。特に、第 2 主共通電極 C A L 2 及び第 2 主共通電極 C A R 2 がそれぞれソース配線 S 1 及びソース配線 S 2 の上方に配置されている場合には、第 2 主共通電極 C A L 2 及び第 2 主共通電極 C A R 2 がソース配線 S 1 及びソース配線 S 2 よりも主画素電極 P A 側に配置された場合と比較して、表示に寄与する開口部を拡大することができ、画素 P X の透過率を向上することが可能となる。

【 0 1 0 6 】

また、第 2 主共通電極 C A L 2 及び第 2 主共通電極 C A R 2 をそれぞれソース配線 S 1 及びソース配線 S 2 の上方に配置することによって、主画素電極 P A と第 2 主共通電極 C A L 2 及び第 2 主共通電極 C A R 2 との間の距離を拡大することが可能となり、より水平に近い横電界を形成することが可能となる。このため、従来の構成である IPS モード等の利点である広視野角化も維持することが可能となる。

40

【 0 1 0 7 】

さらに、画素電極 P E の第 1 副画素電極 P B あるいは第 2 副画素電極 P C は、補助容量線やゲート配線と対向するように配置されているため、補助容量線やゲート配線からの不所望な電界を遮蔽することが可能となる。このため、補助容量線やゲート配線から液晶層 L Q に対して不所望なバイアスが印加されることを抑制することができ、焼きツキなどの

50

表示不良の発生を抑制することが可能となる。したがって、さらに表示品位の良好な液晶表示装置を提供することができる。

【0108】

第2構成例

次に、本実施形態の第2構成例について説明する。なお、第1構成例と同一構成については同一の参照符号を付して詳細な説明を省略する。

【0109】

図7は、本実施形態の第2構成例における液晶表示パネルLPNの対向基板CT2における一画素PXの構造を概略的に示す平面図である。

【0110】

この第2構成例では、共通電極CEは、主共通電極として後述するアレイ基板に備えられた第1主共通電極CA1、及び、副共通電極として対向基板CT2に備えられた第2副共通電極CB2を有している。この第2副共通電極CB2は、第2配向膜AL2によって覆われている。

【0111】

すなわち、図示した対向基板CT2は、第1方向Xに沿って直線的に延出した帯状の第2副共通電極CB2を備えており、主共通電極は備えていない。つまり、対向基板CT2において、共通電極CEは、第1方向Xに延出したストライプ状に形成されている。

【0112】

このような共通電極CEの第2副共通電極CB2は、詳述しないが、アクティブエリアの外側に引き出され、導電部材を介して、アレイ基板に形成された給電部と電氣的に接続され、コモン電位が給電される。

【0113】

次に、図7に示した対向基板CT2との組み合わせが好適なアレイ基板AR2について説明する。

【0114】

図8は、本実施形態の第2構成例における液晶表示パネルLPNの一画素PXを対向基板CT2側から見たときのアレイ基板AR2の構造を概略的に示す平面図である。なお、画素電極PEと共通電極CEとの位置関係を説明するために、共通電極CEを破線で図示している。また、一画素PXにおける説明に必要な構成のみを図示し、スイッチング素子などの図示を省略している。

【0115】

アレイ基板AR2は、アレイ基板AR1と同様に、第1方向Xに沿って延出した補助容量線C1及び補助容量線C2と、第1方向Xに沿って延出したゲート配線G1と、第2方向Yに沿って延出したソース配線S1及びソース配線S2と、画素電極PEと、を備えている。画素電極PEは、第1配向膜AL1によって覆われている。さらに、アレイ基板AR2は、共通電極CEの一部、すなわち、第2方向Yに沿って直線的に延出した帯状の第1主共通電極CA1を備えている。この第1主共通電極CA1は、第2副共通電極CB2と同電位である。

【0116】

なお、図示した第1主共通電極CA1は第1方向Xに沿って間隔をおいて2本平行に並んでおり、以下では、これらを区別するために、図中の左側の第1主共通電極をCAL1と称し、図中の右側の第1主共通電極をCAR1と称する。これらの第1主共通電極CAL1及び第1主共通電極CAR1は、例えば、画素電極PEと同様に、第2層間絶縁膜13の上に形成され、第1配向膜AL1によって覆われている。この場合、第1主共通電極CAL1及び第1主共通電極CAR1は、画素電極PEと同一材料（例えば、ITOなど）を用いて同一工程で形成可能である。

【0117】

図示した例では、第1主共通電極CAL1は、画素PXの左側端部に配置され、ソース配線S1と対向している（あるいは、第1主共通電極CAL1がソース配線S1の上方に

10

20

30

40

50

配置されている)。また、第1主共通電極CAR1は、画素PXの右側端部に配置され、ソース配線S2と対向している(あるいは、第1主共通電極CAR1がソース配線S2の上方に配置されている)。第1主共通電極CAL1及び第1主共通電極CAR1と、ソース配線S1及びソース配線S2との間には、絶縁膜として、第2層間絶縁膜13が介在している。

【0118】

これらの第1主共通電極CAL1及び第1主共通電極CAR1は、それぞれアクティブエリア内においては直線的に延出し、アクティブエリアの外側に引き出され、アレイ基板AR2に形成された給電部と電氣的に接続され、コモン電位が給電される。また、第1主共通電極CAL1及び第1主共通電極CAR1のそれぞれがアクティブエリア内においてソース配線S1及びソース配線S2を覆う場合には、第1主共通電極CAL1及び第1主共通電極CAR1の第1方向Xに沿った幅については、ソース配線S1及びソース配線S2の第1方向Xに沿った幅と同等以上である。

10

【0119】

画素電極PEは、第1構成例と同様に、ソース配線S1とソース配線S2との間、つまり、第1主共通電極CAL1と第1主共通電極CAR1との間に配置されている。この画素電極PEは、主画素電極PA、第1副画素電極PB及び第2副画素電極PCを有している。

【0120】

主画素電極PAは、第1主共通電極CAL1と第1主共通電極CAR1との略中間の位置に配置されている。第1副画素電極PB及び第2副画素電極PCのそれぞれは、第1主共通電極CAL1及び第1主共通電極CAR1に向かって延出している。但し、画素電極PEが第1主共通電極CAL1及び第1主共通電極CAR1とともに第2層間絶縁膜13の上に形成されている場合には、第1副画素電極PB及び第2副画素電極PCのそれぞれは、第1主共通電極CAL1及び第1主共通電極CAR1には接触しないように配置されている(あるいは、第1副画素電極PB及び第2副画素電極PCのそれぞれが第1主共通電極CAL1及び第1主共通電極CAR1から離間するように配置されている)。

20

【0121】

第2副画素電極PCは、補助容量線C1と対向している(あるいは、第2副画素電極PCが補助容量線C1の上方に配置されている)。

30

【0122】

なお、ゲート配線G1が画素PXの上側端部または下側端部に配置され、補助容量線C1が略画素中央部に配置されても良い。この場合には、第1副画素電極PBまたは第2副画素電極PCは、ゲート配線G1と対向していても良い(あるいは、第1副画素電極PBまたは第2副画素電極PCがゲート配線G1の上方に配置されていても良い)。

【0123】

一方、共通電極CEにおいて、第2副共通電極CB2は第1副画素電極PBの直上の位置と第2副画素電極PCの直上の位置との間に配置されている。換言すると、主画素電極PAは第1主共通電極CAL1と第1主共通電極CAR1との間に配置され、第1副画素電極PB及び第2副画素電極PCは第2副共通電極CB2を挟んだ両側に配置されている。

40

【0124】

図示した例では、第2副共通電極CB2は、略画素中央部に配置され、ゲート配線G1に対向している(あるいは、第2副共通電極CB2がゲート配線G1の上方に配置されている)。

【0125】

このような第2構成例によれば、上記の通り、一画素内に4つのドメインを形成することが可能となるため、4方向での視野角を光学的に補償することができ、広視野角化が可能となる。また、第1構成例で説明した効果に加えて、共通電極CEの第1主共通電極CA1の少なくとも1つは、ソース配線と対向するように配置されているため、ソース配線

50

からの不所望な電界を遮蔽することが可能となる。このため、ソース配線から液晶層 L Q に対して不所望なバイアスが印加されることを抑制することができ、クロストーク（例えば、当該画素 P X が黒を表示する画素電位に設定されている状態で、当該画素 P X に接続されたソース配線に白を表示する画素電位が供給されたときに、当該画素 P X の一部から光漏れが生じて輝度の上昇を招く現象）などの表示不良の発生を抑制することが可能となる。したがって、さらに表示品位の良好な液晶表示装置を提供することができる。

【0126】

なお、この第2構成例で説明したアレイ基板 A R 2 は、第1構成例で説明した対向基板 C T 1 と組み合わせても良い。この場合、共通電極 C E は、主共通電極として、アレイ基板 A R 2 に備えられた第1主共通電極 C A 1 及び対向基板 C T 1 に備えられた第2主共通電極 C A 2 を有する構成となる。このような第1主共通電極 C A 1 と第2主共通電極 C A 2 とが液晶層を挟んで対向する領域では、不所望な縦電界（すなわち、基板主面の法線方向に沿った電界）の発生を抑制することが可能となる。

10

【0127】

第3構成例

次に、本実施形態の第3構成例について説明する。なお、第1構成例と同一構成については同一の参照符号を付して詳細な説明を省略する。

【0128】

図9は、本実施形態の第3構成例における液晶表示パネル L P N の対向基板 C T 3 における一画素 P X の構造を概略的に示す平面図である。

20

【0129】

この第3構成例では、共通電極 C E は、主共通電極として対向基板 C T 3 に備えられた第2主共通電極 C A 2、及び、副共通電極として後述するアレイ基板に備えられた第1副共通電極 C B 1 を有している。この第2主共通電極 C A 2 は、第2配向膜 A L 2 によって覆われている。

【0130】

すなわち、図示した対向基板 C T 3 は、第2方向 Y に沿って直線的に延出した帯状の第2主共通電極 C A 2 を備えており、副共通電極は備えていない。つまり、対向基板 C T 3 において、共通電極 C E は、第2方向 Y に延出したストライプ状に形成されている。なお、図示した第2主共通電極 C A 2 は第1方向 X に沿って間隔をおいて2本平行に並んでおり、以下では、これらを区別するために、図中の左側の第2主共通電極を C A L 2 と称し、図中の右側の第2主共通電極を C A R 2 と称する。

30

【0131】

このような共通電極 C E の第2主共通電極 C A 2 は、詳述しないが、アクティブエリアの外側に引き出され、導電部材を介して、アレイ基板に形成された給電部と電氣的に接続され、コモン電位が給電される。

【0132】

次に、図9に示した対向基板 C T 3 との組み合わせが好適なアレイ基板 A R 3 について説明する。

【0133】

図10は、本実施形態の第3構成例における液晶表示パネル L P N の一画素 P X を対向基板 C T 3 の側から見たときのアレイ基板 A R 3 の構造を概略的に示す平面図である。なお、画素電極 P E と共通電極 C E との位置関係を説明するために、共通電極 C E を破線で図示している。また、一画素 P X における説明に必要な構成のみを図示し、スイッチング素子などの図示を省略している。

40

【0134】

アレイ基板 A R 3 は、アレイ基板 A R 1 と同様に、第1方向 X に沿って延出した補助容量線 C 1 及び補助容量線 C 2 と、第1方向 X に沿って延出したゲート配線 G 1 と、第2方向 Y に沿って延出したソース配線 S 1 及びソース配線 S 2 と、画素電極 P E と、を備えている。画素電極 P E は、第1配向膜 A L 1 によって覆われている。さらに、アレイ基板 A

50

R 3 は、共通電極 C E の一部として、第 1 方向 X に沿って直線的に延出した帯状の第 1 副共通電極 C B 1 を備えている。この第 1 副共通電極 C B 1 は、第 2 主共通電極 C A 2 と同電位である。

【 0 1 3 5 】

この第 1 副共通電極 C B 1 は、画素電極 P E と交差するため、画素電極 P E と同一層に形成することはできない。このため、画素電極 P E と第 1 副共通電極 C B 1 との間には層間絶縁膜が介在している。なお、第 1 配向膜 A L 1 は、画素電極 P E 及び第 1 副共通電極 C B 1 のいずれの上方にも位置している。

【 0 1 3 6 】

この第 1 副共通電極 C B 1 は、第 1 副画素電極 P B と第 2 副画素電極 P C との間に配置されている。図示した例では、第 1 副共通電極 C B 1 は、略画素中央部に配置され、ゲート配線 G 1 に対向している（あるいは、第 1 副共通電極 C B 1 がゲート配線 G 1 の上方に配置されている）。第 1 副共通電極 C B 1 とゲート配線 G 1 との間には、絶縁膜として、少なくとも第 1 層間絶縁膜 1 2 及び第 2 層間絶縁膜 1 3 が介在している。

10

【 0 1 3 7 】

この第 1 副共通電極 C B 1 は、アクティブエリア内においては直線的に延出し、アクティブエリアの外側に引き出され、アレイ基板 A R 3 に形成された給電部と電氣的に接続され、コモン電位が給電される。また、第 1 副共通電極 C B 1 がアクティブエリア内においてゲート配線 G 1 を覆う場合には、第 1 副共通電極 C B 1 の第 2 方向 Y に沿った幅については、ゲート配線 G 1 の第 2 方向 Y に沿った幅と同等以上である。

20

【 0 1 3 8 】

画素電極 P E は、第 1 構成例と同様に、ソース配線 S 1 とソース配線 S 2 との間に配置されている。この画素電極 P E は、主画素電極 P A 、第 1 副画素電極 P B 及び第 2 副画素電極 P C を有している。

【 0 1 3 9 】

主画素電極 P A は、ソース配線 S 1 とソース配線 S 2 との略中間の位置に配置されている。第 1 副画素電極 P B 及び第 2 副画素電極 P C は、第 1 副共通電極 C B 1 を挟んだ両側に配置されている。第 2 副画素電極 P C は、補助容量線 C 1 と対向している（あるいは、第 2 副画素電極 P C が補助容量線 C 1 の上方に配置されている）。

【 0 1 4 0 】

30

なお、ゲート配線 G 1 が画素 P X の上側端部または下側端部に配置され、補助容量線 C 1 が略画素中央部に配置されても良い。この場合には、第 1 副画素電極 P B または第 2 副画素電極 P C がゲート配線 G 1 と対向していても良い（あるいは、第 1 副画素電極 P B または第 2 副画素電極 P C がゲート配線 G 1 の上方に配置されていても良い）し、第 1 副共通電極 C B 1 が補助容量線 C 1 と対向していても良い（あるいは、第 1 副共通電極 C B 1 が補助容量線 C 1 の上方に配置されていても良い）。

【 0 1 4 1 】

一方、共通電極 C E において、第 2 主共通電極 C A L 2 及び第 2 主共通電極 C A R 2 は、主画素電極 P A の直上の位置を挟んだ両側に配置されている。換言すると、主画素電極 P A は第 2 主共通電極 C A L 2 と第 2 主共通電極 C A R 2 との間に配置されている。

40

【 0 1 4 2 】

図示した例では、第 2 主共通電極 C A L 2 は、画素 P X の左側端部に配置され、ソース配線 S 1 と対向している（あるいは、第 2 主共通電極 C A L 2 がソース配線 S 1 の上方に配置されている）。また、第 2 主共通電極 C A R 2 は、画素 P X の右側端部に配置され、ソース配線 S 2 と対向している（あるいは、第 2 主共通電極 C A R 2 がソース配線 S 2 の上方に配置されている）。

【 0 1 4 3 】

このような第 3 構成例によれば、上記の通り、一画素内に 4 つのドメインを形成することが可能となるため、4 方向での視野角を光学的に補償することができ、広視野角化が可能となる。また、第 1 構成例で説明した効果に加えて、共通電極 C E の第 1 副共通電極 C

50

B 1 は、ゲート配線と対向するように配置されているため、ゲート配線からの不所望な電界を遮蔽することが可能となる。このため、ゲート配線から液晶層 L Q に対して不所望なバイアスが印加されることを抑制することができ、焼きツキなどの表示不良の発生を抑制することが可能となる。したがって、さらに表示品位の良好な液晶表示装置を提供することができる。

【 0 1 4 4 】

また、上述のように画素電極 P E と第 1 副共通電極 C B 1 との間に層間絶縁膜を介在する構造は、他の構成例と比較して製造工程数が増加する。しかしながら、この構成例の全体の製造工程数は従来の F F S モードの液晶表示装置の製造工程数と同じである。従来の F F S モードの液晶表示装置において一画素内にマルチドメインを形成する構成の一つに、画素電極の形状をくの字状にする構成がある。このくの字状の画素電極の中央付近においては、ディスクリネーションが生じやすく、これにより画素全体の輝度が低下する場合があった。一方、本実施形態においては、F F S モードの液晶表示装置のようにディスクリネーションが生じることが無いため輝度が向上する。

10

【 0 1 4 5 】

なお、この第 3 構成例で説明したアレイ基板 A R 3 は、第 1 構成例で説明した対向基板 C T 1 と組み合わせても良い。この場合、共通電極 C E は、副共通電極として、アレイ基板 A R 3 に備えられた第 1 副共通電極 C B 1 及び対向基板 C T 1 に備えられた第 2 副共通電極 C B 2 を有する構成となる。このような第 1 副共通電極 C B 1 と第 2 副共通電極 C B 2 とが液晶層を挟んで対向する領域では、不所望な縦電界（すなわち、基板主面の法線方向に沿った電界）の発生を抑制することが可能となる。

20

【 0 1 4 6 】

第 4 構成例

次に、本実施形態の第 4 構成例について説明する。なお、第 1 構成例と同一構成については同一の参照符号を付して詳細な説明を省略する。

【 0 1 4 7 】

図 1 1 は、本実施形態の第 4 構成例における液晶表示パネル L P N の一画素 P X を対向基板 C T の側から見たときのアレイ基板 A R 4 の構造を概略的に示す平面図である。なお、一画素 P X における説明に必要な構成のみを図示し、スイッチング素子などの図示を省略している。

30

【 0 1 4 8 】

この第 4 構成例では、共通電極 C E は、主共通電極としてアレイ基板 A R 4 に備えられた第 1 主共通電極 C A 1、及び、副共通電極としてアレイ基板 A R 4 に備えられた第 1 副共通電極 C B 1 を有している。

【 0 1 4 9 】

アレイ基板 A R 4 は、アレイ基板 A R 1 と同様に、第 1 方向 X に沿って延出した補助容量線 C 1 及び補助容量線 C 2 と、第 1 方向 X に沿って延出したゲート配線 G 1 と、第 2 方向 Y に沿って延出したソース配線 S 1 及びソース配線 S 2 と、画素電極 P E と、を備えている。さらに、アレイ基板 A R 4 は、第 2 方向 Y に沿って直線的に延出した帯状の第 1 主共通電極 C A 1（C A L 1 及び C A R 1）及び第 1 方向 X に沿って直線的に延出した帯状の第 1 副共通電極 C B 1 を有する共通電極 C E を備えている。つまり、アレイ基板 A R 4 において、共通電極 C E は、格子状に形成されている。第 1 主共通電極 C A 1 の構成については、アレイ基板 A R 2 で説明した通りである。第 1 副共通電極 C B 1 の構成については、アレイ基板 A R 3 で説明した通りである。なお、第 1 配向膜 A L 1 は、画素電極 P E、第 1 主共通電極 C A 1、及び、第 1 副共通電極 C B 1 のいずれの上方にも位置している。

40

【 0 1 5 0 】

このような共通電極 C E の第 1 主共通電極 C A 1 及び第 1 副共通電極 C B 1 は、詳述しないが、アクティブエリアの外側に引き出され、導電部材を介して、アレイ基板 A R 4 に形成された給電部と電氣的に接続され、コモン電位が給電される。

50

【 0 1 5 1 】

この第 4 構成例で説明したアレイ基板 A R 4 は、第 1 構成例で説明した対向基板 C T 1、第 2 構成例で説明した対向基板 C T 2、及び、第 3 構成例で説明した対向基板 C T 3 のいずれとも組み合わせ可能である。

【 0 1 5 2 】

上記の第 1 乃至第 4 構成例で説明したアレイ基板 A R 1、アレイ基板 A R 2、アレイ基板 A R 3、及び、アレイ基板 A R 4 と、上記の第 1 乃至第 3 構成例で説明した対向基板 C T 1、対向基板 C T 2、及び、対向基板 C T 3 との組み合わせについては、図 1 2 にまとめた。図中の斜線は本実施形態の基本構成を実現できない組み合わせに相当し、図中の二重丸 () は各構成例で説明した組み合わせに相当し、図中の白丸 (○) は各構成例において可能な組み合わせに相当する。

10

【 0 1 5 3 】

次に、本実施形態の更なるバリエーションについて一画素 P X の構成を簡単に説明する。

【 0 1 5 4 】

図 1 3 は、本実施形態のバリエーションのひとつを概略的に示す平面図である。

【 0 1 5 5 】

画素電極 P E は、第 2 方向 Y に沿って延出し且つ第 1 方向 X に沿って間隔をおいて平行に並んだ 2 本の主画素電極 P A、第 1 方向 X に沿って延出した第 1 副画素電極 P B 及び第 2 副画素電極 P C を有している。このような画素電極 P E は、アレイ基板に備えられている。

20

【 0 1 5 6 】

共通電極 C E は、第 2 方向 Y に沿って延出した主共通電極 C A 及び第 1 方向 X に沿って延出した副共通電極 C B を有している。主共通電極 C A は、2 本の主画素電極 P A のそれぞれの両側に配置されている。つまり、3 本の主共通電極 C A と 2 本の主画素電極 P A とが交互に配置されている。副共通電極 C B は、第 1 副画素電極 P B と第 2 副画素電極 P C との間に配置されている。つまり、第 1 副画素電極 P B 及び第 2 副画素電極 P C と 1 本の副共通電極 C B とが交互に配置されている。このような共通電極 C E についても、主共通電極 C A 及び副共通電極 C B の少なくとも一部は、対向基板に備えられている。

30

【 0 1 5 7 】

このような構成においては、一画素 P X 内に 8 つの領域が形成され、O N 時には、図中の矢印で示した方向に液晶分子が配向する。このような構成においても上記の各構成例と同様の効果が得られる。

【 0 1 5 8 】

図 1 4 は、本実施形態の他のバリエーションを概略的に示す平面図である。

【 0 1 5 9 】

画素電極 P E は、第 2 方向 Y に沿って延出した主画素電極 P A、第 1 方向 X に沿って延出した第 1 副画素電極 P B 及び第 2 副画素電極 P C を有している。これらの第 1 副画素電極 P B 及び第 2 副画素電極 P C は、主画素電極 P A の端部ではなく、画素中央部寄りの位置で主画素電極 P A と結合している。このような画素電極 P E は、アレイ基板に備えられている。

40

【 0 1 6 0 】

共通電極 C E は、第 2 方向 Y に沿って延出した主共通電極 C A 及び第 1 方向 X に沿って延出した副共通電極 C B を有している。主共通電極 C A は、画素電極 P E の両側に配置されている。つまり、2 本の主共通電極 C A と 1 本の主画素電極 P A とが交互に配置されている。副共通電極 C B は、第 1 副画素電極 P B 及び第 2 副画素電極 P C のそれぞれの両側に配置されている。つまり、3 本の副共通電極 C B と第 1 副画素電極 P B 及び第 2 副画素電極 P C とが交互に配置されている。このような共通電極 C E についても、主共通電極 C A 及び副共通電極 C B の少なくとも一部は、対向基板に備えられている。

50

【 0 1 6 1 】

このような構成においては、一画素 P X 内に 8 つの領域が形成され、ON 時には、図中の矢印で示した方向に液晶分子が配向する。このような構成においても上記の各構成例と同様の効果が得られる。

【0162】

図 15 は、本実施形態において適用可能な、画素電極 P E の第 1 副画素電極 P B 及び第 2 副画素電極 P C と、ゲート配線 G 1、補助容量線 C 1 及び補助容量線 C 2 との位置関係を説明するための図である。

【0163】

図 15 の (a) 及び (b) に示した例は、ゲート配線 G 1 が補助容量線 C 1 と補助容量線 C 2 との略中間に位置している場合に相当する。図 15 の (c) 乃至 (f) に示した例は、ゲート配線 G 1 が補助容量線 C 1 よりも補助容量線 C 2 の側に近接している場合に相当する。なお、(a) 乃至 (f) に示したいずれの例においても、第 2 副画素電極 P C は、補助容量線 C 1 の上方に位置している。

10

【0164】

図中の (a) 及び (f) に示した例では、第 1 副画素電極 P B は、補助容量線 C 2 の上方に位置している。この場合、図示した画素電極 P E の上側に隣接する画素電極の副画素電極も補助容量線 C 1 の上方に位置し、また、図示した画素電極 P E の下側に隣接する画素電極の副画素電極も補助容量線 C 2 の上方に位置する。

【0165】

図中の (b) 及び (e) で示した例では、第 1 副画素電極 P B は、ゲート配線 G 1 と補助容量線 C 2 との間に位置している。図中の (c) で示した例では、第 1 副画素電極 P B は、ゲート配線 G 1 の上方に位置している。図中の (d) で示した例では、第 1 副画素電極 P B は、ゲート配線 G 1 と補助容量線 C 1 との間に位置している。

20

【0166】

いずれの例においても、対向基板 C T 1 乃至 C T 3 を適用可能であるし、第 1 主共通電極 C A 1 を備えたアレイ基板 A R 2、第 1 副共通電極 C B 1 を備えたアレイ基板 A R 3、及び、第 1 主共通電極 C A 1 及び第 1 副共通電極 C B 1 を備えたアレイ基板 A R 4 のいずれも適用可能である。

【0167】

上記の本実施形態は、特に、ドット反転駆動で容量結合駆動を行う容量結合ドット反転駆動 (C C D I 駆動) を行う構成に好適である。すなわち、容量結合駆動 (C C 駆動) では、各画素の保持容量 C s を通して、補助容量信号を画素電極 P E に重畳することで所定の電圧に到達させるため、保持容量 C s と画素容量とを略等しくする場合には、信号電圧振幅を略半減できる。C C D I 駆動では、隣り合う画素 P X の保持容量 C s が互いに異なる補助容量線 C に接続され、隣り合う画素 P X の保持容量 C s に供給される補助容量電圧を互いに異なる極性とする。例えば、図 6 の当該画素 P X の保持容量 C s が補助容量線 C 1 に接続されている場合には、隣接する画素 P X の保持容量 C s は補助容量線 C 2 に接続されている。このように画素の保持容量と補助容量線を接続することにより、隣り合う画素 P X の保持容量 C s に供給される補助容量電圧を互いに異なる電圧 (例えばハイとロー) にすることができる。上述したゲートドライバ G D、ソースドライバ S D、コントローラを内蔵した駆動 I C チップ 2 などは、このような C C D I 駆動を行うための駆動機構として機能し、アレイ基板 A R に備えられている。

30

40

【0168】

このような C C D I 駆動を適用した構成によれば、消費電力を低減できるとともに表示品位の劣化を抑制することが可能となる。

【0169】

以上説明したように、本実施形態によれば、表示品位の良好な液晶表示装置を提供することが可能となる。

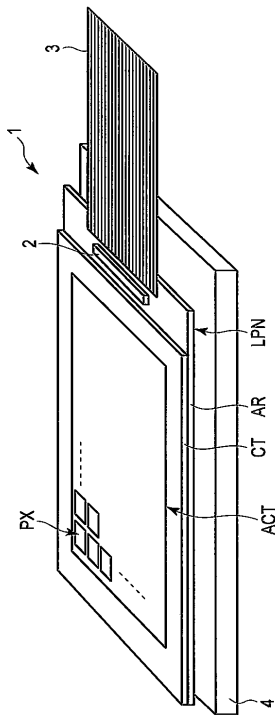
【0170】

なお、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示

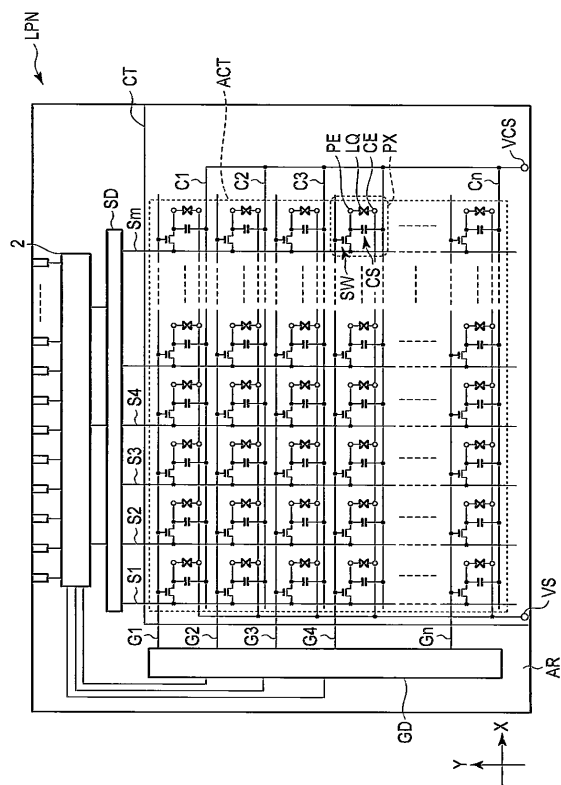
50

したものであり、発明の範囲を限定することは意図していない。これらの新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これらの実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

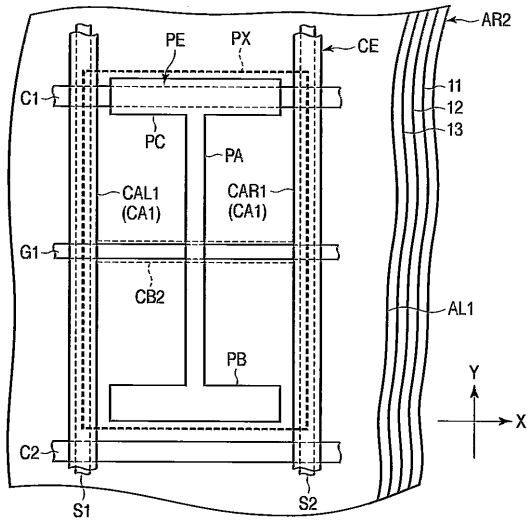
【図 1】



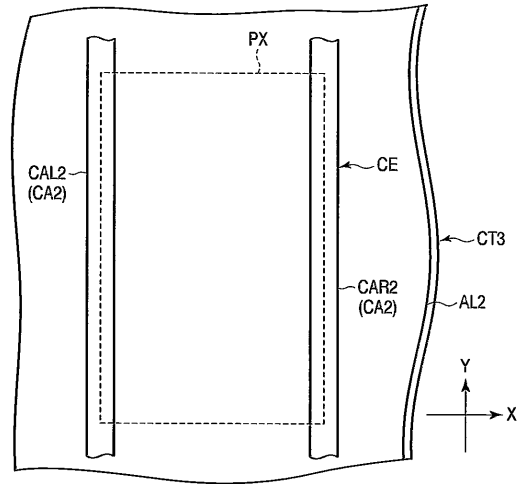
【図 2】



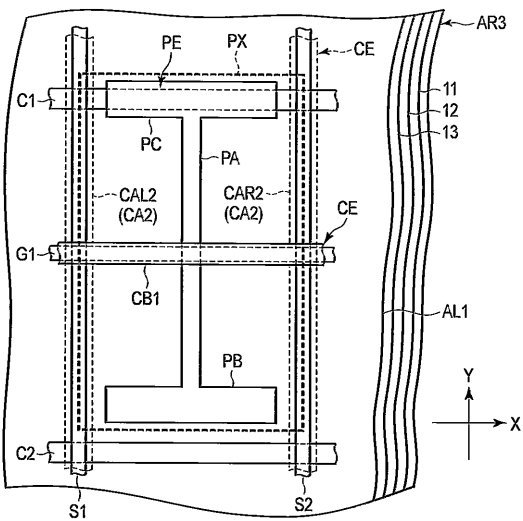
【図 8】



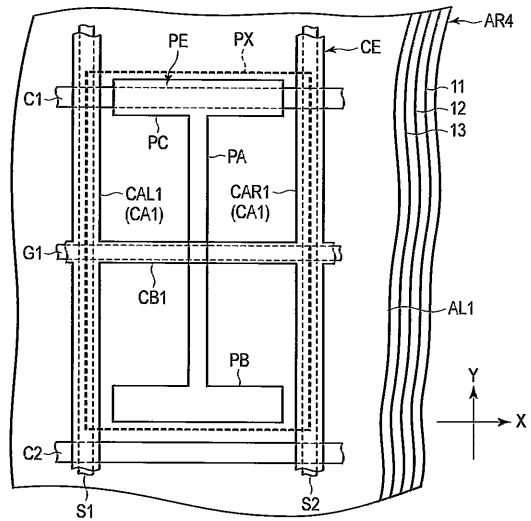
【図 9】



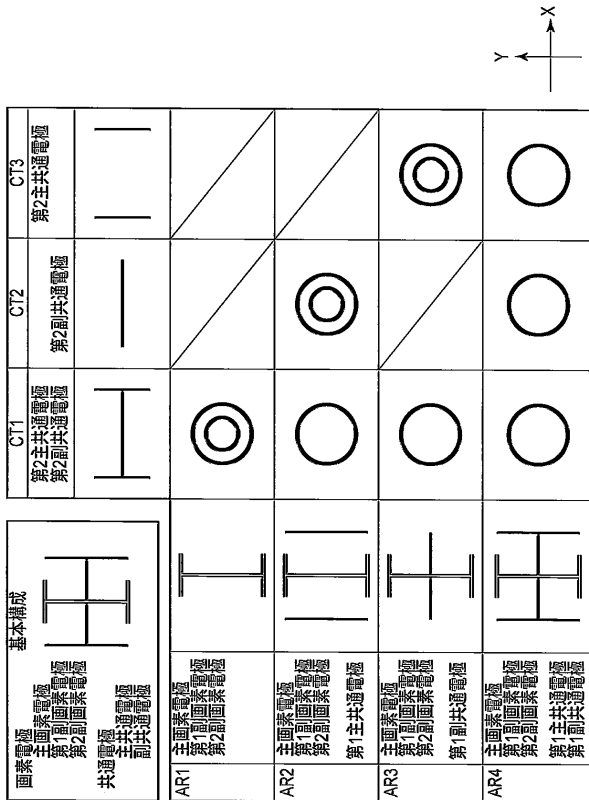
【図 10】



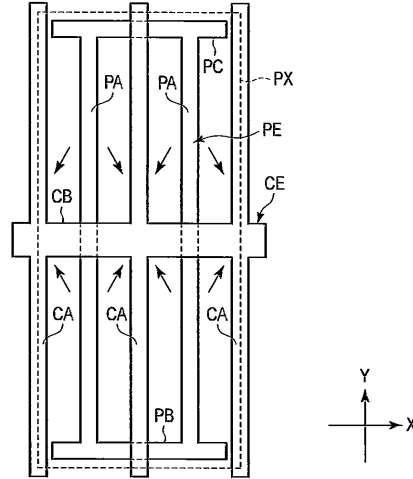
【図 11】



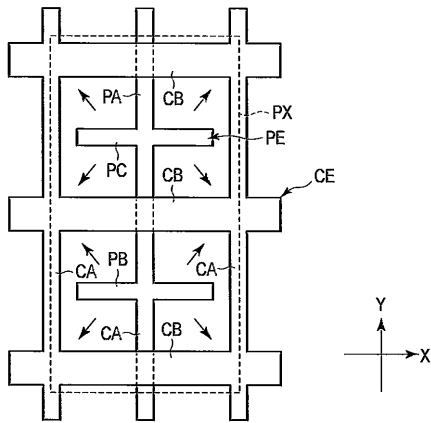
【図 1 2】



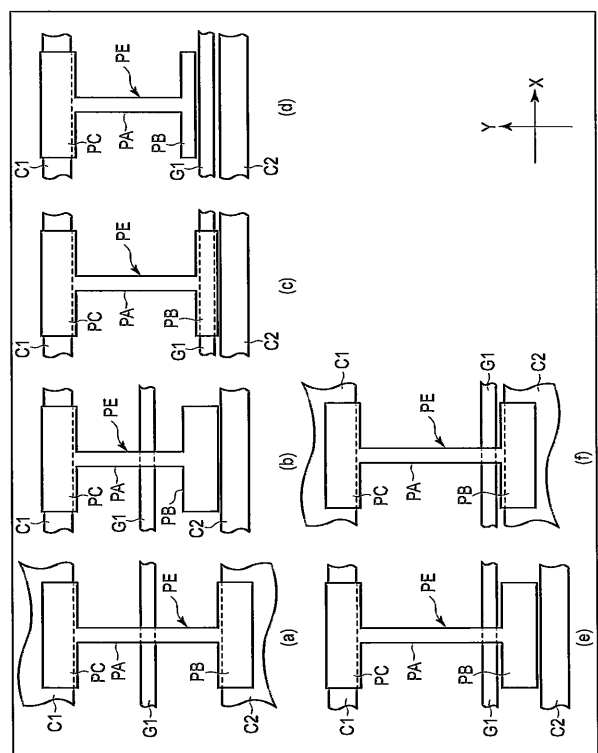
【図 1 3】



【図 1 4】



【図 1 5】



【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2012/053544												
A. CLASSIFICATION OF SUBJECT MATTER G02F1/1343(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC														
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G02F1/1343 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2012 Kokai Jitsuyo Shinan Koho 1971-2012 Toroku Jitsuyo Shinan Koho 1994-2012 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)														
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1"> <thead> <tr> <th>Category*</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>JP 2006-53592 A (L.G. Philips LCD Co., Ltd.), 23 February 2006 (23.02.2006), paragraphs [0016] to [0025]; fig. 2 (Family: none)</td> <td>1,2,12-16, 18-20</td> </tr> <tr> <td>Y</td> <td>JP 2009-216793 A (Hitachi Displays, Ltd.), 24 September 2009 (24.09.2009), paragraphs [0029], [0030], [0037] to [0040]; fig. 1 (Family: none)</td> <td>1,2,12-16, 18-20</td> </tr> <tr> <td>Y</td> <td>JP 2009-192822 A (Toshiba Mobile Display Co., Ltd.), 27 August 2009 (27.08.2009), paragraphs [0009], [0010], [0016], [0020], [0021], [0039]; fig. 4 & US 2009/0207363 A1</td> <td>1,2,12-16, 18-20</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	Y	JP 2006-53592 A (L.G. Philips LCD Co., Ltd.), 23 February 2006 (23.02.2006), paragraphs [0016] to [0025]; fig. 2 (Family: none)	1,2,12-16, 18-20	Y	JP 2009-216793 A (Hitachi Displays, Ltd.), 24 September 2009 (24.09.2009), paragraphs [0029], [0030], [0037] to [0040]; fig. 1 (Family: none)	1,2,12-16, 18-20	Y	JP 2009-192822 A (Toshiba Mobile Display Co., Ltd.), 27 August 2009 (27.08.2009), paragraphs [0009], [0010], [0016], [0020], [0021], [0039]; fig. 4 & US 2009/0207363 A1	1,2,12-16, 18-20
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.												
Y	JP 2006-53592 A (L.G. Philips LCD Co., Ltd.), 23 February 2006 (23.02.2006), paragraphs [0016] to [0025]; fig. 2 (Family: none)	1,2,12-16, 18-20												
Y	JP 2009-216793 A (Hitachi Displays, Ltd.), 24 September 2009 (24.09.2009), paragraphs [0029], [0030], [0037] to [0040]; fig. 1 (Family: none)	1,2,12-16, 18-20												
Y	JP 2009-192822 A (Toshiba Mobile Display Co., Ltd.), 27 August 2009 (27.08.2009), paragraphs [0009], [0010], [0016], [0020], [0021], [0039]; fig. 4 & US 2009/0207363 A1	1,2,12-16, 18-20												
☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.														
<table border="0"> <tr> <td> * Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed </td> <td> "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family </td> </tr> </table>			* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family										
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family													
Date of the actual completion of the international search 12 March, 2012 (12.03.12)		Date of mailing of the international search report 19 March, 2012 (19.03.12)												
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer Telephone No.												
Facsimile No.														

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/053544

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-282205 A (Matsushita Electric Industrial Co., Ltd.), 12 October 2001 (12.10.2001), claim 5; paragraphs [0011] to [0013] (Family: none)	20
Y	JP 2009-244287 A (Toshiba Mobile Display Co., Ltd.), 22 October 2009 (22.10.2009), paragraph [0009] (Family: none)	20
A	JP 2007-516464 A (Sharp Corp.), 21 June 2007 (21.06.2007), paragraphs [0064] to [0080]; fig. 1 & US 2008/0218646 A1 & WO 2005/071477 A1	1-20
A	JP 2000-310791 A (Matsushita Electric Industrial Co., Ltd.), 07 November 2000 (07.11.2000), fig. 3 (Family: none)	1-20
A	JP 2003-241213 A (Matsushita Electric Industrial Co., Ltd.), 27 August 2003 (27.08.2003), paragraphs [0017], [0018]; fig. 1 (Family: none)	1-20

国際調査報告		国際出願番号 PCT/J P 2 0 1 2 / 0 5 3 5 4 4	
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G02F1/1343 (2006.01) i			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G02F1/1343			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2012年 日本国実用新案登録公報 1996-2012年 日本国登録実用新案公報 1994-2012年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
Y	JP 2006-53592 A (エルジー フィリップス エルシーディー カンパニー リミテッド) 2006.02.23, 段落【0016】-【0025】、【図2】 (ファミリーなし)	1, 2, 12-16, 18-20	
Y	JP 2009-216793 A (株式会社 日立ディスプレイズ) 2009.09.24, 段落【0029】、【0030】、【0037】-【0040】、【図1】 (ファミリーなし)	1, 2, 12-16, 18-20	
Y	JP 2009-192822 A (東芝モバイルディスプレイ株式会社)	1, 2, 12-16, 18	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願 の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 12.03.2012		国際調査報告の発送日 19.03.2012	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) ▲高▼木 尚哉 電話番号 03-3581-1101 内線 3255	2L 3611

国際調査報告

国際出願番号 PCT/J P 2 0 1 2 / 0 5 3 5 4 4

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
	2009.08.27, 段落【0009】、【0010】、【0016】、【0020】、【0021】、【0039】、【図4】 & US 2009/0207363 A1	-20
Y	JP 2001-282205 A (松下電器産業株式会社) 2001.10.12, 【請求項5】、段落【0011】－【0013】 (ファミリーなし)	20
Y	JP 2009-244287 A (東芝モバイルディスプレイ株式会社) 2009.10.22, 段落【0009】 (ファミリーなし)	20
A	JP 2007-516464 A (シャープ株式会社) 2007.06.21, 段落【0064】－【0080】、【図1】 & US 2008/0218646 A1 & W0 2005/071477 A1	1-20
A	JP 2000-310791 A (松下電器産業株式会社) 2000.11.07, 【図3】 (ファミリーなし)	1-20
A	JP 2003-241213 A (松下電器産業株式会社) 2003.08.27, 段落【0017】、【0018】、【図1】 (ファミリーなし)	1-20

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN

Fターム(参考) 2H092 GA14 JA26 JB05 JB14 JB69 NA26
2H192 AA24 BB33 BB52 BB84 BC31 CB02 DA12 DA42 JA33

【要約の続き】

配向膜と、を備えた第2基板と、前記第1基板と前記第2基板との間に保持された液晶分子を含む液晶層と、を備えたことを特徴とする液晶表示装置。

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	液晶表示装置		
公开(公告)号	JPWO2012137540A1	公开(公告)日	2014-07-28
申请号	JP2013508783	申请日	2012-02-15
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	廣澤仁		
发明人	廣澤 仁		
IPC分类号	G02F1/1343 G02F1/1368		
CPC分类号	G02F1/134363 G02F1/136213 G02F2001/133757 G02F2001/134318		
FI分类号	G02F1/1343 G02F1/1368		
F-TERM分类号	2H092/GA14 2H092/JA26 2H092/JB05 2H092/JB14 2H092/JB69 2H092/NA26 2H192/AA24 2H192/BB33 2H192/BB52 2H192/BB84 2H192/BC31 2H192/CB02 2H192/DA12 2H192/DA42 2H192/JA33		
代理人(译)	河野 哲		
优先权	2011086560 2011-04-08 JP		
其他公开文献	JP5707487B2		
外部链接	Espacenet		

摘要(译)

第一辅助电容线和第二辅助电容线分别沿着第一方向延伸，并且沿着第一方向延伸，并且位于第一辅助电容线和第二辅助电容线之间。栅极线，分别沿与第一方向相交的第二方向延伸的第一源极线和第二源极线以及位于第一源极线和第二源极线之间的第二线 沿方向延伸的条形主像素电极，连接至主像素电极并面向第一辅助电容线并沿第一方向延伸的条形第一子像素电极和主像素 与电极连接并与第一子像素电极分开并沿第一方向延伸的条形第二子像素电极，以及由显示水平取向的材料形成的主像素电极和第一子像素电极。第一基板具有覆盖第二子像素电极并在其两侧夹持主像素电极的第一取向膜。第二主公共电极分别在第二方向上延伸，第二主公共电极连接到第二主公共电极并在第一方向上在第一子像素电极和第二子像素电极之间延伸。第二子公共电极，以及第二基板，其具有第二取向膜，该第二取向膜由水平取向的材料形成并且覆盖第二主公共电极和第二子公共电极，以及第一基板 在第二基板和第二基板之间夹有包含液晶分子的液晶层。

