

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02011/010417

発行日 平成24年12月27日 (2012.12.27)

(43) 国際公開日 平成23年1月27日 (2011.1.27)

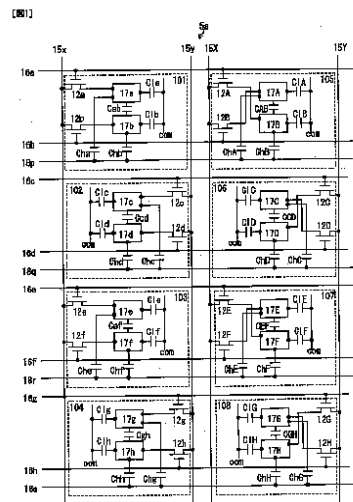
(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1368 (2006.01)	G02F 1/1368	2H092
G02F 1/133 (2006.01)	G02F 1/133 550	2H193
G09G 3/36 (2006.01)	G09G 3/36	5C006
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
	G09G 3/20 622D	
審査請求 有 予備審査請求 未請求 (全 52 頁) 最終頁に続く		

出願番号	特願2011-523538 (P2011-523538)	(71) 出願人	000005049
(21) 国際出願番号	PCT/JP2010/002732		シャープ株式会社
(22) 国際出願日	平成22年4月15日 (2010.4.15)		大阪府大阪市阿倍野区長池町22番22号
(31) 優先権主張番号	特願2009-171308 (P2009-171308)	(74) 代理人	110000338
(32) 優先日	平成21年7月22日 (2009.7.22)		特許業務法人原謙三国際特許事務所
(33) 優先権主張国	日本国 (JP)	(72) 発明者	津幡 俊英
			日本国大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
		Fターム (参考)	2H092 JA24 JA46 JB31 JB69 KA04 KA05 KA07 MA05 MA07 MA13 MA17 MA30 NA01 PA06 PA13 QA09 2H193 ZA04 ZA07 ZA08 ZA19 ZC15 ZC24 ZE02 ZE06 ZF52 ZQ11 ZQ44 ZQ45 ZQ47
			最終頁に続く

(54) 【発明の名称】 アクティブマトリクス基板、液晶パネル、液晶表示装置、液晶表示ユニット、テレビジョン受像機

(57) 【要約】

本アクティブマトリクス基板は、容量を介して接続された2つの画素電極を含む画素が行および列方向に並べられ、1つの画素列に対応して2本のデータ信号線が設けられるとともに、1つの画素行に対応して2本の走査信号線が設けられ、上記画素列および画素行に属する画素(101)について、2本の走査信号線(16a・16b)の一方に接続されたトランジスタ(12a)が画素(101)に含まれる2つの画素電極(17a・17b)の一方に電気的に接続され、上記2本の走査信号線の他方に接続されたトランジスタ(12b)が上記2つの画素電極の他方に電気的に接続され、かつ上記各トランジスタ(12a・12b)が、上記2本のデータ信号線(15x・15y)のいずれかである同一のデータ信号線(15x)に電気的に接続されている。これにより、2ライン同時選択を行う画素分割方式(容量結合型)の液晶表示装置の表示品位を高めることができる。



【特許請求の範囲】**【請求項 1】**

各データ信号線の延伸方向を列方向として、容量を介して接続された 2 つの画素電極を含む画素領域が行および列方向に並べられ、

1 つの画素領域列に対応して 2 本のデータ信号線が設けられるとともに、1 つの画素領域行に対応して 2 本の走査信号線が設けられ、

上記画素領域列および画素領域行に属する画素領域について、上記 2 本の走査信号線の一方に接続されたトランジスタが該画素領域に含まれる 2 つの画素電極の一方に電氣的に接続されるとともに、上記 2 本の走査信号線の他方に接続されたトランジスタが上記 2 つの画素電極の他方に電氣的に接続され、かつ上記各トランジスタが、上記 2 本のデータ信号線のいずれかである同一のデータ信号線に電氣的に接続されていることを特徴とするアクティブマトリクス基板。

10

【請求項 2】

各データ信号線の延伸方向を列方向として、容量を介して接続された 2 つの画素電極を含む画素領域が行および列方向に並べられ、

1 つの画素領域列に対応して 2 本のデータ信号線が設けられるとともに、1 つの画素領域行に対応して 2 本の走査信号線が設けられ、

上記画素領域列および画素領域行に属する画素領域について、上記 2 本の走査信号線の一方に接続されたトランジスタが該画素領域に含まれる 2 つの画素電極の一方と上記 2 本のデータ信号線の一方とに電氣的に接続されるとともに、上記 2 本の走査信号線の他方に接続されたトランジスタが上記 2 つの画素電極の他方と保持容量配線とに電氣的に接続されていることを特徴とするアクティブマトリクス基板。

20

【請求項 3】

各データ信号線の延伸方向を列方向として、容量を介して接続された 2 つの画素電極を含む画素領域が行および列方向に並べられ、

1 つの画素領域列に対応して 2 本のデータ信号線が設けられるとともに、1 つの画素領域行に対応して 2 本の走査信号線が設けられ、

上記画素領域列および画素領域行に属する画素領域について、上記 2 本の走査信号線の一方に接続されたトランジスタが該画素領域に含まれる 2 つの画素電極の一方と上記 2 本のデータ信号線の一方とに電氣的に接続されるとともに、上記 2 本の走査信号線の他方に接続されたトランジスタが上記 2 つの画素電極それぞれに電氣的に接続されていることを特徴とするアクティブマトリクス基板。

30

【請求項 4】

列方向に隣り合う 2 つの画素領域の一方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線と、該 2 つの画素領域の他方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線とが異なることを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載のアクティブマトリクス基板。

【請求項 5】

1 つの画素領域には 2 つの画素電極が列方向に並べられ、

行方向に隣り合う 2 つの画素領域に含まれ、それぞれがトランジスタを介してデータ信号線に接続されるとともに互いに斜め向かいとなる 2 つの画素電極の一方に電氣的に接続されるトランジスタと、該 2 つの画素電極の他方に電氣的に接続されるトランジスタとが同一の走査信号線に接続されていることを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載のアクティブマトリクス基板。

40

【請求項 6】

1 つの画素領域行に対応する 2 本の走査信号線は、該画素領域行の両側に配されているか、あるいは画素領域行の両端部に重なるように配されていることを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載のアクティブマトリクス基板。

【請求項 7】

1 つの画素領域に、該画素領域に含まれる 2 つの画素電極の一方に電氣的に接続される

50

とともに層間絶縁膜を介して上記２つの画素電極の他方に重なる容量電極と、層間絶縁膜を介して上記２つの画素電極の一方に重なるとともに上記２つの画素電極の他方に電氣的に接続される容量電極とを備えることを特徴とする請求項１に記載のアクティブマトリクス基板。

【請求項８】

上記各容量電極がゲート絶縁膜を介して保持容量配線と重なっていることを特徴とする請求項７に記載のアクティブマトリクス基板。

【請求項９】

上記画素領域に含まれる２つの画素電極の一方に電氣的に接続される容量電極と、他方に電氣的に接続される容量電極とが、互いに点対称となるようにレイアウトされていることを特徴とする請求項７に記載のアクティブマトリクス基板。

10

【請求項１０】

上記層間絶縁膜は無機絶縁膜と有機絶縁膜とからなるが、各容量電極と重なる部分の少なくとも一部については、有機絶縁膜が除去あるいは薄く形成されていることを特徴とする請求項７に記載のアクティブマトリクス基板。

【請求項１１】

請求項１に記載のアクティブマトリクス基板を備え、

所定のフレームでは、２つの画素領域行の一方に対応する２本の走査信号線のうち１本と、他方に対応する２本の走査信号線のうち１本とが同時選択されることで、該２つの画素領域行に同時にデータ信号が書き込まれ、

20

上記所定のフレーム以外のフレームでは、上記２つの画素領域行の一方に対応する２本の走査信号線のうち残る１本と、他方に対応する２本の走査信号線のうち残る１本とが同時選択されることで、該２つの画素領域行に同時にデータ信号が書き込まれることを特徴とする液晶表示装置。

【請求項１２】

上記２つの画素領域行が互いに隣り合うことを特徴とする請求項１１に記載の液晶表示装置。

【請求項１３】

列方向に隣り合う２つの画素領域の一方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線と、該２つの画素領域の他方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線とが異なり、かつ互いに逆極性のデータ信号が供給されることを特徴とする請求項１２に記載の液晶表示装置。

30

【請求項１４】

行方向に隣り合う２つの画素領域の一方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線と、該２つの画素領域の他方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線とに、互いに逆極性のデータ信号が供給されることを特徴とする請求項１１に記載の液晶表示装置。

【請求項１５】

奇数番目のフレームでは、２つの画素領域行の一方に対応する２本の走査信号線のうち１本と、他方に対応する２本の走査信号線のうち１本とが同時選択され、

40

偶数番目のフレームでは、上記２つの画素領域行の一方に対応する２本の走査信号線のうち残る１本と、他方に対応する２本の走査信号線のうち残る１本とが同時選択されることを特徴とする請求項１１に記載の液晶表示装置。

【請求項１６】

同一データ信号線に供給されるデータ信号の極性が２フレームごとに反転することを特徴とする請求項１５に記載の液晶表示装置。

【請求項１７】

連続する２フレームそれぞれでは、２つの画素領域行の一方に対応する２本の走査信号線のうち１本と、他方に対応する２本の走査信号線のうち１本とが同時選択され、

上記２フレームに続く連続する２フレームそれぞれでは、上記２つの画素領域行の一方

50

に対応する 2 本の走査信号線のうち残る 1 本と、他方に対応する 2 本の走査信号線のうち残る 1 本とが同時選択されることを特徴とする請求項 11 記載の液晶表示装置。

【請求項 18】

同一データ信号線に供給されるデータ信号の極性が 1 フレームごとに反転することを特徴とする請求項 17 記載の液晶表示装置。

【請求項 19】

各水平走査期間に、データ信号線に一定電位が供給されるプリチャージ期間が設けられ、

同時選択中のプリチャージ期間に、上記 2 つの画素領域行に対応する 4 本の走査信号線のうち同時選択されていない各走査信号線が ON・OFF されることを特徴とする請求項 11 記載の液晶表示装置。

10

【請求項 20】

各水平走査期間に、データ信号線に一定電位が供給されるプリチャージ期間が設けられ、

同時選択までのプリチャージ期間に、上記 2 つの画素領域行に対応する 4 本の走査信号線それぞれが同期して ON・OFF されることを特徴とする請求項 11 記載の液晶表示装置。

【請求項 21】

請求項 1～3 のいずれか 1 項に記載のアクティブマトリクス基板を備え、

2 つの画素領域行の一方に対応する 2 本の走査信号線の一方と、上記 2 つの画素領域行の他方に対応する 2 本の走査信号線の一方とが同時選択されることで、2 つの画素領域行に同時にデータ信号が書き込まれることを特徴とする液晶表示装置。

20

【請求項 22】

上記 2 つの画素領域行が互いに隣り合うことを特徴とする請求項 21 記載の液晶表示装置。

【請求項 23】

列方向に隣り合う 2 つの画素領域の一方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線と、該 2 つの画素領域の他方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線とが異なり、かつ互いに逆極性のデータ信号が供給されることを特徴とする請求項 22 記載の液晶表示装置。

30

【請求項 24】

行方向に隣り合う 2 つの画素領域の一方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線と、該 2 つの画素領域の他方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線とに、互いに逆極性のデータ信号が供給されることを特徴とする請求項 21 記載の液晶表示装置。

【請求項 25】

各水平走査期間に、データ信号線に一定電位が供給されるプリチャージ期間が設けられ、

同時選択中のプリチャージ期間に、上記 2 つの画素領域行に対応する 4 本の走査信号線のうち同時選択されていない各走査信号線が ON・OFF されることを特徴とする請求項 21 記載の液晶表示装置。

40

【請求項 26】

各水平走査期間に、データ信号線に一定電位が供給されるプリチャージ期間が設けられ、

同時選択までのプリチャージ期間に、上記 2 つの画素領域行に対応する 4 本の走査信号線それぞれが同期して ON・OFF されることを特徴とする請求項 21 記載の液晶表示装置。

【請求項 27】

請求項 1～3 のいずれか 1 項に記載のアクティブマトリクス基板を備えた液晶パネル。

【請求項 28】

50

請求項 27 記載の液晶パネルとドライバとを備えることを特徴とする液晶表示ユニット。

【請求項 29】

請求項 28 記載の液晶表示ユニットと光源装置とを備えることを特徴とする液晶表示装置。

【請求項 30】

請求項 29 記載の液晶表示装置と、テレビジョン放送を受信するチューナー部とを備えることを特徴とするテレビジョン受像機。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、容量結合型の画素分割方式のアクティブマトリクス基板およびこれを備えた液晶パネル等に関する。

【背景技術】

【0002】

特許文献 1（図 52 参照）には、1つの画素列に2本のデータ線（左側データ線および右側データ線）を設け、同一画素列に含まれる奇数番目の画素の画素電極を左側データ線に接続する一方、偶数番目の画素の画素電極を右側データ線に接続し、連続する2本の走査信号線（奇数番目の画素に接続する走査信号線および偶数番目の画素に接続する走査信号線）を同時選択することで、画面の書き換え速度を高める液晶表示装置が開示されている。また、例えば特許文献 2 には、容量結合型の画素分割方式の液晶表示装置が開示されている。

20

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】日本国公開特許公報「特開平 10 - 253987 号公報（公開日：1998 年 9 月 25 日）」

【特許文献 2】日本国公開特許公報「特開 2006 - 39290 号公報（公開日：2006 年 2 月 9 日）」

【発明の概要】

30

【発明が解決しようとする課題】

【0004】

本願発明者は、1つの画素列に対応して2本のデータ信号線が設けられる液晶パネルを容量結合型の画素分割方式とした場合に、画素内で電氣的にフローティングとなる画素電極に DC 電圧がかかり易く、これが画素の焼き付き等の原因となっていることを見出した。本発明は、この場合の表示品位を改善することを目的とする。

【課題を解決するための手段】

【0005】

本発明のアクティブマトリクス基板は、各データ信号線の延伸方向を列方向として、容量を介して接続された2つの画素電極を含む画素領域が行および列方向に並べられ、1つの画素領域列に対応して2本のデータ信号線が設けられるとともに、1つの画素領域行に対応して2本の走査信号線が設けられ、上記画素領域列および画素領域行に属する画素領域について、上記2本の走査信号線の一方に接続されたトランジスタが該画素領域に含まれる2つの画素電極の一方に電氣的に接続されるとともに、上記2本の走査信号線の他方に接続されたトランジスタが上記2つの画素電極の他方に電氣的に接続され、かつ上記各トランジスタが、上記2本のデータ信号線のいずれかである同一のデータ信号線に電氣的に接続されていることを特徴とする。

40

【0006】

また、本発明のアクティブマトリクス基板は、各データ信号線の延伸方向を列方向として、容量を介して接続された2つの画素電極を含む画素領域が行および列方向に並べられ

50

、 1つの画素領域列に対応して2本のデータ信号線が設けられるとともに、1つの画素領域行に対応して2本の走査信号線が設けられ、上記画素領域列および画素領域行に属する画素領域について、上記2本の走査信号線の一方に接続されたトランジスタが該画素領域に含まれる2つの画素電極の一方と上記2本のデータ信号線の一方とに電氣的に接続されるときともに、上記2本の走査信号線の他方に接続されたトランジスタが上記2つの画素電極の他方と保持容量配線とに電氣的に接続されていることを特徴とする。

【0007】

また、本アクティブマトリクス基板では、各データ信号線の延伸方向を列方向として、容量を介して接続された2つの画素電極を含む画素領域が行および列方向に並べられ、1つの画素領域列に対応して2本のデータ信号線が設けられるとともに、1つの画素領域行に対応して2本の走査信号線が設けられ、上記画素領域列および画素領域行に属する画素領域について、上記2本の走査信号線の一方に接続されたトランジスタが該画素領域に含まれる2つの画素電極の一方と上記2本のデータ信号線の一方とに電氣的に接続されるときともに、上記2本の走査信号線の他方に接続されたトランジスタが上記2つの画素電極それぞれに電氣的に接続されていることを特徴とする。

10

【発明の効果】

【0008】

本アクティブマトリクス基板では、まず、1つの画素領域列に対応して2本のデータ信号線が設けられているため、本アクティブマトリクス基板を備えた液晶表示装置では、2本の走査信号線を同時選択して2つの画素行を同時に書き込むことができる。そして、各画素領域の容量結合された2つの画素電極それぞれが電氣的にフローティングとならない。これにより、本アクティブマトリクス基板を備えた液晶表示装置では画素の焼き付き等が低減され、高い表示品位が実現される。

20

【図面の簡単な説明】

【0009】

【図1】実施の形態1にかかる液晶パネルの構成を示す回路図である。

【図2】図1の液晶パネルの駆動方法を示すタイミングチャートである。

【図3】図2のF1(n番目の水平走査期間)の駆動方法を説明する模式図である。

【図4】図2のF1(n+1番目の水平走査期間)の駆動方法を説明する模式図である。

【図5】図2のF2(n番目の水平走査期間)の駆動方法を説明する模式図である。

30

【図6】図2のF2(n+1番目の水平走査期間)の駆動方法を説明する模式図である。

【図7】図2のF3(n番目の水平走査期間)の駆動方法を説明する模式図である。

【図8】図2のF3(n+1番目の水平走査期間)の駆動方法を説明する模式図である。

【図9】図2のF4(n番目の水平走査期間)の駆動方法を説明する模式図である。

【図10】図2のF4(n+1番目の水平走査期間)の駆動方法を説明する模式図である。

。

【図11】図1に示す液晶パネルの他の駆動方法を示すタイミングチャートである。

【図12】図1に示す液晶パネルのさらに他の駆動方法を示すタイミングチャートである。

。

【図13】図1に示す液晶パネルの構成を示す平面図である。

40

【図14】図13におけるA-B断面図(層間絶縁膜が薄い場合)である。

【図15】図13におけるA-B断面図(層間絶縁膜が厚い場合)である。

【図16】図1に示す液晶パネルの他の構成を示す平面図である。

【図17】図16に示す液晶パネルの変形例を示す平面図である。

【図18】図17におけるA-B断面図(層間絶縁膜が厚い場合)である。

【図19】実施の形態1にかかる液晶パネルの他の構成を示す回路図である。

【図20】図19の液晶パネルの駆動方法を示すタイミングチャートである。

【図21】図19に示す液晶パネルの構成を示す平面図である。

【図22】図19に示す液晶パネルの他の構成を示す平面図である。

【図23】実施の形態2の駆動方法(図1の液晶パネルの場合)を示すタイミングチャー

50

トである。

【図 2 4】図 2 3 の F 1 (n 番目の水平走査期間) の駆動方法を説明する模式図である。

【図 2 5】図 2 3 の F 1 (n + 1 番目の水平走査期間) の駆動方法を説明する模式図である。

【図 2 6】図 2 3 の F 2 (n 番目の水平走査期間) の駆動方法を説明する模式図である。

【図 2 7】図 2 3 の F 2 (n + 1 番目の水平走査期間) の駆動方法を説明する模式図である。

【図 2 8】実施の形態 2 の駆動方法 (図 1 9 の液晶パネルの場合) を示すタイミングチャートである。

【図 2 9】実施の形態 3 にかかる液晶パネルの構成を示す回路図である。

10

【図 3 0】図 2 9 の液晶パネルの駆動方法を示すタイミングチャートである。

【図 3 1】図 2 9 に示す液晶パネルの、 F 1 (n 番目の水平走査期間) の駆動方法を説明する模式図である。

【図 3 2】図 2 9 に示す液晶パネルの、 F 1 (n + 1 番目の水平走査期間) の駆動方法を説明する模式図である。

【図 3 3】図 2 9 に示す液晶パネルの、 F 2 (n 番目の水平走査期間) の駆動方法を説明する模式図である。

【図 3 4】図 2 9 に示す液晶パネルの、 F 2 (n + 1 番目の水平走査期間) の駆動方法を説明する模式図である。

【図 3 5】図 2 9 に示す液晶パネルの構成を示す平面図である。

20

【図 3 6】実施の形態 3 にかかる液晶パネルの他の構成を示す回路図である。

【図 3 7】実施の形態 4 にかかる液晶パネルの構成を示す回路図である。

【図 3 8】図 3 7 に示す液晶パネルの、 F 1 (n 番目の水平走査期間) の駆動方法を説明する模式図である。

【図 3 9】図 3 7 に示す液晶パネルの、 F 1 (n + 1 番目の水平走査期間) の駆動方法を説明する模式図である。

【図 4 0】図 3 7 に示す液晶パネルの、 F 2 (n 番目の水平走査期間) の駆動方法を説明する模式図である。

【図 4 1】図 3 7 に示す液晶パネルの、 F 2 (n + 1 番目の水平走査期間) の駆動方法を説明する模式図である。

30

【図 4 2】図 3 7 に示す液晶パネルの構成を示す平面図である。

【図 4 3】実施の形態 4 にかかる液晶パネルの他の構成を示す回路図である。

【図 4 4】実施の形態 2 ~ 4 の他の駆動方法を示すタイミングチャートである。

【図 4 5】実施の形態 2 ~ 4 のさらに他の駆動方法を示すタイミングチャートである。

【図 4 6】(a) は本液晶表示ユニットの構成を示す模式図であり、(b) は本液晶表示装置の構成を示す模式図である。

【図 4 7】ソースドライバの構成を示す回路図である。

【図 4 8】本液晶表示装置の全体構成を説明するブロック図である。

【図 4 9】本液晶表示装置の機能を説明するブロック図である。

【図 5 0】本テレビジョン受像機の機能を説明するブロック図である。

40

【図 5 1】本テレビジョン受像機の構成を示す分解斜視図である。

【図 5 2】従来の液晶パネルの構成を示す模式図である。

【発明を実施するための形態】

【0010】

本発明にかかる実施の形態の例を、図 1 ~ 4 9 を用いて説明すれば、以下のとおりである。なお、説明の便宜のため、以下ではデータ信号線の延伸方向を列方向、走査信号線の延伸方向を行方向とする。ただし、本液晶表示装置 (あるいはこれに用いられる液晶パネルやアクティブマトリクス基板) の利用 (視聴) 状態において、その走査信号線が横方向に延伸していても縦方向に延伸していてもよいことはいうまでもない。また、アクティブマトリクス基板の 1 つの画素領域は、液晶パネルの 1 つの画素に対応している。

50

【 0 0 1 1 】

〔 実施の形態 1 〕

図 1 は本液晶パネルの一部を示す等価回路図である。図 1 に示すように、容量を介して接続された 2 つの画素電極を含む画素が行および列方向に並べられ、1 つの画素列に対応して 2 本のデータ信号線が設けられるとともに、1 つの画素行に対応して 2 本の走査信号線が設けられ、上記画素列および画素行に属する画素について、上記 2 本の走査信号線の一方に接続されたトランジスタが該画素に含まれる 2 つの画素電極の一方に電氣的に接続されるとともに、上記 2 本の走査信号線の他方に接続されたトランジスタが上記 2 つの画素電極の他方に電氣的に接続され、かつ上記各トランジスタが、上記 2 本のデータ信号線のいずれかである同一のデータ信号線に電氣的に接続されている。なお、1 つの画素行に対応する 2 本の走査信号線は、該画素行の両側に配されているか、あるいは画素行の両端部に重なるように配されている。また、列方向に隣り合う 2 つの画素領域の一方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線と、他方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線とが異なっている。さらに、1 つの画素に 2 つの画素電極が列方向に並べられ、同一画素行に含まれる、互いに斜め向かいとなる 2 つの画素電極の一方に電氣的に接続されるトランジスタと、他方に電氣的に接続されるトランジスタとが同一の走査信号線に接続されている。

10

【 0 0 1 2 】

例えば、画素 1 0 1 ・ 1 0 5 が行方向に並べられるとともに、画素 1 0 1 ~ 1 0 4 が列方向に並べられ、1 つの画素列をなす画素 1 0 1 ~ 1 0 4 に対応して 2 本のデータ信号線 1 5 x ・ 1 5 y が設けられるとともに、1 つの画素行をなす画素 1 0 1 ・ 1 0 5 に対応して、2 本の走査信号線 1 6 a ・ 1 6 b がこの画素行の両側に設けられる。

20

【 0 0 1 3 】

ここで、画素 1 0 1 には、容量 C a b を介して接続された 2 つの画素電極 1 7 a ・ 1 7 b が列方向に並べられ、走査信号線 1 6 a に接続されたトランジスタ 1 2 a のドレイン電極が画素電極 1 7 a に電氣的に接続されるとともに、走査信号線 1 6 b に接続されたトランジスタ 1 2 b のドレイン電極が画素電極 1 7 b に電氣的に接続され、かつトランジスタ 1 2 a ・ 1 2 b それぞれのソース電極が、同一のデータ信号線 1 5 x に電氣的に接続されている。なお、画素電極 1 7 a と共通電極（対向電極）c o m との間に液晶容量 C l a が形成されるとともに、画素電極 1 7 b と共通電極（対向電極）c o m との間に液晶容量 C l b が形成される。

30

【 0 0 1 4 】

また、画素 1 0 1 と列方向に隣り合う画素 1 0 2 には、容量 C c d を介して接続された 2 つの画素電極 1 7 c ・ 1 7 d が列方向に並べられ、走査信号線 1 6 c に接続されたトランジスタ 1 2 c のドレイン電極が画素電極 1 7 c に電氣的に接続されるとともに、走査信号線 1 6 d に接続されたトランジスタ 1 2 d のドレイン電極が画素電極 1 7 d に電氣的に接続され、かつトランジスタ 1 2 c ・ 1 2 d それぞれのソース電極が、同一のデータ信号線 1 5 y に電氣的に接続されている。なお、画素電極 1 7 c と共通電極（対向電極）c o m との間に液晶容量 C l c が形成されるとともに、画素電極 1 7 d と共通電極（対向電極）c o m との間に液晶容量 C l d が形成される。

40

【 0 0 1 5 】

また、画素 1 0 3 には、容量 C e f を介して接続された 2 つの画素電極 1 7 e ・ 1 7 f が列方向に並べられ、走査信号線 1 6 e に接続されたトランジスタ 1 2 e のドレイン電極が画素電極 1 7 e に電氣的に接続されるとともに、走査信号線 1 6 f に接続されたトランジスタ 1 2 f のドレイン電極が画素電極 1 7 f に電氣的に接続され、かつトランジスタ 1 2 e ・ 1 2 f それぞれのソース電極が、同一のデータ信号線 1 5 x に電氣的に接続されている。

【 0 0 1 6 】

また、画素 1 0 4 には、容量 C g h を介して接続された 2 つの画素電極 1 7 g ・ 1 7 h が列方向に並べられ、走査信号線 1 6 g に接続されたトランジスタ 1 2 g のドレイン電極

50

が画素電極 17 g に電氣的に接続されるとともに、走査信号線 16 h に接続されたトランジスタ 12 h のドレイン電極が画素電極 17 h に電氣的に接続され、かつトランジスタ 12 g・12 h それぞれのソース電極が、同一のデータ信号線 15 y に電氣的に接続されている。

【0017】

また、画素 101 と行方向に隣り合う画素 105 には、容量 C A B を介して接続された 2 つの画素電極 17 A・17 B が列方向に並べられ、走査信号線 16 a に接続されるトランジスタ 12 A のドレイン電極が、画素電極 17 a の斜め向かいとなる画素電極 17 B に接続され、走査信号線 16 b に接続されるトランジスタ 12 B のドレイン電極が、画素電極 17 b の斜め向かいとなる画素電極 17 A に接続され、トランジスタ 12 A・12 B それぞれのソース電極が、同一のデータ信号線 15 X に電氣的に接続されている。なお、画素電極 17 A と共通電極（対向電極）c o m との間に液晶容量 C 1 A が形成されるとともに、画素電極 17 B と共通電極（対向電極）c o m との間に液晶容量 C 1 B が形成される。

10

【0018】

また、画素 102 と行方向に隣り合う画素 106 には、容量 C C D を介して接続された 2 つの画素電極 17 C・17 D が列方向に並べられ、走査信号線 16 c に接続されるトランジスタ 12 C のドレイン電極が、画素電極 17 c の斜め向かいとなる画素電極 17 D に接続され、走査信号線 16 d に接続されるトランジスタ 12 D のドレイン電極が、画素電極 17 d の斜め向かいとなる画素電極 17 C に接続され、トランジスタ 12 C・12 D それぞれのソース電極が、同一のデータ信号線 15 Y に電氣的に接続されている。なお、画素電極 17 C と共通電極（対向電極）c o m との間に液晶容量 C 1 C が形成されるとともに、画素電極 17 D と共通電極（対向電極）c o m との間に液晶容量 C 1 D が形成される。

20

【0019】

また、画素 103 と行方向に隣り合う画素 107 には、容量 C E F を介して接続された 2 つの画素電極 17 E・17 F が列方向に並べられ、走査信号線 16 e に接続されるトランジスタ 12 E のドレイン電極が、画素電極 17 e の斜め向かいとなる画素電極 17 F に接続され、走査信号線 16 f に接続されるトランジスタ 12 F のドレイン電極が、画素電極 17 f の斜め向かいとなる画素電極 17 E に接続され、トランジスタ 12 E・12 F それぞれのソース電極が、同一のデータ信号線 15 X に電氣的に接続されている。なお、画素電極 17 E と共通電極（対向電極）c o m との間に液晶容量 C 1 E が形成されるとともに、画素電極 17 F と共通電極（対向電極）c o m との間に液晶容量 C 1 F が形成される。

30

【0020】

また、画素 104 と行方向に隣り合う画素 108 には、容量 C G H を介して接続された 2 つの画素電極 17 G・17 H が列方向に並べられ、走査信号線 16 g に接続されるトランジスタ 12 G のドレイン電極が、画素電極 17 g の斜め向かいとなる画素電極 17 H に接続され、走査信号線 16 h に接続されるトランジスタ 12 H のドレイン電極が、画素電極 17 h の斜め向かいとなる画素電極 17 G に接続され、トランジスタ 12 G・12 H それぞれのソース電極が、同一のデータ信号線 15 Y に電氣的に接続されている。なお、画素電極 17 G と共通電極（対向電極）c o m との間に液晶容量 C 1 G が形成されるとともに、画素電極 17 H と共通電極（対向電極）c o m との間に液晶容量 C 1 H が形成される。

40

【0021】

図 2 は液晶パネル 5 a の駆動方法を示すタイミングチャートである。図中、15 x・15 y・15 X・15 Y は、データ信号線 15 x・15 y・15 X・15 Y に供給されるデータ信号を示し、s h はプリチャージ期間を規定する信号を示し、16 a～16 h は走査信号線 16 a～16 h に供給される信号（アクティブ H i g h）を示し、17 a～17 d・17 A・17 B は、画素電極 17 a～17 d・17 A・17 B の電位を示している。ま

50

た、図 3・4 は、図 2 の F 1 (第 1 フレーム)での駆動を、図 5・6 は、図 2 の F 2 (第 2 フレーム)での駆動を、図 7・8 は、図 2 の F 3 (第 3 フレーム)での駆動を、図 9・10 は、図 2 の F 4 (第 4 フレーム)での駆動を説明している。図 3 等では選択される走査信号線に マークを付している。

【 0 0 2 2 】

図 2 の駆動方法においては、奇数番目のフレームで、隣り合う 2 つの画素行の一方に対応する 2 本の走査信号線の一方と、該 2 つの画素行の他方に対応する 2 本の走査信号線の一方とが同時選択されることで、該 2 つの画素行に同時にデータ信号が書き込まれ、偶数番目のフレームで、上記隣り合う 2 つの画素行の一方に対応する 2 本の走査信号線の他方と、該 2 つの画素行の他方に対応する 2 本の走査信号線の他方とが同時選択されることで、該 2 つの画素行に同時にデータ信号が書き込まれる。この場合、副画素の明・暗が 1 フレームごとに入れ替わる。

10

【 0 0 2 3 】

例えば、F 1・F 3 では、画素 1 0 1・1 0 5 を含む画素行に対応する 2 本の走査信号線の一方である 1 6 a と、画素 1 0 2・1 0 6 を含む画素行に対応する 2 本の走査信号線の一方である 1 6 c とが同時選択されることで、画素 1 0 1・1 0 5 を含む画素行と画素 1 0 2・1 0 6 を含む画素行とに同時にデータ信号が書き込まれ、F 2・F 4 では、画素 1 0 1・1 0 5 を含む画素行に対応する 2 本の走査信号線の他方である 1 6 b と、画素 1 0 2・1 0 6 を含む画素行に対応する 2 本の走査信号線の他方である 1 6 d とが同時選択されることで、画素 1 0 1・1 0 5 を含む画素行と画素 1 0 2・1 0 6 を含む画素行とに同時にデータ信号が書き込まれる。

20

【 0 0 2 4 】

また、列方向に隣り合う 2 つの画素の一方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線と、該 2 つの画素の他方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線とに、互いに逆極性のデータ信号が供給される。

【 0 0 2 5 】

例えば F 1 では、画素 1 0 1 に含まれる各画素電極 (1 7 a・1 7 b) にトランジスタ (1 2 a・1 2 b) を介して接続されるデータ信号線 1 5 x に、プラス極性のデータ信号が供給される一方、画素 1 0 1 と列方向に隣り合う画素 1 0 2 に含まれる各画素電極 (1 7 c・1 7 d) にトランジスタ (1 2 c・1 2 d) を介して接続されるデータ信号線 1 5 y に、マイナス極性のデータ信号が供給される。

30

【 0 0 2 6 】

また、行方向に隣り合う 2 つの画素の一方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線と、該 2 つの画素の他方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線とに、逆極性のデータ信号が供給される。

【 0 0 2 7 】

例えば、画素 1 0 1 に含まれる各画素電極 (1 7 a・1 7 b) にトランジスタ (1 2 a・1 2 b) を介して接続されるデータ信号線 1 5 x に、プラス極性のデータ信号が供給される一方、画素 1 0 1 と行方向に隣り合う画素 1 0 5 に含まれる各画素電極 (1 7 A・1 7 B) にトランジスタ (1 2 A・1 2 B) を介して接続されるデータ信号線 1 5 X に、マイナス極性のデータ信号が供給される。

40

【 0 0 2 8 】

また、同一のデータ信号線に供給されるデータ信号の極性が 2 フレームごとに反転する。すなわち、画素の極性が 2 フレームごとに反転する。

【 0 0 2 9 】

例えば、F 1・F 2 では、データ信号線 1 5 x・1 5 Y にプラス極性のデータ信号を供給するとともに、データ信号線 1 5 y・1 5 X にマイナス極性のデータ信号を供給する一方、F 3・F 4 では、データ信号線 1 5 x・1 5 Y にマイナス極性のデータ信号を供給するとともに、データ信号線 1 5 y・1 5 X にプラス極性のデータ信号を供給する。

【 0 0 3 0 】

50

さらに、各水平走査期間に、データ信号線に一定電位（ここでは、共通電極電位 V_C ）が供給されるプリチャージ期間が設けられ、同時選択中のプリチャージ期間に、（同時書き込みを行う）上記 2 つの画素領域行に対応する 4 本の走査信号線のうち同時選択されていない各走査信号線が $ON \cdot OFF$ される。

【0031】

例えば、図 1 ~ 3 に示すように、 F_1 の n 番目の水平走査期間では、走査信号線 $16a \cdot 16c$ の同時選択中のプリチャージ期間に、画素 $101 \cdot 105$ を含む画素行および画素 $102 \cdot 106$ を含む画素行に対応する 4 本の走査信号線（ $16a \cdot 16b \cdot 16c \cdot 16d$ ）のうち同時選択されていない各走査信号線（ $16b \cdot 16d$ ）が $ON \cdot OFF$ される（アクティブ化された後に非アクティブとされる）。これにより、トランジスタを介して走査信号線 $16b$ に接続された画素電極 $17b \cdot 17A$ と、トランジスタを介して走査信号線 $16d$ に接続された画素電極 $17d \cdot 17C$ とがディスチャージされる。

10

【0032】

そして、該プリチャージ期間の後に、トランジスタを介して走査信号線 $16a$ に接続される画素電極 $17a \cdot 17B$ と、トランジスタを介して走査信号線 $16c$ に接続される画素電極 $17c \cdot 17D$ とにデータ信号が書き込まれる。

【0033】

これにより、画素 101 では、画素電極 $17a$ を含む副画素がプラス極性の明副画素（ $M+$ ）、画素電極 $17b$ を含む副画素がプラス極性の暗副画素（ $K+$ ）となり、画素 105 では、画素電極 $17A$ を含む副画素がマイナス極性の暗副画素（ $K-$ ）、画素電極 $17B$ を含む副画素がマイナス極性の明副画素（ $M-$ ）となり、画素 102 では、画素電極 $17c$ を含む副画素がマイナス極性の明副画素（ $M-$ ）、画素電極 $17d$ を含む副画素がマイナスの暗副画素（ $K-$ ）となり、画素 106 では、画素電極 $17C$ を含む副画素がプラス極性の暗副画素（ $K+$ ）、画素電極 $17D$ を含む副画素がプラス極性の明副画素（ $M+$ ）となる。

20

【0034】

また、図 1・2・4 に示すように、 F_1 の $n+1$ 番目の水平走査期間では、走査信号線 $16e \cdot 16g$ の同時選択中のプリチャージ期間に、画素 $103 \cdot 107$ を含む画素行および画素 $104 \cdot 108$ を含む画素行に対応する 4 本の走査信号線（ $16e \cdot 16f \cdot 16g \cdot 16h$ ）のうち同時選択されていない各走査信号線（ $16f \cdot 16h$ ）が $ON \cdot OFF$ される。これにより、トランジスタを介して走査信号線 $16f$ に接続された画素電極 $17f \cdot 17E$ と、トランジスタを介して走査信号線 $16h$ に接続された画素電極 $17h \cdot 17G$ とがディスチャージされる。

30

【0035】

そして、該プリチャージ期間の後に、トランジスタを介して走査信号線 $16e$ に接続される画素電極 $17e \cdot 17F$ と、トランジスタを介して走査信号線 $16g$ に接続される画素電極 $17g \cdot 17H$ とにデータ信号が書き込まれる。

【0036】

これにより、画素 103 では、画素電極 $17e$ を含む副画素がプラス極性の明副画素（ $M+$ ）、画素電極 $17f$ を含む副画素がプラス極性の暗副画素（ $K+$ ）となり、画素 107 では、画素電極 $17E$ を含む副画素がマイナス極性の暗副画素（ $K-$ ）、画素電極 $17F$ を含む副画素がマイナス極性の明副画素（ $M-$ ）となり、画素 104 では、画素電極 $17g$ を含む副画素がマイナス極性の明副画素（ $M-$ ）、画素電極 $17h$ を含む副画素がマイナスの暗副画素（ $K-$ ）となり、画素 108 では、画素電極 $17G$ を含む副画素がプラス極性の暗副画素（ $K+$ ）、画素電極 $17H$ を含む副画素がプラス極性の明副画素（ $M+$ ）となる。

40

【0037】

また、図 1・2・5 に示すように、 F_2 の n 番目の水平走査期間では、走査信号線 $16b \cdot 16d$ の同時選択中のプリチャージ期間に、画素 $101 \cdot 105$ を含む画素行および画素 $102 \cdot 106$ を含む画素行に対応する 4 本の走査信号線（ $16a \cdot 16b \cdot 16c$

50

・ 16 d) のうち同時選択されていない各走査信号線 (16 a ・ 16 c) が ON ・ OFF される。これにより、トランジスタを介して走査信号線 16 a に接続された画素電極 17 a ・ 17 B と、トランジスタを介して走査信号線 16 c に接続された画素電極 17 c ・ 17 D とがディスチャージされる。

【 0038 】

そして、該プリチャージ期間の後に、トランジスタを介して走査信号線 16 b に接続される画素電極 17 b ・ 17 A と、トランジスタを介して走査信号線 16 d に接続される画素電極 17 d ・ 17 C とにデータ信号が書き込まれる。

【 0039 】

これにより、画素 101 では、画素電極 17 a を含む副画素がプラス極性の暗副画素 (K +)、画素電極 17 b を含む副画素がプラス極性の明副画素 (M +) となり、画素 105 では、画素電極 17 A を含む副画素がマイナス極性の明副画素 (M -)、画素電極 17 B を含む副画素がマイナス極性の暗副画素 (K -) となり、画素 102 では、画素電極 17 c を含む副画素がマイナスの暗副画素 (K -)、画素電極 17 d を含む副画素がマイナス極性の明副画素 (M -) となり、画素 106 では、画素電極 17 C を含む副画素がプラス極性の明副画素 (M +)、画素電極 17 D を含む副画素がプラス極性の暗副画素 (K +) となる。

【 0040 】

また、図 1 ・ 2 ・ 6 に示すように、F 2 の n + 1 番目の水平走査期間では、走査信号線 16 f ・ 16 h の同時選択中のプリチャージ期間に、画素 103 ・ 107 を含む画素行および画素 104 ・ 108 を含む画素行に対応する 4 本の走査信号線 (16 e ・ 16 f ・ 16 g ・ 16 h) のうち同時選択されていない各走査信号線 (16 e ・ 16 g) が ON ・ OFF される。これにより、トランジスタを介して走査信号線 16 e に接続された画素電極 17 e ・ 17 F と、トランジスタを介して走査信号線 16 g に接続された画素電極 17 g ・ 17 H とがディスチャージされる。

【 0041 】

そして、該プリチャージ期間の後に、トランジスタを介して走査信号線 16 f に接続される画素電極 17 f ・ 17 E と、トランジスタを介して走査信号線 16 h に接続される画素電極 17 h ・ 17 G とにデータ信号が書き込まれる。

【 0042 】

これにより、画素 103 では、画素電極 17 e を含む副画素がプラス極性の暗副画素 (K +)、画素電極 17 f を含む副画素がプラス極性の明副画素 (M +) となり、画素 107 では、画素電極 17 E を含む副画素がマイナス極性の明副画素 (M -)、画素電極 17 F を含む副画素がマイナス極性の暗副画素 (K -) となり、画素 104 では、画素電極 17 g を含む副画素がマイナスの暗副画素 (K -)、画素電極 17 h を含む副画素がマイナス極性の明副画素 (M -) となり、画素 108 では、画素電極 17 G を含む副画素がプラス極性の明副画素 (M +)、画素電極 17 H を含む副画素がプラス極性の暗副画素 (K +) となる。

【 0043 】

また F 3 ・ F 4 では、各データ信号線に供給されるデータ信号の極性が反転し、F 1 ・ F 2 と同様の走査が行われる (図 7 ~ 10 参照)。

【 0044 】

液晶パネル 5 a を備えた液晶表示装置は、容量結合型の画素分割方式であり、また、2 つの画素行に同時に書き込みを行うことができるため、視野角特性が良好であるとともに、画素充電時間を維持しつつ、書き換え周波数 60 Hz 以上の高速駆動 (例えば、倍速駆動) を行うことができる。

【 0045 】

そして、画素内の 2 つの画素電極それぞれがトランジスタを介してデータ信号線に接続されている (すなわち、電氣的にフローティングとならない) ことから、容量結合型の画素分割方式で問題となっていた画素の焼き付等を抑制することができる。また、1 つの副

10

20

30

40

50

画素を明副画素にしたり暗副画素にしたりすることができるため、1つの副画素が明副画素あるいは暗副画素に固定される液晶表示装置と比較して視野角特性を高めることができる。例えばMVAの液晶表示装置では、時間的にみて1副画素あたり 4×2 （明・暗）ドメインを形成することができる。また、各フレームにおいて、1画素に含まれる2つの画素電極の一方（明副画素に対応する画素電極）にデータ信号を書き込む前に他方（暗副画素に対応する画素電極）をディスチャージしているため、明・暗副画素の輝度を（1フレーム前にこの他方の画素電極に書き込まれたデータ信号に左右されることなく）適正に制御することができる。

【0046】

さらに、各フレームでは、行方向および列方向それぞれについて、明副画素と暗副画素とが交互に並ぶ（明・暗副画素が市松配置される）ため、ざらつき感の少ない自然な表示が可能となる。また、同一データ信号線に供給されるデータ信号の極性が2垂直期間同一であるため、データ信号の極性が1水平走査期間で反転するような場合と比較してソースドライバの消費電力を抑えることができる。なお、各フレームで書き込まれるデータ信号の極性分布はドット反転状となるため、画面のチラツキも抑制することができる。また、各水平走査期間にプリチャージ期間を設けているため、過去フレームの階調による（例えば、256階調表示で0階調→100階調に遷移する場合と100階調→100階調に遷移する場合の）充電率の波形や到達値のばらつきを小さくすることができる。

【0047】

また、図2の駆動方法においては、奇数番目のフレームでは、2つの画素領域行の一方に対応する2本の走査信号線のうち1本と、他方に対応する2本の走査信号線のうち1本とが同時選択され、偶数番目のフレームでは、上記2つの画素領域行の一方に対応する2本の走査信号線のうち残る1本と、他方に対応する2本の走査信号線のうち残る1本とが同時選択され、かつ同一データ信号線に供給されるデータ信号の極性が1フレームごとに反転するが、これに限定されない。例えば、図11に示すように、連続する2フレームそれぞれでは、2つの画素領域行の一方に対応する2本の走査信号線のうち1本と、他方に対応する2本の走査信号線のうち1本とを同時選択し、上記2フレームに続く連続する2フレームそれぞれでは、上記2つの画素領域行の一方に対応する2本の走査信号線のうち残る1本と、他方に対応する2本の走査信号線のうち残る1本とを同時選択し、かつ同一データ信号線に供給するデータ信号の極性を2フレームごとに反転させてもよい。この場合、1つの副画素では、2フレームごとに明・暗が入れ替わり、1フレームごとに極性が反転することになる。

【0048】

また、図2・11の駆動方法では、同時選択中のプリチャージ期間に、（同時書き込みを行う）上記2つの画素領域行に対応する4本の走査信号線のうち同時選択されていない各走査信号線がON・OFFされるが、これに限定されない。例えば、図12に示すように、同時選択が開始されるまでのプリチャージ期間に、（同時書き込みを行う）上記2つの画素領域行に対応する4本の走査信号線それぞれを同期してON・OFFしてもよい。この場合、同時選択の1/2～1/5垂直走査期間前に、上記4本の走査信号線それぞれを同期してON・OFFすることもできる。こうすれば、上記2つの画素領域行には1/2～1/5垂直走査期間だけ黒表示がなされるため、いわゆる黒挿入の効果が得られ、動画等での尾引き感を抑えることができる。

【0049】

図13は、図1に示す液晶パネル5aの一部の構成例を示す平面図である。図13に示すように、液晶パネル5aには、行方向に延伸する走査信号線16a～16dがこの順に配されるとともに、列方向に延伸するデータ信号線15x・15y・15X・15Yがこの順に配され、平面的に視ると、走査信号線16a・16bおよびデータ信号線15x・15yで画される領域に画素電極17a・17bが列方向に並べられるとともに、走査信号線16a・16bおよびデータ信号線15X・15Yで画される領域に画素電極17A・17Bが列方向に並べられ、かつ走査信号線16c・16dおよびデータ信号線15x

10

20

30

40

50

・ 15 y で画される領域に画素電極 17 c ・ 17 d が列方向に並べられるとともに、走査信号線 16 c ・ 16 d およびデータ信号線 15 X ・ 15 Y で画される領域に画素電極 17 C ・ 17 D が列方向に並べられている。また、走査信号線 16 a ・ 16 b 間に保持容量配線 18 p が配されるとともに、走査信号線 16 c ・ 16 d 間に保持容量配線 18 q が配されている。

【0050】

なお、走査信号線 16 a はトランジスタ 12 a ・ 12 A のゲート電極として、走査信号線 16 b はトランジスタ 12 b ・ 12 B のゲート電極として、走査信号線 16 c はトランジスタ 12 c ・ 12 C のゲート電極として、走査信号線 16 d はトランジスタ 12 d ・ 12 D のゲート電極として機能する。また、トランジスタ 12 a ・ 12 b のソース電極はデータ信号線 15 x に接続されるとともに、トランジスタ 12 c ・ 12 d のソース電極はデータ信号線 15 y に接続され、トランジスタ 12 A ・ 12 B のソース電極はデータ信号線 15 X に接続されるとともに、トランジスタ 12 C ・ 12 D のソース電極はデータ信号線 15 Y に接続されている。

10

【0051】

また、トランジスタ 12 a のドレイン電極 9 a が容量電極 37 a に接続され、該容量電極 37 a と画素電極 17 a とがコンタクトホール 11 a を介して接続され、容量電極 37 a は、ゲート絶縁膜を介して保持容量配線 18 p に重なる部分と、層間絶縁膜を介して画素電極 17 b と重なる部分とを有している。なお、ドレイン電極 9 a と容量電極 37 a の境界は走査信号線 16 a のエッジ上とする。一方、トランジスタ 12 b のドレイン電極 9 b が容量電極 37 b に接続され、容量電極 37 b と画素電極 17 b とがコンタクトホール 11 b を介して接続され、容量電極 37 b は、ゲート絶縁膜を介して保持容量配線 18 p に重なる部分と、層間絶縁膜を介して画素電極 17 a に重なる部分とを有している。なお、ドレイン電極 9 b と容量電極 37 b の境界は走査信号線 16 b のエッジ上とする。

20

【0052】

ここでは、容量電極 37 a および画素電極 17 b の重なり部分と、容量電極 37 b および画素電極 17 a の重なり部分とに、結合容量 C a b (図 1 参照) が形成され、容量電極 37 a および保持容量配線 18 p の重なり部分に、保持容量 C h a (図 1 参照) の大半が形成され、容量電極 37 b および保持容量配線 18 p の重なり部分に、保持容量 C h b (図 1 参照) の大半が形成されている。このように、容量電極 37 a および画素電極 17 b の重なり部分に形成される容量と、容量電極 37 b および画素電極 17 a の重なり部分に形成される容量とが並列に接続された構成とすることで結合容量 C a b の値を大きくすることができる。

30

【0053】

また、容量電極 37 a および容量電極 37 b は、画素中央を中心として互いに点対称となるようにレイアウトされ、ドレイン電極 9 a ・ 9 b も、それぞれの面積が等しくなるようにレイアウトされている。したがって、画素電極 17 a を含む副画素が明副画素で画素電極 17 b を含む副画素が暗副画素となるフレームと、画素電極 17 a を含む副画素が暗副画素で画素電極 17 b を含む副画素が明副画素となるフレームとで同一の表示が可能となる。

40

【0054】

また、トランジスタ 12 A のドレイン電極 9 A が容量電極 37 A に接続され、該容量電極 37 A と画素電極 17 B とがコンタクトホール 11 A を介して接続され、容量電極 37 A は、ゲート絶縁膜を介して保持容量配線 18 p に重なる部分と、層間絶縁膜を介して画素電極 17 A と重なる部分とを有している。なお、ドレイン電極 9 A と容量電極 37 A の境界は走査信号線 16 a のエッジ上とする。一方、トランジスタ 12 B のドレイン電極 9 B が容量電極 37 B に接続され、容量電極 37 B と画素電極 17 A とがコンタクトホール 11 B を介して接続され、容量電極 37 B は、ゲート絶縁膜を介して保持容量配線 18 p に重なる部分と、層間絶縁膜を介して画素電極 17 B に重なる部分とを有している。なお、ドレイン電極 9 B と容量電極 37 B の境界は走査信号線 16 b のエッジ上とする。

50

【 0 0 5 5 】

ここでは、容量電極 3 7 A および画素電極 1 7 A の重なり部分と、容量電極 3 7 B および画素電極 1 7 B の重なり部分とに、結合容量 C A B (図 1 参照) が形成され、容量電極 3 7 B および保持容量配線 1 8 p の重なり部分に、保持容量 C h A (図 1 参照) の大半が形成され、容量電極 3 7 A および保持容量配線 1 8 p の重なり部分に、保持容量 C h B (図 1 参照) の大半が形成されている。このように、容量電極 3 7 A および画素電極 1 7 A の重なり部分に形成される容量と、容量電極 3 7 B および画素電極 1 7 B の重なり部分に形成される容量とが並列に接続された構成とすることで結合容量 C A B の値を大きくすることができる。

【 0 0 5 6 】

また、容量電極 3 7 A および容量電極 3 7 B は、画素中央を中心として互いに点対称となるようにレイアウトされ、ドレイン電極 9 A ・ 9 B も、それぞれの面積が等しくなるようにレイアウトされている。したがって、画素電極 1 7 A を含む副画素が明副画素で画素電極 1 7 B を含む副画素が暗副画素となるフレームと、画素電極 1 7 A を含む副画素が暗副画素で画素電極 1 7 B を含む副画素が明副画素となるフレームとで同一の表示が可能となる。

【 0 0 5 7 】

図 1 4 は図 1 3 の A - B 断面図である。同図に示すように、液晶パネル 5 a は、アクティブマトリクス基板 3 と、これに対向するカラーフィルタ基板 3 0 と、両基板 (3 ・ 3 0) 間に配される液晶層 4 0 とを備える。

【 0 0 5 8 】

アクティブマトリクス基板 3 では、ガラス基板 3 1 上に走査信号線 1 6 a ・ 1 6 b および保持容量配線 1 8 p が形成され、これらを覆うようにゲート絶縁膜 2 2 が形成されている。ゲート絶縁膜 2 2 上には、半導体層 2 4 (i 層および n + 層) 、 n + 層に接するソース電極 8 a 、ドレイン電極 9 a ・ 9 b 、および容量電極 3 7 a が形成され、これらを覆うように層間絶縁膜 5 1 が形成されている。層間絶縁膜 5 1 上には画素電極 1 7 a ・ 1 7 b が形成され、さらに、これら (画素電極 1 7 a ・ 1 7 b) を覆うように配向膜 (図示せず) が形成されている。ここで、コンタクトホール 1 1 a では、層間絶縁膜 5 1 が割り貫かれ、これによって、画素電極 1 7 a と容量電極 3 7 a とが接続される。また、容量電極 3 7 a の先端部は層間絶縁膜 5 1 を介して画素電極 1 7 b と重なっており、これによって、結合容量 C a b (図 1 参照) の一部が形成される。また、容量電極 3 7 a の先端部はゲート絶縁膜 2 2 を介して保持容量配線 1 8 p と重なっており、これによって、保持容量 C h a (図 1 参照) の一部が形成されている。

【 0 0 5 9 】

一方、カラーフィルタ基板 3 0 では、ガラス基板 3 2 上にブラックマトリクス 1 3 および着色層 1 4 が形成され、その上層に共通電極 (c o m) 2 8 が形成され、さらにこれを覆うように配向膜 (図示せず) が形成されている。

【 0 0 6 0 】

以下に、本液晶パネルの製造方法について説明する。液晶パネルの製造方法には、アクティブマトリクス基板製造工程と、カラーフィルタ基板製造工程と、両基板を貼り合わせて液晶を充填する組み立て工程とが含まれる。

【 0 0 6 1 】

まず、ガラス、プラスチックなどの基板上に、チタン、クロム、アルミニウム、モリブデン、タンタル、タングステン、銅などの金属膜、それらの合金膜、または、それらの積層膜 (厚さ 1 0 0 0 ~ 3 0 0 0) をスパッタリング法により成膜し、その後、フォトリソグラフィ技術 (Photo Engraving Process、以下、「 P E P 技術」と称し、これにはエッチング工程が含まれるものとする) によりパターンニングを行い、走査信号線 (各トランジスタのゲート電極) および保持容量配線を形成する。

【 0 0 6 2 】

次いで、走査信号線が形成された基板全体に、 C V D (Chemical Vapor Deposition)

10

20

30

40

50

法により窒化シリコンや酸化シリコンなどの無機絶縁膜（厚さ3000～5000程度）を成膜し、フォトリソの除去を行い、ゲート絶縁膜を形成する。

【0063】

続いて、ゲート絶縁膜上（基板全体）に、CVD法により真性アモルファスシリコン膜（厚さ1000～3000）と、リンがドーパされたn+アモルファスシリコン膜（厚さ400～700）とを連続して成膜し、その後、PEP技術によってパターニングを行い、フォトリソを除去することにより、ゲート電極上に、真性アモルファスシリコン層とn+アモルファスシリコン層とからなるシリコン積層体を島状に形成する。

【0064】

続いて、シリコン積層体が形成された基板全体に、チタン、クロム、アルミニウム、モリブデン、タンタル、タングステン、銅などの金属膜、それらの合金膜、または、それらの積層膜（厚さ1000～3000）をスパッタリング法により成膜し、その後、PEP技術によりパターニングを行い、データ信号線、トランジスタのソース電極・ドレイン電極、および容量電極を形成する（メタル層の形成）。ここでは必要に応じてレジストを除去する。

【0065】

さらに、上記メタル配線形成時のフォトリソ、またはソース電極およびドレイン電極をマスクとして、シリコン積層体を構成するn+アモルファスシリコン層をエッチング除去し、フォトリソを除去することにより、トランジスタのチャネルを形成する。ここで、半導体層は、上記のようにアモルファスシリコン膜により形成させてもよいが、ポリシリコン膜を成膜させてもよく、また、アモルファスシリコン膜およびポリシリコン膜にレーザアニール処理を行って結晶性を向上させてもよい。これにより、半導体層内の電子の移動速度が速くなり、トランジスタ（TFT）の特性を向上させることができる。

【0066】

次いで、データ信号線などが形成された基板全体に層間絶縁膜を形成する。具体的には、SiH₄ガスとNH₃ガスとN₂ガスとの混合ガスを用い、基板全面を覆うように、厚さ約3000のSiNxからなる無機絶縁膜（パッシベーション膜）をCVDにて形成する。

【0067】

その後、PEP技術により、層間絶縁膜をエッチング除去してコンタクトホールを形成する。

【0068】

続いて、コンタクトホールが形成された層間絶縁膜上の基板全体に、ITO（Indium Tin Oxide）、IZO（Indium Zinc Oxide）、酸化亜鉛、酸化スズなどからなる透明導電膜（厚さ1000～2000）をスパッタリング法により成膜し、その後、PEP技術によりパターニングを行い、レジストを除去して各画素電極を形成する。

【0069】

最後に、画素電極上の基板全体に、ポリイミド樹脂を厚さ500～1000で印刷し、その後、焼成して、回転布にて一方向にラビング処理を行って、配向膜を形成する。以上のようにして、アクティブマトリクス基板製造される。

【0070】

以下に、カラーフィルタ基板製造工程について説明する。

【0071】

まず、ガラス、プラスチックなどの基板上（基板全体）に、クロム薄膜、または黒色顔料を含有する樹脂を成膜した後にPEP技術によってパターニングを行い、ブラックマトリクスを形成する。次いで、ブラックマトリクスの間隙に、顔料分散法などを用いて、赤、緑および青のカラーフィルタ層（厚さ2μm程度）をパターン形成する。

【0072】

続いて、カラーフィルタ層上の基板全体に、ITO、IZO、酸化亜鉛、酸化スズなどからなる透明導電膜（厚さ1000程度）を成膜し、共通電極（com）を形成する。

【 0 0 7 3 】

最後に、共通電極上の基板全体に、ポリイミド樹脂を厚さ 5 0 0 ~ 1 0 0 0 で印刷し、その後、焼成して、回転布にて一方向にラビング処理を行って、配向膜を形成する。上記のようにして、カラーフィルタ基板を製造することができる。

【 0 0 7 4 】

以下に、組み立て工程について、説明する。

【 0 0 7 5 】

まず、アクティブマトリクス基板およびカラーフィルタ基板の一方に、スクリーン印刷により、熱硬化性エポキシ樹脂などからなるシール材料を液晶注入口の部分に欠いた枠状パターンに塗布し、他方の基板に液晶層の厚さに相当する直径を持ち、プラスチックまたはシリカからなる球状のスペーサーを散布する。なお、スペーサーを散布する代わりに、P E P 技術により C F 基板の B M 上あるいはアクティブマトリクス基板のメタル配線上にスペーサーを形成してもよい。

【 0 0 7 6 】

次いで、アクティブマトリクス基板とカラーフィルタ基板とを貼り合わせ、シール材料を硬化させる。

【 0 0 7 7 】

最後に、アクティブマトリクス基板およびカラーフィルタ基板並びにシール材料で囲まれる空間に、減圧法により液晶材料を注入した後、液晶注入口に U V 硬化樹脂を塗布し、U V 照射によって液晶材料を封止することで液晶層を形成する。以上のようにして、液晶パネルが製造される。

【 0 0 7 8 】

なお、M V A (マルチドメインパーティカルアライメント) 方式の液晶パネルでは、例えば、アクティブマトリクス基板の各画素電極に配向規制用のスリットが設けられるとともに、カラーフィルタ基板に配向規制用のリブ (線状突起) が設けられる。なお、リブの代わりに、カラーフィルタ基板の共通電極に配向規制用のスリットを設けることもできる。

【 0 0 7 9 】

なお、アクティブマトリクス基板の層間絶縁膜 (チャネル保護膜) を、図 1 5 に示すように、無機絶縁膜 2 5 と有機絶縁膜 2 6 とで構成してもよい。こうすれば、各種寄生容量の低減や配線同士の短絡防止の効果が得られる。なお、この有機絶縁膜 2 6 については、容量電極 3 7 a および画素電極 1 7 b と重畳する部分を、図 1 5 のように割り貫くかあるいは周囲よりも薄く形成することが好ましい。こうすれば、結合容量 C a b (図 1 参照) の容量値を大きくすることができる。このように層間絶縁膜を厚く形成する場合には、図 1 6 のように各画素電極のエッジ領域をデータ信号線および走査信号線に重ねて開口率を高めることもできる。さらに、図 1 6 の構成においては、互いに隣り合う 2 本のデータ信号線であって、かつそれぞれが別々の画素領域列に対応して設けられたものの間隙 (データ信号線と同層) あるいは間隙上 (画素電極と同層) に、データ信号とは別の信号が供給される間在配線を設けてもよい。例えば、図 1 7 に示すように、データ信号線 1 5 y ・ 1 5 X の間隙に間在配線 6 6 を設ける (図 1 7 の断面図である図 1 8 参照) 。こうすれば、例えば、データ信号線 1 5 X と画素電極 1 7 a のクロストーク、およびデータ信号線 1 5 y と画素電極 1 7 A のクロストークを低減することができる。

【 0 0 8 0 】

図 1 9 は本液晶パネル 5 b の構成を示す回路図である。液晶パネル 5 b と液晶パネル 5 a (図 1 参照) との違いは、同一画素行内で行方向に隣り合う 2 つの画素電極の一方に電氣的に接続されるトランジスタと、他方に電氣的に接続されるトランジスタとが同一の走査信号線に接続されている点である。

【 0 0 8 1 】

例えば、画素 1 0 1 と行方向に隣り合う画素 1 0 5 には、容量 C A B を介して接続された 2 つの画素電極 1 7 A ・ 1 7 B が列方向に並べられ、走査信号線 1 6 a に接続されるト

10

20

30

40

50

ランジスタ 12 A のドレイン電極が、画素電極 17 a と行方向に隣り合う画素電極 17 A に接続され、走査信号線 16 b に接続されるトランジスタ 12 B のドレイン電極が、画素電極 17 b と行方向に隣り合う画素電極 17 B に接続され、トランジスタ 12 A ・ 12 B それぞれのソース電極が、同一のデータ信号線 15 X に電氣的に接続されている。

【 0 0 8 2 】

また、画素 102 と行方向に隣り合う画素 106 には、容量 C C D を介して接続された 2 つの画素電極 17 C ・ 17 D が列方向に並べられ、走査信号線 16 c に接続されるトランジスタ 12 C のドレイン電極が、画素電極 17 c と行方向に隣り合う画素電極 17 C に接続され、走査信号線 16 d に接続されるトランジスタ 12 D のドレイン電極が、画素電極 17 d と行方向に隣り合う画素電極 17 D に接続され、トランジスタ 12 C ・ 12 D それぞれのソース電極が、同一のデータ信号線 15 Y に電氣的に接続されている。

10

【 0 0 8 3 】

図 20 は液晶パネル 5 b の駆動方法を示すタイミングチャートである。図中、15 x ・ 15 y ・ 15 X ・ 15 Y は、データ信号線 15 x ・ 15 y ・ 15 X ・ 15 Y に供給されるデータ信号を示し、s h はプリチャージ期間を規定する信号を示し、16 a ~ 16 h は走査信号線 16 a ~ 16 h に供給される信号（アクティブ H i g h）を示し、17 a ~ 17 d ・ 17 A ・ 17 B は、画素電極 17 a ~ 17 d ・ 17 A ・ 17 B の電位を示している。液晶パネル 5 b を駆動したときには、同一画素行内で行方向に隣り合う 2 つの画素電極の一方を含む副画素と他方を含む副画素とがともに明副画素あるいはともに暗副画素となり、それ以外は液晶パネル 5 a を駆動したときと同様である。

20

【 0 0 8 4 】

図 21 は、図 17 に示す液晶パネル 5 b の一具体例を示す平面図である。図 21 における、各データ信号線、各走査信号線および各保持容量配線並びに各トランジスタの構成は図 13 におけるそれらの構成と同一である。そして、トランジスタ 12 a のドレイン電極 9 a が容量電極 37 a に接続され、該容量電極 37 a と画素電極 17 a とがコンタクトホール 11 a を介して接続され、容量電極 37 a は、ゲート絶縁膜を介して保持容量配線 18 p に重なる部分と、層間絶縁膜を介して画素電極 17 b と重なる部分とを有している。なお、ドレイン電極 9 a と容量電極 37 a の境界は走査信号線 16 a のエッジ上とする。一方、トランジスタ 12 b のドレイン電極 9 b が容量電極 37 b に接続され、容量電極 37 b と画素電極 17 b がコンタクトホール 11 b を介して接続され、容量電極 37 b は、ゲート絶縁膜を介して保持容量配線 18 p に重なる部分と、層間絶縁膜を介して画素電極 17 a に重なる部分とを有している。なお、ドレイン電極 9 b と容量電極 37 b の境界は走査信号線 16 b のエッジ上とする。また、容量電極 37 a および容量電極 37 b は、画素中央を中心として互いに点対称となるようにレイアウトされ、ドレイン電極 9 a ・ 9 b も、それぞれの面積が等しくなるようにレイアウトされている。

30

【 0 0 8 5 】

また、トランジスタ 12 A のドレイン電極 9 A が容量電極 37 A に接続され、該容量電極 37 A と画素電極 17 A とがコンタクトホール 11 A を介して接続され、容量電極 37 A は、ゲート絶縁膜を介して保持容量配線 18 p に重なる部分と、層間絶縁膜を介して画素電極 17 B と重なる部分とを有している。なお、ドレイン電極 9 A と容量電極 37 A の境界は走査信号線 16 a のエッジ上とする。一方、トランジスタ 12 B のドレイン電極 9 B が容量電極 37 B に接続され、容量電極 37 B と画素電極 17 B とがコンタクトホール 11 B を介して接続され、容量電極 37 B は、ゲート絶縁膜を介して保持容量配線 18 p に重なる部分と、層間絶縁膜を介して画素電極 17 A に重なる部分とを有している。なお、ドレイン電極 9 B と容量電極 37 B の境界は走査信号線 16 b のエッジ上とする。また、容量電極 37 A および容量電極 37 B は、画素中央を中心として互いに点対称となるようにレイアウトされ、ドレイン電極 9 A ・ 9 B も、それぞれの面積が等しくなるようにレイアウトされている。

40

【 0 0 8 6 】

図 22 は、図 19 に示す液晶パネル 5 b の別具体例を示す平面図である。図 20 におけ

50

る、各データ信号線、各走査信号線および各保持容量配線並びに各トランジスタの構成は図 13 におけるそれらの構成と同一である。そして、トランジスタ 12 a のドレイン電極 9 a がドレイン引き出し電極およびコンタクトホール 11 a を介して画素電極 17 a に接続され、コンタクトホール 41 a を介して画素電極 17 a に接続される容量電極 37 a が、ゲート絶縁膜を介して保持容量配線 18 p に重なる部分と、層間絶縁膜を介して画素電極 17 b と重なる部分とを有している。また、トランジスタ 12 b のドレイン電極 9 b がドレイン引き出し電極およびコンタクトホール 11 b を介して画素電極 17 b に接続され、コンタクトホール 41 b を介して画素電極 17 b に接続される容量電極 37 b が、ゲート絶縁膜を介して保持容量配線 18 p に重なる部分と、層間絶縁膜を介して画素電極 17 a と重なる部分とを有している。

10

【0087】

ここでは、容量電極 37 a および画素電極 17 b の重なり部分と、容量電極 37 b および画素電極 17 a の重なり部分とに、結合容量 C a b (図 19 参照) が形成され、容量電極 37 a および保持容量配線 18 p の重なり部分に、保持容量 C h a (図 19 参照) が形成され、容量電極 37 b および保持容量配線 18 p の重なり部分に、保持容量 C h b (図 19 参照) が形成されている。このように、容量電極 37 a および画素電極 17 b の重なり部分に形成される容量と、容量電極 37 b および画素電極 17 a の重なり部分に形成される容量とが並列に接続された構成とすることで結合容量 C a b の値を大きくすることができる。

20

【0088】

また、容量電極 37 a および容量電極 37 b は、画素中央を中心として互いに点対称となるようにレイアウトされ、ドレイン電極 9 a ・ 9 b も、それぞれの面積が等しくなるようにレイアウトされている。したがって、画素電極 17 a を含む副画素が明副画素で画素電極 17 b を含む副画素が暗副画素となるフレームと、画素電極 17 a を含む副画素が暗副画素で画素電極 17 b を含む副画素が明副画素となるフレームとで同一の表示が可能となる。

【0089】

また、トランジスタ 12 A のドレイン電極 9 A がドレイン引き出し電極およびコンタクトホール 11 A を介して画素電極 17 A に接続され、コンタクトホール 41 A を介して画素電極 17 A に接続される容量電極 37 A が、ゲート絶縁膜を介して保持容量配線 18 p に重なる部分と、層間絶縁膜を介して画素電極 17 B と重なる部分とを有している。また、トランジスタ 12 B のドレイン電極 9 B がドレイン引き出し電極およびコンタクトホール 11 B を介して画素電極 17 B に接続され、コンタクトホール 41 B を介して画素電極 17 B に接続される容量電極 37 B が、ゲート絶縁膜を介して保持容量配線 18 p に重なる部分と、層間絶縁膜を介して画素電極 17 A と重なる部分とを有している。

30

【0090】

ここでは、容量電極 37 A および画素電極 17 B の重なり部分と、容量電極 37 B および画素電極 17 A の重なり部分とに、結合容量 C A B (図 19 参照) が形成され、容量電極 37 A および保持容量配線 18 p の重なり部分に、保持容量 C h A (図 19 参照) が形成され、容量電極 37 B および保持容量配線 18 p の重なり部分に、保持容量 C h B (図 19 参照) が形成されている。このように、容量電極 37 A および画素電極 17 B の重なり部分に形成される容量と、容量電極 37 B および画素電極 17 A の重なり部分に形成される容量とが並列に接続された構成とすることで結合容量 C A B の値を大きくすることができる。

40

【0091】

また、容量電極 37 A および容量電極 37 B は、画素中央を中心として互いに点対称となるようにレイアウトされ、ドレイン電極 9 A ・ 9 B も、それぞれの面積が等しくなるようにレイアウトされている。したがって、画素電極 17 A を含む副画素が明副画素で画素電極 17 B を含む副画素が暗副画素となるフレームと、画素電極 17 A を含む副画素が暗副画素で画素電極 17 B を含む副画素が明副画素となるフレームとで同一の表示が可能と

50

なる。

【 0 0 9 2 】

〔 実施の形態 2 〕

実施の形態 2 では、図 1 の液晶パネル 5 a を、図 2 3 のように駆動する。図中、1 5 x ・ 1 5 y ・ 1 5 X ・ 1 5 Y は、データ信号線 1 5 x ・ 1 5 y ・ 1 5 X ・ 1 5 Y に供給されるデータ信号を示し、s h はプリチャージ期間を規定する信号を示し、1 6 a ~ 1 6 h は走査信号線 1 6 a ~ 1 6 h に供給される信号（アクティブ H i g h ）を示し、1 7 a ~ 1 7 d ・ 1 7 A ・ 1 7 B は、画素電極 1 7 a ~ 1 7 d ・ 1 7 A ・ 1 7 B の電位を示している。また、図 2 4 ・ 2 5 は、図 2 3 の f 1 （第 1 フレーム）での駆動を、図 2 6 ・ 2 7 は、図 2 3 の f 2 （第 2 フレーム）での駆動を説明している。

10

【 0 0 9 3 】

図 2 3 の駆動方法においては、各フレームで、隣り合う 2 つの画素行の一方に対応する 2 本の走査信号線の一方と、該 2 つの画素行の他方に対応する 2 本の走査信号線の一方とが同時選択される（各フレームで同じ 2 本の走査信号線が選択される）ことで、該 2 つの画素行に同時にデータ信号が書き込まれる。この場合、副画素の明・暗は入れ替わらない。

【 0 0 9 4 】

また、列方向に隣り合う 2 つの画素の一方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線と、該 2 つの画素の他方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線とに、互いに逆極性のデータ信号が供給される。

20

【 0 0 9 5 】

例えば f 1 では、画素 1 0 1 に含まれる各画素電極（1 7 a ・ 1 7 b ）にトランジスタ（1 2 a ・ 1 2 b ）を介して接続されるデータ信号線 1 5 x に、プラス極性のデータ信号が供給される一方、画素 1 0 1 と列方向に隣り合う画素 1 0 2 に含まれる各画素電極（1 7 c ・ 1 7 d ）にトランジスタ（1 2 c ・ 1 2 d ）を介して接続されるデータ信号線 1 5 y に、マイナス極性のデータ信号が供給される。

【 0 0 9 6 】

また、行方向に隣り合う 2 つの画素の一方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線と、該 2 つの画素の他方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線とに、逆極性のデータ信号が供給される。

30

【 0 0 9 7 】

例えば、画素 1 0 1 に含まれる各画素電極（1 7 a ・ 1 7 b ）にトランジスタ（1 2 a ・ 1 2 b ）を介して接続されるデータ信号線 1 5 x に、プラス極性のデータ信号が供給される一方、画素 1 0 1 と行方向に隣り合う画素 1 0 5 に含まれる各画素電極（1 7 A ・ 1 7 B ）にトランジスタ（1 2 A ・ 1 2 B ）を介して接続されるデータ信号線 1 5 X に、マイナス極性のデータ信号が供給される。

【 0 0 9 8 】

また、同一のデータ信号線に供給されるデータ信号の極性が 1 フレームごとに反転する。すなわち、画素の極性が 1 フレームごとに反転する。

【 0 0 9 9 】

例えば、f 1 では、データ信号線 1 5 x ・ 1 5 Y にプラス極性のデータ信号を供給するとともに、データ信号線 1 5 y ・ 1 5 X にマイナス極性のデータ信号を供給する一方、f 2 では、データ信号線 1 5 x ・ 1 5 Y にマイナス極性のデータ信号を供給するとともに、データ信号線 1 5 y ・ 1 5 X にプラス極性のデータ信号を供給する。

40

【 0 1 0 0 】

さらに、各水平走査期間に、データ信号線に一定電位（ここでは、共通電極電位 V C ）が供給されるプリチャージ期間が設けられ、同時選択中のプリチャージ期間に、（同時書き込みを行う）上記 2 つの画素領域行に対応する 4 本の走査信号線のうち同時選択されていない各走査信号線が O N ・ O F F される。

【 0 1 0 1 】

50

例えば、図 2 2 ~ 2 4 に示すように、f 1 の n 番目の水平走査期間では、走査信号線 1 6 a ・ 1 6 c の同時選択中のプリチャージ期間に、画素 1 0 1 ・ 1 0 5 を含む画素行および画素 1 0 2 ・ 1 0 6 を含む画素行に対応する 4 本の走査信号線 (1 6 a ・ 1 6 b ・ 1 6 c ・ 1 6 d) のうち同時選択されていない各走査信号線 (1 6 b ・ 1 6 d) が O N ・ O F F される (アクティブ化された後に非アクティブとされる) 。これにより、トランジスタを介して走査信号線 1 6 b に接続された画素電極 1 7 b ・ 1 7 A と、トランジスタを介して走査信号線 1 6 d に接続された画素電極 1 7 d ・ 1 7 C とがディスチャージされる。

【 0 1 0 2 】

そして、該プリチャージ期間の後に、トランジスタを介して走査信号線 1 6 a に接続される画素電極 1 7 a ・ 1 7 B と、トランジスタを介して走査信号線 1 6 c に接続される画素電極 1 7 c ・ 1 7 D とにデータ信号が書き込まれる。

10

【 0 1 0 3 】

これにより、画素 1 0 1 では、画素電極 1 7 a を含む副画素がプラス極性の明副画素 (M +) 、画素電極 1 7 b を含む副画素がプラス極性の暗副画素 (K +) となり、画素 1 0 5 では、画素電極 1 7 A を含む副画素がマイナス極性の暗副画素 (K -) 、画素電極 1 7 B を含む副画素がマイナス極性の明副画素 (M -) となり、画素 1 0 2 では、画素電極 1 7 c を含む副画素がマイナス極性の明副画素 (M -) 、画素電極 1 7 d を含む副画素がマイナスの暗副画素 (K -) となり、画素 1 0 6 では、画素電極 1 7 C を含む副画素がプラス極性の暗副画素 (K +) 、画素電極 1 7 D を含む副画素がプラス極性の明副画素 (M +) となる。

20

【 0 1 0 4 】

また、図 2 2 ・ 2 3 ・ 2 5 に示すように、f 1 の n + 1 番目の水平走査期間では、走査信号線 1 6 e ・ 1 6 g の同時選択中のプリチャージ期間に、画素 1 0 3 ・ 1 0 7 を含む画素行および画素 1 0 4 ・ 1 0 8 を含む画素行に対応する 4 本の走査信号線 (1 6 e ・ 1 6 f ・ 1 6 g ・ 1 6 h) のうち同時選択されていない各走査信号線 (1 6 f ・ 1 6 h) が O N ・ O F F される。これにより、トランジスタを介して走査信号線 1 6 f に接続された画素電極 1 7 f ・ 1 7 E と、トランジスタを介して走査信号線 1 6 h に接続された画素電極 1 7 h ・ 1 7 G とがディスチャージされる。

【 0 1 0 5 】

そして、該プリチャージ期間の後に、トランジスタを介して走査信号線 1 6 e に接続される画素電極 1 7 e ・ 1 7 F と、トランジスタを介して走査信号線 1 6 g に接続される画素電極 1 7 g ・ 1 7 H とにデータ信号が書き込まれる。

30

【 0 1 0 6 】

これにより、画素 1 0 3 では、画素電極 1 7 e を含む副画素がプラス極性の明副画素 (M +) 、画素電極 1 7 f を含む副画素がプラス極性の暗副画素 (K +) となり、画素 1 0 7 では、画素電極 1 7 E を含む副画素がマイナス極性の暗副画素 (K -) 、画素電極 1 7 F を含む副画素がマイナス極性の明副画素 (M -) となり、画素 1 0 4 では、画素電極 1 7 g を含む副画素がマイナス極性の明副画素 (M -) 、画素電極 1 7 h を含む副画素がマイナスの暗副画素 (K -) となり、画素 1 0 8 では、画素電極 1 7 G を含む副画素がプラス極性の暗副画素 (K +) 、画素電極 1 7 H を含む副画素がプラス極性の明副画素 (M +) となる。

40

【 0 1 0 7 】

また f 2 では、各データ信号線に供給されるデータ信号の極性が反転し、f 1 と同様の走査が行われる。

【 0 1 0 8 】

すなわち、図 2 2 ・ 2 3 ・ 2 6 に示すように、f 2 の n 番目の水平走査期間では、走査信号線 1 6 a ・ 1 6 c の同時選択中のプリチャージ期間に、画素 1 0 1 ・ 1 0 5 を含む画素行および画素 1 0 2 ・ 1 0 6 を含む画素行に対応する 4 本の走査信号線 (1 6 a ・ 1 6 b ・ 1 6 c ・ 1 6 d) のうち同時選択されていない各走査信号線 (1 6 b ・ 1 6 d) が O N ・ O F F される (アクティブ化された後に非アクティブとされる) 。これにより、トラ

50

ンジスタを介して走査信号線 16 b に接続された画素電極 17 b ・ 17 A と、トランジスタを介して走査信号線 16 d に接続された画素電極 17 d ・ 17 C とがディスチャージされる。

【0109】

そして、該プリチャージ期間の後に、トランジスタを介して走査信号線 16 a に接続される画素電極 17 a ・ 17 B と、トランジスタを介して走査信号線 16 c に接続される画素電極 17 c ・ 17 D とにデータ信号が書き込まれる。

【0110】

また、図 22 ・ 23 ・ 27 に示すように、f 2 の n + 1 番目の水平走査期間では、走査信号線 16 e ・ 16 g の同時選択中のプリチャージ期間に、画素 103 ・ 107 を含む画素行および画素 104 ・ 108 を含む画素行に対応する 4 本の走査信号線 (16 e ・ 16 f ・ 16 g ・ 16 h) のうち同時選択されていない各走査信号線 (16 f ・ 16 h) が ON ・ OFF される。これにより、トランジスタを介して走査信号線 16 f に接続された画素電極 17 f ・ 17 E と、トランジスタを介して走査信号線 16 h に接続された画素電極 17 h ・ 17 G とがディスチャージされる。

10

【0111】

そして、該プリチャージ期間の後に、トランジスタを介して走査信号線 16 e に接続される画素電極 17 e ・ 17 F と、トランジスタを介して走査信号線 16 g に接続される画素電極 17 g ・ 17 H とにデータ信号が書き込まれる。

20

【0112】

実施の形態 2 でも、画素内の 2 つの画素電極それぞれがトランジスタを介してデータ信号線に接続されている (すなわち、電氣的にフローティングとならない) ことから、容量結合型の画素分割方式で問題となっていた画素の焼き付等を抑制することができる。

【0113】

また、各フレームでは、行方向および列方向それぞれについて、明副画素と暗副画素とが交互に並ぶ (明・暗副画素が市松配置される) ため、ざらつき感の少ない自然な表示が可能となる。また、同一データ信号線に供給されるデータ信号の極性が 2 垂直期間同一であるため、データ信号の極性が 1 水平走査期間で反転するような場合と比較してソースドライバの消費電力を抑えることができる。なお、各フレームで書き込まれるデータ信号の極性分布はドット反転状となるため、画面のチラツキも抑制することができる。また、各水平走査期間にプリチャージ期間を設けているため、過去フレームの階調による (例えば、256 階調表示で 0 階調 → 100 階調に遷移する場合と 100 階調 → 100 階調に遷移する場合の) 充電率の波形や到達値のばらつきを小さくすることができる。

30

【0114】

図 23 の駆動方法では、同時選択中のプリチャージ期間に、(同時書き込みを行う) 上記 2 つの画素領域行に対応する 4 本の走査信号線のうち同時選択されていない各走査信号線が ON ・ OFF されるが、これに限定されない。例えば、図 44 に示すように、同時選択が開始されるまでのプリチャージ期間に、(同時書き込みを行う) 上記 2 つの画素領域行に対応する 4 本の走査信号線それぞれを同期して ON ・ OFF してもよい。この場合、同時選択の 1 / 2 ~ 1 / 5 垂直走査期間前に、上記 4 本の走査信号線それぞれを同期して ON ・ OFF することもできる。こうすれば、上記 2 つの画素領域行には 1 / 2 ~ 1 / 5 垂直走査期間だけ黒表示がなされるため、いわゆる黒挿入の効果が得られ、動画等での尾引き感を抑えることができる。

40

【0115】

なお、本実施の形態では、図 19 の液晶パネル 5 b を、図 28 あるいは図 45 のように駆動することもできる。

【0116】

〔実施の形態 3〕

実施の形態 3 で用いる液晶パネル 5 c の構成を図 29 に示す。液晶パネル 5 c と液晶パネル 5 a (図 1 参照) の違いは、走査信号線 16 b に接続されるトランジスタ 12 b ・ 1

50

2 Bのソース電極が保持容量配線18 pに接続され、走査信号線16 dに接続されるトランジスタ12 d・12 Dのソース電極が保持容量配線18 qに接続され、走査信号線16 fに接続されるトランジスタ12 f・12 Fのソース電極が保持容量配線18 rに接続され、走査信号線16 hに接続されるトランジスタ12 h・12 Hのソース電極が保持容量配線18 sに接続されている点であり、これ以外は同一である。

【0117】

実施の形態3では、この液晶パネル5 cを、図30のように駆動する。図中、15 x・15 y・15 X・15 Yは、データ信号線15 x・15 y・15 X・15 Yに供給されるデータ信号を示し、shはプリチャージ期間を規定する信号を示し、16 a~16 hは走査信号線16 a~16 hに供給される信号（アクティブHigh）を示し、17 a~17 d・17 A・17 Bは、画素電極17 a~17 d・17 A・17 Bの電位を示している。また、図31・32は、図30のF1（第1フレーム）での駆動を、図33・34は、図30のF2（第2フレーム）での駆動を説明している。

10

【0118】

図30の駆動方法においては、各フレームで、隣り合う2つの画素行の一方に対応する2本の走査信号線の一方と、該2つの画素行の他方に対応する2本の走査信号線の一方とが同時選択される（各フレームで同じ2本の走査信号線が選択される）ことで、該2つの画素行に同時にデータ信号が書き込まれる。この場合、副画素の明・暗は入れ替わらない。

【0119】

また、列方向に隣り合う2つの画素の一方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線と、該2つの画素の他方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線とに、互いに逆極性のデータ信号が供給される。

20

【0120】

例えばF1では、画素101に含まれる各画素電極（17 a・17 b）にトランジスタ（12 a・12 b）を介して接続されるデータ信号線15 xに、プラス極性のデータ信号が供給される一方、画素101と列方向に隣り合う画素102に含まれる各画素電極（17 c・17 d）にトランジスタ（12 c・12 d）を介して接続されるデータ信号線15 yに、マイナス極性のデータ信号が供給される。

【0121】

また、行方向に隣り合う2つの画素の一方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線と、該2つの画素の他方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線とに、逆極性のデータ信号が供給される。

30

【0122】

例えば、画素101に含まれる各画素電極（17 a・17 b）にトランジスタ（12 a・12 b）を介して接続されるデータ信号線15 xに、プラス極性のデータ信号が供給される一方、画素101と行方向に隣り合う画素105に含まれる各画素電極（17 A・17 B）にトランジスタ（12 A・12 B）を介して接続されるデータ信号線15 Xに、マイナス極性のデータ信号が供給される。

【0123】

また、同一のデータ信号線に供給されるデータ信号の極性が1フレームごとに反転する。すなわち、画素の極性が1フレームごとに反転する。

40

【0124】

例えば、F1では、データ信号線15 x・15 Yにプラス極性のデータ信号を供給するとともに、データ信号線15 y・15 Xにマイナス極性のデータ信号を供給する一方、F2では、データ信号線15 x・15 Yにマイナス極性のデータ信号を供給するとともに、データ信号線15 y・15 Xにプラス極性のデータ信号を供給する。

【0125】

さらに、各水平走査期間に、データ信号線に一定電位（ここでは、共通電極電位VC）が供給されるプリチャージ期間が設けられ、同時選択中のプリチャージ期間に、（同時書

50

き込みを行う)上記2つの画素領域行に対応する4本の走査信号線のうち同時選択されていない各走査信号線がON・OFFされる。

【0126】

例えば、図29～31に示すように、F1のn番目の水平走査期間では、走査信号線16a・16cの同時選択中のプリチャージ期間に、画素101・105を含む画素行および画素102・106を含む画素行に対応する4本の走査信号線(16a・16b・16c・16d)のうち同時選択されていない各走査信号線(16b・16d)がON・OFFされる(アクティブ化された後に非アクティブとされる)。これにより、トランジスタを介して走査信号線16bに接続された画素電極17b・17Aと、トランジスタを介して走査信号線16dに接続された画素電極17d・17Cとが保持容量配線に接続され、ディスチャージされる。

10

【0127】

そして、該プリチャージ期間の後に、トランジスタを介して走査信号線16aに接続される画素電極17a・17Bと、トランジスタを介して走査信号線16cに接続される画素電極17c・17Dとにデータ信号が書き込まれる。

【0128】

これにより、画素101では、画素電極17aを含む副画素がプラス極性の明副画素(M+)、画素電極17bを含む副画素がプラス極性の暗副画素(K+)となり、画素105では、画素電極17Aを含む副画素がマイナス極性の暗副画素(K-)、画素電極17Bを含む副画素がマイナス極性の明副画素(M-)となり、画素102では、画素電極17cを含む副画素がマイナス極性の明副画素(M-)、画素電極17dを含む副画素がマイナスの暗副画素(K-)となり、画素106では、画素電極17Cを含む副画素がプラス極性の暗副画素(K+)、画素電極17Dを含む副画素がプラス極性の明副画素(M+)となる。

20

【0129】

また、図29・30・32に示すように、F1のn+1番目の水平走査期間では、走査信号線16e・16gの同時選択中のプリチャージ期間に、画素103・107を含む画素行および画素104・108を含む画素行に対応する4本の走査信号線(16e・16f・16g・16h)のうち同時選択されていない各走査信号線(16f・16h)がON・OFFされる。これにより、トランジスタを介して走査信号線16fに接続された画素電極17f・17Eと、トランジスタを介して走査信号線16hに接続された画素電極17h・17Gとが保持容量配線に接続され、ディスチャージされる。

30

【0130】

そして、該プリチャージ期間の後に、トランジスタを介して走査信号線16eに接続される画素電極17e・17Fと、トランジスタを介して走査信号線16gに接続される画素電極17g・17Hとにデータ信号が書き込まれる。

【0131】

これにより、画素103では、画素電極17eを含む副画素がプラス極性の明副画素(M+)、画素電極17fを含む副画素がプラス極性の暗副画素(K+)となり、画素107では、画素電極17Eを含む副画素がマイナス極性の暗副画素(K-)、画素電極17Fを含む副画素がマイナス極性の明副画素(M-)となり、画素104では、画素電極17gを含む副画素がマイナス極性の明副画素(M-)、画素電極17hを含む副画素がマイナスの暗副画素(K-)となり、画素108では、画素電極17Gを含む副画素がプラス極性の暗副画素(K+)、画素電極17Hを含む副画素がプラス極性の明副画素(M+)となる。

40

【0132】

またF2では、各データ信号線に供給されるデータ信号の極性が反転し、F1と同様の走査が行われる。

【0133】

すなわち、図29・30・33に示すように、F2のn番目の水平走査期間では、走査

50

信号線 16 a・16 c の同時選択中のプリチャージ期間に、画素 101・105 を含む画素行および画素 102・106 を含む画素行に対応する 4 本の走査信号線 (16 a・16 b・16 c・16 d) のうち同時選択されていない各走査信号線 (16 b・16 d) が ON・OFF される (アクティブ化された後に非アクティブとされる)。これにより、トランジスタを介して走査信号線 16 b に接続された画素電極 17 b・17 A と、トランジスタを介して走査信号線 16 d に接続された画素電極 17 d・17 C とが保持容量配線に接続され、ディスチャージされる。

【0134】

そして、該プリチャージ期間の後に、トランジスタを介して走査信号線 16 a に接続される画素電極 17 a・17 B と、トランジスタを介して走査信号線 16 c に接続される画素電極 17 c・17 D とにデータ信号が書き込まれる。

10

【0135】

また、図 29・30・34 に示すように、F2 の n+1 番目の水平走査期間では、走査信号線 16 e・16 g の同時選択中のプリチャージ期間に、画素 103・107 を含む画素行および画素 104・108 を含む画素行に対応する 4 本の走査信号線 (16 e・16 f・16 g・16 h) のうち同時選択されていない各走査信号線 (16 f・16 h) が ON・OFF される。これにより、トランジスタを介して走査信号線 16 f に接続された画素電極 17 f・17 E と、トランジスタを介して走査信号線 16 h に接続された画素電極 17 h・17 G とが保持容量配線に接続され、ディスチャージされる。

【0136】

20

そして、該プリチャージ期間の後に、トランジスタを介して走査信号線 16 e に接続される画素電極 17 e・17 F と、トランジスタを介して走査信号線 16 g に接続される画素電極 17 g・17 H とにデータ信号が書き込まれる。

【0137】

実施の形態 3 では、1 画素に含まれる 2 つの画素電極の一方がトランジスタを介してデータ信号線に接続され、他方がトランジスタを介して保持容量配線に接続されている (すなわち、電氣的にフローティングとにならない) ことから、容量結合型の画素分割方式で問題となっていた画素の焼き付等を抑制することができる。

【0138】

また、各フレームでは、行方向および列方向それぞれについて、明副画素と暗副画素とが交互に並ぶ (明・暗副画素が市松配置される) ため、ざらつき感の少ない自然な表示が可能となる。また、同一データ信号線に供給されるデータ信号の極性が 2 垂直期間同一であるため、データ信号の極性が 1 水平走査期間で反転するような場合と比較してソースドライバの消費電力を抑えることができる。なお、各フレームで書き込まれるデータ信号の極性分布はドット反転状となるため、画面のチラツキも抑制することができる。また、各水平走査期間にプリチャージ期間を設けているため、過去フレームの階調による (例えば、256 階調表示で 0 階調→100 階調に遷移する場合と 100 階調→100 階調に遷移する場合の) 充電率の波形や到達値のばらつきを小さくすることができる。

30

【0139】

図 35 は、図 29 に示す液晶パネル 5 c の一具体例を示す平面図である。図 35 における、各データ信号線、各走査信号線および各保持容量配線の構成は図 13 におけるそれらの構成と同一である。そして、走査信号線 16 a はトランジスタ 12 a・12 A のゲート電極として、走査信号線 16 b はトランジスタ 12 b・12 B のゲート電極として、走査信号線 16 c はトランジスタ 12 c・12 C のゲート電極として、走査信号線 16 d はトランジスタ 12 d・12 D のゲート電極として機能する。また、トランジスタ 12 a のソース電極はデータ信号線 15 x に接続されるとともに、トランジスタ 12 c のソース電極はデータ信号線 15 y に接続され、トランジスタ 12 A のソース電極はデータ信号線 15 X に接続されるとともに、トランジスタ 12 C のソース電極はデータ信号線 15 Y に接続されている。

40

【0140】

50

さらに、トランジスタ12aのドレイン電極9aが容量電極37aに接続され、容量電極37aと画素電極17aとがコンタクトホール11aを介して接続され、容量電極37aは、ゲート絶縁膜を介して保持容量配線18pに重なる部分と、層間絶縁膜を介して画素電極17bと重なる部分とを有している。一方、トランジスタ12bのソース電極8bは中継電極47bに接続され、中継電極47bと保持容量配線18pとがコンタクトホール81bを介して接続されている。また、トランジスタ12bのドレイン電極9bは引き出し電極27bに接続され、引き出し電極27bと画素電極17bとがコンタクトホール11bを介して接続され、引き出し電極27bは、ゲート絶縁膜を介して保持容量配線18pに重なる部分を有している。

【0141】

10

ここでは、容量電極37aおよび画素電極17bの重なり部分に、結合容量Cab(図29参照)が形成され、容量電極37aおよび保持容量配線18pの重なり部分に、保持容量Cha(図29参照)の大半が形成され、引き出し電極27bおよび保持容量配線18pの重なり部分に、保持容量Chb(図29参照)の大半が形成されている。

【0142】

また、トランジスタ12Aのドレイン電極9Aが容量電極37Aに接続され、容量電極37Aと画素電極17Bとがコンタクトホール11Aを介して接続され、容量電極37Aは、ゲート絶縁膜を介して保持容量配線18pに重なる部分と、層間絶縁膜を介して画素電極17Aと重なる部分とを有している。一方、トランジスタ12Bのソース電極8Bは中継電極47Bに接続され、中継電極47Bと保持容量配線18pとがコンタクトホール81Bを介して接続されている。また、トランジスタ12Bのドレイン電極9Bは引き出し電極27Bに接続され、引き出し電極27Bと画素電極17Aとがコンタクトホール11Bを介して接続され、引き出し電極27Bは、ゲート絶縁膜を介して保持容量配線18pに重なる部分を有している。

20

【0143】

ここでは、容量電極37Aおよび画素電極17Aの重なり部分に、結合容量CAB(図29参照)が形成され、容量電極37Aおよび保持容量配線18pの重なり部分に、保持容量ChB(図29参照)の大半が形成され、引き出し電極27Bおよび保持容量配線18pの重なり部分に、保持容量ChA(図29参照)の大半が形成されている。

【0144】

30

なお、図29の液晶パネル5cを図44に示すように駆動することもできる。すなわち、同時選択が開始されるまでのプリチャージ期間に、(同時書き込みを行う)上記2つの画素領域行に対応する4本の走査信号線それぞれを同期してON・OFFさせる。この場合、同時選択の1/2~1/5垂直走査期間前に、上記4本の走査信号線それぞれを同期してON・OFFすることもできる。こうすれば、上記2つの画素領域行には1/2~1/5垂直走査期間だけ黒表示がなされるため、いわゆる黒挿入の効果が得られ、動画等での尾引き感を抑えることができる。

【0145】

また、実施の形態3では、図36に示す液晶パネル5dを、図28あるいは図45のように駆動することもできる。なお、液晶パネル5dと液晶パネル5b(図19参照)の違いは、走査信号線16bに接続されるトランジスタ12b・12Bのソース電極が保持容量配線18pに接続され、走査信号線16dに接続されるトランジスタ12d・12Dのソース電極が保持容量配線18qに接続され、走査信号線16fに接続されるトランジスタ12f・12Fのソース電極が保持容量配線18rに接続され、走査信号線16hに接続されるトランジスタ12h・12Hのソース電極が保持容量配線18sに接続されている点であり、これ以外は同一である。

40

【0146】

〔実施の形態4〕

実施の形態4で用いる液晶パネル5eの構成を図37に示す。液晶パネル5eと液晶パネル5a(図1参照)の違いは、走査信号線16bに接続されるトランジスタ12bのソ

50

ース電極が画素電極 17 a に接続され、走査信号線 16 b に接続されるトランジスタ 12 B のソース電極が画素電極 17 B に接続され、走査信号線 16 d に接続されるトランジスタ 12 d のソース電極が画素電極 17 c に接続され、走査信号線 16 d に接続されるトランジスタ 12 D のソース電極が画素電極 17 D に接続され、走査信号線 16 f に接続されるトランジスタ 12 f のソース電極が画素電極 17 e に接続され、走査信号線 16 f に接続されるトランジスタ 12 F のソース電極が画素電極 17 F に接続され、走査信号線 16 h に接続されるトランジスタ 12 h のソース電極が画素電極 17 g に接続され、走査信号線 16 h に接続されるトランジスタ 12 H のソース電極が画素電極 17 H に接続されている点であり、これ以外は同一である。

【0147】

10

実施の形態 4 では、この液晶パネル 5 e を、図 30 のように駆動する。図 38・39 は、図 30 の F1 (第 1 フレーム) での駆動を、図 40・41 は、図 30 の F2 (第 2 フレーム) での駆動を説明している。

【0148】

例えば、図 30・37・38 に示すように、F1 の n 番目の水平走査期間では、走査信号線 16 a・16 c の同時選択中のプリチャージ期間に、画素 101・105 を含む画素行および画素 102・106 を含む画素行に対応する 4 本の走査信号線 (16 a・16 b・16 c・16 d) のうち同時選択されていない各走査信号線 (16 b・16 d) が ON・OFF される (アクティブ化された後に非アクティブとされる)。これにより、トランジスタ 12b を介して走査信号線 16 b に接続された画素電極 17 b が画素電極 17 a に接続され、トランジスタ 12 B を介して走査信号線 16 b に接続された画素電極 17 A が画素電極 17 B に接続され、トランジスタ 12 d を介して走査信号線 16 d に接続された画素電極 17 d が画素電極 17 c に接続され、トランジスタ 12 D を介して走査信号線 16 d に接続された画素電極 17 C が画素電極 17 D に接続され、画素電極 17 b・17 A・17 d・17 C がディスチャージされる。

20

【0149】

そして、該プリチャージ期間の後に、トランジスタを介して走査信号線 16 a に接続される画素電極 17 a・17 B と、トランジスタを介して走査信号線 16 c に接続される画素電極 17 c・17 D とにデータ信号が書き込まれる。

【0150】

30

これにより、画素 101 では、画素電極 17 a を含む副画素がプラス極性の明副画素 (M+)、画素電極 17 b を含む副画素がプラス極性の暗副画素 (K+) となり、画素 105 では、画素電極 17 A を含む副画素がマイナス極性の暗副画素 (K-)、画素電極 17 B を含む副画素がマイナス極性の明副画素 (M-) となり、画素 102 では、画素電極 17 c を含む副画素がマイナス極性の明副画素 (M-)、画素電極 17 d を含む副画素がマイナスの暗副画素 (K-) となり、画素 106 では、画素電極 17 C を含む副画素がプラス極性の暗副画素 (K+)、画素電極 17 D を含む副画素がプラス極性の明副画素 (M+) となる。

【0151】

また、図 30・37・39 に示すように、F1 の n+1 番目の水平走査期間では、走査信号線 16 e・16 g の同時選択中のプリチャージ期間に、画素 103・107 を含む画素行および画素 104・108 を含む画素行に対応する 4 本の走査信号線 (16 e・16 f・16 g・16 h) のうち同時選択されていない各走査信号線 (16 f・16 h) が ON・OFF される。これにより、トランジスタ 12 f を介して走査信号線 16 f に接続された画素電極 17 f が画素電極 17 e に接続され、トランジスタ 12 F を介して走査信号線 16 f に接続された画素電極 17 E が画素電極 17 F に接続され、トランジスタ 12 h を介して走査信号線 16 h に接続された画素電極 17 h が画素電極 17 g に接続され、トランジスタ 12 H を介して走査信号線 16 h に接続された画素電極 17 G が画素電極 17 H に接続され、画素電極 17 f・17 E・17 h・17 G がディスチャージされる。

40

【0152】

50

そして、該プリチャージ期間の後に、トランジスタを介して走査信号線 16 e に接続される画素電極 17 e・17 F と、トランジスタを介して走査信号線 16 g に接続される画素電極 17 g・17 H とにデータ信号が書き込まれる。

【0153】

これにより、画素 103 では、画素電極 17 e を含む副画素がプラス極性の明副画素 (M+)、画素電極 17 f を含む副画素がプラス極性の暗副画素 (K+) となり、画素 107 では、画素電極 17 E を含む副画素がマイナス極性の暗副画素 (K-)、画素電極 17 F を含む副画素がマイナス極性の明副画素 (M-) となり、画素 104 では、画素電極 17 g を含む副画素がマイナス極性の明副画素 (M-)、画素電極 17 h を含む副画素がマイナスの暗副画素 (K-) となり、画素 108 では、画素電極 17 G を含む副画素がプラス極性の暗副画素 (K+)、画素電極 17 H を含む副画素がプラス極性の明副画素 (M+) となる。

10

【0154】

また F2 では、各データ信号線に供給されるデータ信号の極性が反転し、F1 と同様の走査が行われる。

【0155】

すなわち、図 30・37・40 に示すように、F2 の n 番目の水平走査期間では、走査信号線 16 a・16 c の同時選択中のプリチャージ期間に、画素 101・105 を含む画素行および画素 102・106 を含む画素行に対応する 4 本の走査信号線 (16 a・16 b・16 c・16 d) のうち同時選択されていない各走査信号線 (16 b・16 d) が ON・OFF される (アクティブ化された後に非アクティブとされる)。これにより、トランジスタ 12 b を介して走査信号線 16 b に接続された画素電極 17 b が画素電極 17 a に接続され、トランジスタ 12 B を介して走査信号線 16 b に接続された画素電極 17 A が画素電極 17 B に接続され、トランジスタ 12 d を介して走査信号線 16 d に接続された画素電極 17 d が画素電極 17 c に接続され、トランジスタ 12 D を介して走査信号線 16 d に接続された画素電極 17 C が画素電極 17 D に接続され、画素電極 17 b・17 A・17 d・17 C がディスチャージされる。

20

【0156】

そして、該プリチャージ期間の後に、トランジスタを介して走査信号線 16 a に接続される画素電極 17 a・17 B と、トランジスタを介して走査信号線 16 c に接続される画素電極 17 c・17 D とにデータ信号が書き込まれる。

30

【0157】

また、図 30・37・41 に示すように、F2 の n+1 番目の水平走査期間では、走査信号線 16 e・16 g の同時選択中のプリチャージ期間に、画素 103・107 を含む画素行および画素 104・108 を含む画素行に対応する 4 本の走査信号線 (16 e・16 f・16 g・16 h) のうち同時選択されていない各走査信号線 (16 f・16 h) が ON・OFF される。これにより、トランジスタ 12 f を介して走査信号線 16 f に接続された画素電極 17 f が画素電極 17 e に接続され、トランジスタ 12 F を介して走査信号線 16 f に接続された画素電極 17 E が画素電極 17 F に接続され、トランジスタ 12 h を介して走査信号線 16 h に接続された画素電極 17 h が画素電極 17 g に接続され、トランジスタ 12 H を介して走査信号線 16 h に接続された画素電極 17 G が画素電極 17 H に接続され、画素電極 17 f・17 E・17 h・17 G がディスチャージされる。

40

【0158】

そして、該プリチャージ期間の後に、トランジスタを介して走査信号線 16 e に接続される画素電極 17 e・17 F と、トランジスタを介して走査信号線 16 g に接続される画素電極 17 g・17 H とにデータ信号が書き込まれる。

【0159】

実施の形態 4 では、1 画素に含まれる 2 つの画素電極がトランジスタを介して接続され、プリチャージ期間に上記 2 つの画素電極それぞれがデータ信号線に接続される (すなわち、上記 2 つの画素電極が電氣的にフローティングとならない) ことから、容量結合型の

50

画素分割方式で問題となっていた画素の焼き付等を抑制することができる。

【0160】

また、各フレームでは、行方向および列方向それぞれについて、明副画素と暗副画素とが交互に並ぶ（明・暗副画素が市松配置される）ため、ざらつき感の少ない自然な表示が可能となる。また、同一データ信号線に供給されるデータ信号の極性が2垂直期間同一であるため、データ信号の極性が1水平走査期間で反転するような場合と比較してソースドライバの消費電力を抑えることができる。なお、各フレームで書き込まれるデータ信号の極性分布はドット反転状となるため、画面のチラツキも抑制することができる。また、各水平走査期間にプリチャージ期間を設けているため、過去フレームの階調による（例えば、256階調表示で0階調→100階調に遷移する場合と100階調→100階調に遷移する場合の）充電率の波形や到達値のばらつきを小さくすることができる。

10

【0161】

図42は、図37に示す液晶パネル5eの一具体例を示す平面図である。図42における、各データ信号線、各走査信号線および各保持容量配線並びに各トランジスタの構成は図35におけるそれらの構成と同一である。そして、トランジスタ12aのドレイン電極9aが容量電極37aに接続され、容量電極37aと画素電極17aとがコンタクトホール11aを介して接続され、容量電極37aは、ゲート絶縁膜を介して保持容量配線18pに重なる部分と、層間絶縁膜を介して画素電極17bと重なる部分とを有している。一方、トランジスタ12bのソース電極8bは中継電極47bに接続され、中継電極47bと画素電極17aとがコンタクトホール91aを介して接続され、中継電極47bは、ゲート絶縁膜を介して保持容量配線18pに重なる部分と、層間絶縁膜を介して画素電極17bと重なる部分とを有している。また、トランジスタ12bのドレイン電極9bは引き出し電極27bに接続され、引き出し電極27bと画素電極17bとがコンタクトホール11bを介して接続され、引き出し電極27bは、ゲート絶縁膜を介して保持容量配線18pに重なる部分を有している。

20

【0162】

ここでは、容量電極37aおよび画素電極17bの重なり部分と、中継電極47bおよび画素電極17bの重なり部分とに、結合容量C_{ab}（図37参照）が形成され、容量電極37aおよび保持容量配線18pの重なり部分と、中継電極47bおよび保持容量配線18pの重なり部分とに、保持容量C_{ha}（図37参照）の大半が形成され、引き出し電極27bおよび保持容量配線18pの重なり部分に、保持容量C_{hb}（図37参照）の大半が形成されている。

30

【0163】

また、トランジスタ12Aのドレイン電極9Aが容量電極37Aに接続され、容量電極37Aと画素電極17Bとがコンタクトホール11Aを介して接続され、容量電極37Aは、ゲート絶縁膜を介して保持容量配線18pに重なる部分と、層間絶縁膜を介して画素電極17Aと重なる部分とを有している。一方、トランジスタ12Bのソース電極8Bは中継電極47Bに接続され、中継電極47Bと画素電極17Aとがコンタクトホール91Bを介して接続され、中継電極47Bは、ゲート絶縁膜を介して保持容量配線18pに重なる部分と、層間絶縁膜を介して画素電極17Bと重なる部分とを有している。また、トランジスタ12Bのドレイン電極9Bは引き出し電極27Bに接続され、引き出し電極27Bと画素電極17Bとがコンタクトホール11Bを介して接続され、引き出し電極27Bは、ゲート絶縁膜を介して保持容量配線18pに重なる部分を有している。

40

【0164】

ここでは、容量電極37Aおよび画素電極17Bの重なり部分と、中継電極47Bおよび画素電極17Bの重なり部分とに、結合容量C_{AB}（図37参照）が形成され、中継電極47Bおよび保持容量配線18pの重なり部分に、保持容量C_{hA}（図37参照）の大半が形成され、容量電極37Aおよび保持容量配線18pの重なり部分と、引き出し電極27bおよび保持容量配線18pの重なり部分に、保持容量C_{hB}（図37参照）の大半が形成されている。

50

【 0 1 6 5 】

なお、図 3 7 の液晶パネル 5 e を図 4 4 に示すように駆動することもできる。すなわち、同時選択が開始されるまでのプリチャージ期間に、（同時書き込みを行う）上記 2 つの画素領域行に対応する 4 本の走査信号線それぞれを同期して ON・OFF させる。この場合、同時選択の 1 / 2 ~ 1 / 5 垂直走査期間前に、上記 4 本の走査信号線それぞれを同期して ON・OFF することもできる。こうすれば、上記 2 つの画素領域行には 1 / 2 ~ 1 / 5 垂直走査期間だけ黒表示がなされるため、いわゆる黒挿入の効果が得られ、動画等での尾引き感を抑えることができる。

【 0 1 6 6 】

また、実施の形態 4 では、図 4 3 に示す液晶パネル 5 f を、図 2 8 あるいは図 4 5 のように駆動することもできる。なお、液晶パネル 5 f と液晶パネル 5 b（図 1 9 参照）の違いは、走査信号線 1 6 b に接続されるトランジスタ 1 2 b のソース電極が画素電極 1 7 a に接続され、走査信号線 1 6 b に接続されるトランジスタ 1 2 B のソース電極が画素電極 1 7 B に接続され、走査信号線 1 6 d に接続されるトランジスタ 1 2 d のソース電極が画素電極 1 7 c に接続され、走査信号線 1 6 d に接続されるトランジスタ 1 2 D のソース電極が画素電極 1 7 D に接続され、走査信号線 1 6 f に接続されるトランジスタ 1 2 f のソース電極が画素電極 1 7 e に接続され、走査信号線 1 6 f に接続されるトランジスタ 1 2 F のソース電極が画素電極 1 7 F に接続され、走査信号線 1 6 h に接続されるトランジスタ 1 2 h のソース電極が画素電極 1 7 g に接続され、走査信号線 1 6 h に接続されるトランジスタ 1 2 H のソース電極が画素電極 1 7 H に接続されている点であり、これ以外は同一である。

10

20

【 0 1 6 7 】

本実施の形態では、以下のようにして、本液晶表示ユニットおよび液晶表示装置を構成する。すなわち、液晶パネル（5 a ~ 5 f）の両面に、2 枚の偏光板 A・B を、偏光板 A の偏光軸と偏光板 B の偏光軸とが互いに直交するように貼り付ける。なお、偏光板には必要に応じて、光学補償シート等を積層してもよい。次に、図 4 6（a）に示すように、ドライバ（ゲートドライバ 2 0 2、ソースドライバ 2 0 1）を接続する。ここでは、一例として、ドライバを T C P（T a p e C a r e e r P a c k a g e）方式による接続について説明する。まず、液晶パネルの端子部に A C F（A n i s o t r o p i C o n d u k t i v e F i l m）を仮圧着する。ついで、ドライバが乗せられた T C P をキャリアテープから打ち抜き、パネル端子電極に位置合わせし、加熱、本圧着を行う。その後、ドライバ T C P 同士を連結するための回路基板 2 0 3（P W B：P r i n t e d w i r i n g b o a r d）と T C P の入力端子とを A C F で接続する。これにより、液晶表示ユニット 2 0 0 が完成する。その後、図 4 6（b）に示すように、液晶表示ユニットの各ドライバ（2 0 1・2 0 2）に、回路基板 2 0 3 を介して表示制御回路 2 0 9 を接続し、照明装置（バックライトユニット）2 0 4 と一体化することで、液晶表示装置 2 1 0 となる。

30

【 0 1 6 8 】

図 4 7（a）に、プリチャージ期間を設けるためのソースドライバの構成を示す。図 4 7（a）に示すように、この場合のソースドライバには、各データ信号線に対応してバッファ 3 1 と、データ出力用スイッチ S W a と、プリチャージ用スイッチ S W b とが設けられる。バッファ 3 1 には対応するデータ d が入力され、バッファ 3 1 の出力は、データ出力用スイッチ S W a を介してデータ信号線への出力端に接続されている。また、隣り合う 2 本のデータ信号線それぞれに対応する出力端は、プリチャージ用スイッチ S W b を介して互いに接続されている。すなわち、各プリチャージ用スイッチ S W b は直列に接続され、その一端がプリチャージ電位供給源 3 5（V c o m）に接続されている。ここで、データ出力用スイッチ S W a のゲート端子には、チャージシェア信号（s h）がインバータ 3 3 を介して入力され、プリチャージ用スイッチ S W b のゲート端子には、s h 信号が入力される。

40

【 0 1 6 9 】

なお、図 4 7（a）に示すソースドライバを図 4 7（b）のように構成してもよい。す

50

なわち、プリチャージ用スイッチ SW_c を、対応するデータ信号線とプリチャージ電位供給源 V_{com} にのみに接続し、各プリチャージ用スイッチ SW_c を直列に接続しない構成とする。こうすれば、各データ信号線に速やかにプリチャージ電位を供給することができる。

【0170】

このように、各水平走査期間にプリチャージ期間（例えば、チャージシェアが行われる期間）を設け、このプリチャージ期間に各データ信号線へプリチャージ電位（例えば V_{com} ）を供給すれば、大型、高精細あるいは高速駆動等、フル充電が難しい液晶表示装置において、一水平走査期間前に同一データ信号線に供給された信号電位のレベル相異に起因する現水平走査期間の到達電位（充電率）のばらつきを抑制することができる。それゆえ、本液晶パネルは、走査信号線が 2160 本のデジタルシネマ規格の液晶表示装置や走査信号線 4320 本のスーパーハイビジョン規格の液晶表示装置にも好適である。

10

【0171】

本願でいう「電位の極性」とは、基準となる電位以上（プラス）あるいは基準となる電位以下（マイナス）を意味する。ここで、基準となる電位は、共通電極（対向電極）の電位である V_{com} （コモン電位）であってもその他任意の電位であってもよい。

【0172】

図 48 は、本液晶表示装置の構成を示すブロック図である。同図に示されるように、本液晶表示装置は、表示部（液晶パネル）と、ソースドライバ（SD）と、ゲートドライバ（GD）と、表示制御回路とを備えている。ソースドライバはデータ信号線を駆動し、ゲートドライバは走査信号線を駆動し、表示制御回路は、ソースドライバおよびゲートドライバを制御する。

20

【0173】

表示制御回路は、外部の信号源（例えばチューナー）から、表示すべき画像を表すデジタルビデオ信号 D_v と、当該デジタルビデオ信号 D_v に対応する水平同期信号 H_{SY} および垂直同期信号 V_{SY} と、表示動作を制御するための制御信号 D_c とを受け取る。また、表示制御回路は、受け取ったこれらの信号 D_v 、 H_{SY} 、 V_{SY} 、 D_c に基づき、そのデジタルビデオ信号 D_v の表す画像を表示部に表示させるための信号として、データスタートパルス信号 SSP と、データクロック信号 SCK と、チャージシェア信号 sh と、表示すべき画像を表すデジタル画像信号 DA （ビデオ信号 D_v に対応する信号）と、ゲートスタートパルス信号 GSP と、ゲートクロック信号 GCK と、ゲートドライバ出力制御信号（走査信号出力制御信号） GOE とを生成し、これらを出力する。

30

【0174】

より詳しくは、ビデオ信号 D_v を内部メモリで必要に応じてタイミング調整等を行った後に、デジタル画像信号 DA として表示制御回路から出力し、そのデジタル画像信号 DA の表す画像の各画素に対応するパルスからなる信号としてデータクロック信号 SCK を生成し、水平同期信号 H_{SY} に基づき 1 水平走査期間毎に所定期間だけハイレベル（Hレベル）となる信号としてデータスタートパルス信号 SSP を生成し、垂直同期信号 V_{SY} に基づき 1 フレーム期間（1 垂直走査期間）毎に所定期間だけ Hレベルとなる信号としてゲートスタートパルス信号 GSP を生成し、水平同期信号 H_{SY} に基づきゲートクロック信号 GCK を生成し、水平同期信号 H_{SY} および制御信号 D_c に基づきチャージシェア信号 sh 、ならびにゲートドライバ出力制御信号 GOE を生成する。

40

【0175】

上記のようにして表示制御回路において生成された信号のうち、デジタル画像信号 DA 、チャージシェア信号 sh 、信号電位（データ信号電位）の極性を制御する信号 POL 、データスタートパルス信号 SSP 、およびデータクロック信号 SCK は、ソースドライバに入力され、ゲートスタートパルス信号 GSP とゲートクロック信号 GCK とゲートドライバ出力制御信号 GOE とは、ゲートドライバに入力される。

【0176】

ソースドライバは、デジタル画像信号 DA 、データクロック信号 SCK 、チャージシェ

50

ア信号 s_h 、データスタートパルス信号 SSP 、および極性反転信号 POL に基づき、デジタル画像信号 DA の表す画像の各走査信号線における画素値に相当するアナログ電位（信号電位）を 1 水平走査期間毎に順次生成し、これらのデータ信号をデータ信号線（例えば、 $15x \cdot 15y$ ）に出力する。

【0177】

ゲートドライバは、ゲートスタートパルス信号 GSP およびゲートクロック信号 GCK と、ゲートドライバ出力制御信号 GOE とに基づき、ゲートオンパルス信号を生成し、これらを走査信号線に出力し、これによって走査信号線を 2 本ずつ順次選択していく。

【0178】

次に、本液晶表示装置をテレビジョン受信機に適用するときの一構成例について説明する。図 49 は、テレビジョン受信機用の液晶表示装置 800 の構成を示すブロック図である。液晶表示装置 800 は、液晶表示ユニット 84 と、 Y/C 分離回路 80 と、ビデオクロマ回路 81 と、 A/D コンバータ 82 と、液晶コントローラ 83 と、バックライト駆動回路 85 と、バックライト 86 と、マイコン（マイクロコンピュータ）87 と、階調回路 88 とを備えている。なお、液晶表示ユニット 84 は、液晶パネルと、これを駆動するためのソースドライバおよびゲートドライバとで構成される。

【0179】

上記構成の液晶表示装置 800 では、まず、テレビジョン信号としての複合カラー映像信号 Scv が外部から Y/C 分離回路 80 に入力され、そこで輝度信号と色信号に分離される。これらの輝度信号と色信号は、ビデオクロマ回路 81 にて光の 3 原色に対応するアナログ RGB 信号に変換され、さらに、このアナログ RGB 信号は A/D コンバータ 82 により、デジタル RGB 信号に変換される。このデジタル RGB 信号は液晶コントローラ 83 に入力される。また、 Y/C 分離回路 80 では、外部から入力された複合カラー映像信号 Scv から水平および垂直同期信号も取り出され、これらの同期信号もマイコン 87 を介して液晶コントローラ 83 に入力される。

【0180】

液晶表示ユニット 84 には、液晶コントローラ 83 からデジタル RGB 信号が、上記同期信号に基づくタイミング信号と共に所定のタイミングで入力される。また、階調回路 88 では、カラー表示の 3 原色 R, G, B それぞれの階調電位が生成され、それらの階調電位も液晶表示ユニット 84 に供給される。液晶表示ユニット 84 では、これらの RGB 信号、タイミング信号および階調電位に基づき内部のソースドライバやゲートドライバ等により駆動用信号（データ信号 = 信号電位、走査信号等）が生成され、それらの駆動用信号に基づき、内部の液晶パネルにカラー画像が表示される。なお、この液晶表示ユニット 84 によって画像を表示するには、液晶表示ユニット内の液晶パネルの後方から光を照射する必要がある。この液晶表示装置 800 では、マイコン 87 の制御の下にバックライト駆動回路 85 がバックライト 86 を駆動することにより、液晶パネルの裏面に光が照射される。上記の処理を含め、システム全体の制御はマイコン 87 が行う。なお、外部から入力される映像信号（複合カラー映像信号）としては、テレビジョン放送に基づく映像信号のみならず、カメラにより撮像された映像信号や、インターネット回線を介して供給される映像信号なども使用可能であり、この液晶表示装置 800 では、様々な映像信号に基づいた画像表示が可能である。

【0181】

液晶表示装置 800 でテレビジョン放送に基づく画像を表示する場合には、図 50 に示すように、液晶表示装置 800 にチューナー部 90 が接続され、これによって本テレビジョン受信機 601 が構成される。このチューナー部 90 は、アンテナ（不図示）で受信した受信波（高周波信号）の中から受信すべきチャンネルの信号を抜き出して中間周波信号に変換し、この中間周波数信号を検波することによってテレビジョン信号としての複合カラー映像信号 Scv を取り出す。この複合カラー映像信号 Scv は、既述のように液晶表示装置 800 に入力され、この複合カラー映像信号 Scv に基づく画像が該液晶表示装置 800 によって表示される。

10

20

30

40

50

【 0 1 8 2 】

図 5 1 は、本テレビジョン受像機の一構成例を示す分解斜視図である。同図に示すように、本テレビジョン受像機 6 0 1 は、その構成要素として、液晶表示装置 8 0 0 の他に第 1 筐体 8 0 1 および第 2 筐体 8 0 6 を有しており、液晶表示装置 8 0 0 を第 1 筐体 8 0 1 と第 2 筐体 8 0 6 とで包み込むようにして挟持した構成となっている。第 1 筐体 8 0 1 には、液晶表示装置 8 0 0 で表示される画像を透過させる開口部 8 0 1 a が形成されている。また、第 2 筐体 8 0 6 は、液晶表示装置 8 0 0 の背面側を覆うものであり、当該表示装置 8 0 0 を操作するための操作回路 8 0 5 が設けられると共に、下方に支持用部材 8 0 8 が取り付けられている。

【 0 1 8 3 】

10

本発明のアクティブマトリクス基板は、各データ信号線の延伸方向を列方向として、容量を介して接続された 2 つの画素電極を含む画素領域が行および列方向に並べられ、1 つの画素領域列に対応して 2 本のデータ信号線が設けられるとともに、1 つの画素領域行に対応して 2 本の走査信号線が設けられ、上記画素領域列および画素領域行に属する画素領域について、上記 2 本の走査信号線の一方に接続されたトランジスタが該画素領域に含まれる 2 つの画素電極の一方に電氣的に接続されるとともに、上記 2 本の走査信号線の他方に接続されたトランジスタが上記 2 つの画素電極の他方に電氣的に接続され、かつ上記各トランジスタが、上記 2 本のデータ信号線のいずれかである同一のデータ信号線に電氣的に接続されていることを特徴とする。

【 0 1 8 4 】

20

まず、本アクティブマトリクス基板では 1 つの画素領域列に対応して 2 本のデータ信号線が設けられているため、本アクティブマトリクス基板を備えた液晶表示装置では、2 本の走査信号線を同時選択して 2 つの画素行を同時に書き込むことができる。

【 0 1 8 5 】

そして上記構成では、各画素領域の容量結合された 2 つの画素電極それぞれがトランジスタを介してデータ信号線に接続されており、各画素電極が電氣的にフローティングとならない。これにより、本アクティブマトリクス基板を備えた液晶表示装置では画素の焼き付き等が低減され、高い表示品位が実現される。

【 0 1 8 6 】

30

本発明のアクティブマトリクス基板は、各データ信号線の延伸方向を列方向として、容量を介して接続された 2 つの画素電極を含む画素領域が行および列方向に並べられ、1 つの画素領域列に対応して 2 本のデータ信号線が設けられるとともに、1 つの画素領域行に対応して 2 本の走査信号線が設けられ、上記画素領域列および画素領域行に属する画素領域について、上記 2 本の走査信号線の一方に接続されたトランジスタが該画素領域に含まれる 2 つの画素電極の一方と上記 2 本のデータ信号線の一方とに電氣的に接続されるとともに、上記 2 本の走査信号線の他方に接続されたトランジスタが上記 2 つの画素電極の他方と保持容量配線とに電氣的に接続されていることを特徴とする。

【 0 1 8 7 】

まず、本アクティブマトリクス基板では 1 つの画素領域列に対応して 2 本のデータ信号線が設けられているため、本アクティブマトリクス基板を備えた液晶表示装置では、2 本の走査信号線を同時選択して 2 つの画素行を同時に書き込むことができる。

40

【 0 1 8 8 】

そして上記構成では、各画素領域の容量結合された 2 つの画素電極の一方がトランジスタを介してデータ信号線に接続されるとともに、他方がトランジスタを介して保持容量配線に接続されており、各画素電極が電氣的にフローティングとならない。これにより、本アクティブマトリクス基板を備えた液晶表示装置では画素の焼き付き等が低減され、高い表示品位が実現される。

【 0 1 8 9 】

本アクティブマトリクス基板は、各データ信号線の延伸方向を列方向として、容量を介して接続された 2 つの画素電極を含む画素領域が行および列方向に並べられ、1 つの画素

50

領域列に対応して2本のデータ信号線が設けられるとともに、1つの画素領域行に対応して2本の走査信号線が設けられ、上記画素領域列および画素領域行に属する画素領域について、上記2本の走査信号線の一方に接続されたトランジスタが該画素領域に含まれる2つの画素電極の一方と上記2本のデータ信号線の一方とに電氣的に接続されるとともに、上記2本の走査信号線の他方に接続されたトランジスタが上記2つの画素電極それぞれに電氣的に接続されていることを特徴とする。

【0190】

まず、本アクティブマトリクス基板では1つの画素領域列に対応して2本のデータ信号線が設けられているため、本アクティブマトリクス基板を備えた液晶表示装置では、2本の走査信号線を同時選択して2つの画素行を同時に書き込むことができる。

10

【0191】

そして上記構成では、各画素領域の容量結合された2つの画素電極がトランジスタを介して互いに接続されており、各画素電極が電氣的にフローティングとならない。これにより、本アクティブマトリクス基板を備えた液晶表示装置では画素の焼き付き等が低減され、高い表示品位が実現される。

【0192】

本アクティブマトリクス基板では、列方向に隣り合う2つの画素領域の一方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線と、該2つの画素領域の他方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線とが異なる構成とすることもできる。

20

【0193】

本アクティブマトリクス基板では、1つの画素領域には2つの画素電極が列方向に並べられ、行方向に隣り合う2つの画素領域に含まれ、それぞれがトランジスタを介してデータ信号線に接続されるとともに互いに斜め向かいとなる2つの画素電極の一方に電氣的に接続されるトランジスタと、該2つの画素電極の他方に電氣的に接続されるトランジスタとが同一の走査信号線に接続されている構成とすることもできる。

【0194】

本アクティブマトリクス基板では、1つの画素領域に、該画素領域に含まれる2つの画素電極の一方に電氣的に接続されるとともに層間絶縁膜を介して上記2つの画素電極の他方に重なる容量電極と、層間絶縁膜を介して上記2つの画素電極の一方に重なるとともに上記2つの画素電極の他方に電氣的に接続される容量電極とを備える構成とすることもできる。

30

【0195】

本アクティブマトリクス基板では、1つの画素領域行に対応する2本の走査信号線は、該画素領域行の両側に配されているか、あるいは画素領域行の両端部に重なるように配されている構成とすることもできる。

【0196】

本アクティブマトリクス基板では、上記各容量電極がゲート絶縁膜を介して保持容量配線と重なっている構成とすることもできる。

【0197】

本アクティブマトリクス基板では、上記画素領域に含まれる2つの画素電極の一方に電氣的に接続される容量電極と、他方に電氣的に接続される容量電極とが、互いに点対称となるようにレイアウトされている構成とすることもできる。

40

【0198】

本アクティブマトリクス基板では、上記層間絶縁膜は無機絶縁膜と有機絶縁膜とからなるが、各容量電極と重なる部分の少なくとも一部については、有機絶縁膜が除去あるいは薄く形成されている構成とすることもできる。

【0199】

本液晶表示装置は、上記アクティブマトリクス基板を備え、所定のフレームでは、2つの画素領域行の一方に対応する2本の走査信号線のうち1本と、他方に対応する2本の走

50

査信号線のうち1本とが同時選択されることで、該2つの画素領域行に同時にデータ信号が書き込まれ、上記所定のフレーム以外のフレームでは、上記2つの画素領域行の一方に対応する2本の走査信号線のうち残る1本と、他方に対応する2本の走査信号線のうち残る1本とが同時選択されることで、該2つの画素領域行に同時にデータ信号が書き込まれることを特徴とする。

【0200】

本液晶表示装置では、上記2つの画素領域行が互いに隣り合う構成とすることもできる。

【0201】

本液晶表示装置では、列方向に隣り合う2つの画素領域の一方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線と、該2つの画素領域の他方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線とが異なり、かつ互いに逆極性のデータ信号が供給される構成とすることもできる。

10

【0202】

本液晶表示装置では、行方向に隣り合う2つの画素領域の一方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線と、該2つの画素領域の他方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線とに、互いに逆極性のデータ信号が供給される構成とすることもできる。

【0203】

本液晶表示装置では、奇数番目のフレームでは、2つの画素領域行の一方に対応する2本の走査信号線のうち1本と、他方に対応する2本の走査信号線のうち1本とが同時選択され、偶数番目のフレームでは、上記2つの画素領域行の一方に対応する2本の走査信号線のうち残る1本と、他方に対応する2本の走査信号線のうち残る1本とが同時選択される構成とすることもできる。

20

【0204】

本液晶表示装置では、同一データ信号線に供給されるデータ信号の極性が2フレームごとに反転する構成とすることもできる。

【0205】

本液晶表示装置では、連続する2フレームそれぞれでは、2つの画素領域行の一方に対応する2本の走査信号線のうち1本と、他方に対応する2本の走査信号線のうち1本とが同時選択され、上記2フレームに続く連続する2フレームそれぞれでは、上記2つの画素領域行の一方に対応する2本の走査信号線のうち残る1本と、他方に対応する2本の走査信号線のうち残る1本とが同時選択される構成とすることもできる。

30

【0206】

本液晶表示装置では、同一データ信号線に供給されるデータ信号の極性が1フレームごとに反転する構成とすることもできる。

【0207】

本液晶表示装置では、各水平走査期間に、データ信号線に一定電位が供給されるプリチャージ期間が設けられ、同時選択中のプリチャージ期間に、上記2つの画素領域行に対応する4本の走査信号線のうち同時選択されていない各走査信号線がON・OFFされる構成とすることもできる。

40

【0208】

本液晶表示装置では、各水平走査期間に、データ信号線に一定電位が供給されるプリチャージ期間が設けられ、同時選択までのプリチャージ期間に、上記2つの画素領域行に対応する4本の走査信号線それぞれが同期してON・OFFされる構成とすることもできる。

【0209】

本液晶表示装置では、上記アクティブマトリクス基板を備え、2つの画素領域行の一方に対応する2本の走査信号線の一方と、上記2つの画素領域行の他方に対応する2本の走査信号線の一方とが同時選択されることで、2つの画素領域行に同時にデータ信号が書き

50

込まれる構成とすることもできる。

【0210】

本液晶表示装置では、上記2つの画素領域行が互いに隣り合う構成とすることもできる。

【0211】

本液晶表示装置では、列方向に隣り合う2つの画素領域の一方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線と、該2つの画素領域の他方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線とが異なり、かつ互いに逆極性のデータ信号が供給される構成とすることもできる。

【0212】

本液晶表示装置では、行方向に隣り合う2つの画素領域の一方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線と、該2つの画素領域の他方に含まれる各画素電極にトランジスタを介して接続されるデータ信号線とに、互いに逆極性のデータ信号が供給される構成とすることもできる。

【0213】

本液晶表示装置では、各水平走査期間に、データ信号線に一定電位が供給されるプリチャージ期間が設けられ、同時選択中のプリチャージ期間に、上記2つの画素領域行に対応する4本の走査信号線のうち同時選択されていない各走査信号線がON・OFFされる構成とすることもできる。

【0214】

本液晶表示装置では、各水平走査期間に、データ信号線に一定電位が供給されるプリチャージ期間が設けられ、同時選択までのプリチャージ期間に、上記2つの画素領域行に対応する4本の走査信号線それぞれが同期してON・OFFされる構成とすることもできる。

【0215】

本液晶パネルは、上記アクティブマトリクス基板を備えることを特徴とする。本液晶表示ユニットは、上記液晶パネルとドライバとを備えることを特徴とする。本液晶表示装置は、上記液晶表示ユニットと光源装置とを備えることを特徴とする。本テレビジョン受像機は、上記液晶表示装置と、テレビジョン放送を受信するチューナー部とを備えることを特徴とする。

【0216】

以上のように、本発明によれば、2ライン同時選択を行う、容量結合型の画素分割方式の液晶表示装置において、その表示品位を高めることができる。

【0217】

本発明は上記の実施の形態に限定されるものではなく、上記実施の形態を技術常識に基づいて適宜変更したものやそれらを組み合わせて得られるものも本発明の実施の形態に含まれる。

【産業上の利用可能性】

【0218】

本発明の液晶パネルは、例えば液晶テレビに好適である。

【符号の説明】

【0219】

5a～5f 液晶パネル
 12a～12h・12A～12H トランジスタ
 15x・15y・15X・15Y データ信号線
 16a～16h 走査信号線
 17a～17h 画素電極
 17A～17H 画素電極
 18p～18s 保持容量配線
 22 ゲート絶縁膜

10

20

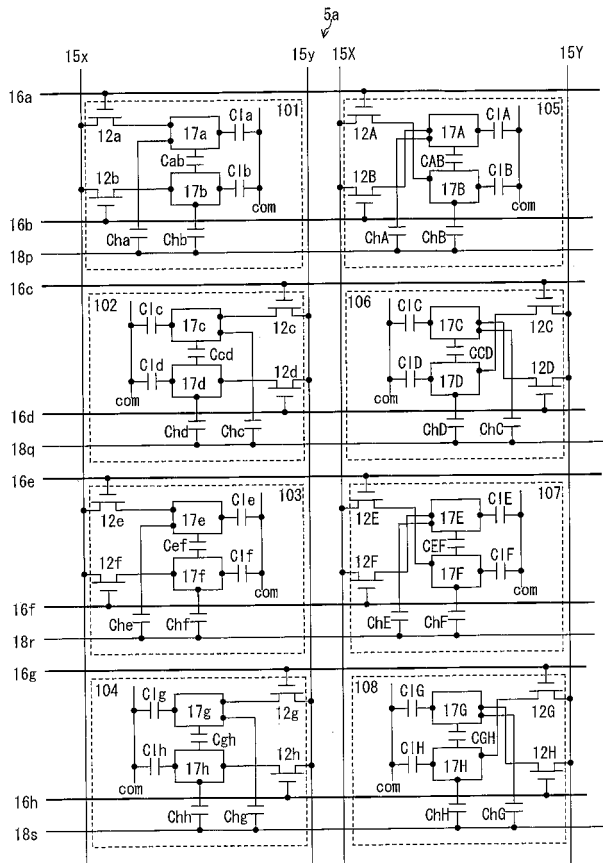
30

40

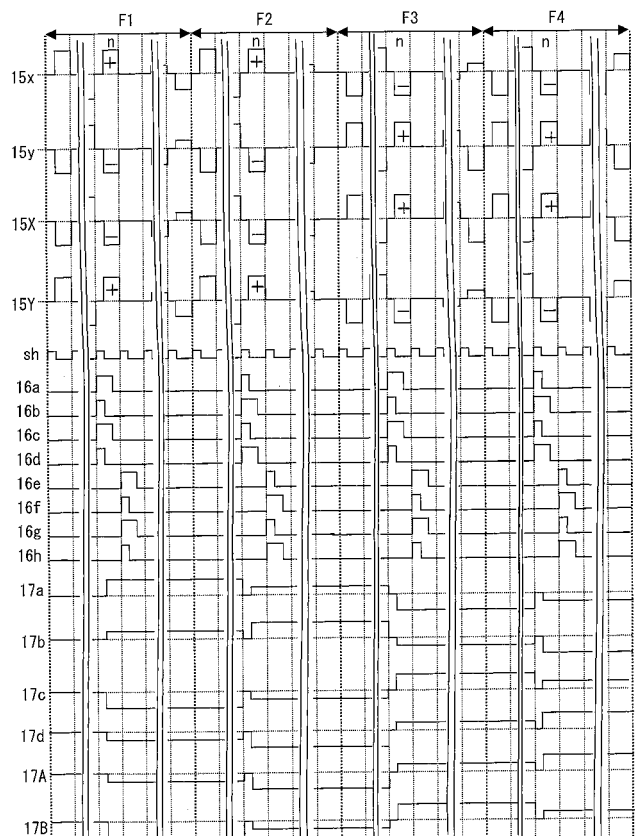
50

- 2 4 半 導 体 層
- 2 5 無 機 絶 縁 膜
- 2 6 有 機 絶 縁 膜
- 3 7 a ・ 3 7 b ・ 3 7 A ・ 3 7 B 容 量 電 極
- 8 4 液 晶 表 示 ユ ニ ッ ト
- 1 0 1 ~ 1 0 8 画 素
- 6 0 1 テ レ ビ ジ ョ ン 受 像 機
- 8 0 0 液 晶 表 示 装 置

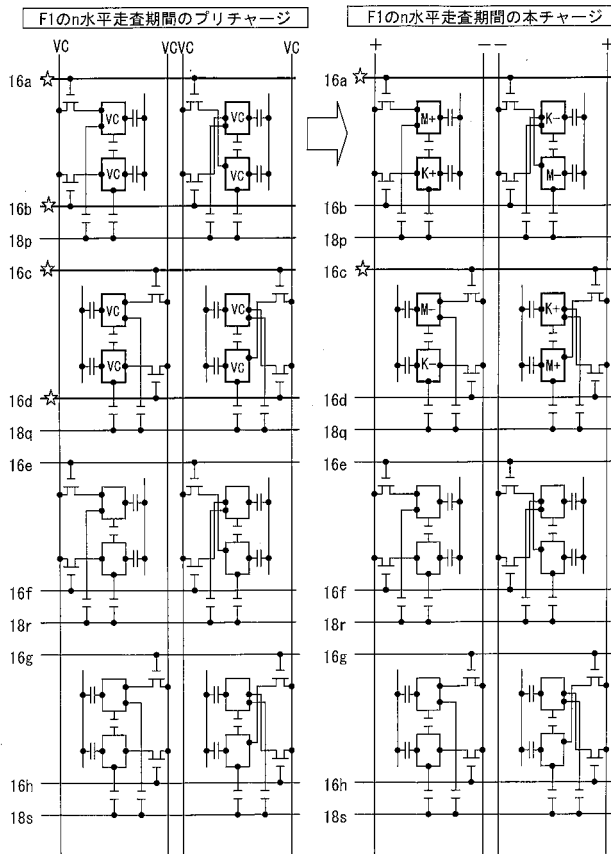
【 図 1 】



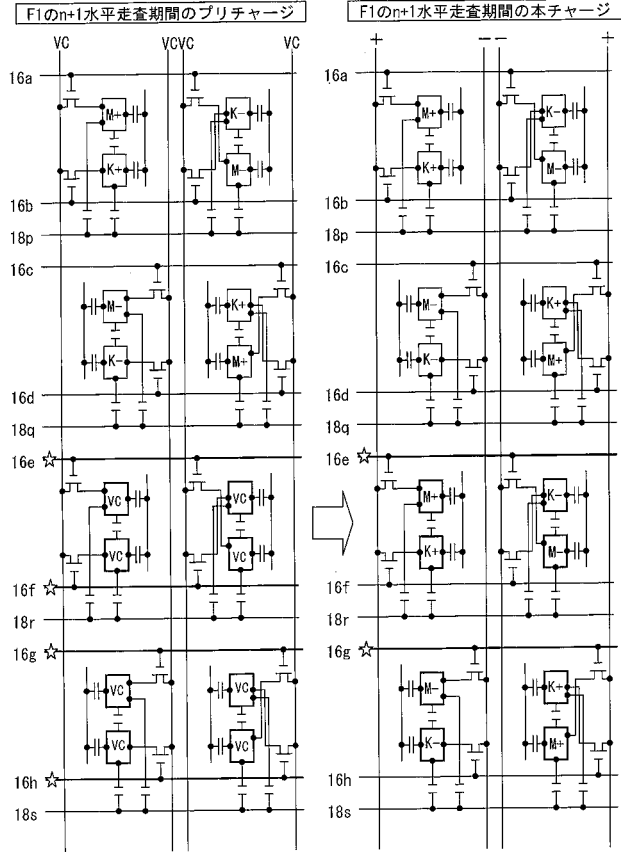
【 図 2 】



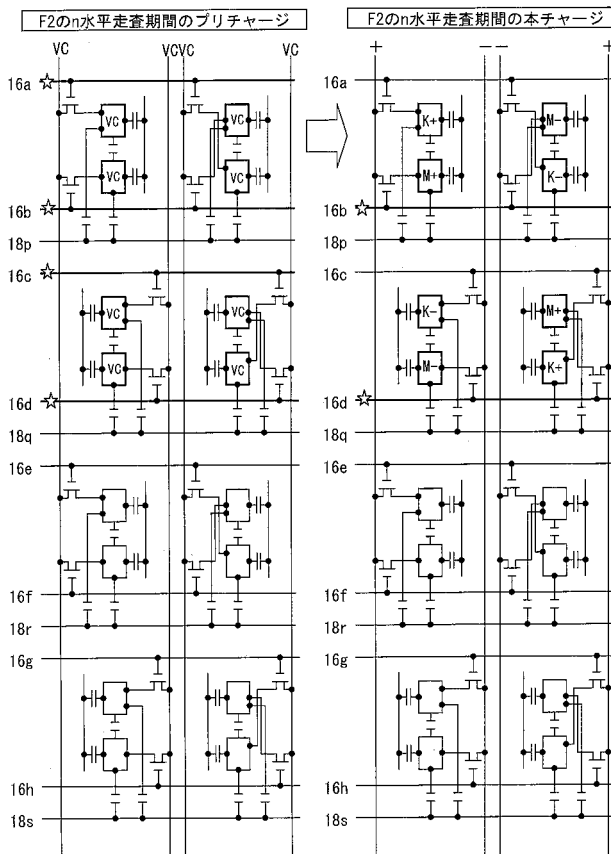
【図 3】



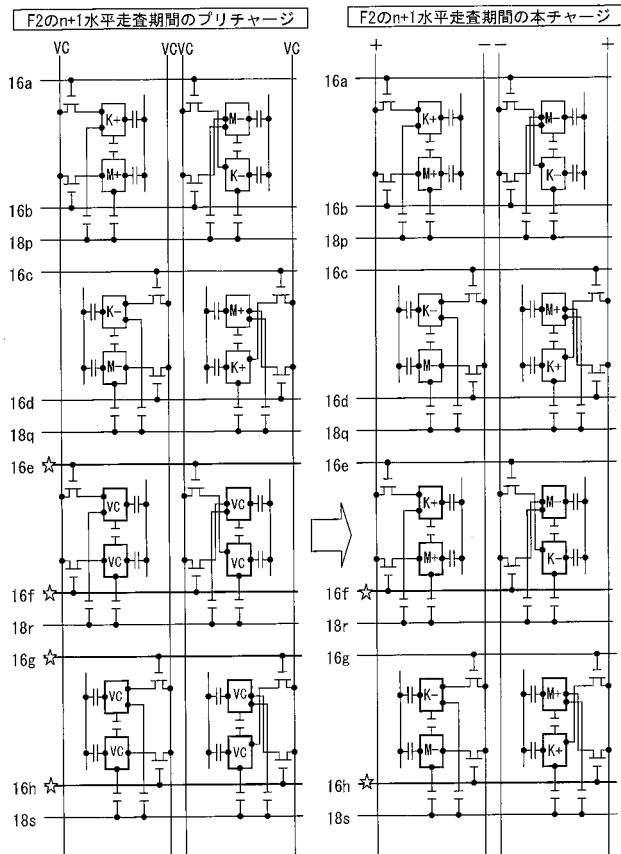
【図 4】



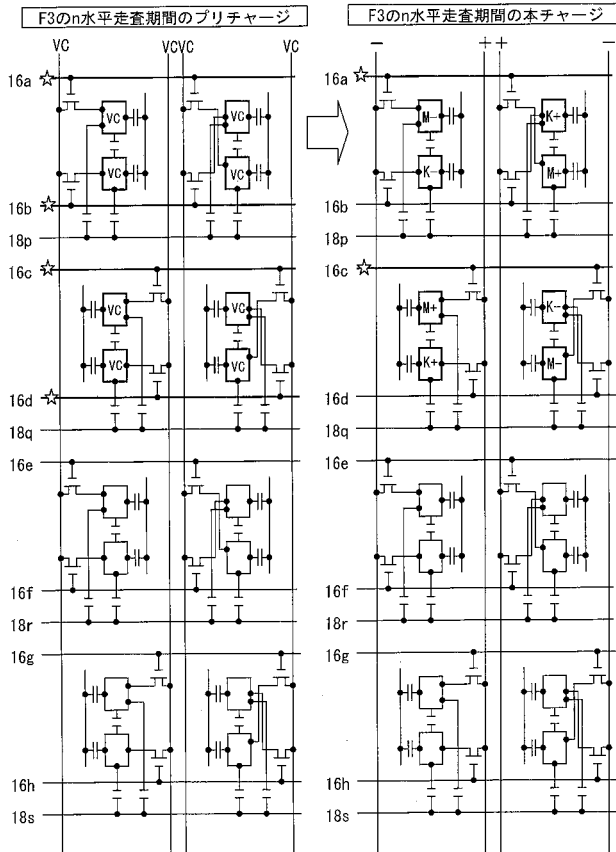
【図 5】



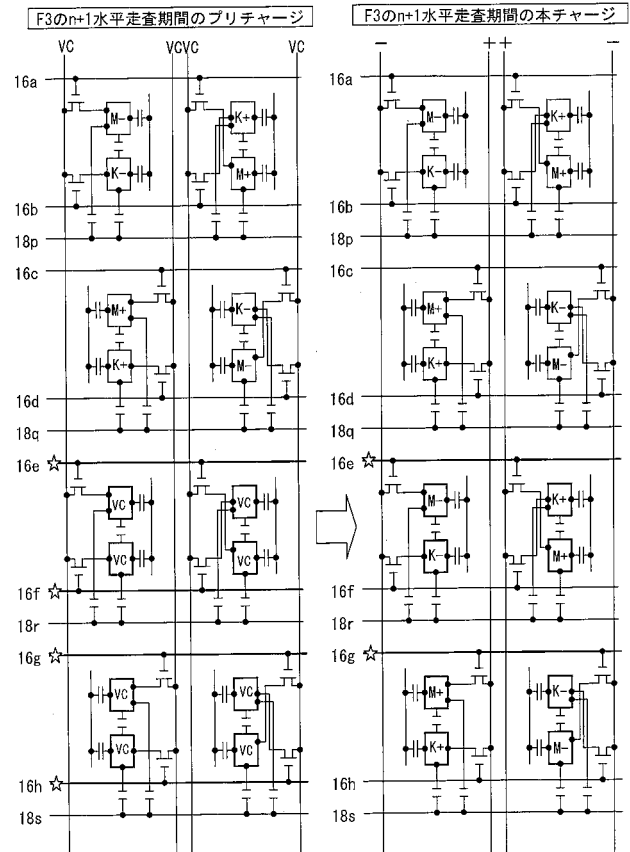
【図 6】



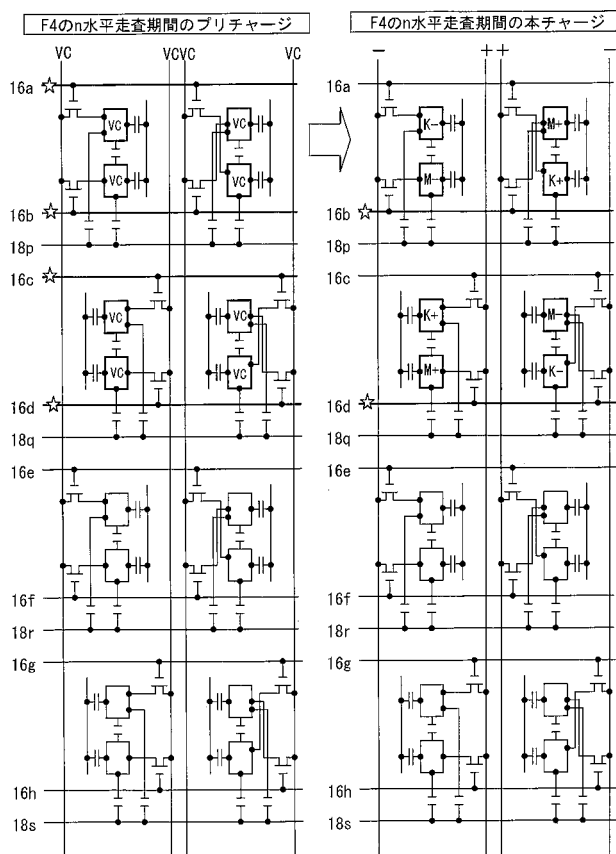
【図 7】



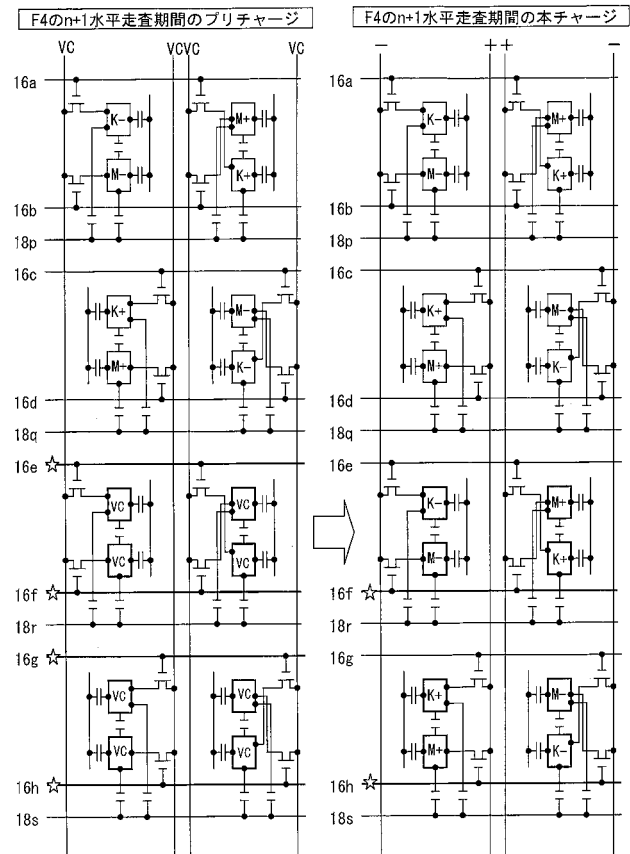
【図 8】



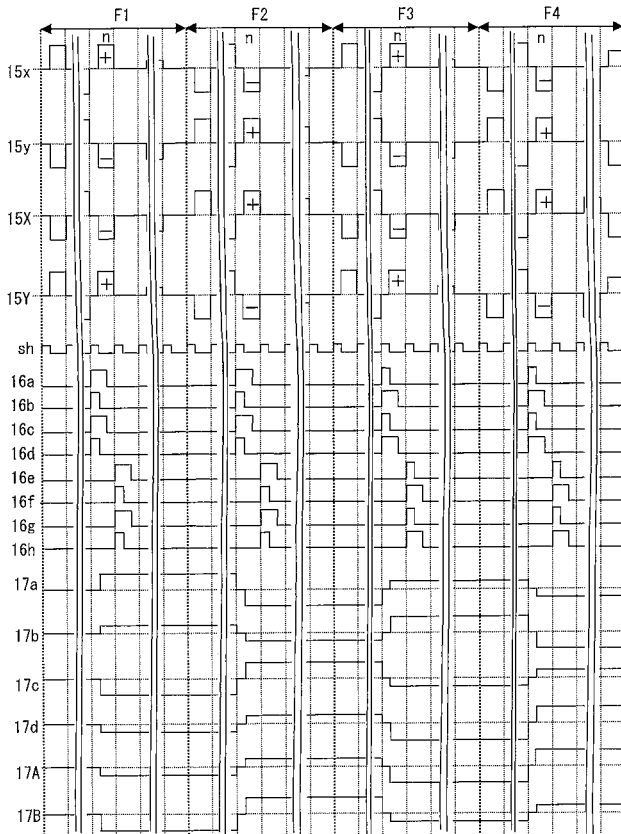
【図 9】



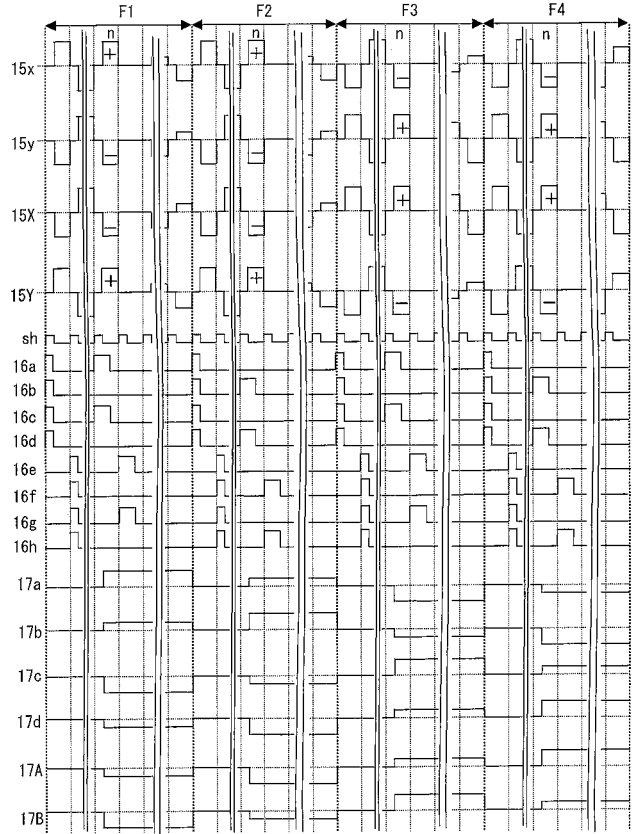
【図 10】



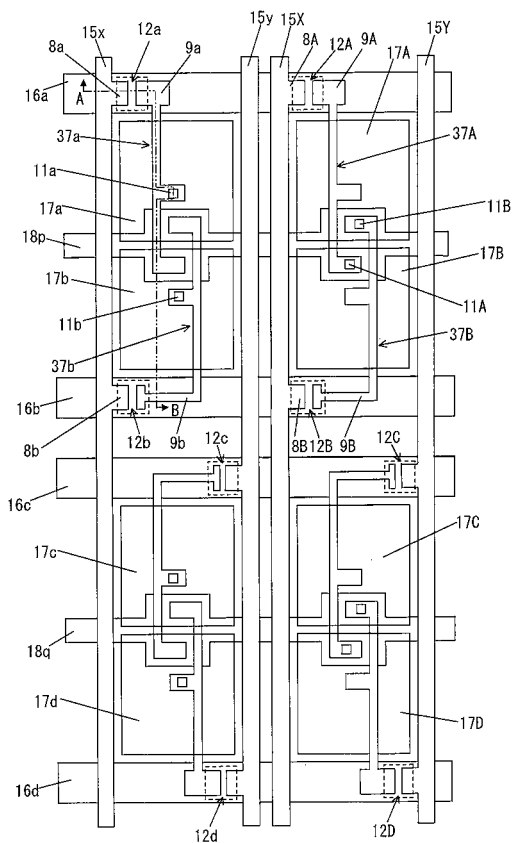
【図 1 1】



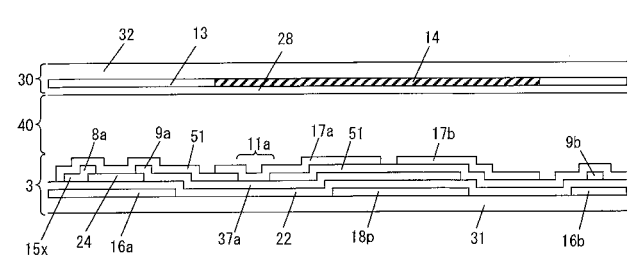
【図 1 2】



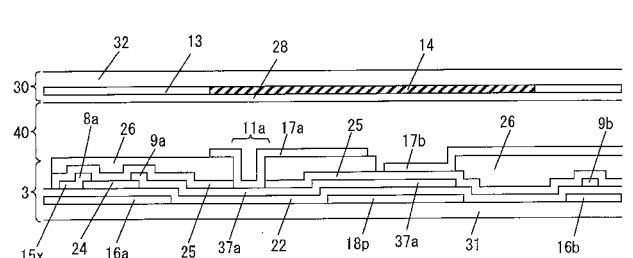
【図 1 3】



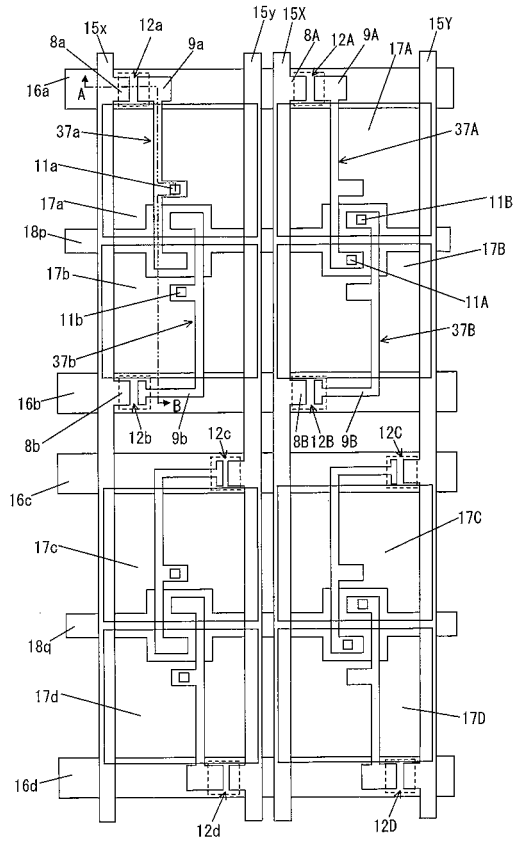
【図 1 4】



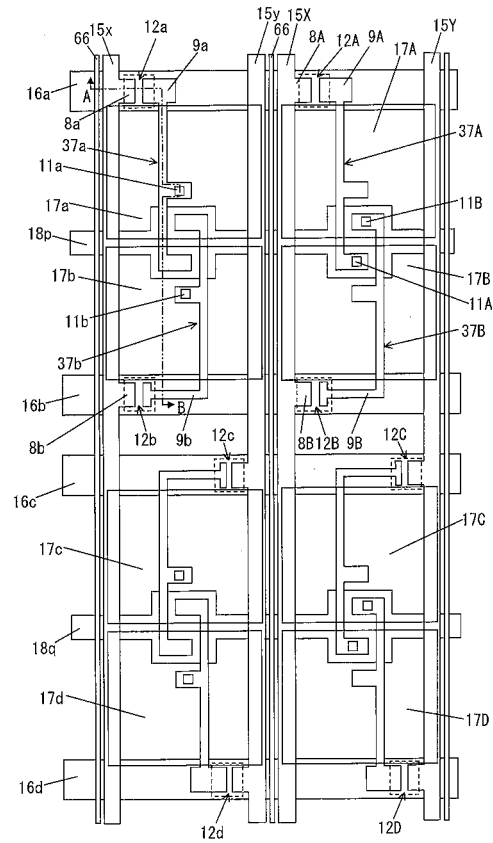
【図 1 5】



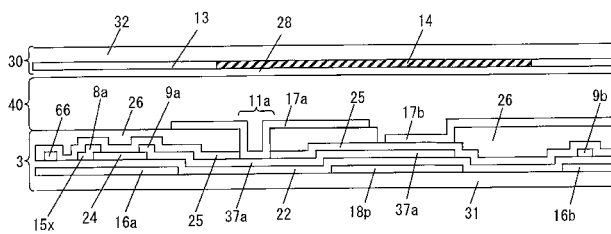
【図 16】



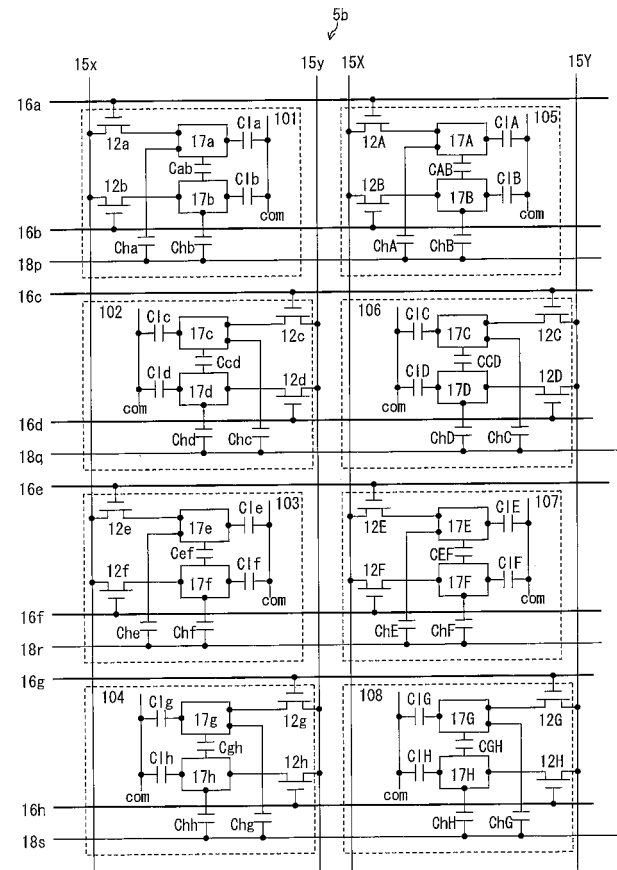
【図 17】



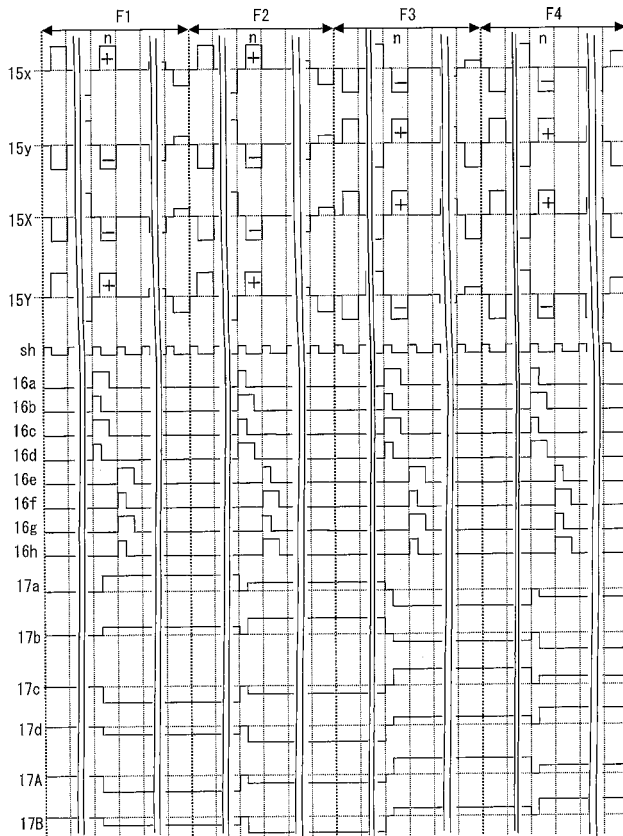
【図 18】



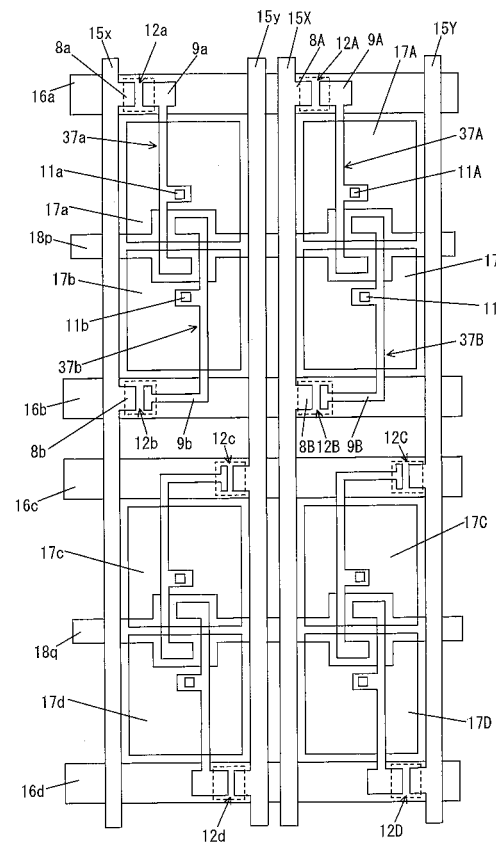
【図 19】



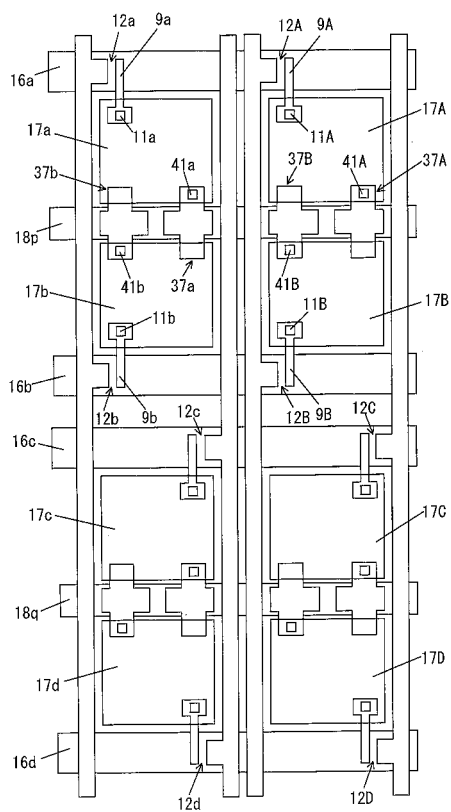
【図 20】



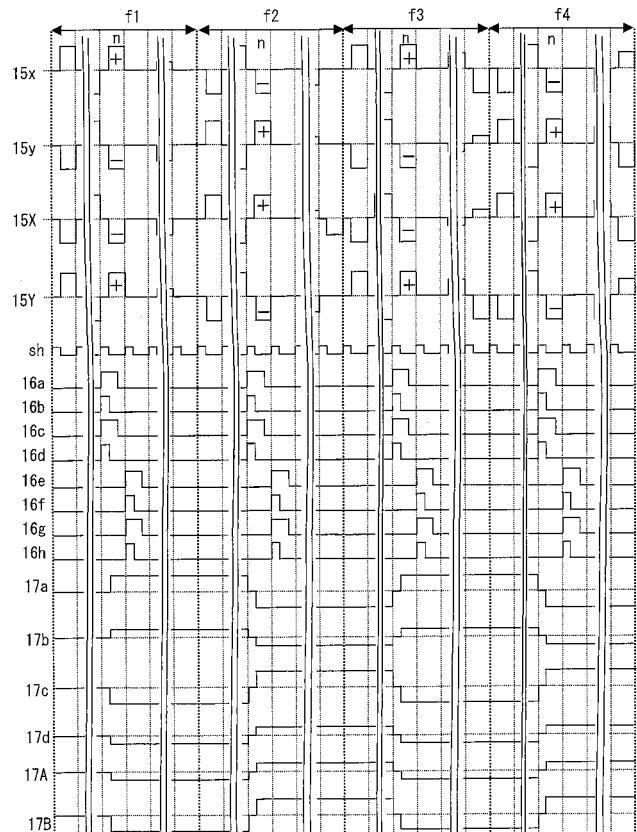
【図 21】



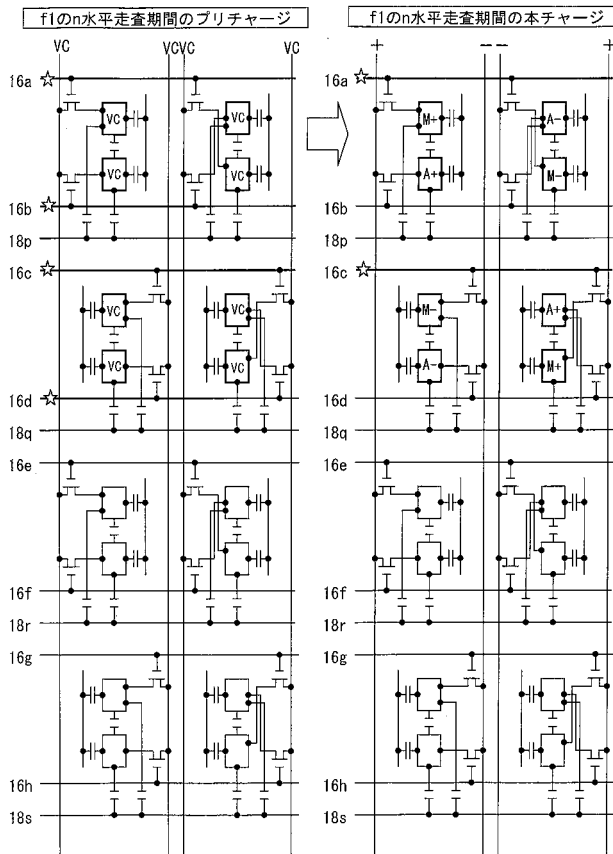
【図 22】



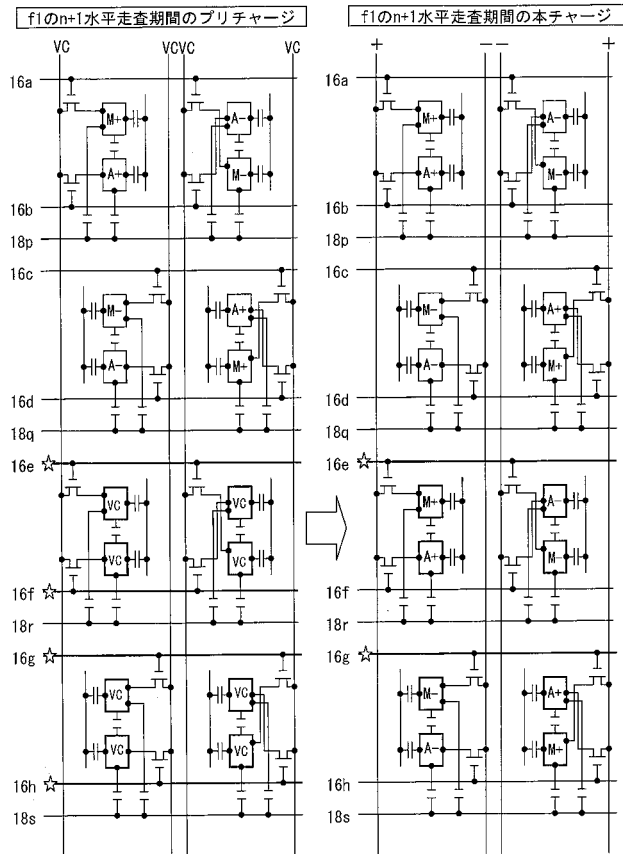
【図 23】



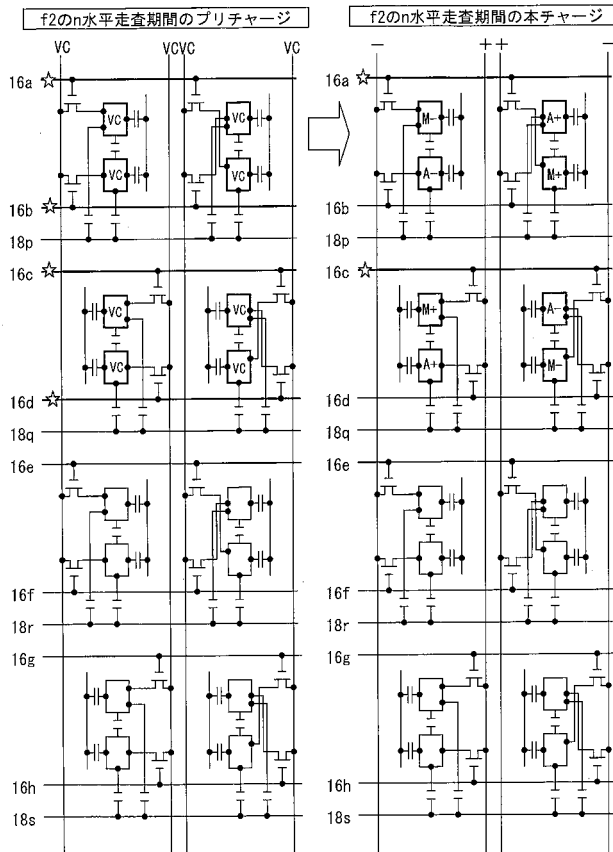
【図 2 4】



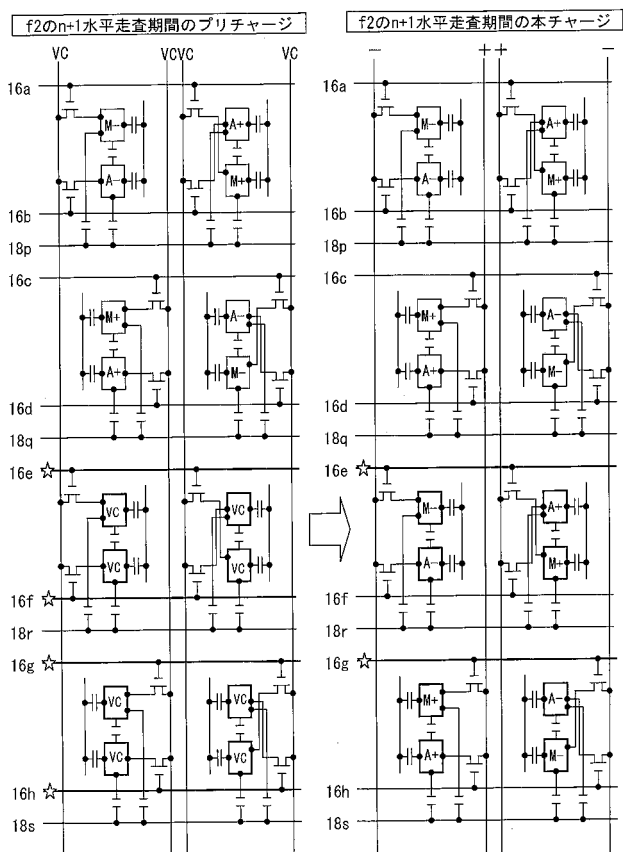
【図 2 5】



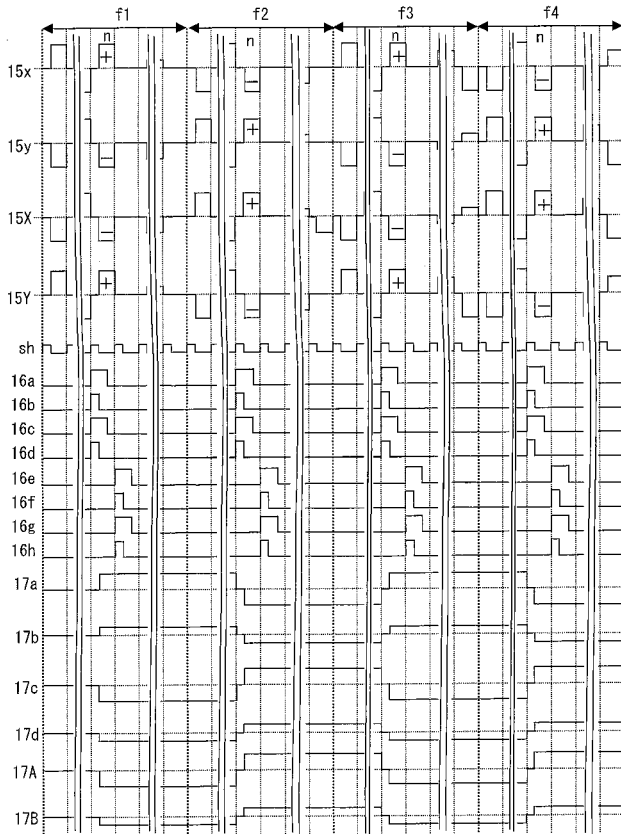
【図 2 6】



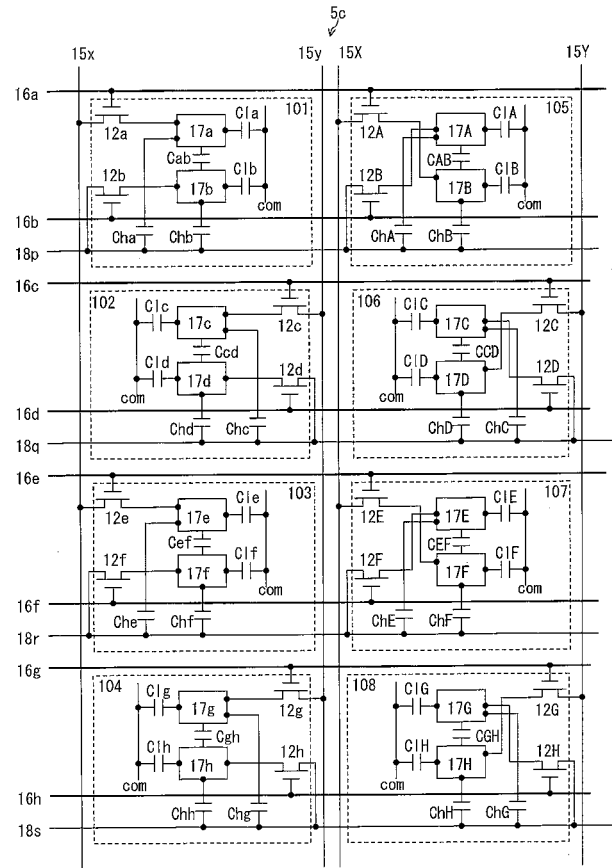
【図 2 7】



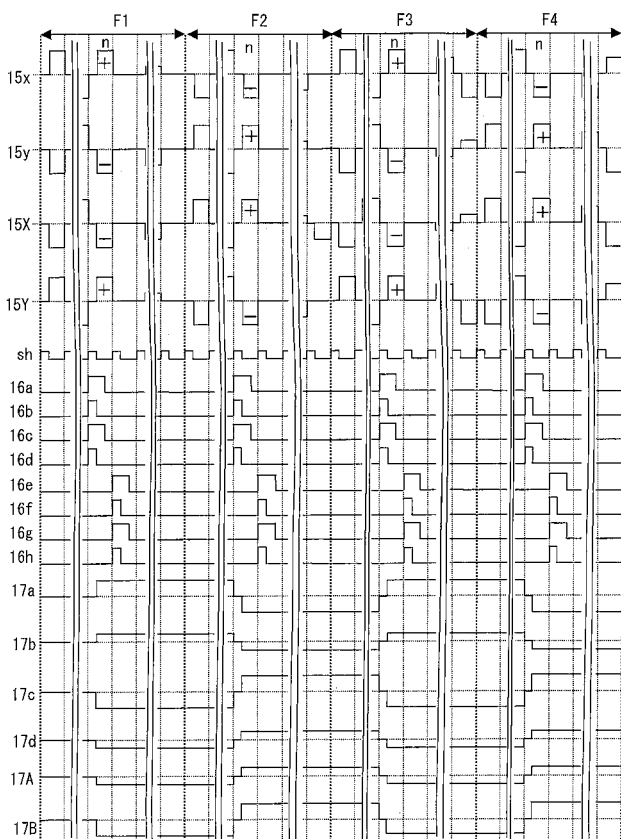
【図 28】



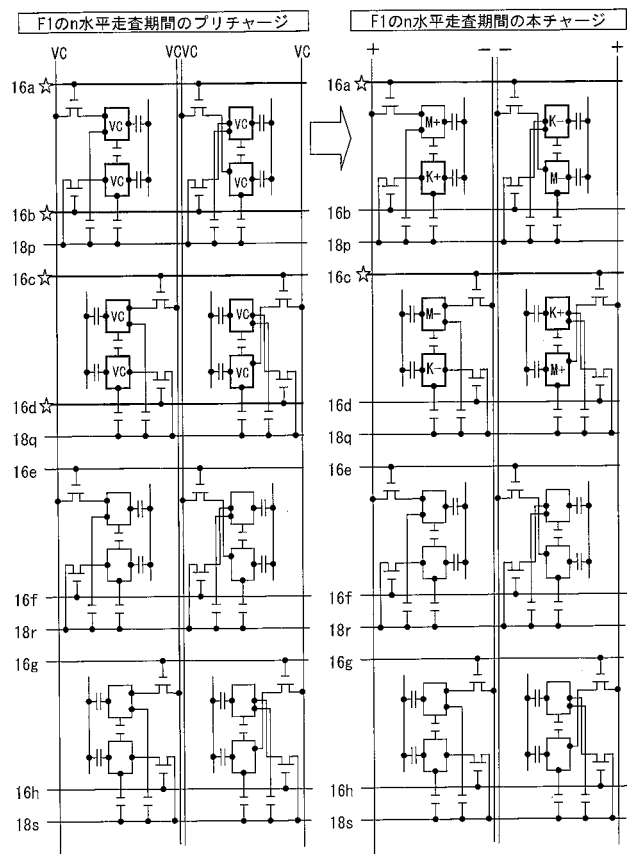
【図 29】



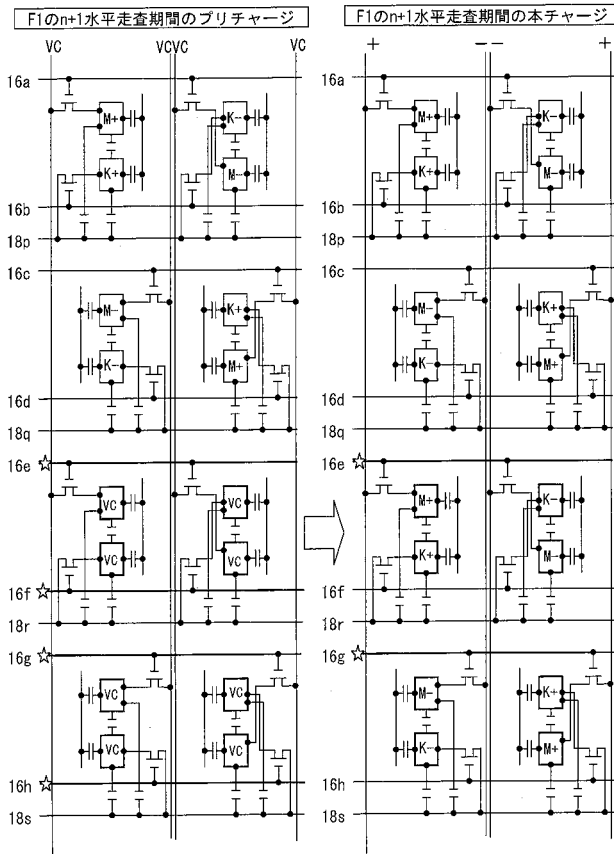
【図 30】



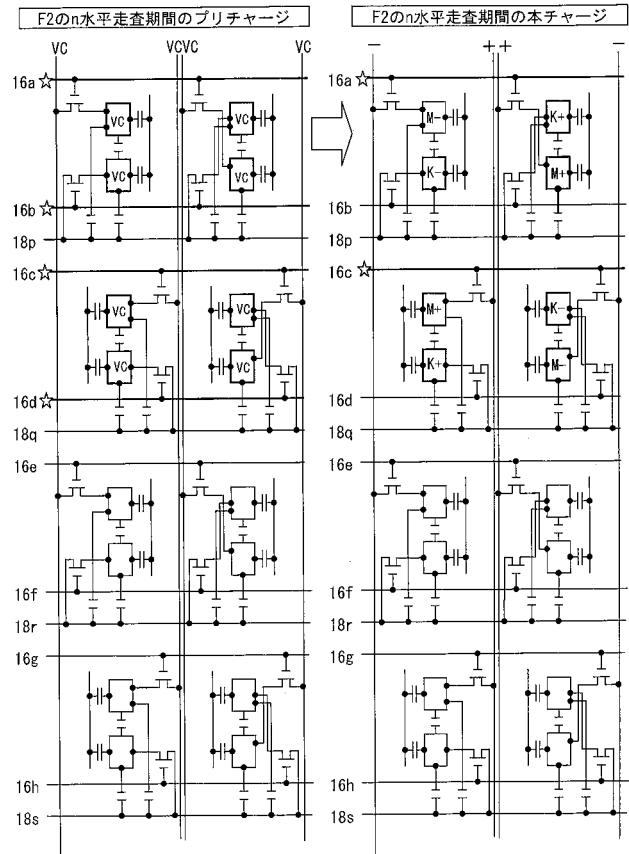
【図 31】



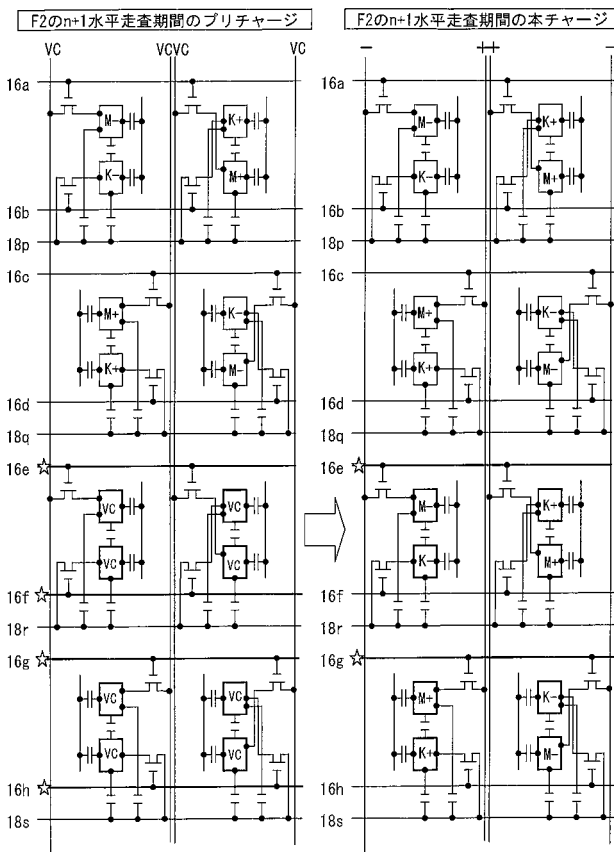
【図 3 2】



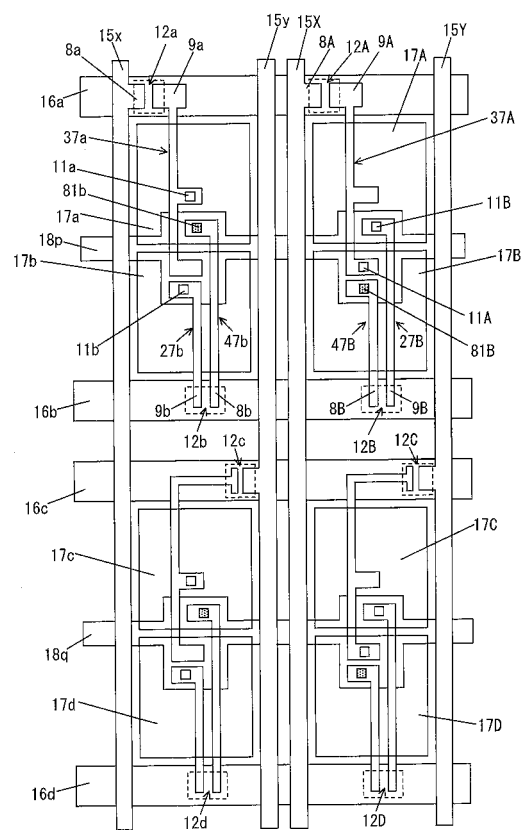
【図 3 3】



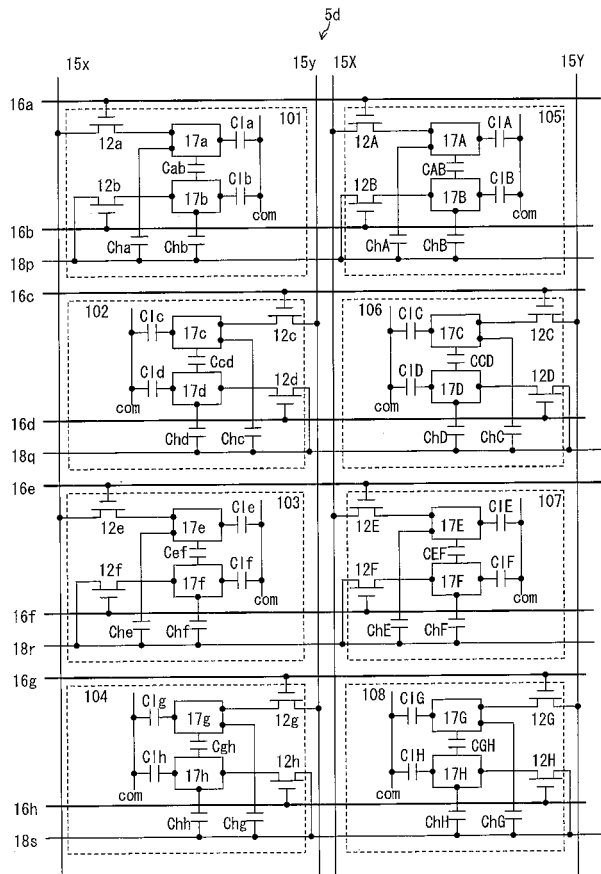
【図 3 4】



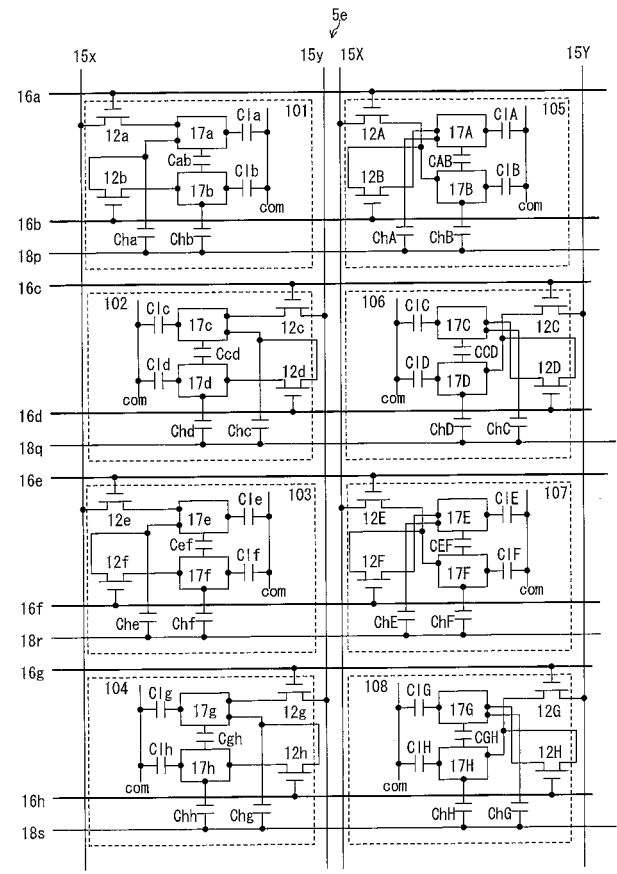
【図 3 5】



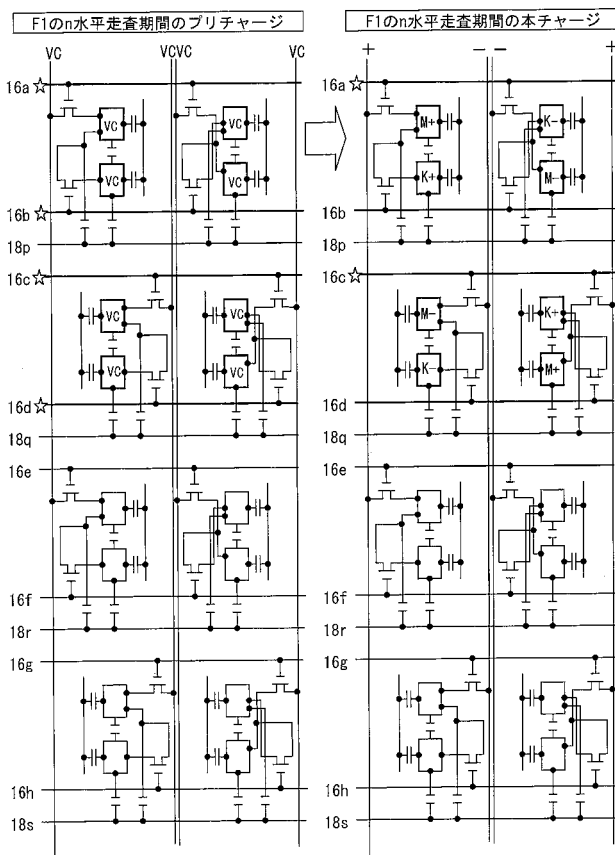
【図 3 6】



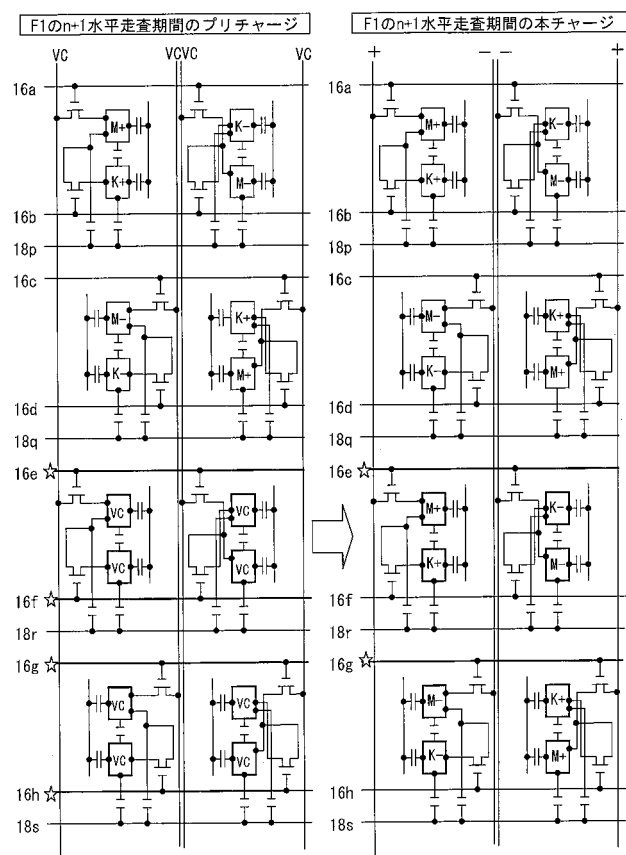
【図 3 7】



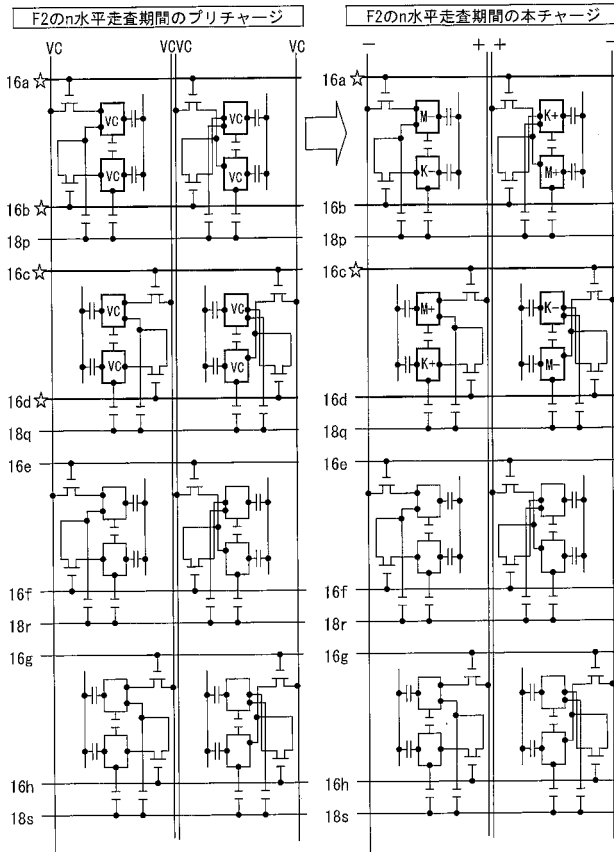
【図 3 8】



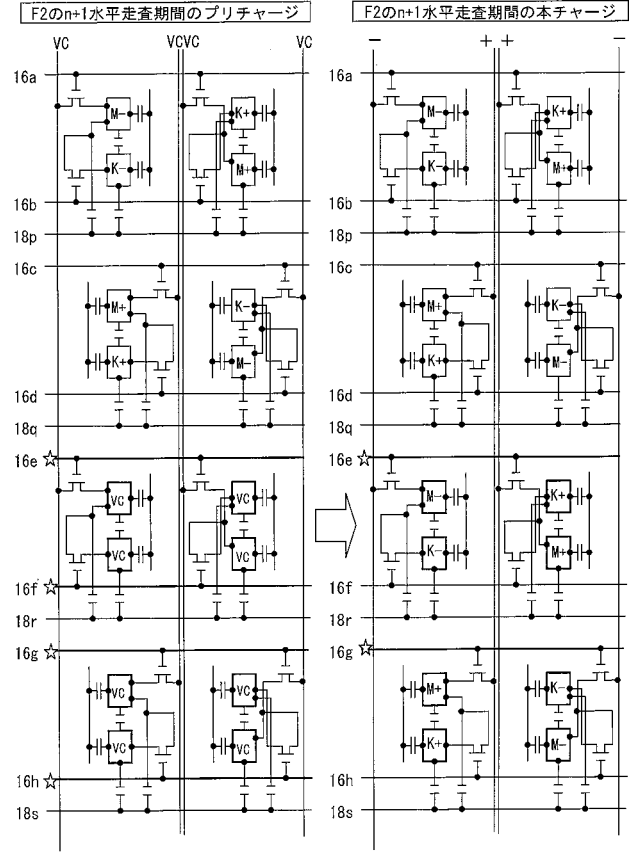
【図 3 9】



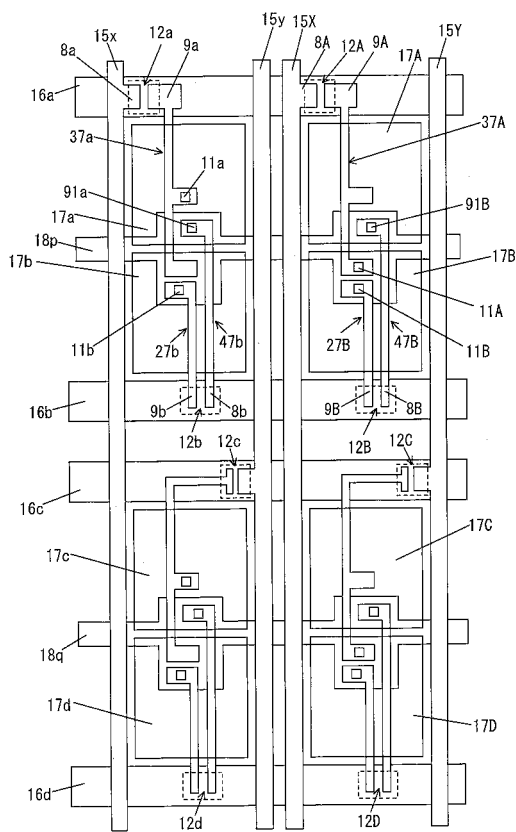
【図 40】



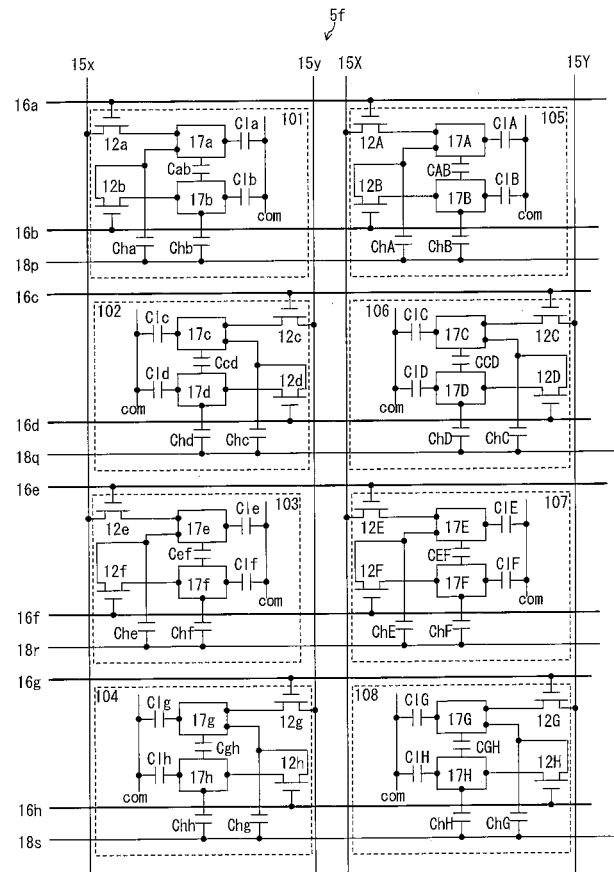
【図 41】



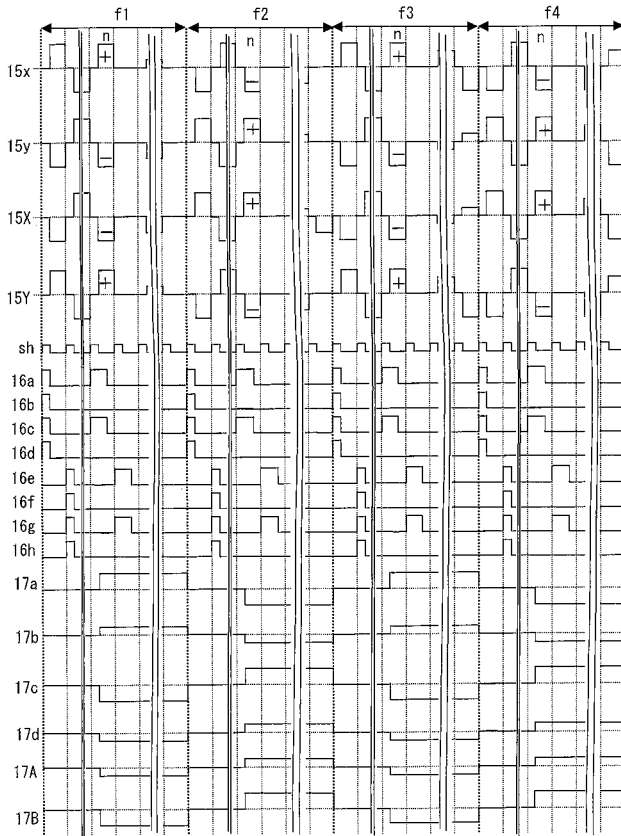
【図 42】



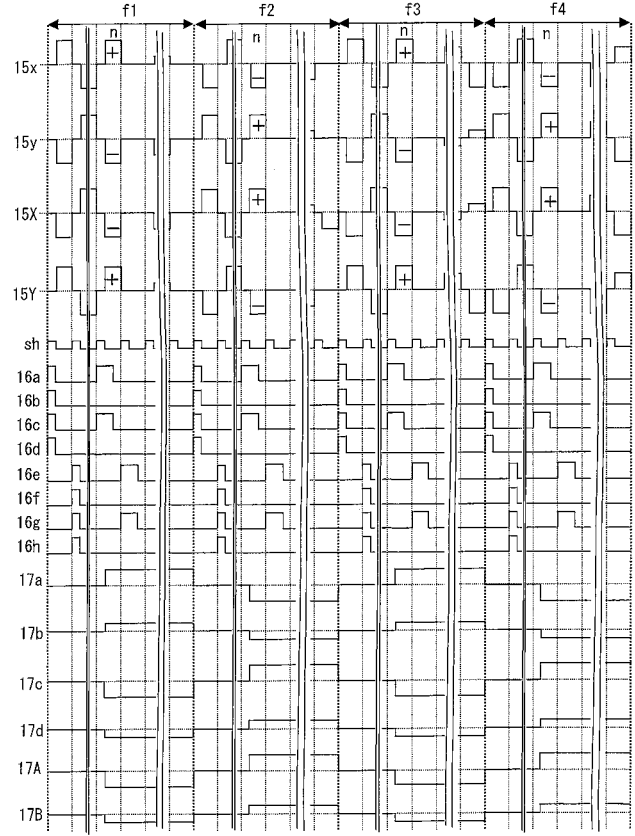
【図 43】



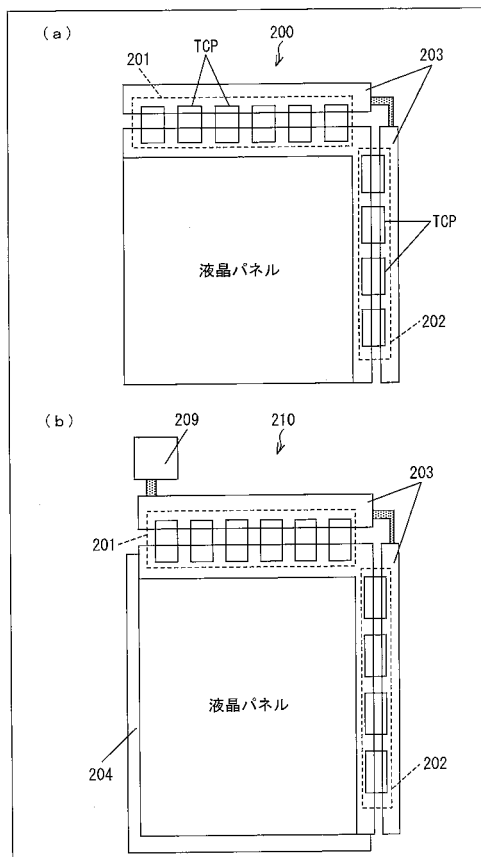
【図 4 4】



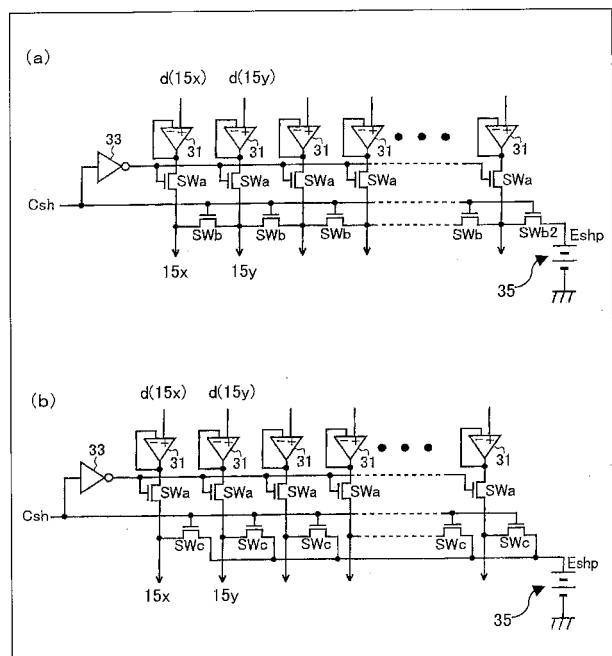
【図 4 5】



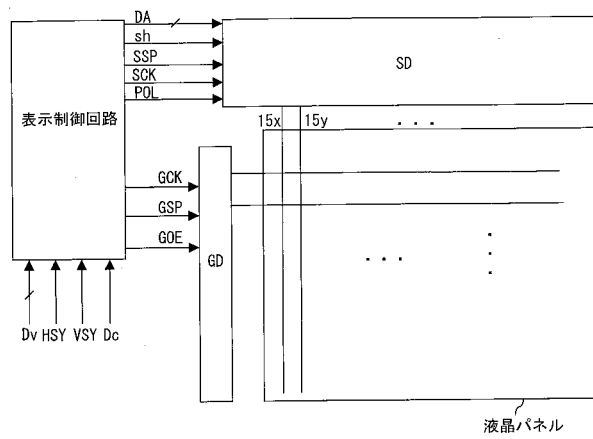
【図 4 6】



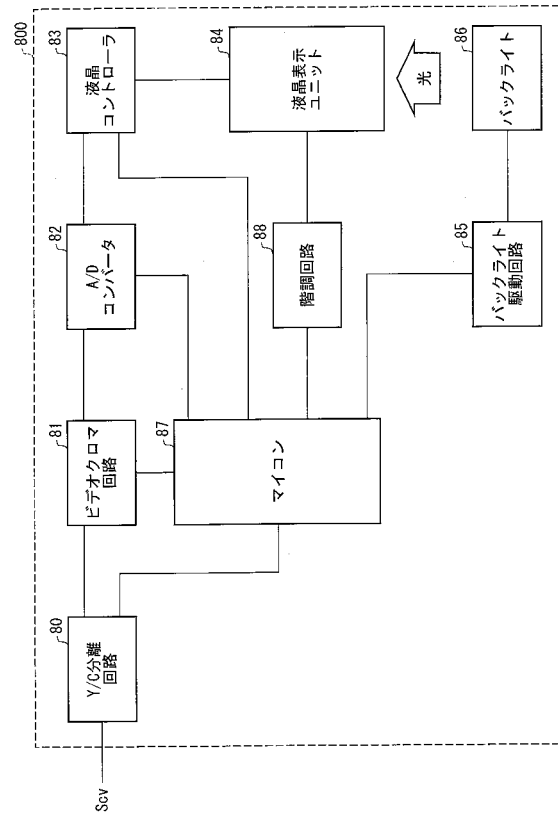
【図 4 7】



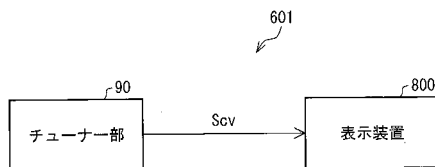
【図 48】



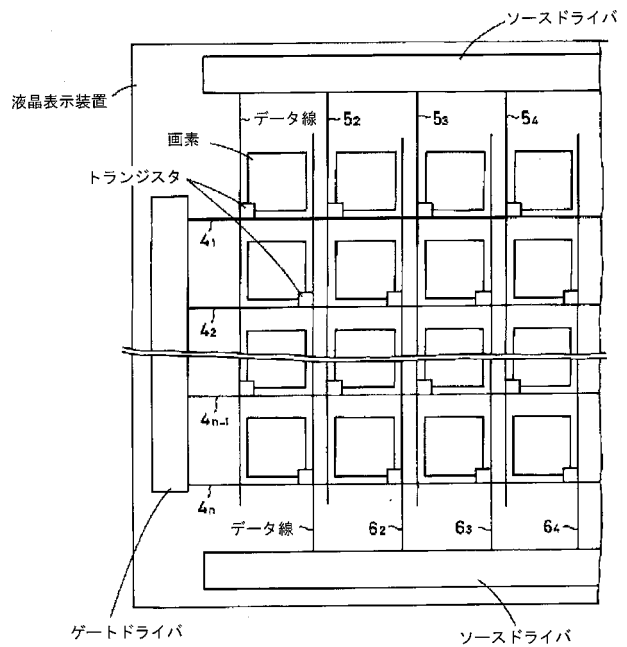
【図 49】



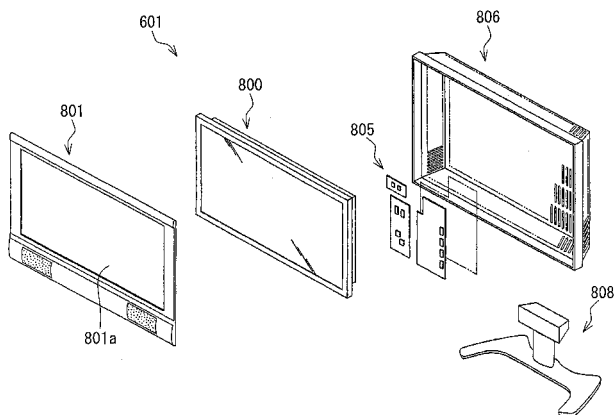
【図 50】



【図 52】



【図 51】



【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/002732

A. CLASSIFICATION OF SUBJECT MATTER

G02F1/1368(2006.01)i, G02F1/133(2006.01)i, G02F1/1343(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F1/1368, G02F1/133, G02F1/1343, G09G3/20, G09G3/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-053589 A (Sony Corp.), 12 March 2009 (12.03.2009), entire text; all drawings (Family: none)	1-30
A	JP 2006-139288 A (Samsung Electronics Co., Ltd.), 01 June 2006 (01.06.2006), entire text; all drawings & US 2006/0208984 A1 & KR 10-2006-0047024 A & CN 1773601 A	1-30
A	JP 2008-175987 A (Sharp Corp.), 31 July 2008 (31.07.2008), entire text; all drawings (Family: none)	1-30

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
04 June, 2010 (04.06.10)Date of mailing of the international search report
15 June, 2010 (15.06.10)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

国際調査報告		国際出願番号 PCT/JP2010/002732	
A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. G02F1/1368(2006.01)i, G02F1/133(2006.01)i, G02F1/1343(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. G02F1/1368, G02F1/133, G02F1/1343, G09G3/20, G09G3/36			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2010年 日本国実用新案登録公報 1996-2010年 日本国登録実用新案公報 1994-2010年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
A	JP 2009-053589 A（ソニー株式会社） 2009.03.12, 全文、全図（ファミリーなし）	1-30	
A	JP 2006-139288 A（三星電子株式会社） 2006.06.01, 全文、全図 & US 2006/0208984 A1 & KR 10-2006-0047024 A & CN 1773601 A	1-30	
A	JP 2008-175987 A（シャープ株式会社） 2008.07.31, 全文、全図（ファミリーなし）	1-30	
☐ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 04.06.2010		国際調査報告の発送日 15.06.2010	
国際調査機関の名称及びあて先 日本国特許庁（ISA/JP） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 福田 知喜	2L 3703 電話番号 03-3581-1101 内線 3255

フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20 6 2 1 B	
	G 0 9 G 3/20 6 2 3 U	

(81) 指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

F ターム(参考) 5C006 AA01 AA22 AC23 AC24 AC26 AC28 BB16 BC06 FA34
 5C080 AA10 BB05 CC03 DD29 EE19 FF11 GG08 JJ02 JJ03 JJ06
 KK43

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	有源矩阵基板，液晶面板，液晶显示装置，液晶显示单元，电视接收器		
公开(公告)号	JPWO2011010417A1	公开(公告)日	2012-12-27
申请号	JP2011523538	申请日	2010-04-15
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	津幡俊英		
发明人	津幡 俊英		
IPC分类号	G02F1/1368 G02F1/133 G09G3/36 G09G3/20		
CPC分类号	G09G3/3614 G02F2001/134345 G09G3/3659 G09G2300/0426 G09G2300/0443 G09G2300/0447 G09G2300/0814 G09G2300/0876 G09G2310/0251 G09G2320/028		
FI分类号	G02F1/1368 G02F1/133.550 G09G3/36 G09G3/20.624.B G09G3/20.622.D G09G3/20.621.B G09G3/20.623.U		
F-TERM分类号	2H092/JA24 2H092/JA46 2H092/JB31 2H092/JB69 2H092/KA04 2H092/KA05 2H092/KA07 2H092/MA05 2H092/MA07 2H092/MA13 2H092/MA17 2H092/MA30 2H092/NA01 2H092/PA06 2H092/PA13 2H092/QA09 2H193/ZA04 2H193/ZA07 2H193/ZA08 2H193/ZA19 2H193/ZC15 2H193/ZC24 2H193/ZE02 2H193/ZE06 2H193/ZF52 2H193/ZQ11 2H193/ZQ44 2H193/ZQ45 2H193/ZQ47 5C006/AA01 5C006/AA22 5C006/AC23 5C006/AC24 5C006/AC26 5C006/AC28 5C006/BB16 5C006/BC06 5C006/FA34 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD29 5C080/EE19 5C080/FF11 5C080/GG08 5C080/JJ02 5C080/JJ03 5C080/JJ06 5C080/KK43		
优先权	2009171308 2009-07-22 JP		
其他公开文献	JP5290419B2		
外部链接	Espacenet		

摘要(译)

在该有源矩阵基板中，以行和列排列包括通过电容器连接的两个像素电极的像素，对应于一个像素列设置两条数据信号线，并且设置一个像素。提供与像素行相对应的两条扫描信号线，并且对于属于像素列和像素行的像素（101），晶体管（连接至两条扫描信号线（16a16b）之一的晶体管（12a））电连接到包括在像素（101）中的两个像素电极（17a和17b）之一，并且连接到两条扫描信号线中的另一个的晶体管（12b）是两个像素电极。两条数据信号线（15x，15y）中的一条电连接到两条数据信号线（15x，15y）中的另一条和同一数据信号线（15x）。已经完成了。结果，可以提高同时选择两条线的像素分割型（电容耦合型）液晶显示装置的显示质量。

