

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6473581号
(P6473581)

(45) 発行日 平成31年2月20日 (2019. 2. 20)

(24) 登録日 平成31年2月1日 (2019. 2. 1)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)

G06F 3/041 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

G02F 1/1368 (2006.01)

G09G 3/36

G06F 3/041 595

G09G 3/20 611A

G09G 3/20 621F

G09G 3/20 680H

請求項の数 11 (全 22 頁) 最終頁に続く

(21) 出願番号 特願2014-144322 (P2014-144322)
 (22) 出願日 平成26年7月14日 (2014. 7. 14)
 (65) 公開番号 特開2015-96935 (P2015-96935A)
 (43) 公開日 平成27年5月21日 (2015. 5. 21)
 審査請求日 平成28年7月22日 (2016. 7. 22)
 (31) 優先権主張番号 特願2013-211888 (P2013-211888)
 (32) 優先日 平成25年10月9日 (2013. 10. 9)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 502356528
 株式会社ジャパンディスプレイ
 東京都港区西新橋三丁目7番1号
 (74) 代理人 110001737
 特許業務法人スズエ国際特許事務所
 (74) 代理人 100091351
 弁理士 河野 哲
 (74) 代理人 100084618
 弁理士 村松 貞男
 (74) 代理人 100087653
 弁理士 鈴江 正二
 (72) 発明者 吉田 征弘
 東京都港区西新橋三丁目7番1号 株式会
 社ジャパンディスプレイ内

最終頁に続く

(54) 【発明の名称】 表示装置、表示装置の制御方法

(57) 【特許請求の範囲】

【請求項 1】

複数の画素回路が2次元配列され、それぞれの画素回路は表示素子と前記表示素子を駆動するための信号を保存する画素メモリを含む、表示デバイスと、

任意の画素回路を選択して駆動することができるX方向ドライバ及びY方向ドライバと、

前記表示デバイスに一体となり配置されたタッチ式入力パネルと、

前記タッチ式入力パネルの感知出力を座標データに変換するタッチパネルコントローラと、

前記座標データを受け取り、前記X方向ドライバ及び前記Y方向ドライバを介して、前記画素回路単位で、画素信号の部分書き換えを行うディスプレイコントローラと、を備え、

前記Y方向ドライバは、前記任意の画素回路を動作可能な状態に選択する選択行線に接続されており、

前記X方向ドライバは、

前記任意の画素回路を選択する制御列線と、

前記任意の画素回路に入力を与える信号列線と、

前記任意の画素回路を選択するための画素信号又は前記任意の画素回路に入力するための画素信号を出力するX方向バッファと、

前記任意の画素回路にデータを書き込むために、第1スイッチにより前記制御列線を前

10

20

記X方向バッファの任意の出力端子に接続して前記画素回路内の入力経路の第1のトランジスタをオンし、第2スイッチにより前記信号列線を予め設定された第1固定電位の電圧線に接続して前記画素回路内に前記第1のトランジスタを介して前記第1固定電位を入力する第1状態、又は、

前記第1スイッチにより前記制御列線を予め設定され第2固定電位の電圧線に接続して前記画素回路内の前記入力経路の前記第1のトランジスタをオンし、前記第2スイッチにより前記信号列線を前記X方向バッファの任意の出力端子に接続して前記画素回路内に前記第1のトランジスタを介して前記画素信号を入力する第2状態のいずれかを得るモードスイッチと、を有する、表示装置。

【請求項2】

10

請求項1記載の表示装置において、

前記X方向ドライバは、

前記座標データを、アドレスデータに変換し、前記X方向において画素回路の列を特定するXアドレスデコーダと、

前記Xアドレスデコーダからのアドレスデータがロードされ、前記アドレスデータをX方向の任意の位置へシフトさせることができるX双方向シフトレジスタと、

前記X双方向シフトレジスタの出力を保持するイネーブルラッチ回路と、

前記イネーブルラッチ回路の保持データを前記画素信号として出力するX方向バッファと、を有し、

前記ディスプレイコントローラが、前記X双方向シフトレジスタに対して、シフトパルスを与えて前記アドレスデータをシフトさせて前記X方向バッファが出力する前記画素信号の位置を可変する表示装置。

20

【請求項3】

請求項2記載の表示装置において、

前記X方向ドライバにより、第1の前記座標データが第1の前記アドレスデータに変換され、前記Y方向ドライバにより第1の前記画素回路に対応する行が選択され、かつ、前記第1の前記アドレスデータが選択する前記第1の前記画素回路に画素信号が書き込まれた後、第2の座標データが前記ディスプレイコントローラに入力された場合、

前記ディスプレイコントローラは、前記X双方向シフトレジスタに対して、前記第1の前記アドレスデータをシフトさせるための前記シフトパルスを与え、前記第1の前記アドレスデータをシフトさせて、画素回路を選択するための前記X方向に関する補間アドレスデータを設定する表示装置。

30

【請求項4】

請求項2記載の表示装置において、

前記X方向ドライバは、前記Xアドレスデコーダの出力端子と、前記X双方向シフトレジスタのロード用入力端子との間を接続する場合、前記Xアドレスデコーダの出力端子の第1の数と前記X双方向シフトレジスタのロード用入力端子の第2の数との関係を、前記第1の数対前記第2の数が1対1で接続する状態と、前記第1の数対前記第2の数が1対複数で接続する状態とを選択的に切り替えられるロジック回路を有する表示装置。

【請求項5】

40

請求項1記載の表示装置において、

前記画素回路は、データ保持のために、1ビットを保持するスタティックランダムアクセスメモリを有する表示装置。

【請求項6】

請求項1記載の表示装置において、

前記画素回路は、データ保持のために、複数の電圧レベルを保持する補助容量を有する表示装置。

【請求項7】

請求項1記載の表示装置において、

前記画素回路に入力信号を与える前記入力経路には、列制御線で制御される前記第1の

50

トランジスタと、行選択線で制御される第2のトランジスタが直列接続されている表示装置。

【請求項8】

請求項1記載の表示装置において、

タッチパネルコントローラは、前記座標データを外部のメインCPUに供給するためのインターフェースを備える表示装置。

【請求項9】

表示デバイスは、2次元配列された複数の画素回路を有し、それぞれの画素回路は表示素子と前記表示素子を駆動するための信号を保存する画素メモリを含み、

X方向ドライバ及びY方向ドライバは、ディスプレイコントローラの制御に基づき、前記複数の画素回路の中の任意の画素回路を選択して駆動可能であり、

タッチ式入力パネルは、前記表示デバイスと一体に配置され、感知出力をタッチパネルコントローラに供給し、

前記Y方向ドライバは、選択行線を介して前記任意の画素回路を動作可能な状態に選択し、

前記X方向ドライバは、制御列線により前記任意の画素回路を選択することが可能であるし、また信号列線により前記任意の画素回路に入力を与えることも可能であり、X方向バッファにより、前記任意の画素回路を選択するための画素信号又は前記任意の画素回路に入力するための画素信号を出力する、

表示装置の制御方法であって、

前記制御方法は、

前記タッチパネルコントローラが、前記感知出力を座標データに変換し、

前記ディスプレイコントローラが前記座標データを直接受け取り、前記X方向ドライバ及びY方向ドライバに前記座標データに対応するアドレスデータを書き込み、前記表示デバイスの画素回路単位で、画素信号の部分書き換えを行い、

前記X方向ドライバが、

前記任意の画素回路にデータを書き込むために、第1スイッチにより前記制御列線を前記X方向バッファの任意の出力端子に接続して前記画素回路内の入力経路の第1のトランジスタをオンし、第2スイッチにより前記信号列線を予め設定された第1固定電位の電圧線に接続して前記画素回路内に前記第1のトランジスタを介して前記第1固定電位を入力する第1状態、又は、

前記第1スイッチにより前記制御列線を予め設定され第2固定電位の電圧線に接続して前記画素回路内の前記入力経路の前記第1のトランジスタをオンし、前記第2スイッチにより前記信号列線を前記X方向バッファの任意の出力端子に接続して前記画素回路内に前記第1のトランジスタを介して前記画素信号を入力する第2状態のいずれかをとる制御方法。

【請求項10】

請求項9の表示装置の制御方法において、

前記X方向ドライバが、前記座標データに対応する前記アドレスデータを受け取った後、前記ディスプレイコントローラからのシフトパルスにより前記X方向ドライバが保持している前記アドレスデータをシフトさせて、前記画素回路とは異なる画素回路を選択するための前記X方向に関する補間アドレスデータを生成する制御方法。

【請求項11】

請求項9の表示装置の制御方法において、

前記X方向ドライバは、Xアドレスデコーダと、X双方向シフトレジスタと、前記Xアドレスデコーダと前記X双方向シフトレジスタ間のロジック回路を備えており、

前記ロジック回路の状態に応じて、

前記Xアドレスデコーダの出力端子と、前記X双方向シフトレジスタのロード用入力端子との間を接続する場合、前記Xアドレスデコーダの出力端子の第1の数と前記X双方向シフトレジスタのロード用入力端子の第2の数との関係を、前記第1の数対前記第2の数

が１対１で接続する状態と、前記第１の数対前記第２の数が１対複数で接続する状態とを選択的に切り替える制御方法。

【発明の詳細な説明】

【技術分野】

【０００１】

この発明の実施形態は、表示装置、表示装置の制御方法に関するもので、特にその手書き入力回路、手書き入力方法及び手書き入力用プログラムが改良されたものである。

【背景技術】

【０００２】

近年、例えば液晶表示デバイス（表示パネルと称してもよい）とタッチ式入力パネルとが一体化された表示装置が開発されている。この表示装置は携帯端末（スマートフォン、タブレットコンピュータ、パーソナルアシスタントデバイス（ＰＡＤ）などの電子機器を含む）に利用されている。

【０００３】

タッチ式入力パネルとして、ペンや指を表示画面に接触させ、この接触した状態でペンや指を当該表示画面上で移動させることで入力を行う手書き入力装置がある。

【０００４】

手書き入力装置は、座標入力装置とも称され、タッチ式入力パネルのタッチ検出面を表示装置の表示画面上に設けて構成される。手書き入力を検知するための方式として、抵抗式、静電容量式、電磁誘導式などがある。例えばペンによる手書き入力は、タッチ検出面で感知され、当該タッチ検出面の感知データに基づいて、当該ペンや指の表示画面における位置や表示画面を押圧する押圧力がタッチパネル（ＴＰ）コントローラで座標データ及び押圧データに変換される。

【０００５】

前記座標データ及び押圧データは、アプリケーションプロセッサやマイクロコンピュータなどの中央処理ユニット（ＣＰＵ）で処理される。ＣＰＵは、ペンの移動軌跡をフレームメモリ内部に映像データ（描画データと称してもよい）として記憶させ、該映像データを例えば６０Ｈｚ程度のフレームレートで表示を行う表示装置としての液晶表示デバイス（ＬＣＤ及びＬＣＤコントローラからなる）に送出する。これによりペンにより手書きされた移動軌跡が、液晶表示デバイスの表示部に線として表示され、また更新される。

【０００６】

上記の装置では、ＣＰＵ上で動作するオペレーションシステム（ＯＳ）や他のアプリケーションなどのプログラムの実行に起因する処理の遅延や、ＣＰＵとＴＰコントローラ、ＬＣＤコントローラとのインターフェイスに関わる遅延が発生する。

【０００７】

この結果、上記の装置は、手書き入力において、ユーザーによって指示されるタッチ位置（ペン先）に表示装置に描画される線を即座に追従させ難いという問題を有している。

【０００８】

この遅延は通常１００ｍｓ程度であり、手書き入力装置の使い勝手を低下させる要因となっている。また、手書き入力中は例えば６０Ｈｚ程度のフレームレートで常に表示画面全体を更新し続けなければならないため消費電力が高くなるという課題がある。

【先行技術文献】

【特許文献】

【０００９】

【特許文献１】特開２０１３－１１４２７６号公報

【特許文献２】特開２０１０－１２８０１４号公報

【特許文献３】特開２００９－２４４９５８号公報

【特許文献４】特開２０１０－１０７７３２号公報

【発明の概要】

【発明が解決しようとする課題】

10

20

30

40

50

【 0 0 1 0 】

この実施形態では、手書き入力速度に対する、表示画面上の描画速度(image forming velocity)の追従性を格段と向上し得る表示装置、表示装置の制御方法を提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 1 】

実施形態によれば、複数の画素回路が2次元配列され、それぞれの画素回路は表示素子と前記表示素子を駆動するための信号を保存する画素メモリを含む、表示デバイスと、
任意の画素回路を選択して駆動することができるX方向ドライバ及びY方向ドライバと、

10

前記表示デバイスに一体となり配置されたタッチ式入力パネルと、
前記タッチ式入力パネルの感知出力を座標データに変換するタッチパネルコントローラと、

前記座標データを受け取り、前記X方向ドライバ及び前記Y方向ドライバを介して、前記画素回路単位で、画素信号の部分書き換えを行うディスプレイコントローラと、
を備え、

前記Y方向ドライバは、前記任意の画素回路を動作可能な状態に選択する選択行線に接続されており、

前記X方向ドライバは、

前記任意の画素回路を選択する制御列線と、

20

前記任意の画素回路に入力を与える信号列線と、

前記任意の画素回路を選択するための画素信号又は前記任意の画素回路に入力するための画素信号を出力するX方向バッファと、

前記任意の画素回路にデータを書き込むために、第1スイッチにより前記制御列線を前記X方向バッファの任意の出力端子に接続して前記画素回路内の入力経路の第1のトランジスタをオンし、第2スイッチにより前記信号列線を予め設定された第1固定電位の電圧線に接続して前記画素回路内に前記第1のトランジスタを介して前記第1固定電位を入力する第1状態、又は、

前記第1スイッチにより前記制御列線を予め設定され第2固定電位の電圧線に接続して前記画素回路内の前記入力経路の前記第1のトランジスタをオンし、前記第2スイッチにより前記信号列線を前記X方向バッファの任意の出力端子に接続して前記画素回路内に前記第1のトランジスタを介して前記画素信号を入力する第2状態のいずれかを得るモードスイッチと、を有する。

30

【図面の簡単な説明】

【 0 0 1 2 】

【図1】図1は、実施形態が適用された表示装置の全体構成例を示す図である。

【図2】図2は、図1のLCDパネルの概略構成を示す図である。

【図3】図3は、1つの画素回路310の基本構成例を代表として示し、X方向ドライバ、Y方向ドライバの構成例を示す図である。

40

【図4】図4は、図2の画素回路312を代表し、実施形態の動作例を信号の流れと共に説明する図である。

【図5】図5は、図2の画素回路312を代表し、実施形態の動作例を動作タイミング共に説明する図である。

【図6】図6は、図2の画素回路321を代表し、実施形態の動作例を信号の流れと共に説明する図である。

【図7】図7は、図2の画素回路321を代表し、実施形態の動作例を動作タイミング共に説明する図である。

【図8】図8は、実施形態の動作例を説明するために、画素回路への画素信号の書込み例を示す図である。

50

【図 9】図 9 は、実施形態の通常描画の動作例を、画素回路 3 1 0 を参照して、回路の信号の流れと共に示す図である。

【図 1 0】図 1 0 は、実施形態の通常描画の動作例を、図 9 の画素回路 3 1 0 を参照して説明するために、回路の各部の動作タイミング示す図である。

【図 1 1】図 1 1 は、実施形態の動作例を説明するために、LCD への描画の様子を示す図である。

【図 1 2】図 1 2 は、図 1 1 の続きを示す図である。

【図 1 3 A】図 1 3 A は、他の実施形態の要部の構成例を示す図である。

【図 1 3 B】図 1 3 B は、図 1 3 A の回路の一動作を説明するために示したデータ書き換え処理の図である。

【図 1 3 C】図 1 3 C は、図 1 3 A の回路のさらに他の動作を説明するために示したデータ書き換え処理の図である。

【図 1 4 A】図 1 4 A は、図 1 に示した表示装置により直線が描画される場合の説明用の図である。

【図 1 4 B】図 1 4 B は、図 1 に示した表示装置により破線が描画される場合の説明用の図である。

【図 1 5】図 1 5 は、本発明に係る表示装置の他の実施形態を示す図である。

【図 1 6】図 1 6 は、本発明に係る表示装置のさらに他の実施形態を示す図である。

【図 1 7】図 1 7 は、図 1 のメモリ 1 1 と極性反転回路の具体的構成例を示す図である。

【発明を実施するための形態】

【0013】

以下、実施の形態についてさらに詳細に図面を参照して説明する。実施形態において、「手書き入力モード」は、「通常の描画モード」に対して区別されている。手書き入力モードは、ペンや指先をタッチ式入力パネルに接触させた状態で移動させることによって形成されるタッチ入力式パネル上の軌跡が即時応答により認識され、そして当該軌跡が表示画面に描画されることを意味する。通常の描画モードは、表示デバイスの全画面の書換えサイクルに応じて、表示画面に表示する映像データ又は描画データの書換えが行われることを意味する。

【0014】

図 1 は、実施形態が適用された液晶表示装置の構成ブロックを示す図である。液晶表示装置においては、液晶表示デバイス (LCD) 3 0 1 と、タッチセンサ式入力パネル 7 0 1 とを備えている。LCD 3 0 1 は、ガラス基板 3 0 0 を備え、該ガラス基板 3 0 0 上には、2 次元配列された複数の画素回路と、該複数の画素回路を駆動させる X 方向ドライバ 4 0 0、Y 方向ドライバ 5 0 0 とが設けられている。

【0015】

また、これらドライバ 4 0 0、5 0 0 を制御する LCD コントローラ (例えば IC チップ構成) 6 0 0 がガラス基板 3 0 0 に設けられている。該 LCD コントローラ 6 0 0 が X 方向ドライバ 4 0 0 に X アドレス、Y 方向ドライバ 5 0 0 に Y アドレスを与えることにより、駆動される画素回路が決定される。

【0016】

タッチ式入力パネル 7 0 1 は、液晶表示デバイス (LCD) 3 0 1 の表示画面に重なった状態で配置される。図面では、構成を分かり易くするために、液晶表示デバイス 3 0 1 と、タッチ式入力パネル 7 0 1 とを分離して示しているが、これら LCD 3 0 1 とタッチ式入力パネルのいずれか一方の構成が他方の構成を兼ねる構成も採用可能である。

【0017】

したがって、今、LCD 3 0 1 の表示画面に操作ボタンの画像が表示されているとする。ここで、該操作ボタンの画像をペン或いは指で押圧する行為は、該表示画面に重なっているタッチ式入力パネルの当該部分を押圧することとなり、これによって、当該タッチ式入力パネルによって該ペン或いは指による接触が感知されるものとなる。

【0018】

10

20

30

40

50

タッチ式入力パネル 701 は、例えば抵抗式、静電容量式、自己容量式、電磁誘導式などによるタッチセンサである。タッチ式入力パネル 701 は、タッチパネルコントローラ (TP コントローラ) 702 に電氣的に接続されている。

【0019】

TP コントローラ 702 は、例えば複数の IC チップを電氣的に接続してなる。タッチ式入力パネル 701 の感知出力は、TP コントローラ 702 に入力されて、座標データ (押圧データを含む場合もある) に変換される。

【0020】

なお、押圧データの検出方法は、種々の方式がある。例えばペンタッチ部とセンサ電極との間に例えば特殊の加工を施したシート (保護シート) が設けられて、ペンの圧力に応じて、ペン先とセンサ電極との間の静電容量の変化を生じさせる、電磁強度の変化を生じさせる、或いは抵抗値の変化を生じさせる方式などがある。これらの変化が電氣的に検出される。

【0021】

ペンでタッチ式入力パネル 701 をタッチすることによる当該タッチ式入力パネル 701 上のタッチ位置 (座標データ・押圧データ) を即座に LCD 301 の画素回路に伝達するために、TP コントローラ 702 は、LCD コントローラ 600 に接続される。また TP コントローラ 702 は、メイン CPU 800 に接続されており、これによって、ペンのタッチ位置 (座標データ・押圧データ) をメイン CPU 800 に保存させて、後で液晶表示デバイス 301 上に当該ペンのタッチ位置やペンによる軌跡を再度表示させることができる。より具体的には、メイン CPU 800 は、LCD コントローラ 600 に接続され、描画すべき映像データ、及び駆動用のタイミング信号を LCD コントローラ 600 に与える。また、メイン CPU 800 は、フレームメモリ 801 (図 1 に図示) を備え、TP コントローラ 702 から間欠的に入力される第 1 の座標データと第 2 の座標データとの間の座標データを直線近似により補間することによって、フレームメモリ内に第 1 の座標データと第 2 の座標データとを結ぶ線の映像データを構築することができる。ただしこの線の映像データは、手書き入力モードとは異なる通常の描画モードのときにフレームメモリ 801 から読み出される。

【0022】

図 2 は、LCD 301 に複数の画素回路 311, 312, 321, 322、・・・が 2 次元配列されている基本的な構成例を示している。X 方向ドライバ 400 による列指定と、Y 方向ドライバ 500 による行指定とにより、任意の画素回路が選択的に指定される。図では、4 つの画素回路を示しているが、LCD 301 には、さらに多くの画素回路が形成されている。

【0023】

図 3 は、画素回路 311 の具体的構成例を代表として示している。他の画素回路も同様な構成である。また図には X 方向ドライバ 400、Y 方向ドライバ 500 の構成例を示している。

【0024】

一実施形態による画素回路 311 は、第 1 トランジスタ TC、第 2 トランジスタ TR、メモリ (SRAM: スタティックランダムアクセスメモリ) 11、極性制御回路 12、表示素子 13 を含む。表示素子 13 は、LCD 301 の液晶層の一部の微細領域を等価的に示している。

【0025】

さらに画素回路 311 を、信号列線 S_j、制御列線 C_j が通過している。信号列線 S_j は、第 1 トランジスタ TC の入力端子に画素信号を供給することができる。制御列線 C_j は、第 1 のトランジスタ TC の制御電極に制御信号を供給することができる。

【0026】

また画素回路 311 を、選択行線 R_i (一方電位用)、/R_i (反転電位用) が通過している。選択行線 R_i は、第 2 トランジスタ TR の制御電極に接続されている。また選択

10

20

30

40

50

行線 R_i は、メモリ 11 の一方電極端子に接続されている。

【0027】

メモリ 11 の他方電極端子には、選択行線 R_i が接続されている。メモリ 11 はまた極性制御回路 12 に接続されており、メモリ 11 の出力は、極性制御回路 12 を介して、表示素子 13 の電極に供給される。極性制御回路 12 は、表示素子 13 に接続されており、周期的に表示素子 13 への液晶印加電圧の極性を切り替えるための回路である。これにより、該表示素子 13 としての液晶をより確実に駆動させることができるものとなる。

【0028】

X 方向ドライバ 400 は、X アドレスデコーダ 411、パラレルロード付 X 双方向シフトレジスタ 412、イネーブルラッチ回路 413、X 方向バッファ 415、モードスイッチ 416 を有する。

10

【0029】

X アドレスデコーダ 411 は、LCD コントローラ 600 から X 方向（横方向）の座標データ（X アドレス $XADD$ ）を受け取る。X アドレスデコーダ 411 でデコードされた X アドレス（または書き込みデータと称しても良い）は、パラレルロード付 X 双方向シフトレジスタ 412 にロードされる。

【0030】

パラレルロード付 X 双方向シフトレジスタ 412 によって、X アドレスデコーダ 411 からの X アドレス（又は書き込みデータ）がパラレルロードされる。パラレルロードのタイミングは、LCD コントローラ 600 から出力される X ロードパルス（ $XLOAD$ ）により定められる。パラレルロード付 X 双方向シフトレジスタ 412 は、LCD コントローラ 600 から出力されるシリアルシフトパルス（ Xsi ）により、X アドレス（又は書き込みデータ或いはアドレスデータと称しても良い）を、右方向あるいは左方向のいずれにもシフトさせることができる。

20

【0031】

イネーブルラッチ回路 413 は、パラレルロード付 X 双方向シフトレジスタ 412 のアドレス（又は書き込みデータ）をラッチイネーブルパルス（ LE ）のタイミングでラッチすることができる。X 方向バッファ 415 は、イネーブルラッチ回路 413 にラッチされた X アドレス（又は書き込みデータ）を、X イネーブルパルス（ XEN ）のタイミングで保持することができる。ラッチイネーブルパルス（ LE ）、X イネーブルパルス（ XEN ）パルスは、LCD コントローラ 600 から出力される。

30

【0032】

さらに、X 方向バッファ 415 の X アドレス（又は書き込みデータ）は、モードスイッチ 416 を介して、画素回路 311 に供給されることができる。

【0033】

モードスイッチ 416 は、LCD コントローラ 600 からの X スイッチ制御信号（ XSW ）により制御される。

【0034】

モードスイッチ 416 は、X スイッチ制御信号（ XSW ）により、信号列線 S_j と制御列線 C_j の接続先を制御することができる。

40

【0035】

図の画素回路 311 の例では、X スイッチ制御信号（ XSW ）の制御の元で、信号列線 S_j が、黒電圧線 BV に接続され、制御列線 C_j が X 方向バッファ 415 に接続されている。今、制御列線 C_j に例えば "1"（ハイレベル）が出力されると、第 1 のトランジスタ TC がオンする。このときもし第 2 のトランジスタ TR がオンしているならば、メモリ 11 には、黒電圧（データ 1）が書き込まれる。

【0036】

次に Y 方向ドライバ 500 について説明する。Y 方向ドライバ 500 は、Y アドレスレコーダ 511、パラレルロード付 Y 双方向シフトレジスタ 512、イネーブル付 Y 方向バッファ 513 を有する。

50

【 0 0 3 7 】

L C Dコントローラ 7 0 2 は、Y アドレスレコーダ 5 1 1 に、Y 方向（縦方向）の座標データ（Y アドレス Y A D D）を与える。L C Dコントローラ 7 0 2 は、パラレルロード付 Y 双方向シフトレジスタ 5 1 2 に、Y ロードパルス（Y L O A D）を与える。また L C Dコントローラ 7 0 2 は、イネーブル付 Y 方向バッファ 5 1 3 に Y イネーブルパルス（Y E N）を与える。

【 0 0 3 8 】

Y アドレスレコーダ 5 1 1 は、L C Dコントローラ 6 0 0 から Y 方向（縦方向）の座標データ（Y アドレス）を受け取る。Y アドレスデコーダ 5 1 1 でデコードされた Y アドレス（または行指定データと称しても良い）は、パラレルロード付 Y 双方向シフトレジスタ 5 1 2 にロードされる。パラレルロード付 Y 双方向シフトレジスタ 5 1 2 の Y アドレスは、イネーブル付 Y 方向バッファ 5 1 3 にラッチされて、選択行線 R i、選択行線 / R i に出力される。

10

【 0 0 3 9 】

図 3 は、X 方向ドライバ 4 0 0、Y 方向ドライバ 5 0 0 の出力の一部を示しているだけである。X 方向ドライバ 4 0 0、Y 方向ドライバ 5 0 0 は、X アドレスと Y アドレスを用いて、画素回路 3 1 1 の他に、残りの全画素回路（図示せず）を任意に指定することができる。

【 0 0 4 0 】

手書き入力モードにおいては、T Pコントローラ 7 0 2 からの X 座標データ、Y 座標データがそれぞれ L C Dコントローラ 6 0 0 に入力する。T Pコントローラ 7 0 2 からの X 座標データ、Y 座標データは、メイン C P U 8 0 0 にも入力する。L C Dコントローラ 6 0 0 は、T Pコントローラ 7 0 2 からの X 座標データ、Y 座標データに基いて、即時に、画素回路単位で部分書替えを行う。またメイン C P U 8 0 0 は、T Pコントローラ 7 0 2 からの X 座標データ、Y 座標データに基いて、フレームメモリ（図示せず）に描画データを書き込む。

20

【 0 0 4 1 】

T Pコントローラ 7 0 2 とメイン C P U 8 0 0 は、シリアルインターフェース（S _ I / F）により接続されており、T Pコントローラ 7 0 2 は、座標データをシリアルデータに変換してメイン C P U 8 0 0 に供給する。

30

【 0 0 4 2 】

手書き入力モードでなく、通常の描画モードのときは、描画モード制御信号がメイン C P U 8 0 0 から L C Dコントローラ 6 0 0 に供給される。通常の描画モードのときは、メイン C P U 8 0 0 から映像データが L C Dコントローラ 6 0 0 に供給される。

【 0 0 4 3 】

図 4 は、図 2 の画素回路 3 1 2 を代表し、実施形態の動作例を信号の流れと共に説明する。図 4 は、L C Dコントローラ 6 0 0 からの座標データ（x 0、y 0）に基いて、行選択線 R y 0（プラス電位の出力）、/ R y 0（マイナス電位の出力）が選択され、また、モードスイッチ 4 1 6 の動作に基づいて、列制御線 C x 0 が X 方向バッファ 4 1 5 の出力（論理 " 1 "）に接続され、列信号線 S x 0 が黒電圧線 B V に接続された回路状態を示している。

40

【 0 0 4 4 】

図 4 の接続状態であると、第 1 のトランジスタ T C と第 2 のトランジスタ T R とがそれぞれオンし、列制御線 C x 0 からの論理 " 1 " のデータが、メモリ 1 1 に保持される。この結果、極性制御回路 1 2 を介して表示素子 1 3 に電位が加わり、例えば表示素子 1 3 の出力がオフ（輝度が低く黒くなった状態）となる。

【 0 0 4 5 】

図 5 は、実施形態の動作例を図 4 の画素回路 3 1 2 を参照して説明するために、回路の各部の動作タイミングを左から右へ時間の経過とともに示す図である。

【 0 0 4 6 】

50

図5の5a、5bは、LCDコントローラ600からの座標データ(x0、y0)の出力時間を示している。図5の5cは、座標データ(x0、y0)がそれぞれデコーダでデコードされ、X双方向シフトレジスタ412、Y双方向シフトレジスタ512にそれぞれロードされる時間を示している。

【0047】

図5の5dは、X双方向シフトレジスタ412のX方向アドレスのデータがイネーブルラッチ回路413でラッチされ、且つX方向バッファ415にセットされる時間、並びに、Y双方向シフトレジスタ512のY方向アドレスのデータがY方向バッファ513にセットされる時間を示している。図5の5eは、列制御線Cx0にデータが出力される時間、5f、5gは、行選択線Ry0（プラス電位の出力）、/Ry0（マイナス電位の出力）の状態を示している。さらに図5の5hは、メモリ11に黒電圧が保持された時間を示している。

【0048】

本実施形態では、座標データに基いてデコードされたアドレス（書き込みデータ或いはアドレスデータ）を、シフトパルスに基いてシフトさせることができる。

【0049】

図6は、X双方向シフトレジスタ412において、X方向アドレスデータが図5の画素回路312の位置から1画素回路分シフトされ、且つ、Y双方向シフトレジスタ512において、列選択用のアドレスデータが図5の画素回路312の位置から1画素回路分シフトされた様子を示している。この結果、当該アドレスデータによって指定される画素回路は、行方向、列方向共に図5の画素回路312から1画素分だけシフトした画素回路321に変化している。

【0050】

上記のシフトを得るためのシフトパルスXsi、Ysiは、LCDコントローラ600にインストールされているアルゴリズムに基いて生成されている。このシフトパルスXsi、Ysiが活用されることにより、高速で指定アドレスを変化させることができる。

【0051】

図7と図8は、アドレスデータのシフト処理により、描画のラインが変化する様子を説明するためのタイミング信号と、イメージ図を示している。今、図8の画素位置8aが描画されており、さらに次に画素位置8bが描画されるものとして説明する。

【0052】

図7は、回路の各部の動作タイミングを左から右へ時間の経過とともに示す。図7の7aは、Y双方向シフトレジスタ512に与えられる上シフトパルスであり、7bはX双方向シフトレジスタ412に与えられる右シフトパルスである。図7の7cは、列制御線Cx+1にデータが出力される時間（ハイレベルの区間）、及び行選択線Ry+1（プラス電位の出力）、/Ry+1（マイナス電位の出力）にデータが出力される時間（ハイレベルの区間）を示している。図7の7d、7eは、図8の画素位置8aが指定されたときの列選択線Cx、行選択線Rxの状態を示している。図7の7f、7g、7hは、図8の画素位置8bが指定されたときの列選択線Cx+1、行選択線Rx+1、行選択線/Rx+1の状態をそれぞれ示している。図7の7iは、図8の画素位置8bのメモリ11にデータが書き込まれる時間を示している。

【0053】

上記したように、LCDコントローラ600は、前記X双方向シフトレジスタ412、Y双方向シフトレジスタ512に対して、シフトパルスを与えることができる。これによって、タッチ式入力パネル701へのタッチ入力に基づいて生成される第1のアドレスデータ（図8の画素位置8aを指定するアドレスデータ）から、当該第1のアドレスデータに近接したアドレスデータ（図8の画素位置8bを指定するアドレスデータ）がX方向ドライバ400、Y方向ドライバ500でそれぞれ生成されるものとなる。

【0054】

そして、かかるアドレスデータを、第1のタッチ入力に基づく第1アドレスデータとそ

10

20

30

40

50

の次のタッチ入力に基づく第2のアドレスデータとの間を直線的に近似した補間アドレスデータ(図8の画素位置8bを指定するアドレスデータ)として採用するのである。

【0055】

上記実施形態においては、手書き入力モードにおける手書き入力に応答する表示画面上の描画の追従性、或いは、ユーザーの手書き入力速度に対する、LCD301の描画速度(image forming velocity)の追従性、より具体的には、手書き入力によってタッチ入力式パネル701上に描かれる軌跡とLCD301によって表示される当該軌跡の表示応答性(軌跡を描画データとしてLCD301の表示画面上に表示する描画応答性)を格段と向上し得る。そして、手書き入力の描画方向が予測される場合、図7、図8で説明したデータシフト技術により、即座に画素位置8aと画素位置8bをLCD301に描画することが可能である。

10

【0056】

図9は、手書き入力終了した後、フレーム単位でメインCPU800内のフレームメモリに格納されているデータ(映像データ(手書き入力した線データも含まれる))が表示デバイス(LCD)301に書き込まれる様子を示している。図には、所謂、通常の描画モードで作動している回路状態が示されている。図では、画素回路310を代表して示している。

【0057】

このときは、1ライン分(1水平走査ライン分)の映像データがメインCPU800からXアドレスデコーダ411に入力され、X方向バッファ415にセットされる。次に、Y方向ドライバ500が行単位で画素回路を指定する。これにより、行単位で、メインCPU800内のフレームメモリに格納されている映像データが表示デバイス301内の各画素回路に書き込まれる。

20

【0058】

モードスイッチ416が効果的に利用される。即ち、LCD301を行単位でアクセス可能とするために、各画素回路の第1のトランジスタTCは、オンして待機する。このために、第1のトランジスタTCの制御電極には、ハイレベルとなるように白電圧線WVに接続された制御列線を介して当該白電圧線WVの電圧が供給される。第1のトランジスタTCの入力電極は、信号列線及びモードスイッチ416を介してX方向バッファ415の対応する出力段に接続される。

30

【0059】

図10は、通常の描画モードが実行されるとき動作タイミングを示している。Y双方向シフトレジスタ512には垂直方向に同期したデータ(図示せず)が初段(例えば最下段に位置する行)に与えられる。このデータはシフトパルスYsi(図10の10a)によりシフトさせると、例えば図の上方向へ、行単位で行選択位置をシフトさせることができる。

【0060】

1行分の映像データ(図10の10b)は、X双方向シフトレジスタ412の初段(例えば最右側に位置する列)から順次入力され、シフトパルスXsi(図10の10c)により図の左方向へシフトされる。これによりX双方向シフトレジスタ412には、1行分の映像データがセットされる。

40

【0061】

この映像データは、タイミングパルスにより、行選択された画素回路に対して、一斉にX方向バッファ415を介して書き込まれる。

【0062】

図10の10dは、ラッチイネーブルパルス(LE)であり、このパルスは、1行分の映像データが、X双方向シフトレジスタ412からイネーブルラッチ回路413にラッチされる時点を示す。図10の10eは、Xイネーブルパルス(XEN)及びYイネーブルパルス(YEN)であり、これらのパルスに基いて、X方向バッファ415、及びY方向バッファ513にデータがセットされる。図10の10fは、映像データが書き込まれる

50

べき行の行選択信号である。図10の10gは、映像データが書き込まれるべき次の行の行選択信号である。

【0063】

図10の10hは、X方向バッファ415から、選択された行に書き込まれる映像データを示し、図10の10iは、メモリ11に保持されたデータを示している。

【0064】

上記の動作モードでは、モードスイッチ416は、各画素回路の第1のトランジスタTCが常にオンを維持するようにスイッチング状態を維持し、その制御電極に例えば白電圧WVを与える。同時にモードスイッチ416は、第1のトランジスタTCの入力端子に、X方向バッファ415の出力を入力する状態にセットされる。この状態で、行選択信号により、第2のトランジスタTRがオンすれば、X方向バッファ415からの出力信号がメモリ11に書き込まれる。

【0065】

図11、図12は、手書き入力モードが実行されたときに、タッチパネルコントローラ702、メインCPU800、LCDコントローラ600、X方向ドライバ400、Y方向ドライバ500が動作する順序を、LCD301への描画とともに示す図である。

【0066】

今、ユーザーが時点t101(図11)でペン先をタッチ式入力パネル701に接触させた状態でタッチ式入力パネル701上に軌跡を描き、時点t102(図12)でペン先をタッチパネルから離脱させたものとする。

【0067】

タッチパネルコントローラ702は、本実施形態では、例えば5ms以内の間隔(時点t201、t202、t203、t204、t205、...)でペン先のタッチ位置を検出し座標データとして出力する。

【0068】

より具体的には、ユーザーが上述の入力を開始すると、タッチ式入力パネル701からの最初のセンサ出力をタッチパネルコントローラ702が検出し、座標データ(位置)及び押圧データ(押圧強度)を、メインCPU800に与える。これによりメインCPU800は、簡易描画処理を開始し、入力開始点座標データを決定し、描画可能を確保するとともに、LCDコントローラ600に開始座標データを与える。これによりLCD301の入力開始位置へデータが書込まれる。

【0069】

以後のセンサ出力をタッチパネルコントローラ702が検出すると(時点t202)、座標データ及び押圧データが、LCDコントローラ600及びメインCPU800に入力される。

【0070】

LCDコントローラ600は、少なくとも時点t202と時点t203で検出された座標データを用いて、両座標間が線となるようにデータのシフト及び書き換え処理を実行する。このときの動作については、図4、図6にて説明した。

【0071】

始点と終点が与えられたときに、その間の画素を塗りつぶして直線(或いは近似線)を描画するアルゴリズムとして、例えばブレンハムアルゴリズム(Brezenham's Line Algorithm)が知られている。このアルゴリズムに従うと、現在画素位置(X, Y)の次の書込み(或いは塗りつぶし)候補となる画素位置を、隣接する8画素位置の中から、保持している内部変数(現在画素位置の座標と次の画素位置の座標など)に従って逐次決定することができる。

【0072】

例えば、図11のLCD301に示すように、左下の画素位置から次の書込み画素位置へ向かう直線が45度より小さいとすると、候補となる画素位置が、右隣か右上の画素位置に絞られる。次に現在の内部変数の値により、どちらに進むかが決定される(同時に内

10

20

30

40

50

部変数の更新が行われる)。かかるロジックに基づいて書き込むべき画素回路が順次特定され、かかる制御を繰り返すことにより、始点から終点までの線がLCD301上によって当該LCD301の表示画面上に表示されるものとなる。図11のLCD301に、書き換え(或いは書き込み)画素位置の部分が矢印と共に模式的に示されている。

【0073】

上記のシフト及び書き換え(或いは書き込み)処理は、LCDコントローラ600において、例えば10 μ s以内で実行可能である(図11の時点t401、t402参照)。このようなシフト及び書き換え処理は、タッチパネルコントローラ702において座標データが得られる毎に、繰り返し実行される。

【0074】

10

図12に示すように、タッチパネルコントローラ702から座標データ及び押圧データが出力されなくなると、メインCPU800は、手書き入力モードが終了したものと判定する。このときメインCPU800は、LCDコントローラ600に終了指令を出力する、するとLCDコントローラ600は、X方向ドライバ400、Y方向ドライバ500をリセットする。またメインCPU800は、通常描画(通常の描画モード)の動作を開始する。通常描画においては、メインCPU800は、フレームメモリに書き込まれている映像データを読み出して、図9で説明したような動作を開始する。

【0075】

図12に示すLCD301は、上記説明した処理が実行され(図11中4.~6.1、図12中N.1~N.x)、手書き入力の軌跡を近似した折れ線が描画された様子を示している。

20

【0076】

タッチパネルコントローラ702が座標データを更新する周期は例えば5ms程度であり、手書き入力モードにおいて1画素の描画に要する時間は例えば10 μ s程度である。

【0077】

5msの期間中に500画素程度の書換えができ、線分の描画には十分な時間である。また、ペン先の移動に対し発生する遅延が最大でも10ms程度となる(タッチパネルコントローラ内部の処理が5ms以下、線分の描画処理が5ms以下)ため高速な手書き入力が可能である。

【0078】

30

前述したように手書き入力モード処理の消費電力は非常に小さく、通常の描画モードは手書き入力終了時にLCD301の表示画面全体を一回更新するだけなので、手書き入力のシーケンス全体を通して消費電力が低く抑えられる。

【0079】

図13Aには、本実施形態のさらに他の実施形態の基本原理を示している。この実施例は、X方向ドライバ400が、Xアドレスデコーダ411の出力端子と、X双方向シフトレジスタ412のロード用入力端子との間を、1対1で接続する状態と、1対複数で接続する状態とを選択的に切り替えられるロジック回路を備えている。以下具体的に説明する。

【0080】

40

図13Aは、Xアドレスデコーダ411とX双方向シフトレジスタ412との間に、アンド回路431-436と、オア回路441-443を設けている。今、Xアドレスデコーダ411に3つの出力端子OUT1, OUT2, OUT3があるものとする。

【0081】

アンド回路431-436の各一方の入力端子には、LCDコントローラ600からの制御信号BL0Dを供給することができる。アンド回路431、432には、Xアドレスデコーダ411の出力端子OUT1の出力が入力される。アンド回路433、434には、Xアドレスデコーダ411の出力端子OUT2の出力が入力される。アンド回路435、436には、Xアドレスデコーダ411の出力端子OUT3の出力が入力される。

【0082】

50

オア回路 4 4 1 は、アンド回路 4 3 0 (図示せず)、アンド回路 4 3 3 の出力及び出力端子 O U T 1 の出力の論理出力を受けて、その出力を X 双方向シフトレジスタ 4 1 2 の入力端子 I N T 1 に入力する。オア回路 4 4 2 は、アンド回路 4 3 2、4 3 5 の出力及び出力端子 O U T 2 の出力の論理出力を受けて、その出力を X 双方向シフトレジスタ 4 1 2 の入力端子 I N T 2 に入力する。オア回路 4 4 3 は、アンド回路 4 3 4、4 3 7 (図示せず) の出力及び出力端子 O U T 3 の出力の論理出力を受けて、その出力を X 双方向シフトレジスタ 4 1 2 の入力端子 I N T 3 に入力する。

【 0 0 8 3 】

ここで、制御信号 B L O D が “ 0 ” の場合は、X アドレスデコーダ 4 1 1 の出力端子 O U T 1 - O U T 3 の出力が、X 双方向シフトレジスタ 4 1 2 の入力端子 I N T 1 - I N T 3 に直接入力する (つまり 1 : 1 の関係である)。しかし、制御信号 B L O D が “ 1 ” の場合は、X アドレスデコーダ 4 1 1 の出力端子 O U T 1 - O U T 3 の各出力が、X 双方向シフトレジスタ 4 1 2 の入力端子 I N T 1 - I N T 3 の 3 箇所に入力する (つまり 1 : 3 の関係となる)。これにより、制御信号 B L O D が変化することで、描画する線の太さを変更されることができる。

【 0 0 8 4 】

図 1 3 A は、X 方向に関する線の太さが変化する例を示している。当該図は Y 方向に関する図はないが、Y 方向に関しても Y 方向ドライバが 3 つの列選択線を選択することができるものとなっている。これにより、X 方向と Y 方向に 3 倍の太さの線を描画することができる。

【 0 0 8 5 】

図 1 3 B は、制御信号 B L O D が “ 0 ” であり、太さ 1 の線が描画されときの画面上的様子を模式的に示している。また図 1 3 C は、制御信号 B L O D が “ 1 ” であり、太さ 3 の線が描画されときの画面上的様子を模式的に示している。

【 0 0 8 6 】

上記の例は、一例を示したものであり、さらに、X アドレスデコーダ 4 1 1 と X 双方向シフトレジスタ 4 1 2 の間に、各種の論理回路を組み合わせることにより、種々の太さの線を選択的に描画できる回路とすることができる。つまり、X アドレスデコーダ 4 1 1 の出力と X 双方向シフトレジスタ 4 1 2 の入力の任意組み合わせロジック回路を持たせることにより、描画する線を任意の太さに切り替えることが可能となる。

【 0 0 8 7 】

本実施形態では、タッチパネルコントローラ 7 0 2 は、タッチ式入力パネル 7 0 1 の出力を座標データと押圧値に変換して出力する。ここで、押圧値は、L C D コントローラ 6 0 0、メイン C P U 8 0 0 において、閾値 V 1 と比較される。

【 0 0 8 8 】

L C D コントローラ 6 0 0 とメイン C P U 8 0 0 は、それぞれ押圧値が、所定の閾値 V 1 以上であることを連続して検出した場合に、実線を描画するものと判定する。図 1 4 A は、L C D 3 0 1 上に描画された実線の例を示している。L C D コントローラ 6 0 0 は、描画データをシフトして次の位置に書き込む毎に、L E , X E N , Y E N (図 9、図 1 0 などで示した) をオンする。

【 0 0 8 9 】

L C D コントローラ 6 0 0 とメイン C P U 8 0 0 は、それぞれ押圧値が、所定の閾値 V 1 以上である場合と、閾値 V 1 より小さい場合とを交互に検出した場合には、破線を描画するものと判定する。図 1 4 B は、L C D 3 0 1 上に描画された破線の例を示している。L C D コントローラ 6 0 0 は、描画データをシフトして次の位置に書き込む処理を実行するが、押圧値が、所定の閾値 V 1 より小さい期間は、L E , X E N , Y E N (図 9、図 1 0 などで示した) をオフする。

【 0 0 9 0 】

上記した実施形態では、タッチパネルコントローラ 7 0 2 と L C D コントローラ 6 0 0 は、別々に構成されているものとして説明したが、両者は一体化された構成であってもよ

10

20

30

40

50

い。図15は、タッチパネルコントローラ702とLCDコントローラ600が一体化された構成例を示している。

【0091】

図16は、さらに他の実施形態を示している。図3の実施形態と同一部分には、図3と同じ符号を付している。この実施形態は、メモリ11としてSRAMではなく、補助容量(コンデンサ)ILが採用された例である。またこの実施形態は、メモリとしての補助容量(コンデンサ)ILに、単純に「1」、「0」ではなく、複数の電圧線BV1-BV3、WVを選択的に入力することが可能となっている。電圧が選択されることにより、液晶表示素子13は、複数の輝度レベル(複数の濃淡)を得ることができる。

【0092】

モードスイッチ416を制御するXスイッチ制御信号(XSW)は、LCDコントローラ600が検出する、押圧値に応じて、任意の電圧を選択することができる。

【0093】

さらにこの実施形態によれば、タッチ入力により描画される線を多諧調表現させることができるが、映像データに基く画像に関しても、多諧調表現が可能である。つまりメインメモリ800から映像データが出力されたとき、画素回路毎に、複数の電圧線BV1-BV3、WVのうち任意の電圧が選択されることにより、映像に関しても多諧調表現が可能である。

【0094】

さらに別の実施形態として、多ビットの映像データをX双方向シフトレジスタ412に入力する構成も採用可能である。そして、画素回路に対して映像データがX方向バッファ415から出力されるときデジタルアナログ変換され、トランジスタTCの入力端子に供給されてもよい。このときは、トランジスタTCの制御電極は、例えば一定電圧が与えられ例えばBV1に接続される。

【0095】

手書き入力モードでは、アドレスデコードにより行選択線例えばRy0、列選択線例えばCx0が各一本だけアクティブにし、描画データに相当する電圧がソース線例えばSx0から画素回路に対して書き込まれる。これにより入力開始点を描いた後、双方向シフトレジスタ(X、Y方向)のシフトを適切に繰り返すことで線を描くことができる。

【0096】

なお、上記の例では説明を簡単にするために、モノクロ表示装置の場合を説明したが、フルカラー表示装置も双方向シフトレジスタのシフトの方法を変えるだけ(例えばRGB画素構成としてX方向に3bitずつシフトする、など)で容易に実現可能である。

【0097】

通常描画モードでは、Y方向ドライバによる行選択線のスキャンを行いつつ、X方向ドライバの映像用としてのX方向シフトレジスタで映像データを1行分シフトインして適切なタイミングでラッチに保持し、デジタルアナログ変換し、増幅器し、アナログ信号に変換してソース線に出力する。

【0098】

この際、制御列線Cj(j=1,2,...,n)は常にアクティブにしてすべての列選択トランジスタをオンにしておく。

【0099】

本発明における画素メモリ性を有する表示装置として、酸化物半導体TFE駆動LCDを用いてもよい。

【0100】

上記の実施形態において、リーク電流の少ない酸化物半導体TFE(トランジスタTC、TR)を用いてもよい。

【0101】

上記した実施形態において、タッチパネルコントローラICのレポートレートが200Hzの場合、ペン先に対する描画の遅延は10ms以下となり、従来の入出力システム(

10

20

30

40

50

～ 100ms)と比較して高速になる。

【0102】

また画素回路単位で書換えを行う簡易描画手法により、必要最小限の回路部分だけ動作させることができ、低消費電力となる。また通常描画の実施は、手書き入力終了時あるいは所定の周期ごと(例えば1秒に1回)に行われるため低消費電力である。

【0103】

図17は、図3、図4で示しているメモリ11と極性制御回路12の部分を具体的に示している。

【0104】

各部の機能を説明する。TF T 2 1, 2 2は、第1のインバータを構成し、TF T 2 3 - T E T 2 6はクロックドインバータを構成している。TF T 3 1, TF T 3 2は、極性反転スイッチを構成し、TF T 3 3, TF T 3 4は、第2のインバータを構成している。

【0105】

画素電位の書き換え動作のときは、行選択線Gate = "H"、Gate B = "L"、制御線Pol A = "L", Pol B = "H"となる。このときは、トランジスタTC, TRはオン、TF T 2 3 - T E T 2 6によるクロックドインバータはオフであり、TF T 3 1は、オン、となる。すると導通経路Rout 1が形成される。

【0106】

ここで、信号列線Sjがハイレベルであると、TF T 3 4がオンとなり、表示素子13には、電位VLC Lが印加される。逆に、信号列線Sjがローレベルであると、TF T 3 3がオンとなり、表示素子13には、電位VLC Hが印加される。

【0107】

次に、SRAM(メモリ11)の電位を保持した状態で、画素の電極を交流駆動する例を説明する。このときは、行選択線Gateは"L"、行選択線Gate Bは"H"、リセット用のスイッチRSWはオフとされる。

【0108】

信号列線Sjの電位が"H"の場合について説明する。ノードa1、a3の電位は"H"であり、ノードa2の電位はVLC Lである。行選択線Gateが"L"であるため、トランジスタTC, TRはOFF状態となるが、行選択線Gate Bが"H"であるため、TF T 2 3 - T F T 2 6によるクロックドインバータは"ON"状態となり、ノードa3の電位はVLC Hとなる。ノードa1の電位も、このノードa3の電位と等しくなるため、SRAM回路11は書き換え時の状態を保持する。

即ち、SRAM回路11の出力であるノードa2の電位はVLC L、ノードa3の電位はVLC Hを保持する。

【0109】

ここで、制御線Pol Aが"L"、制御線Pol Bが"H"の電位のときは、TF T 3 1がON状態、TF T 3 2がOFF状態となるため、TF T 3 2、3 1による極性反転スイッチの出力端子の電位はVLC Hとなる。従って、TF T 3 3, 3 4による第2のインバータ回路では、TF T 3 4がON状態となり、画素電極PEには電位VLC Lが印加される。

【0110】

一方、制御線Pol Aが"H"、制御線Pol Bが"L"の電位に変化すると、TF T 3 1がOFF状態、TF T 3 2がON状態となるため、極性反転スイッチの出力端子の電位はVLC Lとなる。従って、第2のインバータ回路では、TF T 3 3がON状態となり、画素電極PEには電位VLC Hが印加される。

【0111】

このように、制御線Pol Aと制御線Pol Bの極性を交互に切り替えることで、液晶に印加される電圧を交流化することができる。

【0112】

画素電位書き換え動作時の信号線Sの電位が「L」の場合には、ノードa2の電位はV

10

20

30

40

50

LCH、ノードa3の電位はVLCを保持する。しかし、この場合であっても、制御線PolAと制御線PolBの極性を交互に切り替えることで、液晶に印加される電圧を交流化することができる。

【0113】

各実施形態においてトランジスタTC, TRは、トランスペアレント・アモルファス・オキシド・セミコンダクタ(TAOS)が用いられてもよい。

【0114】

上記した説明において、各ブロックにて使用した名称はこれに限定されるものではなく、同様な目的の機能を有するものは、本発明の範疇である。またブロックが分割して示された場合、或いはブロックが合体して表示された場合であっても、本発明の考え方を表すものであれば、本発明の範疇である。

10

【0115】

さらにまた、請求項の各構成要素において、構成要素を分割して表現した場合、或いは複数を合わせて表現した場合、或いはこれらを組み合わせて表現した場合であっても本発明の範疇である。また請求項を方法として表現した場合であっても本発明の装置を適用したものである。

【0116】

本発明のいくつかの実施形態を説明したが、これらの実施形態は例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

20

【符号の説明】

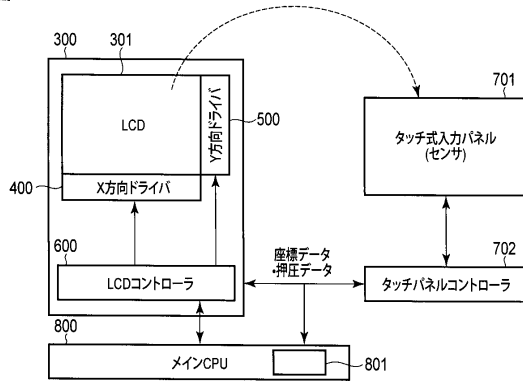
【0117】

11・・・メモリ、12・・・極性制御回路、13・・・表示素子、300・・・ガラス基板、301・・・表示デバイス、311, 312, 321, 322・・・画素回路、400・・・X方向ドライバ、411・・・Xアドレスデコーダ、412・・・X双方向シフトレジスタ、413・・・イネーブルラッチ回路、415・・・X方向バッファ、416・・・モードスイッチ、500・・・Y方向ドライバ、511・・・Yアドレスデコーダ、512・・・Y双方向シフトレジスタ、513・・・Y方向バッファ、600・・・LCDコントローラ、701・・・タッチ式入力パネル、702・・・タッチパネルコントローラ、800・・・メインCPU。

30

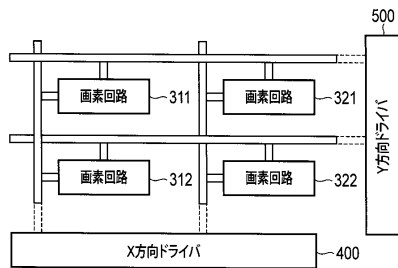
【図 1】

図 1



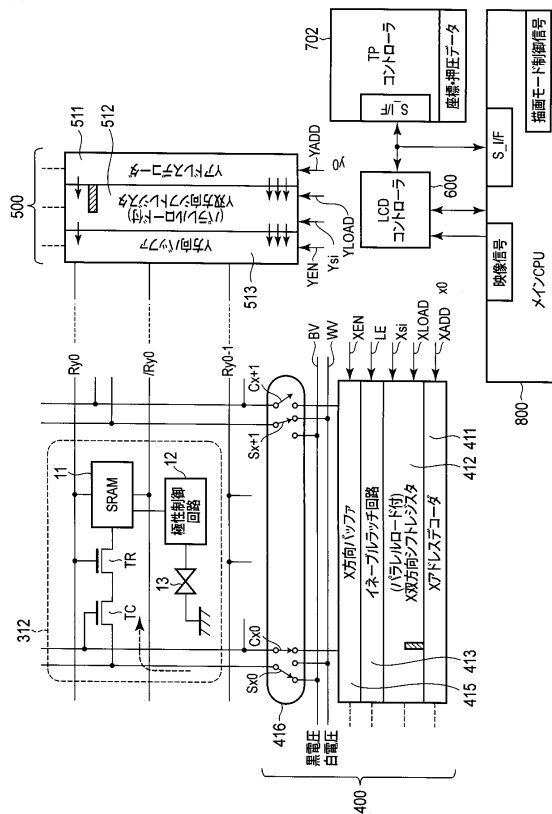
【図 2】

図 2



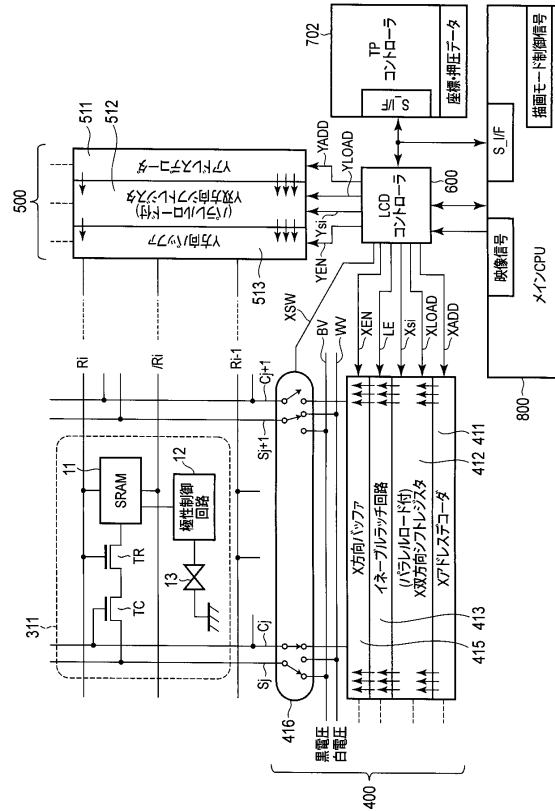
【図 4】

図 4



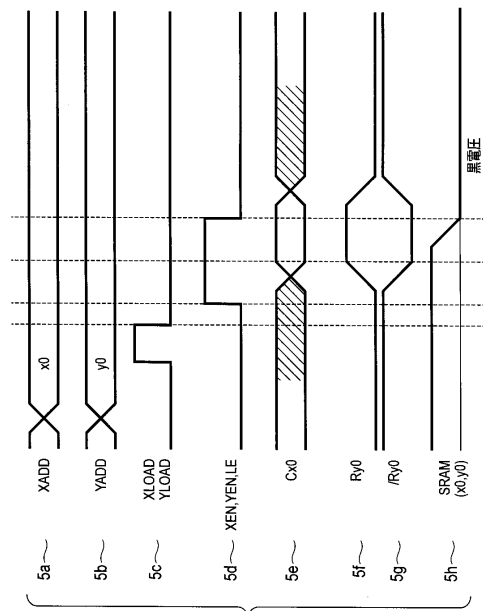
【図 3】

図 3

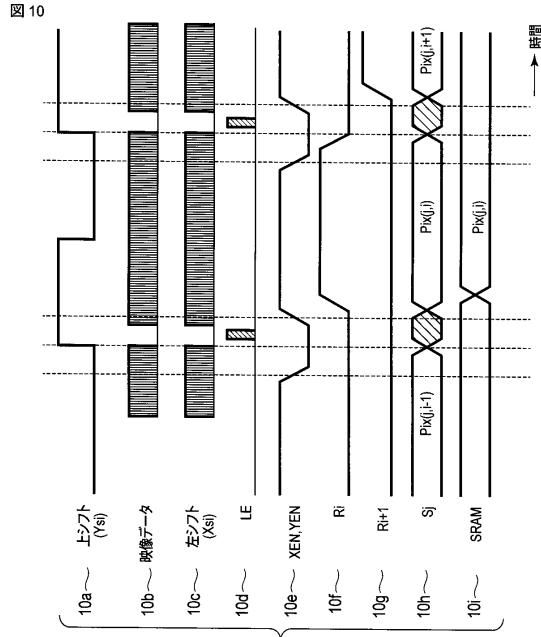


【図 5】

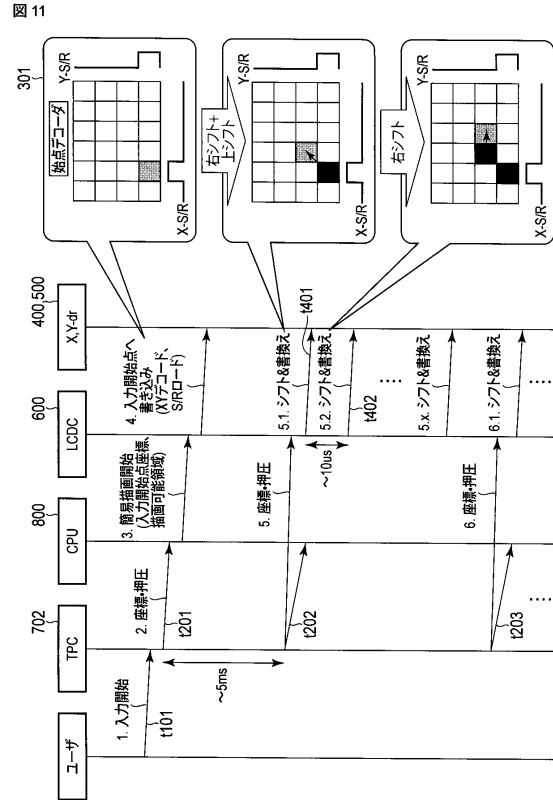
図 5



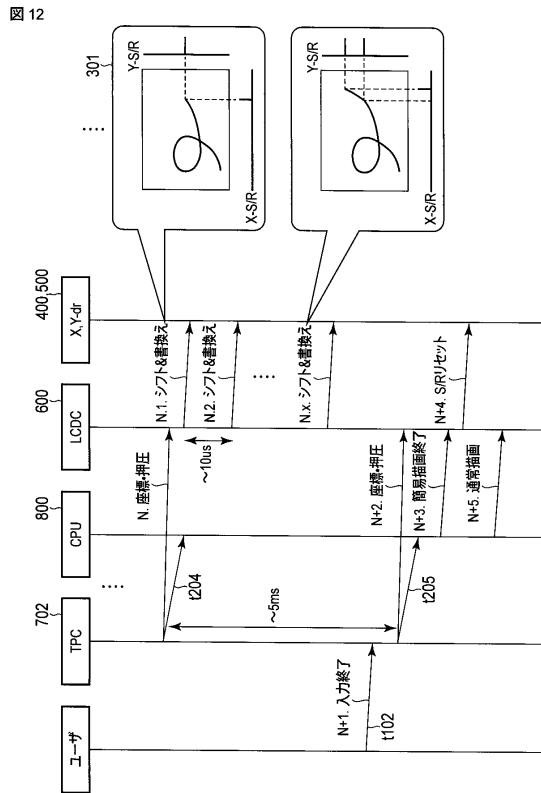
【図 10】



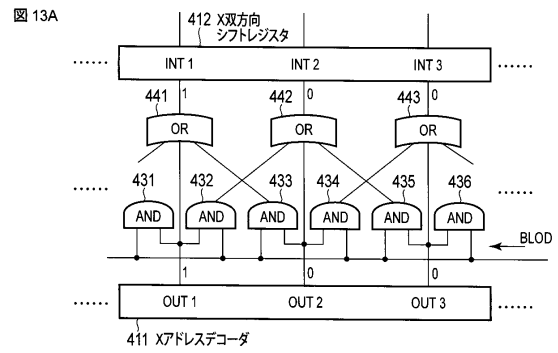
【図 11】



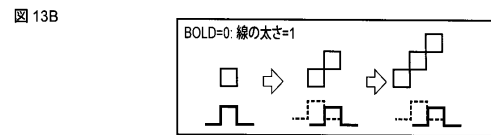
【図 12】



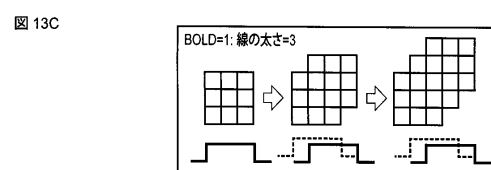
【図 13 A】



【図 13 B】

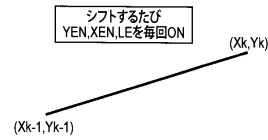


【図 13 C】



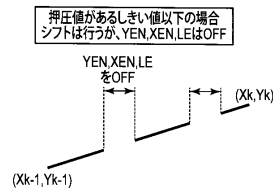
【図 14 A】

図 14A



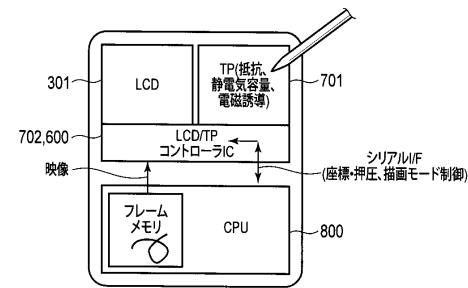
【図 14 B】

図 14B



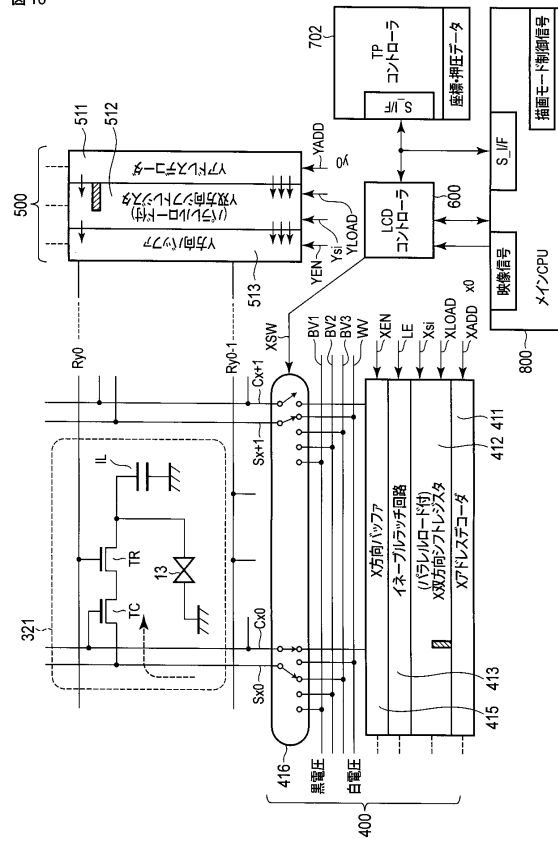
【図 15】

図 15



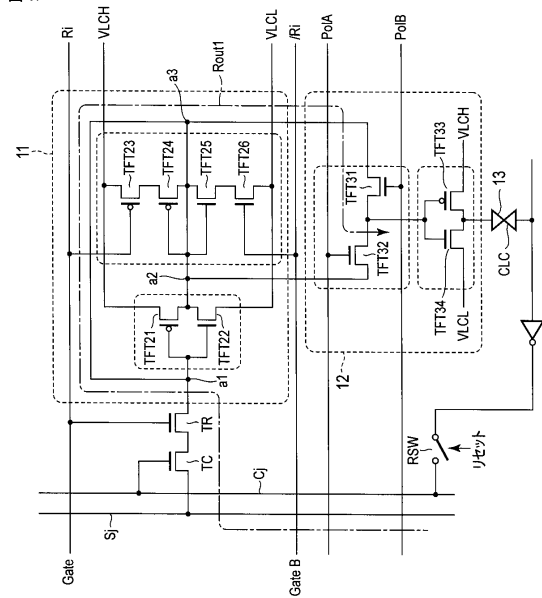
【図 16】

図 16



【図 17】

図 17



 フロントページの続き

(51)Int.Cl.	F I		
	G 0 9 G	3/20	6 2 1 D
	G 0 9 G	3/20	6 9 1 D
	G 0 9 G	3/20	6 2 3 R
	G 0 9 G	3/20	6 2 3 T
	G 0 9 G	3/20	6 2 3 B
	G 0 9 G	3/20	6 2 3 H
	G 0 9 G	3/20	6 2 3 G
	G 0 9 G	3/20	6 4 1 S
	G 0 9 G	3/20	6 3 1 B
	G 0 9 G	3/20	6 6 0 K
	G 0 9 G	3/20	6 2 1 K
	G 0 9 G	3/20	6 1 2 L
	G 0 9 G	3/20	6 2 4 B
	G 0 2 F	1/133	5 3 0
	G 0 2 F	1/1368	

審査官 越川 康弘

- (56)参考文献 特開 2 0 1 0 - 1 1 7 5 5 0 (J P , A)
 特開 2 0 0 6 - 2 4 4 2 1 8 (J P , A)
 特開 2 0 0 2 - 1 7 5 0 4 0 (J P , A)
 特開平 0 9 - 2 1 2 1 4 0 (J P , A)
 特開昭 6 0 - 2 6 0 9 9 4 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 9 G 3 / 3 6
 G 0 9 G 3 / 2 0
 G 0 2 F 1 / 1 3 3
 G 0 2 F 1 / 1 3 6 8
 G 0 6 F 3 / 0 4 1

专利名称(译)	显示装置，显示装置的控制方法		
公开(公告)号	JP6473581B2	公开(公告)日	2019-02-20
申请号	JP2014144322	申请日	2014-07-14
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
当前申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	吉田征弘		
发明人	吉田 征弘		
IPC分类号	G09G3/36 G06F3/041 G09G3/20 G02F1/133 G02F1/1368		
CPC分类号	G06F3/0416 G06F3/04883 G09G3/3659 G09G2300/0842 G09G2310/0286 G09G2310/0291 G09G2320/0252		
FI分类号	G09G3/36 G06F3/041.595 G09G3/20.611.A G09G3/20.621.F G09G3/20.680.H G09G3/20.621.D G09G3/20.691.D G09G3/20.623.R G09G3/20.623.T G09G3/20.623.B G09G3/20.623.H G09G3/20.623.G G09G3/20.641.S G09G3/20.631.B G09G3/20.660.K G09G3/20.621.K G09G3/20.612.L G09G3/20.624.B G02F1/133.530 G02F1/1368		
F-TERM分类号	2H192/AA24 2H192/CB23 2H192/CB24 2H192/FB02 2H192/GB61 2H193/ZA04 2H193/ZA19 2H193/ZC27 2H193/ZF21 2H193/ZF32 2H193/ZJ02 5C006/AC26 5C006/AF03 5C006/AF31 5C006/AF42 5C006/AF43 5C006/AF47 5C006/BC03 5C006/BC06 5C006/BC11 5C006/BF02 5C006/BF03 5C006/BF04 5C006/BF05 5C006/BF24 5C006/BF26 5C006/BF27 5C006/BF38 5C006/EC05 5C006/EC06 5C006/FA04 5C006/FA12 5C006/FA36 5C006/FA47 5C006/FA56 5C080/AA10 5C080/BB05 5C080/DD08 5C080/DD26 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ07		
代理人(译)	河野 哲		
优先权	2013211888 2013-10-09 JP		
其他公开文献	JP2015096935A		
外部链接	Espacenet		

摘要(译)

本发明涉及实施例中，手写输入的速度，显示装置能够提高显著在显示屏幕上绘制速度的跟踪（图像形成速度），显示装置的控制方法。根据本实施例，在液晶显示装置中，二维地布置多个像素电路，并且每个像素电路包括显示元件和用于存储用于驱动显示元件的信号的像素存储器。。X方向驱动器和Y方向驱动器可以选择并驱动任意像素电路。触摸型输入面板与显示装置一体设置。触摸板控制器将触摸型输入面板的感测输出转换为坐标数据。显示控制器接收坐标数据并经由X方向驱动器和Y方向驱动器在液晶显示装置的基于像素电路单元的基础上执行部分重写。点域

(19) 日本国特許庁 (JP)		(12) 特 許 公 報 (B2)		(11) 特許番号 特許第6473581号 (P6473581)	
(45) 発行日 平成31年2月20日 (2019. 2. 20)		(24) 登録日 平成31年2月1日 (2019. 2. 1)			
(51) Int. Cl.		F I			
G 0 9 G 3/36 (2006. 01)		G O 9 G 3/36			
G 0 6 F 3/041 (2006. 01)		G O 6 F 3/041		5 9 5	
G 0 9 G 3/20 (2006. 01)		G O 9 G 3/20		6 1 1 A	
G 0 2 F 1/133 (2006. 01)		G O 9 G 3/20		6 2 1 F	
G 0 2 F 1/1368 (2006. 01)		G O 9 G 3/20		6 8 0 H	
請求項の数 11 (全 22 頁) 最終頁に続く					
(21) 出願番号 特願2014-144322 (P2014-144322)		(73) 特許権者 502356528			
(22) 出願日 平成26年7月14日 (2014. 7. 14)		株式会社ジャパンディスプレイ			
(65) 公開番号 特開2015-96935 (P2015-96935A)		東京都港区西新橋三丁目7番1号			
(43) 公開日 平成27年5月21日 (2015. 5. 21)		(74) 代理人 110001737			
審査請求日 平成28年7月22日 (2016. 7. 22)		特許業務法人スズエ国際特許事務所			
(31) 優先権主張番号 特願2013-211888 (P2013-211888)		(74) 代理人 100091351			
(32) 優先日 平成25年10月9日 (2013. 10. 9)		弁理士 河野 哲			
(33) 優先権主張国 日本国 (JP)		(74) 代理人 100084618			
		弁理士 村松 貞男			
		(74) 代理人 100087653			
		弁理士 鈴江 正二			
		(72) 発明者 吉田 征弘			
		東京都港区西新橋三丁目7番1号 株式会 社ジャパンディスプレイ内			
最終頁に続く					
(54) 【発明の名称】 表示装置、表示装置の制御方法					