

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6039914号
(P6039914)

(45) 発行日 平成28年12月7日 (2016. 12. 7)

(24) 登録日 平成28年11月11日 (2016. 11. 11)

(51) Int. Cl.	F I
GO2F 1/1368 (2006.01)	GO2F 1/1368
GO2F 1/1337 (2006.01)	GO2F 1/1337
GO2F 1/1335 (2006.01)	GO2F 1/1335 510
GO2F 1/1333 (2006.01)	GO2F 1/1333

請求項の数 5 (全 16 頁)

(21) 出願番号	特願2012-87879 (P2012-87879)	(73) 特許権者	502356528
(22) 出願日	平成24年4月6日 (2012. 4. 6)		株式会社ジャパンディスプレイ
(65) 公開番号	特開2013-218080 (P2013-218080A)		東京都港区西新橋三丁目7番1号
(43) 公開日	平成25年10月24日 (2013. 10. 24)	(74) 代理人	110001737
審査請求日	平成27年1月14日 (2015. 1. 14)		特許業務法人スズエ国際特許事務所
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100159651
			弁理士 高倉 成男
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 福原 淑弘

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

第1方向にそれぞれ延出したゲート配線及び補助容量線と、第1方向に交差する第2方向に延出したソース配線と、前記ゲート配線及び前記ソース配線と電気的に接続されたスイッチング素子と、前記スイッチング素子と電気的に接続され前記補助容量線の上に位置し第1方向に延出した帯状の副画素電極及び前記副画素電極に接続され第2方向に延出した帯状の主画素電極を備えた十字状の画素電極と、前記画素電極を覆う第1配向膜と、を備えた第1基板と、

前記主画素電極を挟んだ両側で第2方向に延出した主共通電極を備えた共通電極と、前記共通電極を覆う第2配向膜と、を備えた第2基板と、

前記第1配向膜と前記第2配向膜との間に保持された液晶分子を含む液晶層と、

前記第1基板の外面に接着され第1偏光板を含む第1光学素子と、

前記第2基板の外面に接着され第2偏光板を含む第2光学素子と、を備え、

前記補助容量線は、画素の略中央部に配置され、

前記スイッチング素子は、前記ゲート配線及び前記ソース配線の交点に設けられ、そのドレイン配線は前記ソース配線及び前記補助容量線に沿って延長され且つ前記補助容量線と重なる領域に形成されたコンタクトホールを介して前記副画素電極と電気的に接続され、

前記第1配向膜及び前記第2配向膜の体積抵抗値は、前記液晶層の体積抵抗値よりも低く、前記液晶層の体積抵抗値の1/100以下であり、

前記第 1 光学素子を前記第 1 基板の外面に接着する第 1 接着剤の体積抵抗値は、前記第 1 配向膜の体積抵抗値と同等以下であり、

前記第 2 光学素子を前記第 2 基板の外面に接着する第 2 接着剤の体積抵抗値は、前記第 2 配向膜の体積抵抗値と同等以下であり、 $0.2 \times 10^{-11} \sim 0.7 \times 10^{-11} \Omega \cdot \text{cm}$ であることを特徴とする液晶表示装置。

【請求項 2】

前記第 1 偏光板は第 1 偏光軸を備え、前記第 2 偏光板は第 1 偏光軸とクロスニコルの位置関係にある第 2 偏光軸を備え、前記第 1 偏光板の第 1 偏光軸が前記液晶分子の初期配向方向と直交する或いは平行であることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記共通電極は、さらに、前記主共通電極に接続され前記ゲート配線の上方に位置し第 1 方向に延出した帯状の副共通電極を備えたことを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 4】

前記第 1 基板は、さらに、前記ゲート配線と対向し前記第 1 配向膜によって覆われ前記共通電極と同電位の第 1 シールド電極と、前記ソース配線と対向し前記第 1 配向膜によって覆われ前記共通電極と同電位の第 2 シールド電極と、を備えたことを特徴とする請求項 3 に記載の液晶表示装置。

【請求項 5】

前記主共通電極は、前記ソース配線の上方に位置することを特徴とする請求項 1 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、液晶表示装置に関する。

【背景技術】

【0002】

近年、平面表示装置が盛んに開発されており、中でも液晶表示装置は、軽量、薄型、低消費電力等の利点から特に注目を集めている。特に、各画素にスイッチング素子を組み込んだアクティブマトリクス型液晶表示装置においては、IPS (In - Plane Switching) モードや FFS (Fringe Field Switching) モードなどの横電界 (フリンジ電界も含む) を利用した構造が注目されている。このような横電界モードの液晶表示装置は、アレイ基板に形成された画素電極と対向電極とを備え、アレイ基板の主面に対してほぼ平行な横電界で液晶分子をスイッチングする。

【0003】

一方で、アレイ基板に形成された画素電極と、対向基板に形成された対向電極との間に、横電界あるいは斜め電界を形成し、液晶分子をスイッチングする技術も提案されている。さらに、いわゆる焼き付きに起因した表示不良の発生を防止するために、液晶層の体積抵抗値及び配向膜の体積抵抗値の最適化について検討がなされている。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2003 - 005187 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本実施形態の目的は、表示品位の劣化を抑制することが可能な液晶表示装置を提供することにある。

【課題を解決するための手段】

【0006】

10

20

30

40

50

本実施形態によれば、

第1方向にそれぞれ延出したゲート配線及び補助容量線と、第1方向に交差する第2方向に延出したソース配線と、前記ゲート配線及び前記ソース配線と電氣的に接続されたスイッチング素子と、前記スイッチング素子と電氣的に接続され第1方向に延出した帯状の副画素電極及び前記副画素電極に接続され第2方向に延出した帯状の主画素電極を備えた画素電極と、前記画素電極を覆う第1配向膜と、を備えた第1基板と、前記主画素電極を挟んだ両側で第2方向に延出した主共通電極を備えた共通電極と、前記共通電極を覆う第2配向膜と、を備えた第2基板と、前記第1配向膜と前記第2配向膜との間に保持された液晶分子を含む液晶層と、を備え、前記第1配向膜及び前記第2配向膜の体積抵抗値は、前記液晶層の体積抵抗値よりも低いことを特徴とする液晶表示装置が提供される。

10

【0007】

本実施形態によれば、

第1方向にそれぞれ延出したゲート配線及び補助容量線と、第1方向に交差する第2方向に延出したソース配線と、前記ゲート配線及び前記ソース配線と電氣的に接続されたスイッチング素子と、前記スイッチング素子と電氣的に接続され第1方向に延出した帯状の副画素電極及び前記副画素電極に接続され第2方向に延出した帯状の主画素電極を備えた画素電極と、前記画素電極を覆う第1配向膜と、を備えた第1基板と、前記主画素電極を挟んだ両側で第2方向に延出した主共通電極を備えた共通電極と、前記共通電極を覆う第2配向膜と、を備えた第2基板と、前記第1配向膜と前記第2配向膜との間に保持された液晶分子を含む液晶層と、前記第1基板の外面に接着され第1偏光板を含む第1光学素子と、前記第2基板の外面に接着され第2偏光板を含む第2光学素子と、を備え、前記第2配向膜の体積抵抗値は、前記液晶層の体積抵抗値よりも低く、前記第2光学素子を前記第2基板の外面に接着する第2接着剤の体積抵抗値は、前記第2配向膜の体積抵抗値と同等以下であることを特徴とする液晶表示装置が提供される。

20

【図面の簡単な説明】

【0008】

【図1】図1は、本実施形態における液晶表示装置の構成及び等価回路を概略的に示す図である。

【図2】図2は、図1に示した液晶表示パネルを対向基板側から見たときの一画素の構造例を概略的に示す平面図である。

30

【図3】図3は、図2に示した液晶表示パネルをA-A線で切断したときの断面構造を概略的に示す断面図である。

【図4】図4は、本実施形態に適用可能な他の対向基板の構成を概略的に示す平面図である。

【図5】図5は、本実施形態に適用可能な他のアレイ基板の構成を概略的に示す平面図である。

【発明を実施するための形態】

【0009】

以下、本実施形態について、図面を参照しながら詳細に説明する。なお、各図において、同一又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する説明は省略する。

40

【0010】

図1は、本実施形態における液晶表示装置の構成及び等価回路を概略的に示す図である。

【0011】

すなわち、液晶表示装置は、アクティブマトリクスタイプの液晶表示パネルLPNを備えている。液晶表示パネルLPNは、第1基板であるアレイ基板ARと、アレイ基板ARに対向して配置された第2基板である対向基板CTと、これらのアレイ基板ARと対向基板CTとの間に保持された液晶層LQと、を備えている。このような液晶表示パネルLPNは、画像を表示するアクティブエリアACTを備えている。このアクティブエリアAC

50

Tは、 $m \times n$ 個のマトリクス状に配置された複数の画素PXによって構成されている（但し、 m 及び n は正の整数である）。

【0012】

液晶表示パネルLPNは、アクティブエリアACTにおいて、 n 本のゲート配線G（ $G_1 \sim G_n$ ）、 n 本の補助容量線C（ $C_1 \sim C_n$ ）、 m 本のソース配線S（ $S_1 \sim S_m$ ）などを備えている。ゲート配線G及び補助容量線Cは、例えば、第1方向Xに沿って略直線的に延出している。これらのゲート配線G及び補助容量線Cは、第1方向Xに交差する第2方向Yに沿って間隔をおいて隣接し、交互に並列配置されている。ここでは、第1方向Xと第2方向Yとは互いに直交している。ソース配線Sは、ゲート配線G及び補助容量線Cと交差している。ソース配線Sは、第2方向Yに沿って略直線的に延出している。なお、ゲート配線G、補助容量線C、及び、ソース配線Sは、必ずしも直線的に延出していなくても良く、それらの一部が屈曲していてもよい。

10

【0013】

各ゲート配線Gは、アクティブエリアACTの外側に引き出され、ゲートドライバGDに接続されている。各ソース配線Sは、アクティブエリアACTの外側に引き出され、ソースドライバSDに接続されている。これらのゲートドライバGD及びソースドライバSDの少なくとも一部は、例えば、アレイ基板ARに形成され、コントローラを内蔵した駆動ICチップ2と接続されている。

【0014】

各画素PXは、スイッチング素子SW、画素電極PE、共通電極CEなどを備えている。保持容量Csは、例えば補助容量線Cと画素電極PEとの間に形成される。補助容量線Cは、補助容量電圧が印加される電圧印加部VCSと電氣的に接続されている。

20

【0015】

なお、本実施形態においては、液晶表示パネルLPNは、画素電極PEがアレイ基板ARに形成される一方で共通電極CEの少なくとも一部が対向基板CTに形成された構成であり、これらの画素電極PEと共通電極CEとの間に形成される電界を主に利用して液晶層LQの液晶分子をスイッチングする。画素電極PEと共通電極CEとの間に形成される電界は、第1方向Xと第2方向Yとで規定されるX-Y平面あるいはアレイ基板ARの基板主面あるいは対向基板CTの基板主面に対してわずかに傾いた斜め電界（あるいは、基板主面にほぼ平行な横電界）である。

30

【0016】

スイッチング素子SWは、例えば、 n チャネル薄膜トランジスタ（TFT）によって構成されている。このスイッチング素子SWは、ゲート配線G及びソース配線Sと電氣的に接続されている。このようなスイッチング素子SWは、トップゲート型あるいはボトムゲート型のいずれであっても良い。また、スイッチング素子SWの半導体層は、例えば、ポリシリコンによって形成されているが、アモルファスシリコンによって形成されていても良い。

【0017】

画素電極PEは、各画素PXに配置され、スイッチング素子SWに電氣的に接続されている。共通電極CEは、例えばコモン電位であり、液晶層LQを介して複数の画素PXの画素電極PEに対して共通に配置されている。このような画素電極PE及び共通電極CEは、例えば、インジウム・ティン・オキサイド（ITO）やインジウム・ジंक・オキサイド（IZO）などの光透過性を有する導電材料によって形成されているが、アルミニウムなどの他の金属材料によって形成されても良い。

40

【0018】

アレイ基板ARは、共通電極CEに電圧を印加するための給電部VSを備えている。この給電部VSは、例えば、アクティブエリアACTの外側に形成されている。共通電極CEは、アクティブエリアACTの外側に引き出され、図示しない導電部材を介して、給電部VSと電氣的に接続されている。

【0019】

50

図2は、図1に示した液晶表示パネルLPNを対向基板側から見たときの一画素PXの構造例を概略的に示す平面図である。ここでは、X-Y平面における平面図を示している。

【0020】

ゲート配線G1、ゲート配線G2、及び、補助容量線C1は、それぞれ第1方向Xに沿って延出している。ソース配線S1及びソース配線S2は、それぞれ第2方向Yに沿って延出している。補助容量線C1は、ゲート配線G1とゲート配線G2とのほぼ中間に位置している。つまり、ゲート配線G1と補助容量線C1との第2方向Yに沿った間隔は、ゲート配線G2と補助容量線C1との第2方向Yに沿った間隔と略同等である。

【0021】

図示した例では、画素PXは、図中の破線で示したように、ゲート配線G1及びゲート配線G2とソース配線S1及びソース配線S2とが成すマス目の領域に相当し、第1方向Xに沿った長さよりも第2方向Yに沿った長さの方が長い長方形形状である。画素PXの第1方向Xに沿った長さはソース配線S1とソース配線S2との第1方向Xに沿ったピッチに相当し、画素PXの第2方向Yに沿った長さはゲート配線G1とゲート配線G2との第2方向Yに沿ったピッチに相当する。画素電極PEは、隣接するソース配線S1とソース配線S2との間に配置されている。また、この画素電極PEは、ゲート配線G1とゲート配線G2との間に位置している。

【0022】

図示した例では、画素PXにおいて、ソース配線S1は左側端部に配置され、ソース配線S2は右側端部に配置され、ゲート配線G1は上側端部に配置され、ゲート配線G2は下側端部に配置されている。厳密には、ソース配線S1は当該画素PXとその左側に隣接する画素との境界に跨って配置され、ソース配線S2は当該画素PXとその右側に隣接する画素との境界に跨って配置され、ゲート配線G1は当該画素PXとその上側に隣接する画素との境界に跨って配置され、ゲート配線G2は当該画素PXとその下側に隣接する画素との境界に跨って配置されている。補助容量線C1は、画素PXの略中央部に配置されている。

【0023】

図示した例のスイッチング素子SWは、ゲート配線G1及びソース配線S1に電氣的に接続されている。このスイッチング素子SWは、ゲート配線G1とソース配線S1の交点に設けられ、そのドレイン配線はソース配線S1及び補助容量線C1に沿って延長され、補助容量線C1と重なる領域に形成されたコンタクトホールCHを介して画素電極PEと電氣的に接続されている。このようなスイッチング素子SWは、ソース配線S1及び補助容量線C1と重なる領域に設けられ、ソース配線S1及び補助容量線C1と重なる領域からほとんどはみ出すことはなく、表示に寄与する開口部の面積の低減を抑制している。

【0024】

画素電極PEは、主画素電極PA及び副画素電極PBを備えている。これらの主画素電極PA及び副画素電極PBは、一体的あるいは連続的に形成されており、互いに電氣的に接続されている。なお、図示した例では、一画素PXに配置された画素電極PEのみが図示されているが、図示を省略した他の画素についても同一形状の画素電極が配置されている。

【0025】

主画素電極PAは、第2方向Yに沿って延出し、第1方向Xに沿って略一定の幅を有する帯状に形成されている。この主画素電極PAは、ソース配線S1とソース配線S2との略中間に位置している。つまり、ソース配線S1と主画素電極PAとの第1方向Xに沿った間隔は、ソース配線S2と主画素電極PAとの第1方向Xに沿った間隔と略同等である。

【0026】

副画素電極PBは、第1方向Xに沿って延出した帯状に形成されている。図示した例では、副画素電極PBは、主画素電極PAの第2方向Yに沿った中間部で交差している。つ

10

20

30

40

50

まり、ここに示した画素電極 P E は、十字状に形成されている。また、図示した例では、副画素電極 P B は、補助容量線 C 1 の上方に位置している。つまり、副画素電極 P B は、その全体が補助容量線 C 1 と重なる領域に位置している。このような副画素電極 P B は、コンタクトホール C H を介してスイッチング素子 S W と電氣的に接続されている。

【 0 0 2 7 】

共通電極 C E は、主共通電極 C A を備えている。この主共通電極 C A は、X - Y 平面内において、主画素電極 P A を挟んだ両側で主画素電極 P A と平行な第 2 方向 Y に沿って直線的に延出している。このような主共通電極 C A は、第 1 方向 X に沿って略同一の幅を有する帯状に形成されている。

【 0 0 2 8 】

10

図示した例では、主共通電極 C A は、第 1 方向 X に間隔をおいて 2 本平行に並んでおり、画素 P X の左側端部に配置された主共通電極 C A L と、画素 P X の右側端部に配置された主共通電極 C A R と、を備えている。厳密には、主共通電極 C A L は当該画素 P X とその左側に隣接する画素との境界に跨って配置され、主共通電極 C A R は当該画素 P X とその右側に隣接する画素との境界に跨って配置されている。主共通電極 C A L はソース配線 S 1 と対向し、主共通電極 C A R はソース配線 S 2 と対向している。これらの主共通電極 C A L 及び主共通電極 C A R は、アクティブエリア内あるいはアクティブエリア外において互いに電氣的に接続されている。

【 0 0 2 9 】

画素電極 P E と共通電極 C E との X - Y 平面内での位置関係に着目すると、主画素電極 P A と主共通電極 C A とは、第 1 方向 X に沿って交互に配置されている。隣接する主共通電極 C A L 及び主共通電極 C A R の間には、1 本の主画素電極 P A が位置している。主画素電極 P A は、主共通電極 C A L と主共通電極 C A R との略中間に位置している。つまり、主共通電極 C A L と主画素電極 P A との第 1 方向 X に沿った間隔は、主共通電極 C A R と主画素電極 P A との第 1 方向 X に沿った間隔と略同等である。

20

【 0 0 3 0 】

図 3 は、図 2 に示した液晶表示パネル L P N を A - A 線で切断したときの断面構造を概略的に示す断面図である。なお、ここでは、説明に必要な箇所のみを図示している。

【 0 0 3 1 】

液晶表示パネル L P N を構成するアレイ基板 A R の背面側には、バックライト 4 が配置されている。バックライト 4 としては、種々の形態が適用可能であり、また、光源として発光ダイオード (L E D) を利用したものや冷陰極管 (C C F L) を利用したものなどのいずれでも適用可能であり、詳細な構造については説明を省略する。

30

【 0 0 3 2 】

アレイ基板 A R は、光透過性を有する第 1 絶縁基板 1 0 を用いて形成されている。ソース配線 S は、第 1 絶縁膜 1 1 の上に形成され、第 2 絶縁膜 1 2 によって覆われている。なお、図示しないゲート配線や補助容量線は、例えば、第 1 絶縁基板 1 0 と第 1 絶縁膜 1 1 との間に配置されている。画素電極 P E は、第 2 絶縁膜 1 2 の上に形成されている。この画素電極 P E は、隣接するソース配線 S のそれぞれの直上の位置よりもそれらの内側に位置している。

40

【 0 0 3 3 】

第 1 配向膜 A L 1 は、アレイ基板 A R の対向基板 C T と対向する面に配置され、アクティブエリア A C T の略全体に亘って延在している。この第 1 配向膜 A L 1 は、画素電極 P E などを覆っており、第 2 絶縁膜 1 2 の上にも配置されている。つまり、第 1 配向膜 A L 1 は、画素電極 P E にコンタクトしている。このような第 1 配向膜 A L 1 は、水平配向性を示す材料によって形成されている。

【 0 0 3 4 】

対向基板 C T は、光透過性を有する第 2 絶縁基板 2 0 を用いて形成されている。この対向基板 C T は、ブラックマトリクス B M 、カラーフィルタ C F 、オーバーコート層 O C 、共通電極 C E 、第 2 配向膜 A L 2 などを備えている。

50

【 0 0 3 5 】

ブラックマトリクス B M は、各画素 P X を区画し、画素電極 P E と対向する開口部 A P を形成する。すなわち、ブラックマトリクス B M は、ソース配線 S、ゲート配線、補助容量線、スイッチング素子などの配線部に対向するように配置されている。ここでは、ブラックマトリクス B M は、第 2 方向 Y に沿って延出した部分のみが図示されているが、第 1 方向 X に沿って延出した部分を備えていても良い。このブラックマトリクス B M は、第 2 絶縁基板 2 0 のアレイ基板 A R に対向する内面 2 0 A に配置されている。

【 0 0 3 6 】

カラーフィルタ C F は、各画素 P X に対応して配置されている。すなわち、カラーフィルタ C F は、第 2 絶縁基板 2 0 の内面 2 0 A における開口部 A P に配置されるとともに、その一部がブラックマトリクス B M に乗り上げている。第 1 方向 X に隣接する画素 P X にそれぞれ配置されたカラーフィルタ C F は、互いに色が異なる。例えば、カラーフィルタ C F は、赤色、青色、緑色といった 3 原色にそれぞれ着色された樹脂材料によって形成されている。赤色に着色された樹脂材料からなる赤色カラーフィルタ C F R は、赤色画素に対応して配置されている。青色に着色された樹脂材料からなる青色カラーフィルタ C F B は、青色画素に対応して配置されている。緑色に着色された樹脂材料からなる緑色カラーフィルタ C F G は、緑色画素に対応して配置されている。これらのカラーフィルタ C F 同士の境界は、ブラックマトリクス B M と重なる位置にある。オーバーコート層 O C は、カラーフィルタ C F を覆っている。このオーバーコート層 O C は、カラーフィルタ C F の表面の凹凸の影響を緩和する。このようなオーバーコート層 O C は、例えば、透明な樹脂材料によって形成されている。

【 0 0 3 7 】

共通電極 C E は、オーバーコート層 O C のアレイ基板 A R と対向する側に形成されている。主共通電極 C A は、ソース配線 S の上方に位置している。第 2 配向膜 A L 2 は、対向基板 C T のアレイ基板 A R と対向する面に配置され、アクティブエリア A C T の略全体に亘って延在している。この第 2 配向膜 A L 2 は、共通電極 C E 及びオーバーコート層 O C などを覆っている。つまり、第 2 配向膜 A L 2 は、共通電極 C E にコンタクトしている。このような第 2 配向膜 A L 2 は、水平配向性を示す材料によって形成されている。

【 0 0 3 8 】

これらの第 1 配向膜 A L 1 及び第 2 配向膜 A L 2 には、液晶層 L Q の液晶分子を初期配向させるための配向処理（例えば、ラビング処理や光配向処理）がなされている。第 1 配向膜 A L 1 が液晶分子を初期配向させる第 1 配向処理方向 P D 1 は、第 2 配向膜 A L 2 が液晶分子を初期配向させる第 2 配向処理方向 P D 2 と平行である。図 2 の（ A ）で示した例では、第 1 配向処理方向 P D 1 と第 2 配向処理方向 P D 2 とがともに第 2 方向 Y に平行であって、互いに同じ向きである。図 2 の（ B ）で示した例では、第 1 配向処理方向 P D 1 と第 2 配向処理方向 P D 2 とがともに第 2 方向 Y に平行であって、互いに逆向きである。

【 0 0 3 9 】

上述したようなアレイ基板 A R と対向基板 C T とは、それぞれの第 1 配向膜 A L 1 及び第 2 配向膜 A L 2 が対向するように配置されている。このとき、アレイ基板 A R の第 1 配向膜 A L 1 と対向基板 C T の第 2 配向膜 A L 2 との間には、例えば、樹脂材料によって一方の基板に一体的に形成された柱状スペーサが配置され、これにより、所定のセルギャップ、例えば 2 ~ 7 μm のセルギャップが形成される。アレイ基板 A R と対向基板 C T とは、所定のセルギャップが形成された状態で、アクティブエリア A C T の外側に位置するシール材 S B によって貼り合わせられている。

【 0 0 4 0 】

液晶層 L Q は、アレイ基板 A R と対向基板 C T との間に形成されたセルギャップに保持され、第 1 配向膜 A L 1 と第 2 配向膜 A L 2 との間に配置されている。液晶層 L Q は、液晶分子 L M を含んでいる。このような液晶層 L Q は、例えば、誘電率異方性が正（ポジ型）の液晶材料によって構成されている。

【 0 0 4 1 】

アレイ基板 A R の外面、つまり、アレイ基板 A R を構成する第 1 絶縁基板 1 0 の外面 1 0 B には、第 1 光学素子 O D 1 が第 1 接着剤 A D 1 により接着されている。この第 1 光学素子 O D 1 は、液晶表示パネル L P N のバックライト 4 と対向する側に位置しており、バックライト 4 から液晶表示パネル L P N に入射する入射光の偏光状態を制御する。この第 1 光学素子 O D 1 は、第 1 偏光軸（あるいは第 1 吸収軸）A X 1 を有する第 1 偏光板 P L 1 を含んでいる。なお、第 1 偏光板 P L 1 と第 1 絶縁基板 1 0 との間に位相差板などの他の光学素子が配置されても良い。

【 0 0 4 2 】

対向基板 C T の外面、つまり、対向基板 C T を構成する第 2 絶縁基板 2 0 の外面 2 0 B には、第 2 光学素子 O D 2 が第 2 接着剤 A D 2 により接着されている。この第 2 光学素子 O D 2 は、液晶表示パネル L P N の表示面側に位置しており、液晶表示パネル L P N から出射した出射光の偏光状態を制御する。この第 2 光学素子 O D 2 は、第 2 偏光軸（あるいは第 2 吸収軸）A X 2 を有する第 2 偏光板 P L 2 を含んでいる。なお、第 2 偏光板 P L 2 と第 2 絶縁基板 2 0 との間に位相差板などの他の光学素子が配置されていても良い。

【 0 0 4 3 】

第 1 偏光板 P L 1 の第 1 偏光軸 A X 1 と、第 2 偏光板 P L 2 の第 2 偏光軸 A X 2 とは、クロスニコルの位置関係にある。このとき、一方の偏光板は、例えば、その偏光軸が液晶分子 L M の初期配向方向と平行または直交するように配置されている。図 2 において、(a) で示した例では、第 1 偏光板 P L 1 はその第 1 偏光軸 A X 1 が液晶分子 L M の初期配向方向である第 2 方向 Y に対して直交するように配置され、第 2 偏光板 P L 2 はその第 2 偏光軸 A X 2 が第 2 方向 Y に対して平行となるように配置されている。図 2 において、(b) で示した例では、第 2 偏光板 P L 2 はその第 2 偏光軸 A X 2 が第 2 方向 Y に対して直交するように配置され、第 1 偏光板 P L 1 はその第 1 偏光軸 A X 1 が第 2 方向 Y に対して平行となるように配置されている。

【 0 0 4 4 】

本実施形態においては、第 1 配向膜 A L 1 及び第 2 配向膜 A L 2 の体積抵抗値は、液晶層 L Q の体積抵抗値よりも低い。一例として、液晶層 L Q の体積抵抗値は $1.0 \times 10^{13} \Omega \cdot \text{cm}$ のオーダーもしくはそれ以上であるのに対して、第 1 配向膜 A L 1 及び第 2 配向膜 A L 2 の体積抵抗値は $1.0 \times 10^{11} \Omega \cdot \text{cm}$ のオーダーもしくはそれ以下である。第 1 配向膜 A L 1 及び第 2 配向膜 A L 2 の体積抵抗値は、液晶層 L Q の体積抵抗値の $1/10$ 以下、あるいは、液晶層 L Q の体積抵抗値の $1/100$ 程度であることが望ましい。

【 0 0 4 5 】

第 1 配向膜 A L 1 がコンタクトする画素電極 P E 、及び、第 2 配向膜 A L 2 がコンタクトする共通電極 C E は、第 1 配向膜 A L 1 及び第 2 配向膜 A L 2 よりもさらに低抵抗な材料によって形成されている。

【 0 0 4 6 】

また、第 1 光学素子 O D 1 をアレイ基板 A R の外面に接着する第 1 接着剤 A D 1 及び第 2 光学素子 O D 2 を対向基板 C T の外面に接着する第 2 接着剤 A D 2 の体積抵抗値は、第 1 配向膜 A L 1 及び第 2 配向膜 A L 2 の体積抵抗値と同等以下である。一例として、第 1 接着剤 A D 1 及び第 2 接着剤 A D 2 の体積抵抗値は、 $0.2 \times 10^{11} \sim 0.7 \times 10^{11} \Omega \cdot \text{cm}$ 程度である。

【 0 0 4 7 】

次に、上記構成の液晶表示パネル L P N の動作について、図 2 及び図 3 を参照しながら説明する。

【 0 0 4 8 】

すなわち、液晶層 L Q に電圧が印加されていない状態、つまり、画素電極 P E と共通電極 C E との間に電界が形成されていない状態（OFF 時）には、液晶層 L Q の液晶分子 L M は、その長軸が第 1 配向膜 A L 1 の第 1 配向処理方向 P D 1 及び第 2 配向膜 A L 2 の第

2 配向処理方向 P D 2 を向くように配向している。このような O F F 時が初期配向状態に相当し、O F F 時の液晶分子 L M の配向方向が初期配向方向に相当する。

【 0 0 4 9 】

なお、厳密には、液晶分子 L M は、X - Y 平面に平行に配向しているとは限らず、プレチルトしている場合が多い。このため、ここでの液晶分子 L M の初期配向方向とは、O F F 時の液晶分子 L M の長軸を X - Y 平面に正射影した方向である。以下では、説明を簡略にするために、液晶分子 L M は、X - Y 平面に平行に配向しているものとし、X - Y 平面と平行な面内で回転するものとして説明する。

【 0 0 5 0 】

ここでは、第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 は、ともに第 2 方向 Y と略平行な方向である。O F F 時においては、液晶分子 L M は、図 2 に破線で示したように、その長軸が第 2 方向 Y と略平行な方向に初期配向する。つまり、液晶分子 L M の初期配向方向は、第 2 方向 Y と平行（あるいは、第 2 方向 Y に対して 0° ）である。

【 0 0 5 1 】

図示した例のように、第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 が平行且つ同じ向きである場合、液晶層 L Q の断面において、液晶分子 L M は、液晶層 L Q の中間部付近で略水平（プレチルト角が略ゼロ）に配向し、ここを境界として第 1 配向膜 A L 1 の近傍及び第 2 配向膜 A L 2 の近傍において対称となるようなプレチルト角を持って配向する（スプレイ配向）。このように液晶分子 L M がスプレイ配向している状態では、基板の法線方向から傾いた方向においても第 1 配向膜 A L 1 の近傍の液晶分子 L M と第 2 配向膜 A L 2 の近傍の液晶分子 L M とにより光学的に補償される。したがって、第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 が互いに平行、且つ、同じ向きである場合には、黒表示の場合に光漏れが少なく、高コントラスト比を実現することができ、表示品位を向上することが可能となる。

【 0 0 5 2 】

なお、第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 が互いに平行且つ逆向きである場合、液晶層 L Q の断面において、液晶分子 L M は、第 1 配向膜 A L 1 の近傍、第 2 配向膜 A L 2 の近傍、及び、液晶層 L Q の中間部において略均一なプレチルト角を持って配向する（ホモジニアス配向）。

【 0 0 5 3 】

バックライト 4 からのバックライト光の一部は、第 1 偏光板 P L 1 を透過し、液晶表示パネル L P N に入射する。液晶表示パネル L P N に入射した光は、第 1 偏光板 P L 1 の第 1 偏光軸 A X 1 と直交する直線偏光である。このような直線偏光の偏光状態は、O F F 時の液晶表示パネル L P N を通過した際にほとんど変化しない。このため、液晶表示パネル L P N を透過した直線偏光は、第 1 偏光板 P L 1 に対してクロスニコルの位置関係にある第 2 偏光板 P L 2 によって吸収される（黒表示）。

【 0 0 5 4 】

一方、液晶層 L Q に電圧が印加された状態、つまり、画素電極 P E と共通電極 C E との間に電位差が形成された状態（O N 時）では、画素電極 P E と共通電極 C E との間に基板と略平行な横電界（あるいは斜め電界）が形成される。液晶分子 L M は、電界の影響を受け、その長軸が図中の実線で示したように X - Y 平面と略平行な平面内で回転する。

【 0 0 5 5 】

図 2 に示した例では、画素電極 P E と主共通電極 C A L との間の領域のうち、下側半分の領域内の液晶分子 L M は、第 2 方向 Y に対して時計回りに回転し図中の左下を向くように配向し、また、上側半分の領域内の液晶分子 L M は、第 2 方向 Y に対して反時計回りに回転し図中の左上を向くように配向する。画素電極 P E と主共通電極 C A R との間の領域のうち、下側半分の領域内の液晶分子 L M は、第 2 方向 Y に対して反時計回りに回転し図中の右下を向くように配向し、上側半分の領域内の液晶分子 L M は、第 2 方向 Y に対して時計回りに回転し図中の右上を向くように配向する。

【 0 0 5 6 】

このように、各画素 P X において、画素電極 P E と共通電極 C E との間に電界が形成された状態では、液晶分子 L M の配向方向は、画素電極 P E と重なる位置を境界として複数の方向に分かれ、それぞれの配向方向でドメインを形成する。つまり、一画素 P X には、複数のドメインが形成される。

【 0 0 5 7 】

このような O N 時には、第 1 偏光板 P L 1 の第 1 偏光軸 A X 1 と直交する直線偏光は、液晶表示パネル L P N に入射し、その偏光状態は、液晶層 L Q を通過する際に液晶分子 L M の配向状態に応じて変化する。このような O N 時には、液晶層 L Q を通過した少なくとも一部の光は、第 2 偏光板 P L 2 を透過する（白表示）。

【 0 0 5 8 】

このような本実施形態によれば、対向基板 C T は、液晶層 L Q との境界に液晶層 L Q よりも低抵抗な第 2 配向膜 A L 2 を備えている。第 2 配向膜 A L 2 の抵抗値は、液晶層 L Q の抵抗値と比較して十分に低いため、表示面となる対向基板 C T の側から侵入する外部電界の影響を受けて対向基板 C T が帯電したとしても、液晶層 L Q に外部電界が到達する前に、第 2 配向膜 A L 2 にて電荷を分散することが可能となる。つまり、第 2 配向膜 A L 2 は、外部電界をシールドする機能を有している。また、この第 2 配向膜 A L 2 は、より低抵抗な共通電極 C E にコンタクトしている。このため、第 2 配向膜 A L 2 は、共通電極 C E を介してより迅速に電荷を拡散させることが可能となる。

【 0 0 5 9 】

また、対向基板 C T の外面に第 2 光学素子 O D 2 を接着するための第 2 接着剤 A D 2 は第 2 配向膜 A L 2 と同等以下の抵抗値を有している。このため、第 2 接着剤 A D 2 は、液晶層 L Q 及び第 2 配向膜 A L 2 よりも表示面に近い位置で、電荷を分散させ、外部電界をシールドする機能を有している。

【 0 0 6 0 】

したがって、対向基板 C T の側から液晶層 L Q への外部電界の侵入を抑制することが可能となる。このため、液晶層 L Q が不所望な電界の影響を受けにくくなり、液晶層 L Q には、画素電極 P E と共通電極 C E との間に形成される所望の電界を印加することが可能となる。特に、共通電極 C E が形成されていない領域、すなわち、開口部 A P が形成された領域において、不所望な電界によって液晶分子が動作することに起因した液晶分子の配向不良を抑制することが可能となる。これにより、表示品位の劣化を抑制することが可能となる。

【 0 0 6 1 】

また、本実施形態によれば、アレイ基板 A R は、液晶層 L Q との境界に液晶層 L Q よりも低抵抗な第 1 配向膜 A L 1 を備えている。バックライト 4 と第 1 光学素子 O D 1 との間には、微小なギャップを設ける場合がある。すなわち、バックライト 4 は、第 1 光学素子 O D 1 と対向する表面に光学シートを備えている。この光学シートと第 1 光学素子 O D 1 とを密着させた場合、光学シートのゆがみなどの影響を受けて輝度にバラツキを生ずるおそれがある。一方で、バックライト 4 と第 1 光学素子 O D 1 との間に大きなギャップを設けると、液晶表示装置の全体の厚みが増し、薄型化が阻害される。このため、バックライト 4 と第 1 光学素子 O D 1 との間に微小なギャップを設けることが望ましいが、光学シートが局所的に浮き、あるいは、光学シートが局所的に第 1 光学素子 O D 1 と接触することで、アレイ基板 A R が帯電することがある。このようにアレイ基板 A R が帯電したとしても、第 1 配向膜 A L 1 の抵抗値が液晶層 L Q の抵抗値と比較して十分に低いため、液晶層 L Q に外部電界が到達する前に、第 1 配向膜 A L 1 にて電荷を分散することが可能となる。つまり、第 1 配向膜 A L 1 は、外部電界をシールドする機能を有している。

【 0 0 6 2 】

また、アレイ基板 A R の外面に第 1 光学素子 O D 1 を接着するための第 1 接着剤 A D 1 は第 1 配向膜 A L 1 と同等以下の抵抗値を有している。このため、第 1 接着剤 A D 1 は、液晶層 L Q 及び第 1 配向膜 A L 1 よりもバックライト 4 に近い位置で、電荷を分散させ、外部電界をシールドする機能を有している。したがって、アレイ基板 A R の側から液晶層

10

20

30

40

50

LQへの外部電界の侵入も抑制することが可能となる。

【0063】

第1配向膜AL1及び第2配向膜AL2は液晶表示パネルLPNにおいて液晶分子LMの配向を規制するために不可欠な構成要素であり、また、第1接着剤AD1及び第2接着剤AD2は液晶表示パネルLPNに第1光学素子OD1及び第2光学素子OD2をそれぞれ接着するために不可欠な構成要素である。このような第1配向膜AL1及び第2配向膜AL2や第1接着剤AD1及び第2接着剤AD2が低抵抗な材料によって形成され、外部電界をシールドする機能を有しているため、別個にシールド電極を設ける必要がなくなる。また、第1配向膜AL1及び第2配向膜AL2や第1接着剤AD1及び第2接着剤AD2は、パターニングが不要である。したがって、製造工程の簡素化及び製造コストの削減が可能となる。

10

【0064】

また、近年、液晶表示装置の薄型化が要求されており、基板を研磨するケースが増えている。

【0065】

このような場合、本実施形態では、アレイ基板ARの内側に電界シールド機能を有する第1配向膜AL1を設け、また、対向基板CTの内側に電界シールド機能を有する第2配向膜AL2を設ける構成を採用したことにより、基板を研磨する前後の製造過程を通してアレイ基板AR及び対向基板CTの不所望な帯電を抑制することが可能となる。また、本実施形態では、基板外面にシールド電極を設ける場合と比較してシールド電極を形成する工程を省けるため、製造工程の簡素化及び製造コストの削減が可能となる。

20

【0066】

また、液晶表示装置において、液晶層LQに含まれる不純物イオン（あるいは電荷）がアレイ基板ARの表面及び対向基板CTの表面に引き寄せられ、第1配向膜AL1の表面や第2配向膜AL2の表面に堆積し、局在化した状態ではいわゆる焼き付きが発生しやすいといった課題がある。このような焼き付き改善のためには、第1配向膜AL1及び第2配向膜AL2に堆積した不純物イオンをすばやく液晶層LQに分散させ、電荷が局在化した状態を緩和することが重要である。本実施形態によれば、第1配向膜AL1及び第2配向膜AL2の体積抵抗値が十分に低いため、電荷が局在化した状態をすばやく緩和することができ、焼き付きを改善することが可能となる。

30

【0067】

また、本実施形態によれば、画素電極と共通電極との間の電極間隙において高い透過率を得ることが可能となる。このため、主画素電極と主共通電極との間の電極間距離を拡大することで、一画素あたりの透過率を十分に高くすることが可能となる。また、画素ピッチが異なる製品仕様に対しては、主画素電極と主共通電極との電極間距離を変更することで、透過率分布のピーク条件を利用することが可能となる。つまり、本実施形態の表示モードにおいては、比較的画素ピッチが大きな低解像度の製品仕様から比較的画素ピッチが小さい高解像度の製品仕様まで、微細な電極加工を必ずしも必要とせず、電極間距離の設定により種々の画素ピッチの製品を提供することが可能となる。したがって、高透過率且つ高解像度の要求を容易に実現することが可能となる。

40

【0068】

また、本実施形態によれば、ブラックマトリクスBMと重なる領域では、透過率が十分に低下する。これは、ソース配線の直上に位置する共通電極CEの位置よりも当該画素の外側に電界の漏れが発生せず、また、ブラックマトリクスBMを挟んで隣接する画素間で不所望な横電界が生じないため、ブラックマトリクスBMと重なる領域の液晶分子がOFF時（あるいは黒表示時）と同様に初期配向状態を保っているためである。したがって、隣接する画素間でカラーフィルタの色が異なる場合であっても、混色の発生を抑制することが可能となり、色再現性の低下やコントラスト比の低下を抑制することが可能となる。

【0069】

また、アレイ基板ARと対向基板CTとの合わせずれが生じた際に、画素電極PEを挟

50

んだ両側の共通電極 C E との第 1 方向 X に沿った水平電極間距離に差が生じることがある。しかしながら、このような合わせずれば、全ての画素 P X に共通に生じるため、画素 P X 間での電界分布に相違はなく、画像の表示に及ぼす影響はきわめて小さい。また、例えばアレイ基板 A R と対向基板 C T との間で合わせズレが生じたとしても、隣接する画素への不所望な電界の漏れを抑制することが可能となる。このため、隣接する画素間でカラーフィルタの色が異なる場合であっても、混色の発生を抑制することが可能となり、色再現性の低下やコントラスト比の低下を抑制することが可能となる。

【 0 0 7 0 】

また、本実施形態によれば、主共通電極 C A は、それぞれソース配線 S と対向している。このため、主共通電極 C A がソース配線 S よりも画素電極 P E 側に配置された場合と比較して、開口部 A P を拡大することができ、画素 P X の透過率を向上することが可能となる。また、主共通電極 C A をソース配線 S の直上に配置することによって、画素電極 P E と主共通電極 C A との間の水平電極間距離を拡大することが可能となり、より水平に近い横電界を形成することが可能となる。このため、従来の構成である I P S モード等の利点である広視野角化も維持することが可能となる。

【 0 0 7 1 】

また、本実施形態によれば、一画素内に複数のドメインを形成することが可能となる。このため、複数の方向で視野角を光学的に補償することができ、広視野角化が可能となる。

【 0 0 7 2 】

なお、上記の例では、液晶分子 L M の初期配向方向が第 2 方向 Y と平行である場合について説明したが、液晶分子 L M の初期配向方向 D は、第 2 方向 Y を斜めに交差する斜め方向であっても良い。

【 0 0 7 3 】

また、上記の例では、液晶層 L Q が正（ポジ型）の誘電率異方性を有する液晶材料によって構成された場合について説明したが、液晶層 L Q は、誘電率異方性が負（ネガ型）の液晶材料によって構成されていても良い。液晶層 L Q の誘電率異方性が正または負のいずれにおいても、液晶層 L Q の体積抵抗値は上記の値と同程度であり、このような液晶層 L Q に接する第 1 配向膜 A L 1 及び第 2 配向膜 A L 2 としては、上記と同程度の体積抵抗値を有するものが適用される。

【 0 0 7 4 】

なお、O N 時においても、画素電極 P E 上あるいは共通電極 C E 上では、横電界がほとんど形成されない（あるいは、液晶分子 L M を駆動するのに十分な電界が形成されない）ため、液晶分子 L M は、O F F 時と同様に初期配向方向からほとんど動かない。このため、画素電極 P E 及び共通電極 C E が I T O などの光透過性の導電材料によって形成されていても、これらの領域ではバックライト光がほとんど透過せず、O N 時において表示にほとんど寄与しない。したがって、画素電極 P E 及び共通電極 C E は、必ずしも透明な導電材料によって形成される必要はなく、不透明な配線材料を用いて形成しても良い。

【 0 0 7 5 】

本実施形態において、画素 P X の構造は、図 2 に示した例に限定されるものではない。以下に、本実施形態のバリエーションについて説明する。

【 0 0 7 6 】

例えば、図 4 に示すように、対向基板 C T は、さらに、共通電極 C E を構成する副共通電極 C B を備えていても良い。すなわち、共通電極 C E は、主共通電極 C A と一体的あるいは連続的に形成され、ゲート配線 G の上方に位置し、第 1 方向 X に沿って延出した帯状の副共通電極 C B を備えている。図示した例では、対向基板 C T は、画素 P X の上側端部に配置された副共通電極 C B U 及び画素 P X の下側端部に配置された副共通電極 C B B を備えている。副共通電極 C B U はゲート配線 G 1 の上方に位置し、副共通電極 C B B はゲート配線 G 2 の上方に位置している。これらの主共通電極 C A 及び副共通電極 C B を含む共通電極 C E は、第 2 配向膜 A L 2 によって覆われており、つまり、第 2 配向膜 A L 2 と

コンタクトしている。このような主共通電極 C A 及び副共通電極 C B を有する共通電極 C E は、対向基板 C T において、格子状に形成されている。

【 0 0 7 7 】

この共通電極 C E を備えた対向基板 C T を適用する場合、画素電極 P E は、X - Y 平面内において、格子状の共通電極 C E によって囲まれた内側に位置する。

【 0 0 7 8 】

このような構造例においても、上記の例と同様の効果が得られるのに加えて、第 2 配向膜 A L 2 は、格子状の共通電極 C E とコンタクトしているため、より迅速に電荷を分散させることが可能となる。

【 0 0 7 9 】

10

また、図 5 に示すように、アレイ基板 A R は、さらに、第 1 シールド電極 S E 1 及び第 2 シールド電極 S E 2 を備えていても良い。第 1 シールド電極 S E 1 は、共通電極 C E と同電位であり、第 1 方向 X に沿って延出し、ゲート配線 G の各々と対向するように形成されている。この第 1 シールド電極 S E 1 は、第 1 配向膜 A L 1 によって覆われており、つまり、第 1 配向膜 A L 1 とコンタクトしている。このような第 1 シールド電極 S E 1 を設けることにより、ゲート配線 G からの不所望な電界をシールドすることが可能である。このため、更なる表示品位の劣化を抑制することが可能となる。

【 0 0 8 0 】

第 2 シールド電極 S E 2 は、共通電極 C E と同電位であり、第 2 方向 Y に沿って延出し、ソース配線 S の各々と対向するように形成されている。この第 2 シールド電極 S E 2 は、第 1 配向膜 A L 1 によって覆われており、つまり、第 1 配向膜 A L 1 とコンタクトしている。このような第 2 シールド電極 S E 2 を設けることにより、ソース配線 S からの不所望な電界をシールドすることが可能である。このため、更なる表示品位の劣化を抑制することが可能となる。

20

【 0 0 8 1 】

図示した例のように、第 1 シールド電極 S E 1 と第 2 シールド電極 S E 2 とを組み合わせた場合、第 1 シールド電極 S E 1 は第 2 シールド電極 S E 2 と一体的あるいは連続的に形成され、両者が格子状をなす。このとき、画素電極 P E は、第 1 シールド電極 S E 1 及び第 2 シールド電極 S E 2 によって囲まれた内側に位置する。但し、画素電極 P E は、第 1 シールド電極 S E 1 及び第 2 シールド電極 S E 2 から離間し、電氣的に絶縁されている。

30

【 0 0 8 2 】

このような構造例においても、上記の例と同様の効果が得られるのに加えて、第 1 配向膜 A L 1 は、格子状の第 1 シールド電極 S E 1 及び第 2 シールド電極 S E 2 とコンタクトしているため、より迅速に電荷を分散させることが可能となる。

【 0 0 8 3 】

以上説明したように、本実施形態によれば、表示品位の劣化を抑制することが可能な液晶表示装置を提供することが可能となる。

【 0 0 8 4 】

なお、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これらの新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これらの実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

40

【符号の説明】

【 0 0 8 5 】

L P N ... 液晶表示パネル

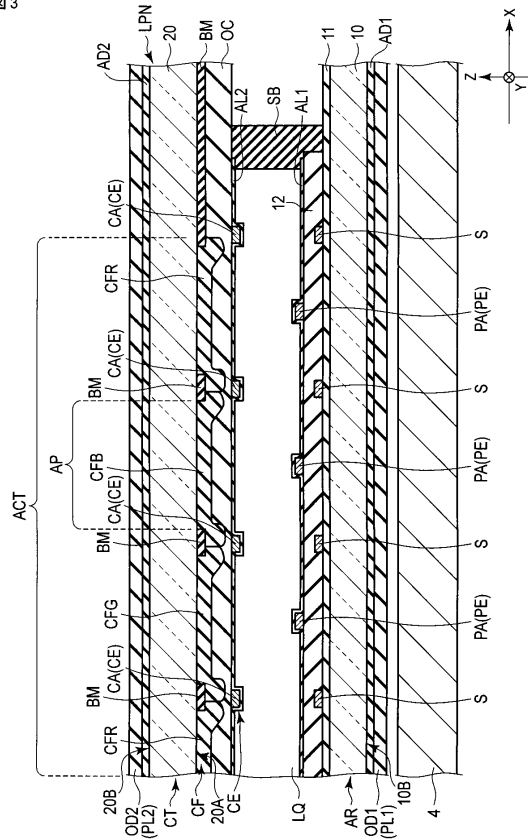
A R ... アレイ基板 C T ... 対向基板 L Q ... 液晶層

P E ... 画素電極 P A ... 主画素電極 P B ... 副画素電極

50

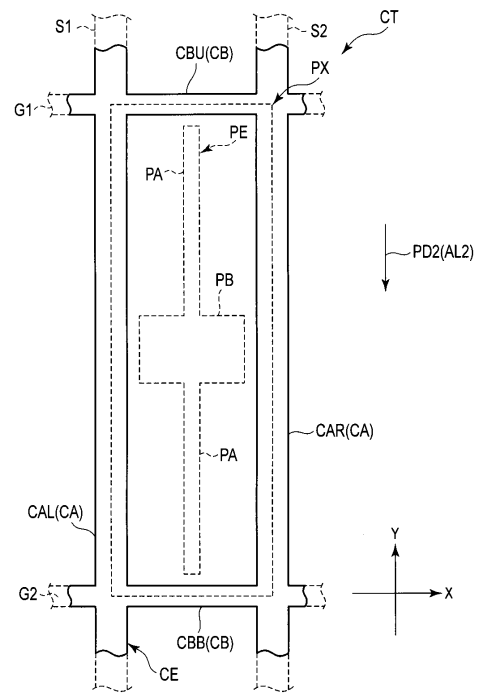
【図 3】

図 3



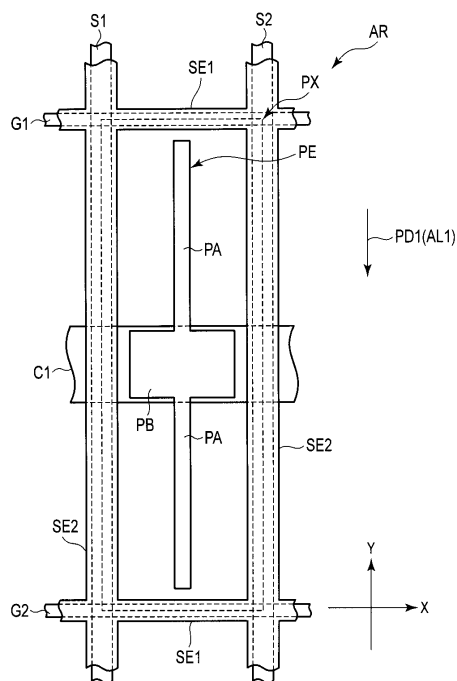
【図 4】

図 4



【図 5】

図 5



フロントページの続き

- (74)代理人 100075672
弁理士 峰 隆司
- (74)代理人 100095441
弁理士 白根 俊郎
- (74)代理人 100084618
弁理士 村松 貞男
- (74)代理人 100103034
弁理士 野河 信久
- (74)代理人 100119976
弁理士 幸長 保次郎
- (74)代理人 100153051
弁理士 河野 直樹
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100158805
弁理士 井関 守三
- (74)代理人 100172580
弁理士 赤穂 隆雄
- (74)代理人 100179062
弁理士 井上 正
- (74)代理人 100124394
弁理士 佐藤 立志
- (74)代理人 100112807
弁理士 岡田 貴志
- (74)代理人 100111073
弁理士 堀内 美保子
- (74)代理人 100134290
弁理士 竹内 将訓
- (72)発明者 長谷川 ひとみ
埼玉県深谷市幡羅町一丁目9番地2 株式会社ジャパンディスプレイセントラル内
- (72)発明者 森本 浩和
埼玉県深谷市幡羅町一丁目9番地2 株式会社ジャパンディスプレイセントラル内

審査官 佐藤 洋允

- (56)参考文献 特開2011-053720(JP,A)
特開2003-005187(JP,A)
特開平09-230380(JP,A)
特開2011-173984(JP,A)
特開2009-109657(JP,A)
特開2000-089240(JP,A)
特開2009-276588(JP,A)
特開2000-081641(JP,A)

- (58)調査した分野(Int.Cl., DB名)
G02F1/135-1/1368
G02F1/1343-1/1345
G02F1/1337

专利名称(译)	液晶表示装置		
公开(公告)号	JP6039914B2	公开(公告)日	2016-12-07
申请号	JP2012087879	申请日	2012-04-06
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
当前申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	長谷川ひとみ 森本浩和		
发明人	長谷川 ひとみ 森本 浩和		
IPC分类号	G02F1/1368 G02F1/1337 G02F1/1335 G02F1/1333		
CPC分类号	G02F1/134336 G02F1/133707 G02F1/133753 G02F2001/133757 G02F2001/134318 G02F2202/00		
FI分类号	G02F1/1368 G02F1/1337 G02F1/1335.510 G02F1/1333 G02F1/1343		
F-TERM分类号	2H092/GA14 2H092/GA26 2H092/GA64 2H092/HA04 2H092/JA25 2H092/JA26 2H092/JB05 2H092/JB13 2H092/JB69 2H092/KA05 2H092/NA01 2H092/NA27 2H092/PA02 2H092/PA08 2H092/PA09 2H092/PA11 2H191/FA02Y 2H191/FA14Y 2H191/FA22X 2H191/FA22Z 2H191/FA95X 2H191/FA95Z 2H191/FD09 2H191/FD10 2H191/GA08 2H191/HA15 2H191/KA10 2H191/LA07 2H191/LA21 2H192/AA24 2H192/BA13 2H192/BA16 2H192/BA32 2H192/DA12 2H192/EA22 2H192/EA32 2H192/EA43 2H192/GA03 2H192/GA06 2H192/GD02 2H192/GD12 2H192/GD42 2H192/GD81 2H192/JA03 2H290/AA04 2H290/AA05 2H290/BA07 2H290/BB15 2H290/BB85 2H290/BC01 2H290/BD11 2H290/BF13 2H290/BF23 2H290/CA42 2H290/CA46 2H290/CA48 2H291/FA02Y 2H291/FA14Y 2H291/FA22X 2H291/FA22Z 2H291/FA95X 2H291/FA95Z 2H291/FD09 2H291/FD10 2H291/GA08 2H291/HA15 2H291/KA10 2H291/LA07 2H291/LA21		
代理人(译)	河野 哲 中村诚 河野直树 井上 正 冈田隆		
其他公开文献	JP2013218080A		
外部链接	Espacenet		

摘要(译)

在一个实施例中，第一基板包括栅极线，源极线，与栅极线和源极线电连接的开关元件，以及包括与开关元件电连接的子像素电极的像素电极，其形状为带子和与子像素电极电连接的主像素电极。第一取向膜覆盖像素电极。第二基板包括公共电极，该公共电极具有布置在夹着主像素电极的两侧上的一对主公共电极。第二取向膜覆盖公共电极。包括液晶分子的液晶层保持在第一基板和第二基板之间。第一和第二取向膜的体积电阻率值低于液晶层的体积电阻率值。

(51) Int. Cl.			F 1		
G O 2 F	1/1368	(2006. 01)	G O 2 F	1/1368	
G O 2 F	1/1337	(2006. 01)	G O 2 F	1/1337	
G O 2 F	1/1335	(2006. 01)	G O 2 F	1/1335	5 1 O
G O 2 F	1/1333	(2006. 01)	G O 2 F	1/1333	

請求項の数 5 (全 16 頁)

(21) 出願番号	特願2012-87879 (P2012-87879)	(73) 特許権者	502356528
(22) 出願日	平成24年4月6日 (2012. 4. 6)		株式会社ジャパンディスプレイ
(65) 公開番号	特開2013-218080 (P2013-218080A)		東京都港区西新橋三丁目7番1号
(43) 公開日	平成25年10月24日 (2013. 10. 24)	(74) 代理人	110001737
審査請求日	平成27年1月14日 (2015. 1. 14)		特許業務法人スズエ国際特許事務所
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100159651
			弁理士 高倉 成男
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 福原 淑弘
			最終頁に続く