

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5824301号
(P5824301)

(45) 発行日 平成27年11月25日 (2015.11.25)

(24) 登録日 平成27年10月16日 (2015.10.16)

(51) Int.Cl.

F I

G O 2 F 1/1343 (2006.01)

G O 2 F 1/1343

請求項の数 11 (全 20 頁)

(21) 出願番号	特願2011-194083 (P2011-194083)	(73) 特許権者	502356528
(22) 出願日	平成23年9月6日 (2011.9.6)		株式会社ジャパンディスプレイ
(65) 公開番号	特開2013-54300 (P2013-54300A)		東京都港区西新橋三丁目7番1号
(43) 公開日	平成25年3月21日 (2013.3.21)	(74) 代理人	110001737
審査請求日	平成26年7月16日 (2014.7.16)		特許業務法人スズエ国際特許事務所
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100159651
			弁理士 高倉 成男
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 福原 淑弘

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

第1方向に沿ってそれぞれ延出するとともに第1方向に交差する第2方向に沿って第1ピッチで配置された第1ゲート配線及び第2ゲート配線と、前記第1ゲート配線と前記第2ゲート配線との間で第1方向に沿って延出した補助容量線と、第2方向に沿ってそれぞれ延出するとともに第1方向に沿って第1ピッチよりも大きな第2ピッチで配置された第1ソース配線及び第2ソース配線と、前記第1ゲート配線及び前記第1ソース配線と電氣的に接続された第1スイッチング素子と、前記第2ゲート配線及び前記第1ソース配線と電氣的に接続された第2スイッチング素子と、前記第1ゲート配線及び前記第2ゲート配線と前記第1ソース配線及び前記第2ソース配線とで囲まれた内側に位置し前記第2スイッチング素子において第2方向に延出したドレイン電極と電氣的に接続された画素電極であってそれぞれ第1方向に沿って延出した2本以上の主画素電極を備え少なくとも1本の前記主画素電極が前記補助容量線の上方に位置する画素電極と、を備えた第1基板と、

少なくとも前記第1ゲート配線の上方、前記第2ゲート配線の上方、及び前記主画素電極間にそれぞれ位置する共通電極を備えた第2基板と、

前記第1基板と前記第2基板との間に保持された液晶分子を含む液晶層と、
を備え、

前記補助容量線は、前記第1スイッチング素子と前記第2スイッチング素子との間で第2方向に拡張された拡張部を有し、

前記画素電極は、前記第1スイッチング素子と前記ドレイン電極との間において前記拡

10

20

張部と対向することを特徴とする液晶表示装置。

【請求項 2】

前記第 1 基板は、さらに、前記第 1 及び第 2 ゲート配線と対向し前記共通電極と同電位のゲートシールド電極を備えたことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記第 1 基板は、さらに、前記第 1 及び第 2 ソース配線と対向し前記共通電極と同電位のソースシールド電極を備えたことを特徴とする請求項 1 または 2 に記載の液晶表示装置。

【請求項 4】

前記画素電極と前記共通電極との間に電界が形成されていない状態で、前記液晶層の液晶分子の初期配向方向は、前記主画素電極の延出方向と略平行であることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の液晶表示装置。

【請求項 5】

前記液晶分子は、前記画素電極と前記共通電極との間に電界が形成されていない状態で、前記第 1 基板と前記第 2 基板との間においてスプレイ配向またはホモジニアス配向していることを特徴とする請求項 4 に記載の液晶表示装置。

【請求項 6】

さらに、前記第 1 基板の外面に配置された第 1 偏光板及び第 2 基板の外面に配置された第 2 偏光板を備え、前記第 1 偏光板の第 1 偏光軸と前記第 2 偏光板の第 2 偏光軸とが直交し、前記第 1 偏光板の第 1 偏光軸が前記液晶層の液晶分子の初期配向方向と直交する或いは平行であることを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の液晶表示装置。

【請求項 7】

前記共通電極は、前記第 1 ゲート配線の上方、前記第 2 ゲート配線の上方、及び、前記主画素電極間にそれぞれ位置し第 1 方向に沿ってそれぞれ延出した主共通電極と、前記第 1 ソース配線の上方及び前記第 2 ソース配線の上方にそれぞれ位置し第 2 方向に沿ってそれぞれ延出した副共通電極とを備えた、請求項 1 乃至 6 のいずれか 1 項に記載の液晶表示装置。

【請求項 8】

前記補助容量線の上方に位置する前記主画素電極は、前記補助容量線よりも幅広に形成された、請求項 1 乃至 7 のいずれか 1 項に記載の液晶表示装置。

【請求項 9】

前記第 1 スイッチング素子、前記第 2 スイッチング素子、及び、前記補助容量線の拡張部は、前記第 2 ソース配線の側よりも前記第 1 ソース配線の側に偏在している、請求項 1 乃至 8 のいずれか 1 項に記載の液晶表示装置。

【請求項 10】

前記補助容量線は、前記第 2 ゲート配線の側よりも前記第 1 ゲート配線の側に偏在している、請求項 1 乃至 9 のいずれか 1 項に記載の液晶表示装置。

【請求項 11】

前記第 1 基板は、さらに、
前記第 2 ゲート配線の一部であるゲート電極と、
前記ゲート電極及び前記補助容量線を覆う第 1 絶縁膜と、
前記第 1 絶縁膜上に形成された半導体層と、
前記第 1 絶縁膜上に形成され前記半導体層にコンタクトした前記第 1 ソース配線の一部であるソース電極と、

前記第 1 絶縁膜上に形成され前記半導体層にコンタクトした前記ドレイン電極と、
前記半導体層、前記ソース電極、及び、前記ドレイン電極と、前記画素電極との間に介在する第 2 絶縁膜と、を備え、

前記画素電極は、前記第 2 絶縁膜に形成されたコンタクトホールを介して前記ドレイン電極と電氣的に接続された、請求項 1 乃至 10 のいずれか 1 項に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、液晶表示装置に関する。

【背景技術】

【0002】

近年、平面表示装置が盛んに開発されており、中でも液晶表示装置は、軽量、薄型、低消費電力等の利点から特に注目を集めている。特に、各画素にスイッチング素子を組み込んだアクティブマトリクス型液晶表示装置においては、IPS(In-Plane Switching)モードやFFS(Fringe Field Switching)モードなどの横電界(フリンジ電界も含む)を利用した構造が注目されている。このような横電界モードの液晶表示装置は、アレイ基板に形成された画素電極と対向電極とを備え、アレイ基板の主面に対してほぼ平行な横電界で液晶分子をスイッチングする。

10

【0003】

一方で、アレイ基板に形成された画素電極と、対向基板に形成された対向電極との間に、横電界あるいは斜め電界を形成し、液晶分子をスイッチングする技術も提案されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2009-42630号公報

20

【特許文献2】特開2009-192822号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本実施形態の目的は、コストの削減が可能であるとともに、表示品位の劣化を抑制することが可能な液晶表示装置を提供することにある。

【課題を解決するための手段】

【0006】

本実施形態によれば、

第1方向に沿って延出したゲート配線と、第1方向に交差する第2方向に沿って延出したソース配線と、第1方向に沿った長さが第2方向に沿った長さよりも長い画素に配置され第1方向に沿って延出した主画素電極を備えた画素電極と、を備えた第1基板と、前記主画素電極を挟んだ両側で第1方向に沿ってそれぞれ延出した主共通電極を備えた共通電極を備えた第2基板と、前記第1基板と前記第2基板との間に保持された液晶分子を含む液晶層と、を備えたことを特徴とする液晶表示装置が提供される。

30

【0007】

本実施形態によれば、

第1方向に沿ってそれぞれ延出した第1ゲート配線及び第2ゲート配線と、前記第1ゲート配線と前記第2ゲート配線との間で第1方向に沿って延出した補助容量線と、第1方向に交差する第2方向に沿って延出したソース配線と、前記第1ゲート配線と前記第2ゲート配線との間でそれぞれ第1方向に沿って延出した2本以上の主画素電極を備え少なくとも1本の前記主画素電極が前記補助容量線の上方に位置する画素電極と、を備えた第1基板と、前記主画素電極を挟んだ両側で第1方向に沿ってそれぞれ延出した主共通電極を備えた共通電極を備えた第2基板と、前記第1基板と前記第2基板との間に保持された液晶分子を含む液晶層と、を備えたことを特徴とする液晶表示装置が提供される。

40

【0008】

本実施形態によれば、

第1方向に沿ってそれぞれ延出するとともに第1方向に交差する第2方向に沿って第1ピッチで配置された第1ゲート配線及び第2ゲート配線と、前記第1ゲート配線と前記第2ゲート配線との間で第1方向に沿って延出した補助容量線と、第2方向に沿ってそれぞ

50

れ延出するとともに第1方向に沿って第1ピッチよりも大きな第2ピッチで配置された第1ソース配線及び第2ソース配線と、前記第1ゲート配線及び前記第2ゲート配線と前記第1ソース配線及び前記第2ソース配線とで囲まれた内側に位置するとともにそれぞれ第1方向に沿って延出した2本以上の主画素電極を備え少なくとも1本の前記主画素電極が前記補助容量線の上方に位置する画素電極と、を備えた第1基板と、前記第1ゲート配線の上方、前記第2ゲート配線の上方、及び、前記主画素電極間にそれぞれ位置し第1方向に沿ってそれぞれ延出した主共通電極と、前記第1ソース配線の上方及び前記第2ソース配線の上方にそれぞれ位置し第2方向に沿ってそれぞれ延出した副共通電極とを備えた共通電極を備えた第2基板と、前記第1基板と前記第2基板との間に保持された液晶分子を含む液晶層と、を備えたことを特徴とする液晶表示装置が提供される。

10

【図面の簡単な説明】

【0009】

【図1】図1は、本実施形態における液晶表示装置の構成及び等価回路を概略的に示す図である。

【図2】図2は、図1に示したアレイ基板を対向基板側から見たときの一画素の構造例を概略的に示す平面図である。

【図3】図3は、図1に示した対向基板における一画素の構造例を概略的に示す平面図である。

【図4】図4は、図2のA - B線で切断したアレイ基板の断面構造を概略的に示す断面図である。

20

【図5】図5は、図3のC - D線で切断した液晶表示パネルの断面構造を概略的に示す断面図である。

【図6】図6は、図1に示したアレイ基板を対向基板側から見たときの一画素の他の構造例を概略的に示す平面図である。

【図7】図7は、図1に示したアレイ基板を対向基板側から見たときの一画素の他の構造例を概略的に示す平面図である。

【図8】図8は、図1に示したアレイ基板を対向基板側から見たときの一画素の他の構造例を概略的に示す平面図である。

【発明を実施するための形態】

【0010】

30

以下、本実施形態について、図面を参照しながら詳細に説明する。なお、各図において、同一又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する説明は省略する。

【0011】

図1は、本実施形態における液晶表示装置の構成及び等価回路を概略的に示す図である。

【0012】

すなわち、液晶表示装置は、アクティブマトリクスタイプの液晶表示パネルLPNを備えている。液晶表示パネルLPNは、第1基板であるアレイ基板ARと、アレイ基板ARに対向して配置された第2基板である対向基板CTと、これらのアレイ基板ARと対向基板CTとの間に保持された液晶層LQと、を備えている。このような液晶表示パネルLPNは、画像を表示するアクティブエリアACTを備えている。このアクティブエリアACTは、 $m \times n$ 個のマトリクス状に配置された複数の画素PXによって構成されている（但し、 m 及び n は正の整数である）。

40

【0013】

液晶表示パネルLPNは、アクティブエリアACTにおいて、 n 本のゲート配線G（ $G_1 \sim G_n$ ）、 n 本の補助容量線C（ $C_1 \sim C_n$ ）、 m 本のソース配線S（ $S_1 \sim S_m$ ）などを備えている。ゲート配線G及び補助容量線Cは、例えば、第1方向Xに沿って略直線的に延出した信号配線に相当する。これらのゲート配線G及び補助容量線Cは、第1方向Xに交差する第2方向Yに沿って間隔をおいて隣接し、交互に並列配置されている。ここ

50

では、第1方向Xと第2方向Yとは互いに略直交している。ソース配線Sは、ゲート配線G及び補助容量線Cと交差している。ソース配線Sは、第2方向Yに沿って略直線的に延出した信号配線に相当する。なお、ゲート配線G、補助容量線C、及び、ソース配線Sは、必ずしも直線的に延出していなくても良く、それらの一部が屈曲していてもよい。

【0014】

各ゲート配線Gは、アクティブエリアACTの外側に引き出され、ゲートドライバGDに接続されている。各ソース配線Sは、アクティブエリアACTの外側に引き出され、ソースドライバSDに接続されている。これらのゲートドライバGD及びソースドライバSDの少なくとも一部は、例えば、アレイ基板ARに形成され、コントローラを内蔵した駆動ICチップ2と接続されている。

10

【0015】

各画素PXは、スイッチング素子SW、画素電極PE、共通電極CEなどを備えている。保持容量Csは、例えば補助容量線Cと画素電極PEとの間に形成される。補助容量線Cは、補助容量電圧が印加される電圧印加部VCSと電氣的に接続されている。

【0016】

なお、本実施形態においては、液晶表示パネルLPNは、画素電極PEがアレイ基板ARに形成される一方で共通電極CEの少なくとも一部が対向基板CTに形成された構成であり、これらの画素電極PEと共通電極CEとの間に形成される電界を主に利用して液晶層LQの液晶分子をスイッチングする。画素電極PEと共通電極CEとの間に形成される電界は、第1方向Xと第2方向Yとで規定されるX-Y平面あるいは基板主面に対してわずかに傾いた斜め電界（あるいは、基板主面にほぼ平行な横電界）である。

20

【0017】

スイッチング素子SWは、例えば、nチャネル薄膜トランジスタ(TFT)によって構成されている。このスイッチング素子SWは、ゲート配線G及びソース配線Sと電氣的に接続されている。このようなスイッチング素子SWは、トップゲート型あるいはボトムゲート型のいずれであっても良い。また、スイッチング素子SWの半導体層は、例えば、アモルファスシリコンによって形成されているが、ポリシリコンによって形成されていても良い。

【0018】

画素電極PEは、各画素PXに配置され、スイッチング素子SWに電氣的に接続されている。共通電極CEは、液晶層LQを介して複数の画素PXの画素電極PEに対して共通に配置されている。このような画素電極PE及び共通電極CEは、例えば、インジウム・ティン・オキサイド(ITO)やインジウム・ジंक・オキサイド(IZO)などの光透過性を有する導電材料によって形成されているが、アルミニウムなどの他の金属材料によって形成されても良い。

30

【0019】

アレイ基板ARは、共通電極CEに電圧を印加するための給電部VSを備えている。この給電部VSは、例えば、アクティブエリアACTの外側に形成されている。対向基板CTの共通電極CEは、アクティブエリアACTの外側に引き出され、図示しない導電部材を介して、給電部VSと電氣的に接続されている。

40

【0020】

図2は、図1に示したアレイ基板ARを対向基板側から見たときの一画素PXの構造例を概略的に示す平面図である。ここでは、X-Y平面における平面図を示している。

【0021】

アレイ基板ARは、ゲート配線G1、ゲート配線G2、補助容量線C1、ソース配線S1、ソース配線S2、スイッチング素子SW、画素電極PE、第1配向膜AL1などを備えている。

【0022】

図示した例では、画素PXは、破線で示したように、第1方向Xに沿った長さが第2方向Yに沿った長さよりも長い横長の長方形状である。ゲート配線G1及びゲート配線G2

50

は、第2方向Yに沿って第1ピッチで配置され、それぞれ第1方向Xに沿って延出している。補助容量線C1は、ゲート配線G1とゲート配線G2との間に位置し、第1方向Xに沿って延出している。ソース配線S1及びソース配線S2は、第1方向Xに沿って第2ピッチで配置され、それぞれ第2方向Yに沿って延出している。

【0023】

図示した画素PXにおいて、ソース配線S1は左側端部に配置され、ソース配線S2は右側端部に配置されている。厳密には、ソース配線S1は当該画素PXとその左側に隣接する画素との境界に跨って配置され、ソース配線S2は当該画素PXとその右側に隣接する画素との境界に跨って配置されている。つまり、画素PXの第1方向Xに沿った長さは、ソース配線間の第2ピッチに相当する。

10

【0024】

また、画素PXにおいて、ゲート配線G1は上側端部に配置され、ゲート配線G2は下側端部に配置されている。厳密には、ゲート配線G1は当該画素PXとその上側に隣接する画素との境界に跨って配置され、ゲート配線G2は当該画素PXとその下側に隣接する画素との境界に跨って配置されている。つまり、画素PXの第2方向Yに沿った長さは、ゲート配線間の第1ピッチに相当する。第1ピッチは、第2ピッチよりも小さい。

【0025】

また、図示した画素PXにおいては、補助容量線C1は、ゲート配線G2の側よりもゲート配線G1の側に偏在している。つまり、補助容量線C1とゲート配線G1との第2方向Yに沿った間隔は、補助容量線C1とゲート配線G2との第2方向Yに沿った間隔よりも小さい。

20

【0026】

スイッチング素子SWは、図示した例では、ゲート配線G2及びソース配線S1に電氣的に接続されている。このスイッチング素子SWは、ゲート配線G2とソース配線S1の交点付近、特に、補助容量線C1とゲート配線G2との間の領域に設けられている。このようなスイッチング素子SWは、ゲート配線G2と一体的に形成されたゲート電極WG、ゲート電極WGの直上に形成されたアモルファスシリコンからなる半導体層SC、ソース配線S1と一体的に形成され半導体層SCにコンタクトしたソース電極WS、及び、半導体層SCにコンタクトしたドレイン電極WDを備えている。

【0027】

30

画素電極PEは、隣接するソース配線S1とソース配線S2との間に位置するとともに、ゲート配線G1とゲート配線G2との間に位置している。つまり、画素電極PEは、ソース配線S1及びソース配線S2と、ゲート配線G1及びゲート配線G2とで囲まれた内側に位置している。このような画素電極PEは、コンタクトホールCH1及びコンタクトホールCH2を介してスイッチング素子SWのドレイン電極WDと電氣的に接続されている。

【0028】

画素電極PEは、互いに電氣的に接続された2本以上の主画素電極PAを備えている。図示した例では、画素電極PEは、画素PXの左側端部付近でスイッチング素子SWと電氣的に接続される一方で、2本の主画素電極PA1及び主画素電極PA2を備えている。これらの主画素電極PA1及び主画素電極PA2のそれぞれは、画素PXの右側端部に向かって（つまり、ソース配線S2に向かって）第1方向Xに沿って直線的に延出している。このような主画素電極PA1及び主画素電極PA2のそれぞれは、第2方向Yに沿って略同一の幅を有する帯状に形成されている。

40

【0029】

このような画素電極PEの主画素電極PAのうち、少なくとも一本の主画素電極PAが補助容量線C1の上方に位置している。図示した例では、主画素電極PA1が補助容量線C1の上方に位置している。すなわち、このような画素電極PEにおいては、ドレイン電極WDと接続されるコンタクトホールCH1及びコンタクトホールCH2付近、及び、主画素電極PA1において、補助容量線C1と対向し、画素PXでの画像表示に必要な容量

50

を形成している。

【 0 0 3 0 】

なお、アレイ基板 A R は、さらに、共通電極 C E の一部を備えていても良い。

【 0 0 3 1 】

このようなアレイ基板 A R においては、画素電極 P E は、第 1 配向膜 A L 1 によって覆われている。この第 1 配向膜 A L 1 には、液晶層 L Q の液晶分子を初期配向させるために、第 1 配向処理方向 P D 1 に沿って配向処理（例えば、ラビング処理や光配向処理）がなされている。第 1 配向膜 A L 1 が液晶分子を初期配向させる第 1 配向処理方向 P D 1 は、主画素電極 P A の延出方向である第 1 方向 X と略平行である。

【 0 0 3 2 】

ここで、寸法の一例について述べると、ゲート配線 G のピッチつまりゲート配線 G 1 とゲート配線 G 2 との第 2 方向 Y に沿った間隔は $50\ \mu\text{m} \sim 60\ \mu\text{m}$ であり、ソース配線 S のピッチつまりソース配線 S 1 とソース配線 S 2 との第 1 方向 X に沿った間隔は $150\ \mu\text{m} \sim 180\ \mu\text{m}$ であり、ゲート配線 G 及び補助容量線 C の第 2 方向 Y に沿った幅が $5\ \mu\text{m}$ であり、主画素電極 P A の第 2 方向 Y に沿った幅が $5\ \mu\text{m}$ であり、ソース配線 S の第 1 方向 X に沿った幅が $3\ \mu\text{m}$ である。なお、ゲート配線 G 及び補助容量線 C は同一層に形成されており、電氣的に絶縁する必要があるため、両者の間に例えば $10\ \mu\text{m}$ のマージンを確保している。

【 0 0 3 3 】

図 3 は、図 1 に示した対向基板 C T における一画素 P X の構造例を概略的に示す平面図である。ここでは、X - Y 平面における平面図を示している。なお、ここでは、説明に必要な構成のみを図示し、また、アレイ基板に備えられた画素電極 P E 、ソース配線 S 、ゲート配線 G などを破線で示している。

【 0 0 3 4 】

共通電極 C E は、対向基板 C T に主共通電極 C A を備えている。図示した例では、共通電極 C E は、さらに、対向基板 C T に副共通電極 C B を備えている。これらの主共通電極 C A 及び副共通電極 C B は、互いに電氣的に接続されている。但し、副共通電極 C B は省略しても良い。

【 0 0 3 5 】

主共通電極 C A は、X - Y 平面内において、主画素電極 P A 1 及び主画素電極 P A 2 のそれぞれを挟んだ両側で主画素電極 P A の延出方向と略平行な第 1 方向 X に沿って直線的に延出している。あるいは、主共通電極 C A は、ゲート配線 G の上方、及び、主画素電極 P A 間にそれぞれ 1 本ずつ配置されるとともに主画素電極 P A の延出方向と略平行な第 1 方向 X に沿って延出している。このような主共通電極 C A は、第 2 方向 Y に沿って略同一の幅を有する帯状に形成されている。

【 0 0 3 6 】

図示した例では、主共通電極 C A は、第 2 方向 Y に間隔をおいて 3 本平行に並んでいる。すなわち、一画素あたり、3 本の主共通電極 C A が第 2 方向 Y に沿って等ピッチで配置されている。画素 P X において、主共通電極 C A U は上側端部に配置され、主共通電極 C A B は下側端部に配置され、主共通電極 C A C は画素中央部に配置されている。厳密には、主共通電極 C A U は当該画素 P X とその上側に隣接する画素との境界に跨って配置され、主共通電極 C A B は当該画素 P X とその下側に隣接する画素との境界に跨って配置されている。主共通電極 C A U はゲート配線 G 1 の上方に位置し、主共通電極 C A B はゲート配線 G 2 の上方に位置している。

【 0 0 3 7 】

主共通電極 C A U 及び主共通電極 C A C は、主画素電極 P A 1 を挟んだ両側に位置している。同様に、主共通電極 C A C 及び主共通電極 C A B は、主画素電極 P A 2 を挟んだ両側に位置している。換言すると、画素中央部に配置された主共通電極 C A C は、主画素電極 P A 1 と主画素電極 P A 2 との間に位置している。つまり、X - Y 平面において、第 2 方向 Y に沿って主共通電極 C A と主画素電極 P A とが交互に並んでおり、図示した例では

10

20

30

40

50

、主共通電極 C A U、主画素電極 P A 1、主共通電極 C A C、主画素電極 P A 2、主共通電極 C A B がこの順に並んでいる。なお、主共通電極 C A U と主画素電極 P A 1 との間の第 2 方向 Y に沿った電極間隔、主画素電極 P A 1 と主共通電極 C A C との間の第 2 方向 Y に沿った電極間隔、主共通電極 C A C と主画素電極 P A 2 との間の第 2 方向 Y に沿った電極間隔、及び、主画素電極 P A 2 と主共通電極 C A B との間の第 2 方向 Y に沿った電極間隔は略同等であることが望ましい。

【 0 0 3 8 】

副共通電極 C B は、X - Y 平面内において、画素電極 P E を挟んだ両側で第 2 方向 Y に沿って直線的に延出している。あるいは、副共通電極 C B は、ソース配線 S の上方に配置されるとともに第 2 方向 Y に沿って直線的に延出している。このような副共通電極 C B は、第 1 方向 X に沿って略同一の幅を有する帯状に形成されている。また、このような副共通電極 C B は、主共通電極 C A と一体的あるいは連続的に形成され、主共通電極 C A と電氣的に接続されている。つまり、対向基板 C T においては、共通電極 C E は格子状に形成されている。

10

【 0 0 3 9 】

図示した例では、副共通電極 C B は、第 1 方向 X に間隔をおいて 2 本平行に並んでおり、画素 P X の左右両端部にそれぞれ配置されている。すなわち、一画素あたり、2 本の副共通電極 C B が配置されている。図示した画素 P X において、副共通電極 C B L は左側端部に配置され、副共通電極 C B R は右側端部に配置されている。厳密には、副共通電極 C B L は当該画素 P X とその左側に隣接する画素との境界に跨って配置され、副共通電極 C B R は当該画素 P X とその右側に隣接する画素との境界に跨って配置されている。副共通電極 C B L はソース配線 S 1 の上方に位置し、副共通電極 C B R はソース配線 S 2 の上方に位置している。

20

【 0 0 4 0 】

このような対向基板 C T においては、共通電極 C E は、第 2 配向膜 A L 2 によって覆われている。この第 2 配向膜 A L 2 には、液晶層 L Q の液晶分子を初期配向させるために、第 2 配向処理方向 P D 2 に沿って配向処理（例えば、ラビング処理や光配向処理）がなされている。第 2 配向膜 A L 2 が液晶分子を初期配向させる第 2 配向処理方向 P D 2 は、第 1 配向処理方向 P D 1 とは互いに平行であって、互いに同じ向きあるいは逆向きである。図示した例では、第 2 配向処理方向 P D 2 は、第 1 方向 X と平行であり、X - Y 平面内において、第 1 配向処理方向 P D 1 とは互いに平行であって、互いに同じ向きである。

30

【 0 0 4 1 】

開口部 A P は、図 3 に示したように、第 1 方向 X に沿った長さが第 2 方向 Y に沿った長さよりも長い長方形形状である。

【 0 0 4 2 】

図 4 は、図 2 の A - B 線で切断したアレイ基板 A R の断面構造を概略的に示す断面図である。

【 0 0 4 3 】

アレイ基板 A R は、光透過性を有する第 1 絶縁基板 1 0 を用いて形成されている。このアレイ基板 A R は、第 1 絶縁基板 1 0 においてスイッチング素子 S W、補助容量線 C 1、画素電極 P E、第 1 絶縁膜 1 1、第 2 絶縁膜 1 2、第 3 絶縁膜 1 3、第 1 配向膜 A L 1 などを備えている。

40

【 0 0 4 4 】

スイッチング素子 S W のゲート電極 W G は、ゲート配線 G 2 の一部であり、第 1 絶縁基板 1 0 の内面 1 0 A に形成されている。補助容量線 C 1 は、第 1 絶縁基板 1 0 の内面 1 0 A に形成されている。これらのゲート電極 W G 及び補助容量線 C 1 は、第 1 絶縁膜 1 1 によって覆われている。

【 0 0 4 5 】

スイッチング素子 S W の半導体層 S C は、第 1 絶縁膜 1 1 の上に形成され、ゲート電極 W G の直上に位置している。スイッチング素子 S W のソース電極 W S は、ソース配線 S 1

50

の一部であり、第1絶縁膜11の上に形成され、半導体層SCにコンタクトしている。スイッチング素子SWのドレイン電極WDは、第1絶縁膜11の上に形成され、半導体層SCにコンタクトしている。半導体層SC、ソース電極WS、及び、ドレイン電極WDは、第2絶縁膜12によって覆われている。この第2絶縁膜12には、ドレイン電極WDまで貫通したコンタクトホールCH1が形成されている。

【0046】

第3絶縁膜13は、第2絶縁膜12の上に形成されている。この第3絶縁膜13には、コンタクトホールCH2が形成されている。このコンタクトホールCH2は、コンタクトホールCH1よりも大きなサイズであり、コンタクトホールCH1でドレイン電極WDまで貫通するとともにコンタクトホールCH1の周囲の第2絶縁膜12まで貫通する。

10

【0047】

画素電極PEは、第3絶縁膜13の上に形成され、コンタクトホールCH1及びコンタクトホールCH2を介してドレイン電極WDにコンタクトしている。このような画素電極PEの一部（例えば、主画素電極PA1）は、第1絶縁膜11、第2絶縁膜12、及び、第3絶縁膜13を介して補助容量線C1と対向している。

【0048】

第1配向膜AL1は、画素電極PEなどを覆っており、第3絶縁膜13の上にも配置されている。このような第1配向膜AL1は、水平配向性を示す材料によって形成されている。

【0049】

20

図5は、図3のC-D線で切断した液晶表示パネルLPNの断面構造を概略的に示す断面図である。

【0050】

液晶表示パネルLPNを構成するアレイ基板ARの背面側には、バックライト4が配置されている。バックライト4としては、種々の形態が適用可能であり、また、光源として発光ダイオード(LED)を利用したものや冷陰極管(CCL)を利用したものなどのいずれでも適用可能であり、詳細な構造については説明を省略する。

【0051】

アレイ基板ARにおいて、ゲート配線G1、補助容量線C1、及び、ゲート配線G2は、第1絶縁基板10の内面10A、つまり、対向基板CTと対向する側に形成され、第1絶縁膜11によって覆われている。画素電極PEの主画素電極PA1及び主画素電極PA2は、第3絶縁膜13の上に形成され、第1配向膜AL1によって覆われている。主画素電極PA1及び主画素電極PA2は、ゲート配線G1及びゲート配線G2のそれぞれの直上の位置よりもそれらの内側に位置している。主画素電極PA1は、補助容量線C1の直上に位置している。この主画素電極PA1と補助容量線C1との間には、第1絶縁膜11、第2絶縁膜12、及び、第3絶縁膜13が介在している。第1配向膜AL1は、アレイ基板ARの対向基板CTと対向する面に配置され、アクティブエリアACTの略全体に亘って延在している。

30

【0052】

対向基板CTは、光透過性を有する第2絶縁基板20を用いて形成されている。この対向基板CTは、第2絶縁基板20の内側、つまり、アレイ基板ARと対向する側においてブラックマトリクスBM、カラーフィルタCF、オーバーコート層OC、共通電極CE、第2配向膜AL2などを備えている。

40

【0053】

ブラックマトリクスBMは、各画素PXを区画し、開口部APを形成する。すなわち、ブラックマトリクスBMは、ソース配線S、ゲート配線G、補助容量線C、スイッチング素子SWなどの配線部に対向するように配置されている。ここに示した例では、ブラックマトリクスBMは、ゲート配線G1及びゲート配線G2の上方に位置した部分と、図示しないスイッチング素子SWやソース配線S1及びソース配線S2などの上方に位置した部分を備えており、格子状に形成されている。このブラックマトリクスBMは、第2絶縁基

50

板 20 のアレイ基板 A R に対向する内面 20 A に配置されている。

【 0054 】

カラーフィルタ C F は、各画素 P X に対応して配置されている。すなわち、カラーフィルタ C F は、第 2 絶縁基板 20 の内面 20 A においてブラックマトリクス B M によって区画された内側に配置されるとともに、その一部がブラックマトリクス B M に乗り上げている。第 2 方向 Y に隣接する画素 P X にそれぞれ配置されたカラーフィルタ C F は、互いに色が異なる。例えば、カラーフィルタ C F は、赤色、青色、緑色といった 3 原色にそれぞれ着色された樹脂材料によって形成されている。赤色に着色された樹脂材料からなる赤色カラーフィルタは、赤色画素に対応して配置されている。青色に着色された樹脂材料からなる青色カラーフィルタは、青色画素に対応して配置されている。緑色に着色された樹脂材料からなる緑色カラーフィルタは、緑色画素に対応して配置されている。これらのカラーフィルタ C F 同士の境界は、ブラックマトリクス B M と重なる位置にある。

10

【 0055 】

オーバーコート層 O C は、カラーフィルタ C F を覆っている。このオーバーコート層 O C は、カラーフィルタ C F の表面の凹凸の影響を緩和する。

【 0056 】

共通電極の主共通電極 C A U、主共通電極 C A C、及び、主共通電極 C A B、図示しない副共通電極 C B などは、オーバーコート層 O C のアレイ基板 A R に対向する側に形成されている。特に、主共通電極 C A U 及び主共通電極 C A B、図示しない副共通電極 C B は、ブラックマトリクス B M の直下に位置している。主共通電極 C A U は、ゲート配線 G 1 の直上に位置している。主共通電極 C A B は、ゲート配線 G 2 の直上に位置している。主共通電極 C A C は、主共通電極 C A U と主共通電極 C A B との間に位置し、その直下には、いずれの主画素電極も位置していないし、いずれのゲート配線も位置していない。

20

【 0057 】

上記の開口部 A P において、画素電極 P E と共通電極 C E との間の領域、つまり、主共通電極 C A U と主画素電極 P A 1 との間の領域、主共通電極 C A C と主画素電極 P A 1 との間の領域、主共通電極 C A C と主画素電極 P A 2 との間の領域、及び、主共通電極 C A B と主画素電極 P A 2 との間の領域は、バックライト光が透過可能な透過領域に相当する。

【 0058 】

第 2 配向膜 A L 2 は、対向基板 C T のアレイ基板 A R に対向する面に配置され、アクティブエリア A C T の略全体に亘って延在している。この第 2 配向膜 A L 2 は、共通電極 C E やオーバーコート層 O C などを覆っている。このような第 2 配向膜 A L 2 は、水平配向性を示す材料によって形成されている。

30

【 0059 】

上述したようなアレイ基板 A R と対向基板 C T とは、それぞれの第 1 配向膜 A L 1 及び第 2 配向膜 A L 2 が対向するように配置されている。このとき、アレイ基板 A R の第 1 配向膜 A L 1 と対向基板 C T の第 2 配向膜 A L 2 との間には、例えば、樹脂材料によって一方の基板に一体的に形成された柱状スペーサにより、所定のセルギャップ、例えば 2 ~ 7 μm のセルギャップが形成される。アレイ基板 A R と対向基板 C T とは、所定のセルギャップが形成された状態で、アクティブエリア A C T の外側のシール材によって貼り合わせられている。

40

【 0060 】

液晶層 L Q は、アレイ基板 A R と対向基板 C T との間に形成されたセルギャップに保持され、第 1 配向膜 A L 1 と第 2 配向膜 A L 2 との間に配置されている。このような液晶層 L Q は、例えば、誘電率異方性が正（ポジ型）の液晶材料によって構成されている。

【 0061 】

尚、主画素電極 P A と主共通電極 C A との第 2 方向 Y に沿った間隔は、液晶層 L Q の厚みよりも大きく、主画素電極 P A と主共通電極 C A との間隔は、液晶層 L Q の厚みの 2 倍以上の大きさを持つ。

50

【0062】

アレイ基板ARの外表面、つまり、アレイ基板ARを構成する第1絶縁基板10の外表面10Bには、第1光学素子OD1が接着剤などにより貼付されている。この第1光学素子OD1は、液晶表示パネルLPNのバックライト4と対向する側に位置しており、バックライト4から液晶表示パネルLPNに入射する入射光の偏光状態を制御する。この第1光学素子OD1は、第1偏光軸（あるいは第1吸収軸）AX1を有する第1偏光板PL1を含んでいる。なお、第1偏光板PL1と第1絶縁基板10との間に位相差板などの他の光学素子が配置されても良い。

【0063】

対向基板CTの外表面、つまり、対向基板CTを構成する第2絶縁基板20の外表面20Bには、第2光学素子OD2が接着剤などにより貼付されている。この第2光学素子OD2は、液晶表示パネルLPNの表示面側に位置しており、液晶表示パネルLPNから出射した出射光の偏光状態を制御する。この第2光学素子OD2は、第2偏光軸（あるいは第2吸収軸）AX2を有する第2偏光板PL2を含んでいる。なお、第2偏光板PL2と第2絶縁基板20との間に位相差板などの他の光学素子が配置されていても良い。

【0064】

第1偏光板PL1の第1偏光軸AX1と、第2偏光板PL2の第2偏光軸AX2とは、略直交する位置関係（クロスニコル）にある。このとき、一方の偏光板は、例えば、その偏光軸が主画素電極PAあるいは主共通電極CAの延出方向と略平行または略直交するように配置されている。つまり、主画素電極PAあるいは主共通電極CAの延出方向が第1方向Xである場合、一方の偏光板の吸収軸は、第1方向Xと略平行である（つまり、第2方向Yと略直交する）、あるいは、第1方向Xと略直交する（つまり、第2方向Yと略平行である）。

【0065】

あるいは、一方の偏光板は、例えば、その偏光軸が液晶分子の初期配向方向つまり第1配向処理方向PD1あるいは第2配向処理方向PD2と平行または直交するように配置されている。初期配向方向が第1方向Xと平行である場合、一方の偏光板の偏光軸は、第1方向Xと平行、あるいは、第2方向Yと平行である。

【0066】

図3において、(a)で示した例では、第1偏光板PL1は、その第1偏光軸AX1が主画素電極PAの延出方向あるいは液晶分子LMの初期配向方向（第1方向X）に対して平行となる（つまり、第1方向Xに平行となる）ように配置され、また、第2偏光板PL2は、その第2偏光軸AX2が主画素電極PAの延出方向あるいは液晶分子LMの初期配向方向に対して直交する（つまり、第2方向Yと平行となる）ように配置されている。

【0067】

また、図3において、(b)で示した例では、第2偏光板PL2は、その第2偏光軸AX2が主画素電極PAの延出方向あるいは液晶分子LMの初期配向方向（第1方向X）に対して平行となる（つまり、第1方向Xに平行となる）ように配置され、また、第1偏光板PL1は、その第1偏光軸AX1が主画素電極PAの延出方向あるいは液晶分子LMの初期配向方向に対して直交する（つまり、第2方向Yと平行となる）ように配置されている。

【0068】

次に、上記構成の液晶表示パネルLPNの動作について、図2乃至図5を参照しながら説明する。

【0069】

すなわち、液晶層LQに電圧が印加されていない状態、つまり、画素電極PEと共通電極CEとの間に電界が形成されていない状態（OFF時）では、液晶層LQの液晶分子LMは、その長軸が第1配向膜AL1の第1配向処理方向PD1及び第2配向膜AL2の第2配向処理方向PD2を向くように配向している。このようなOFF時が初期配向状態に相当し、OFF時の液晶分子LMの配向方向が初期配向方向に相当する。

【0070】

なお、厳密には、液晶分子LMは、X-Y平面に平行に配向しているとは限らず、プレチルトしている場合が多い。このため、ここでの液晶分子LMの初期配向方向とは、OFF時の液晶分子LMの長軸をX-Y平面に正射影した方向である。以下では、説明を簡略にするために、液晶分子LMは、X-Y平面に平行に配向しているものとし、X-Y平面と平行な面内で回転するものとして説明する。

【0071】

ここでは、第1配向処理方向PD1及び第2配向処理方向PD2は、ともに第1方向Xと略平行な方向である。OFF時においては、液晶分子LMは、図3に破線で示したように、その長軸が第1方向Xと略平行な方向に初期配向する。

10

【0072】

図示した例のように、第1配向処理方向PD1及び第2配向処理方向PD2が平行且つ同じ向きである場合、液晶層LQの断面において、液晶分子LMは、液晶層LQの中間部付近で略水平（プレチルト角が略ゼロ）に配向し、ここを境界として第1配向膜AL1の近傍及び第2配向膜AL2の近傍において対称となるようなプレチルト角を持って配向する（スプレイ配向）。

【0073】

ここで、第1配向膜AL1を第1配向処理方向PD1に配向処理した結果、第1配向膜AL1の近傍における液晶分子LMは第1配向処理方向PD1に初期配向され、第2配向膜AL2を第2配向処理方向PD2に配向処理した結果、第2配向膜AL2の近傍における液晶分子LMは第2配向処理方向PD2に初期配向される。そして、第1配向処理方向PD1と第2配向処理方向PD2は互いに平行で且つ同じ向きである場合には、上述のように液晶分子LMはスプレイ配向になり、上記したように液晶層LQの中間部を境界として、アレイ基板AR上の第1配向膜AL1の近傍での液晶分子LMの配向と対向基板CT上の第2配向膜AL2の近傍での液晶分子LMの配向は、上下で対称となる。このため、基板の法線方向から傾いた方向においても光学的に補償される。したがって、第1配向処理方向PD1及び第2配向処理方向PD2が互いに平行、且つ、同じ向きである場合には、黒表示の場合に光漏れが少なく、高コントラスト比を実現することができ、表示品位を向上することが可能となる。

20

【0074】

なお、第1配向処理方向PD1及び第2配向処理方向PD2が互いに平行且つ逆向きである場合、液晶層LQの断面において、液晶分子LMは、第1配向膜AL1の近傍、第2配向膜AL2の近傍、及び、液晶層LQの中間部において略均一なプレチルト角を持って配向する（ホモジニアス配向）。

30

【0075】

バックライト4からのバックライト光の一部は、第1偏光板PL1を透過し、液晶表示パネルLPNに入射する。液晶表示パネルLPNに入射した光は、第1偏光板PL1の第1吸収軸AX1と直交する直線偏光である。このような直線偏光の偏光状態は、液晶層LQを通過する際に液晶分子LMの配向状態によって変化するが、OFF時においては、液晶層LQを通過した直線偏光の偏光状態はほとんど変化しない。このため、液晶表示パネルLPNを透過した直線偏光は、第1偏光板PL1に対してクロスニコルの位置関係にある第2偏光板PL2によって吸収される（黒表示）。

40

【0076】

一方、液晶層LQに電圧が印加された状態、つまり、画素電極PEと共通電極CEとの間に電界が形成された状態（ON時）では、画素電極PEと共通電極CEとの間に基板と略平行な横電界（あるいは斜め電界）が形成される。液晶分子LMは、電界の影響を受け、その長軸が図中の実線で示したようにX-Y平面と略平行な平面内で回転する。

【0077】

図3に示した例では、画素PX内において、例えば、主画素電極PA1と主共通電極ACとの間の領域内では、液晶分子LMは、第1方向Xに対して反時計回りに回転し図中

50

の左下を向くように配向する。また、主画素電極 P A 2 と主共通電極 C A C との間の領域内では、液晶分子 L M は、第 1 方向 X に対して時計回りに回転し図中の左上を向くように配向する。

【 0 0 7 8 】

このように、各画素 P X において、画素電極 P E と共通電極 C E との間に電界が形成された状態では、液晶分子 L M の配向方向は、主画素電極 P A と重なる位置あるいは主共通電極 C A と重なる位置を境界として複数の方向に分かれ、それぞれの配向方向でドメインを形成する。つまり、一画素 P X には、複数のドメインが形成される。

【 0 0 7 9 】

このような O N 時には、バックライト 4 から液晶表示パネル L P N に入射したバックライト光の一部は、第 1 偏光板 P L 1 を透過し、液晶表示パネル L P N に入射する。液晶表示パネル L P N に入射した光は、第 1 偏光板 P L 1 の第 1 吸収軸 A X 1 と直交する直線偏光である。このような直線偏光の偏光状態は、液晶層 L Q を通過する際に液晶分子 L M の配向状態に応じて変化する。例えば、第 1 方向 X に平行な直線偏光が液晶表示パネル L P N に入射すると、液晶層 L Q を通過する際に第 1 方向 X に対して $45^{\circ} - 225^{\circ}$ 方位あるいは $135^{\circ} - 315^{\circ}$ 方位に配向した液晶分子 L M により $\lambda / 2$ の位相差の影響を受ける（但し、 λ は液晶層 L Q を透過する光の波長である）。これにより、液晶層 L Q を通過した光の偏光状態は、第 2 方向 Y に平行な直線偏光となる。このため、O N 時には、液晶層 L Q を通過した少なくとも一部の光は、第 2 偏光板 P L 2 を透過する（白表示）。但し、画素電極あるいは共通電極と重なる位置では、液晶分子が初期配向状態を維持しているため、O F F 時と同様に黒表示となる。

【 0 0 8 0 】

本実施形態によれば、ゲート配線や補助容量線の延出方向である第 1 方向 X に沿った長さがソース配線の延出方向である第 2 方向 Y に沿った長さよりも長い横長の画素構成としたことにより、第 2 方向 Y に沿った長さが第 1 方向 X に沿った長さよりも長い縦長の画素構成とした場合と比較して、アクティブエリアにおける総画素数が同一でありながら、ゲート配線、補助容量線、ソース配線などの信号配線の総数を低減することができる。

【 0 0 8 1 】

図 1 に示したアクティブエリア A C T において、縦長の画素構成を採用した場合、例えば、ソース配線 S の総数が 2 4 0 0 本（ $m = 2 4 0 0$ ）であり、ゲート配線 G の総数が 4 8 0 本（ $n = 4 8 0$ ）であるのに対して、横長の画素構成を採用した場合、ソース配線 S の総数が 8 0 0 本（ $m = 8 0 0$ ）であり、ゲート配線 G の総数が 1 4 4 0 本（ $n = 1 4 4 0$ ）となり、6 4 0 本の信号配線を低減することができる。

【 0 0 8 2 】

このように、信号配線の総数を低減できるため、信号配線の端子数を低減することができ、これらの信号配線に信号を供給するドライバの規模を低減することが可能となるとともに液晶表示パネル L P N に実装すべき駆動 I C チップの数を低減することが可能となる。したがって、コストの削減が可能となる。

【 0 0 8 3 】

また、本実施形態によれば、画素電極 P E と共通電極 C E との間の電極間隙において高い透過率を得ることが可能となる。また、一画素あたりの透過率を十分に高くするためには、主画素電極 P A と主共通電極 C A との間の電極間距離を拡大することで対応することが可能となる。また、画素ピッチが異なる製品仕様に対しては、主画素電極 P A と主共通電極 C A との電極間距離を変更することで、透過率分布のピーク条件を利用することが可能となる。つまり、本実施形態の表示モードにおいては、比較的画素ピッチが大きな低解像度の製品仕様から比較的画素ピッチが小さい高解像度の製品仕様まで、微細な電極加工を必ずしも必要とせず、電極間距離の設定により種々の画素ピッチの製品を提供することが可能となる。

【 0 0 8 4 】

また、本実施形態によれば、ブラックマトリクス B M と重なる領域では、透過率が十分

10

20

30

40

50

に低下している。これは、ゲート配線 G 及びソース配線 S の直上に位置する共通電極 C E の位置よりも当該画素の外側に電界の漏れが発生せず、また、ブラックマトリクス B M を挟んで隣接する画素間で不所望な横電界が生じないため、ブラックマトリクス B M と重なる領域の液晶分子 L M が O F F 時（あるいは黒表示時）と同様に初期配向状態を保っているためである。したがって、隣接する画素間でカラーフィルタ C F の色が異なる場合であっても、混色の発生を抑制することが可能となり、色再現性の低下やコントラスト比の低下を抑制することが可能となる。

【 0 0 8 5 】

また、アレイ基板 A R と対向基板 C T との合わせずれが生じた際に、画素電極 P E を挟んだ両側の共通電極 C E との電極間距離に差が生じることがある。しかしながら、このような合わせずれは、全ての画素 P X に共通に生じるため、画素 P X 間での電界分布に相違はなく、画像の表示に及ぼす影響はきわめて小さい。また、例えばアレイ基板 A R と対向基板 C T との間で合わせズレが生じたとしても、隣接する画素への不所望な電界の漏れを抑制することが可能となる。このため、隣接する画素間でカラーフィルタ C F の色が異なる場合であっても、混色の発生を抑制することが可能となり、色再現性の低下やコントラスト比の低下を抑制することが可能となる。

【 0 0 8 6 】

また、本実施形態によれば、一画素内に複数のドメインを形成することが可能となる。このため、複数の方向で視野角を光学的に補償することができ、広視野角化が可能となる。

【 0 0 8 7 】

なお、上記の例では、液晶分子 L M の初期配向方向が第 1 方向 X と平行である場合について説明したが、液晶分子 L M の初期配向方向は、第 1 方向 X 及び第 2 方向 Y を斜めに交差する斜め方向であっても良い。

【 0 0 8 8 】

また、上記の例では、液晶層 L Q が正（ポジ型）の誘電率異方性を有する液晶材料によって構成された場合について説明したが、液晶層 L Q は、誘電率異方性が負（ネガ型）の液晶材料によって構成されていても良い。

【 0 0 8 9 】

なお、O N 時においても、画素電極 P E 上あるいは共通電極 C E 上では、横電界がほとんど形成されない（あるいは、液晶分子 L M を駆動するのに十分な電界が形成されない）ため、液晶分子 L M は、O F F 時と同様に初期配向方向からほとんど動かない。このため、画素電極 P E 及び共通電極 C E が I T O などの光透過性の導電材料によって形成されていても、これらの領域ではバックライト光がほとんど透過せず、O N 時において表示にほとんど寄与しない。したがって、画素電極 P E 及び共通電極 C E は、必ずしも透明な導電材料によって形成される必要はなく、アルミニウム（A l）、チタン（T i）、銀（A g）、モリブデン（M o）、タンゲステン（W）などの不透明な導電材料を用いて形成しても良い。

【 0 0 9 0 】

画素電極 P E 及び共通電極 C E の少なくとも一方が上記の不透明な導電材料によって形成された場合、液晶表示パネル L P N に入射した直線偏光は、画素電極 P E や共通電極 C E のエッジの延出方向と略平行であるあるいは略直交する。また、上記のような不透明な導電材料によって形成されているゲート配線 G、補助容量線 C、及び、ソース配線 S の延出方向は、液晶表示パネル L P N に入射した直線偏光と略平行であるあるいは略直交する。このため、画素電極 P E や共通電極 C E、ゲート配線 G、補助容量線 C、及び、ソース配線 S のエッジで反射された直線偏光は、その偏光面が乱れにくく、偏光子である第 1 偏光板 P L 1 を透過した際の偏光面を維持することができる。したがって、O F F 時において、液晶表示パネル L P N を透過した直線偏光は、検光子である第 2 偏光板 P L 2 で十分に吸収されるため、光漏れを抑制することが可能となる。つまり、黒表示の際に十分に透過率を低減することができ、コントラスト比の低下を抑制することが可能となる。また、

画素電極 P E や共通電極 C E の周辺での光漏れ対策のためにブラックマトリクス B M の幅を拡張する必要がなく、開口部 A P の面積の低減、O N 時の透過率の低減を抑制することが可能となる。

【 0 0 9 1 】

また、O N 時においても、画素電極 P E 上あるいは共通電極 C E 上ではバックライト光がほとんど透過しないため、開口部 A P 内で画素電極 P E の主画素電極 P A と補助容量線 C とが重なって容量を形成する構成であっても、開口部 A P における実質的な透過領域の面積を低減することはない。つまり、主画素電極 P A と補助容量線 C とによって容量を形成する本実施形態によれば、透過領域の面積を低減することなく、画素 P X において表示に必要な容量を確保することが可能となる。

10

【 0 0 9 2 】

また、一部の主共通電極 C A は、表示に寄与しないゲート配線 G の上方に位置しているため、開口部 A P における実質的な透過領域の面積を低減することはない。

【 0 0 9 3 】

また、上記の例では、1 個の画素電極 P E が 2 本の主画素電極 P A を備える構成について説明したが、この例に限らない。1 個の画素電極 P E が備える主画素電極 P A の本数を a 本とした場合、1 画素あたりに配置される主共通電極 C A は (a + 1) 本となり、隣接する主共通電極 C A の間に 1 本の主画素電極 P A が配置される (但し、a は正数である)

。

【 0 0 9 4 】

なお、本実施形態において、画素 P X の構造は、上記の例に限定されるものではない。

20

【 0 0 9 5 】

図 6 は、図 1 に示したアレイ基板 A R を対向基板側から見たときの一画素 P X の他の構造例を概略的に示す平面図である。

【 0 0 9 6 】

ここに示した構造例は、図 2 に示した構造例と比較して、補助容量線 C 1 と主画素電極 P A 1 との間のみならず、補助容量線 C 1 と主画素電極 P A 2 との間で容量を形成する点で相違している。すなわち、補助容量線 C 1 は主画素電極 P A 1 の直下に位置するとともに、補助容量線 C 1 の一部が分岐して第 1 方向 X に沿って延出し主画素電極 P A 2 の直下に位置している。このような構造例によれば、開口部 A P における透過領域の面積を低減することなく、図 2 に示した構造例よりもさらに大きな容量を形成することが可能となる

30

。

【 0 0 9 7 】

図 7 は、図 1 に示したアレイ基板 A R を対向基板側から見たときの一画素 P X の他の構造例を概略的に示す平面図である。

【 0 0 9 8 】

ここに示した構造例は、図 2 に示した構造例と比較して、アレイ基板 A R がゲートシールド電極 G S 及びソースシールド電極 S S を備えている点で相違している。

【 0 0 9 9 】

すなわち、ゲートシールド電極 G S は、ゲート配線 G 1 及びゲート配線 G 2 とそれぞれ対向する。このようなゲートシールド電極 G S は、第 1 方向 X に沿って直線的に延出しており、帯状に形成されている。なお、ゲートシールド電極 G S の第 2 方向 Y に沿った幅については、必ずしも一定でなくても良い。このゲートシールド電極 G S は、共通電極 C E と電氣的に接続されており、共通電極 C E と同電位である。

40

【 0 1 0 0 】

ソースシールド電極 S S は、ソース配線 S 1 及びソース配線 S 2 とそれぞれ対向する。このようなソースシールド電極 S S は、第 2 方向 Y に沿って直線的に延出しており、帯状に形成されている。なお、ソースシールド電極 S S の第 1 方向 X に沿った幅については、必ずしも一定でなくても良い。このソースシールド電極 S S は、共通電極 C E と電氣的に接続されており、共通電極 C E と同電位である。図示した例では、ゲートシールド電極 G

50

S 及びソースシールド電極 S S は、一体的あるいは連続的に形成されている。

【 0 1 0 1 】

これらのゲートシールド電極 G S 及びソースシールド電極 S S は、画素電極 P E と同一層である第 3 絶縁膜 1 3 の上面に形成されるため、画素電極 P E と同一材料（例えば、ITO など）を用いて形成することが可能である。

【 0 1 0 2 】

このような構造例のアレイ基板 A R は、図 3 に示した対向基板 C T と組み合わせた際に、ゲートシールド電極 G S が主共通電極 C A と対向し、ソースシールド電極 S S が副共通電極 C B と対向する。

【 0 1 0 3 】

このような構造例によれば、ゲートシールド電極 G S がゲート配線 G と対向するため、ゲート配線 G からの不所望な電界を遮蔽することが可能となる。このため、ゲート配線 G から液晶層 L Q に対して不所望なバイアスが印加されることを抑制することができ、焼きツキなどの表示不良の発生、さらには、液晶分子の配向不良に起因した光漏れの発生を抑制することが可能となる。

【 0 1 0 4 】

また、ソースシールド配線 S S がソース配線 S と対向するため、ソース配線 S からの不所望な電界を遮蔽することが可能となる。このため、ソース配線 S から液晶層 L Q に対して不所望なバイアスが印加されることを抑制することができ、クロストーク（例えば、当該画素 P X が黒を表示する画素電位に設定されている状態で、当該画素 P X に接続されたソース配線に白を表示する画素電位が供給されたときに、当該画素 P X の一部から光漏れが生じて輝度の上昇を招く現象）などの表示不良の発生を抑制することが可能となる。

【 0 1 0 5 】

また、アレイ基板 A R に備えられたゲートシールド電極 G S 及びソースシールド電極 S S は、互いに電氣的に接続され、アレイ基板 A R において格子状に形成されているため、冗長性を向上することが可能となる。また、対向基板 C T に備えられた主共通電極 C A 及び副共通電極 C B は、互いに電氣的に接続され、格子状に形成されているため、冗長性を向上することが可能となる。そして、アレイ基板 A R 側のゲートシールド電極 G S 及びソースシールド電極 S S と、対向基板 C T 側の主共通電極 C A 及び副共通電極 C B とが互いに電氣的に接続されているため、一部で断線が発生したとしても、各画素 P X に安定してコモン電位を供給することが可能となり、表示不良の発生を抑制することが可能となる。

【 0 1 0 6 】

なお、図 6 に示した構造例においても上記のゲートシールド電極 G S 及びソースシールド電極 S S を適用しても良い。

【 0 1 0 7 】

図 8 は、図 1 に示したアレイ基板 A R を対向基板側から見たときの一画素 P X の他の構造例を概略的に示す平面図である。

【 0 1 0 8 】

ここに示した構造例は、図 2 に示した構造例と比較して、ゲート配線 G が画素 P X の略中央に配置された点で相違している。

【 0 1 0 9 】

すなわち、画素 P X において、補助容量線 C 1 は上側端部に配置され、補助容量線 C 2 は下側端部に配置されている。厳密には、補助容量線 C 1 は当該画素 P X とその上側に隣接する画素との境界に跨って配置され、補助容量線 C 2 は当該画素 P X とその下側に隣接する画素との境界に跨って配置されている。ゲート配線 G 1 は、補助容量線 C 1 と補助容量線 C 2 との間に位置している。スイッチング素子 S W は、ゲート配線 G 1 及びソース配線 S 1 と電氣的に接続されている。画素電極 P E は、スイッチング素子 S W に電氣的に接続されるとともに、ゲート配線 G 1 と補助容量線 C 1 との間に位置する主画素電極 P A 1、及び、ゲート配線 G 2 と補助容量線 C 1 との間に位置する主画素電極 P A 2 を備えている。

【 0 1 1 0 】

このような構造例のアレイ基板 A R は、図 3 に示した対向基板 C T と組み合わせ可能である。この場合、主共通電極 C A U は補助容量線 C 1 の上方に位置し、主共通電極 C A C はゲート配線 G 1 の上方に位置し、主共通電極 C A B は補助容量線 C 2 の上方に位置する。

【 0 1 1 1 】

このような構造例のアレイ基板は、図 2 に示した構造例と比較して、画素電極 P E と補助容量線 C 1 との間に形成される容量が比較的小さい仕様の場合に適用可能である。

【 0 1 1 2 】

以上説明したように、本実施形態によれば、コストの削減が可能であるとともに、表示品位の劣化を抑制することが可能な液晶表示装置を提供することが可能となる。

10

【 0 1 1 3 】

なお、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これらの新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これらの実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【 符号の説明 】

【 0 1 1 4 】

20

L P N ... 液晶表示パネル

A R ... アレイ基板 C T ... 対向基板 L Q ... 液晶層

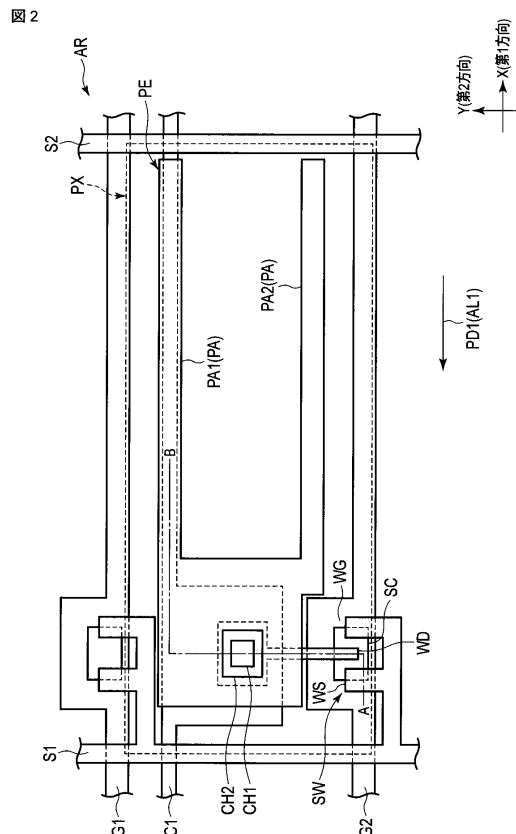
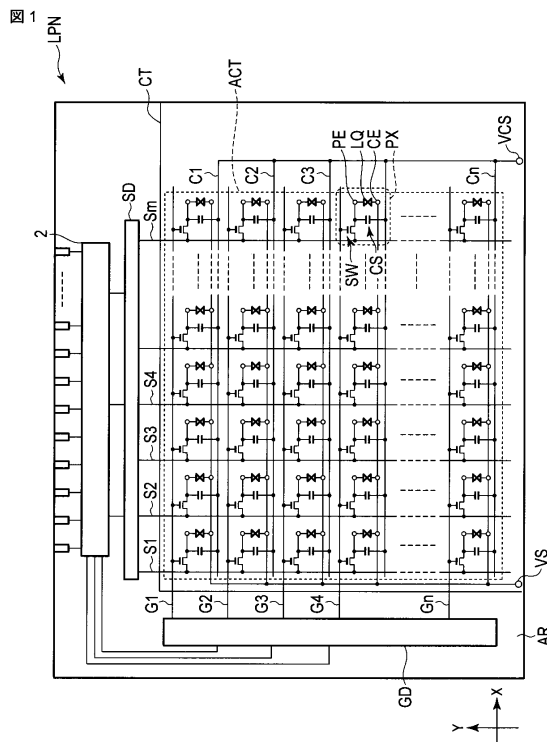
P E ... 画素電極 P A ... 主画素電極

C E ... 共通電極 C A ... 主共通電極 C B ... 副共通電極

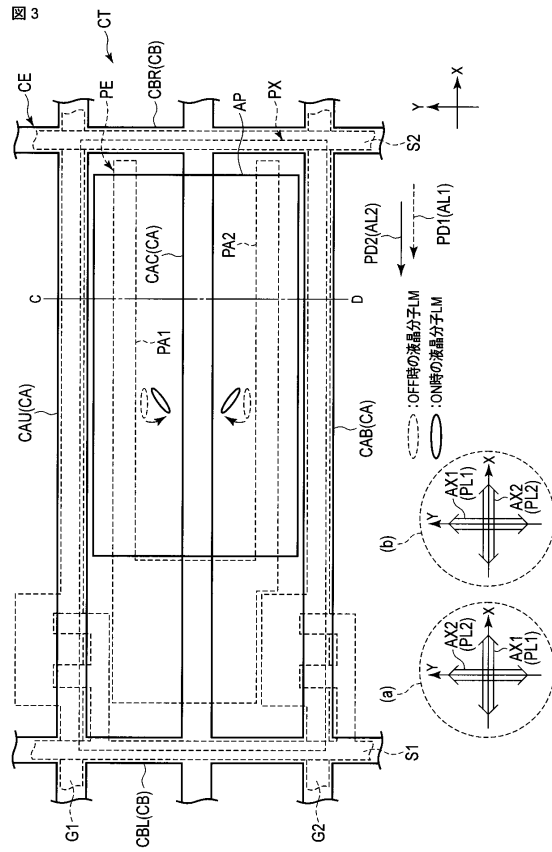
G ... ゲート配線 C ... 補助容量線 S ... ソース配線

【 図 1 】

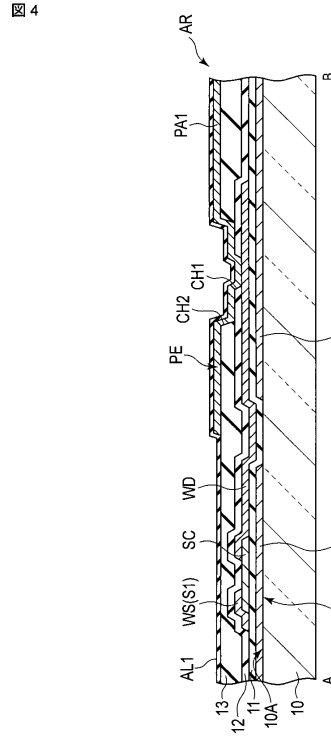
【 図 2 】



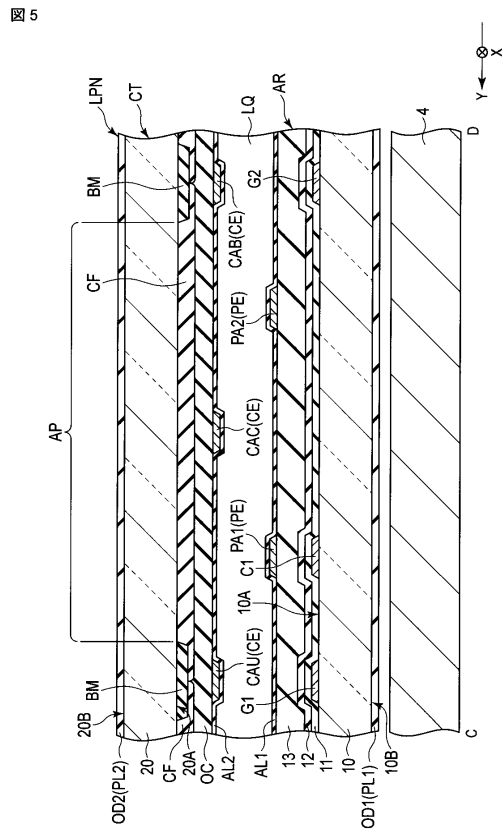
【図 3】



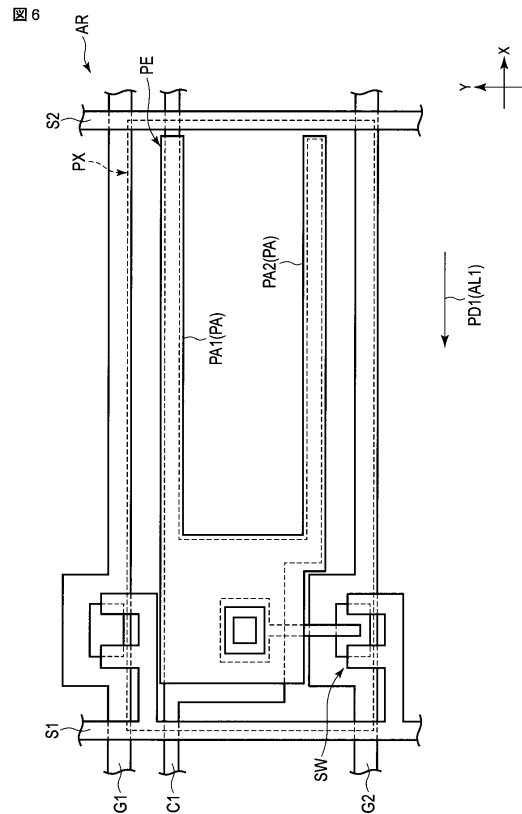
【図 4】



【図 5】

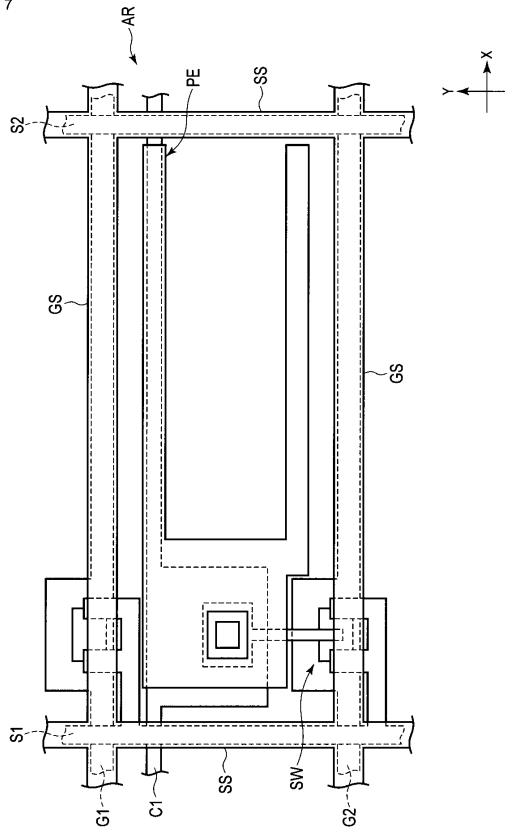


【図 6】



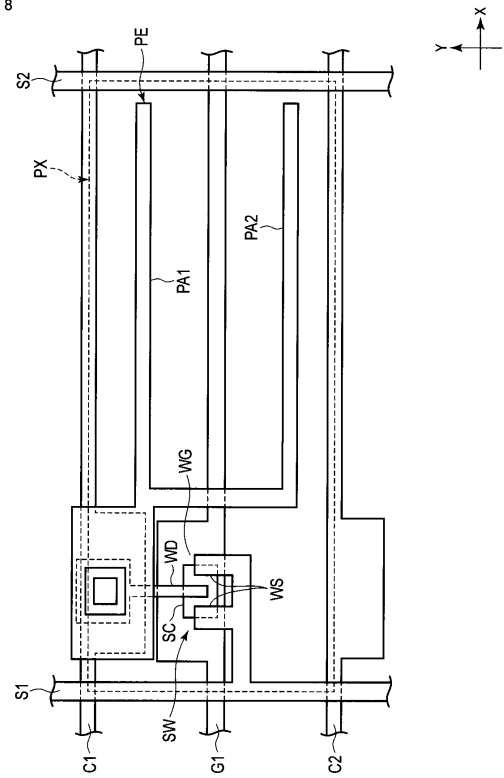
【図 7】

図 7



【図 8】

図 8



フロントページの続き

- (74)代理人 100075672
弁理士 峰 隆司
- (74)代理人 100095441
弁理士 白根 俊郎
- (74)代理人 100084618
弁理士 村松 貞男
- (74)代理人 100103034
弁理士 野河 信久
- (74)代理人 100119976
弁理士 幸長 保次郎
- (74)代理人 100153051
弁理士 河野 直樹
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100158805
弁理士 井関 守三
- (74)代理人 100124394
弁理士 佐藤 立志
- (74)代理人 100112807
弁理士 岡田 貴志
- (74)代理人 100111073
弁理士 堀内 美保子
- (74)代理人 100134290
弁理士 竹内 将訓
- (72)発明者 化生 正人
埼玉県深谷市幡羅町一丁目 9 番地 2 東芝モバイルディスプレイ株式会社内
- (72)発明者 野中 正信
埼玉県深谷市幡羅町一丁目 9 番地 2 東芝モバイルディスプレイ株式会社内
- (72)発明者 高橋 一博
埼玉県深谷市幡羅町一丁目 9 番地 2 東芝モバイルディスプレイ株式会社内
- (72)発明者 米倉 利昌
埼玉県深谷市幡羅町一丁目 9 番地 2 東芝モバイルディスプレイ株式会社内

審査官 廣田 かおり

- (56)参考文献 特開平 0 9 - 1 6 0 0 4 2 (J P , A)
特開平 0 9 - 1 5 9 9 9 6 (J P , A)
特開 2 0 0 9 - 1 0 9 6 5 7 (J P , A)
国際公開第 2 0 0 8 / 1 2 9 7 4 8 (W O , A 1)

(58)調査した分野(Int.Cl. , D B 名)

G 0 2 F 1 / 1 3 4 3
G 0 2 F 1 / 1 3 6 8

专利名称(译)	液晶表示装置		
公开(公告)号	JP5824301B2	公开(公告)日	2015-11-25
申请号	JP2011194083	申请日	2011-09-06
申请(专利权)人(译)	有限公司日本展示中心		
当前申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	化生正人 野中正信 高橋一博 米倉利昌		
发明人	化生 正人 野中 正信 高橋 一博 米倉 利昌		
IPC分类号	G02F1/1343		
FI分类号	G02F1/1343 G02F1/1368		
F-TERM分类号	2H092/GA14 2H092/GA29 2H092/GA59 2H092/GA64 2H092/JA25 2H092/JA26 2H092/JA46 2H092/JB05 2H092/JB14 2H092/JB69 2H092/KA04 2H092/KA05 2H092/NA01 2H092/PA02 2H092/PA11 2H192/AA24 2H192/BA13 2H192/BA16 2H192/BA32 2H192/BC42 2H192/CB05 2H192/CC04 2H192/CC26 2H192/CC42 2H192/CC66 2H192/DA12 2H192/DA43 2H192/EA22 2H192/EA43 2H192/FA73 2H192/GA03 2H192/GD42 2H192/JA03		
代理人(译)	河野 哲 中村 誠 河野直树 岡田 隆		
其他公开文献	JP2013054300A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够降低成本并抑制显示质量下降的液晶显示装置。解决方案：液晶显示装置包括：具有沿第一方向延伸的栅极布线的第一基板，源极布线在与第一方向交叉的第二方向上延伸的线和具有在第一方向上延伸的主像素电极的像素电极，并且设置在第一方向上的长度大于第二方向上的长度的像素中;第二基板，具有包括主公共电极的公共电极，每个公共电极在第一方向上在插入主像素电极的两侧上延伸;以及包含保持在第一基板和第二基板之间的液晶分子的液晶层。

(21) 出願番号	特願2011-194083 (P2011-194083)	(73) 特許権者	502356528
(22) 出願日	平成23年9月6日 (2011.9.6)		株式会社ジャパンディスプレイ
(65) 公開番号	特開2013-54300 (P2013-54300A)		東京都港区西新橋三丁目7番1号
(43) 公開日	平成25年3月21日 (2013.3.21)	(74) 代理人	110001737
審査請求日	平成26年7月16日 (2014.7.16)		特許業務法人スズエ国際特許事務所
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100159651
			弁理士 高倉 成男
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 福原 淑弘