

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5766012号
(P5766012)

(45) 発行日 平成27年8月19日 (2015. 8. 19)

(24) 登録日 平成27年6月26日 (2015. 6. 26)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

G09G 3/36

G09G 3/20 621B

G09G 3/20 624D

G09G 3/20 622E

G09G 3/20 624E

請求項の数 5 (全 44 頁) 最終頁に続く

(21) 出願番号 特願2011-104237 (P2011-104237)

(22) 出願日 平成23年5月9日 (2011. 5. 9)

(65) 公開番号 特開2012-8535 (P2012-8535A)

(43) 公開日 平成24年1月12日 (2012. 1. 12)

審査請求日 平成26年5月1日 (2014. 5. 1)

(31) 優先権主張番号 特願2010-117010 (P2010-117010)

(32) 優先日 平成22年5月21日 (2010. 5. 21)

(33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 三宅 博之

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

(72) 発明者 楠 紘慈

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

審査官 中村 直行

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

フレーム反転駆動する液晶表示装置であって、

前記液晶表示装置は、

マトリクス状に配置された複数の画素と、

複数のコモン線と、

複数の走査線と、

前記複数のコモン線が保持する電位を供給する機能を有するシフトレジスタと、を有し

、

前記複数の画素の各々は、液晶素子と、前記液晶素子の第1の電極に印加する電圧を制御する機能を有するトランジスタと、を有し、

前記複数の走査線の各々は、前記複数の画素のうち、行方向に配置された画素が有するトランジスタのゲートと電氣的に接続され、

前記複数のコモン線の各々は、前記複数の画素のうち、行方向に配置された画素が有する液晶素子の第2の電極と電氣的に接続され、

前記シフトレジスタは、リセット用パルス出力回路と、セット用パルス出力回路と、を有し、

前記セット用パルス出力回路は、

第1のトランジスタ乃至第10のトランジスタと、

第1の容量素子と、

10

20

第 2 の容量素子と、
 第 1 の入力端子乃至第 4 の入力端子と、
 第 1 の出力端子と、
 第 2 の出力端子と、
 第 1 の電源線乃至第 10 の電源線と、を有し、

前記第 1 のトランジスタは、第 1 の端子が前記第 1 の電源線と接続され、第 2 の端子が前記第 1 の出力端子と接続され、

前記第 2 のトランジスタは、第 1 の端子が前記第 1 の出力端子と接続され、第 2 の端子が前記第 2 の電源線と接続され、

前記第 3 のトランジスタは、第 1 の端子が前記第 2 の入力端子と接続され、第 2 の端子が前記第 2 の出力端子と接続され、ゲートが前記第 1 のトランジスタのゲートと接続され、

10

前記第 4 のトランジスタは、第 1 の端子が前記第 2 の出力端子と接続され、第 2 の端子が前記第 3 の電源線と接続され、ゲートが前記第 2 のトランジスタのゲートと接続され、

前記第 5 のトランジスタは、第 1 の端子が前記第 6 のトランジスタの第 1 の端子と接続され、第 2 の端子が前記第 1 のトランジスタのゲートと接続され、ゲートが前記第 4 の電源線と接続され、

前記第 6 のトランジスタは、第 2 の端子が前記第 5 の電源線と接続され、ゲートが前記第 2 のトランジスタのゲートと接続され、

前記第 7 のトランジスタは、第 1 の端子が前記第 6 の電源線と接続され、第 2 の端子が前記第 6 のトランジスタの第 1 の端子と接続され、ゲートが前記第 3 の入力端子と接続され、

20

前記第 8 のトランジスタは、第 1 の端子が前記第 7 の電源線と接続され、第 2 の端子が前記第 2 のトランジスタのゲートと接続され、ゲートが前記第 1 の入力端子と接続され、

前記第 9 のトランジスタは、第 1 の端子が前記第 8 の電源線と接続され、第 2 の端子が前記第 2 のトランジスタのゲートと接続され、ゲートが前記第 4 の入力端子と接続され、

前記第 10 のトランジスタは、第 1 の端子が前記第 2 のトランジスタのゲートと接続され、第 2 の端子が前記第 9 の電源線と接続され、ゲートが前記第 3 の入力端子と接続され、

前記第 1 の容量素子は、一方の端子が前記第 1 のトランジスタのゲートと接続され、他方の端子が前記第 1 の出力端子と接続され、

30

前記第 2 の容量素子は、一方の端子が前記第 2 のトランジスタのゲートと接続され、他方の端子が前記第 10 の電源線と接続され、

第 1 のフレーム期間において、前記複数の走査線が順次選択されるのに同期して、前記複数のコモン線に順次第 1 の電位が保持され、

前記第 1 のフレーム期間と隣り合う第 2 のフレーム期間において、前記複数の走査線が順次選択されるのに同期して、前記複数のコモン線に順次第 2 の電位が保持され、

前記第 1 の電位と前記第 2 の電位とは異なることを特徴とする液晶表示装置。

【請求項 2】

ゲートライン反転駆動する液晶表示装置であって、

40

前記液晶表示装置は、

マトリクス状に配置された複数の画素と、

複数の第 1 のコモン線と、

複数の第 2 のコモン線と、

複数の走査線と、

前記複数の第 1 のコモン線が保持する電位を供給する機能を有する第 1 のシフトレジスタと、

前記複数の第 2 のコモン線が保持する電位を供給する機能を有する第 2 のシフトレジスタと、を有し、

前記複数の画素の各々は、液晶素子と、前記液晶素子の第 1 の電極に印加する電圧を制

50

御する機能を有するトランジスタと、を有し、

前記複数の走査線の各々は、前記複数の画素のうち、行方向に配置された画素が有するトランジスタのゲートと電氣的に接続され、

前記複数の第 1 のコモン線の各々は、前記複数の画素のうち、奇数行の行方向に配置された画素が有する液晶素子の第 2 の電極と電氣的に接続され、

前記複数の第 2 のコモン線の各々は、前記複数の画素のうち、偶数行の行方向に配置された画素が有する液晶素子の第 2 の電極と電氣的に接続され、

前記第 1 のシフトレジスタと前記第 2 のシフトレジスタの各々は、リセット用パルス出力回路と、セット用パルス出力回路と、を有し、

前記セット用パルス出力回路は、

第 1 のトランジスタ乃至第 10 のトランジスタと、

第 1 の容量素子と、

第 2 の容量素子と、

第 1 の入力端子乃至第 4 の入力端子と、

第 1 の出力端子と、

第 2 の出力端子と、

第 1 の電源線乃至第 10 の電源線と、を有し、

前記第 1 のトランジスタは、第 1 の端子が前記第 1 の電源線と接続され、第 2 の端子が前記第 1 の出力端子と接続され、

前記第 2 のトランジスタは、第 1 の端子が前記第 1 の出力端子と接続され、第 2 の端子が前記第 2 の電源線と接続され、

前記第 3 のトランジスタは、第 1 の端子が前記第 2 の入力端子と接続され、第 2 の端子が前記第 2 の出力端子と接続され、ゲートが前記第 1 のトランジスタのゲートと接続され、

前記第 4 のトランジスタは、第 1 の端子が前記第 2 の出力端子と接続され、第 2 の端子が前記第 3 の電源線と接続され、ゲートが前記第 2 のトランジスタのゲートと接続され、

前記第 5 のトランジスタは、第 1 の端子が前記第 6 のトランジスタの第 1 の端子と接続され、第 2 の端子が前記第 1 のトランジスタのゲートと接続され、ゲートが前記第 4 の電源線と接続され、

前記第 6 のトランジスタは、第 2 の端子が前記第 5 の電源線と接続され、ゲートが前記第 2 のトランジスタのゲートと接続され、

前記第 7 のトランジスタは、第 1 の端子が前記第 6 の電源線と接続され、第 2 の端子が前記第 6 のトランジスタの第 1 の端子と接続され、ゲートが前記第 3 の入力端子と接続され、

前記第 8 のトランジスタは、第 1 の端子が前記第 7 の電源線と接続され、第 2 の端子が前記第 2 のトランジスタのゲートと接続され、ゲートが前記第 1 の入力端子と接続され、

前記第 9 のトランジスタは、第 1 の端子が前記第 8 の電源線と接続され、第 2 の端子が前記第 2 のトランジスタのゲートと接続され、ゲートが前記第 4 の入力端子と接続され、

前記第 10 のトランジスタは、第 1 の端子が前記第 2 のトランジスタのゲートと接続され、第 2 の端子が前記第 9 の電源線と接続され、ゲートが前記第 3 の入力端子と接続され、

前記第 1 の容量素子は、一方の端子が前記第 1 のトランジスタのゲートと接続され、他方の端子が前記第 1 の出力端子と接続され、

前記第 2 の容量素子は、一方の端子が前記第 2 のトランジスタのゲートと接続され、他方の端子が前記第 10 の電源線と接続され、

第 1 のフレーム期間において、前記複数の走査線が順次選択されるのに同期して、前記複数の第 1 のコモン線に順次第 1 の電位が保持される動作と、前記複数の第 2 のコモン線に順次第 2 の電位が保持される動作と、が交互に行われ、

前記第 1 のフレーム期間と隣り合う第 2 のフレーム期間において、前記複数の走査線が順次選択されるのに同期して、前記複数の第 1 のコモン線に順次前記第 2 の電位が保持さ

10

20

30

40

50

れる動作と、前記複数の第2のコモン線に順次前記第1の電位が保持される動作と、が交互に行われ、

前記第1の電位と前記第2の電位とは異なることを特徴とする液晶表示装置。

【請求項3】

請求項1又は2において、

前記第1のトランジスタ乃至前記第10のトランジスタは、Nチャネル型のトランジスタであることを特徴とする液晶表示装置。

【請求項4】

請求項1乃至3のいずれか一項において、

前記液晶素子が有する液晶層は、ブルー相を示す液晶材料を有することを特徴とする液晶表示装置。

【請求項5】

請求項1乃至4のいずれか一項に記載の液晶表示装置を具備する電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置及び当該液晶表示装置を具備する電子機器に関する。また、本発明は、液晶表示装置の駆動方法に関する。

【背景技術】

【0002】

液晶表示装置は、テレビ受像機等の大型表示装置から携帯電話等の小型表示装置に至るまで、普及が進んでいる。今後は、より付加価値の高い製品が求められており開発が進められている。近年では高画質化、高付加価値化を図るために、ブルー相を示す液晶材料（以下、ブルー相液晶ともいう）が注目されている。ブルー相液晶は、電界に対する応答速度が従来の液晶材料と比較して非常に優れており、立体視（3D）映像の表示等のために高いフレーム周波数での駆動が必要な液晶表示装置での利用が注目されている。

【0003】

特許文献1では、ブルー相液晶の駆動方式として、IPS（In-Plane Switching）方式を開示している。特許文献1では特に、液晶素子を駆動するための電圧を低減するための、液晶材料を挟持する電極の構成について開示している。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2007-271839号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

上記特許文献1に記載のブルー相液晶の駆動方式であるIPS（In-Plane Switching）方式では、交流駆動を行うと、駆動電圧が高くなるといった問題がある。駆動電圧を高く設定する必要がある原因について、図23を参照して以下に説明する。

【0006】

図23（A）は、液晶表示装置が有する画素の回路構成を示している。画素2300は、トランジスタ2301と、液晶素子2302と、保持容量2303とを有する。信号線2304（データ線、ソースライン、又はデータ信号線ともいう）には、画像信号（ビデオ信号ともいう）が入力され、走査線2305（ゲート線、ゲートライン、又はゲート信号線ともいう）には、ゲート信号（走査信号、選択信号ともいう）が入力される。またコモン線2306（共通電位線ともいう）にはコモン電位（共通電位ともいう）が入力され、容量線2307には固定電位が入力される。なお説明のため、液晶素子2302のトランジスタ2301に接続される側の電極を第1の電極（画素電極ともいう）、コモン線2

10

20

30

40

50

306に接続される側の電極を第2の電極（対向電極ともいう）という。

【0007】

また、液晶表示装置では、液晶素子の劣化（焼き付き）を抑制するために、一定期間毎に、液晶素子における第2の電極の電位（コモン電位ともいう）に対して第1の電極に印加される電圧の極性を反転させる交流駆動が行われている。交流駆動として、フレーム反転駆動、ゲートライン反転駆動、ソースライン反転駆動、ドットライン反転駆動等の駆動方式がある。

【0008】

例えば、フレーム反転駆動とは、1フレーム期間毎に、液晶素子に印加される電圧の極性を反転させる駆動方法である。なお、1フレーム期間とは、1画面分の画像を表示する期間に相当し、その期間には特に限定はないが、画像をみる人がちらつき（フリッカ）を感じないように少なくとも1/60秒以下とすることが好ましい。

【0009】

また、ゲートライン反転駆動とは、同一の走査線に接続された画素が有する液晶素子に印加される電圧の極性を、隣接する走査線に接続された画素が有する液晶素子に対し反転させ、さらに各画素に対しフレーム反転を行う駆動方法である。

【0010】

図23（B）に、反転駆動を行う場合の図23（A）の画素2300の動作を説明するためのタイミングチャートの一例を示す。図23（B）では、反転駆動の反転駆動期間2311及び非反転駆動期間2312の各1フレーム期間における、走査線（GL）、信号線（SL）、コモン線（CL）、第1の電極（PE）、第2の電極（CE）の電位についてのタイミングチャートを示している。

【0011】

図23（B）では、走査線（GL）の走査信号の電位は、画素を選択する期間、すなわちトランジスタ2301を導通状態（オン状態ともいう）とする期間で V_{gh} 、他の期間、すなわちトランジスタ2301を非導通状態（オフ状態ともいう）とする期間で V_{gl} （ $V_{gh} > V_{gl}$ ）としている。また、信号線（SL）の画像信号の電位は表示する画像に応じて変動するが、ここでは非反転駆動するための電位として V_{dh} 、反転駆動するための電位として V_{dl} （ $V_{dh} > V_{dl}$ ）としている。

【0012】

なお、図23（B）では、信号線（SL）の画像信号の階調に応じて第1の電極（PE）の電位が異なることとなるが、説明のため、走査線（GL）の走査信号に応じて反転する（電位が V_{dh} 又は V_{dl} となる）様子を示している。また、図23（B）では、共通電位線（CL）、すなわち第2の電極（CE）の電位を V_c （一定）としている。

【0013】

図23（B）を用いて説明した反転駆動による駆動方法では、画像信号の電位の極性を反転させることによって、液晶素子2302の第1の電極の電位を変化させ、第1の電極と第2の電極との間に印加される電圧の極性を交互に切り替える。よって、信号線（SL）に書き込まれる画像信号に要する電位の幅は、フレーム反転駆動を行わない場合に比べて2倍となる。よって、画像信号の振幅電圧が大きいため、消費電力が大きくなってしま

う。

【0014】

そこで本発明の一態様は、信号線に書き込まれる画像信号の振幅電圧を小さくすることができる液晶表示装置を提供することを目的とする。

【0015】

又は、本発明の一態様は、信号線に書き込まれる画像信号の振幅電圧を小さくことができ、走査線駆動回路の電圧を下げる可以降低電圧の液晶表示装置を提供することを目的とする。

【0016】

又は、本発明の一態様は、フレーム反転駆動し、信号線に書き込まれる画像信号の振幅

10

20

30

40

50

電圧を小さくすることができる液晶表示装置及びその駆動方法を提供することを目的とする。

【 0 0 1 7 】

又は、本発明の一態様は、フレーム反転駆動し、信号線に書き込まれる画像信号の振幅電圧を小さくことができ、走査線駆動回路の電圧を下げる可以降低電圧の液晶表示装置及びその駆動方法を提供することを目的とする。

【 0 0 1 8 】

又は、本発明の一態様は、ゲートライン反転駆動し、信号線に書き込まれる画像信号の振幅電圧を小さく可以降低電圧の液晶表示装置及びその駆動方法を提供することを目的とする。

10

【 0 0 1 9 】

又は、本発明の一態様は、ゲートライン反転駆動し、信号線に書き込まれる画像信号の振幅電圧を小さく可以降低電圧の液晶表示装置及びその駆動方法を提供することを目的とする。

【課題を解決するための手段】

【 0 0 2 0 】

本発明の一態様は、フレーム反転駆動する液晶表示装置であって、液晶表示装置は、複数の画素と、複数のコモン線と、複数の走査線と、を有し、複数の画素の各々は、液晶素子と、液晶素子の第1の電極に印加する電圧を制御するトランジスタと、を有し、複数の走査線の各々は、複数の画素のうち、行方向に配置された画素が有するトランジスタのゲートに電氣的に接続され、複数のコモン線の各々は、複数の画素のうち、行方向に配置された画素が有する液晶素子の第2の電極に電氣的に接続されている。そして、第1のフレーム期間において、複数の走査線を順次選択するのに同期して、複数のコモン線に順次第1の電位が供給（保持）され、第1のフレーム期間と隣り合う第2のフレーム期間において、複数の走査線を順次選択するのに同期して、複数のコモン線に順次第2の電位が供給（保持）され、第1の電位と第2の電位とは異なる液晶表示装置である。

20

【 0 0 2 1 】

本発明の一態様において、液晶表示装置は、複数のコモン線が保持する電位を供給するシフトレジスタを有し、シフトレジスタは、リセット用パルス出力回路と、セット用パルス出力回路と、を有する。

30

【 0 0 2 2 】

本発明の一態様は、ゲートライン反転駆動する液晶表示装置であって、液晶表示装置は、複数の画素と、複数の第1のコモン線と、複数の第2のコモン線と、複数の走査線と、を有し、複数の画素の各々は、液晶素子と、液晶素子の第1の電極に印加する電圧を制御するトランジスタと、を有し、複数の走査線の各々は、複数の画素のうち、行方向に配置された画素が有するトランジスタのゲートに電氣的に接続され、複数の第1のコモン線の各々は、複数の画素のうち、奇数行の行方向に配置された画素が有する液晶素子の第2の電極に電氣的に接続され、複数の第2のコモン線の各々は、複数の画素のうち、偶数行の行方向に配置された画素が有する液晶素子の第2の電極に電氣的に接続されている。そして、第1のフレーム期間において、複数の走査線を順次選択するのに同期して、複数の第1のコモン線に順次第1の電位が供給（保持）される動作と、複数の第2のコモン線に順次第2の電位が供給（保持）される動作と、が交互に行われ、第1のフレーム期間と隣り合う第2のフレーム期間において、複数の走査線を順次選択するのに同期して、複数の第1のコモン線に順次第2の電位が供給（保持）される動作と、複数の第2のコモン線に順次第1の電位が供給（保持）される動作と、が交互に行われ、第1の電位と第2の電位とは異なる液晶表示装置である。

40

【 0 0 2 3 】

本発明の一態様において、液晶表示装置は、複数の第1のコモン線が保持する電位を供給する第1のシフトレジスタと、複数の第2のコモン線が保持する電位を供給する第2のシフトレジスタと、を有し、第1のシフトレジスタと第2のシフトレジスタの各々は、リ

50

セット用パルス出力回路と、セット用パルス出力回路と、を有する。

【0024】

また、本発明の一態様において、リセット用パルス出力回路は、第1のトランジスタ乃至第9のトランジスタと、第1の入力端子乃至第5の入力端子と、出力端子と、第1の電源線乃至第8の電源線と、を有する。リセット用パルス出力回路において、第1のトランジスタは、第1の端子が第1の電源線と接続され、第2の端子が第5のトランジスタの第1の端子と接続され、ゲートが第4の入力端子と接続され、第2のトランジスタは、第1の端子が第5のトランジスタの第1の端子と接続され、第2の端子が第2の電源線と接続され、ゲートが第4のトランジスタのゲートと接続され、第3のトランジスタは、第1の端子が第2の入力端子と接続され、第2の端子が出力端子と接続され、ゲートが第5のトランジスタの第2の端子と接続され、第4のトランジスタは、第1の端子が出力端子と接続され、第2の端子が第3の電源線と接続され、第5のトランジスタは、ゲートが第4の電源線と接続され、第6のトランジスタは、第1の端子が第5の電源線と接続され、第2の端子が第4のトランジスタのゲートと接続され、ゲートが第3の入力端子と接続され、第7のトランジスタは、第1の端子が第6の電源線と接続され、第2の端子が第4のトランジスタのゲートと接続され、ゲートが第1の入力端子と接続され、第8のトランジスタは、第1の端子が第7の電源線と接続され、第2の端子が第4のトランジスタのゲートと接続され、ゲートが第5の入力端子と接続され、第9のトランジスタは、第1の端子が第4のトランジスタのゲートと接続され、第2の端子が第8の電源線と接続され、ゲートが第4の入力端子と接続されている。

10

20

【0025】

リセット用パルス出力回路において、第1のトランジスタ乃至第9のトランジスタは、Nチャンネル型のトランジスタであってもよい。

【0026】

また、本発明の一態様において、リセット用パルス出力回路は、第1のトランジスタ乃至第8のトランジスタと、第1の入力端子乃至第4の入力端子と、出力端子と、第1の電源線乃至第7の電源線と、を有する。リセット用パルス出力回路において、第1のトランジスタは、第1の端子が第1の電源線と接続され、第2の端子が第5のトランジスタの第1の端子と接続され、ゲートが第4の入力端子と接続され、第2のトランジスタは、第1の端子が第5のトランジスタの第1の端子と接続され、第2の端子が第2の電源線と接続され、ゲートが第4のトランジスタのゲートと接続され、第3のトランジスタは、第1の端子が第2の入力端子と接続され、第2の端子が出力端子と接続され、ゲートが第5のトランジスタの第2の端子と接続され、第4のトランジスタは、第1の端子が出力端子と接続され、第2の端子が第3の電源線と接続され、第5のトランジスタは、ゲートが第4の電源線と接続され、第6のトランジスタは、第1の端子が第5の電源線と接続され、第2の端子が第4のトランジスタのゲートと接続され、ゲートが第3の入力端子と接続され、第7のトランジスタは、第1の端子が第6の電源線と接続され、第2の端子が第4のトランジスタのゲートと接続され、ゲートが第1の入力端子と接続され、第8のトランジスタは、第1の端子が第4のトランジスタのゲートと接続され、第2の端子が第7の電源線と接続され、ゲートが第4の入力端子と接続されている。

30

40

【0027】

リセット用パルス出力回路において、第1のトランジスタ乃至第8のトランジスタは、Nチャンネル型のトランジスタであってもよい。

【0028】

また、本発明の一態様において、セット用パルス出力回路は、第1のトランジスタ乃至第10のトランジスタと、第1の容量素子と、第2の容量素子と、第1の入力端子乃至第4の入力端子と、第1の出力端子と、第2の出力端子と、第1の電源線乃至第10の電源線と、を有する。セット用パルス出力回路において、第1のトランジスタは、第1の端子が第1の電源線と接続され、第2の端子が第1の出力端子と接続され、第2のトランジスタは、第1の端子が第1の出力端子と接続され、第2の端子が第2の電源線と接続され、

50

第 3 のトランジスタは、第 1 の端子が第 2 の入力端子と接続され、第 2 の端子が第 2 の出力端子と接続され、ゲートが第 1 のトランジスタのゲートと接続され、第 4 のトランジスタは、第 1 の端子が第 2 の出力端子と接続され、第 2 の端子が第 3 の電源線と接続され、ゲートが第 2 のトランジスタのゲートと接続され、第 5 のトランジスタは、第 1 の端子が第 6 のトランジスタの第 1 の端子と接続され、第 2 の端子が第 1 のトランジスタのゲートと接続され、ゲートが第 4 の電源線と接続され、第 6 のトランジスタは、第 2 の端子が第 5 の電源線と接続され、ゲートが第 2 のトランジスタのゲートと接続され、第 7 のトランジスタは、第 1 の端子が第 6 の電源線と接続され、第 2 の端子が第 6 のトランジスタの第 1 の端子と接続され、ゲートが第 3 の入力端子と接続され、第 8 のトランジスタは、第 1 の端子が第 7 の電源線と接続され、第 2 の端子が第 2 のトランジスタのゲートと接続され、ゲートが第 1 の入力端子と接続され、第 9 のトランジスタは、第 1 の端子が第 8 の電源線と接続され、第 2 の端子が第 2 のトランジスタのゲートと接続され、ゲートが第 4 の入力端子と接続され、第 10 のトランジスタは、第 1 の端子が第 2 のトランジスタのゲートと接続され、第 2 の端子が第 9 の電源線と接続され、ゲートが第 3 の入力端子と接続され、第 1 の容量素子は、一方の端子が第 1 のトランジスタのゲートと接続され、他方の端子が第 1 の出力端子と接続され、第 2 の容量素子は、一方の端子が第 2 のトランジスタのゲートと接続され、他方の端子が第 10 の電源線と接続されている。

10

【0029】

セット用パルス出力回路において、第 1 のトランジスタ乃至第 10 のトランジスタは、N チャンネル型のトランジスタであってもよい。

20

【0030】

また、本発明の一態様において、液晶素子が有する液晶層に、ブルー相を示す液晶材料を用いてもよい。

【発明の効果】**【0031】**

本発明の一態様によれば、信号線に書き込まれる画像信号の振幅電圧を小さくすることができる液晶表示装置を提供することができる。

【0032】

又は、本発明の一態様によれば、信号線に書き込まれる画像信号の振幅電圧を小さくことができ、走査線駆動回路の電圧を下げることができる液晶表示装置を提供することができる。

30

【0033】

又は、本発明の一態様によれば、フレーム反転駆動し、信号線に書き込まれる画像信号の振幅電圧を小さくすることができる液晶表示装置及びその駆動方法を提供することができる。

【0034】

又は、本発明の一態様によれば、フレーム反転駆動し、信号線に書き込まれる画像信号の振幅電圧を小さくことができ、走査線駆動回路の電圧を下げることができる液晶表示装置及びその駆動方法を提供することができる。

【0035】

40

又は、本発明の一態様によれば、ゲートライン反転駆動し、信号線に書き込まれる画像信号の振幅電圧を小さくすることができる液晶表示装置及びその駆動方法を提供することができる。

【0036】

又は、本発明の一態様によれば、ゲートライン反転駆動し、信号線に書き込まれる画像信号の振幅電圧を小さくことができ、走査線駆動回路の電圧を下げることができる液晶表示装置及びその駆動方法を提供することができる。

【図面の簡単な説明】**【0037】**

【図 1】本発明の一形態におけるシフトレジスタの構成を説明する図。

50

【図 2】本発明の一形態におけるリセット用パルス出力回路を説明する図。

【図 3】本発明の一形態におけるセット用パルス出力回路を説明する図。

【図 4】本発明の一形態におけるシフトレジスタの動作を説明する図。

【図 5】本発明の一形態におけるシフトレジスタの動作を説明する図。

【図 6】本発明の一形態におけるシフトレジスタの動作を説明する図。

【図 7】本発明の一形態におけるシフトレジスタの動作を説明する図。

【図 8】本発明の一形態におけるシフトレジスタの動作を説明する図。

【図 9】本発明の一形態におけるシフトレジスタの動作を説明する図。

【図 10】本発明の一形態におけるシフトレジスタの動作を説明する図。

【図 11】本発明の一形態におけるシフトレジスタの構成を説明する図。

10

【図 12】本発明の一形態におけるリセット用パルス出力回路を説明する図。

【図 13】本発明の一形態におけるシフトレジスタの構成を説明する図。

【図 14】本発明の一形態におけるシフトレジスタの構成を説明する図。

【図 15】本発明の一形態におけるシフトレジスタの動作を説明する図。

【図 16】本発明の一形態における駆動回路の構成を説明する図。

【図 17】本発明の一形態におけるフレーム反転駆動を説明する図。

【図 18】本発明の一形態におけるゲートライン反転駆動を説明する図。

【図 19】本発明の一形態における表示パネルの画素の構成を説明する図。

【図 20】本発明の一形態におけるトランジスタの構成を説明する図。

【図 21】本発明の一形態における電子機器を説明する図。

20

【図 22】本発明の一形態における液晶表示装置の構成を説明する図。

【図 23】画素の回路構成及び反転駆動を行う場合のタイミングチャートを説明する図。

【発明を実施するための形態】

【0038】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じ物を指し示す符号は異なる図面間において共通とする。

【0039】

30

なお、各実施の形態の図面等において示す各構成の、大きさ、層の厚さ、信号波形、又は領域は、明瞭化のために誇張されて表記している場合がある。よって、必ずしもそのスケールに限定されない。

【0040】

なお、本明細書にて用いる第 1、第 2、第 3、乃至第 N (N は自然数) という用語は、構成要素の混同を避けるために付したものであり、数的に限定するものではないことを付記する。

【0041】

なお、本明細書において、A と B とが接続されている、とは、A と B とが直接接続されているものの他、電氣的に接続されているものを含むものとする。ここで、A と B とが電氣的に接続されているとは、具体的には、トランジスタをはじめとするスイッチング素子を介して A と B とが接続され、当該スイッチング素子の導通によって、A と B とが概略同電位となる場合や、抵抗素子を介して A と B とが接続され、当該抵抗素子の両端に発生する電位差が、A と B とを含む回路の動作に影響しない程度となっている場合等、回路動作を考えた場合、A と B との間の部分を同じノードとして捉えて差し支えない状態を表す。

40

【0042】

(実施の形態 1)

本実施の形態では、コモン線駆動回路に設けられるシフトレジスタに関して、リセット用パルス出力回路と、セット用パルス出力回路と、当該リセット用パルス出力回路及びセット用パルス出力回路を有するシフトレジスタの一例を図 1 ~ 図 10、図 22 を参照して

50

説明する。

【0043】

はじめに、本実施の形態で説明する、シフトレジスタが設けられたコモン線駆動回路を有する液晶表示装置の構成について、図22を用いて説明する。

【0044】

図22において、液晶表示装置は、基板2207上に、複数の画素2201が、行方向と列方向にマトリクス状に配置（配列）された画素部2202を有し、画素部2202の周辺には、信号線駆動回路2203、走査線駆動回路2204、及びコモン線駆動回路2205を有する。これらの駆動回路には、FPC2206を介して外部より信号が供給される。

10

【0045】

なお、信号線駆動回路2203、走査線駆動回路2204、及びコモン線駆動回路2205を、画素部2202と同じ基板上に設ける構成としてもよい。画素部2202と同じ基板上に、信号線駆動回路2203、走査線駆動回路2204、及びコモン線駆動回路2205を設けることで、外部との接続に必要な端子数を削減することができ、液晶表示装置の小型化を図ることができる。

【0046】

複数の画素2201のそれぞれは、液晶素子2208、及び液晶素子2208に印加する電圧を制御するトランジスタ2209を有する。なお、画素2201の配置は図22に示す構成に限定されず、縦方向又は横方向において、画素が直線上に並んで配置されている構成や、ギザギザな線上に配置されている構成としてもよい。

20

【0047】

本実施の形態において、液晶表示装置を交流駆動させることによって、液晶素子の劣化（焼き付き）を抑制することができる。交流駆動方式として、具体的にはフレーム反転駆動方式又はゲートライン反転駆動方式を用いることができる。

【0048】

また、本実施の形態における液晶素子が有する液晶層として、ブルー相を示す液晶材料を用いることができる。ブルー相を示す液晶は、横電界方式で駆動する液晶である。液晶素子のコモン線に接続される側の電極（第2の電極、対向電極ともいう）を、トランジスタに接続される側の電極（第1の電極、画素電極ともいう）と同じ基板に形成して液晶素子を形成する。なお、本実施の形態における液晶素子には、ブルー相を示す液晶に限らず、横電界方式の液晶、または第1の電極及び第2の電極を同じ基板に形成することができる液晶、を用いることができる。

30

【0049】

コモン線駆動回路2205には、リセット用パルス出力回路及びセット用パルス出力回路を有するシフトレジスタが設けられている。

【0050】

次に、リセット用パルス出力回路及びセット用パルス出力回路を有するシフトレジスタの構成について、以下に説明する。

【0051】

本実施の形態で示すシフトレジスタの構成について、図1を参照して説明する。シフトレジスタは、第1のリセット用パルス出力回路10₁～第nのリセット用パルス出力回路10_n（nは2以上の自然数）と、第1のセット用パルス出力回路20₁～第nのセット用パルス出力回路20_nと、を有している。

40

【0052】

リセット用パルス出力回路について、図2を参照して以下に説明する。

【0053】

第1のリセット用パルス出力回路10₁～第nのリセット用パルス出力回路10_nの各々は、第1の入力端子201～第5の入力端子205と、第1の出力端子206と、を有している（図2（A）参照）。

50

【 0 0 5 4 】

第 1 の入力端子 2 0 1 は、リセット初期化信号線 1 0 0 と接続されている。リセット初期化信号線 1 0 0 にはリセット初期化信号 (I N I _ R E S) が入力される。

【 0 0 5 5 】

第 2 の入力端子 2 0 2 及び第 3 の入力端子 2 0 3 の各々は、第 1 の信号線 1 0 1 ~ 第 4 の信号線 1 0 4 のいずれかと接続されている。例えば、図 1 において、第 1 のリセット用パルス出力回路 1 0 _ 1 は、第 2 の入力端子 2 0 2 が第 1 の信号線 1 0 1 と接続され、第 3 の入力端子 2 0 3 が第 2 の信号線 1 0 2 と接続されている。また、第 2 のリセット用パルス出力回路 1 0 _ 2 は、第 2 の入力端子 2 0 2 が第 2 の信号線 1 0 2 と接続され、第 3 の入力端子 2 0 3 が第 3 の信号線 1 0 3 と接続されている。

10

【 0 0 5 6 】

なお、ここでは、第 n のリセット用パルス出力回路 1 0 _ n の第 2 の入力端子 2 0 2 と接続されている信号線が第 2 の信号線 1 0 2 であり、第 3 の入力端子 2 0 3 と接続されている信号線が第 3 の信号線 1 0 3 である場合を示しているが、接続されている信号線は、n の値によって異なるものになる。このため、ここで示す構成はあくまでも一例に過ぎないことを付記する。

【 0 0 5 7 】

第 1 の信号線 1 0 1 には第 1 のリセット用クロック信号 (R C L K 1) が入力され、第 2 の信号線 1 0 2 には第 2 のリセット用クロック信号 (R C L K 2) が入力され、第 3 の信号線 1 0 3 には第 3 のリセット用クロック信号 (R C L K 3) が入力され、第 4 の信号線 1 0 4 には第 4 のリセット用クロック信号 (R C L K 4) が入力される。

20

【 0 0 5 8 】

リセット用クロック信号 (R C L K) は、一定の間隔で H (H i g h) レベルと L (L o w) レベルを繰り返す信号である。ここでは、第 1 のリセット用クロック信号 (R C L K 1) ~ 第 4 のリセット用クロック信号 (R C L K 4) は、順に 1 / 4 周期分遅延している。本実施の形態では、第 1 のリセット用クロック信号 (R C L K 1) ~ 第 4 のリセット用クロック信号 (R C L K 4) を利用して、第 1 のリセット用パルス出力回路 1 0 _ 1 ~ 第 n のリセット用パルス出力回路 1 0 _ n の駆動の制御等を行う。

【 0 0 5 9 】

第 1 のリセット用パルス出力回路 1 0 _ 1 の第 4 の入力端子 2 0 4 は、第 1 の配線 1 1 1 と接続されている。第 1 の配線 1 1 1 にはリセットパルス (R S P) が入力される。また、第 2 のリセット用パルス出力回路 1 0 _ 2 ~ 第 n のリセット用パルス出力回路 1 0 _ n の第 4 の入力端子 2 0 4 は、一段前段のリセット用パルス出力回路の第 1 の出力端子 2 0 6 と接続されている。一段前段のリセット用パルス出力回路から、第 2 のリセット用パルス出力回路 1 0 _ 2 ~ 第 n のリセット用パルス出力回路 1 0 _ n の第 4 の入力端子 2 0 4 に信号が出力される。

30

【 0 0 6 0 】

第 1 のリセット用パルス出力回路 1 0 _ 1 ~ 第 (n - 1) のリセット用パルス出力回路 1 0 _ n - 1 の第 5 の入力端子 2 0 5 は、一段後段のリセット用パルス出力回路の第 1 の出力端子 2 0 6 と接続されている。一段後段のリセット用パルス出力回路から、第 1 のリセット用パルス出力回路 1 0 _ 1 ~ 第 (n - 1) のリセット用パルス出力回路 1 0 _ n - 1 の第 5 の入力端子 2 0 5 に信号が出力される。

40

【 0 0 6 1 】

次に、図 1 に示す第 1 のリセット用パルス出力回路 1 0 _ 1 ~ 第 n のリセット用パルス出力回路 1 0 _ n の具体的な構成について、以下に説明する。

【 0 0 6 2 】

第 1 のリセット用パルス出力回路 1 0 _ 1 ~ 第 n のリセット用パルス出力回路 1 0 _ n の各々は、トランジスタ 2 2 1 ~ トランジスタ 2 2 9 (以下、順に第 1 のトランジスタ ~ 第 9 のトランジスタという。) を有している (図 2 (B) 参照) 。また、上述した第 1 の入力端子 2 0 1 ~ 第 5 の入力端子 2 0 5 及び第 1 の出力端子 2 0 6 に加え、第 1 の電源線

50

231～第8の電源線238から、第1のトランジスタ221～第9のトランジスタ229に信号が入力される。

【0063】

以下において、第1のトランジスタ221～第9のトランジスタ229をNチャネル型のトランジスタとして説明する。

【0064】

第1のトランジスタ221は、第1の端子（ソース又はドレインの一方の端子。以下同様。）が第1の電源線231と接続され、第2の端子（ソース又はドレインの他方の端子。以下同様。）が第5のトランジスタ225の第1の端子と接続され、ゲートが第4の入力端子204と接続されている。第2のトランジスタ222は、第1の端子が第5のトランジスタ225の第1の端子と接続され、第2の端子が第2の電源線232と接続され、ゲートが第4のトランジスタ224のゲートと接続されている。

10

【0065】

第3のトランジスタ223は、第1の端子が第2の入力端子202と接続され、第2の端子が第1の出力端子206と接続され、ゲートが第5のトランジスタ225の第2の端子と接続されている。第4のトランジスタ224は、第1の端子が第1の出力端子206と接続され、第2の端子が第3の電源線233と接続されている。

【0066】

第5のトランジスタ225は、ゲートが第4の電源線234と接続されている。第6のトランジスタ226は、第1の端子が第5の電源線235と接続され、第2の端子が第4のトランジスタ224のゲートと接続され、ゲートが第3の入力端子203と接続されている。

20

【0067】

第7のトランジスタ227は、第1の端子が第6の電源線236と接続され、第2の端子が第4のトランジスタ224のゲートと接続され、ゲートが第1の入力端子201と接続されている。第8のトランジスタ228は、第1の端子が第7の電源線237と接続され、第2の端子が第4のトランジスタ224のゲートと接続され、ゲートが第5の入力端子205と接続されている。

【0068】

第9のトランジスタ229は、第1の端子が第4のトランジスタ224のゲートと接続され、第2の端子が第8の電源線238と接続され、ゲートが第4の入力端子204と接続されている。

30

【0069】

なお、第1の電源線231、第4の電源線234～第7の電源線237には、第1の電位（例えば、VDD）が供給され、第2の電源線232、第3の電源線233、第8の電源線238には、第2の電位（例えば、VSS）が供給されるものとする。ここで、VDD>VSSとする。

【0070】

また、第1のリセット用クロック信号（RCLK1）～第4のリセット用クロック信号（RCLK4）は、一定の間隔でHレベルとLレベルを繰り返す信号であるが、HレベルのときにVDD、LレベルのときにVSSであるとする。また、ここでは説明の簡略化のためVSS=0とするが、これに限られない。なお、VDDとVSSとの差分は、トランジスタのしきい値電圧よりも大きくなるものとし、すなわちトランジスタを導通状態（オン状態）にするものとする。

40

【0071】

セット用パルス出力回路について、図3を参照して以下に説明する。

【0072】

第1のセット用パルス出力回路20₁～第nのセット用パルス出力回路20_nの各々は、第6の入力端子301～第9の入力端子304と、第2の出力端子305と、第3の出力端子306と、を有している（図3（A）参照）。

50

【 0 0 7 3 】

第 6 の入力端子 3 0 1 は、リセット初期化信号線 1 0 0 と接続されている。リセット初期化信号線 1 0 0 にはリセット初期化信号 (I N I _ R E S) が入力される。

【 0 0 7 4 】

第 7 の入力端子 3 0 2 は、第 5 の信号線 1 0 5 又は第 6 の信号線 1 0 6 と接続されている。例えば、図 1 において、第 1 のセット用パルス出力回路 2 0 _ 1 の第 7 の入力端子 3 0 2 は第 5 の信号線 1 0 5 と接続されている。また、第 2 のセット用パルス出力回路 2 0 _ 2 の第 7 の入力端子 3 0 2 は第 6 の信号線 1 0 6 と接続されている。

【 0 0 7 5 】

なお、ここでは、第 n のセット用パルス出力回路 2 0 _ n の第 7 の入力端子 3 0 2 と接続されている信号線が第 6 の信号線 1 0 6 である場合を示しているが、接続されている信号線は、n の値によって異なるものになる。このため、ここで示す構成はあくまでも一例に過ぎないことを付記する。

10

【 0 0 7 6 】

第 5 の信号線 1 0 5 には第 1 のセット用クロック信号 (S C L K 1) が入力され、第 6 の信号線 1 0 6 には第 2 のセット用クロック信号 (S C L K 2) が入力される。

【 0 0 7 7 】

セット用クロック信号 (S C L K) は、一定の間隔で H (H i g h) レベルと L (L o w) レベルを繰り返す信号である。ここでは、第 1 のセット用クロック信号 (S C L K 1) と第 2 のセット用クロック信号 (S C L K 2) とは、互いの極性が反転した信号であるとする。本実施の形態では、第 1 のセット用クロック信号 (S C L K 1) と第 2 のセット用クロック信号 (S C L K 2) を利用して、第 1 のセット用パルス出力回路 2 0 _ 1 ~ 第 n のセット用パルス出力回路 2 0 _ n の駆動の制御等を行う。

20

【 0 0 7 8 】

第 1 のセット用パルス出力回路 2 0 _ 1 の第 8 の入力端子 3 0 3 は、第 2 の配線 1 1 2 と接続されている。第 2 の配線 1 1 2 にはセットパルス (S S P) が入力される。また、第 2 のセット用パルス出力回路 2 0 _ 2 ~ 第 n のセット用パルス出力回路 2 0 _ n の第 8 の入力端子 3 0 3 は、一段前段のセット用パルス出力回路の第 3 の出力端子 3 0 6 と接続されている。一段前段のセット用パルス出力回路から、第 2 のセット用パルス出力回路 2 0 _ 2 ~ 第 n のセット用パルス出力回路 2 0 _ n の第 8 の入力端子 3 0 3 に信号が出力される。

30

【 0 0 7 9 】

第 1 のセット用パルス出力回路 2 0 _ 1 の第 9 の入力端子 3 0 4 は、第 1 の配線 1 1 1 と接続されている。また、第 2 のセット用パルス出力回路 2 0 _ 2 ~ 第 n のセット用パルス出力回路 2 0 _ n の第 9 の入力端子 3 0 4 は、一段前段のリセット用パルス出力回路の第 1 の出力端子 2 0 6 と接続されている。一段前段のリセット用パルス出力回路から、第 2 のセット用パルス出力回路 2 0 _ 2 ~ 第 n のセット用パルス出力回路 2 0 _ n の第 9 の入力端子 3 0 4 に信号が出力される。

【 0 0 8 0 】

第 1 のセット用パルス出力回路 2 0 _ 1 ~ 第 n のセット用パルス出力回路 2 0 _ n の第 2 の出力端子 3 0 5 からは、それぞれ、出力信号 (O U T (1) ~ O U T (n)) が出力される。

40

【 0 0 8 1 】

次に、第 1 のセット用パルス出力回路 2 0 _ 1 ~ 第 n のセット用パルス出力回路 2 0 _ n の具体的な構成について、以下に説明する。

【 0 0 8 2 】

第 1 のセット用パルス出力回路 2 0 _ 1 ~ 第 n のセット用パルス出力回路 2 0 _ n の各々は、トランジスタ 3 1 0 ~ トランジスタ 3 1 9 (以下、順に第 1 0 のトランジスタ ~ 第 1 9 のトランジスタという。) と、容量素子 3 6 1 (以下、第 1 の容量素子という。) と、容量素子 3 6 2 と (以下、第 2 の容量素子という。) 、を有している (図 3 (B) 参照

50

)。また、上述した第6の入力端子301～第9の入力端子304、第2の出力端子305、及び第3の出力端子306に加え、第9の電源線329～第17の電源線337から第10のトランジスタ310～第19のトランジスタ319に信号が入力される。

【0083】

以下において、第10のトランジスタ310～第19のトランジスタ319をNチャネル型のトランジスタとして説明する。

【0084】

第10のトランジスタ310は、第1の端子が第9の電源線329と接続され、第2の端子が第2の出力端子305と接続されている。第11のトランジスタ311は、第1の端子が第2の出力端子305と接続され、第2の端子が第10の電源線330と接続されている。

10

【0085】

第12のトランジスタ312は、第1の端子が第7の入力端子302と接続され、第2の端子が第3の出力端子306と接続され、ゲートが第10のトランジスタ310のゲートと接続されている。第13のトランジスタ313は、第1の端子が第3の出力端子306と接続され、第2の端子が第11の電源線331と接続され、ゲートが第11のトランジスタ311のゲートと接続されている。

【0086】

第14のトランジスタ314は、第1の端子が第15のトランジスタ315の第1の端子と接続され、第2の端子が第10のトランジスタ310のゲートと接続され、ゲートが第12の電源線332と接続されている。第15のトランジスタ315は、第2の端子が第13の電源線333と接続され、ゲートが第11のトランジスタ311のゲートと接続されている。

20

【0087】

第16のトランジスタ316は、第1の端子が第14の電源線334と接続され、第2の端子が第15のトランジスタ315の第1の端子と接続され、ゲートが第8の入力端子303と接続されている。第17のトランジスタ317は、第1の端子が第15の電源線335と接続され、第2の端子が第11のトランジスタ311のゲートと接続され、ゲートが第6の入力端子301と接続されている。

【0088】

第18のトランジスタ318は、第1の端子が第16の電源線336と接続され、第2の端子が第11のトランジスタ311のゲートと接続され、ゲートが第9の入力端子304と接続されている。第19のトランジスタ319は、第1の端子が第11のトランジスタ311のゲートと接続され、第2の端子が第17の電源線337と接続され、ゲートが第8の入力端子303と接続されている。

30

【0089】

第1の容量素子361は、一方の端子が第10のトランジスタ310のゲートと接続され、他方の端子が第2の出力端子305と接続されている。第2の容量素子362は、一方の端子が第11のトランジスタ311のゲートと接続され、他方の端子が第18の電源線338と接続されている。

40

【0090】

なお、第12の電源線332、第14の電源線334～第16の電源線336には、第1の電位（例えば、VDD）が供給され、第11の電源線331、第13の電源線333、第17の電源線337、第18の電源線338には、第2の電位（例えば、VSS）が供給されるものとする。

【0091】

また、第1のセット用クロック信号（SCLK1）及び第2のセット用クロック信号（SCLK2）は、一定の間隔でHレベルとLレベルを繰り返す信号であるが、HレベルのときにVDD、LレベルのときにVSSであるとする。また、ここでは説明の簡略化のためVSS = 0とするが、これに限られない。なお、VDDとVSSとの差分は、トランジ

50

スタのしきい値電圧よりも大きくなるものとし、すなわちトランジスタを導通状態（オン状態）にするものとする。

【 0 0 9 2 】

また、第 9 の電源線 3 2 9 にはコモン電位（ T C O M H ）が供給され、第 1 0 の電源線 3 3 0 はコモン電位（ T C O M L ）が供給される。ここで、 T C O M H > T C O M L とする。コモン線は、コモン電位（ T C O M H ）又はコモン電位（ T C O M L ）に保持される。

【 0 0 9 3 】

次に、図 1 ～ 図 3 で示したシフトレジスタの動作について、図 4 ～ 図 1 0 を参照して説明する。なお、図 4 ～ 図 1 0 において、入力端子、出力端子、及び配線の各々から出力される信号の電位が H レベルである場合には「 H」、L レベルである場合には「 L」と表記している。

10

【 0 0 9 4 】

具体的には、図 4 のタイミングチャートにおいて、第 1 の期間 4 0 1 ～ 第 6 の期間 4 0 6 に分割して説明する。

【 0 0 9 5 】

なお、以下の説明において、第 1 のトランジスタ 2 2 1 ～ 第 9 のトランジスタ 2 2 9 及び第 1 0 のトランジスタ 3 1 0 ～ 第 1 9 のトランジスタ 3 1 9 を N チャネル型のトランジスタとし、ゲートとソース間電圧（ V g s ）がしきい値電圧（ V t h ）を上回ったときに導通状態（オン状態）になるものとする。

20

【 0 0 9 6 】

第 1 の期間 4 0 1 において、リセットパルス（ R S P ）が H レベルになる。

【 0 0 9 7 】

第 1 の期間 4 0 1 では、第 4 のリセット用クロック信号（ R C L K 4 ）、第 1 のセット用クロック信号（ S C L K 1 ）は H レベル、第 1 のリセット用クロック信号（ R C L K 1 ）～ 第 3 のリセット用クロック信号（ R C L K 3 ）、第 2 のセット用クロック信号（ S C L K 2 ）は L レベルである。また、セットパルス（ S S P ）は L レベルである。

【 0 0 9 8 】

リセットパルス（ R S P ）が H レベルであるため、第 1 のリセット用パルス出力回路 1 0 _ 1 において、第 4 の入力端子 2 0 4 にゲートが接続された、第 1 のトランジスタ 2 2 1 と第 9 のトランジスタ 2 2 9 が導通状態になる。

30

【 0 0 9 9 】

このとき、第 5 のトランジスタ 2 2 5 のゲートには第 1 の電位（ V D D ）が印加されているため、第 5 のトランジスタ 2 2 5 も導通状態になっている。第 1 のトランジスタ 2 2 1 及び第 5 のトランジスタ 2 2 5 が導通状態であるため、第 3 のトランジスタ 2 2 3 は導通状態になる。よって、図 5（ A ）中の点線矢印のように電流が流れ、第 1 の出力端子 2 0 6 から L レベルの信号が出力される。

【 0 1 0 0 】

また、第 1 の期間 4 0 1 において、リセットパルス（ R S P ）が H レベルであるため、第 1 のセット用パルス出力回路 2 0 _ 1 の第 9 の入力端子 3 0 4 にゲートが接続された第 1 8 のトランジスタ 3 1 8 が導通状態になる。

40

【 0 1 0 1 】

第 1 8 のトランジスタ 3 1 8 が導通状態であるため、第 1 1 のトランジスタ 3 1 1、第 1 3 のトランジスタ 3 1 3、第 1 5 のトランジスタ 3 1 5 は導通状態になる。第 1 1 のトランジスタ 3 1 1 が導通状態であるため、図 5（ B ）中の一点鎖線矢印のように電流が流れ、第 2 の出力端子 3 0 5 から、出力信号（ O U T（ 1 ））としてコモン電位（ T C O M L ）が出力される。また、第 1 3 のトランジスタ 3 1 3 が導通状態であるため、図 5（ B ）中の点線矢印のように電流が流れ、第 3 の出力端子 3 0 6 から L レベルの信号が出力される。

【 0 1 0 2 】

50

以上のように、第1の期間401において、リセットパルス(RSP)がHレベルであるため、第1のセット用パルス出力回路20₁の第2の出力端子305から、出力信号(OUT(1))としてコモン電位(TCOML)が出力される。

【0103】

次に、第2の期間402において、リセットパルス(RSP)がLレベルになる。

【0104】

第2の期間402では、第1のリセット用クロック信号(RCLK1)、第2のセット用クロック信号(SCLK2)はHレベル、第2のリセット用クロック信号(RCLK2)～第4のリセット用クロック信号(RCLK4)、第1のセット用クロック信号(SCLK1)はLレベルである。また、セットパルス(SSP)はLレベルである。

10

【0105】

リセットパルス(RSP)がLレベルであるため、第1のリセット用パルス出力回路10₁において、第4の入力端子204にゲートが接続された、第1のトランジスタ221と第9のトランジスタ229が非導通状態(オフ状態)になる。

【0106】

このとき、第2のリセット用パルス出力回路10₂の第1の出力端子206から第1のリセット用パルス出力回路10₁の第5の入力端子205に入力される信号がLレベルであるため、第8のトランジスタ228は非導通状態になる。第8のトランジスタ228と第9のトランジスタ229が非導通状態であるため、第2のトランジスタ222、第4のトランジスタ224は非導通状態を保持する。また、第1のトランジスタ221が非導通状態になるため、第3のトランジスタ223は導通状態を保持する。よって、図6(A)中の点線矢印のように電流が流れ、第1の出力端子206からHレベルの信号が出力される。

20

【0107】

また、第2の期間402において、リセットパルス(RSP)がLレベルであるため、第1のセット用パルス出力回路20₁の第9の入力端子304にゲートが接続された第18のトランジスタ318が非導通状態になる。

【0108】

このとき、第8の入力端子303に入力されるセットパルス(SSP)がLレベルであるため、第16のトランジスタ316及び第19のトランジスタ319も非導通状態である。第18のトランジスタ318及び第19のトランジスタ319が非導通状態なので、第11のトランジスタ311、第13のトランジスタ313、第15のトランジスタ315は、導通状態を保持する。第11のトランジスタ311が導通状態であることによって、図6(B)中の一点鎖線矢印のように電流が流れ、第2の出力端子305からコモン電位(TCOML)が出力される。また、第13のトランジスタ313が導通状態であることにより、図6(B)中の点線矢印のように電流が流れ、第3の出力端子306からLレベルの信号が出力される。

30

【0109】

また、第1のリセット用パルス出力回路10₁の第1の出力端子206から出力される信号がHレベルであるため、第2のリセット用パルス出力回路10₂において、第4の入力端子204から第1のトランジスタ221のゲートと第9のトランジスタ229のゲートに第1の電位(VDD)が印加されて、第1のトランジスタ221と第9のトランジスタ229が導通状態になる。

40

【0110】

このとき、第5のトランジスタ225のゲートには第1の電位(VDD)が印加されているため、第5のトランジスタ225も導通状態になっている。第1のトランジスタ221及び第5のトランジスタ225が導通状態であるため、第3のトランジスタ223は導通状態になる。よって、図7(A)中の点線矢印のように電流が流れ、第1の出力端子206からLレベルの信号が出力される。

【0111】

50

また、第2の期間402において、第1のリセット用パルス出力回路10₁の第1の出力端子206から出力される信号が第1の電位(VDD)であるため、第2のセット用パルス出力回路20₂において、第9の入力端子304にゲートが接続された第18のトランジスタ318が導通状態になる。

【0112】

第18のトランジスタ318が導通状態であるため、第11のトランジスタ311、第13のトランジスタ313、第15のトランジスタ315は導通状態になる。第11のトランジスタ311が導通状態であるため、図7(B)中の一点鎖線矢印のように電流が流れ、第2の出力端子305から、出力信号(OUT(2))としてコモン電位(TCOML)が出力される。また、第13のトランジスタ313が導通状態であるため、図7(B)中の点線矢印のように電流が流れ、第3の出力端子306からLレベルの信号が出力される。

10

【0113】

以上のように、第2の期間402において、第2のセット用パルス出力回路20₂の第2の出力端子305から、出力信号(OUT(2))としてコモン電位(TCOML)が出力される。

【0114】

また、第3の期間403において、第1の期間401及び第2の期間402で述べたのと同様に、第3のセット用パルス出力回路20₃～第nのセット用パルス出力回路20_nの第2の出力端子305から、出力信号(OUT(3)～OUT(n))として、順次コモン電位(TCOML)が出力される。

20

【0115】

次に、第4の期間404において、セットパルス(SSP)がHレベルになる。

【0116】

第4の期間404では、第1のリセット用クロック信号(RCLK1)、第2のセット用クロック信号(SCLK2)はHレベル、第2のリセット用クロック信号(RCLK2)～第4のリセット用クロック信号(RCLK4)、第1のセット用クロック信号(SCLK1)はLレベルである。また、リセットパルス(RSP)はLレベルである。

【0117】

よって、第1のトランジスタ221、第2のトランジスタ222、及び第4のトランジスタ224は非導通状態であるため、第3のトランジスタ223の導通状態が保持され、第1の出力端子206から第1の電位(VDD)が出力される(図8(A)参照)。

30

【0118】

また、セットパルス(SSP)がHレベルであるため、第1のセット用パルス出力回路20₁において、第8の入力端子303にゲートが接続された、第16のトランジスタ316と第19のトランジスタ319が導通状態になる。

【0119】

このとき、第14のトランジスタ314のゲートには第1の電位(VDD)が印加されているため、第14のトランジスタ314も導通状態になっている。第16のトランジスタ316及び第14のトランジスタ314が導通状態であるため、第10のトランジスタ310及び第12のトランジスタ312は導通状態になる。第10のトランジスタ310が導通状態であるため、図8(B)中の一点鎖線矢印のように電流が流れ、第2の出力端子305から、出力信号(OUT(1))としてコモン電位(TCOMH)が出力される。また、第12のトランジスタ312が導通状態であるため、図8(B)の点線矢印のように電流が流れ、第3の出力端子306からLレベルの信号が出力される。

40

【0120】

以上のように、第4の期間404において、セットパルス(SSP)がHレベルであるため、第1のセット用パルス出力回路20₁の第2の出力端子305から、出力信号(OUT(1))としてコモン電位(TCOMH)が出力される。

【0121】

50

次に、第 5 の期間 4 0 5 において、セットパルス (S S P) が L レベルになる。

【 0 1 2 2 】

第 5 の期間 4 0 5 では、第 2 のリセット用クロック信号 (R C L K 2)、第 1 のセット用クロック信号 (S C L K 1) は H レベル、第 1 のリセット用クロック信号 (R C L K 1)、第 3 のリセット用クロック信号 (R C L K 3)、第 4 のリセット用クロック信号 (R C L K 4)、第 2 のセット用クロック信号 (S C L K 2) は L レベルである。また、リセットパルス (R S P) は L レベルである。

【 0 1 2 3 】

第 1 のリセット用パルス出力回路 1 0 _ 1 において、第 3 の入力端子 2 0 3 に供給される第 2 のリセット用クロック信号 (R C L K 2) が H レベルであるため、第 6 のトランジスタ 2 2 6 は導通状態になる。第 6 のトランジスタ 2 2 6 が導通状態になるため、第 2 のトランジスタ 2 2 2 及び第 4 のトランジスタ 2 2 4 は導通状態になる。第 4 のトランジスタ 2 2 4 が導通状態であるため、図 9 (A) 中の点線矢印のように電流が流れ、第 1 の出力端子 2 0 6 から L レベルの信号が出力される。

【 0 1 2 4 】

また、第 5 の期間 4 0 5 において、セットパルス (S S P) が L レベルであるため、第 1 のセット用パルス出力回路 2 0 _ 1 において、第 8 の入力端子 3 0 3 にゲートが接続された、第 1 6 のトランジスタ 3 1 6 と第 1 9 のトランジスタ 3 1 9 が非導通状態になる。よって、第 1 0 のトランジスタ 3 1 0 及び第 1 2 のトランジスタ 3 1 2 は導通状態に保持される。第 1 0 のトランジスタ 3 1 0 が導通状態であることによって、図 9 (B) の一点鎖線矢印のように電流が流れ、第 2 の出力端子 3 0 5 から、出力信号 (O U T (1)) としてコモン電位 (T C O M H) が出力される。また、第 1 2 のトランジスタ 3 1 2 が導通状態であることによって、図 9 (B) の点線矢印のように電流が流れ、第 3 の出力端子 3 0 6 から H レベルの信号が出力される。

【 0 1 2 5 】

また、第 1 のリセット用パルス出力回路 1 0 _ 1 の第 1 の出力端子 2 0 6 から出力される信号が L レベルであるため、第 2 のリセット用パルス出力回路 1 0 _ 2 において、第 4 の入力端子 2 0 4 から第 1 のトランジスタ 2 2 1 のゲートと第 9 のトランジスタ 2 2 9 のゲートに第 2 の電位 (V S S) が印加されて、第 1 のトランジスタ 2 2 1 と第 9 のトランジスタ 2 2 9 が非導通状態になる。

【 0 1 2 6 】

よって、第 1 のトランジスタ 2 2 1、第 2 のトランジスタ 2 2 2、及び第 4 のトランジスタ 2 2 4 は非導通状態であるため、第 3 のトランジスタ 2 2 3 の導通状態が保持され、第 1 の出力端子 2 0 6 から第 1 の電位 (V D D) が出力される (図 1 0 (A) 参照)。

【 0 1 2 7 】

また、第 5 の期間 4 0 5 において、第 1 のセット用パルス出力回路 2 0 _ 1 の第 3 の出力端子 3 0 6 からの出力される信号が第 1 の電位 (V D D) であるため、第 2 のセット用パルス出力回路 2 0 _ 2 において、第 8 の入力端子 3 0 3 にゲートが接続された第 1 6 のトランジスタ 3 1 6 及び第 1 9 のトランジスタ 3 1 9 が導通状態になる。また、第 1 4 のトランジスタ 3 1 4 のゲートには第 1 の電位 (V D D) が印加されているため、第 1 4 のトランジスタ 3 1 4 は導通状態である。第 1 6 のトランジスタ 3 1 6 及び第 1 4 のトランジスタ 3 1 4 が導通状態であるため、第 1 2 のトランジスタ 3 1 2 及び第 1 0 のトランジスタ 3 1 0 は導通状態になる。第 1 0 のトランジスタ 3 1 0 が導通状態であるため、図 1 0 (B) 中の一点鎖線矢印のように電流が流れ、第 2 の出力端子 3 0 5 からコモン電位 (T C O M H) が出力される。また、第 1 2 のトランジスタ 3 1 2 が導通状態であるため、図 1 0 (B) 中の点線矢印のように電流が流れ、第 3 の出力端子 3 0 6 から第 2 の電位 (V S S) が出力される。

【 0 1 2 8 】

以上のように、第 5 の期間 4 0 5 において、第 2 のセット用パルス出力回路 2 0 _ 2 の第 2 の出力端子 3 0 5 から、出力信号 (O U T (2)) としてコモン電位 (T C O M H)

が出力される。

【 0 1 2 9 】

また、第 6 の期間 4 0 6 において、第 4 の期間 4 0 4 及び第 5 の期間 4 0 5 で述べたのと同様に、第 3 のセット用パルス出力回路 2 0 $_3$ ~ 第 n のセット用パルス出力回路 2 0 $_n$ の第 2 の出力端子 3 0 5 から、出力信号 (O U T (3) ~ O U T (n)) として、順次コモン電位 (T C O M H) が出力される。

【 0 1 3 0 】

そして、コモン線駆動回路において、本実施の形態で説明したシフトレジスタがコモン電位を出力するタイミングと、画素部において、走査線 (G L $_1$ ~ G L $_n$) を選択するタイミングと、を同期させ、且つ、フレーム反転駆動することによって、信号線 (S L $_1$ ~ S L $_n$) に書き込まれる画像信号の振幅電圧を小さくすることができる。

10

【 0 1 3 1 】

画像信号の振幅電圧を小さくすることができるため、液晶表示装置の消費電力の低減を図ることができる。また、画像信号の振幅電圧を小さくすることができるため、液晶素子を駆動するトランジスタの耐圧のマージンを低く設定できる。

【 0 1 3 2 】

又は、画像信号の振幅電圧を小さくすることができ、走査線駆動回路の電圧を下げることもできるため、液晶表示装置の消費電力の低減を図ることができる。

【 0 1 3 3 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

20

【 0 1 3 4 】

(実施の形態 2)

本実施の形態では、コモン線駆動回路に設けられるシフトレジスタであって、上記実施の形態 1 とは異なるシフトレジスタの構成について、以下に説明する。

【 0 1 3 5 】

本実施の形態で示すシフトレジスタの構成について、図 1 1 を参照して説明する。シフトレジスタは、第 1 のリセット用パルス出力回路 3 0 $_1$ ~ 第 n のリセット用パルス出力回路 3 0 $_n$ (n は 2 以上の自然数) と、第 1 のセット用パルス出力回路 2 0 $_1$ ~ 第 n のセット用パルス出力回路 2 0 $_n$ と、を有している。

30

【 0 1 3 6 】

リセット用パルス出力回路について、図 1 2 を参照して以下に説明する。

【 0 1 3 7 】

上記実施の形態 1 では、図 1 に示すように、第 1 のリセット用パルス出力回路 1 0 $_1$ ~ 第 (n - 1) のリセット用パルス出力回路 1 0 $_n - 1$ (n は 2 以上の自然数) の第 5 の入力端子 2 0 5 が、一段後段のリセット用パルス出力回路の第 1 の出力端子 2 0 6 と接続されている構成を有している。一方、本実施の形態で示すリセット用パルス出力回路では、図 1 1 に示すように、第 1 のリセット用パルス出力回路 3 0 $_1$ ~ 第 (n - 1) のリセット用パルス出力回路 3 0 $_n - 1$ (n は 2 以上の自然数) が第 5 の入力端子を有していない。

40

【 0 1 3 8 】

具体的には、第 1 のリセット用パルス出力回路 3 0 $_1$ ~ 第 n のリセット用パルス出力回路 3 0 $_n$ の各々は、第 1 の入力端子 1 2 0 1 ~ 第 4 の入力端子 1 2 0 4 と、第 1 の出力端子 1 2 0 6 と、を有している (図 1 2 (A) 参照) 。

【 0 1 3 9 】

第 1 の入力端子 1 2 0 1 は、リセット初期化信号線 1 0 0 と接続されている。リセット初期化信号線 1 0 0 にはリセット初期化信号 (I N I _ R E S) が入力される。

【 0 1 4 0 】

第 2 の入力端子 1 2 0 2 及び第 3 の入力端子 1 2 0 3 の各々は、第 1 の信号線 1 0 1 ~ 第 4 の信号線 1 0 4 のいずれかと接続されている。例えば、図 1 1 において、第 1 のリセ

50

ット用パルス出力回路 30₁ は、第 2 の入力端子 1202 が第 1 の信号線 101 と接続され、第 3 の入力端子 1203 が第 2 の信号線 102 と接続されている。また、第 2 のリセット用パルス出力回路 30₂ は、第 2 の入力端子 1202 が第 2 の信号線 102 と接続され、第 3 の入力端子 1203 が第 3 の信号線 103 と接続されている。

【0141】

なお、ここでは、第 n のリセット用パルス出力回路 30_n の第 2 の入力端子 1202 と接続されている信号線が第 2 の信号線 102 であり、第 3 の入力端子 1203 と接続されている信号線が第 3 の信号線 103 である場合を示しているが、接続されている信号線は、n の値によって異なるものになる。このため、ここで示す構成はあくまでも一例に過ぎないことを付記する。

10

【0142】

第 1 の信号線 101 には第 1 のリセット用クロック信号 (RCLK1) が入力され、第 2 の信号線 102 には第 2 のリセット用クロック信号 (RCLK2) が入力され、第 3 の信号線 103 には第 3 のリセット用クロック信号 (RCLK3) が入力され、第 4 の信号線 104 には第 4 のリセット用クロック信号 (RCLK4) が入力される。

【0143】

リセット用クロック信号 (RCLK) は、一定の間隔で H (High) レベルと L (Low) レベルを繰り返す信号である。ここでは、第 1 のリセット用クロック信号 (RCLK1) ~ 第 4 のリセット用クロック信号 (RCLK4) は、順に 1 / 4 周期分遅延している。本実施の形態では、第 1 のリセット用クロック信号 (RCLK1) ~ 第 4 のリセット用クロック信号 (RCLK4) を利用して、第 1 のリセット用パルス出力回路 30₁ ~ 第 n のリセット用パルス出力回路 30_n の駆動の制御等を行う。

20

【0144】

第 1 のリセット用パルス出力回路 30₁ の第 4 の入力端子 1204 は、第 1 の配線 111 と接続されている。第 1 の配線 111 にはリセットパルス (RSP) が入力される。また、第 2 のリセット用パルス出力回路 30₂ ~ 第 n のリセット用パルス出力回路 30_n の第 4 の入力端子 1204 は、一段前段のリセット用パルス出力回路の第 1 の出力端子 1206 と接続されている。一段前段のリセット用パルス出力回路から、第 2 のリセット用パルス出力回路 30₂ ~ 第 n のリセット用パルス出力回路 30_n の第 4 の入力端子 1204 に信号が出力される。

30

【0145】

次に、図 11 に示す第 1 のリセット用パルス出力回路 30₁ ~ 第 n のリセット用パルス出力回路 30_n の具体的な構成について、以下に説明する。

【0146】

第 1 のリセット用パルス出力回路 30₁ ~ 第 n のリセット用パルス出力回路 30_n の各々は、トランジスタ 1211 ~ トランジスタ 1218 (以下、順に第 1 のトランジスタ ~ 第 8 のトランジスタという。) を有している (図 12 (B) 参照)。また、上述した第 1 の入力端子 1201 ~ 第 4 の入力端子 1204 及び第 1 の出力端子 1206 に加え、第 1 の電源線 1221 ~ 第 7 の電源線 1227 から、第 1 のトランジスタ 1211 ~ 第 8 のトランジスタ 1218 に信号が入力される。

40

【0147】

以下において、第 1 のトランジスタ 1211 ~ 第 8 のトランジスタ 1218 を N チャンネル型のトランジスタとして説明する。

【0148】

第 1 のトランジスタ 1211 は、第 1 の端子 (ソース又はドレインの一方の端子。以下同様。) が第 1 の電源線 1221 と接続され、第 2 の端子 (ソース又はドレインの他方の端子。以下同様。) が第 5 のトランジスタ 1215 の第 1 の端子と接続され、ゲートが第 4 の入力端子 1204 と接続されている。第 2 のトランジスタ 1212 は、第 1 の端子が第 5 のトランジスタ 1215 の第 1 の端子と接続され、第 2 の端子が第 2 の電源線 1222 と接続され、ゲートが第 4 のトランジスタ 1214 のゲートと接続されている。

50

【 0 1 4 9 】

第3のトランジスタ1213は、第1の端子が第2の入力端子1202と接続され、第2の端子が第1の出力端子1206と接続され、ゲートが第5のトランジスタ1215の第2の端子と接続されている。第4のトランジスタ1214は、第1の端子が第1の出力端子1206と接続され、第2の端子が第3の電源線1223と接続されている。

【 0 1 5 0 】

第5のトランジスタ1215は、ゲートが第4の電源線1224と接続されている。第6のトランジスタ1216は、第1の端子が第5の電源線1225と接続され、第2の端子が第4のトランジスタ1214のゲートと接続され、ゲートが第3の入力端子1203と接続されている。

10

【 0 1 5 1 】

第7のトランジスタ1217は、第1の端子が第6の電源線1226と接続され、第2の端子が第4のトランジスタ1214のゲートと接続され、ゲートが第1の入力端子1201と接続されている。第8のトランジスタ1218は、第1の端子が第4のトランジスタ1214のゲートと接続され、第2の端子が第7の電源線1227と接続され、ゲートが第4の入力端子1204と接続されている。

【 0 1 5 2 】

なお、第1の電源線1221、第4の電源線1224、第5の電源線1225、及び第6の電源線1226には、第1の電位（例えば、VDD）が供給され、第2の電源線1222、第3の電源線1223、第7の電源線1227には、第2の電位（例えば、VSS）が供給されるものとする。ここで、 $VDD > VSS$ とする。

20

【 0 1 5 3 】

また、第1のリセット用クロック信号（RCLK1）～第4のリセット用クロック信号（RCLK4）は、一定の間隔でHレベルとLレベルを繰り返す信号であるが、HレベルのときにVDD、LレベルのときにVSSであるとする。また、ここでは説明の簡略化のため $VSS = 0$ とするが、これに限られない。なお、VDDとVSSとの差分は、トランジスタのしきい値電圧よりも大きくなるものとし、すなわちトランジスタを導通状態（オン状態）にするものとする。

【 0 1 5 4 】

また、第1のセット用パルス出力回路20₁～第nのセット用パルス出力回路20_nの各々の構成は、実施の形態1で詳述した構成（図3参照）を採用することができるため、ここでは説明を省略する。

30

【 0 1 5 5 】

また、本実施の形態で説明したシフトレジスタは、実施の形態1で説明した動作（図4～図10参照）と同様の動作をすることができるため、ここでは説明を省略する。

【 0 1 5 6 】

コモン線駆動回路において、本実施の形態で説明したシフトレジスタがコモン電位を出力するタイミングと、画素部において、走査線（GL₁～GL_n）を選択するタイミングと、を同期させ、且つ、フレーム反転駆動することによって、信号線（SL₁～SL_n）に書き込まれる画像信号の振幅電圧を小さくすることができる。

40

【 0 1 5 7 】

画像信号の振幅電圧を小さくすることができるため、液晶表示装置の消費電力の低減を図ることができる。また、画像信号の振幅電圧を小さくすることができるため、液晶素子を駆動するトランジスタの耐圧のマージンを低く設定できる。

【 0 1 5 8 】

フレーム反転駆動の際、信号線に書き込まれる画像信号の振幅電圧を小さくすることによって、走査線駆動回路の電圧を下げるため、液晶表示装置の消費電力の低減を図ることができる。

【 0 1 5 9 】

また、本実施の形態で示すリセット用パルス出力回路を採用することによって、シフト

50

レジスタの配線数を削減できるため、配線の引き回し面積を小さくでき、シフトレジスタのレイアウト面積の縮小を図ることができる。また、配線数を削減できるため、シフトレジスタの歩留まりの向上を図ることができる。

【0160】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0161】

(実施の形態3)

本実施の形態では、コモン線駆動回路に設けられるシフトレジスタであって、上記実施の形態1～2とは異なるシフトレジスタの構成について、図13～図15を参照して説明する。本実施の形態では、コモン線駆動回路に第1のシフトレジスタと第2のシフトレジスタを設ける例を示す。

10

【0162】

はじめに、第1のリセット用パルス出力回路及び第1のセット用パルス出力回路を有する第1のシフトレジスタの構成について、以下に説明する。

【0163】

本実施の形態で示す第1のシフトレジスタの構成について、図13を参照して説明する。第1のシフトレジスタは、第1のリセット用パルス出力回路 40_1 ～第 $(2m-1)$ のリセット用パルス出力回路 40_2m-1 (m は2以上の自然数)と、第1のセット用パルス出力回路 50_1 ～第 $(2m-1)$ のセット用パルス出力回路 50_2m-1 (m は2以上の自然数)と、を有している。

20

【0164】

図13で示すリセット用パルス出力回路は、上記実施の形態1又は実施の形態2で説明したリセットパルス出力回路とは、第2の入力端子と第3の入力端子の、第1の信号線101～第4の信号線104に対する接続がそれぞれ異なっている。

【0165】

具体的には、図13において、第1のリセット用パルス出力回路 40_1 は、第2の入力端子202が第1の信号線101と接続され、第3の入力端子203が第2の信号線102と接続されている。また、第3のリセット用パルス出力回路 40_3 は、第2の入力端子202が第3の信号線103と接続され、第3の入力端子203が第4の信号線104と接続されている。

30

【0166】

なお、ここでは、第 $(2m-1)$ のリセット用パルス出力回路 40_2m-1 の第2の入力端子202と接続されている信号線が第3の信号線103であり、第3の入力端子203と接続されている信号線が第4の信号線104である場合を示しているが、接続されている信号線は、 m の値によって異なるものになる。このため、ここで示す構成はあくまでも一例に過ぎないことを付記する。

【0167】

また、第1のセット用パルス出力回路 50_1 ～第 $(2m-1)$ のセット用パルス出力回路 50_2m-1 の第2の出力端子305からは、それぞれ、出力信号(OUT(1)～OUT($2m-1$)) (m は2以上の自然数)が出力される。

40

【0168】

なお、第1のシフトレジスタにおける第1の配線1311、第2の配線1312の各々は、図1又は図11の第1の配線111、第2の配線112に対応する。第1の配線1311には第1のリセットパルス(RSP1)が入力され、第2の配線1312には第1のセットパルス(SSP1)が入力される。

【0169】

次に、第2のリセット用パルス出力回路及び第2のセット用パルス出力回路を有する第2のシフトレジスタの構成について、以下に説明する。

【0170】

50

本実施の形態で示す第2のシフトレジスタの構成について、図14を参照して説明する。第2のシフトレジスタは、第2のリセット用パルス出力回路40₂ ~ 第2mのリセット用パルス出力回路40_{2m} (mは2以上の自然数)と、第2のセット用パルス出力回路50₂ ~ 第2mのセット用パルス出力回路50_{2m} (mは2以上の自然数)と、を有している。

【0171】

図14で示すリセット用パルス出力回路は、上記実施の形態1又は実施の形態2で説明したリセットパルス出力回路とは、第2の入力端子と第3の入力端子の、第1の信号線101 ~ 第4の信号線104に対する接続がそれぞれ異なっている。

【0172】

具体的には、図14において、第2のリセット用パルス出力回路40₂は、第2の入力端子202が第2の信号線102と接続され、第3の入力端子203が第3の信号線103と接続されている。また、第4のリセット用パルス出力回路40₄は、第2の入力端子202が第4の信号線104と接続され、第3の入力端子203が第1の信号線101と接続されている。

【0173】

なお、ここでは、第2mのリセット用パルス出力回路40_{2m}の第2の入力端子202と接続されている信号線が第4の信号線104であり、第3の入力端子203と接続されている信号線が第1の信号線101である場合を示しているが、接続されている信号線は、mの値によって異なるものになる。このため、ここで示す構成はあくまでも一例に過ぎないことを付記する。

【0174】

また、第2のセット用パルス出力回路50₂ ~ 第2mのセット用パルス出力回路50_{2m}の第2の出力端子305からは、それぞれ、出力信号(OUT(2) ~ OUT(2m)) (mは2以上の自然数)が出力される。

【0175】

なお、第2のシフトレジスタにおける第1の配線1411、第2の配線1412の各々は、図1又は図11の第1の配線111、第2の配線112に対応する。第1の配線1411には第2のリセットパルス(RSP2)が入力され、第2の配線1412には第2のセットパルス(SSP2)が入力される。

【0176】

なお、第1のシフトレジスタ及び第2のシフトレジスタの各々が有するリセット用パルス出力回路として、例えば、実施の形態1の図2で示したリセット用パルス出力回路や実施の形態2の図12で示したリセット用パルス出力回路を用いることができる。また、第1のシフトレジスタ及び第2のシフトレジスタの各々が有するセット用パルス出力回路として、例えば、実施の形態1の図3で示したセット用パルス出力回路を用いることができる。よってここでは、リセット用パルス出力回路とセット用パルス出力回路の具体的な構成の説明は省略する。

【0177】

次に、図13で示した第1シフトレジスタ及び図14で示した第2のシフトレジスタの動作について、図15を参照して説明する。具体的には、図15のタイミングチャートにおいて、第1の期間1501 ~ 第10の期間1510に分割して説明する。

【0178】

なお、以下の説明において、第1のシフトレジスタ及び第2のシフトレジスタが有するトランジスタをNチャンネル型のトランジスタとし、ゲートとソース間電圧(V_{gs})がしきい値電圧(V_{th})を上回ったときに導通状態(オン状態)になるものとする。

【0179】

第1の期間1501では第1のリセットパルス(RSP1)がHレベルになり、第1のシフトレジスタは、実施の形態1の図4で示した第1の期間401と同様に動作する。具体的には、第1のセット用パルス出力回路50₁の第2の出力端子305から、出力信

10

20

30

40

50

号 (OUT (1)) としてコモン電位 (TCOML) が出力される。

【0180】

第2の期間1502では第2のセットパルス (SSP2) がHレベルになり、第2のシフトレジスタは、実施の形態1の図4で示した第4の期間404と同様に動作する。具体的には、第2のセット用パルス出力回路50₂の第2の出力端子305から、出力信号 (OUT (2)) としてコモン電位 (TCOMH) が出力される。

【0181】

第3の期間1503では、第1のシフトレジスタは、実施の形態1の図4で示した第2の期間402と同様に動作する。具体的には、第3のセット用パルス出力回路50₃の第2の出力端子305から、出力信号 (OUT (3)) としてコモン電位 (TCOML) が出力される。

10

【0182】

第4の期間1504では、第2のシフトレジスタは、実施の形態1の図4で示した第5の期間405と同様に動作する。具体的には、第4のセット用パルス出力回路50₄の第2の出力端子305から、出力信号 (OUT (4)) としてコモン電位 (TCOMH) が出力される。

【0183】

第5の期間1505では、第1の期間1501～第4の期間1504で述べたのと同様に、第5のセット用パルス出力回路50₅～第(2m-1)のセット用パルス出力回路50_{2m-1} (mは4以上の自然数)の第2の出力端子305と、第6のセット用パルス出力回路50₆～第2mのセット用パルス出力回路50_{2m} (mは4以上の自然数)の第2の出力端子305から、出力信号 (OUT (5))～OUT (2m-1) (mは4以上の自然数) としてコモン電位 (TCOML) と、出力信号 (OUT (6))～OUT (2m) (mは4以上の自然数) としてコモン電位 (TCOMH) とが、交互に出力される。

20

【0184】

第6の期間1506では第2のリセットパルス (RSP2) がHレベルになり、第2のシフトレジスタは、実施の形態1の図4で示した第1の期間401と同様に動作する。具体的には、第2のセット用パルス出力回路50₂の第2の出力端子305から、出力信号 (OUT (2)) としてコモン電位 (TCOML) が出力される。

30

【0185】

第7の期間1507では第1のセットパルス (SSP1) がHレベルになり、第1のシフトレジスタは、実施の形態1の図4で示した第4の期間404と同様に動作する。具体的には、第1のセット用パルス出力回路50₁の第2の出力端子305から、出力信号 (OUT (1)) としてコモン電位 (TCOMH) が出力される。

【0186】

第8の期間1508では、第2のシフトレジスタは、実施の形態1の図4で示した第2の期間402と同様に動作する。具体的には、第4のセット用パルス出力回路50₄の第2の出力端子305から、出力信号 (OUT (4)) としてコモン電位 (TCOML) が出力される。

40

【0187】

第9の期間1509では、第1のシフトレジスタは、実施の形態1の図4で示した第5の期間405と同様に動作する。具体的には、第3のセット用パルス出力回路50₃の第2の出力端子305から、出力信号 (OUT (3)) としてコモン電位 (TCOMH) が出力される。

【0188】

第10の期間1510では、第6の期間1506～第9の期間1509で述べたのと同様に、第5のセット用パルス出力回路50₅～第(2m-1)のセット用パルス出力回路50_{2m-1} (mは4以上の自然数)の第2の出力端子305と、第6のセット用パルス出力回路50₆～第2mのセット用パルス出力回路50_{2m} (mは4以上の自然

50

数)の第2の出力端子305から、出力信号(OUT(5)~OUT(2m-1))(mは4以上の自然数)としてコモン電位(TCOMH)と、出力信号(OUT(6)~OUT(2m))(mは4以上の自然数)としてコモン電位(TCOML)とが、交互に出力される。

【0189】

そして、コモン線駆動回路において、本実施の形態で説明したシフトレジスタがコモン電位を出力するタイミングと、画素部において、走査線(GL₁~GL_n)を選択するタイミングと、を同期させ、且つ、フレーム反転駆動することによって、信号線(SL₁~SL_n)に書き込まれる画像信号の振幅電圧を小さくすることができる。

【0190】

10

画像信号の振幅電圧を小さくすることができるため、液晶表示装置の消費電力の低減を図ることができる。また、画像信号の振幅電圧を小さくすることができるため、液晶素子を駆動するトランジスタの耐圧のマージンを低く設定できる。

【0191】

又は、ゲートライン反転駆動の際、信号線に書き込まれる画像信号の振幅電圧を小さくことができ、走査線駆動回路の電圧を下げるため、液晶表示装置の消費電力の低減を図ることができる。

【0192】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

20

【0193】

(実施の形態4)

本実施の形態では、上記実施の形態1の図22で示した液晶表示装置が有する駆動回路の構成について、図16を用いて具体的に説明する。

【0194】

図16(A)に、走査線駆動回路2204の構成を示す。走査線駆動回路2204は、シフトレジスタ1614及びバッファ1615を有する。なお、図16(A)において、複数の走査線(GL)をGL₁~GL_y(yは任意の自然数)で表している。

【0195】

図16(B)に、コモン線駆動回路2205の構成を示す。コモン線駆動回路2205は、シフトレジスタ1618及びバッファ1619を有する。なお、図16(B)において、複数のコモン線(CL)をCL₁~CL_y(yは任意の自然数)で表している。上記実施の形態1~3で説明したシフトレジスタは、コモン線駆動回路2205のシフトレジスタ1618に適用することができる。

30

【0196】

図16(C)に、信号線駆動回路2203の構成を示す。信号線駆動回路2203は、シフトレジスタ1611、第1のラッチ回路1612、第2のラッチ回路1613、及びバッファ1617を有する。なお、図16(C)において、複数の信号線(SL)をSL₁~SL_x(xは任意の自然数)で表している。

【0197】

40

上記実施の形態1~3で説明したシフトレジスタをコモン線駆動回路に適用することによって、アモルファスシリコンを用いたトランジスタでシフトレジスタを設けた場合であっても、コモン線駆動回路を高い周波数で動作させることができる。

【0198】

また、酸化物半導体を用いたトランジスタでコモン線駆動回路のシフトレジスタを設けることもできる。酸化物半導体を用いたトランジスタは、オフ電流を低減すると共に、オン電流及び電界効果移動度を高めることができ、またアモルファスシリコンと比べて劣化の度合いを低減することができる。そのため、コモン線駆動回路内の誤動作を低減し、より確度の高い動作を保証するコモン線駆動回路とすることができる。

【0199】

50

なお、信号線駆動回路、走査線駆動回路、及びコモン線駆動回路の構成は、図 16 に示した構成に限定されず、例えば、サンプリング回路やレベルシフタ等を具備していてもよい。また、上記駆動回路以外に、CPU やコントローラ等の回路を基板 2207 に一体形成してもよい。一体形成することによって、接続する外部回路 (IC) の個数が減少し、軽量化、薄型化が図れるため、携帯端末等には特に有効である。

【0200】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0201】

(実施の形態 5)

上記実施の形態 1 の図 22 に示す液晶表示装置は、交流駆動させることによって、液晶素子の劣化 (焼き付き) を抑制することができる。

【0202】

本実施の形態では、上記実施の形態 1 ~ 3 で説明したシフトレジスタを用いて、図 22 に示す液晶表示装置を交流駆動させる場合の具体的な動作について、図 17、図 18 を用いて説明する。

【0203】

まず、実施の形態 1 又は実施の形態 2 で説明したシフトレジスタを用いたフレーム反転駆動について、図 17 を用いて説明する。

【0204】

図 17 (A) に、液晶表示装置を構成する画素部の回路図を示す。図 17 (A) において、複数の画素 1701 のそれぞれは、液晶素子 1708 と、液晶素子 1708 に印加する電圧を制御するトランジスタ 1709 を有する。また、複数の走査線 (GL) を $GL_1 \sim GL_y$ (y は任意の自然数)、複数の信号線 (SL) を $SL_1 \sim SL_x$ (x は任意の自然数)、複数のコモン線 (CL) を $CL_1 \sim CL_y$ (y は任意の自然数) で表している。コモン線 ($CL_1 \sim CL_y$) は、コモン線駆動回路が有するシフトレジスタに接続されている。

【0205】

図 17 (B) は、図 17 (A) に示した回路をフレーム反転駆動する場合のタイミングチャートである。図 17 (B) において、第 1 の電極と第 2 の電極との間に印加される電圧の極性を、「+」又は「-」で表記している。1 フレームにおいて、複数の走査線 ($GL_1 \sim GL_y$) が順次選択される。

【0206】

また、図 17 (C) に示す模式図は、連続する N フレーム目 (N は任意の自然数) と ($N + 1$) フレーム目とで、1 フレーム毎に液晶素子 1708 の第 1 の電極と第 2 の電極との間に印加される電圧の極性が交互に切り替わる様子を示している。

【0207】

フレーム反転駆動を行う場合、信号線 (SL) に書き込まれる画像信号の電位の極性を、液晶素子 1708 の第 2 の電極の電圧を基準として反転させる。フレーム反転駆動することによって、液晶素子の劣化を防ぐことができる。

【0208】

画像信号の電位の極性を反転させることによって、液晶素子 1708 の第 1 の電極 (画素電極ともいう) の電位を変化させ、第 1 の電極と第 2 の電極との間に印加される電圧の極性を交互に切り替える。よって、信号線 (SL) に書き込まれる画像信号に要する電位の幅は、フレーム反転駆動を行わない場合に比べて 2 倍となる。

【0209】

そこで、本実施の形態においては、画像信号の電位の極性の反転と同期して、第 2 の電極 (対向電極、コモン電極ともいう) の電位を変化させる。

【0210】

具体的には、図 17 (C) の N フレーム目において、走査線 ($GL_1 \sim GL_y$) を選択

10

20

30

40

50

するタイミングと、図4で説明した第1の期間401～第3の期間403において、シフトレジスタが出力信号OUT(1)～OUT(y)としてコモン電位(TCOML)を出力するタイミングとを、同期させる。また、図17(C)の(N+1)フレーム目において、走査線(GL₁～GL_y)を選択するタイミングと、図4で説明した第4の期間404～第6の期間406において、シフトレジスタが出力信号OUT(1)～OUT(y)としてコモン電位(TCOMH)を出力するタイミングとを、同期させる。

【0211】

上記のように、走査線(GL₁～GL_y)を選択するタイミングと、シフトレジスタがコモン電位を出力するタイミングとを同期させることによって、信号線(SL₁～SL_x)に書き込まれる画像信号の振幅電圧を小さくすることができる。これにより、液晶表示装置の消費電力の低減を図ることができる。

10

【0212】

次に、実施の形態3で説明したシフトレジスタを用いたゲートライン反転駆動について、図18を用いて説明する。

【0213】

図18(A)に、液晶表示装置を構成する画素部の回路図を示す。図18(A)において、複数の画素1801のそれぞれは、液晶素子1808と、液晶素子1808に印加する電圧を制御するトランジスタ1809を有する。また、複数の走査線(GL)をGL₁～GL_{2y}(yは任意の自然数)、複数の信号線(SL)をSL₁～SL_x(xは任意の自然数)、複数のコモン線(CL)をCL₁～CL_{2y}(yは任意の自然数)で表している。コモン線(CL₁、CL₃～CL_{2y-1})(yは任意の自然数)は、コモン線駆動回路が有する第1のシフトレジスタに接続され、コモン線(CL₂、CL₄～CL_{2y})(yは任意の自然数)は、コモン線駆動回路が有する第2のシフトレジスタに接続されている。

20

【0214】

図18(B)は、図18(A)に示した回路をゲートライン反転駆動する際のタイミングチャートである。図18(B)において、第1の電極と第2の電極との間に印加される電圧の極性を、「+」又は「-」で表記している。1フレームにおいて、走査線(GL₁～GL_{2y})が順次選択される。

【0215】

30

また、図18(C)に示す模式図は、連続するNフレーム目(Nは任意の自然数)と(N+1)フレーム目とで、行毎に液晶素子1808の第1の電極と第2の電極との間に印加される電圧の極性が交互に切り替わる様子を示している。

【0216】

ゲートライン反転駆動を行う場合、信号線(SL)に書き込まれる画像信号の電位の極性を、液晶素子1808の第2の電極の電圧を基準として、1つの走査線(GL)選択期間毎に反転させる。これにより、隣り合う走査線(GL)に接続されている画素において、互いに逆の極性の画像信号が入力される。ゲートライン反転駆動することによって、液晶素子の劣化を防ぐとともに、ちらつき(フリッカ)を低減することができる。

【0217】

40

画像信号の電位の極性を反転させることによって、液晶素子1808の第1の電極(画素電極ともいう)の電位を変化させ、第1の電極と第2の電極との間に印加される電圧の極性を交互に切り替える。よって、信号線(SL)に書き込まれる画像信号に要する電位の幅は、ゲートライン反転駆動を行わない場合に比べて2倍となる。

【0218】

そこで、本実施の形態においては、画像信号の電位の極性の反転と同期して、第2の電極(対向電極、コモン電極ともいう)の電位を変化させる。

【0219】

具体的には、図18(C)のNフレーム目において、走査線(GL₁～GL_{2y})を選択するタイミングと、図15で説明した第1の期間1501～第5の期間1505におい

50

て、シフトレジスタが出力信号OUT(1)~OUT(2y)としてコモン電位(TCOML)又はコモン電位(TCOMH)を出力するタイミングとを、同期させる。また、図18(C)の(N+1)フレーム目において、走査線(GL₁~GL_{2y})を選択するタイミングと、図15で説明した第6の期間1506~第10の期間1510において、シフトレジスタが出力信号OUT(1)~OUT(2y)としてコモン電位(TCOMH)又はコモン電位(TCOML)を出力するタイミングとを、同期させる。

【0220】

上記のように、走査線(GL₁~GL_{2y})を選択するタイミングと、シフトレジスタがコモン電位を出力するタイミングとを同期させることによって、信号線(SL₁~SL_x)に書き込まれる画像信号の振幅電圧を小さくすることができる。これにより、液晶表示装置の消費電力の低減を図ることができる。

10

【0221】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0222】

(実施の形態6)

本実施の形態では、液晶表示装置が有する表示パネルの画素の構成の一例について、図19を用いて説明する。

【0223】

図19(A)は表示パネルが有する複数の画素の1つの平面図を示している。図19(B)は図19(A)の一点鎖線A-Bにおける断面図である。

20

【0224】

なお、画素とは、一つの色要素(例えばR(赤)、G(緑)、及びB(青)のいずれか1つ)の明るさを制御できる表示単位に相当するものとする。従って、カラー表示する場合には、カラー画像の最小表示単位は、Rの画素とGの画素とBの画素との三画素から構成されるものとする。ただし、カラー画像を表示するための色要素は、三色に限定されず、三色以上を用いても良いし、RGB以外の色を用いても良い。

【0225】

図19(A)において、信号線となる配線層(ソース電極層1901a又はドレイン電極層1901bを含む)は、図中上下方向(列方向)に延伸するように配置されている。走査線となる配線層(ゲート電極層1903を含む)は、ソース電極層1901aに概略直交する方向(図中左右方向(行方向))に延伸するように配置されている。容量配線層1904は、ゲート電極層1903に概略平行な方向であって、且つ、ソース電極層1901aに概略直交する方向(図中左右方向(行方向))に延伸するように配置されている。

30

【0226】

図19(A)において、表示パネルの画素には、ゲート電極層1903を有するトランジスタ1905が設けられている。トランジスタ1905上には、絶縁膜1907及び層間膜1909が設けられている。

【0227】

40

図19に示す表示パネルの画素は、トランジスタ1905に接続される電極層として透明電極層1910を有する。また、コモン線1916に接続される透明電極層1911を有する。透明電極層1910及び透明電極層1911は、互いの櫛歯状の形状が噛み合うように、且つ離間して設けられている。トランジスタ1905上の絶縁膜1907及び層間膜1909には、開口(コンタクトホール)が形成されている。開口(コンタクトホール)において、透明電極層1910とトランジスタ1905とが接続されている。

【0228】

図19に示すトランジスタ1905は、ゲート絶縁層1912を介してゲート電極層1903上に配置された半導体層1913を有し、半導体層1913に接してソース電極層1901a及びドレイン電極層1901bを有する。また、容量配線層1904、ゲート

50

絶縁層 1912、及びドレイン電極層 1901b が積層して、容量素子 1915 を形成している。

【0229】

また、トランジスタ 1905 及び液晶層 1917 を間に挟んで、第 1 の基板 1918 と第 2 の基板 1919 とが重畳するように配置されている。

【0230】

なお、図 19 (B) では、トランジスタ 1905 としてボトムゲート構造の逆スタガ型トランジスタを用いる例を示したが、本明細書で開示する液晶表示装置に適用できるトランジスタの構造は特に限定されない。例えば、ゲート絶縁層を介してゲート電極層が半導体層の上側に配置されるトップゲート構造のトランジスタ、及び、ゲート絶縁層を介してゲート電極層が半導体層の下側に配置されるボトムゲート構造のスタガ型トランジスタ及びプレーナ型トランジスタ等を用いることができる。

【0231】

また、トランジスタ 1905 は、チャネル形成領域を 1 つ有するシングルゲート構造、2 つ有するダブルゲート構造、及び 3 つ有するトリプルゲート構造のいずれかであっても良い。また、チャネル形成領域の上下にゲート絶縁層を介して配置された 2 つのゲート電極層を有する、デュアルゲート型でもよい。

【0232】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0233】

(実施の形態 7)

本実施の形態では、本明細書で開示する液晶表示装置に適用できるトランジスタの構成の一例について、図 20 を用いて説明する。図 20 は、トランジスタの断面構造を示している。

【0234】

なお、図 20 に示すトランジスタは、半導体層として酸化物半導体を用いるものである。酸化物半導体を用いることのメリットは、トランジスタのオン状態において高い電界効果移動度 (最大値で $5 \text{ cm}^2 / \text{V s e c}$ 以上、好ましくは最大値で $10 \text{ cm}^2 / \text{V s e c} \sim 150 \text{ cm}^2 / \text{V s e c}$) と、トランジスタのオフ状態において低い単位チャネル幅あたりのオフ電流 (例えば単位チャネル幅あたりのオフ電流が $1 \text{ aA} / \mu \text{m}$ 未満、好ましくは $10 \text{ zA} / \mu \text{m}$ 未満、且つ、 85°C にて $100 \text{ zA} / \mu \text{m}$ 未満) と、が得られることである。

【0235】

図 20 (A) に示すトランジスタ 2010 は、ボトムゲート構造のトランジスタの一つであり、逆スタガ型トランジスタともいう。

【0236】

トランジスタ 2010 は、絶縁表面を有する基板 2000 上に、ゲート電極層 2001、ゲート絶縁層 2002、酸化物半導体層 2003、ソース電極層 2005a、及びドレイン電極層 2005b を含む。また、トランジスタ 2010 を覆い、酸化物半導体層 2003 に積層する絶縁層 2007 が設けられている。絶縁層 2007 上にはさらに保護絶縁層 2009 が形成されている。

【0237】

図 20 (B) に示すトランジスタ 2020 は、チャネル保護型 (チャネルストップ型ともいう) と呼ばれるボトムゲート構造の一つであり、逆スタガ型トランジスタともいう。

【0238】

トランジスタ 2020 は、絶縁表面を有する基板 2000 上に、ゲート電極層 2001、ゲート絶縁層 2002、酸化物半導体層 2003、酸化物半導体層 2003 のチャネル形成領域を覆うチャネル保護層として機能する絶縁層 2027、ソース電極層 2005a、及びドレイン電極層 2005b を含む。また、トランジスタ 2020 を覆い、保護絶縁

10

20

30

40

50

層 2009 が形成されている。

【0239】

図 20 (C) に示すトランジスタ 2030 はボトムゲート型のトランジスタであり、絶縁表面を有する基板 2000 上に、ゲート電極層 2001、ゲート絶縁層 2002、ソース電極層 2005a、ドレイン電極層 2005b、及び酸化物半導体層 2003 を含む。また、トランジスタ 2030 を覆い、酸化物半導体層 2003 に接する絶縁層 2007 が設けられている。絶縁層 2007 上にはさらに保護絶縁層 2009 が形成されている。

【0240】

トランジスタ 2030 においては、ゲート絶縁層 2002 は基板 2000 及びゲート電極層 2001 上に接して設けられ、ゲート絶縁層 2002 上にソース電極層 2005a、ドレイン電極層 2005b が接して設けられている。そして、ゲート絶縁層 2002、ソース電極層 2005a、及びドレイン電極層 2005b 上に酸化物半導体層 2003 が設けられている。

【0241】

図 20 (D) に示すトランジスタ 2040 は、トップゲート構造のトランジスタの一つである。トランジスタ 2040 は、絶縁表面を有する基板 2000 上に、絶縁層 2037、酸化物半導体層 2003、ソース電極層 2005a、ドレイン電極層 2005b、ゲート絶縁層 2002、及びゲート電極層 2001 を含む。ソース電極層 2005a、ドレイン電極層 2005b にそれぞれ配線層 2036a、配線層 2036b が接して設けられ接続している。

【0242】

本実施の形態では、上述のとおり、半導体層として酸化物半導体層 2003 を用いる。酸化物半導体層 2003 に用いる酸化物半導体としては、四元系金属酸化物である In-Sn-Ga-Zn-O 系酸化物半導体や、三元系金属酸化物である In-Ga-Zn-O 系酸化物半導体、 In-Sn-Zn-O 系酸化物半導体、 In-Al-Zn-O 系酸化物半導体、 Sn-Ga-Zn-O 系酸化物半導体、 Al-Ga-Zn-O 系酸化物半導体、 Sn-Al-Zn-O 系酸化物半導体や、二元系金属酸化物である In-Zn-O 系酸化物半導体、 Sn-Zn-O 系酸化物半導体、 Al-Zn-O 系酸化物半導体、 Zn-Mg-O 系酸化物半導体、 Sn-Mg-O 系酸化物半導体、 In-Mg-O 系酸化物半導体、 In-Ga-O 系酸化物半導体や、 In-O 系酸化物半導体、 Sn-O 系酸化物半導体、 Zn-O 系酸化物半導体等を用いることができる。また、上記酸化物半導体は SiO_2 を含んでいてもよい。ここで、例えば、 In-Ga-Zn-O 系酸化物半導体とは、インジウム (In)、ガリウム (Ga)、亜鉛 (Zn) を有する酸化物膜、という意味であり、その組成比はとくに問わない。また、In と Ga と Zn 以外の元素を含んでいてもよい。

【0243】

また、酸化物半導体層 2003 として、化学式 $\text{InMO}_3(\text{ZnO})_m (m > 0)$ で表記される薄膜を用いることができる。ここで、M は、ガリウム (Ga)、アルミニウム (Al)、マンガン (Mn) 及びコバルト (Co) から選ばれた、一又は複数の金属元素を示す。例えば、M として、ガリウム (Ga)、ガリウム (Ga) 及びアルミニウム (Al)、ガリウム (Ga) 及びマンガン (Mn)、又はガリウム (Ga) 及びコバルト (Co) 等がある。

【0244】

酸化物半導体層 2003 を用いたトランジスタ 2010、2020、2030、2040 は、オフ状態における電流値 (オフ電流値) を低くすることができる。よって、画素において、画像信号等の電気信号を保持するための容量素子を小さく設計することができる。よって、画素の開口率の向上を図ることができる。また、開口率の向上により、低消費電力化を図ることができる。

【0245】

また、酸化物半導体層 2003 を用いたトランジスタ 2010、2020、2030、2040 は、オフ電流を少なくすることができる。よって、画素において、画像信号等の

10

20

30

40

50

電気信号の保持時間を長くすることができ、書き込み間隔も長く設定できる。よって、1フレーム期間の周期を長くすることができ、静止画像の表示期間でのリフレッシュ動作の頻度を少なくすることができるため、消費電力を抑制する効果をより高くできる。また、上記トランジスタは、同一基板上に駆動回路及び画素部を作り分けて作製することができるため、液晶表示装置の部品点数を削減することができる。

【0246】

絶縁表面を有する基板2000として使用することができる基板に大きな制限はない。基板2000として、バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラス等のガラス基板を用いることができる。

【0247】

ボトムゲート構造のトランジスタ2010、2020、2030において、下地膜となる絶縁膜を基板とゲート電極層の間に設けてもよい。下地膜は、基板からの不純物元素の拡散を防止する機能を有し、窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜、及び酸化窒化シリコン膜から選ばれた、一又は複数の膜による積層構造により形成することができる。

【0248】

ゲート電極層2001の材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料、又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

【0249】

ゲート絶縁層2002は、プラズマCVD法又はスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、酸化アルミニウム層、窒化アルミニウム層、酸化窒化アルミニウム層、窒化酸化アルミニウム層、又は酸化ハフニウム層を、単層で又は積層して形成することができる。例えば、第1のゲート絶縁層としてプラズマCVD法により膜厚50nm以上200nm以下の窒化シリコン層(SiN_y ($y > 0$))を形成し、第1のゲート絶縁層上に第2のゲート絶縁層として膜厚5nm以上300nm以下の酸化シリコン層(SiO_x ($x > 0$))を積層して、合計膜厚200nmのゲート絶縁層とする。

【0250】

ソース電極層2005a、ドレイン電極層2005bとしては、例えば、アルミニウム(Al)、クロム(Cr)、銅(Cu)、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)から選ばれた元素を含む金属膜、又は上述した元素を成分とする金属窒化物膜(窒化チタン膜、窒化モリブデン膜、窒化タングステン膜)等の導電膜を用いることができる。また、アルミニウム(Al)、銅(Cu)等の金属膜の下側及び上側の一方又は双方に、チタン(Ti)、モリブデン(Mo)、タングステン(W)等の高融点金属膜又はそれらの金属窒化物膜(窒化チタン膜、窒化モリブデン膜、窒化タングステン膜)を積層させた構成としても良い。

【0251】

ソース電極層2005a、ドレイン電極層2005bに接続する配線層2036a、配線層2036bのような導電膜も、ソース電極層2005a、ドレイン電極層2005bと同様な材料を用いることができる。

【0252】

また、ソース電極層2005a及びドレイン電極層2005b(これらと同じ層で形成される配線層を含む)となる導電膜は、導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては、酸化インジウム(In_2O_3)、酸化スズ(SnO_2)、酸化亜鉛(ZnO)、酸化インジウム酸化スズ合金($\text{In}_2\text{O}_3-\text{SnO}_2$ 、ITOと略記する)、酸化インジウム酸化亜鉛合金($\text{In}_2\text{O}_3-\text{ZnO}$)、又はこれらの金属酸化物材料に酸化シリコンを含ませたものを用いることができる。

【0253】

酸化物半導体層の上方に設けられる絶縁層2007、絶縁層2027、下方に設けられ

10

20

30

40

50

る絶縁層 2 0 3 7 として、代表的には、酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、又は酸化窒化アルミニウム膜等の無機絶縁膜を用いることができる。

【 0 2 5 4 】

また、酸化物半導体層の上方に設けられる保護絶縁層 2 0 0 9 として、代表的には、窒化シリコン膜、窒化アルミニウム膜、窒化酸化シリコン膜、窒化酸化アルミニウム膜等の無機絶縁膜を用いることができる。

【 0 2 5 5 】

また、トランジスタに起因する表面の凹凸を低減するために、保護絶縁層 2 0 0 9 上に平坦化のための絶縁膜を形成してもよい。平坦化のための絶縁膜としては、例えば、ポリイミド、アクリル樹脂、ベンゾシクロブテン系樹脂等の有機材料を用いることができる。また上記有機材料の他に、低誘電率材料 (low - k 材料) 等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化のための絶縁膜を形成してもよい。

【 0 2 5 6 】

このように、本実施の形態を用いて作製した酸化物半導体層を用いたトランジスタは、オフ電流を少なくすることができる。よって、画素において、画像信号等の電気信号の保持時間を長くすることができ、書き込み間隔も長く設定できる。よって、1 フレーム期間の周期を長くすることができ、静止画表示期間でのリフレッシュ動作の頻度を少なくすることができるため、消費電力を抑制する効果をより高くできる。また、酸化物半導体層は、レーザ照射等の処理を経ることなく作製でき、大面積基板にトランジスタを形成することができるため、半導体層として用いるのに好適である。

【 0 2 5 7 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【 0 2 5 8 】

(実施の形態 8)

本明細書で開示する液晶表示装置は、さまざまな電子機器 (遊技機も含む) に適用することができる。電子機器としては、例えば、テレビジョン装置 (テレビ、又はテレビジョン受信機ともいう) 、コンピュータ用等のモニタ、デジタルカメラやデジタルビデオカメラ等のカメラ、デジタルフォトフレーム、携帯電話機 (携帯電話、携帯電話装置ともいう) 、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機等の大型ゲーム機などが挙げられる。上記実施の形態で説明した液晶表示装置を具備する電子機器の例について、図 2 1 を用いて説明する。

【 0 2 5 9 】

図 2 1 (A) は、電子書籍の一例を示している。図 2 1 (A) に示す電子書籍は、筐体 2 1 0 0 及び筐体 2 1 0 1 の 2 つの筐体で構成されている。筐体 2 1 0 0 及び筐体 2 1 0 1 は、蝶番 2 1 0 4 により一体になっており、開閉動作を行うことができる。このような構成により、書籍のような動作を行うことが可能となる。

【 0 2 6 0 】

筐体 2 1 0 0 には表示部 2 1 0 2 が組み込まれ、筐体 2 1 0 1 には表示部 2 1 0 3 が組み込まれている。表示部 2 1 0 2 及び表示部 2 1 0 3 は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部 (図 2 1 (A) では表示部 2 1 0 2) に文章を表示し、左側の表示部 (図 2 1 (A) では表示部 2 1 0 3) に画像を表示することができる。

【 0 2 6 1 】

また、図 2 1 (A) では、筐体 2 1 0 0 に操作部等を備えた例を示している。例えば、筐体 2 1 0 0 は、電源入力端子 2 1 0 5、操作キー 2 1 0 6、スピーカ 2 1 0 7 等を備えている。操作キー 2 1 0 6 により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイス等を備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子 (イヤホン端子、USB 端子、USB ケーブル等の各種ケー

ブルと接続可能な端子など)、記録媒体挿入部等を備える構成としてもよい。さらに、図 2 1 (A) に示す電子書籍は、電子辞書としての機能を持たせた構成としてもよい。

【 0 2 6 2 】

図 2 1 (B) は、液晶表示装置を用いたデジタルフォトフレームの一例を示している。例えば、図 2 1 (B) に示すデジタルフォトフレームは、筐体 2 1 1 1 に表示部 2 1 1 2 が組み込まれている。表示部 2 1 1 2 は、各種画像を表示することが可能であり、例えば、デジタルカメラ等で撮影した画像データを表示させることで、通常の写真立てと同様に機能させることができる。

【 0 2 6 3 】

なお、図 2 1 (B) に示すデジタルフォトフレームは、操作部、外部接続用端子 (U S B 端子、U S B ケーブル等の各種ケーブルと接続可能な端子など)、記録媒体挿入部等を備える構成とする。これらの構成は、表示部と同一面に組み込まれていてもよいが、側面や裏面に備えるとデザイン性が向上するため好ましい。例えば、デジタルフォトフレームの記録媒体挿入部に、デジタルカメラで撮影した画像データを記憶したメモリを挿入して画像データを取り込み、取り込んだ画像データを表示部 2 1 1 2 に表示させることができる。

【 0 2 6 4 】

図 2 1 (C) は、液晶表示装置を用いたテレビジョン装置の一例を示している。図 2 1 (C) に示すテレビジョン装置は、筐体 2 1 2 1 に表示部 2 1 2 2 が組み込まれている。表示部 2 1 2 2 により、映像を表示することが可能である。また、ここでは、スタンド 2 1 2 3 により筐体 2 1 2 1 を支持した構成を示している。表示部 2 1 2 2 は、上記実施の形態に示した液晶表示装置を適用することができる。

【 0 2 6 5 】

図 2 1 (C) に示すテレビジョン装置の操作は、筐体 2 1 2 1 が備える操作スイッチや、別体のリモコン操作機により行うことができる。リモコン操作機が備える操作キーにより、チャンネルや音量の操作を行うことができ、表示部 2 1 2 2 に表示される映像を操作することができる。また、リモコン操作機に、当該リモコン操作機から出力する情報を表示する表示部を設ける構成としてもよい。

【 0 2 6 6 】

図 2 1 (D) は、液晶表示装置を用いた携帯電話機の一例を示している。図 2 1 (D) に示す携帯電話機は、筐体 2 1 3 1 に組み込まれた表示部 2 1 3 2 の他、操作ボタン 2 1 3 3、操作ボタン 2 1 3 7、外部接続ポート 2 1 3 4、スピーカ 2 1 3 5、及びマイク 2 1 3 6 等を備えている。

【 0 2 6 7 】

図 2 1 (D) に示す携帯電話機は、表示部 2 1 3 2 がタッチパネルになっており、指等の接触により、表示部 2 1 3 2 の表示内容を操作することができる。また、電話の発信、或いはメールの作成等は、表示部 2 1 3 2 を指等で接触することにより行うことができる。

【 0 2 6 8 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【 符号の説明 】

【 0 2 6 9 】

- 1 0 リセット用パルス出力回路
- 2 0 セット用パルス出力回路
- 3 0 リセット用パルス出力回路
- 4 0 リセット用パルス出力回路
- 5 0 セット用パルス出力回路
- 1 0 0 リセット初期化信号線
- 1 0 1 第 1 の信号線

10

20

30

40

50

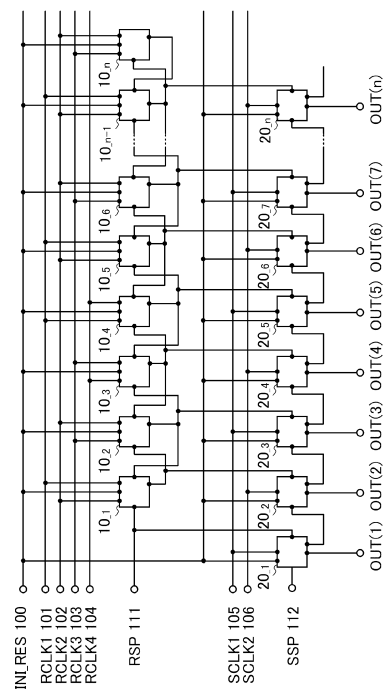
1 0 2	第 2 の信号線	
1 0 3	第 3 の信号線	
1 0 4	第 4 の信号線	
1 0 5	第 5 の信号線	
1 0 6	第 6 の信号線	
1 1 1	第 1 の配線	
1 1 2	第 2 の配線	
2 0 1	第 1 の入力端子	
2 0 2	第 2 の入力端子	
2 0 3	第 3 の入力端子	10
2 0 4	第 4 の入力端子	
2 0 5	第 5 の入力端子	
2 0 6	第 1 の出力端子	
2 2 1	トランジスタ	
2 2 2	トランジスタ	
2 2 3	トランジスタ	
2 2 4	トランジスタ	
2 2 5	トランジスタ	
2 2 6	トランジスタ	
2 2 7	トランジスタ	20
2 2 8	トランジスタ	
2 2 9	トランジスタ	
2 3 1	第 1 の電源線	
2 3 2	第 2 の電源線	
2 3 3	第 3 の電源線	
2 3 4	第 4 の電源線	
2 3 5	第 5 の電源線	
2 3 6	第 6 の電源線	
2 3 7	第 7 の電源線	
2 3 8	第 8 の電源線	30
3 0 1	第 6 の入力端子	
3 0 2	第 7 の入力端子	
3 0 3	第 8 の入力端子	
3 0 4	第 9 の入力端子	
3 0 5	第 2 の出力端子	
3 0 6	第 3 の出力端子	
3 1 0	トランジスタ	
3 1 1	トランジスタ	
3 1 2	トランジスタ	
3 1 3	トランジスタ	40
3 1 4	トランジスタ	
3 1 5	トランジスタ	
3 1 6	トランジスタ	
3 1 7	トランジスタ	
3 1 8	トランジスタ	
3 1 9	トランジスタ	
3 2 9	第 9 の電源線	
3 3 0	第 1 0 の電源線	
3 3 1	第 1 1 の電源線	
3 3 2	第 1 2 の電源線	50

3 3 3	第 1 3 の電源線	
3 3 4	第 1 4 の電源線	
3 3 5	第 1 5 の電源線	
3 3 6	第 1 6 の電源線	
3 3 7	第 1 7 の電源線	
3 3 8	第 1 8 の電源線	
3 6 1	容量素子	
3 6 2	容量素子	
4 0 1	第 1 の期間	
4 0 2	第 2 の期間	10
4 0 3	第 3 の期間	
4 0 4	第 4 の期間	
4 0 5	第 5 の期間	
4 0 6	第 6 の期間	
1 2 0 1	第 1 の入力端子	
1 2 0 2	第 2 の入力端子	
1 2 0 3	第 3 の入力端子	
1 2 0 4	第 4 の入力端子	
1 2 0 6	第 1 の出力端子	
1 2 1 1	トランジスタ	20
1 2 1 2	トランジスタ	
1 2 1 3	トランジスタ	
1 2 1 4	トランジスタ	
1 2 1 5	トランジスタ	
1 2 1 6	トランジスタ	
1 2 1 7	トランジスタ	
1 2 1 8	トランジスタ	
1 2 2 1	第 1 の電源線	
1 2 2 2	第 2 の電源線	
1 2 2 3	第 3 の電源線	30
1 2 2 4	第 4 の電源線	
1 2 2 5	第 5 の電源線	
1 2 2 6	第 6 の電源線	
1 2 2 7	第 7 の電源線	
1 3 1 1	第 1 の配線	
1 3 1 2	第 2 の配線	
1 4 1 1	第 1 の配線	
1 4 1 2	第 2 の配線	
1 5 0 1	第 1 の期間	
1 5 0 2	第 2 の期間	40
1 5 0 3	第 3 の期間	
1 5 0 4	第 4 の期間	
1 5 0 5	第 5 の期間	
1 5 0 6	第 6 の期間	
1 5 0 7	第 7 の期間	
1 5 0 8	第 8 の期間	
1 5 0 9	第 9 の期間	
1 5 1 0	第 1 0 の期間	
1 6 1 1	シフトレジスタ	
1 6 1 2	第 1 のラッチ回路	50

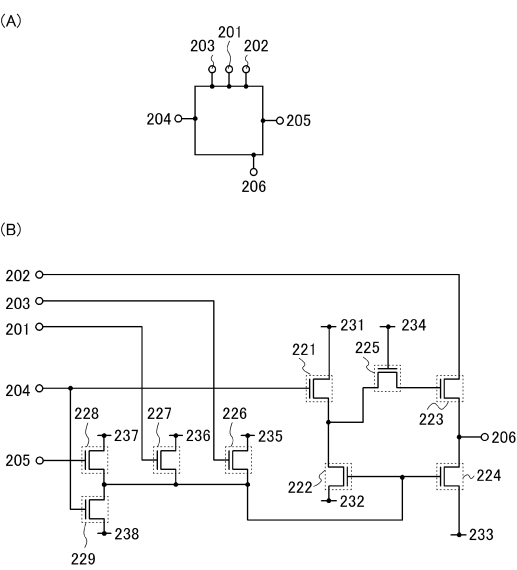
1 6 1 3	第 2 のラッチ回路	
1 6 1 4	シフトレジスタ	
1 6 1 5	バッファ	
1 6 1 7	バッファ	
1 6 1 8	シフトレジスタ	
1 6 1 9	バッファ	
1 7 0 1	画素	
1 7 0 8	液晶素子	
1 7 0 9	トランジスタ	
1 8 0 1	画素	10
1 8 0 8	液晶素子	
1 8 0 9	トランジスタ	
1 9 0 1 a	ソース電極層	
1 9 0 1 b	ドレイン電極層	
1 9 0 3	ゲート電極層	
1 9 0 4	容量配線層	
1 9 0 5	トランジスタ	
1 9 0 7	絶縁膜	
1 9 0 9	層間膜	
1 9 1 0	透明電極層	20
1 9 1 1	透明電極層	
1 9 1 2	ゲート絶縁層	
1 9 1 3	半導体層	
1 9 1 5	容量素子	
1 9 1 6	コモン線	
1 9 1 8	第 1 の基板	
1 9 1 9	第 2 の基板	
2 0 0 0	基板	
2 0 0 1	ゲート電極層	
2 0 0 2	ゲート絶縁層	30
2 0 0 3	酸化物半導体層	
2 0 0 5 a	ソース電極層	
2 0 0 5 b	ドレイン電極層	
2 0 0 7	絶縁層	
2 0 0 9	保護絶縁層	
2 0 1 0	トランジスタ	
2 0 2 0	トランジスタ	
2 0 2 7	絶縁層	
2 0 3 0	トランジスタ	
2 0 3 6 a	配線層	40
2 0 3 6 b	配線層	
2 0 3 7	絶縁層	
2 0 4 0	トランジスタ	
2 1 0 0	筐体	
2 1 0 1	筐体	
2 1 0 2	表示部	
2 1 0 3	表示部	
2 1 0 4	蝶番	
2 1 0 5	電源入力端子	
2 1 0 6	操作キー	50

2 1 0 7	スピーカ	
2 1 1 1	筐体	
2 1 1 2	表示部	
2 1 2 1	筐体	
2 1 2 2	表示部	
2 1 2 3	スタンド	
2 1 3 1	筐体	
2 1 3 2	表示部	
2 1 3 3	操作ボタン	
2 1 3 4	外部接続ポート	10
2 1 3 5	スピーカ	
2 1 3 6	マイク	
2 1 3 7	操作ボタン	
2 2 0 1	画素	
2 2 0 2	画素部	
2 2 0 3	信号線駆動回路	
2 2 0 4	走査線駆動回路	
2 2 0 5	コモン線駆動回路	
2 2 0 6	F P C	
2 2 0 7	基板	20
2 2 0 8	液晶素子	
2 2 0 9	トランジスタ	
2 3 0 0	画素	
2 3 0 1	トランジスタ	
2 3 0 2	液晶素子	
2 3 0 3	保持容量	
2 3 0 4	信号線	
2 3 0 5	走査線	
2 3 0 6	コモン線	
2 3 0 7	容量線	30
2 3 1 1	反転駆動期間	
2 3 1 2	非反転駆動期間	

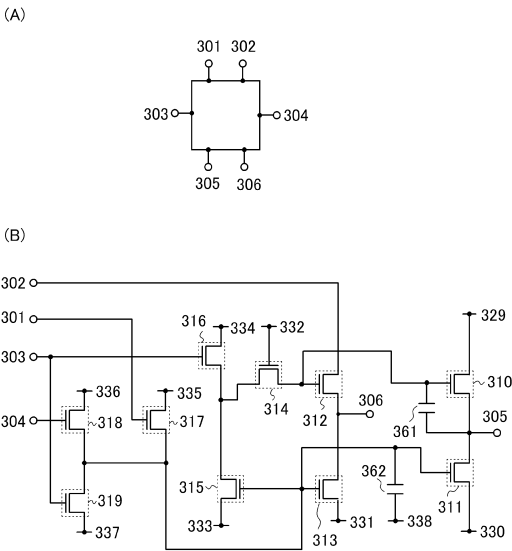
【図 1】



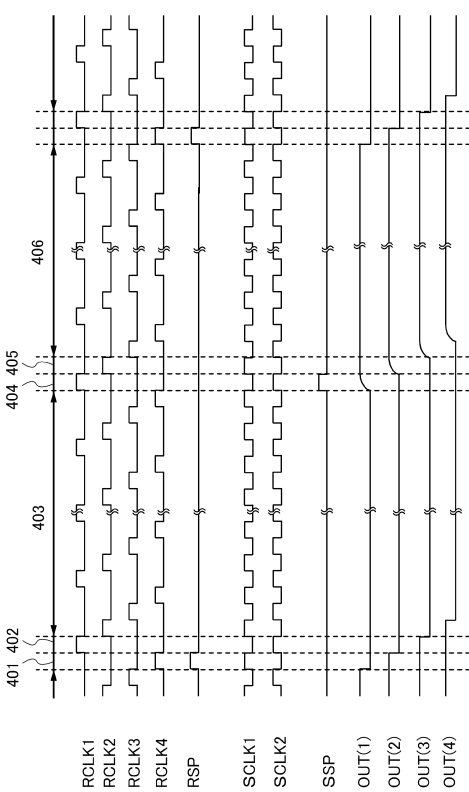
【図 2】



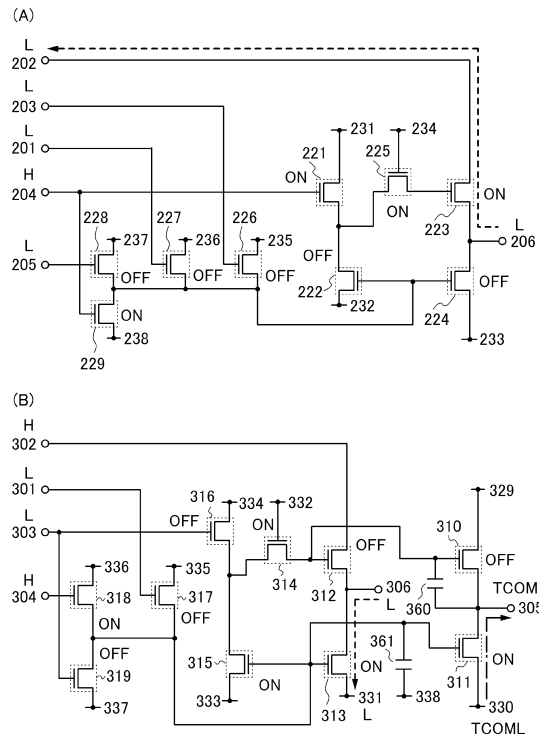
【図 3】



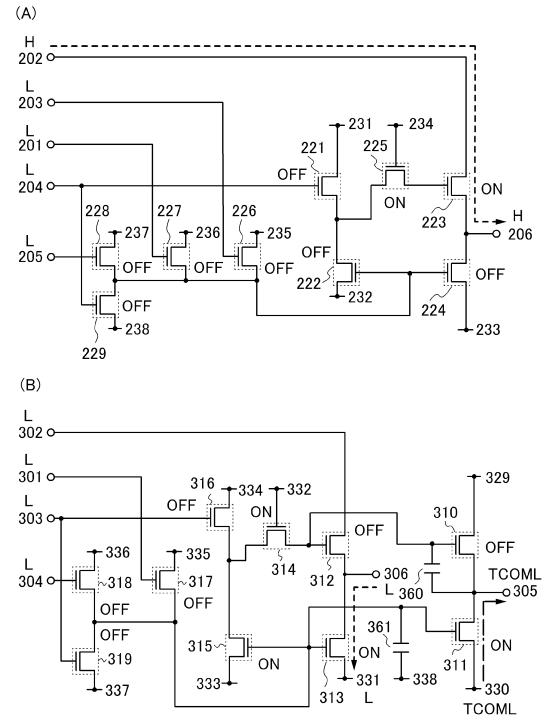
【図 4】



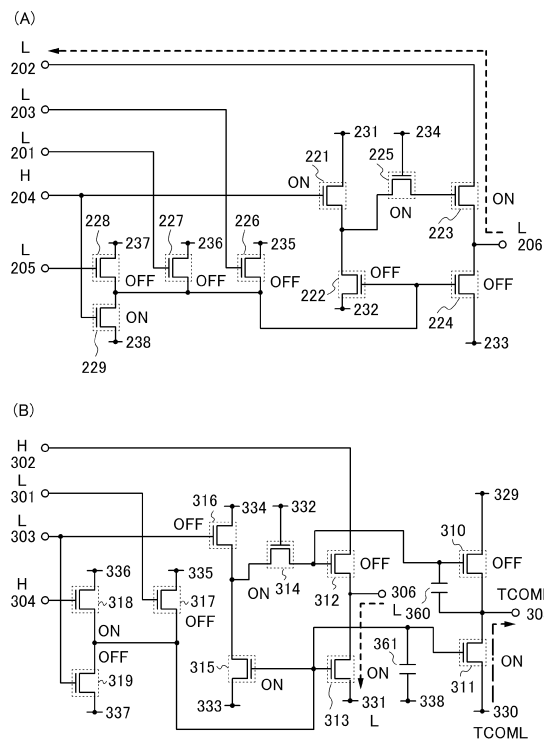
【図 5】



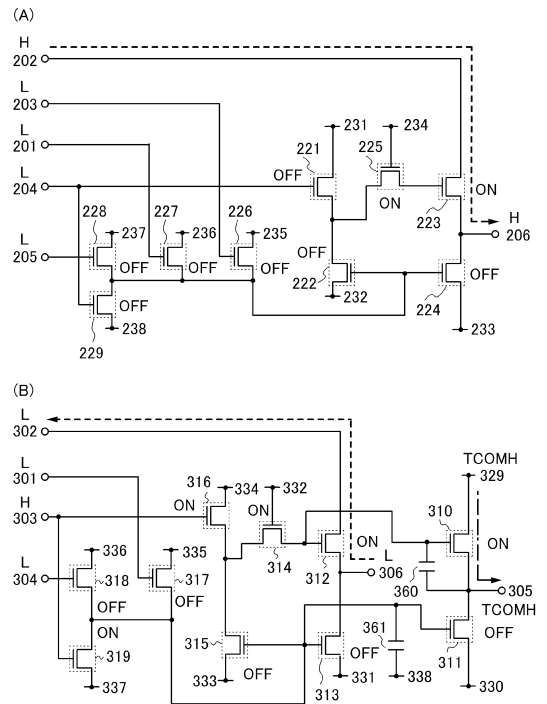
【図 6】



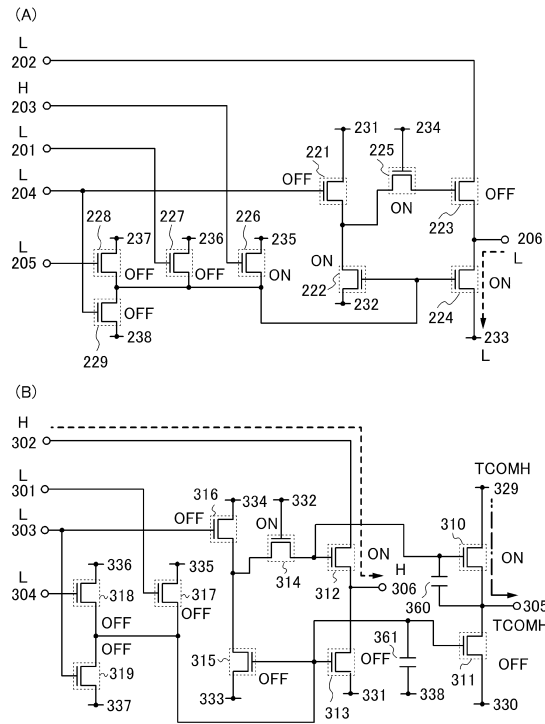
【図 7】



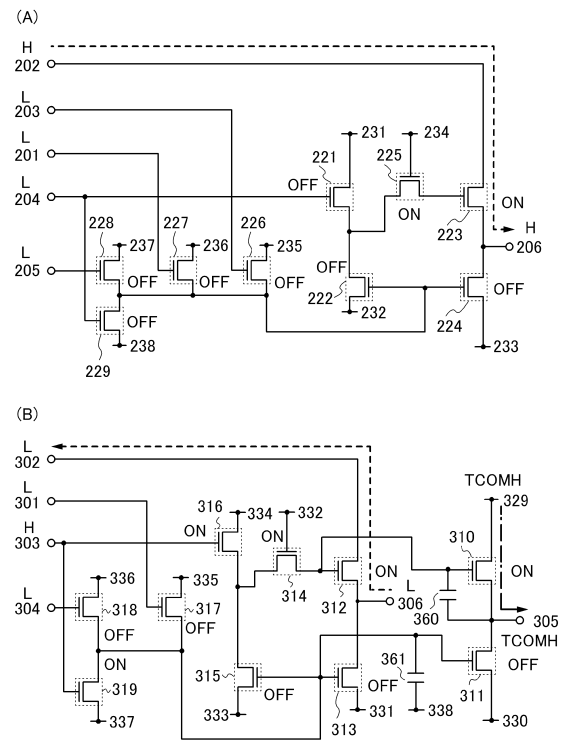
【図 8】



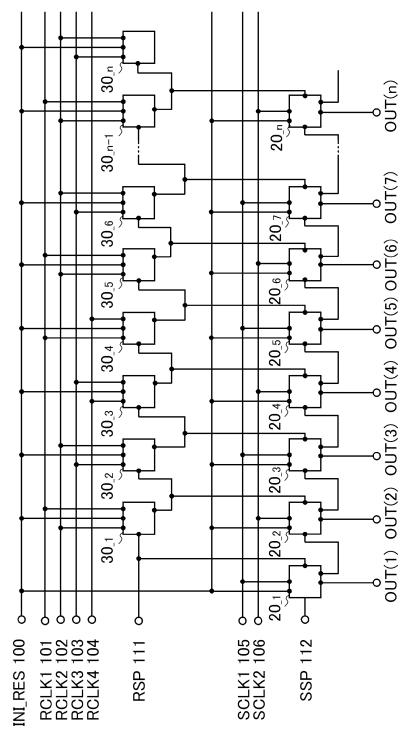
【図 9】



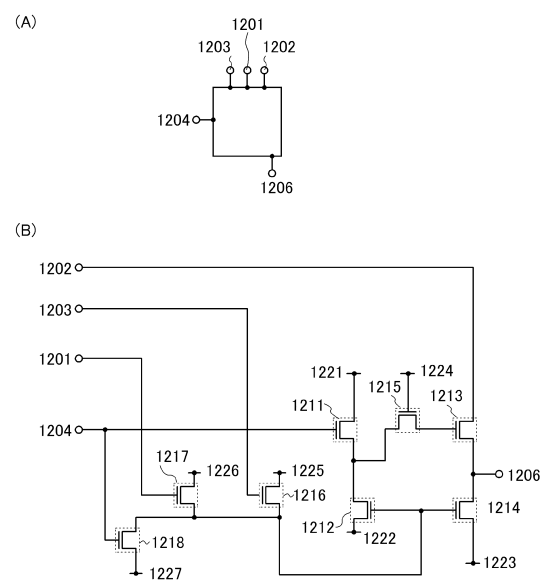
【図 10】



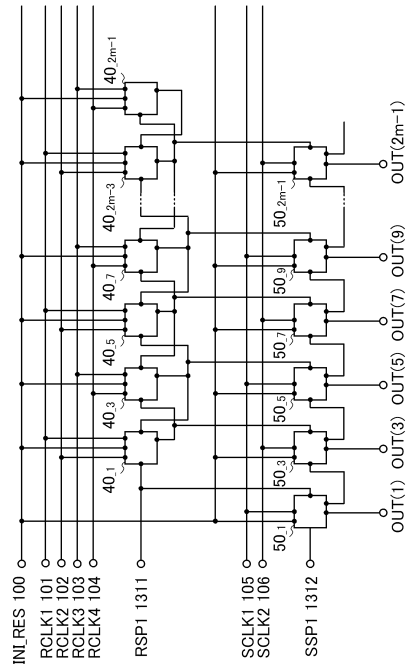
【図 11】



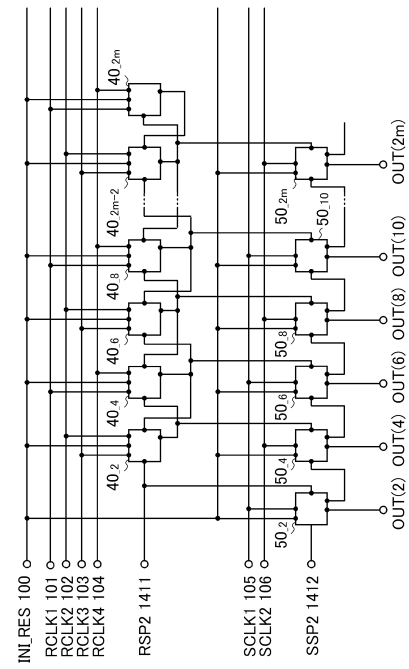
【図 12】



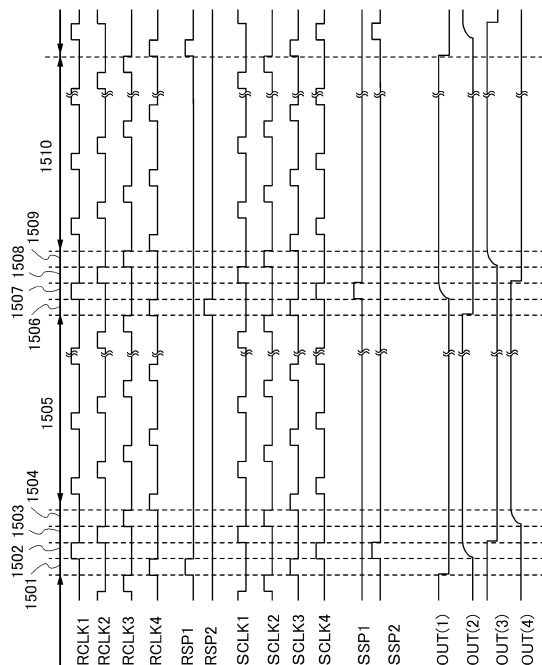
【図 13】



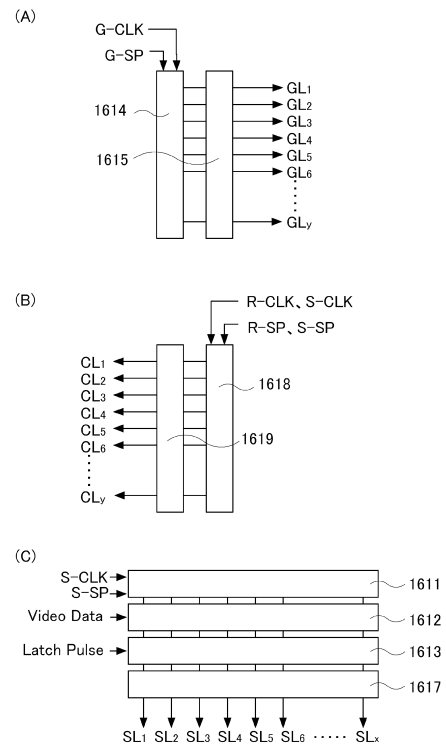
【図 14】



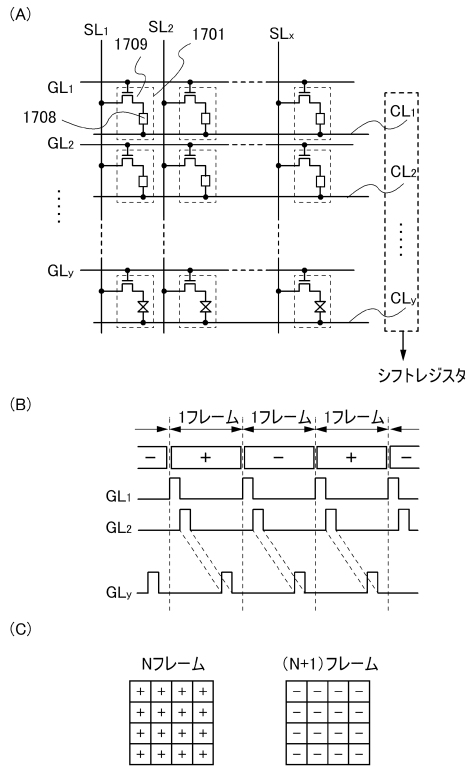
【図 15】



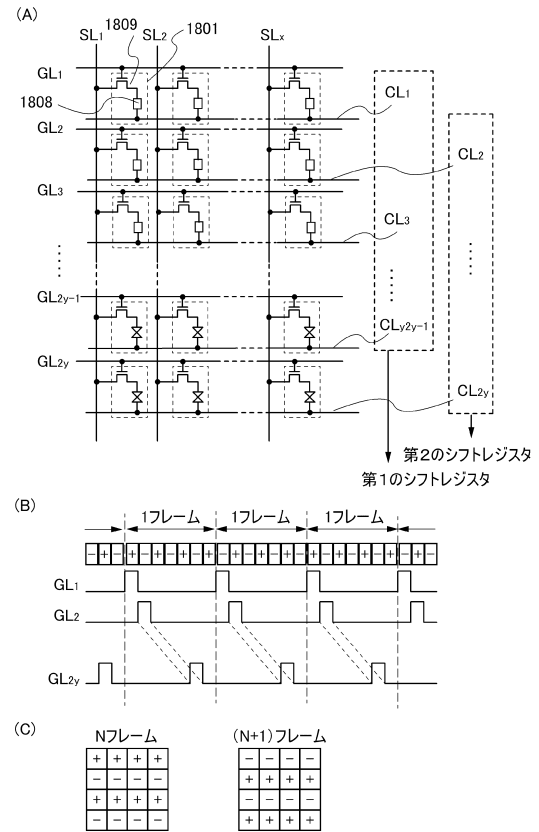
【図 16】



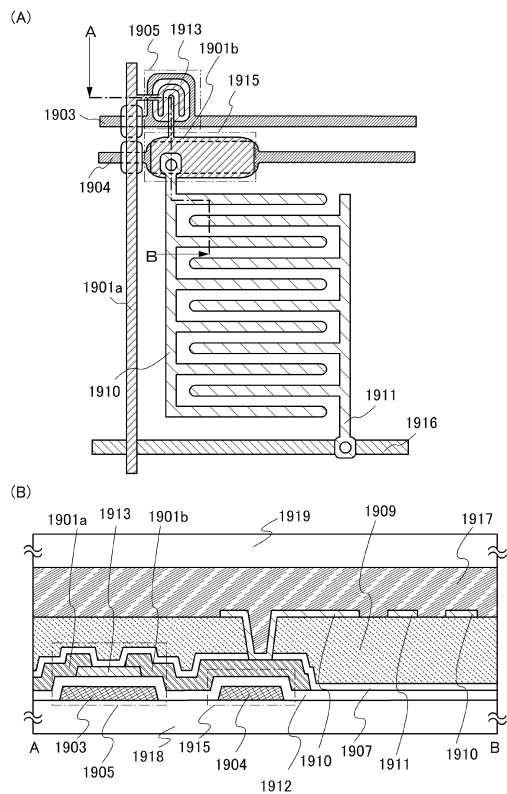
【図 17】



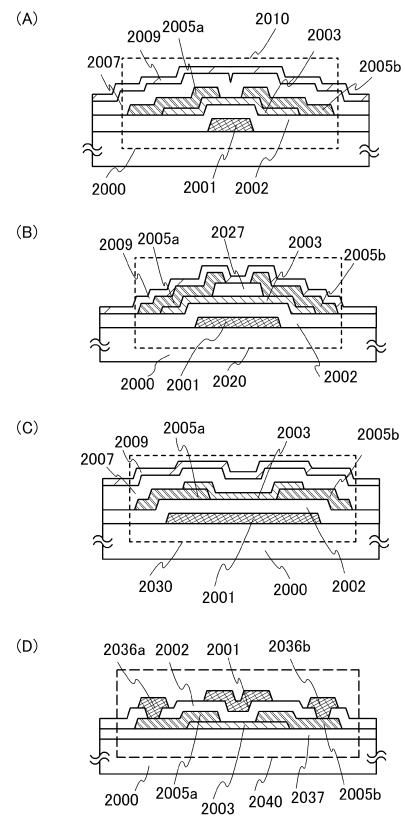
【図 18】



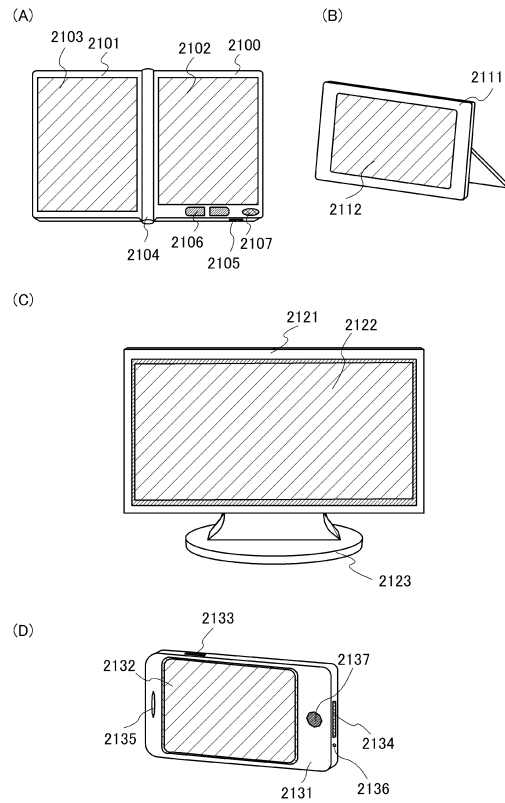
【図 19】



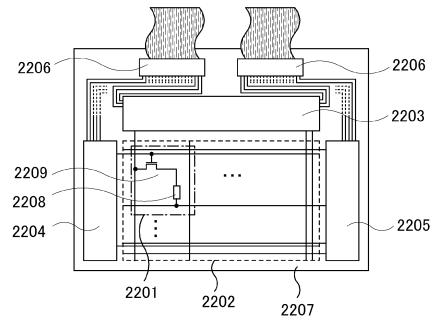
【図 20】



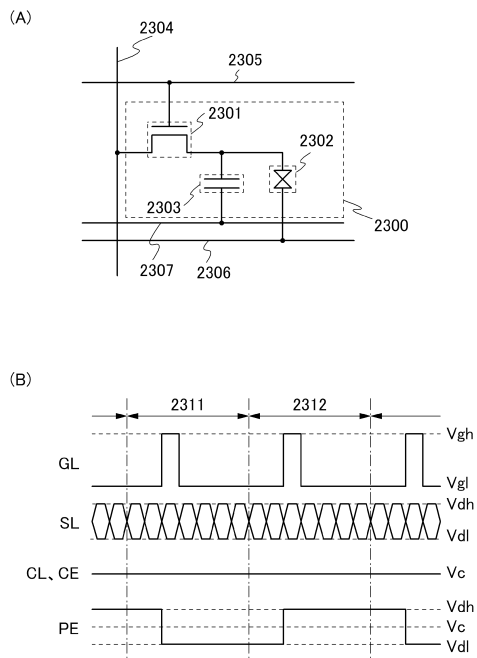
【図 2 1】



【図 2 2】



【図 2 3】



フロントページの続き

(51)Int.Cl.	F I		
	G 0 9 G	3/20	6 2 1 H
	G 0 9 G	3/20	6 1 1 A
	G 0 9 G	3/20	6 1 1 E
	G 0 2 F	1/133	5 5 0

(56)参考文献 特開平05 - 241124 (JP, A)
特開2002 - 278517 (JP, A)
特開2008 - 107831 (JP, A)
特開2010 - 021899 (JP, A)
特開2005 - 300780 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G	3 / 0 0	-	3 / 3 8
G 0 2 F	1 / 1 3 3		

专利名称(译)	液晶表示装置		
公开(公告)号	JP5766012B2	公开(公告)日	2015-08-19
申请号	JP2011104237	申请日	2011-05-09
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
当前申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	三宅博之 楠 紘 慈		
发明人	三宅 博之 楠 紘 慈		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3655 G09G3/3614 G09G2300/0434 G09G2310/0286 G11C19/28		
FI分类号	G09G3/36 G09G3/20.621.B G09G3/20.624.D G09G3/20.622.E G09G3/20.624.E G09G3/20.621.H G09G3/20.611.A G09G3/20.611.E G02F1/133.550 G11C19/00 G11C19/00.J G11C19/28.D G11C19/28.230		
F-TERM分类号	2H193/ZA04 2H193/ZA07 2H193/ZB03 2H193/ZB08 2H193/ZB09 2H193/ZC04 2H193/ZC16 2H193/ZC26 2H193/ZD32 2H193/ZE21 2H193/ZF23 2H193/ZF35 2H193/ZF59 2H193/ZQ16 5B074/AA10 5B074/CA01 5B074/DB01 5B074/EA01 5C006/AA22 5C006/AC25 5C006/AC27 5C006/AC28 5C006/AF42 5C006/AF44 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC20 5C006/BF03 5C006/BF34 5C006/FA23 5C006/FA34 5C006/FA46 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD06 5C080/DD22 5C080/DD26 5C080/DD29 5C080/FF01 5C080/FF11 5C080/FF12 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK02 5C080/KK07 5C080/KK43 5C080/KK47 5C080/KK50		
审查员(译)	中村直之		
优先权	2010117010 2010-05-21 JP		
其他公开文献	JP2012008535A JP2012008535A5		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置，其中可以减小写入信号线的图像信号的幅度电压。解决方案：执行帧反转驱动的液晶显示装置包括多个液晶元件和多个像素，包括用于控制施加到液晶元件的第一电极的电压的晶体管。扫描线电连接到沿行方向排列的像素的晶体管的栅极，并且公共线电连接到沿行方向排列的像素的液晶元件的第二电极。与第一帧周期中的扫描线的顺序选择同步地在公共线中顺序地保持第一电位，并且与顺序选择的顺序选择在公共线中顺序地保持与第一电位不同的第二电位。扫描与第一帧周期相邻的第二帧周期中的行。

(21) 出願番号	特願2011-104237 (P2011-104237)	(73) 特許権者	000153878
(22) 出願日	平成23年5月9日 (2011.5.9)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2012-8535 (P2012-8535A)		神奈川県厚木市長谷398番地
(43) 公開日	平成24年1月12日 (2012.1.12)	(72) 発明者	三宅 博之
審査請求日	平成26年5月1日 (2014.5.1)		神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(31) 優先権主張番号	特願2010-117010 (P2010-117010)	(72) 発明者	楠 紘 慈
(32) 優先日	平成22年5月21日 (2010.5.21)		神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(33) 優先権主張国	日本国 (JP)		
		審査官	中村 直行

