

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5707487号
(P5707487)

(45) 発行日 平成27年4月30日 (2015. 4. 30)

(24) 登録日 平成27年3月6日 (2015. 3. 6)

(51) Int. Cl.

F I

GO 2 F 1/1343 (2006. 01)

GO 2 F 1/1343

GO 2 F 1/1368 (2006. 01)

GO 2 F 1/1368

請求項の数 9 (全 27 頁)

(21) 出願番号 特願2013-508783 (P2013-508783)
 (86) (22) 出願日 平成24年2月15日 (2012. 2. 15)
 (86) 国際出願番号 PCT/JP2012/053544
 (87) 国際公開番号 W02012/137540
 (87) 国際公開日 平成24年10月11日 (2012. 10. 11)
 審査請求日 平成26年3月17日 (2014. 3. 17)
 (31) 優先権主張番号 特願2011-86560 (P2011-86560)
 (32) 優先日 平成23年4月8日 (2011. 4. 8)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 502356528
 株式会社ジャパンディスプレイ
 東京都港区西新橋三丁目7番1号
 (74) 代理人 110001737
 特許業務法人スズエ国際特許事務所
 (74) 代理人 100091351
 弁理士 河野 哲
 (74) 代理人 100084618
 弁理士 村松 貞男
 (74) 代理人 100087653
 弁理士 鈴江 正二
 (72) 発明者 廣澤 仁
 日本国東京都港区西新橋三丁目7番1号
 株式会社ジャパンディスプレイ内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

第1方向に沿ってそれぞれ延出した第1補助容量線及び第2補助容量線と、第1方向に沿って延出し前記第1補助容量線と前記第2補助容量線との間に位置するゲート配線と、第1方向に交差する第2方向に沿ってそれぞれ延出した第1ソース配線及び第2ソース配線と、前記第1ソース配線と前記第2ソース配線との間に位置し第2方向に沿って延出した帯状の主画素電極と、前記主画素電極に繋がり前記第1補助容量線と対向し第1方向に沿って延出した帯状の第1副画素電極と、前記主画素電極に繋がり前記第1副画素電極から離間し第1方向に沿って延出した帯状の第2副画素電極と、前記ゲート配線と対向し第1方向に沿って延出した第1副共通電極と、前記第1副共通電極と繋がり前記第1ソース配線及び前記第2ソース配線とそれぞれ対向し第2方向に沿って延出した第1主共通電極と、水平配向性を示す材料によって形成され前記主画素電極、前記第1副画素電極、前記第2副画素電極、前記第1副共通電極及び前記第1主共通電極を覆う第1配向膜と、を備えた第1基板と、

前記主画素電極を挟んだ両側で前記第1主共通電極と対向し第2方向に沿ってそれぞれ延出し前記第1主共通電極と同電位の第2主共通電極と、前記第2主共通電極に繋がり前記第1副画素電極と前記第2副画素電極との間で前記第1副共通電極と対向し第1方向に沿って延出した第2副共通電極と、水平配向性を示す材料によって形成され前記第2主共通電極及び前記第2副共通電極を覆う第2配向膜と、を備えた第2基板と、

前記第1基板と前記第2基板との間に保持された液晶分子を含む液晶層と、

10

20

を備えたことを特徴とする液晶表示装置。

【請求項 2】

前記主画素電極と前記第 2 主共通電極との間に電界が形成されていない状態で、前記液晶分子の初期配向方向は、第 2 方向に略平行であることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記第 2 副画素電極は、前記第 2 補助容量線と前記ゲート配線との間、または、前記第 1 補助容量線と前記ゲート配線との間に位置することを特徴とする請求項 1 または 2 に記載の液晶表示装置。

【請求項 4】

前記第 2 副画素電極は、前記第 2 補助容量線の上方に位置することを特徴とする請求項 1 または 2 に記載の液晶表示装置。

【請求項 5】

前記第 1 副画素電極は前記主画素電極の一端部に繋がり、前記第 2 副画素電極は前記主画素電極の他端部に繋がったことを特徴とする請求項 1 または 2 に記載の液晶表示装置。

【請求項 6】

前記主画素電極は、前記第 1 ソース配線と前記第 2 ソース配線との略中間に位置していることを特徴とする請求項 1 乃至 5 のいずれか 1 項 に記載の液晶表示装置。

【請求項 7】

前記第 1 配向膜が前記液晶分子を初期配向させる第 1 配向処理方向及び前記第 2 配向膜が前記液晶分子を初期配向させる第 2 配向処理方向は互いに略平行であり、

前記液晶分子は、前記第 1 基板と前記第 2 基板との間においてスプレイ配向またはホモジニアス配向していることを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の液晶表示装置。

【請求項 8】

さらに、前記第 1 基板の外面に配置され第 1 偏光軸を備えた第 1 偏光板と、第 2 基板の外面に配置され第 1 偏光軸とクロスニコルの位置関係にある第 2 偏光軸を備えた第 2 偏光板を備え、前記第 1 偏光板の第 1 偏光軸が前記液晶分子の初期配向方向と直交する或いは平行であることを特徴とする請求項 7 に記載の液晶表示装置。

【請求項 9】

前記第 1 基板は、容量結合ドット反転駆動を行うための駆動機構を備えたことを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、液晶表示装置に関する。

【背景技術】

【0002】

近年、平面表示装置が盛んに開発されており、中でも液晶表示装置は、軽量、薄型、低消費電力等の利点から特に注目を集めている。特に、各画素にスイッチング素子を組み込んだアクティブマトリクス型液晶表示装置においては、IPS (In - Plane Switching) モードや FFS (Fringe Field Switching) モードなどの横電界 (フリンジ電界も含む) を利用した構造が注目されている。このような横電界モードの液晶表示装置は、アレイ基板に形成された画素電極と対向電極とを備え、アレイ基板の主面に対してほぼ平行な横電界で液晶分子をスイッチングする。

【0003】

一方で、アレイ基板に形成された画素電極と、対向基板に形成された対向電極との間に、横電界あるいは斜め電界を形成し、液晶分子をスイッチングする技術も提案されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2009-192822号公報

【特許文献2】特開平9-160041号公報

【特許文献3】US6,657,693B1

【発明の概要】

【発明が解決しようとする課題】

【0005】

本実施形態の目的は、表示品位の良好な液晶表示装置を提供することにある。

【課題を解決するための手段】

10

【0006】

本実施形態によれば、

第1方向に沿ってそれぞれ延出した第1補助容量線及び第2補助容量線と、第1方向に沿って延出し前記第1補助容量線と前記第2補助容量線との間に位置するゲート配線と、第1方向に交差する第2方向に沿ってそれぞれ延出した第1ソース配線及び第2ソース配線と、前記第1ソース配線と前記第2ソース配線との間に位置し第2方向に沿って延出した帯状の主画素電極と、前記主画素電極に繋がり前記第1補助容量線と対向し第1方向に沿って延出した帯状の第1副画素電極と、前記主画素電極に繋がり前記第1副画素電極から離間し第1方向に沿って延出した帯状の第2副画素電極と、水平配向性を示す材料によって形成され前記主画素電極、前記第1副画素電極、及び、前記第2副画素電極を覆う第1配向膜と、を備えた第1基板と、前記主画素電極を挟んだ両側で第2方向に沿ってそれぞれ延出した第2主共通電極と、前記第2主共通電極に繋がり前記第1副画素電極と前記第2副画素電極との間で第1方向に沿って延出した第2副共通電極と、水平配向性を示す材料によって形成され前記第2主共通電極及び前記第2副共通電極を覆う第2配向膜と、を備えた第2基板と、前記第1基板と前記第2基板との間に保持された液晶分子を含む液晶層と、を備えたことを特徴とする液晶表示装置が提供される。

20

【0007】

本実施形態によれば、

第1方向に沿ってそれぞれ延出した第1補助容量線及び第2補助容量線と、第1方向に沿って延出し前記第1補助容量線と前記第2補助容量線との間に位置するゲート配線と、第1方向に交差する第2方向に沿ってそれぞれ延出した第1ソース配線及び第2ソース配線と、前記第1ソース配線と前記第2ソース配線との間に位置し第2方向に沿って延出した帯状の主画素電極と、前記主画素電極に繋がり前記第1補助容量線と対向し第1方向に沿って延出した帯状の第1副画素電極と、前記主画素電極に繋がり前記第1副画素電極から離間し第1方向に沿って延出した帯状の第2副画素電極と、前記第1ソース配線及び前記第2ソース配線とそれぞれ対向し第2方向に沿って延出した第1主共通電極と、水平配向性を示す材料によって形成され前記主画素電極、前記第1副画素電極、前記第2副画素電極、及び、前記第1主共通電極を覆う第1配向膜と、を備えた第1基板と、前記第1副画素電極と前記第2副画素電極との間で第1方向に沿って延出した第2副共通電極と、水平配向性を示す材料によって形成され前記第2副共通電極を覆う第2配向膜と、を備えた第2基板と、前記第1基板と前記第2基板との間に保持された液晶分子を含む液晶層と、を備えたことを特徴とする液晶表示装置が提供される。

30

40

【0008】

本実施形態によれば、

第1方向に沿ってそれぞれ延出した第1補助容量線及び第2補助容量線と、第1方向に沿って延出し前記第1補助容量線と前記第2補助容量線との間に位置するゲート配線と、第1方向に交差する第2方向に沿ってそれぞれ延出した第1ソース配線及び第2ソース配線と、前記第1ソース配線と前記第2ソース配線との間に位置し第2方向に沿って延出した帯状の主画素電極と、前記主画素電極に繋がり前記第1補助容量線と対向し第1方向に沿って延出した帯状の第1副画素電極と、前記主画素電極に繋がり前記第1副画素電極か

50

ら離間し第1方向に沿って延出した帯状の第2副画素電極と、前記ゲート配線と対向し第1方向に沿って延出した第1副共通電極と、水平配向性を示す材料によって形成され前記主画素電極、前記第1副画素電極、前記第2副画素電極、及び、前記第1副共通電極を覆う第1配向膜と、を備えた第1基板と、前記主画素電極を挟んだ両側で第2方向に沿ってそれぞれ延出し前記第1副共通電極と同電位の第2主共通電極と、水平配向性を示す材料によって形成され前記第2主共通電極を覆う第2配向膜と、を備えた第2基板と、前記第1基板と前記第2基板との間に保持された液晶分子を含む液晶層と、を備えたことを特徴とする液晶表示装置が提供される。

【図面の簡単な説明】

【0009】

10

【図1】図1は、本実施形態における液晶表示装置の構成を概略的に示す図である。

【図2】図2は、図1に示した液晶表示パネルの構成及び等価回路を概略的に示す図である。

【図3】図3は、本実施形態の基本構成について一画素における最小の単位構成体を概略的に示す平面図である。

【図4】図4は、スイッチング素子を含む液晶表示パネルの断面を概略的に示す断面図である。

【図5】図5は、本実施形態の第1構成例における液晶表示パネルの対向基板における一画素の構造を概略的に示す平面図である。

【図6】図6は、本実施形態の第1構成例における液晶表示パネルの一画素を対向基板側から見たときのアレイ基板の構造を概略的に示す平面図である。

20

【図7】図7は、本実施形態の第2構成例における液晶表示パネルの対向基板における一画素の構造を概略的に示す平面図である。

【図8】図8は、本実施形態の第2構成例における液晶表示パネルの一画素を対向基板側から見たときのアレイ基板の構造を概略的に示す平面図である。

【図9】図9は、本実施形態の第3構成例における液晶表示パネルの対向基板における一画素の構造を概略的に示す平面図である。

【図10】図10は、本実施形態の第3構成例における液晶表示パネルの一画素を対向基板側から見たときのアレイ基板の構造を概略的に示す平面図である。

【図11】図11は、本実施形態の第4構成例における液晶表示パネルの一画素を対向基板側から見たときのアレイ基板の構造を概略的に示す平面図である。

30

【図12】図12は、第1乃至第4構成例で説明したアレイ基板と、第1乃至第3構成例で説明した対向基板との組み合わせをまとめた図である。

【図13】図13は、本実施形態のバリエーションのひとつを概略的に示す平面図である。

【図14】図14は、本実施形態の他のバリエーションを概略的に示す平面図である。

【図15】図15は、本実施形態において適用可能な、画素電極と、ゲート配線、及び、補助容量線との位置関係を説明するための図である。

【発明を実施するための形態】

【0010】

40

以下、本実施形態について、図面を参照しながら詳細に説明する。なお、各図において、同一又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する説明は省略する。

【0011】

図1は、本実施形態における液晶表示装置1の構成を概略的に示す図である。

【0012】

すなわち、液晶表示装置1は、アクティブマトリクスタイプの液晶表示パネルLPN、液晶表示パネルLPNに接続された駆動ICチップ2及びフレキシブル配線基板3、液晶表示パネルLPNを照明するバックライト4などを備えている。

【0013】

50

液晶表示パネルＬＰＮは、第１基板であるアレイ基板ＡＲと、アレイ基板ＡＲに対向して配置された第２基板である対向基板ＣＴと、これらのアレイ基板ＡＲと対向基板ＣＴとの間に保持された図示しない液晶層と、を備えて構成されている。このような液晶表示パネルＬＰＮは、画像を表示するアクティブエリアＡＣＴを備えている。このアクティブエリアＡＣＴは、 $m \times n$ 個のマトリクス状に配置された複数の画素ＰＸによって構成されている（但し、 m 及び n は正の整数である）。

【００１４】

バックライト４は、図示した例では、アレイ基板ＡＲの背面側に配置されている。このようなバックライト４としては、種々の形態が適用可能であり、また、光源として発光ダイオード（ＬＥＤ）を利用したものや冷陰極管（ＣＣＦＬ）を利用したものなどのいずれでも適用可能であり、詳細な構造については説明を省略する。

10

【００１５】

図２は、図１に示した液晶表示パネルＬＰＮの構成及び等価回路を概略的に示す図である。

【００１６】

液晶表示パネルＬＰＮは、アクティブエリアＡＣＴにおいて、 n 本のゲート配線Ｇ（ $G_1 \sim G_n$ ）、 n 本の補助容量線Ｃ（ $C_1 \sim C_n$ ）、 m 本のソース配線Ｓ（ $S_1 \sim S_m$ ）などを備えている。ゲート配線Ｇ及び補助容量線Ｃは、例えば、第１方向Ｘに沿って略直線的に延出している。これらのゲート配線Ｇ及び補助容量線Ｃは、第１方向Ｘに交差する第２方向Ｙに沿って間隔をおいて隣接し、交互に並列配置されている。ここでは、第１方向Ｘと第２方向Ｙとは互いに直交している。ソース配線Ｓは、ゲート配線Ｇ及び補助容量線Ｃと交差している。ソース配線Ｓは、第２方向Ｙに沿って略直線的に延出している。なお、ゲート配線Ｇ、補助容量線Ｃ、及び、ソース配線Ｓは、必ずしも直線的に延出してなくても良く、それらの一部が屈曲していてもよい。

20

【００１７】

各ゲート配線Ｇは、アクティブエリアＡＣＴの外側に引き出され、ゲートドライバＧＤに接続されている。各ソース配線Ｓは、アクティブエリアＡＣＴの外側に引き出され、ソースドライバＳＤに接続されている。これらのゲートドライバＧＤ及びソースドライバＳＤの少なくとも一部は、例えば、アレイ基板ＡＲに形成され、コントローラを内蔵した駆動ＩＣチップ２と接続されている。

30

【００１８】

各画素ＰＸは、スイッチング素子ＳＷ、画素電極ＰＥ、共通電極ＣＥなどを備えている。保持容量Ｃ_sは、例えば補助容量線Ｃと画素電極ＰＥとの間に形成される。補助容量線Ｃは、補助容量電圧が印加される電圧印加部ＶＣＳと電氣的に接続されている。

【００１９】

なお、本実施形態においては、液晶表示パネルＬＰＮは、画素電極ＰＥがアレイ基板ＡＲに形成される一方で共通電極ＣＥの少なくとも一部が対向基板ＣＴに形成された構成であり、これらの画素電極ＰＥと共通電極ＣＥとの間に形成される電界を主に利用して液晶層ＬＱの液晶分子をスイッチングする。画素電極ＰＥと共通電極ＣＥとの間に形成される電界は、第１方向Ｘと第２方向Ｙとで規定されるＸ－Ｙ平面あるいはアレイ基板ＡＲの基板主面あるいは対向基板ＣＴの基板主面に対してわずかに傾いた斜め電界（あるいは、基板主面にほぼ平行な横電界）である。

40

【００２０】

スイッチング素子ＳＷは、例えば、 n チャネル薄膜トランジスタ（ＴＦＴ）によって構成されている。このスイッチング素子ＳＷは、ゲート配線Ｇ及びソース配線Ｓと電氣的に接続されている。アクティブエリアＡＣＴには、 $m \times n$ 個のスイッチング素子ＳＷが形成されている。

【００２１】

画素電極ＰＥは、各画素ＰＸに配置され、スイッチング素子ＳＷに電氣的に接続されている。アクティブエリアＡＣＴには、 $m \times n$ 個の画素電極ＰＥが形成されている。共通電

50

極 C E は、例えばコモン電位であり、液晶層 L Q を介して複数の画素 P X の画素電極 P E に対して共通に配置されている。

【 0 0 2 2 】

アレイ基板 A R は、共通電極 C E に電圧を印加するための給電部 V S を備えている。この給電部 V S は、例えば、アクティブエリア A C T の外側に形成されている。共通電極 C E のうち、対向基板 C T に形成された共通電極 C E の少なくとも一部は、アクティブエリア A C T の外側に引き出され、図示しない導電部材を介して、アレイ基板 A R に形成された給電部 V S と電氣的に接続されている。なお、共通電極 C E の一部がアレイ基板 A R に形成された場合には、アレイ基板 A R に形成された共通電極 C E の一部は例えばアクティブエリア A C T の外側で給電部 V S と電氣的に接続されている。

10

【 0 0 2 3 】

以下に、本実施形態の基本構成について説明する。

【 0 0 2 4 】

図 3 は、一画素 P X における最小の単位構成体を概略的に示す平面図である。

【 0 0 2 5 】

画素電極 P E は、主画素電極 P A、第 1 副画素電極 P B、及び、第 2 副画素電極 P C を有している。これらの主画素電極 P A、第 1 副画素電極 P B、及び、第 2 副画素電極 P C は、互いに電氣的に接続されている。本実施形態においては、主画素電極 P A、第 1 副画素電極 P B、及び、第 2 副画素電極 P C がいずれもアレイ基板 A R に備えられている。主画素電極 P A は、第 2 方向 Y に沿って延出している。第 1 副画素電極 P B 及び第 2 副画素電極 P C は、第 2 方向 Y とは異なる第 1 方向 X に沿って延出している。第 2 副画素電極 P C は、第 1 副画素電極 P B から離間している。

20

【 0 0 2 6 】

図示した例では、画素電極 P E は、略 I 字状に形成されている。より具体的には、主画素電極 P A は、略画素中央部において第 2 方向 Y に沿って直線的に延出した帯状に形成されている。第 1 副画素電極 P B 及び第 2 副画素電極 P C は、それぞれ画素 P X の上側端部及び下側端部において第 1 方向 X に沿って直線的に延出した帯状に形成されている。

【 0 0 2 7 】

なお、第 1 副画素電極 P B 及び第 2 副画素電極 P C は、それぞれ当該画素 P X と上下に隣接する画素間に配置されても良い。つまり、第 1 副画素電極 P B は図示した当該画素 P X とその下側の画素（図示せず）との境界に跨って配置されても良いし、第 2 副画素電極 P C は図示した当該画素 P X とその上側の画素（図示せず）との境界に跨って配置されても良い。

30

第 1 副画素電極 P B は、例えば主画素電極 P A の一端部に結合し、主画素電極 P A からその両側に向かって延出している。第 2 副画素電極 P C は、例えば主画素電極 P A の他端部に結合し、主画素電極 P A からその両側に向かって延出している。これらの第 1 副画素電極 P B 及び第 2 副画素電極 P C は、主画素電極 P A と略直交している。なお、第 1 副画素電極 P B は主画素電極 P A の一端部よりもわずかに他端部寄りに結合していても良いし、同様に、第 2 副画素電極 P C は主画素電極 P A の他端部よりもわずかに一端部寄りに結合していても良い。画素電極 P E は、例えば、第 2 副画素電極 P C において図示を省略したスイッチング素子と電氣的に接続されている。

40

【 0 0 2 8 】

共通電極 C E は、主共通電極 C A 及び副共通電極 C B を有している。これらの主共通電極 C A 及び副共通電極 C B は、互いに電氣的に接続されている。このような共通電極 C E は、画素電極 P E とは電氣的に絶縁されている。本実施形態においては、共通電極 C E において、主共通電極 C A 及び副共通電極 C B の少なくとも一部は、対向基板 C T に備えられている。

【 0 0 2 9 】

主共通電極 C A は、第 2 方向 Y に沿って延出している。この主共通電極 C A は、主画素電極 P A を挟んだ両側に配置されている。このとき、X - Y 平面内において、主共通電極

50

C Aのいずれも主画素電極 P Aとは重ならず、主共通電極 C Aのそれぞれと主画素電極 P Aとの間には略等しい間隔が形成されている。つまり、主画素電極 P Aは、隣接する主共通電極 C Aの略中間に位置している。

【 0 0 3 0 】

副共通電極 C Bは、第 1 方向 X に沿って延出している。副共通電極 C Bは、第 1 副画素電極 P Bと第 2 副画素電極 P Cとの間に配置されている。このとき、X - Y 平面内において、副共通電極 C Bのいずれも第 1 副画素電極 P B及び第 2 副画素電極 P Cとは重ならず、第 1 副画素電極 P B及び第 2 副画素電極 P Cのそれぞれと副共通電極 C Bとの間には略等しい間隔が形成されている。つまり、副共通電極 C Bは、第 1 副画素電極 P Bと第 2 副画素電極 P Cとの略中間に位置している。

10

【 0 0 3 1 】

図示した例では、主共通電極 C Aは、第 2 方向 Y に沿って直線的に延出した帯状に形成されている。副共通電極 C Bは、第 1 方向 X に沿って直線的に延出した帯状に形成されている。なお、主共通電極 C Aは第 1 方向 X に沿って間隔をおいて 2 本平行に並んでおり、以下では、これらを区別するために、図中の左側の主共通電極を C A L と称し、図中の右側の主共通電極を C A R と称する。主共通電極 C A L 及び主共通電極 C A R は、副共通電極 C B と同電位である。図示した例では、主共通電極 C A L 及び主共通電極 C A R は、副共通電極 C B とそれぞれ繋がっている。

【 0 0 3 2 】

主共通電極 C A L 及び主共通電極 C A R は、それぞれ当該画素 P X と左右に隣接する画素間に配置されている。すなわち、主共通電極 C A L は図示した当該画素 P X とその左側の画素（図示せず）との境界に跨って配置され、主共通電極 C A R は図示した当該画素 P X とその右側の画素（図示せず）との境界に跨って配置されている。

20

【 0 0 3 3 】

副共通電極 C B は、当該画素 P X の略中央を横切っている。

【 0 0 3 4 】

隣接する主共通電極 C A L 及び主共通電極 C A R の間には、1 本の主画素電極 P A が位置している。このため、主共通電極 C A L、主画素電極 P A、及び、主共通電極 C A R は、第 1 方向 X に沿ってこの順に配置されている。つまり、主画素電極 P A と主共通電極 C A とは第 1 方向 X に沿って交互に配置されている。これらの主画素電極 P A と、主共通電極 C A L 及び主共通電極 C A R とは、互いに略平行に配置されている。また、主共通電極 C A L と主画素電極 P A との第 1 方向 X に沿った距離は、主共通電極 C A R と主画素電極 P A との第 1 方向 X に沿った距離と略同等である。

30

【 0 0 3 5 】

隣接する第 1 副画素電極 P B 及び第 2 副画素電極 P C の間には、1 本の副共通電極 C B が位置している。このため、第 1 副画素電極 P B、副共通電極 C B、及び、第 2 副画素電極 P C は、第 2 方向 Y に沿ってこの順に配置されている。つまり、第 1 副画素電極 P B 及び第 2 副画素電極 P C と副共通電極 C B とは第 2 方向 Y に沿って交互に配置されている。これらの第 1 副画素電極 P B、副共通電極 C B、及び、第 2 副画素電極 P C は、互いに略平行に配置されている。また、第 1 副画素電極 P B と副共通電極 C B との第 2 方向 Y に沿った距離は、第 2 副画素電極 P C と副共通電極 C B との第 2 方向 Y に沿った距離と略同等である。

40

【 0 0 3 6 】

つまり、図示した例では、一画素 P X において、画素電極 P E と共通電極 C E とで区画された 4 つの領域が主として表示に寄与する開口部あるいは透過部として形成される。

【 0 0 3 7 】

ここに示した例では、液晶分子 L M の初期配向方向は、例えば、第 2 方向 Y と略平行な方向である。

【 0 0 3 8 】

なお、ここでは詳述しないが、主共通電極 C A の少なくとも 1 つは、主共通電極 C A と

50

略平行に（あるいは第2方向Yに沿って）延出するソース配線Sと対向していてもよい。また、第1副画素電極PB、第2副画素電極PC、及び、副共通電極CBのいずれか1つは、これらと略平行に（あるいは第1方向Xに沿って）延出するゲート配線Gや補助容量線Cと対向していてもよい。

【0039】

また、後に詳述するが、主共通電極CAは、アレイ基板ARに備えられた第1主共通電極CA1、及び、対向基板CTに備えられた第2主共通電極CA2の少なくとも一方を含んでいてもよい。また、副共通電極CBは、アレイ基板ARに備えられた第1副共通電極CB1、及び、対向基板CTに備えられた第2副共通電極CB2の少なくとも一方を含んでいてもよい。第1主共通電極CA1、第2主共通電極CA2、第1副共通電極CB1、及び、第2副共通電極CB2は、いずれも同電位である。

10

【0040】

図4は、スイッチング素子SWを含む液晶表示パネルLPNの断面を概略的に示す断面図である。なお、ここでは、共通電極の図示を省略し、説明に必要な箇所のみを図示している。

【0041】

液晶表示パネルLPNを構成するアレイ基板ARの背面側には、バックライト4が配置されている。

【0042】

アレイ基板ARは、例えば、ガラス基板やプラスチック基板などの光透過性を有する第1絶縁基板10を用いて形成されている。このアレイ基板ARは、第1絶縁基板10の対向基板CTに対向する側に、スイッチング素子SW、画素電極PE、第1配向膜AL1などを備えている。

20

【0043】

図示した例では、スイッチング素子SWは、トップゲート型の薄膜トランジスタであるが、ボトムゲート型の薄膜トランジスタであっても良い。また、スイッチング素子SWの半導体層SCは、例えば、ポリシリコンによって形成されているが、アモルファスシリコンによって形成されていても良い。

【0044】

半導体層SCは、チャネル領域SCCを挟んだ両側にそれぞれソース領域SCS及びドレイン領域SCDを有している。なお、第1絶縁基板10と半導体層SCとの間には、絶縁膜であるアンダーコート層が介在していても良い。半導体層SCは、ゲート絶縁膜11によって覆われている。また、ゲート絶縁膜11は、第1絶縁基板10の上にも配置されている。

30

【0045】

スイッチング素子SWのゲート電極WGは、ゲート絶縁膜11の上に形成され、半導体層SCのチャネル領域SCCの上方に位置している。また、ゲート配線G及び補助容量線Cも、ゲート絶縁膜11の上に形成されている。これらのゲート電極WG、ゲート配線G及び補助容量線Cは、同一材料を用いて同一工程で形成可能である。ゲート電極WGは、ゲート配線Gと電氣的に接続されている。

40

【0046】

ゲート電極WG、ゲート配線G及び補助容量線Cは、第1層間絶縁膜12によって覆われている。また、この第1層間絶縁膜12は、ゲート絶縁膜11の上にも配置されている。これらのゲート絶縁膜11及び第1層間絶縁膜12は、例えば、酸化シリコン及び窒化シリコンなどの無機系材料によって形成されている。

【0047】

スイッチング素子SWのソース電極WS及びドレイン電極WDは、第1層間絶縁膜12の上に形成されている。また、ソース配線Sも、第1層間絶縁膜12の上に形成されている。これらのソース電極WS、ドレイン電極WD、及び、ソース配線Sは、同一材料を用いて同一工程で形成可能である。ソース電極WSは、ソース配線Sと電氣的に接続されて

50

いる。

【 0 0 4 8 】

ソース電極 W S は、ゲート絶縁膜 1 1 及び第 1 層間絶縁膜 1 2 を貫通するコンタクトホールを通して半導体層 S C のソース領域 S C S にコンタクトしている。ドレイン電極 W D は、ゲート絶縁膜 1 1 及び第 1 層間絶縁膜 1 2 を貫通するコンタクトホールを通して半導体層 S C のドレイン領域 S C D にコンタクトしている。これらのゲート電極 W G、ゲート配線 G、補助容量線 C、ソース電極 W S、ドレイン電極 W D、及び、ソース配線 S は、例えば、モリブデン、アルミニウム、タングステン、チタンなどの導電材料によって形成されている。

【 0 0 4 9 】

このような構成のスイッチング素子 S W は、第 2 層間絶縁膜 1 3 によって覆われている。つまり、ソース電極 W S、ドレイン電極 W D、及び、ソース配線 S は、第 2 層間絶縁膜 1 3 によって覆われている。また、この第 2 層間絶縁膜 1 3 は、第 1 層間絶縁膜 1 2 の上にも配置されている。この第 2 層間絶縁膜 1 3 は、例えば、紫外線硬化型樹脂や熱硬化型樹脂などの各種有機材料によって形成されている。

【 0 0 5 0 】

画素電極 P E は、第 2 層間絶縁膜 1 3 の上に形成されている。詳述しないが、画素電極 P E を構成する主画素電極 P A、第 1 副画素電極 P B、及び、第 2 副画素電極 P C は、第 2 層間絶縁膜 1 3 の上に形成されている。この画素電極 P E は、第 2 層間絶縁膜 1 3 を貫通するコンタクトホールを介してドレイン電極 W D に接続されている。このような画素電極 P E は、例えば、インジウム・ティン・オキサイド (I T O) やインジウム・ジンク・オキサイド (I Z O) などの光透過性を有する導電材料によって形成されているが、アルミニウムなどの他の金属材料によって形成されても良い。

【 0 0 5 1 】

第 1 配向膜 A L 1 は、アレイ基板 A R の対向基板 C T と対向する面に配置され、アクティブエリア A C T の略全体に亘って延在している。この第 1 配向膜 A L 1 は、画素電極 P E を覆っており、第 2 層間絶縁膜 1 3 の上にも配置されている。このような第 1 配向膜 A L 1 は、水平配向性を示す材料によって形成されている。

【 0 0 5 2 】

なお、アレイ基板 A R は、さらに、共通電極の一部として第 1 主共通電極及び第 1 副共通電極を備えている場合もある。

【 0 0 5 3 】

一方、対向基板 C T は、例えば、ガラス基板やプラスチック基板などの光透過性を有する第 2 絶縁基板 2 0 を用いて形成されている。この対向基板 C T は、第 2 絶縁基板 2 0 のアレイ基板 A R に対向する側に、図示を省略した共通電極のうちの第 2 主共通電極及び第 2 副共通電極の少なくとも一方や、第 2 配向膜 A L 2 などを備えている。また、この対向基板 C T は、図示を省略するが、各画素 P X を区画する (あるいは、ソース配線 S、ゲート配線 G、補助容量線 C、スイッチング素子 S W などの配線部に対向するように配置された) ブラックマトリクスや各画素 P X に対応して配置されたカラーフィルタ層、ブラックマトリクス及びカラーフィルタ層の表面の凹凸の影響を緩和するオーバーコート層などが配置されても良い。

【 0 0 5 4 】

共通電極は、例えば、 I T O や I Z O などの光透過性を有する導電材料によって形成されている。

【 0 0 5 5 】

第 2 配向膜 A L 2 は、対向基板 C T のアレイ基板 A R と対向する面に配置され、アクティブエリア A C T の略全体に亘って延在している。この第 2 配向膜 A L 2 は、共通電極などを覆っている。このような第 2 配向膜 A L 2 は、水平配向性を示す材料によって形成されている。

【 0 0 5 6 】

これらの第1配向膜AL1及び第2配向膜AL2には、液晶分子LMを初期配向させるための配向処理（例えば、ラビング処理や光配向処理）がなされている。第1配向膜AL1が液晶分子LMを初期配向させる第1配向処理方向PD1は、第2配向膜AL2が液晶分子LMを初期配向させる第2配向処理方向PD2と平行である。図3の（A）で示した例では、第1配向処理方向PD1と第2配向処理方向PD2とが互いに略平行であって、ともに同じ向きである。図3の（B）で示した例では、第1配向処理方向PD1と第2配向処理方向PD2とが互いに略平行であって、互いに逆向きである。

【0057】

上述したようなアレイ基板ARと対向基板CTとは、それぞれの第1配向膜AL1及び第2配向膜AL2が対向するように配置されている。このとき、アレイ基板ARの第1配向膜AL1と対向基板CTの第2配向膜AL2との間には、例えば、樹脂材料によって一方の基板に一体的に形成された柱状スペーサが配置され、これにより、所定のセルギャップ、例えば2～7μmのセルギャップが形成される。アレイ基板ARと対向基板CTとは、所定のセルギャップが形成された状態で、アクティブエリアACTの外側のシール材によって貼り合わせられている。

【0058】

液晶層LQは、アレイ基板ARと対向基板CTとの間に形成されたセルギャップに保持され、第1配向膜AL1と第2配向膜AL2との間に配置されている。液晶層LQは、液晶分子LMを含んでいる。このような液晶層LQは、例えば、誘電率異方性が正（ポジ型）の液晶材料によって構成されている。

【0059】

アレイ基板ARの外表面、つまり、アレイ基板ARを構成する第1絶縁基板10の外表面には、第1光学素子OD1が接着剤などにより貼付されている。この第1光学素子OD1は、液晶表示パネルLPNのバックライト4と対向する側に位置しており、バックライト4から液晶表示パネルLPNに入射する入射光の偏光状態を制御する。この第1光学素子OD1は、第1偏光軸AX1を有する第1偏光板PL1を含んでいる。なお、第1偏光板PL1と第1絶縁基板10との間に位相差板などの他の光学素子が配置されても良い。

【0060】

対向基板CTの外表面、つまり、対向基板CTを構成する第2絶縁基板20の外表面には、第2光学素子OD2が接着剤などにより貼付されている。この第2光学素子OD2は、液晶表示パネルLPNの表示面側に位置しており、液晶表示パネルLPNから出射した出射光の偏光状態を制御する。この第2光学素子OD2は、第2偏光軸AX2を有する第2偏光板PL2を含んでいる。なお、第2偏光板PL2と第2絶縁基板20との間に位相差板などの他の光学素子が配置されていても良い。

【0061】

第1偏光板PL1の第1偏光軸AX1と、第2偏光板PL2の第2偏光軸AX2とは、クロスニコルの位置関係にある。このとき、一方の偏光板は、例えば、その偏光軸が液晶分子LMの初期配向方向つまり第1配向処理方向PD1あるいは第2配向処理方向PD2と平行または直交するように配置されている。初期配向方向が第2方向Yと平行である場合、一方の偏光板の偏光軸は、第2方向Yと平行、あるいは、第1方向Xと平行である。

【0062】

図3において、（a）で示した例では、第1偏光板PL1は、その第1偏光軸AX1が液晶分子LMの初期配向方向である第2方向Yに対して直交するように配置され、また、第2偏光板PL2は、その第2偏光軸AX2が液晶分子LMの初期配向方向に対して平行となるように配置されている。また、図3において、（b）で示した例では、第2偏光板PL2は、その第2偏光軸AX2が液晶分子LMの初期配向方向である第2方向Yに対して直交するように配置され、また、第1偏光板PL1は、その第1偏光軸AX1が液晶分子LMの初期配向方向に対して平行となるように配置されている。

【0063】

これにより、ノーマリーブラックモードを実現している。

【 0 0 6 4 】

次に、上記構成の液晶表示パネル L P N の動作について説明する。

【 0 0 6 5 】

すなわち、液晶層 L Q に電圧が印加されていない状態つまり画素電極 P E と共通電極 C E との間に電界が形成されていない無電界時 (O F F 時) には、図 3 において破線で示したように、液晶層 L Q の液晶分子 L M は、その長軸が第 1 配向膜 A L 1 の第 1 配向処理方向 P D 1 及び第 2 配向膜 A L 2 の第 2 配向処理方向 P D 2 を向くように配向している。このような O F F 時が初期配向状態に相当し、O F F 時の液晶分子 L M の配向方向が初期配向方向に相当する。

【 0 0 6 6 】

なお、厳密には、液晶分子 L M は、X - Y 平面に平行に配向しているとは限らず、プレチルトしている場合が多い。このため、液晶分子 L M の厳密な初期配向方向とは、O F F 時の液晶分子 L M の配向方向を X - Y 平面に正射影した方向である。しかしながら、説明を簡略にするために、以下では、液晶分子 L M は、X - Y 平面に平行に配向しているものとし、X - Y 平面と平行な面内で回転するものとして説明する。

【 0 0 6 7 】

ここでは、第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 は、ともに第 2 方向 Y と略平行な方向である。O F F 時においては、液晶分子 L M は、図 3 に破線で示したように、その長軸が第 2 方向 Y と略平行な方向を向くように初期配向する。つまり、液晶分子 L M の初期配向方向は、第 2 方向 Y と平行 (あるいは、第 2 方向 Y に対して 0 °) である。

【 0 0 6 8 】

図示した例のように、第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 が平行且つ同じ向きである場合、液晶層 L Q の断面において、液晶分子 L M は、液晶層 L Q の中間部付近で略水平 (プレチルト角が略ゼロ) に配向し、ここを境界として第 1 配向膜 A L 1 の近傍及び第 2 配向膜 A L 2 の近傍において対称となるようなプレチルト角を持って配向する (スプレイ配向)。このように液晶分子 L M がスプレイ配向している状態では、基板の法線方向から傾いた方向においても第 1 配向膜 A L 1 の近傍の液晶分子 L M と第 2 配向膜 A L 2 の近傍の液晶分子 L M とにより光学的に補償される。したがって、第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 が互いに平行、且つ、同じ向きである場合には、黒表示の場合に光漏れが少なく、高コントラスト比を実現することができ、表示品位を向上することが可能となる。

【 0 0 6 9 】

なお、第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 が互いに平行且つ逆向きである場合、液晶層 L Q の断面において、液晶分子 L M は、第 1 配向膜 A L 1 の近傍、第 2 配向膜 A L 2 の近傍、及び、液晶層 L Q の中間部において略均一なプレチルト角を持って配向する (ホモジニアス配向)。

【 0 0 7 0 】

バックライト 4 からのバックライト光の一部は、第 1 偏光板 P L 1 を透過し、液晶表示パネル L P N に入射する。液晶表示パネル L P N に入射した光は、第 1 偏光板 P L 1 の第 1 偏光軸 A X 1 と直交する直線偏光である。このような直線偏光の偏光状態は、O F F 時の液晶表示パネル L P N を通過した際にほとんど変化しない。このため、液晶表示パネル L P N を透過した直線偏光は、第 1 偏光板 P L 1 に対してクロスニコルの位置関係にある第 2 偏光板 P L 2 によって吸収される (黒表示)。

【 0 0 7 1 】

一方、液晶層 L Q に電圧が印加された状態、つまり、画素電極 P E と共通電極 C E との間に電位差が形成された状態 (O N 時) では、画素電極 P E と共通電極 C E との間に基板と略平行な横電界 (あるいは斜め電界) が形成される。液晶分子 L M は、電界の影響を受け、その長軸が図中の実線で示したように X - Y 平面と略平行な平面内で回転する。

【 0 0 7 2 】

図3に示した例では、画素電極PEと主共通電極CALとの間の領域のうち、上側半分の領域内の液晶分子LMは、第2方向Yに対して時計回りに回転し図中の左下を向くように配向し、また、下側半分の領域内の液晶分子LMは、第2方向Yに対して反時計回りに回転し図中の左上を向くように配向する。画素電極PEと主共通電極CARとの間の領域のうち、上側半分の領域内の液晶分子LMは、第2方向Yに対して反時計回りに回転し図中の右下を向くように配向し、下側半分の領域内の液晶分子LMは、第2方向Yに対して時計回りに回転し図中の右上を向くように配向する。

【0073】

このように、各画素PXにおいて、画素電極PEと共通電極CEとの間に電界が形成された状態では、液晶分子LMの配向方向は、画素電極PEと重なる位置を境界として複数の方向に分かれ、それぞれの配向方向でドメインを形成する。つまり、一画素PXには、複数のドメインが形成される。

10

【0074】

このようなON時には、第1偏光板PL1の第1偏光軸AX1と直交する直線偏光は、液晶表示パネルLPNに入射し、その偏光状態は、液晶層LQを通過する際に液晶分子LMの配向状態に応じて変化する。このようなON時には、液晶層LQを通過した少なくとも一部の光は、第2偏光板PL2を透過する(白表示)。

【0075】

このような本実施形態によれば、一画素内に4つのドメインを形成することが可能となるため、4方向での視野角を光学的に補償することができ、広視野角化が可能となる。したがって、階調反転がなく、高い透過率の表示を実現することができ、表示品位の良好な液晶表示装置を提供することが可能となる。

20

【0076】

また、一画素内において、画素電極PEと共通電極CEとで区画される4つの領域それぞれについて開口部の面積を略同一に設定することにより、各領域の透過率が略同等となり、それぞれの開口部を透過した光が互いに光学的に補償し合い、広い視野角範囲に亘って均一な表示を実現することが可能となる。

【0077】

また、液晶分子の初期配向状態が基板に対して垂直である垂直配向型の液晶表示装置と比較して、本実施形態は中間調においても視野角が広く輝度が明るいことが確認されている。

30

【0078】

なお、ON時には、画素電極PEの主画素電極PA付近、第1副画素電極PB付近、及び、第2副画素電極PC付近、あるいは、共通電極CEの主共通電極CA付近及び副共通電極CB付近では、横電界がほとんど形成されない(あるいは、液晶分子LMを駆動するのに十分な電界が形成されない)ため、液晶分子LMは、OFF時と同様に初期配向方向からほとんど動かない。このため、上記のように、画素電極PE及び共通電極CEが光透過性の導電材料によって形成されていても、これらの領域ではバックライト光がほとんど透過せず、ON時において表示にほとんど寄与しない。したがって、画素電極PE及び共通電極CEは、必ずしも透明な導電材料によって形成される必要はなく、アルミニウムや銀などの導電材料を用いて形成しても良い。

40

【0079】

また、アレイ基板ARと対向基板CTとの合わせずれが生じた際に、画素電極PEを挟んだ両側の共通電極CEとの距離に差が生じることがある。しかしながら、このような合わせずれは、全ての画素PXに共通に生じるため、画素PX間での電界分布に相違はなく、画像の表示に及ぼす影響はきわめて小さい。

【0080】

また、上述の一画素PXにおける最小の単位構成体は、正方形に限らず第2方向Yあるいは第1方向Xへの伸縮に制限は無く矩形で良い。すなわち、単位構成体それ自体あるいは単位構成体を組み合わせることで所望とする画素サイズを設計することができる。この

50

ように単位構成体の寸法を自由に設計しても、液晶分子LMは電極間に生じる電界によって基板に水平に配向するため、基板に対する法線方向のリタデーションに及ぼす影響は小さい。したがって、画素サイズの変更が輝度及び視野角に及ぼす影響はほとんど無い。

【0081】

一方、初期配向状態が基板に対して垂直に配向し印加電圧によって水平に配向する垂直配向型の液晶表示装置の場合には、電極間に生じる電界強度が画素内で異なると、基板に対する液晶分子の傾きの程度も異なるため、基板に対する法線方向のリタデーションに及ぼす影響は大きい。したがって、画素サイズの変更が、輝度及び視野角に及ぼす影響は大きい。このことから仮にこの単位構成体に垂直配向型の液晶分子を適用する場合には、画素内の電界強度及び電界分布を均一にするために単位構成体は正方形にする必要がある。

10

【0082】

次に、本実施形態の一構成例について説明する。

【0083】

第1構成例

まず、本実施形態の第1構成例について説明する。

【0084】

図5は、本実施形態の第1構成例における液晶表示パネルLPNの対向基板CT1における一画素PXの構造を概略的に示す平面図である。

【0085】

この第1構成例では、共通電極CEは、主共通電極として対向基板CT1に備えられた第2主共通電極CA2、及び、副共通電極として対向基板CT1に備えられた第2副共通電極CB2を有している。これらの第2主共通電極CA2及び第2副共通電極CB2は、第2配向膜AL2によって覆われている。

20

【0086】

すなわち、図示した対向基板CT1は、第2方向Yに沿って直線的に延出した帯状の第2主共通電極CA2と、第1方向Xに沿って直線的に延出した帯状の第2副共通電極CB2と、を備えている。これらの第2主共通電極CA2及び第2副共通電極CB2は、電氣的に接続されている。図示した例では、第2主共通電極CA2及び第2副共通電極CB2は、一体的（あるいは連続的）に形成されている。つまり、対向基板CT1において、共通電極CEは、格子状に形成されている。

30

【0087】

なお、図示した第2主共通電極CA2は第1方向Xに沿って間隔をおいて2本平行に並んでおり、以下では、これらを区別するために、図中の左側の第2主共通電極をCAL2と称し、図中の右側の第2主共通電極をCAR2と称する。第2主共通電極CAL2及び第2主共通電極CAR2は、第2副共通電極CB2とそれぞれ繋がっている。

【0088】

このような構成の共通電極CEは、詳述しないが、アクティブエリアの外側に引き出され、導電部材を介して、アレイ基板に形成された給電部と電氣的に接続され、コモン電位が給電される。

【0089】

次に、図5に示した対向基板CT1との組み合わせが好適なアレイ基板AR1について説明する。

40

【0090】

図6は、本実施形態の第1構成例における液晶表示パネルLPNの一画素PXを対向基板CT1側から見たときのアレイ基板AR1の構造を概略的に示す平面図である。なお、画素電極PEと共通電極CEとの位置関係を説明するために、共通電極CEを破線で図示している。また、一画素PXにおける説明に必要な構成のみを図示し、スイッチング素子などの図示を省略している。

【0091】

アレイ基板AR1は、第1方向Xに沿って延出した補助容量線C1及び補助容量線C2

50

と、第1方向Xに沿って延出したゲート配線G1と、第2方向Yに沿って延出したソース配線S1及びソース配線S2と、画素電極PEと、を備えている。補助容量線C1、補助容量線C2、及び、ゲート配線G1は、ゲート絶縁膜11の上に形成され、第1層間絶縁膜12によって覆われている。ソース配線S1及びソース配線S2は、第1層間絶縁膜12の上に形成され、第2層間絶縁膜13によって覆われている。画素電極PEは、第2層間絶縁膜13の上に形成されている。

【0092】

図示した例では、画素PXは、図中の破線で示した領域に相当し、第1方向Xに沿った長さよりも第2方向Yに沿った長さの方が長い長方形状である。また、図示した例では、画素PXにおいて、ソース配線S1は左側端部に配置され、ソース配線S2は右側端部に配置されている。厳密には、ソース配線S1は当該画素PXとその左側に隣接する画素との境界に跨って配置され、ソース配線S2は当該画素PXとその右側に隣接する画素との境界に跨って配置されている。また、画素PXにおいて、補助容量線C1は上側端部に配置され、補助容量線C2は下側端部に配置され、ゲート配線G1は略画素中央部に配置されている。つまり、ゲート配線G1と補助容量線C1との第2方向Yに沿った間隔は、ゲート配線G1と補助容量線C2との第2方向Yに沿った間隔と略同等である。なお、補助容量線C1は、当該画素PXとその上側の画素との境界に跨って配置されてもよい。同様に、補助容量線C2は、当該画素PXとその下側の画素との境界に跨って配置されてもよい。

【0093】

画素電極PEは、ソース配線S1とソース配線S2との間に配置され、図示を省略したスイッチング素子に電氣的に接続されている。このような画素電極PEは、第2方向Yに沿って直線的に延出した帯状の主画素電極PA、第1方向Xに沿って直線的に延出した帯状の第1副画素電極PB及び第2副画素電極PCを有している。これらの主画素電極PA、第1副画素電極PB及び第2副画素電極PCは、電氣的に接続されている。図示した例では、主画素電極PA、第1副画素電極PB及び第2副画素電極PCは、一体的（あるいは連続的）に形成されている。つまり、アレイ基板AR1において、画素電極PEは、I字状に形成されている。また、主画素電極PA、第1副画素電極PB及び第2副画素電極PCは、いずれも第1配向膜AL1によって覆われている。

【0094】

主画素電極PAは、隣接するソース配線S1及びソース配線S2のそれぞれの直上の位置よりも画素PXの内側に位置し、ソース配線S1とソース配線S2との略中間に配置されている。このような主画素電極PAは、画素PXの上側端部付近から下側端部付近まで延出している。

【0095】

第1副画素電極PBは、画素PXの下側端部に配置され、主画素電極PAの一端部に繋がっている。このような第1副画素電極PBは、主画素電極PAからその両側、つまり、主画素電極PAの左側のソース配線S1、及び、主画素電極PAの右側のソース配線S2に向かってそれぞれ直線的に延出している。

【0096】

第2副画素電極PCは、画素PXの上側端部に配置され、主画素電極PAの他端部に繋がっている。このような第2副画素電極PCは、主画素電極PAからその両側、つまり、ソース配線S1及びソース配線S2に向かってそれぞれ直線的に延出している。この第1構成例においては、第2副画素電極PCは、補助容量線C1と対向している。図示した例では、第2副画素電極PCは、補助容量線C1の上方に配置されている。第2副画素電極PCと補助容量線C1との間には、絶縁膜として、第1層間絶縁膜12及び第2層間絶縁膜13が介在している。

【0097】

これらの第1副画素電極PB及び第2副画素電極PCの第1方向Xに沿ったそれぞれの長さについては、略同等であっても良いし、異なる長さであっても良い。第2副画素電極

10

20

30

40

50

P Cの第1方向Xに沿った長さについては、第2副画素電極P Cが補助容量線C 1を覆う場合には、ソース配線S 1とソース配線S 2との間に位置する補助容量線C 1の第1方向Xに沿った長さと同様以上である。

【0098】

また、第1副画素電極P B及び第2副画素電極P Cの第2方向Yに沿ったそれぞれの幅については、略同等であっても良いし、異なる幅であっても良い。第2副画素電極P Cの幅については、第2副画素電極P Cが補助容量線C 1上で図示しないスイッチング素子と電氣的に接続される構成の場合、第1副画素電極P Bの幅よりも幅広になっても良い。第2副画素電極P Cが補助容量線C 1を覆う場合、第2副画素電極P Cの幅は補助容量線C 1の幅と同様以上である。

10

【0099】

上述したように、補助容量線C 1が画素の上側端部に配置され、ゲート配線G 1が略画素中央部に配置された構成では、第2副画素電極P Cがソース配線S 1とソース配線S 2との間に位置する補助容量線C 1を覆うように配置可能である。なお、補助容量線C 2が画素の下側端部に配置された構成では、第1副画素電極P Bがソース配線S 1とソース配線S 2との間に位置する補助容量線C 2を覆うように配置可能である。

【0100】

また、1本の補助容量線の上には、第2方向Yに隣接する2つの画素電極の第1副画素電極P B及び第2副画素電極P Cが配置されても良い。例えば、補助容量線C 1の上には、図示した当該画素P Xの画素電極P Eの第2副画素電極P Cとともに、当該画素P Xの上側の画素に配置された画素電極の第1副画素電極が配置されても良い。この場合、当該画素P Xの画素電極P Eの第1副画素電極P Bは、補助容量線C 2の上に配置される。

20

【0101】

また、ゲート配線G 1が画素P Xの上側端部または下側端部に配置され、補助容量線C 1が略画素中央部に配置されても良い。この場合には、第1副画素電極P Bまたは第2副画素電極P Cは、ゲート配線G 1と対向していても良い（あるいは、第1副画素電極P Bまたは第2副画素電極P Cがゲート配線G 1の上方に配置されていても良い）。

【0102】

一方、共通電極C Eにおいて、第2主共通電極C A L 2及び第2主共通電極C A R 2は主画素電極P Aの直上の位置を挟んだ両側に配置され、また、第2副共通電極C B 2は第1副画素電極P Bの直上の位置と第2副画素電極P Cの直上の位置との間に配置されている。換言すると、主画素電極P Aは第2主共通電極C A L 2と第2主共通電極C A R 2との間に配置され、第1副画素電極P B及び第2副画素電極P Cは第2副共通電極C B 2を挟んだ両側に配置されている。

30

【0103】

図示した例では、第2主共通電極C A L 2は、画素P Xの左側端部に配置され、ソース配線S 1に対向している（あるいは、第2主共通電極C A L 2がソース配線S 1の上方に配置されている）。また、第2主共通電極C A R 2は、画素P Xの右側端部に配置され、ソース配線S 2に対向している（あるいは、第2主共通電極C A R 2がソース配線S 2の上方に配置されている）。また、第2副共通電極C B 2は、略画素中央部に配置され、ゲート配線G 1に対向している（あるいは、第2副共通電極C B 2がゲート配線G 1の上方に配置されている）。

40

【0104】

このような第1構成例によれば、上記の通り、一画素内に4つのドメインを形成することが可能となるため、4方向での視野角を光学的に補償することができ、広視野角化が可能となる。

【0105】

また、第2主共通電極C A L 2及び第2主共通電極C A R 2は、それぞれソース配線S 1及びソース配線S 2と対向している。特に、第2主共通電極C A L 2及び第2主共通電極C A R 2がそれぞれソース配線S 1及びソース配線S 2の上方に配置されている場合に

50

は、第2主共通電極CAL2及び第2主共通電極CAR2がソース配線S1及びソース配線S2よりも主画素電極PA側に配置された場合と比較して、表示に寄与する開口部を拡大することができ、画素PXの透過率を向上することが可能となる。

【0106】

また、第2主共通電極CAL2及び第2主共通電極CAR2をそれぞれソース配線S1及びソース配線S2の上方に配置することによって、主画素電極PAと第2主共通電極CAL2及び第2主共通電極CAR2との間の距離を拡大することが可能となり、より水平に近い横電界を形成することが可能となる。このため、従来の構成であるIPSモード等の利点である広視野角化も維持することが可能となる。

【0107】

さらに、画素電極PEの第1副画素電極PBあるいは第2副画素電極PCは、補助容量線やゲート配線と対向するように配置されているため、補助容量線やゲート配線からの不所望な電界を遮蔽することが可能となる。このため、補助容量線やゲート配線から液晶層LQに対して不所望なバイアスが印加されることを抑制することができ、焼きツキなどの表示不良の発生を抑制することが可能となる。したがって、さらに表示品位の良好な液晶表示装置を提供することができる。

【0108】

第2構成例

次に、本実施形態の第2構成例について説明する。なお、第1構成例と同一構成については同一の参照符号を付して詳細な説明を省略する。

【0109】

図7は、本実施形態の第2構成例における液晶表示パネルLPNの対向基板CT2における一画素PXの構造を概略的に示す平面図である。

【0110】

この第2構成例では、共通電極CEは、主共通電極として後述するアレイ基板に備えられた第1主共通電極CA1、及び、副共通電極として対向基板CT2に備えられた第2副共通電極CB2を有している。この第2副共通電極CB2は、第2配向膜AL2によって覆われている。

【0111】

すなわち、図示した対向基板CT2は、第1方向Xに沿って直線的に延出した帯状の第2副共通電極CB2を備えており、主共通電極は備えていない。つまり、対向基板CT2において、共通電極CEは、第1方向Xに延出したストライプ状に形成されている。

【0112】

このような共通電極CEの第2副共通電極CB2は、詳述しないが、アクティブエリアの外側に引き出され、導電部材を介して、アレイ基板に形成された給電部と電氣的に接続され、コモン電位が給電される。

【0113】

次に、図7に示した対向基板CT2との組み合わせが好適なアレイ基板AR2について説明する。

【0114】

図8は、本実施形態の第2構成例における液晶表示パネルLPNの一画素PXを対向基板CT2側から見たときのアレイ基板AR2の構造を概略的に示す平面図である。なお、画素電極PEと共通電極CEとの位置関係を説明するために、共通電極CEを破線で図示している。また、一画素PXにおける説明に必要な構成のみを図示し、スイッチング素子などの図示を省略している。

【0115】

アレイ基板AR2は、アレイ基板AR1と同様に、第1方向Xに沿って延出した補助容量線C1及び補助容量線C2と、第1方向Xに沿って延出したゲート配線G1と、第2方向Yに沿って延出したソース配線S1及びソース配線S2と、画素電極PEと、を備えている。画素電極PEは、第1配向膜AL1によって覆われている。さらに、アレイ基板A

10

20

30

40

50

R 2 は、共通電極 C E の一部、すなわち、第 2 方向 Y に沿って直線的に延出した帯状の第 1 主共通電極 C A 1 を備えている。この第 1 主共通電極 C A 1 は、第 2 副共通電極 C B 2 と同電位である。

【 0 1 1 6 】

なお、図示した第 1 主共通電極 C A 1 は第 1 方向 X に沿って間隔をおいて 2 本平行に並んでおり、以下では、これらを区別するために、図中の左側の第 1 主共通電極を C A L 1 と称し、図中の右側の第 1 主共通電極を C A R 1 と称する。これらの第 1 主共通電極 C A L 1 及び第 1 主共通電極 C A R 1 は、例えば、画素電極 P E と同様に、第 2 層間絶縁膜 1 3 の上に形成され、第 1 配向膜 A L 1 によって覆われている。この場合、第 1 主共通電極 C A L 1 及び第 1 主共通電極 C A R 1 は、画素電極 P E と同一材料（例えば、I T O など）を用いて同一工程で形成可能である。

10

【 0 1 1 7 】

図示した例では、第 1 主共通電極 C A L 1 は、画素 P X の左側端部に配置され、ソース配線 S 1 と対向している（あるいは、第 1 主共通電極 C A L 1 がソース配線 S 1 の上方に配置されている）。また、第 1 主共通電極 C A R 1 は、画素 P X の右側端部に配置され、ソース配線 S 2 と対向している（あるいは、第 1 主共通電極 C A R 1 がソース配線 S 2 の上方に配置されている）。第 1 主共通電極 C A L 1 及び第 1 主共通電極 C A R 1 と、ソース配線 S 1 及びソース配線 S 2 との間には、絶縁膜として、第 2 層間絶縁膜 1 3 が介在している。

【 0 1 1 8 】

20

これらの第 1 主共通電極 C A L 1 及び第 1 主共通電極 C A R 1 は、それぞれアクティブエリア内においては直線的に延出し、アクティブエリアの外側に引き出され、アレイ基板 A R 2 に形成された給電部と電氣的に接続され、コモン電位が給電される。また、第 1 主共通電極 C A L 1 及び第 1 主共通電極 C A R 1 のそれぞれがアクティブエリア内においてソース配線 S 1 及びソース配線 S 2 を覆う場合には、第 1 主共通電極 C A L 1 及び第 1 主共通電極 C A R 1 の第 1 方向 X に沿った幅については、ソース配線 S 1 及びソース配線 S 2 の第 1 方向 X に沿った幅と同等以上である。

【 0 1 1 9 】

画素電極 P E は、第 1 構成例と同様に、ソース配線 S 1 とソース配線 S 2 との間、つまり、第 1 主共通電極 C A L 1 と第 1 主共通電極 C A R 1 との間に配置されている。この画素電極 P E は、主画素電極 P A、第 1 副画素電極 P B 及び第 2 副画素電極 P C を有している。

30

【 0 1 2 0 】

主画素電極 P A は、第 1 主共通電極 C A L 1 と第 1 主共通電極 C A R 1 との略中間の位置に配置されている。第 1 副画素電極 P B 及び第 2 副画素電極 P C のそれぞれは、第 1 主共通電極 C A L 1 及び第 1 主共通電極 C A R 1 に向かって延出している。但し、画素電極 P E が第 1 主共通電極 C A L 1 及び第 1 主共通電極 C A R 1 とともに第 2 層間絶縁膜 1 3 の上に形成されている場合には、第 1 副画素電極 P B 及び第 2 副画素電極 P C のそれぞれは、第 1 主共通電極 C A L 1 及び第 1 主共通電極 C A R 1 には接触しないように配置されている（あるいは、第 1 副画素電極 P B 及び第 2 副画素電極 P C のそれぞれが第 1 主共通電極 C A L 1 及び第 1 主共通電極 C A R 1 から離間するように配置されている）。

40

【 0 1 2 1 】

第 2 副画素電極 P C は、補助容量線 C 1 と対向している（あるいは、第 2 副画素電極 P C が補助容量線 C 1 の上方に配置されている）。

【 0 1 2 2 】

なお、ゲート配線 G 1 が画素 P X の上側端部または下側端部に配置され、補助容量線 C 1 が略画素中央部に配置されても良い。この場合には、第 1 副画素電極 P B または第 2 副画素電極 P C は、ゲート配線 G 1 と対向していても良い（あるいは、第 1 副画素電極 P B または第 2 副画素電極 P C がゲート配線 G 1 の上方に配置されていても良い）。

【 0 1 2 3 】

50

一方、共通電極 C E において、第 2 副共通電極 C B 2 は第 1 副画素電極 P B の直上の位置と第 2 副画素電極 P C の直上の位置との間に配置されている。換言すると、主画素電極 P A は第 1 主共通電極 C A L 1 と第 1 主共通電極 C A R 1 との間に配置され、第 1 副画素電極 P B 及び第 2 副画素電極 P C は第 2 副共通電極 C B 2 を挟んだ両側に配置されている。

【 0 1 2 4 】

図示した例では、第 2 副共通電極 C B 2 は、略画素中央部に配置され、ゲート配線 G 1 に対向している（あるいは、第 2 副共通電極 C B 2 がゲート配線 G 1 の上方に配置されている）。

【 0 1 2 5 】

このような第 2 構成例によれば、上記の通り、一画素内に 4 つのドメインを形成することが可能となるため、4 方向での視野角を光学的に補償することができ、広視野角化が可能となる。また、第 1 構成例で説明した効果に加えて、共通電極 C E の第 1 主共通電極 C A 1 の少なくとも 1 つは、ソース配線と対向するように配置されているため、ソース配線からの不所望な電界を遮蔽することが可能となる。このため、ソース配線から液晶層 L Q に対して不所望なバイアスが印加されることを抑制することができ、クロストーク（例えば、当該画素 P X が黒を表示する画素電位に設定されている状態で、当該画素 P X に接続されたソース配線に白を表示する画素電位が供給されたときに、当該画素 P X の一部から光漏れが生じて輝度の上昇を招く現象）などの表示不良の発生を抑制することが可能となる。したがって、さらに表示品位の良好な液晶表示装置を提供することができる。

【 0 1 2 6 】

なお、この第 2 構成例で説明したアレイ基板 A R 2 は、第 1 構成例で説明した対向基板 C T 1 と組み合わせても良い。この場合、共通電極 C E は、主共通電極として、アレイ基板 A R 2 に備えられた第 1 主共通電極 C A 1 及び対向基板 C T 1 に備えられた第 2 主共通電極 C A 2 を有する構成となる。このような第 1 主共通電極 C A 1 と第 2 主共通電極 C A 2 とが液晶層を挟んで対向する領域では、不所望な縦電界（すなわち、基板主面の法線方向に沿った電界）の発生を抑制することが可能となる。

【 0 1 2 7 】

第 3 構成例

次に、本実施形態の第 3 構成例について説明する。なお、第 1 構成例と同一構成については同一の参照符号を付して詳細な説明を省略する。

【 0 1 2 8 】

図 9 は、本実施形態の第 3 構成例における液晶表示パネル L P N の対向基板 C T 3 における一画素 P X の構造を概略的に示す平面図である。

【 0 1 2 9 】

この第 3 構成例では、共通電極 C E は、主共通電極として対向基板 C T 3 に備えられた第 2 主共通電極 C A 2、及び、副共通電極として後述するアレイ基板に備えられた第 1 副共通電極 C B 1 を有している。この第 2 主共通電極 C A 2 は、第 2 配向膜 A L 2 によって覆われている。

【 0 1 3 0 】

すなわち、図示した対向基板 C T 3 は、第 2 方向 Y に沿って直線的に延出した帯状の第 2 主共通電極 C A 2 を備えており、副共通電極は備えていない。つまり、対向基板 C T 3 において、共通電極 C E は、第 2 方向 Y に延出したストライプ状に形成されている。なお、図示した第 2 主共通電極 C A 2 は第 1 方向 X に沿って間隔をおいて 2 本平行に並んでおり、以下では、これらを区別するために、図中の左側の第 2 主共通電極を C A L 2 と称し、図中の右側の第 2 主共通電極を C A R 2 と称する。

【 0 1 3 1 】

このような共通電極 C E の第 2 主共通電極 C A 2 は、詳述しないが、アクティブエリアの外側に引き出され、導電部材を介して、アレイ基板に形成された給電部と電氣的に接続され、コモン電位が給電される。

【 0 1 3 2 】

次に、図 9 に示した対向基板 C T 3 との組み合わせが好適なアレイ基板 A R 3 について説明する。

【 0 1 3 3 】

図 1 0 は、本実施形態の第 3 構成例における液晶表示パネル L P N の一画素 P X を対向基板 C T 3 の側から見たときのアレイ基板 A R 3 の構造を概略的に示す平面図である。なお、画素電極 P E と共通電極 C E との位置関係を説明するために、共通電極 C E を破線で図示している。また、一画素 P X における説明に必要な構成のみを図示し、スイッチング素子などの図示を省略している。

【 0 1 3 4 】

アレイ基板 A R 3 は、アレイ基板 A R 1 と同様に、第 1 方向 X に沿って延出した補助容量線 C 1 及び補助容量線 C 2 と、第 1 方向 X に沿って延出したゲート配線 G 1 と、第 2 方向 Y に沿って延出したソース配線 S 1 及びソース配線 S 2 と、画素電極 P E と、を備えている。画素電極 P E は、第 1 配向膜 A L 1 によって覆われている。さらに、アレイ基板 A R 3 は、共通電極 C E の一部として、第 1 方向 X に沿って直線的に延出した帯状の第 1 副共通電極 C B 1 を備えている。この第 1 副共通電極 C B 1 は、第 2 主共通電極 C A 2 と同電位である。

【 0 1 3 5 】

この第 1 副共通電極 C B 1 は、画素電極 P E と交差するため、画素電極 P E と同一層に形成することはできない。このため、画素電極 P E と第 1 副共通電極 C B 1 との間には層間絶縁膜が介在している。なお、第 1 配向膜 A L 1 は、画素電極 P E 及び第 1 副共通電極 C B 1 のいずれの上方にも位置している。

【 0 1 3 6 】

この第 1 副共通電極 C B 1 は、第 1 副画素電極 P B と第 2 副画素電極 P C との間に配置されている。図示した例では、第 1 副共通電極 C B 1 は、略画素中央部に配置され、ゲート配線 G 1 に対向している（あるいは、第 1 副共通電極 C B 1 がゲート配線 G 1 の上方に配置されている）。第 1 副共通電極 C B 1 とゲート配線 G 1 との間には、絶縁膜として、少なくとも第 1 層間絶縁膜 1 2 及び第 2 層間絶縁膜 1 3 が介在している。

【 0 1 3 7 】

この第 1 副共通電極 C B 1 は、アクティブエリア内においては直線的に延出し、アクティブエリアの外側に引き出され、アレイ基板 A R 3 に形成された給電部と電氣的に接続され、コモン電位が給電される。また、第 1 副共通電極 C B 1 がアクティブエリア内においてゲート配線 G 1 を覆う場合には、第 1 副共通電極 C B 1 の第 2 方向 Y に沿った幅については、ゲート配線 G 1 の第 2 方向 Y に沿った幅と同等以上である。

【 0 1 3 8 】

画素電極 P E は、第 1 構成例と同様に、ソース配線 S 1 とソース配線 S 2 との間に配置されている。この画素電極 P E は、主画素電極 P A、第 1 副画素電極 P B 及び第 2 副画素電極 P C を有している。

【 0 1 3 9 】

主画素電極 P A は、ソース配線 S 1 とソース配線 S 2 との略中間の位置に配置されている。第 1 副画素電極 P B 及び第 2 副画素電極 P C は、第 1 副共通電極 C B 1 を挟んだ両側に配置されている。第 2 副画素電極 P C は、補助容量線 C 1 と対向している（あるいは、第 2 副画素電極 P C が補助容量線 C 1 の上方に配置されている）。

【 0 1 4 0 】

なお、ゲート配線 G 1 が画素 P X の上側端部または下側端部に配置され、補助容量線 C 1 が略画素中央部に配置されても良い。この場合には、第 1 副画素電極 P B または第 2 副画素電極 P C がゲート配線 G 1 と対向していても良い（あるいは、第 1 副画素電極 P B または第 2 副画素電極 P C がゲート配線 G 1 の上方に配置されていても良い）し、第 1 副共通電極 C B 1 が補助容量線 C 1 と対向していても良い（あるいは、第 1 副共通電極 C B 1 が補助容量線 C 1 の上方に配置されていても良い）。

10

20

30

40

50

【0141】

一方、共通電極 C E において、第 2 主共通電極 C A L 2 及び第 2 主共通電極 C A R 2 は、主画素電極 P A の直上の位置を挟んだ両側に配置されている。換言すると、主画素電極 P A は第 2 主共通電極 C A L 2 と第 2 主共通電極 C A R 2 との間に配置されている。

【0142】

図示した例では、第 2 主共通電極 C A L 2 は、画素 P X の左側端部に配置され、ソース配線 S 1 と対向している（あるいは、第 2 主共通電極 C A L 2 がソース配線 S 1 の上方に配置されている）。また、第 2 主共通電極 C A R 2 は、画素 P X の右側端部に配置され、ソース配線 S 2 と対向している（あるいは、第 2 主共通電極 C A R 2 がソース配線 S 2 の上方に配置されている）。 10

【0143】

このような第 3 構成例によれば、上記の通り、一画素内に 4 つのドメインを形成することが可能となるため、4 方向での視野角を光学的に補償することができ、広視野角化が可能となる。また、第 1 構成例で説明した効果に加えて、共通電極 C E の第 1 副共通電極 C B 1 は、ゲート配線と対向するように配置されているため、ゲート配線からの不所望な電界を遮蔽することが可能となる。このため、ゲート配線から液晶層 L Q に対して不所望なバイアスが印加されることを抑制することができ、焼きツキなどの表示不良の発生を抑制することが可能となる。したがって、さらに表示品位の良好な液晶表示装置を提供することができる。 20

【0144】

また、上述のように画素電極 P E と第 1 副共通電極 C B 1 との間に層間絶縁膜を介在する構造は、他の構成例と比較して製造工程数が増加する。しかしながら、この構成例の全体の製造工程数は従来の F F S モードの液晶表示装置の製造工程数と同じである。従来の F F S モードの液晶表示装置において一画素内にマルチドメインを形成する構成の一つに、画素電極の形状をくの字状にする構成がある。このくの字状の画素電極の中央付近においては、ディスクリネーションが生じやすく、これにより画素全体の輝度が低下する場合があった。一方、本実施形態においては、F F S モードの液晶表示装置のようにディスクリネーションが生じることが無いため輝度が向上する。 30

【0145】

なお、この第 3 構成例で説明したアレイ基板 A R 3 は、第 1 構成例で説明した対向基板 C T 1 と組み合わせても良い。この場合、共通電極 C E は、副共通電極として、アレイ基板 A R 3 に備えられた第 1 副共通電極 C B 1 及び対向基板 C T 1 に備えられた第 2 副共通電極 C B 2 を有する構成となる。このような第 1 副共通電極 C B 1 と第 2 副共通電極 C B 2 とが液晶層を挟んで対向する領域では、不所望な縦電界（すなわち、基板主面の法線方向に沿った電界）の発生を抑制することが可能となる。 40

【0146】

第 4 構成例

次に、本実施形態の第 4 構成例について説明する。なお、第 1 構成例と同一構成については同一の参照符号を付して詳細な説明を省略する。 50

【0147】

図 11 は、本実施形態の第 4 構成例における液晶表示パネル L P N の一画素 P X を対向基板 C T の側から見たときのアレイ基板 A R 4 の構造を概略的に示す平面図である。なお、一画素 P X における説明に必要な構成のみを図示し、スイッチング素子などの図示を省略している。

【0148】

この第 4 構成例では、共通電極 C E は、主共通電極としてアレイ基板 A R 4 に備えられた第 1 主共通電極 C A 1、及び、副共通電極としてアレイ基板 A R 4 に備えられた第 1 副共通電極 C B 1 を有している。

【0149】

アレイ基板 A R 4 は、アレイ基板 A R 1 と同様に、第 1 方向 X に沿って延出した補助容

10

20

30

40

50

量線 C 1 及び補助容量線 C 2 と、第 1 方向 X に沿って延出したゲート配線 G 1 と、第 2 方向 Y に沿って延出したソース配線 S 1 及びソース配線 S 2 と、画素電極 P E と、を備えている。さらに、アレイ基板 A R 4 は、第 2 方向 Y に沿って直線的に延出した帯状の第 1 主共通電極 C A 1 (C A L 1 及び C A R 1) 及び第 1 方向 X に沿って直線的に延出した帯状の第 1 副共通電極 C B 1 を有する共通電極 C E を備えている。つまり、アレイ基板 A R 4 において、共通電極 C E は、格子状に形成されている。第 1 主共通電極 C A 1 の構成については、アレイ基板 A R 2 で説明した通りである。第 1 副共通電極 C B 1 の構成については、アレイ基板 A R 3 で説明した通りである。なお、第 1 配向膜 A L 1 は、画素電極 P E 、第 1 主共通電極 C A 1 、及び、第 1 副共通電極 C B 1 のいずれの上方にも位置している。

10

【 0 1 5 0 】

このような共通電極 C E の第 1 主共通電極 C A 1 及び第 1 副共通電極 C B 1 は、詳述しないが、アクティブエリアの外側に引き出され、導電部材を介して、アレイ基板 A R 4 に形成された給電部と電気的に接続され、コモン電位が給電される。

【 0 1 5 1 】

この第 4 構成例で説明したアレイ基板 A R 4 は、第 1 構成例で説明した対向基板 C T 1 、第 2 構成例で説明した対向基板 C T 2 、及び、第 3 構成例で説明した対向基板 C T 3 のいずれとも組み合わせ可能である。

【 0 1 5 2 】

上記の第 1 乃至第 4 構成例で説明したアレイ基板 A R 1 、アレイ基板 A R 2 、アレイ基板 A R 3 、及び、アレイ基板 A R 4 と、上記の第 1 乃至第 3 構成例で説明した対向基板 C T 1 、対向基板 C T 2 、及び、対向基板 C T 3 との組み合わせについては、図 1 2 にまとめた。図中の斜線は本実施形態の基本構成を実現できない組み合わせに相当し、図中の二重丸 () は各構成例で説明した組み合わせに相当し、図中の白丸 (○) は各構成例において可能な組み合わせに相当する。

20

【 0 1 5 3 】

次に、本実施形態の更なるバリエーションについて一画素 P X の構成を簡単に説明する。

【 0 1 5 4 】

図 1 3 は、本実施形態のバリエーションのひとつを概略的に示す平面図である。

30

【 0 1 5 5 】

画素電極 P E は、第 2 方向 Y に沿って延出し且つ第 1 方向 X に沿って間隔をおいて平行に並んだ 2 本の主画素電極 P A 、第 1 方向 X に沿って延出した第 1 副画素電極 P B 及び第 2 副画素電極 P C を有している。このような画素電極 P E は、アレイ基板に備えられている。

【 0 1 5 6 】

共通電極 C E は、第 2 方向 Y に沿って延出した主共通電極 C A 及び第 1 方向 X に沿って延出した副共通電極 C B を有している。主共通電極 C A は、2 本の主画素電極 P A のそれぞれの両側に配置されている。つまり、3 本の主共通電極 C A と 2 本の主画素電極 P A とが交互に配置されている。副共通電極 C B は、第 1 副画素電極 P B と第 2 副画素電極 P C との間に配置されている。つまり、第 1 副画素電極 P B 及び第 2 副画素電極 P C と 1 本の副共通電極 C B とが交互に配置されている。このような共通電極 C E についても、主共通電極 C A 及び副共通電極 C B の少なくとも一部は、対向基板に備えられている。

40

【 0 1 5 7 】

このような構成においては、一画素 P X 内に 8 つの領域が形成され、O N 時には、図中の矢印で示した方向に液晶分子が配向する。このような構成においても上記の各構成例と同様の効果が得られる。

【 0 1 5 8 】

図 1 4 は、本実施形態の他のバリエーションを概略的に示す平面図である。

【 0 1 5 9 】

50

画素電極 P E は、第 2 方向 Y に沿って延出した主画素電極 P A、第 1 方向 X に沿って延出した第 1 副画素電極 P B 及び第 2 副画素電極 P C を有している。これらの第 1 副画素電極 P B 及び第 2 副画素電極 P C は、主画素電極 P A の端部ではなく、画素中央部寄りの位置で主画素電極 P A と結合している。このような画素電極 P E は、アレイ基板に備えられている。

【 0 1 6 0 】

共通電極 C E は、第 2 方向 Y に沿って延出した主共通電極 C A 及び第 1 方向 X に沿って延出した副共通電極 C B を有している。主共通電極 C A は、画素電極 P E の両側に配置されている。つまり、2 本の主共通電極 C A と 1 本の主画素電極 P A とが交互に配置されている。副共通電極 C B は、第 1 副画素電極 P B 及び第 2 副画素電極 P C のそれぞれの両側に配置されている。つまり、3 本の副共通電極 C B と第 1 副画素電極 P B 及び第 2 副画素電極 P C とが交互に配置されている。このような共通電極 C E についても、主共通電極 C A 及び副共通電極 C B の少なくとも一部は、対向基板に備えられている。

10

【 0 1 6 1 】

このような構成においては、一画素 P X 内に 8 つの領域が形成され、O N 時には、図中の矢印で示した方向に液晶分子が配向する。このような構成においても上記の各構成例と同様の効果が得られる。

【 0 1 6 2 】

図 1 5 は、本実施形態において適用可能な、画素電極 P E の第 1 副画素電極 P B 及び第 2 副画素電極 P C と、ゲート配線 G 1、補助容量線 C 1 及び補助容量線 C 2 との位置関係を説明するための図である。

20

【 0 1 6 3 】

図 1 5 の (a) 及び (b) に示した例は、ゲート配線 G 1 が補助容量線 C 1 と補助容量線 C 2 との略中間に位置している場合に相当する。図 1 5 の (c) 乃至 (f) に示した例は、ゲート配線 G 1 が補助容量線 C 1 よりも補助容量線 C 2 の側に近接している場合に相当する。なお、(a) 乃至 (f) に示したいずれの例においても、第 2 副画素電極 P C は、補助容量線 C 1 の上方に位置している。

【 0 1 6 4 】

図中の (a) 及び (f) に示した例では、第 1 副画素電極 P B は、補助容量線 C 2 の上方に位置している。この場合、図示した画素電極 P E の上側に隣接する画素電極の副画素電極も補助容量線 C 1 の上方に位置し、また、図示した画素電極 P E の下側に隣接する画素電極の副画素電極も補助容量線 C 2 の上方に位置する。

30

【 0 1 6 5 】

図中の (b) 及び (e) で示した例では、第 1 副画素電極 P B は、ゲート配線 G 1 と補助容量線 C 2 との間に位置している。図中の (c) で示した例では、第 1 副画素電極 P B は、ゲート配線 G 1 の上方に位置している。図中の (d) で示した例では、第 1 副画素電極 P B は、ゲート配線 G 1 と補助容量線 C 1 との間に位置している。

【 0 1 6 6 】

いずれの例においても、対向基板 C T 1 乃至 C T 3 を適用可能であるし、第 1 主共通電極 C A 1 を備えたアレイ基板 A R 2、第 1 副共通電極 C B 1 を備えたアレイ基板 A R 3、及び、第 1 主共通電極 C A 1 及び第 1 副共通電極 C B 1 を備えたアレイ基板 A R 4 のいずれも適用可能である。

40

【 0 1 6 7 】

上記の本実施形態は、特に、ドット反転駆動で容量結合駆動を行う容量結合ドット反転駆動 (C C D I 駆動) を行う構成に好適である。すなわち、容量結合駆動 (C C 駆動) では、各画素の保持容量 C s を通して、補助容量信号を画素電極 P E に重畳することで所定の電圧に到達させるため、保持容量 C s と画素容量とを略等しくする場合には、信号電圧振幅を略半減できる。C C D I 駆動では、隣り合う画素 P X の保持容量 C s が互いに異なる補助容量線 C に接続され、隣り合う画素 P X の保持容量 C s に供給される補助容量電圧を互いに異なる極性とする。例えば、図 6 の当該画素 P X の保持容量 C s が補助容量線 C

50

1に接続されている場合には、隣接する画素PXの保持容量Csは補助容量線C2に接続されている。このように画素の保持容量と補助容量線を接続することにより、隣り合う画素PXの保持容量Csに供給される補助容量電圧を互いに異なる電圧（例えばハイとロー）にすることができる。上述したゲートドライバGD、ソースドライバSD、コントローラを内蔵した駆動ICチップ2などは、このようなCCDI駆動を行うための駆動機構として機能し、アレイ基板ARに備えられている。

【0168】

このようなCCDI駆動を適用した構成によれば、消費電力を低減できるとともに表示品位の劣化を抑制することが可能となる。

【0169】

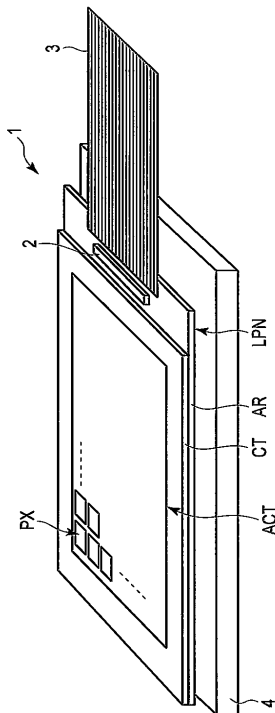
以上説明したように、本実施形態によれば、表示品位の良好な液晶表示装置を提供することが可能となる。

【0170】

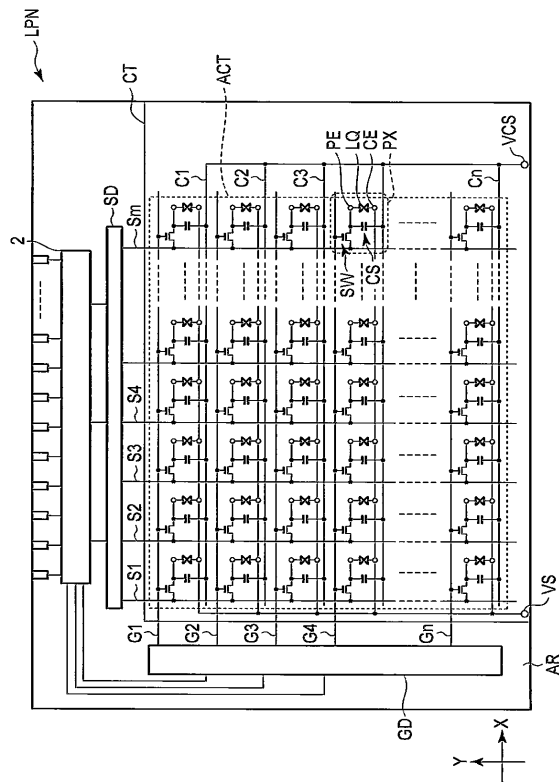
なお、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これらの新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これらの実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

10

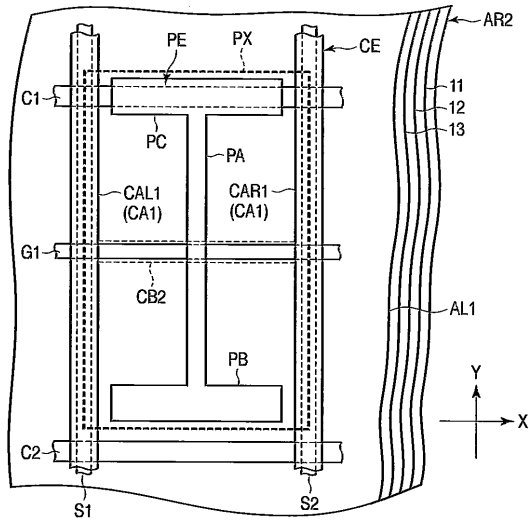
【図1】



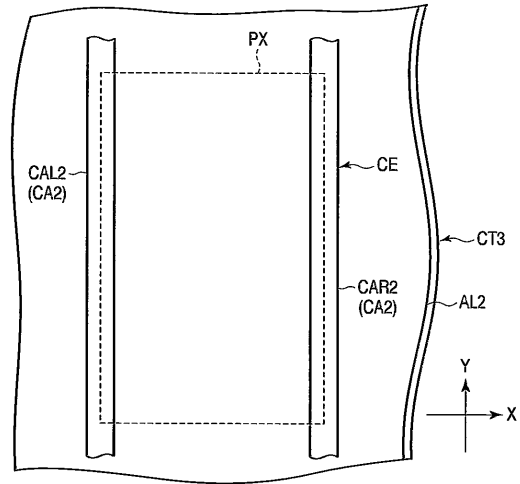
【図2】



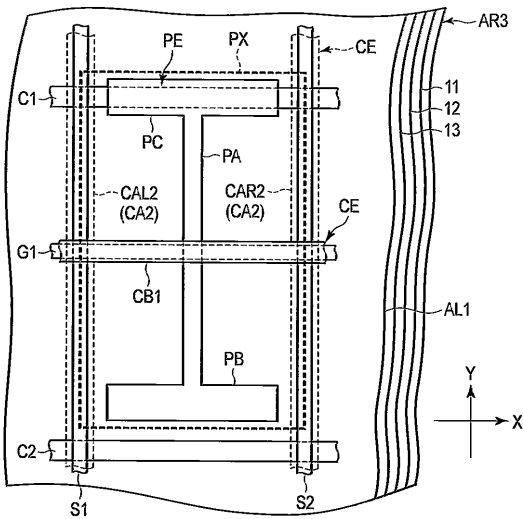
【図 8】



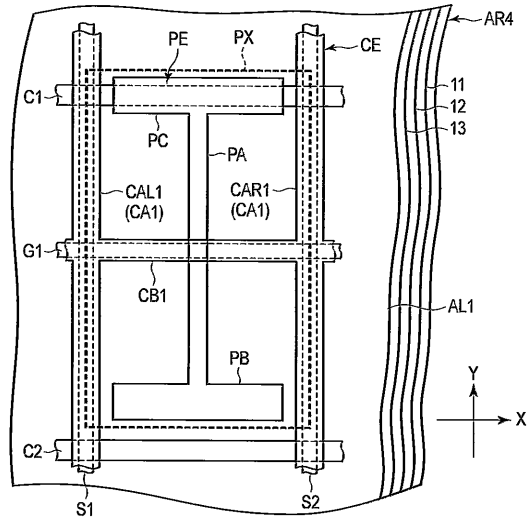
【図 9】



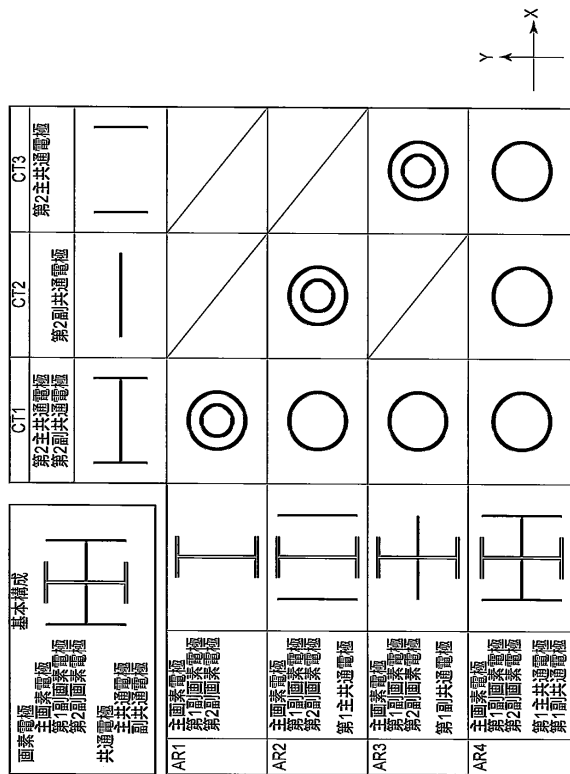
【図 10】



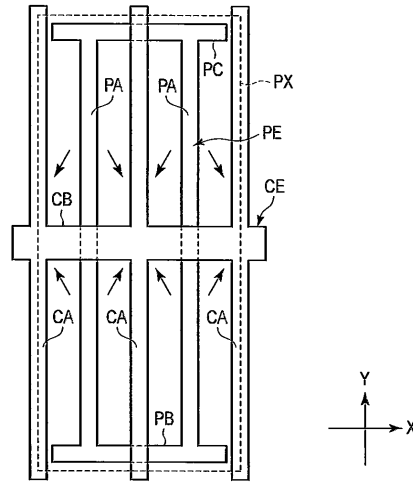
【図 11】



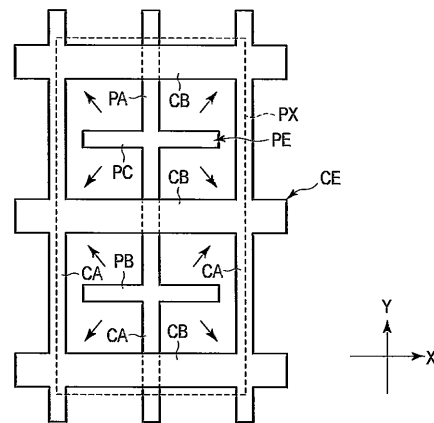
【図 1 2】



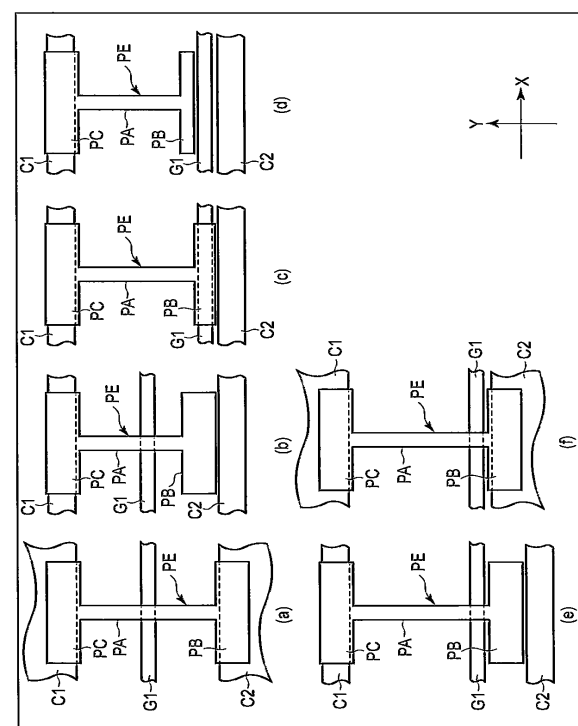
【図 1 3】



【図 1 4】



【図 1 5】



フロントページの続き

審査官 福村 拓

- (56)参考文献 特開平10-090708(JP,A)
特開平10-003092(JP,A)
特開平06-222397(JP,A)
特開平10-186366(JP,A)
特開2005-084233(JP,A)
特開2003-241213(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 2 F	1 / 1 3 4 3
G 0 2 F	1 / 1 3 6 8

专利名称(译)	液晶表示装置		
公开(公告)号	JP5707487B2	公开(公告)日	2015-04-30
申请号	JP2013508783	申请日	2012-02-15
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
当前申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	廣澤仁		
发明人	廣澤 仁		
IPC分类号	G02F1/1343 G02F1/1368		
CPC分类号	G02F1/134363 G02F1/136213 G02F2001/133757 G02F2001/134318		
FI分类号	G02F1/1343 G02F1/1368		
代理人(译)	河野 哲		
审查员(译)	福村 拓		
优先权	2011086560 2011-04-08 JP		
其他公开文献	JPWO2012137540A1		
外部链接	Espacenet		

摘要(译)

分别沿第一方向延伸的第一辅助电容线和第二辅助电容线，以及沿第一方向延伸的第一辅助电容线和第二辅助电容线之间延伸的部分栅线，第一源线和第二源线分别沿与第一方向交叉的第二方向延伸，第二线分别位于第一源线和第二源线之间沿着一个方向延伸的条状主像素电极，连接到主像素电极并面向第一辅助电容线并沿第一方向延伸的条状第一子像素电极，以及主像素条带状第二子像素电极，连接电极并与第一子像素电极分开并沿第一方向延伸，以及具有水平对准性的材料，主像素电极，第一子像素电极并且第一取向膜覆盖第二子像素电极。第二主公共电极，在主像素电极的两侧沿第二方向延伸，第二主公共电极与第一子像素电极和第二子像素电极之间的连接;并且，第二取向膜由呈现水平取向并覆盖第二主公共电极和第二子公共电极的材料形成。 1.一种液晶显示装置，包括：第二基板;以及液晶层，所述液晶层包含保持在所述第一基板和所述第二基板之间的液晶分子。

