

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5616662号  
(P5616662)

(45) 発行日 平成26年10月29日(2014.10.29)

(24) 登録日 平成26年9月19日(2014.9.19)

(51) Int.Cl. F I  
**GO2F 1/1368 (2006.01)** GO2F 1/1368  
**GO2F 1/133 (2006.01)** GO2F 1/133 550

請求項の数 8 (全 22 頁)

(21) 出願番号 特願2010-77255 (P2010-77255)  
 (22) 出願日 平成22年3月30日(2010.3.30)  
 (65) 公開番号 特開2010-277068 (P2010-277068A)  
 (43) 公開日 平成22年12月9日(2010.12.9)  
 審査請求日 平成25年3月26日(2013.3.26)  
 (31) 優先権主張番号 10-2009-0047425  
 (32) 優先日 平成21年5月29日(2009.5.29)  
 (33) 優先権主張国 韓国(KR)

(73) 特許権者 512187343  
 三星ディスプレイ株式会社  
 Samsung Display Co.,  
 Ltd.  
 大韓民国京畿道龍仁市器興区三星二路95  
 95, Samsung 2 Ro, Gih  
 eung-Gu, Yongin-City  
 , Gyeonggi-Do, Korea  
 (74) 代理人 100121382  
 弁理士 山下 託嗣  
 (72) 発明者 金 成 雲  
 大韓民国京畿道水原市靈通区靈通洞991  
 -10 202号

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

互いに対向する第1基板及び第2基板と、  
 前記第1基板と第2基板との間に介在しており、液晶分子を含む液晶層と、  
 前記第1基板上に形成され、ゲート信号を伝達する第1ゲート線及び第2ゲート線と、  
前記第1基板上に形成され、ゲート信号を伝達する第3ゲート線及び第4ゲート線と、  
前記第1基板上に形成される第1データ線、第2データ線及び第3データ線と、  
前記第1基板上に形成される第4データ線、第5データ線及び第6データ線と、  
 前記第1ゲート線及び前記第1データ線と接続される第1スイッチング素子と、  
 前記第1ゲート線及び前記第2データ線と接続される第2スイッチング素子と、  
 前記第2ゲート線及び前記第2データ線と接続される第3スイッチング素子と、  
 前記第2ゲート線及び前記第3データ線と接続される第4スイッチング素子と、  
前記第3ゲート線及び前記第4データ線と接続される第5スイッチング素子と、  
前記第3ゲート線及び前記第5データ線と接続される第6スイッチング素子と、  
前記第4ゲート線及び前記第5データ線と接続される第7スイッチング素子と、  
前記第4ゲート線及び前記第6データ線と接続される第8スイッチング素子と、  
 前記第1スイッチング素子及び第2スイッチング素子とそれぞれ接続され、互いに分離  
 される第1画素電極及び第2画素電極と、  
 前記第3スイッチング素子及び第4スイッチング素子とそれぞれ接続され、互いに分離  
 される第3画素電極及び第4画素電極と、

10

20

前記第 5 スイッチング素子及び第 6 スイッチング素子とそれぞれ接続され、互いに分離される第 5 画素電極及び第 6 画素電極と、

前記第 7 スイッチング素子及び第 8 スイッチング素子とそれぞれ接続され、互いに分離される第 7 画素電極及び第 8 画素電極とを含み、

前記第 1 ゲート線と前記第 3 ゲート線は互いに接続し、同一のゲート信号を伝達し、  
前記第 2 ゲート線と前記第 4 ゲート線は互いに接続し、同一のゲート信号を伝達し、

前記第 1 画素電極と前記第 2 画素電極は第 1 液晶キャパシタを形成し、前記第 3 画素電極と前記第 4 画素電極は第 2 液晶キャパシタを形成し、

前記第 5 画素電極と前記第 6 画素電極は第 3 液晶キャパシタを形成し、前記第 7 画素電極と前記第 8 画素電極は第 4 液晶キャパシタを形成する液晶表示装置。

10

【請求項 2】

前記第 1 画素電極及び第 2 画素電極は複数の枝電極を含み、前記第 1 画素電極の枝電極と前記第 2 画素電極の枝電極とは交互に配置されており、

前記第 3 画素電極及び第 4 画素電極は複数の枝電極を含み、前記第 3 画素電極の枝電極と前記第 4 画素電極の枝電極とは交互に配置される、請求項 1 に記載の液晶表示装置。

【請求項 3】

前記第 1 ゲート線にゲートオン信号が印加される場合、

前記第 1 画素電極には前記第 1 データ線を通じて第 1 データ電圧が印加され、前記第 2 画素電極には前記第 2 データ線を通じて第 2 データ電圧が印加され、

前記第 1 データ電圧と前記第 2 データ電圧の極性は互いに異なる、請求項 2 に記載の液晶表示装置。

20

【請求項 4】

前記第 2 ゲート線にゲートオン信号が印加される場合、

前記第 3 画素電極には前記第 2 データ線を通じて第 3 データ電圧が印加され、前記第 4 画素電極には前記第 3 データ線を通じて第 4 データ電圧が印加され、

前記第 3 データ電圧と前記第 4 データ電圧の極性は互いに異なり、

前記第 2 データ電圧と前記第 3 データ電圧の極性は互いに同じである、請求項 3 に記載の液晶表示装置。

【請求項 5】

前記第 1 データ線と前記第 4 データ線は互いに隣接して配置され、

前記第 2 データ線と前記第 5 データ線は互いに隣接して配置され、

前記第 3 データ線と前記第 6 データ線は互いに隣接して配置される、請求項 1 に記載の液晶表示装置。

30

【請求項 6】

前記第 5 画素電極及び第 6 画素電極は複数の枝電極を含み、前記第 5 画素電極の枝電極と前記第 6 画素電極の枝電極とは交互に配置されており、

前記第 7 画素電極及び第 8 画素電極は複数の枝電極を含み、前記第 7 画素電極の枝電極と前記第 8 画素電極の枝電極とは交互に配置される、請求項 5 に記載の液晶表示装置。

【請求項 7】

前記第 1 スイッチング素子及び第 2 スイッチング素子とそれぞれ接続され、互いに分離される第 1 ストレージキャパシタ及び第 2 ストレージキャパシタをさらに含む、請求項 1 に記載の液晶表示装置。

40

【請求項 8】

前記第 1 画素電極と電氣的に接続し、前記第 2 画素電極と絶縁膜を介在して重畳する容量電極をさらに含み、

前記容量電極と前記第 2 画素電極は、前記絶縁膜を介在して重畳してストレージキャパシタを形成する、請求項 1 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

50

本発明は液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置は、現在、最も幅広く使用されている平板表示装置の一つであって、画素電極と共通電極など電界生成電極が形成されている二枚の表示板と、その間に挿入されている液晶層とからなり、電界生成電極に電圧を印加して液晶層に電界を生成し、これを通じて液晶層の液晶分子の配向を決定し、入射光の偏光を制御することにより、映像を表示する。

【0003】

液晶表示装置は、また、各画素電極に接続されるスイッチング素子、及びスイッチング素子を制御して画素電極に電圧を印加するためのゲート線とデータ線など多数の信号線を含む。

10

【0004】

このような液晶表示装置は、外部のグラフィック制御器から入力映像信号を受信し、入力映像信号は各画素の輝度情報を含んでおり、各輝度は所定の値を有している。各画素は、所望する輝度情報に対応するデータ電圧の印加を受ける。画素に印加されたデータ電圧は共通電圧との差により画素電圧として表われる。この画素電圧により各画素は映像信号の階調が示す輝度を表示する。この時、液晶表示装置が利用できる画素電圧の範囲は駆動部により決められている。

【0005】

20

一方、液晶表示装置の駆動部は、多数の集積回路チップの形態で表示板に直接装着するか、またはフレキシブル回路膜などに装着して表示板に付着するが、このような集積回路チップは液晶表示装置の製造費用に高い比率を占める。特に、データ電圧を印加するデータ線の数が多くなるほど、液晶表示装置の駆動部の費用が高まる。

【0006】

また、液晶表示装置の表示品質を高めるために、高いコントラスト比 (contrast ratio) と優れた広視野角、及び速い応答速度を有する液晶表示装置の実現が要求されている。

【発明の概要】

【発明が解決しようとする課題】

30

【0007】

本発明の目的は、液晶表示装置の高いコントラスト比と広視野角を確保でき、液晶分子の応答速度を速くするだけでなく、データ線の数を減らすことで液晶表示装置の駆動部のコストを節減することのできる液晶表示装置及びその駆動方法を提供することにある。

【課題を解決するための手段】

【0008】

本発明の一実施形態による液晶表示装置は、互いに対向する第1基板及び第2基板と、前記第1基板と第2基板との間に介在し、液晶分子を含む液晶層と、前記第1基板上に形成され、ゲート信号を伝達する第1ゲート線及び第2ゲート線と、前記第1基板上に形成される第1データ線、第2データ線、及び第3データ線と、前記第1ゲート線及び前記第1データ線と接続される第1スイッチング素子と、前記第1ゲート線及び前記第2データ線と接続される第2スイッチング素子と、前記第2ゲート線及び前記第2データ線と接続される第3スイッチング素子と、前記第2ゲート線及び前記第3データ線と接続される第4スイッチング素子と、前記第1スイッチング素子及び第2スイッチング素子とそれぞれ接続され、互いに分離されている第1画素電極及び第2画素電極と、前記第3スイッチング素子及び第4スイッチング素子とそれぞれ接続され、互いに分離されている第3画素電極及び第4画素電極とを含み、前記第1画素電極と前記第2画素電極は第1液晶キャパシタを形成し、前記第3画素電極と前記第4画素電極は第2液晶キャパシタを形成する。

40

【0009】

前記第1画素電極及び第2画素電極は複数の枝電極を含み、前記第1画素電極の枝電極

50

と前記第2画素電極の枝電極とは交互に配置され、前記第3画素電極及び第4画素電極は複数の枝電極を含み、前記第3画素電極の枝電極と前記第4画素電極の枝電極とは交互に配置することができる。

【0010】

前記第1ゲート線にゲートオン信号が印加される場合、前記第1画素電極には前記第1データ線(D<sub>j</sub>)を通じて第1データ電圧が印加され、前記第2画素電極には前記第2データ線(D<sub>j+1</sub>)を通じて第2データ電圧が印加され、前記第1データ電圧と前記第2データ電圧の極性は互いに異なる構成とすることができる。

【0011】

前記第2ゲート線にゲートオン信号が印加される場合、前記第3画素電極には前記第2データ線(D<sub>j+1</sub>)を通じて第3データ電圧が印加され、前記第4画素電極には前記第3データ線(D<sub>j+2</sub>)を通じて第4データ電圧が印加される。ここで、前記第3データ電圧と前記第4データ電圧の極性は互いに異なり、つまり、第2データ線(D<sub>j+1</sub>)と第3データ線(D<sub>j+2</sub>)に流れるデータ電圧の極性が異なる。また、前記第2データ電圧と前記第3データ電圧の極性は互いに同一である。つまり、第1ゲート線にゲートオン信号が印加された場合、第2データ線(D<sub>j+1</sub>)に流れる電圧と、第2ゲート線にゲートオン信号が印加された場合、第2データ線(D<sub>j+1</sub>)に流れる電圧の極性は同じである。データ線はコラム反転駆動形態であり、第2画素電極と第3画素電極は互いに異なるゲート線に連結され、同じデータ線を共有しているため、第2画素電極に印加されるデータ電圧と第3画素電極に印加されるデータ電圧の極性が同一になる。

【0012】

前記第1基板上に形成され、ゲート信号を伝達する第3及び第4ゲート線と、前記第1基板上に形成される第4データ線、第5データ線、及び第6データ線と、前記第3ゲート線及び前記第4データ線と接続される第5スイッチング素子と、前記第3ゲート線及び前記第5データ線と接続される第6スイッチング素子と、前記第4ゲート線及び前記第5データ線と接続される第7スイッチング素子と、前記第4ゲート線及び前記第6データ線と接続される第8スイッチング素子と、前記第5スイッチング素子及び第6スイッチング素子とそれぞれ接続され、互いに分離されている第5画素電極及び第6画素電極と、前記第7スイッチング素子及び第8スイッチング素子とそれぞれ接続され、互いに分離されている第7画素電極及び第8画素電極とをさらに含み、前記第1ゲート線と前記第3ゲート線は互いに接続し、同一のゲート信号を伝達し、前記第2ゲート線と前記第4ゲート線は互いに接続し、同一のゲート信号を伝達し、前記第5画素電極と前記第6画素電極は第3液晶キャパシタを形成し、前記第7画素電極と前記第8画素電極は第4液晶キャパシタを形成することができる。

【0013】

前記第1データ線と前記第4データ線は互いに隣接して配置され、前記第2データ線と前記第5データ線は互いに隣接して配置され、前記第3データ線と前記第6データ線は互いに隣接して配置される構成とすることができる。

【0014】

前記第5画素電極及び第6画素電極は複数の枝電極を含み、前記第5画素電極の枝電極と前記第6画素電極の枝電極とは交互に配置され、前記第7画素電極及び第8画素電極は複数の枝電極を含み、前記第7画素電極の枝電極と前記第8画素電極の枝電極とは交互に配置される構成とすることができる。

【0015】

前記第1スイッチング素子及び第2スイッチング素子とそれぞれ接続され、互いに分離されている第1ストレージキャパシタ及び第2ストレージキャパシタをさらに含むことができる。

【0016】

前記第1画素電極と電氣的に接続し、前記第2画素電極と絶縁膜を介在して重畳する容量電極をさらに含み、前記容量電極と前記第2画素電極は前記絶縁膜を介在して重畳して

10

20

30

40

50

ストレージキャパシタを形成することができる。

【0017】

本発明の他の一実施形態による液晶表示装置は、互いに対向する第1基板及び第2基板と、前記第1基板と第2基板との間に介在し、液晶分子を含む液晶層と、前記第1基板上に形成され、ゲート信号を伝達する第1ゲート線、第2ゲート線、及び第3ゲート線と、前記第1基板上に形成される第1データ線及び第2データ線と、前記第1ゲート線及び前記第1データ線と接続される第1スイッチング素子と、前記第2ゲート線及び前記第2データ線と接続される第2スイッチング素子と、前記第3ゲート線及び前記第2スイッチング素子の出力端子に接続される第3スイッチング素子と、前記第1スイッチング素子及び第2スイッチング素子とそれぞれ接続され、互いに分離されている第1画素電極及び第2画素電極とを含み、前記第3スイッチング素子の入力端子は前記第2スイッチング素子の出力端子に接続し、前記第3スイッチング素子の出力端子は前記第2画素電極に接続し、前記第1画素電極と前記第2画素電極は第1液晶キャパシタを形成することができる。

10

【0018】

前記第1基板上に形成される第3データ線と、前記第1ゲート線及び前記第2データ線と接続される第4スイッチング素子と、前記第2ゲート線及び前記第3データ線と接続される第5スイッチング素子と、前記第4スイッチング素子及び第5スイッチング素子とそれぞれ接続され、互いに分離されている第3画素電極及び第4画素電極とをさらに含み、前記第3画素電極と前記第4画素電極は第2液晶キャパシタを形成することができる。

【0019】

前記第1ゲート線にゲートオン信号が印加される場合、前記第1画素電極には前記第1データ線を通じて第1データ電圧が印加され、前記第3画素電極には前記第2データ線を通じて第2データ電圧が印加され、前記第2ゲート線にゲートオン信号が印加される場合、前記第2画素電極には前記第2データ線を通じて第3データ電圧が印加され、前記第4画素電極には前記第3データ線を通じて第4データ電圧が印加され、前記第1データ電圧と前記第2データ電圧の極性は互いに異なり、前記第2データ電圧と前記第3データ電圧の極性は互いに異なる構成とすることができる。

20

【0020】

前記第3ゲート線にゲートオン信号が印加される場合、前記第2データ電圧は前記第3スイッチング素子を通じて伝達される構成とすることができる。

30

【0021】

前記第1基板上に形成され、ゲート信号を伝達する第4ゲート線、第5ゲート線、及び第6ゲート線と、前記第1基板上に形成される第3データ線及び第4データ線と、前記第4ゲート線及び前記第3データ線と接続される第4スイッチング素子と、前記第5ゲート線及び前記第4データ線と接続される第5スイッチング素子と、前記第6ゲート線及び前記第5スイッチング素子の出力端子に接続される第6スイッチング素子と、前記第4スイッチング素子及び第5スイッチング素子とそれぞれ接続され、互いに分離されている第3画素電極及び第4画素電極とをさらに含み、前記第1ゲート線と前記第4ゲート線は互いに接続し、同一のゲート信号を伝達し、前記第2ゲート線と前記第5ゲート線は互いに接続し、同一のゲート信号を伝達し、前記第3ゲート線と前記第6ゲート線は互いに接続し、同一のゲート信号を伝達し、前記第3画素電極と前記第4画素電極は第2液晶キャパシタを形成することができる。

40

【0022】

前記第1データ線と前記第3データ線は互いに隣接して配置され、前記第2データ線と前記第4データ線は互いに隣接して配置される構成とすることができる。

【0023】

本発明の他の一実施形態による液晶表示装置は、互いに対向する第1基板及び第2基板と、前記第1基板と第2基板との間に介在し、液晶分子を含む液晶層と、前記第1基板上に形成され、ゲート信号を伝達する第1ゲート線及び第2ゲート線と、前記第1基板上に形成されるデータ線と、前記第1ゲート線及び前記データ線と接続される第1スイッチン

50

グ素子と、前記第2ゲート線及び前記データ線と接続される第2スイッチング素子と、前記第1スイッチング素子及び第2スイッチング素子とそれぞれ接続され、互いに分離されている第1画素電極及び第2画素電極と、前記第1スイッチング素子及び第2スイッチング素子とそれぞれ接続される第1容量電極及び第2容量電極が、絶縁膜を介して重畳して形成される昇圧キャパシタとを含み、前記第1画素電極と前記第2画素電極は第1液晶キャパシタを形成することができる。

【0024】

前記第1ゲート線にゲートオン信号が印加される場合、前記第1画素電極と前記第1容量電極には前記データ線を通じて第1データ電圧が印加され、前記第2ゲート線にゲートオン信号が印加される場合、前記第2画素電極と前記第2容量電極には前記データ線を通じて第2データ電圧が印加され、前記第1画素電極と前記第1容量電極の電圧が昇圧されることができる。

10

【0025】

入力端子は前記第1ゲート線に接続し、出力端子は前記第2画素電極及び前記第2容量電極に接続される第3スイッチング素子をさらに含み、前記第3スイッチング素子の入力端子には共通電圧が印加されることができる。

【0026】

前記第1ゲート線にゲートオン信号が印加される場合、前記第2画素電極及び前記第2容量電極には前記第3スイッチング素子を通じて共通電圧が印加されることができる。

【発明の効果】

20

【0027】

本発明の一実施形態によれば、液晶表示装置の高いコントラスト比と広視野角を確保でき、液晶分子の応答速度を速くするだけでなく、データ線の本数を減らすことで液晶表示装置の駆動部のコストを節減することができる。

【図面の簡単な説明】

【0028】

【図1】本発明の一実施形態による液晶表示装置のブロック図である。

【図2】本発明の一実施形態による液晶表示装置の構造と共に一つの画素を示す等価回路図である。

【図3】本発明の一実施形態による液晶表示装置の簡略な断面図である。

30

【図4】本発明の一実施形態による液晶表示装置の画素の形態を示す配置図である。

【図5】本発明の一実施形態による液晶表示装置の二つの画素に対する等価回路図である。

【図6】図5に示した液晶表示装置の一つの画素に印加される信号の波形図である。

【図7】図5に示した液晶表示装置の画素構造の一例を示す。

【図8】本発明の一実施形態による液晶表示装置の互いに隣接する四つの画素に対する等価回路図である。

【図9】本発明の一実施形態による液晶表示装置の互いに隣接する二つの画素に対する等価回路図である。

【図10】本発明の一実施形態による液晶表示装置のストレージキャパシタの構造を示す断面図である。

40

【図11】本発明の一実施形態による液晶表示装置の互いに隣接する二つの画素に対する等価回路図である。

【図12】本発明の他の一実施形態による画素の等価回路図である。

【図13】本発明の他の一実施形態による液晶表示装置の一つの画素の等価回路図である。

【図14】図13に示した液晶表示装置の一つの画素に印加される信号の波形図である。

【図15】本発明の他の一実施形態による液晶表示装置の一つの画素に対する等価回路図である。

【発明を実施するための形態】

50

## 【0029】

添付した図面を参照して、本発明の実施形態について本発明が属する技術分野で通常の知識を有する者が容易に実施できるように詳細に説明する。しかし、本発明は種々の相異なる形態に実現でき、ここで説明する実施形態に限られない。

## 【0030】

図面において、種々の層及び領域を明確に表現するために厚さを拡大して示した。明細書の全体にわたって類似する部分については同一の図面符号を付けた。層、膜、領域、板などの部分が他の部分の“上”にあるとする時、これは他の部分の“すぐ上”にある場合だけでなく、その中間に他の部分がある場合も含む。逆に、ある部分が他の部分の“すぐ上”にあるとする時には、中間に他の部分がないことを意味する。

10

## 【0031】

以下、本発明の一実施形態による液晶表示装置について、図面を参照して詳細に説明する。

## 【0032】

図1は、本発明の一実施形態による液晶表示装置のブロック図であり、図2は、本発明の一実施形態による液晶表示装置の構造と共に一つの画素を示す等価回路図である。

## 【0033】

図1を参照すると、本発明の一実施形態による液晶表示装置は、液晶表示板組立体 (liquid crystal panel assembly) 300、ゲート駆動部 (gate driver) 400、データ駆動部 (data driver) 500、階調電圧生成部 (gray voltage generator) 800、及び信号制御部 (signal controller) 600を含む。

20

## 【0034】

図2を参照すると、液晶表示板組立体300は、互いに対向する下部表示板100及び上部表示板200と、その間に挿入されている液晶層3を含む。

## 【0035】

液晶キャパシタC1cは、下部表示板100の第1画素電極PEaと第2画素電極PEbとを二つの端子とし、第1画素電極PEaと第2画素電極PEbとの間の液晶層3は誘電体として機能する。第1画素電極PEaは第1スイッチング素子(図示せず)と接続され、第2画素電極PEbは第2スイッチング素子(図示せず)と接続される。第1スイッチング素子と第2スイッチング素子はそれぞれ対応するゲート線(図示せず)及びデータ線(図示せず)に接続される。

30

## 【0036】

液晶層3は誘電率異方性を有し、液晶層3の液晶分子は、電場のない状態で、その長軸が二つの表示板の表面に対して垂直となるように配向されることができる。液晶層3は正の誘電率異方性を有することができる。

## 【0037】

第1画素電極PEaと第2画素電極PEbは、互いに異なる層に形成するか、または同じ層に形成することができ、下部表示板100または上部表示板200に形成されている共通電極(図示せず)をさらに含むことができる。液晶キャパシタC1cの補助的な役割を果たす第1ストレージキャパシタ及び第2ストレージキャパシタ(図示せず)は、下部表示板100に具備された別途の電極(図示せず)が第1画素電極PEa及び第2画素電極PEbそれぞれと絶縁体を介して重畳して形成することができる。

40

## 【0038】

一方、色表示を実現するためには、各画素PXが基本色(primary color)のうちの一つを固有に表わしたり(空間分割)、各画素PXが時間により交互に基本色を表わすように(時間分割)して、これら基本色の空間的、時間的な合計で所望する色が認識されるようにする。基本色の例としては、赤色、緑色、青色など三原色が挙げられる。図2は、空間分割の一例として、各画素PXが第1画素電極PEa及び第2画素電極PEbに対応する上部表示板200の領域に、基本色のうちの一つを示すカラーフィルタC

50

Fを備えることを図示している。図2とは異なって、カラーフィルタCFは下部表示板100の第1画素電極PEa及び第2画素電極PEbの上または下に設けることができる。

【0039】

液晶表示板組立体300には、少なくとも一つの偏光子(図示せず)が備えられている。

【0040】

それでは、図3と共に図1及び図2を参照して、本発明の一実施形態による液晶表示装置の動作について説明する。

【0041】

図3は、本発明の一実施形態による液晶表示装置の簡略な断面図である。

10

【0042】

図2及び図3を参照すると、各画素に接続されるデータ線にデータ電圧が印加されると、ゲート信号によって導通した第1スイッチング素子及び第2スイッチング素子を通じて、当該画素PXに印加される。つまり、第1画素電極PEaには第1スイッチング素子を通じて第1データ電圧が印加され、第2画素電極PEbには第2スイッチング素子を通じて第2データ電圧が印加される。この時、第1画素電極PEa及び第2画素電極PEbに印加されるデータ電圧は、画素PXが表示しようとする輝度に対応するデータ電圧であり、基準電圧Vrefに対してそれぞれ極性が互いに反対であり得る。

【0043】

このように第1画素電極PEa及び第2画素電極PEbに印加された極性が互いに異なる二つのデータ電圧の差は、液晶キャパシタClcの充電電圧、つまり、画素電圧として表れる。液晶キャパシタClcの両端に電位差が生じれば、図3に示したように、表示板100、200の表面に平行な電場が第1画素電極PEaと第2画素電極PEbとの間の液晶層3に生成される。液晶分子31が正の誘電率異方性を有する場合、液晶分子31は、その長軸が電場の方向に沿う方向に傾斜し、その傾く程度は画素電圧の大きさによって異なる。このような液晶層3をEOC(electrically induced optical compensation)モードという。また、液晶分子31の傾く程度により、液晶層3を通過する光の偏光が変化する度合いが変わる。このような偏光の変化は、偏光子によって光の透過率の変化として表われ、これによって画素PXは所望する所定の輝度を表わす。

20

30

【0044】

このように、一つの画素PXに、基準電圧Vrefに対する極性が互いに異なる二つのデータ電圧を印加することにより、駆動電圧を大きくすることができ、液晶分子の応答速度を速くすることができ、液晶表示装置の透過率を高めることができる。また、一つの画素PXに印加される二つのデータ電圧の極性が互いに反対であるため、データ駆動部500での反転形態が列反転または行反転の場合にも、点反転駆動と同様にフリッカー(flicker)による画質の劣化を防止することができる。

【0045】

また、一つの画素PXで第1スイッチング素子及び第2スイッチング素子がターンオフされる時、第1画素電極PEa及び第2画素電極PEbに印加される電圧の全てが、それぞれのキックバック電圧(kickback voltage)ほど下降するので、画素PXの充電電圧にはほとんど変化がない。したがって、液晶表示装置の表示特性を向上させることができる。つまり、第1画素電極PEa及び第2画素電極PEbの電位が両方ともキックバック電圧の影響を受けて同程度で降下した場合、第1画素電極PEaと第2画素電極PEbとの電圧差にはほとんど変化が無い場合、第1画素電極PEaと第2画素電極PEbとの間に形成される液晶キャパシタClcの充電電圧はほとんど変化しない。

40

【0046】

次に、図4を参照して、本発明の一実施形態による液晶表示板組立体の一つの画素PXの第1画素電極PEa及び第2画素電極PEbの形態について説明する。図4は、本発明の一実施形態による液晶表示装置の画素の形態を示す配置図である。

50

## 【 0 0 4 7 】

図 4 を参照すると、一つの画素電極 P E の全体的な外郭形状は四角形であり、第 1 画素電極 P E a と第 2 画素電極 P E b とは間隙 9 1 を間において噛合っている。第 1 画素電極 P E a 及び第 2 画素電極 P E b は、全体的に、仮想的な横中央線 C L を境界として上下対称をなし、上下の二つの副領域に分けられる。

## 【 0 0 4 8 】

第 1 画素電極 P E a は、上部の突出部 a 1、下端の突出部 a 2、左側の第 1 縦幹部 a 3、第 1 縦幹部 a 3 の中央の部分から右側に延びた第 1 横幹部 a 4、及び複数の第 1 枝部 a 5 を含む。横中央線 C L を基準に上部に位置する第 1 枝部 a 5 は、第 1 縦幹部 a 3 または第 1 横幹部 a 4 から右側の上方に斜めに延び、下部に位置する第 1 枝部 a 5 は、第 1 縦幹部 a 3 または第 1 横幹部 a 4 から右側の下方に斜めに延びる。第 1 枝部 a 5 が横中央線 C L となす角度はほぼ 4 5 度であり得る。

10

## 【 0 0 4 9 】

第 2 画素電極 P E b は、中央部の突出部 b 1、右側の第 2 縦幹部 b 2、上端及び下端の第 2 横幹部 b 3 及び b 4、及び複数の第 2 枝部 b 5 を含む。上端及び下端の第 2 横幹部 b 3 及び b 4 は、それぞれ第 2 縦幹部 b 2 の上端及び下端から左側に横方向に延びている。横中央線 C L を基準に上部に位置する第 2 枝部 b 5 は、第 2 縦幹部 b 2 または上端の第 2 横幹部 b 3 から左側の下方に斜めに延び、下部に位置する第 2 枝部 b 5 は、第 2 縦幹部 b 2 または下端の第 2 横幹部 b 4 から左側の上方に斜めに延びる。第 2 画素電極 P E b の第 2 枝部 b 5 も横中央線 C L となす角度はほぼ 4 5 度であり得る。横中央線 C L を中心に上部及び下部の第 2 枝部 b 5 は互いに直角をなすことができる。

20

## 【 0 0 5 0 】

第 1 画素電極 P E a 及び第 2 画素電極 P E b の枝部は、一定の間隔をおいて互いに噛合って交互に配置され、櫛目状をしている。

## 【 0 0 5 1 】

しかし、本発明の実施形態による液晶表示板組立体の一つの画素 P X の第 1 画素電極 P E a 及び第 2 画素電極 P E b の形態はこれに限定されず、画素電極 P E は、第 1 画素電極 P E a 及び第 2 画素電極 P E b の少なくとも一部分が同じ層に形成されて、交互に配置される全ての形態を含むことができる。

## 【 0 0 5 2 】

以下、図 2 と共に図 5 及び図 6 を参照して、本発明の一実施形態による液晶表示装置の信号線、画素の配置、及びその駆動方法について説明する。図 5 は、本発明の一実施形態による液晶表示装置の二つの画素に対する等価回路図であり、図 6 は、図 5 に示した液晶表示装置の一つの画素に印加される信号の波形図である。

30

## 【 0 0 5 3 】

図 2 及び図 5 を参照すると、本実施形態による液晶表示装置は、画素の行方向に隣接する複数の第 1 画素 P X ( m , n ) 及び複数の第 2 画素 P X ( m , n + 1 ) と、第 1 画素 P X ( m , n ) 及び第 2 画素 P X ( m , n + 1 ) と画素の列方向にそれぞれ隣接する複数の第 3 画素 P X ( m + 1 , n ) 及び複数の第 4 画素 P X ( m + 1 , n + 1 ) と、これに接続する複数の信号線 G<sub>i</sub> ( a )、G<sub>i</sub> ( b )、G<sub>i+1</sub> ( a )、G<sub>i+1</sub> ( b )、D<sub>j</sub>、D<sub>j+1</sub>、D<sub>j+2</sub> とを含む。信号線 G<sub>i</sub> ( a )、G<sub>i</sub> ( b )、G<sub>i+1</sub> ( a )、G<sub>i+1</sub> ( b )、D<sub>j</sub>、D<sub>j+1</sub>、D<sub>j+2</sub> は、ゲート信号 ( “ 走査信号 ” ともいう ) を伝達する複数対のゲート線 G<sub>i</sub> ( a )、G<sub>i</sub> ( b )、G<sub>i+1</sub> ( a )、G<sub>i+1</sub> ( b ) と、データ電圧を伝達する複数のデータ線 D<sub>j</sub>、D<sub>j+1</sub>、D<sub>j+2</sub> とを含む。

40

## 【 0 0 5 4 】

第 1 画素 P X ( m , n ) は、i 番目 ( i = 1、2、. . .、n ) 対のゲート線 G<sub>i</sub> ( a )、G<sub>i</sub> ( b ) のうちの前段ゲート線 G<sub>i</sub> ( a ) と、j 番目及び j + 1 番目 ( j = 1、2、. . .、m ) データ線 D<sub>j</sub>、D<sub>j+1</sub> に接続されており、第 1 画素 P X ( m , n ) は信号線 G<sub>i</sub> ( a )、D<sub>j</sub>、D<sub>j+1</sub> に接続されている第 1 スイッチング素子 Q a 及び第 2 スイッチング素子 Q b と、これに接続された液晶キャパシタ C<sub>1c</sub>、第 1 ストレージキャパ

50

シタ  $C_{st a}$ 、及び第2ストレージキャパシタ  $C_{st b}$ とを含む。第1ストレージキャパシタ  $C_{st a}$  及び第2ストレージキャパシタ  $C_{st b}$  は必要に応じて省略できる。

【0055】

第1スイッチング素子  $Q_a$  は薄膜トランジスタなどの三端子素子であって、その制御端子はゲート線  $G_i(a)$  と接続され、入力端子はデータ線  $D_j$  と接続され、出力端子は液晶キャパシタ  $C_{lc}$  及び第1ストレージキャパシタ  $C_{st a}$  に接続される。第2スイッチング素子  $Q_b$  は薄膜トランジスタなどの三端子素子であって、その制御端子はゲート線  $G_i(a)$  と接続され、入力端子はデータ線  $D_{j+1}$  と接続され、出力端子は液晶キャパシタ  $C_{lc}$  及び第2ストレージキャパシタ  $C_{st b}$  に接続される。液晶キャパシタ  $C_{lc}$  は第1画素電極  $PE_a$  と第2画素電極  $PE_b$  とを二つの端子とし、第1画素電極  $PE_a$  と第2画素電極  $PE_b$  との間の液晶層3は誘電体として機能する。第1画素電極  $PE_a$  は第1スイッチング素子  $Q_a$  と接続され、第2画素電極  $PE_b$  は第2スイッチング素子  $Q_b$  と接続される。

10

【0056】

画素の行方向に第1画素  $PX(m, n)$  に隣接する第2画素  $PX(m, n+1)$  は、 $i$  番目 ( $i = 1, 2, \dots, n$ ) 対のゲート線  $G_i(a)$ 、 $G_i(b)$  のうちの後段ゲート線  $G_i(b)$  と、 $j+1$  番目及び  $j+2$  番目 ( $j = 1, 2, \dots, m$ ) データ線  $D_{j+1}$ 、 $D_{j+2}$  に接続されている。第2画素  $PX(m, n+1)$  は、信号線  $G_i(b)$ 、 $D_{j+1}$ 、 $D_{j+2}$  それぞれに対応して接続される第1スイッチング素子  $Q_a$  及び第2スイッチング素子  $Q_b$  と、これに接続された液晶キャパシタ  $C_{lc}$ 、第1ストレージキャパシタ  $C_{st a}$ 、及び第2ストレージキャパシタ  $C_{st b}$  を含む。

20

【0057】

これと類似するように、第1画素  $PX(m, n)$  と画素の列方向に隣接する第3画素  $PX(m+1, n)$  は、 $i+1$  番目 ( $i = 1, 2, \dots, n$ ) 対のゲート線  $G_{i+1}(a)$ 、 $G_{i+1}(b)$  のうちの前段ゲート線  $G_{i+1}(a)$  と、 $j$  番目及び  $j+1$  番目 ( $j = 1, 2, \dots, m$ ) データ線  $D_j$ 、 $D_{j+1}$  に接続されており、信号線  $G_{i+1}(a)$ 、 $D_j$ 、 $D_{j+1}$  それぞれに対応して接続される第1スイッチング素子  $Q_a$  及び第2スイッチング素子  $Q_b$  と、これに接続された液晶キャパシタ  $C_{lc}$ 、第1ストレージキャパシタ  $C_{st a}$ 、及び第2ストレージキャパシタ  $C_{st b}$  とを含む。

【0058】

第2画素  $PX(m, n+1)$  と画素の列方向に隣接する第4画素  $PX(m+1, n+1)$  は、 $i+1$  番目 ( $i = 1, 2, \dots, n$ ) 対のゲート線  $G_{i+1}(a)$ 、 $G_{i+1}(b)$  のうちの後段ゲート線  $G_{i+1}(b)$  と、 $j+1$  番目及び  $j+2$  番目 ( $j = 1, 2, \dots, m$ ) データ線  $D_{j+1}$ 、 $D_{j+2}$  に接続されており、信号線  $G_{i+1}(b)$ 、 $D_{j+1}$ 、 $D_{j+2}$  それぞれに対応して接続される第1スイッチング素子  $Q_a$  及び第2スイッチング素子  $Q_b$  と、これに接続された液晶キャパシタ  $C_{lc}$ 、第1ストレージキャパシタ  $C_{st a}$ 、及び第2ストレージキャパシタ  $C_{st b}$  を含む。

30

【0059】

画素の行方向に互いに隣接する第1画素  $PX(m, n)$  及び第2画素  $PX(m, n+1)$  は  $j+1$  番目データ線  $D_{j+1}$  を共有し、第3画素  $PX(m+1, n)$  及び第4画素  $PX(m+1, n+1)$  は  $j+1$  番目データ線  $D_{j+1}$  を共有する。

40

【0060】

図2及び図5と共に、図6を参照すると、 $i$  番目対のゲート線  $G_i(a)$ 、 $G_i(b)$  のうちの前段ゲート線  $G_i(a)$  にゲートオン電圧が印加されると、導通した第1スイッチング素子  $Q_a$  及び第2スイッチング素子  $Q_b$  を通じてデータ電圧が第1画素  $PX(m, n)$  に印加される。つまり、第1画素電極  $PE_a$  には第1スイッチング素子  $Q_a$  を通じて第1データ線  $D_j$  に流れるデータ電圧が印加され、第2画素電極  $PE_b$  には第2スイッチング素子  $Q_b$  を通じて第2データ線  $D_{j+1}$  に流れるデータ電圧が印加される。

【0061】

その後、 $i$  番目対のゲート線  $G_i(a)$ 、 $G_i(b)$  のうちの後段ゲート線  $G_i(b)$

50

にゲートオン電圧が印加されると、導通した第1スイッチング素子及び第2スイッチング素子を通じて、データ電圧が第2画素 $PX(m, n+1)$ に印加されるが、第2画素 $PX(m, n+1)$ の第1画素電極 $PEa$ には第1スイッチング素子を通じて第2データ線 $D_{j+1}$ に流れるデータ電圧が印加され、第2画素電極 $PEb$ には第2スイッチング素子を通じて第3データ線 $D_{j+2}$ に流れるデータ電圧が印加される。したがって、第2データ線 $D_{j+1}$ には、ゲート線 $G_i(a)$ にゲートオン信号が印加される間に、第1画素 $PX(m, n)$ の第2画素電極 $PEb$ のためのデータ電圧が印加される。また、第2データ線 $D_{j+1}$ には、ゲート線 $G_i(b)$ にゲートオン信号が印加される間に、第2画素 $PX(m, n+1)$ の第1画素電極 $PEa$ のためのデータ電圧が印加される。

【0062】

第1画素電極 $PEa$ 及び第2画素電極 $PEb$ に印加されるデータ電圧は、各画素 $PX(m, n)$ 、 $PX(m, n+1)$ が表示しようとする輝度に対応するデータ電圧であり、共通電極( $Vcom$ )に対してそれぞれ極性が互いに反対である。例えば、第1データ線 $D_j$ に印加されるデータ電圧の極性が(+)の場合、第2データ線 $D_{j+1}$ に印加されるデータ電圧の極性は(-)であり、第3データ線 $D_{j+2}$ に印加されるデータ電圧の極性は(+)である。逆に、第1データ線 $D_j$ に印加されるデータ電圧の極性が(-)の場合、第2データ線 $D_{j+1}$ に印加されるデータ電圧の極性は(+)であり、第3データ線 $D_{j+2}$ に印加されるデータ電圧の極性は(-)である。このように、本発明の実施形態による液晶表示装置のデータ線はコラム反転駆動形態であり得る。

【0063】

一般に、画素の行方向に互いに隣接する二つの画素は、互いに同じ一つのゲート線と、互いに異なる四つのデータ線とに接続される。つまり、互いに隣接する各画素の第1画素電極及び第2画素電極に接続される第1スイッチング素子及び第2スイッチング素子は同じゲート線に接続しているが、それぞれ互いに異なるデータ線に接続して、互いに異なるデータ線を通じてデータ電圧の印加を受ける。

【0064】

しかし、本実施形態による液晶表示装置の画素の行方向に互いに隣接する二つの画素は、一対のゲート線のいずれか一つと接続し、隣接して配置される三つのデータ線のうちの中央に配置されたデータ線を互いに共有する。したがって、データ線の数が減って、液晶表示装置の駆動部のコストを節減することができる。本実施形態による液晶表示装置の信号線及び画素の配置によれば、一般的な信号線及び画素の配置に比べ、ゲート線が対をなして配置されることで、ゲート線の数が増えるが、ゲート信号はゲートオン/オフ信号に過ぎないので、データ駆動部に比べてゲート駆動部の動作が比較的簡単であり、そのため製造コストが低いことと知られている。

【0065】

以下、図7を参照して、図5に示した液晶表示装置の画素構造の一例について説明する。図7は、図5に示した液晶表示装置の画素構造の一例を示す。

【0066】

図7を参照すると、本実施形態による液晶表示装置は、複数の第1画素 $PX(m, n)$ 及び複数の第2画素 $PX(m, n+1)$ と、第1画素 $PX(m, n)$ 及び第2画素 $PX(m, n+1)$ に対して画素の列方向にそれぞれ隣接する複数の第3画素 $PX(m+1, n)$ 及び複数の第4画素 $PX(m+1, n+1)$ と、これに接続される複数対のゲート線 $121a$ 、 $121b$ 及び複数のデータ線 $171a$ 、 $171b$ 、 $171c$ とを含む。各画素 $PX(m, n)$ 、 $PX(m, n+1)$ 、 $PX(m+1, n)$ 、 $PX(m+1, n+1)$ は、第1スイッチング素子及び第2スイッチング素子に接続される第1画素電極 $191a$ と第2画素電極 $191b$ とを含む。

【0067】

第1スイッチング素子及び第2スイッチング素子は薄膜トランジスタなどの三端子素子であって、各制御電極は第1ゲート電極 $124a$ 及び第2ゲート電極 $124b$ であり、各入力電極は第1ソース電極 $173a$ 及び第2ソース電極 $173b$ であり、各出力電極は第

10

20

30

40

50

1ドレイン電極175a及び第2ドレイン電極175bである。各制御電極は、複数対のゲート線121a、121bのいずれか一つに接続され、各入力電極は複数のデータ線171a、171b、171cのいずれか一つに接続され、各出力電極は第1コンタクトホール185a及び第2コンタクトホール185bを通じ、第1画素電極191aと第2画素電極191bに接続される。第1画素電極191aと第2画素電極191bは同じ層に形成され、交互に配置されている。

【0068】

本実施形態による液晶表示装置は、維持電極線131及び維持電極135a、135bを含み、維持電極135a、135bは第1画素電極191a及び第2画素電極191bと重畳し、ストレージキャパシタを形成する。

10

【0069】

次に、図2と共に図8を参照して、本発明の他の一実施形態による液晶表示装置の信号線、画素の配置、及びその駆動方法について説明する。図8は、本発明の一実施形態による液晶表示装置の互いに隣接する四つの画素に対する等価回路図である。

【0070】

図8を参照すると、本実施形態による液晶表示装置は、画素の行方向に隣接する複数の第1画素 $PX(m, n)$ 及び複数の第2画素 $PX(m, n+1)$ と、第1画素 $PX(m, n)$ 及び第2画素 $PX(m, n+1)$ に対して画素の列方向にそれぞれ隣接する第3画素 $PX(m+1, n)$ 及び複数の第4画素 $PX(m+1, n+1)$ と、これに接続される複数のゲート線 $G_i$ 、 $G_{i+1}$ 及び複数対のデータ線 $D_j$ 及び $D_j'$ 、 $D_{j+1}$ 及び $D_{j+1}'$ 、 $D_{j+2}$ 及び $D_{j+2}'$ とを含む。

20

【0071】

ゲート線 $G_i$ 、 $G_{i+1}$ は、それぞれ画素の列方向に上下に配置される第1支線 $G_{iT}$ 、 $G_{i+1T}$ 及び第2支線 $G_{iB}$ 、 $G_{i+1B}$ に分岐する。複数対のデータ線 $D_j$ 及び $D_j'$ 、 $D_{j+1}$ 及び $D_{j+1}'$ 、 $D_{j+2}$ 及び $D_{j+2}'$ は、画素行に沿ってそれぞれ対をなして配置されている。

【0072】

第1画素 $PX(m, n)$ の第1画素電極 $PEa$ に接続される第1スイッチング素子 $Qa$ の制御端子は、 $i$ 番目ゲート線 $G_i$ の第1支線 $G_{iT}$ に接続されており、入力端子は、 $j$ 番目対のデータ線 $D_j$ 、 $D_j'$ のうちの一つ $D_j'$ と接続されている。第1画素 $PX(m, n)$ の第2画素電極 $PEb$ に接続される第2スイッチング素子 $Qb$ の制御端子は、 $i$ 番目ゲート線 $G_i$ の第1支線 $G_{iT}$ に接続されており、入力端子は、 $j+1$ 番目対のデータ線 $D_{j+1}$ 、 $D_{j+1}'$ のうちの一つ $D_{j+1}'$ と接続されている。

30

【0073】

画素の行方向に第1画素 $PX(m, n)$ と隣接する第2画素 $PX(m, n+1)$ の第1画素電極 $PEa$ 及び第2画素電極 $PEb$ にそれぞれ接続される第1スイッチング素子 $Qa$ 及び第2スイッチング素子 $Qb$ の制御端子は、 $i+1$ 番目ゲート線の第1支線 $G_{i+1T}$ に接続されており、入力端子は、 $j+1$ 番目対のデータ線 $D_{j+1}$ 、 $D_{j+1}'$ のうちの一つ $D_{j+1}'$ と、 $j+2$ 番目対のデータ線 $D_{j+2}$ 、 $D_{j+2}'$ のうちの一つ $D_{j+2}'$ とそれぞれ接続されている。

40

【0074】

第1画素 $PX(m, n)$ と画素の列方向に隣接する第3画素 $PX(m+1, n)$ の第1画素電極 $PEa$ 及び第2画素電極 $PEb$ にそれぞれ接続される第1スイッチング素子 $Qa$ 及び第2スイッチング素子 $Qb$ の制御端子は、 $i$ 番目ゲート線 $G_i$ の第2支線 $G_{iB}$ に接続されており、入力端子は、 $j$ 番目対のデータ線 $D_j$ 、 $D_j'$ のうちの他の一つ $D_j$ と、 $j+1$ 番目対のデータ線 $D_{j+1}$ 、 $D_{j+1}'$ のうちの他の一つ $D_{j+1}$ とそれぞれ接続される。

【0075】

また、画素の列方向に第2画素 $PX(m, n+1)$ と隣接し、画素の行方向に第3画素 $PX(m+1, n)$ と隣接する第4画素 $PX(m+1, n+1)$ の第1画素電極 $PEa$ 及

50

び第2画素電極PEbにそれぞれ接続される第1スイッチング素子Qa及び第2スイッチング素子Qbの制御端子は、 $i + 1$ 番目ゲート線 $G_{i+1}$ の第2支線 $G_{i+1B}$ に接続されており、入力端子は、 $j + 1$ 番目対のデータ線 $D_{j+1}$ 、 $D_{j+1}'$ のうちの他の一つ $D_{j+1}$ と、 $j + 2$ 番目対のデータ線 $D_{j+2}$ 、 $D_{j+2}'$ のうちの他の一つ $D_{j+2}$ とそれぞれ接続される。

【0076】

このように、本実施形態による液晶表示装置の画素の行方向に互いに隣接する第1画素PX( $m, n$ )及び第2画素PX( $m, n + 1$ )はデータ線 $D_{j+1}'$ を共有し、画素の行方向に互いに隣接する第3画素PX( $m + 1, n$ )及び第4画素PX( $m + 1, n + 1$ )はデータ線 $D_{j+1}$ を共有する。

10

【0077】

また、本実施形態による液晶表示装置の画素の列方向に隣接した第1画素PX( $m, n$ )及び第3画素PX( $m + 1, n$ )は、同一のゲート線 $G_i$ の上下の第1及び第2支線 $G_{iT}$ 、 $G_{iB}$ にそれぞれ接続して、ゲートオン/オフ電圧を一つのゲート線 $G_i$ を通じて印加を受け、画素の列方向に互いに隣接する第2画素PX( $m, n + 1$ )と第4画素PX( $m + 1, n + 1$ )は、同一のゲート線 $G_{i+1}$ の上下の第1及び第2支線 $G_{i+1T}$ 、 $G_{i+1B}$ にそれぞれ接続して、一つのゲート線 $G_{i+1}$ を通じてゲートオン/オフ電圧の印加を受ける。したがって、データ線とゲート線の数が減って、液晶表示装置の駆動部のコストを節減することができ、駆動速度が速くなる。

【0078】

20

以下、図9を参照して、本発明の他の一実施形態による液晶表示装置の信号線及び画素の配置について説明する。図9は、本発明の一実施形態による液晶表示装置の互いに隣接する二つの画素に対する等価回路図である。

【0079】

図9に示した液晶表示装置の信号線及び画素の配置は、図5に示した信号線及び画素の配置と類似している。第1画素PX( $m, n$ )は、 $i$ 番目対のゲート線 $G_i(a)$ 、 $G_i(b)$ のうちの前段ゲート線 $G_i(a)$ と、 $j$ 番目及び $j + 1$ 番目データ線 $D_j$ 、 $D_{j+1}$ に接続されている。また、画素の行方向に第1画素PX( $m, n$ )に隣接する第2画素PX( $m, n + 1$ )は、 $i$ 番目対のゲート線 $G_i(a)$ 、 $G_i(b)$ のうちの後段ゲート線 $G_i(b)$ と、 $j + 1$ 番目及び $j + 2$ 番目データ線 $D_{j+1}$ 、 $D_{j+2}$ に接続される。また、画素の行方向に互いに隣接する第1画素PX( $m, n$ )及び第2画素PX( $m, n + 1$ )は $j + 1$ 番目データ線 $D_{j+1}$ を共有する。

30

【0080】

しかし、図5に示した液晶表示装置とは異なって、ストレージキャパシタCstの二端子が第1スイッチング素子Qa及び第2スイッチング素子Qbの出力端子と接続される。

【0081】

図10は、ストレージキャパシタCstの二端子が第1スイッチング素子Qa及び第2スイッチング素子Qbの出力端子と接続する構造の一例を示す。

【0082】

図10を参照すると、各画素PXの第1画素電極PEaは、コンタクトホール186を通じて保持容量電極178と接続し、第1画素電極PEaと同一の電圧が印加される。保持容量電極178は絶縁膜180を介在して第2画素電極PEbと重畳し、ストレージキャパシタCstを形成する。

40

【0083】

次に、図2及び図11を参照して、本発明の他の一実施形態による液晶表示装置の信号線、画素の配置、及びその駆動方法について説明する。図11は、本発明の一実施形態による液晶表示装置の互いに隣接する二つの画素に対する等価回路図である。

【0084】

図2及び図11を参照すると、本実施形態による液晶表示装置は、画素の行方向に隣接する複数の第1画素PX( $m, n$ )及び複数の第2画素PX( $m, n + 1$ )と、これに接

50

続される複数のゲート線  $G_i$ 、 $G_{i+1}$ 、 $G_{i+2}$  と複数のデータ線  $D_j$ 、 $D_{j+1}$ 、 $D_{j+2}$  とを含む。

【0085】

第1画素  $PX(m, n)$  は、 $i$  番目 ( $i = 1, 2, \dots, n$ ) ゲート線  $G_i$  と  $j$  番目データ線  $D_j$  に接続される第1スイッチング素子  $Qa$  と、 $i+1$  番目ゲート線  $G_{i+1}$  と  $j+1$  番目データ線  $D_{j+1}$  に接続される第2スイッチング素子  $Qb$  と、第1スイッチング素子  $Qa$  に接続された第1ストレージキャパシタ  $Csta$  及び第2スイッチング素子  $Qb$  に接続された第2ストレージキャパシタ  $Cstb$  とを含む。また、第1画素  $PX(m, n)$  は、 $i+2$  番目ゲート線  $G_{i+2}$  と第2スイッチング素子  $Qb$  の出力端子に接続される第3スイッチング素子  $Qc$  を含む。

10

【0086】

第1画素電極  $PEa$  は第1スイッチング素子  $Qa$  と接続され、第2画素電極  $PEb$  は第3スイッチング素子  $Qc$  を通じて第2スイッチング素子  $Qb$  と接続される。

【0087】

画素の行方向に第1画素  $PX(m, n)$  に隣接する第2画素  $PX(m, n+1)$  は、 $i$  番目 ( $i = 1, 2, \dots, n$ ) ゲート線  $G_i$  と  $j+1$  番目データ線  $D_{j+1}$  に接続される第1スイッチング素子  $Qa$  と、 $i+1$  番目ゲート線  $G_{i+1}$  と  $j+2$  番目データ線  $D_{j+2}$  に接続される第2スイッチング素子  $Qb$  と、第1スイッチング素子  $Qa$  に接続された第1ストレージキャパシタ  $Csta$  及び第2スイッチング素子  $Qb$  に接続された第2ストレージキャパシタ  $Cstb$  とを含む。また、第2画素  $PX(m, n+1)$  は、 $i+2$  番目

20

【0088】

画素の行方向に互いに隣接する第1画素  $PX(m, n)$  及び第2画素  $PX(m, n+1)$  は、 $j+1$  番目データ線  $D_{j+1}$  を共有する。

【0089】

$i$  番目ゲート線  $G_i$  にゲートオン電圧が印加されると、導通した第1スイッチング素子  $Qa$  を通じ、データ電圧が第1画素  $PX(m, n)$  及び第2画素  $PX(m, n+1)$  に印加される。つまり、第1画素  $PX(m, n)$  及び第2画素  $PX(m, n+1)$  の第1画素電極  $PEa$  には、第1スイッチング素子  $Qa$  を通じ、第1データ線  $D_j$  に流れるデータ電圧と、第2データ線  $D_{j+1}$  に流れるデータ電圧とがそれぞれ印加されて、A地点にはデータ電圧が充電される。

30

【0090】

その後、 $i$  番目ゲート線  $G_i$  にゲートオフ電圧が印加され、 $i+1$  番目ゲート線  $G_{i+1}$  にゲートオン電圧が印加されると、A地点はフローティングとなり、導通した第2スイッチング素子を通じてデータ電圧が第1画素  $PX(m, n)$  及び第2画素  $PX(m, n+1)$  に印加される。つまり、第1画素  $PX(m, n)$  及び第2画素  $PX(m, n+1)$  の第2画素電極  $PEb$  には、第2スイッチング素子  $Qb$  を通じ、第2データ線  $D_{j+1}$  に流れるデータ電圧と、第3データ線  $D_{j+2}$  に流れるデータ電圧とがそれぞれ印加される。

40

【0091】

その後、 $i+1$  番目ゲート線  $G_{i+1}$  にはゲートオフ電圧が印加され、 $i+2$  番目ゲート線  $G_{i+2}$  にゲートオン電圧が印加されると、第2スイッチング素子  $Qb$  の出力端子はフローティングとなり、第3スイッチング素子  $Qc$  が導通して、第2画素電極  $PEb$  に印加されて充電されていたデータ電圧が第3スイッチング素子  $Qc$  を通じてB地点に伝達され、液晶キャパシタ  $Clc$  の二端子をなすA地点とB地点との間に所望する大きさのデータ電圧が充電される。

【0092】

この時、液晶キャパシタ  $Clc$  の二端子に印加されるデータ電圧は、各画素  $PX(m, n)$ 、 $PX(m, n+1)$  が表示しようとする輝度に対応するデータ電圧であり、共通電極  $Vcom$  に対してそれぞれ極性が互いに反対である。前述した実施形態による液晶表示

50

装置のように、第1画素電極PEa及び第2画素電極PEbに印加されるデータ電圧は、各画素PX(m、n)、PX(m、n+1)が表示しようとする輝度に対応するデータ電圧であり、共通電極Vcomに対してそれぞれ極性が互いに反対である。

【0093】

例えば、第1データ線D<sub>j</sub>に印加されるデータ電圧の極性が(+)の場合、第2データ線D<sub>j+1</sub>に印加されるデータ電圧の極性は(-)であり、第3データ線D<sub>j+2</sub>に印加されるデータ電圧の極性は(+)である。逆に、第1データ線D<sub>j</sub>に印加されるデータ電圧の極性が(-)の場合、第2データ線D<sub>j+1</sub>に印加されるデータ電圧の極性は(+)であり、第3データ線D<sub>j+2</sub>に印加されるデータ電圧の極性は(-)である。このように、本発明の実施形態による液晶表示装置のデータ線はコラム反転駆動形態であり得る。

10

【0094】

一般に、液晶キャパシタC<sub>1c</sub>の一端子が充電後にフローティングの状態であり、他の一端子が充電中の場合、互いに異なる極性を有する電圧を所望する大きさに充電することが困難である。しかし、本実施形態による液晶表示装置によれば、互いに異なるゲートオン時間の間に第1スイッチング素子Q<sub>a</sub>及び第2スイッチング素子Q<sub>b</sub>を通じて第1画素電極PEa及び第2画素電極PEbそれぞれに印加されるデータ電圧が、各ゲートがオフされた時間に、フローティングされた第1スイッチング素子Q<sub>a</sub>及び第2スイッチング素子Q<sub>b</sub>の出力端子を通じて液晶キャパシタC<sub>1c</sub>に充電される。したがって、液晶キャパシタC<sub>1c</sub>の両端子がフローティングされた状態で充電されるので、互いに異なる極性を有する電圧を所望する大きさに充電することができる。

20

【0095】

次に、図2及び図12を参照して、本発明の他の一実施形態による液晶表示装置の信号線、画素の配置、及び駆動方法について説明する。図12は、本発明の他の一実施形態による画素の等価回路図である。

【0096】

図12を参照すると、本実施形態による液晶表示装置は、画素の列方向に隣接する複数の第1画素PX(m)及び複数の第2画素PX(m+1)と、これに接続される複数のゲート線G<sub>i</sub>、G<sub>i+1</sub>、G<sub>i+2</sub>及び複数対のデータ線D<sub>j</sub>及びD<sub>j'</sub>、D<sub>j+1</sub>及びD<sub>j+1'</sub>を含む。

【0097】

ゲート線G<sub>i</sub>、G<sub>i+1</sub>、G<sub>i+2</sub>は、それぞれ画素の列方向に上下に配置される第1支線G<sub>iT</sub>、G<sub>i+1T</sub>、G<sub>i+2T</sub>及び第2支線G<sub>iB</sub>、G<sub>i+1B</sub>、G<sub>i+2B</sub>に岐する。複数対のデータ線D<sub>j</sub>及びD<sub>j'</sub>、D<sub>j+1</sub>及びD<sub>j+1'</sub>は画素行に沿ってそれぞれ対をなして配置されている。

30

【0098】

第1画素PX(m)の第1画素電極PEaに接続される第1スイッチング素子Q<sub>a</sub>の制御端子はi番目ゲート線G<sub>i</sub>の第1支線G<sub>iT</sub>に接続されており、入力端子はj番目対のデータ線D<sub>j</sub>、D<sub>j'</sub>のうちの一つD<sub>j'</sub>と接続される。第1画素PX(m)の第2画素電極PEbに接続される第2スイッチング素子Q<sub>b</sub>の制御端子はi+1番目ゲート線G<sub>i+1</sub>の第1支線G<sub>i+1T</sub>に接続されており、入力端子はj+1番目対のデータ線D<sub>j+1</sub>、D<sub>j+1'</sub>のうちの一つD<sub>j+1'</sub>に接続される。また、第1画素PX(m)の第2スイッチング素子Q<sub>b</sub>の出力端子に接続される第3スイッチング素子Q<sub>c</sub>の入力端子はi+2番目ゲート線G<sub>i+2</sub>の第1支線G<sub>i+2T</sub>に接続される。

40

【0099】

第2画素PX(m+1)の第1画素電極PEaに接続される第1スイッチング素子Q<sub>a</sub>の制御端子はi番目ゲート線G<sub>i</sub>の第2支線G<sub>iB</sub>に接続されており、入力端子はj番目対のデータ線D<sub>j</sub>、D<sub>j'</sub>のうちの一つD<sub>j</sub>と接続される。第1画素PX(m)の第2画素電極PEbに接続される第2スイッチング素子Q<sub>b</sub>の制御端子はi+1番目ゲート線G<sub>i+1</sub>の第2支線G<sub>i+1B</sub>に接続されており、入力端子はj+1番目対のデータ線D<sub>j+1</sub>、D<sub>j+1'</sub>のうちの一つD<sub>j+1</sub>に接続される。また、第2画素PX(m

50

+ 1) の第 2 スイッチング素子  $Q_b$  の出力端子に接続される第 3 スイッチング素子  $Q_c$  の入力端子は  $i + 2$  番目ゲート線  $G_{i+2}$  の第 2 支線  $G_{i+2B}$  に接続される。

【 0 1 0 0 】

このように、本実施形態による液晶表示装置の画素の列方向に互いに隣接する第 1 画素  $P_X(m)$  及び第 2 画素  $P_X(m+1)$  の第 1 画素電極  $PE_a$  及び第 2 画素電極  $PE_b$  に接続される第 1 スイッチング素子  $Q_a$  の制御端子は、それぞれ同一のゲート線  $G_i$  の支線  $G_{iT}$ 、 $G_{iB}$  に接続し、第 2 スイッチング素子  $Q_b$  の制御端子は、それぞれ同一のゲート線  $G_{i+1}$  の支線に接続して、一つのゲート線  $G_i$ 、 $G_{i+1}$  を通じてゲートオン/オフ電圧の印加を受ける。

【 0 1 0 1 】

また、第 1 画素  $P_X(m)$  及び第 2 画素  $P_X(m+1)$  の第 2 スイッチング素子  $Q_b$  の出力端子に接続される第 3 スイッチング素子  $Q_c$  の入力端子は、 $i + 2$  番目ゲート線  $G_{i+2}$  の支線  $G_{i+2T}$ 、 $G_{i+2B}$  にそれぞれ接続して、一つのゲート線  $G_{i+2}$  を通じてゲートオン/オフ電圧の印加を受ける。これにより、同一のゲート線によりゲート信号を印加して複数のスイッチング素子を駆動するため駆動速度が速くなる。

【 0 1 0 2 】

次に、図 2 と共に図 1 3 及び図 1 4 を参照して、本発明の他の一実施形態による液晶表示装置の配置及び駆動方法について説明する。

【 0 1 0 3 】

図 1 3 は、本発明の他の一実施形態による液晶表示装置の一つの画素の等価回路図であり、図 1 4 は、図 1 3 に示した液晶表示装置の一つの画素に印加される信号の波形図である。

【 0 1 0 4 】

図 2 及び図 1 3 を参照すると、本実施形態による液晶表示装置は、画素  $P_X$  の第 1 画素電極  $PE_a$  に接続される第 1 スイッチング素子  $Q_a$  と、画素  $P_X$  の第 2 画素電極  $PE_b$  に接続される第 2 スイッチング素子  $Q_b$  と、これに接続される複数のゲート線  $G_i$ 、 $G_{i+1}$  及びデータ線  $D_j$  とを含む。また、第 1 スイッチング素子  $Q_a$  及び第 2 スイッチング素子  $Q_b$  に接続される液晶キャパシタ  $C_{1c}$  及び昇圧キャパシタ  $C_b$  を含む。第 1 スイッチング素子  $Q_a$  の制御端子は第 1 ゲート線  $G_i$  に接続されており、入力端子はデータ線  $D_j$  に接続される。第 2 スイッチング素子  $Q_b$  の制御端子は第 2 ゲート線  $G_{i+1}$  に接続されており、入力端子は第 1 スイッチング素子  $Q_a$  と同様にデータ線  $D_j$  に接続される。第 1 スイッチング素子  $Q_a$  及び第 2 スイッチング素子  $Q_b$  の出力端子は液晶キャパシタ  $C_{1c}$  及び昇圧キャパシタ  $C_b$  に接続される。昇圧キャパシタ  $C_b$  の両端子は第 1 スイッチング素子  $Q_a$  及び第 2 スイッチング素子  $Q_b$  に接続される。

【 0 1 0 5 】

以下、図 1 4 を参照して、図 1 3 に示した液晶表示装置の駆動方法について説明する。

【 0 1 0 6 】

図 1 3 及び図 1 4 を参照すると、第 1 ゲート線  $G_i$  にゲートオン信号が印加されて第 1 スイッチング素子  $Q_a$  が導通すると、第 1 画素電極  $PE_a$  にデータ線  $D_j$  を通じて第 1 データ電圧が印加され、A 地点には第 1 データ電圧が充電される。

【 0 1 0 7 】

第 1 ゲート線  $G_i$  にゲートオフ信号が印加され、第 2 ゲート線  $G_{i+1}$  にゲートオン信号が印加されて、第 2 スイッチング素子  $Q_b$  が導通すると、第 2 画素電極  $PE_b$  にデータ線  $D_j$  を通じて第 2 データ電圧が印加され、B 地点には第 2 データ電圧が充電される。このとき、B 地点の電圧  $V_b$  が高まることにより、A 地点の電圧  $V_a$  も昇圧される。したがって、A 地点及び B 地点と接続される液晶キャパシタの両端子の充電電圧が変化ようになる。この時、昇圧される電圧の大きさは、昇圧キャパシタ  $C_b$  の容量の大きさによって変化可能である。したがって、昇圧キャパシタ  $C_b$  の大きさを調節することで、互いに異なるゲートオン信号の印加時、液晶キャパシタ  $C_{1c}$  に充電されるデータ電圧を所望する大きさに調節することができる。

10

20

30

40

50

## 【 0 1 0 8 】

本実施形態による液晶表示装置においては、二つのゲート線、一つのデータ線、及び昇圧キャパシタを利用して液晶キャパシタに充電される電圧の大きさを調節することができる。したがって、一つのゲート線と二つのデータ線を利用して駆動する方式に比べ、データ線の数が減って、液晶表示装置の駆動部のコストを節減することができる。

## 【 0 1 0 9 】

以下、図 1 5 を参照して、本発明の他の一実施形態による液晶表示装置の信号線及び画素の配置について説明する。図 1 5 は、本発明の他の一実施形態による液晶表示装置の一つの画素に対する等価回路図である。

## 【 0 1 1 0 】

図 1 5 を参照すると、本実施形態による液晶表示装置の信号線及び画素の配置は、図 1 3 に示した液晶表示装置と類似している。しかし、図 1 3 に示した液晶表示装置とは異なって、第 1 ゲート線  $G_i$  と昇圧キャパシタ  $C_b$  の一端子 B に接続される第 4 スイッチング素子  $Q_d$  をさらに含む。第 4 スイッチング素子  $Q_d$  の制御端子は第 1 ゲート線  $G_i$  に接続し、入力端子は基準電圧  $V_{ref}$  の印加部に接続される。したがって、第 1 ゲート線  $G_i$  にゲートオン信号が入力されて、画素  $P_X$  の第 1 画素電極  $P_{Ea}$  に第 1 データ電圧が印加される時、昇圧キャパシタ  $C_b$  の一端子 B と液晶キャパシタ  $C_{lc}$  の一端子の電圧を基準電圧  $V_{ref}$  に変化させる。これは、全フレームにわたって昇圧キャパシタ  $C_b$  の一端子 B と液晶キャパシタ  $C_{lc}$  の一端子に入力されている電圧の影響を最少化するために、昇圧キャパシタ  $C_b$  の一端子 B と液晶キャパシタ  $C_{lc}$  の一端子に基準電圧である基準電圧  $V_{ref}$  を入力して、リフレッシュ (refresh) するためである。

## 【 0 1 1 1 】

前述した実施形態による液晶表示装置の信号線、画素の配置、及び駆動方法は、少なくとも一部分が同じ層に形成されて交互に配置される第 1 画素電極と第 2 画素電極を含む全ての形態の画素構造に適用できる。

## 【 0 1 1 2 】

以上、本発明の好ましい実施形態について詳細に説明したが、本発明の権利範囲はこれらに限定されず、次の請求範囲で定義している本発明の基本概念を利用した当業者の種々の変形及び改良形態も本発明の権利範囲に属するものである。

## 【 符号の説明 】

## 【 0 1 1 3 】

3 液晶層

3 1 液晶分子

1 0 0、2 0 0 表示板

3 0 0 液晶表示板組立体

4 0 0 駆動部

5 0 0 データ駆動部

6 0 0 信号制御部

8 0 0 階調電圧生成部

$C_{lc}$  液晶キャパシタ

$C_{sta}$  第 1 ストレージキャパシタ

$C_{stb}$  第 2 ストレージキャパシタ

$C_b$  昇圧キャパシタ

$Q_a$  第 1 スイッチング素子

$Q_b$  第 2 スイッチング素子

$C_L$  横中央線

$C_F$  カラーフィルタ

$G_i(a)$ 、 $G_i(b)$ 、 $G_{i+1}(a)$ 、 $G_{i+1}(b)$ 、 $G_i$ 、 $G_{i+1}$ 、 $G_{i+2}$  ゲート線

$D_j$ 、 $D_j'$ 、 $D_{j+1}$ 、 $D_{j+1}'$ 、 $D_{j+2}$ 、 $D_{j+2}'$  データ線

10

20

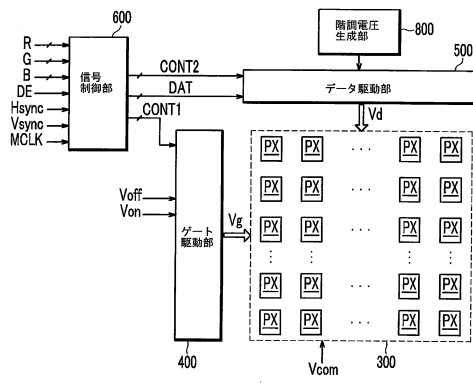
30

40

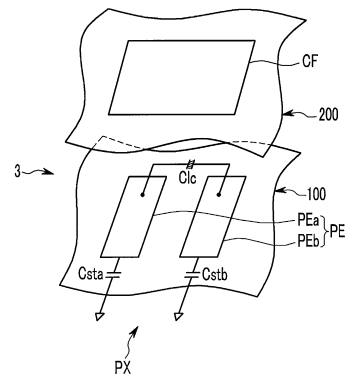
50

P X 画素  
P X ( m、 n ) 第 1 画素  
P X ( m、 n + 1 ) 第 2 画素  
P E a 第 1 画素電極  
P E b 第 2 画素電極

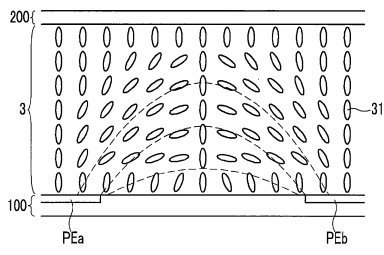
【 図 1 】



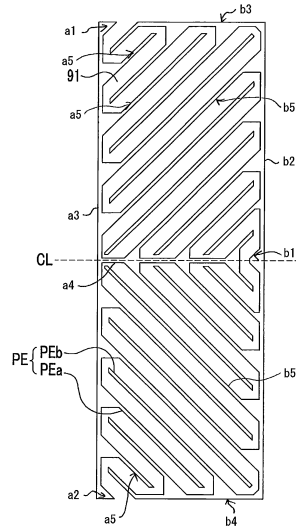
【 図 2 】



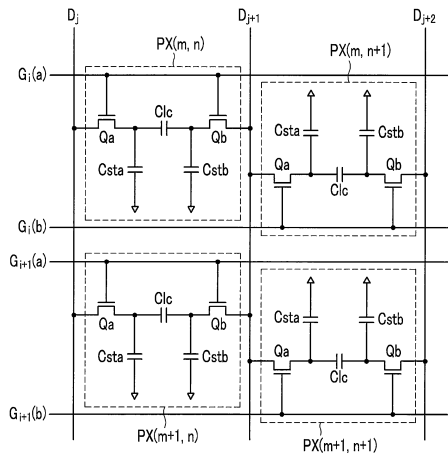
【 図 3 】



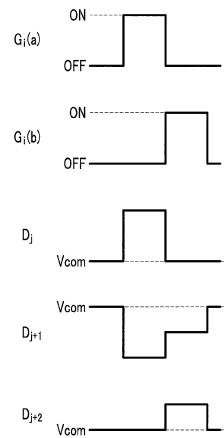
【 図 4 】



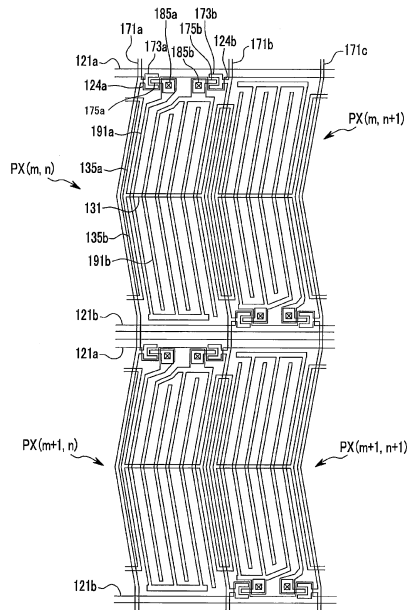
【 図 5 】



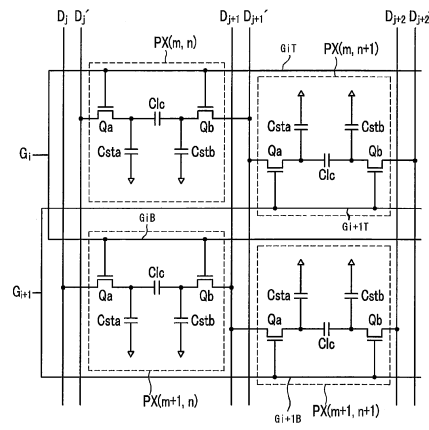
【 図 6 】



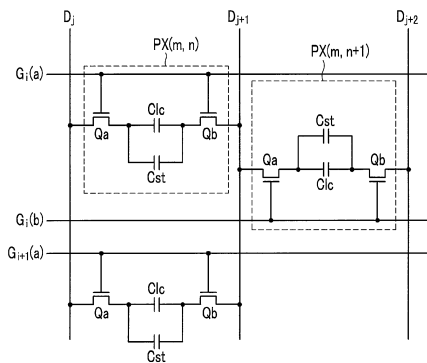
【 図 7 】



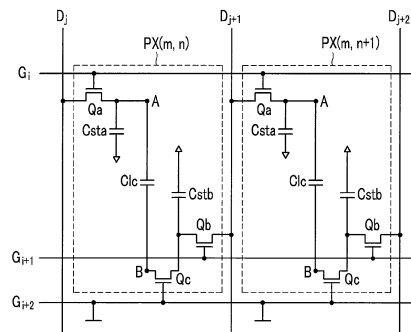
【 図 8 】



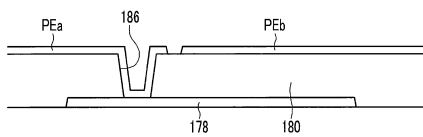
【 図 9 】



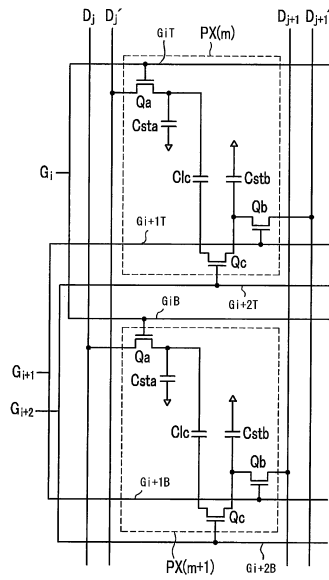
【 図 1 1 】



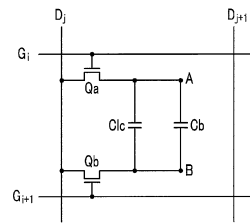
【 図 1 0 】



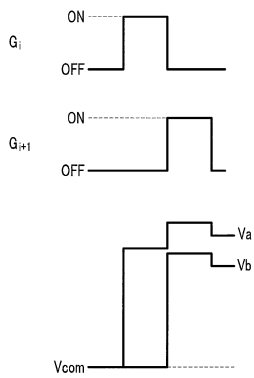
【 図 1 2 】



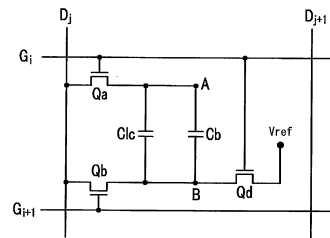
【 図 1 3 】



【 図 1 4 】



【 図 1 5 】



## フロントページの続き

- (72)発明者 金 熙 燮  
大韓民国京畿道華城市台安邑半月洞 8 6 5 - 1 番地シンヨントンヒョンデアパート 1 1 0 棟 3 0 4 号
- (72)発明者 金 香 律  
大韓民国京畿道華城市陵洞 1 1 3 4 番地ブルンマウルポスコザシャープアパート 9 0 7 棟 9 0 1 号
- (72)発明者 章 珠 寧  
大韓民国慶尚北道慶山市正坪洞 1 3 8 - 6 番地慶山ウバンマンション 1 0 2 棟 1 0 2 号
- (72)発明者 禹 和 成  
大韓民国京畿道水原市靈通区梅灘 1 洞住公 4 団地アパート 4 1 9 棟 1 0 7 号
- (72)発明者 辛 哲  
大韓民国京畿道華城市陵洞ウナムファーストビル 2 次アパート 2 0 1 棟 2 0 3 号
- (72)発明者 申 東 哲  
大韓民国ソウル市恩平区佛光 3 洞 4 3 1 - 2 番地

審査官 磯野 光司

- (56)参考文献 特開 2 0 0 3 - 1 3 1 6 3 6 ( J P , A )  
特開 2 0 0 6 - 2 9 2 8 5 4 ( J P , A )  
特開 2 0 0 3 - 3 0 2 9 4 2 ( J P , A )  
特開 2 0 1 0 - 2 3 0 8 8 8 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

G 0 2 F 1 / 1 3 3  
G 0 2 F 1 / 1 3 4 3  
G 0 2 F 1 / 1 3 6 8

专利名称(译)	液晶表示装置		
公开(公告)号	<a href="#">JP5616662B2</a>	公开(公告)日	2014-10-29
申请号	JP2010077255	申请日	2010-03-30
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星显示器的股票会社		
[标]发明人	金成雲 金熙燮 金香律 章珠寧 禹和成 辛哲 申東哲		
发明人	金成雲 金熙燮 金香律 章珠寧 禹和成 辛哲 申東哲		
IPC分类号	G02F1/1368 G02F1/133		
CPC分类号	G02F1/136286 G02F1/134363 G02F1/136213 G02F1/13624 G02F1/1368 G02F1/1393		
FI分类号	G02F1/1368 G02F1/133.550		
F-TERM分类号	2H092/GA14 2H092/JA24 2H092/NA05 2H092/NA25 2H092/PA06 2H092/QA09 2H192/AA24 2H192/BB03 2H192/BB53 2H192/BB84 2H192/BB91 2H192/BC31 2H192/CB12 2H192/CC22 2H192/CC24 2H192/CC62 2H192/DA42 2H192/DA52 2H192/GD61 2H192/JA34 2H193/ZA04 2H193/ZA19 2H193/ZB02 2H193/ZB03 2H193/ZB07 2H193/ZC07 2H193/ZP03 2H193/ZQ11 2H193/ZQ16 2H193/ZQ44 2H193/ZQ47		
代理人(译)	山下大沽嗣		
优先权	1020090047425 2009-05-29 KR		
其他公开文献	JP2010277068A		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

要解决的问题：确保高对比度和宽视角，以提高响应速度和降低成本。一种液晶显示装置包括：第一基板和第二基板，液晶层和连接到所述第一栅极线和所述第一数据线的的第一开关元件，第一栅极线和第二数据线连接到所述第二开关元件，连接到所述第二栅极线和所述第二数据线，第二栅极线和所述第三数据线连接到所述第一第三开关元件的第四开关元件它们分别连接到开关元件和第二开关元件，第一像素电极和第二像素电极彼此分开的，分别连接到第三和一个开关元件和第四开关元件，与所述第三像素电极彼此分开的的第一像素电极和第二像素电极形成第一液晶电容器，第三像素电极和第四像素电极形成第二液晶电容器。点域5

