

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5555663号
(P5555663)

(45) 発行日 平成26年7月23日 (2014. 7. 23)

(24) 登録日 平成26年6月6日 (2014. 6. 6)

(51) Int. Cl. F I
GO 2 F 1/1368 (2006. 01) GO 2 F 1/1368
GO 2 F 1/1337 (2006. 01) GO 2 F 1/1337

請求項の数 8 (全 25 頁)

(21) 出願番号	特願2011-112475 (P2011-112475)	(73) 特許権者	502356528
(22) 出願日	平成23年5月19日 (2011. 5. 19)		株式会社ジャパンディスプレイ
(65) 公開番号	特開2012-242602 (P2012-242602A)		東京都港区西新橋三丁目7番1号
(43) 公開日	平成24年12月10日 (2012. 12. 10)	(74) 代理人	110001737
審査請求日	平成24年11月21日 (2012. 11. 21)		特許業務法人スズエ国際特許事務所
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100159651
			弁理士 高倉 成男
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 福原 淑弘

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

第1方向に沿ってそれぞれ延出した第1ゲート配線及び第2ゲート配線と、隣接する前記第1ゲート配線と前記第2ゲート配線との間の画素中央部で第1方向に沿って延出した補助容量線と、第1方向に交差する第2方向に沿ってそれぞれ延出した第1ソース配線及び第2ソース配線と、隣接する前記第1ソース配線と前記第2ソース配線との間に配置され前記補助容量線と交差する位置から前記第1ゲート配線及び前記第2ゲート配線に向かって第2方向に沿って延出した画素電極と、を備えた第1基板と、

前記第1ソース配線及び前記第2ソース配線の各々と対向するとともに第2方向に沿って延出した主共通電極を含む共通電極を備えた第2基板と、

前記第1基板と前記第2基板との間に保持された液晶層と、を備え、

第1方向及び第2方向で規定される平面において、前記第1ゲート配線及び前記第2ゲート配線と前記第1ソース配線及び前記第2ソース配線または前記主共通電極とで囲まれた有効領域では、前記画素電極を含む電極部の第1面積が前記電極部以外の非電極部の第2面積よりも小さく、表示に寄与する開口部は、前記非電極部のうち、前記補助容量線を挟んだ両側に形成されることを特徴とする液晶表示装置。

【請求項 2】

第1方向に沿ってそれぞれ延出した第1補助容量線及び第2補助容量線と、隣接する前記第1補助容量線と前記第2補助容量線との間の画素中央部で第1方向に沿って延出したゲート配線と、第1方向に交差する第2方向に沿ってそれぞれ延出した第1ソース配線及

10

20

び第2ソース配線と、隣接する前記第1ソース配線と前記第2ソース配線の間に配置され前記ゲート配線と交差する位置から前記第1補助容量線及び前記第2補助容量線に向かって第2方向に沿って延出した画素電極と、を備えた第1基板と、

前記第1ソース配線及び前記第2ソース配線の各々と対向するとともに第2方向に沿って延出した主共通電極を含む共通電極を備えた第2基板と、

前記第1基板と前記第2基板との間に保持された液晶層と、を備え、

第1方向及び第2方向で規定される平面において、前記第1補助容量線及び前記第2補助容量線と前記第1ソース配線及び前記第2ソース配線または前記主共通電極とで囲まれた有効領域では、前記画素電極を含む電極部の第1面積が前記電極部以外の非電極部の第2面積よりも小さく、表示に寄与する開口部は、前記非電極部のうち、前記ゲート配線を挟んだ両側に形成されることを特徴とする液晶表示装置。

10

【請求項3】

前記主共通電極は、前記第1ソース配線及び前記第2ソース配線の各々の幅と同等以上の幅を有することを特徴とする請求項1または2に記載の液晶表示装置。

【請求項4】

前記主共通電極は、前記第1ソース配線及び前記第2ソース配線の各々の直上に設けたブラックマトリクス直下の位置よりも前記画素電極の側に延在していないことを特徴とする請求項3に記載の液晶表示装置。

【請求項5】

前記画素電極と前記共通電極との間に電界が形成されていない状態で、前記液晶層の液晶分子の初期配向方向は、第2方向に対して0°乃至20°の範囲内の方向と略平行であることを特徴とする請求項1乃至4のいずれか1項に記載の液晶表示装置。

20

【請求項6】

前記液晶分子は、前記画素電極と前記共通電極との間に電界が形成されていない状態で、前記第1基板と前記第2基板との間においてスプレイ配向またはホモジニアス配向していることを特徴とする請求項5に記載の液晶表示装置。

【請求項7】

さらに、前記第1基板の外面に配置された第1偏光板及び第2基板の外面に配置された第2偏光板を備え、前記第1偏光板の第1偏光軸と前記第2偏光板の第2偏光軸とが直交し、前記第1偏光板の第1偏光軸が前記液晶層の液晶分子の初期配向方向と直交する或いは平行であることを特徴とする請求項1乃至6のいずれか1項に記載の液晶表示装置。

30

【請求項8】

前記画素電極と対向する位置には電極が配置されていないことを特徴とする請求項1乃至7のいずれか1項に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、液晶表示装置に関する。

【背景技術】

【0002】

40

近年、平面表示装置が盛んに開発されており、中でも液晶表示装置は、軽量、薄型、低消費電力等の利点から特に注目を集めている。特に、各画素にスイッチング素子を組み込んだアクティブマトリクス型液晶表示装置においては、IPS(In-Plane Switching)モードやFFS(Fringe Field Switching)モードなどの横電界(フリンジ電界も含む)を利用した構造が注目されている。このような横電界モードの液晶表示装置は、アレイ基板に形成された画素電極と対向電極とを備え、アレイ基板の主面に対してほぼ平行な横電界で液晶分子をスイッチングする。

【0003】

一方で、アレイ基板に形成された画素電極と、対向基板に形成された対向電極との間に、横電界あるいは斜め電界を形成し、液晶分子をスイッチングする技術も提案されている

50

。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2009-192822号公報

【特許文献2】特開平9-160041号公報

【特許文献3】US6,657,693B1

【発明の概要】

【発明が解決しようとする課題】

【0005】

10

本実施形態の目的は、表示品位の良好な液晶表示装置を提供することにある。

【課題を解決するための手段】

【0006】

本実施形態によれば、

第1方向に沿ってそれぞれ延出した複数の第1信号配線と、第1方向に交差する第2方向に沿ってそれぞれ延出した複数の第2信号配線と、隣接する前記第2信号配線の間に配置され第2方向に沿って延出した画素電極と、を備えた第1基板と、前記第2信号配線の各々と対向するとともに第2方向に沿って延出した主共通電極を含む共通電極を備えた第2基板と、前記第1基板と前記第2基板との間に保持された液晶層と、を備え、第1方向及び第2方向で規定される平面において、前記第1信号配線と前記第2信号配線または前記主共通電極とで囲まれた有効領域では、前記画素電極を含む電極部の第1面積が前記電極部以外の非電極部の第2面積よりも小さいことを特徴とする液晶表示装置が提供される。

20

。

【図面の簡単な説明】

【0007】

【図1】図1は、本実施形態における液晶表示装置の構成を概略的に示す図である。

【図2】図2は、図1に示した液晶表示パネルの構成及び等価回路を概略的に示す図である。

【図3】図3は、本実施形態の第1構成例における液晶表示パネルを対向基板側から見たときの一画素の構造を概略的に示す平面図である。

30

【図4】図4は、図3に示した液晶表示パネルをA-A線で切断したときの断面構造を概略的に示す断面図である。

【図5】図5は、一画素に形成される有効領域を簡略化して示した平面図である。

【図6】図6は、FFSモードの液晶表示パネルにおける一画素内の電界分布を示す図である。

【図7】図7は、図6に示したFFSモードの液晶表示パネルにおいて櫛歯電極と共通電極との間の電界による液晶分子のダイレクタと透過率との関係を説明するための図である。

。

【図8】図8は、本実施形態の第1構成例の液晶表示パネルにおいて画素電極と共通電極との間の電界による液晶分子のダイレクタと透過率との関係を説明するための図である。

40

【図9】図9は、本実施形態の第1構成例の液晶表示パネルにおいてアレイ基板と対向基板との間で合わせズレが生じた場合の画素電極と共通電極との間の電界による液晶分子のダイレクタと透過率との関係を説明するための図である。

【図10】図10は、本実施形態の表示モード及びFFSモードにおいて解像度と透過率との関係の一例をシミュレーションした結果を示す図である。

【図11】図11は、本実施形態の第2構成例における液晶表示パネルを対向基板側から見たときの一画素の構造を概略的に示す平面図である。

【図12】図12は、一画素に形成される有効領域を簡略化して示した平面図である。

【図13】図13は、本実施形態の第3構成例における液晶表示パネルを対向基板側から見たときの一画素の構造を概略的に示す平面図である。

50

【図14】図14は、本実施形態の第4構成例における液晶表示パネルを対向基板側から見たときの一画素の構造を概略的に示す平面図である。

【発明を実施するための形態】

【0008】

以下、本実施形態について、図面を参照しながら詳細に説明する。なお、各図において、同一又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する説明は省略する。

【0009】

図1は、本実施形態における液晶表示装置1の構成を概略的に示す図である。

【0010】

すなわち、液晶表示装置1は、アクティブマトリクスタイプの液晶表示パネルLPN、液晶表示パネルLPNに接続された駆動ICチップ2及びフレキシブル配線基板3、液晶表示パネルLPNを照明するバックライト4などを備えている。

【0011】

液晶表示パネルLPNは、第1基板であるアレイ基板ARと、アレイ基板ARに対向して配置された第2基板である対向基板CTと、これらのアレイ基板ARと対向基板CTとの間に保持された図示しない液晶層と、バックライト4側に設けられ液晶表示パネルLPNへの入射光の偏光状態を制御する図示しない第1偏光板を含む第1光学素子と、液晶表示パネルLPNの表示面側に設けられ液晶表示パネルLPNからの出射光の偏光状態を制御する図示しない第2偏光板を含む第2光学素子と、を備えて構成されている。このような液晶表示パネルLPNは、画像を表示するアクティブエリアACTを備えている。このアクティブエリアACTは、 $m \times n$ 個のマトリクス状に配置された複数の画素PXによって構成されている（但し、 m 及び n は正の整数である）。

【0012】

バックライト4は、図示した例では、アレイ基板ARの背面側に配置されている。このようなバックライト4としては、種々の形態が適用可能であり、また、光源として発光ダイオード(LED)を利用したものや冷陰極管(CCL)を利用したものなどのいずれでも適用可能であり、詳細な構造については説明を省略する。

【0013】

図2は、図1に示した液晶表示パネルLPNの構成及び等価回路を概略的に示す図である。

【0014】

液晶表示パネルLPNは、アクティブエリアACTにおいて、 n 本のゲート配線G($G_1 \sim G_n$)、 n 本の補助容量線C($C_1 \sim C_n$)、 m 本のソース配線S($S_1 \sim S_m$)などを備えている。ゲート配線G及び補助容量線Cは、例えば、第1方向であるX方向に沿ってそれぞれ延出した第1信号配線に相当する。なお、ゲート配線G及び補助容量線Cは、必ずしも直線的に延出していなくても良い。これらのゲート配線G及び補助容量線Cは、第1方向Xに交差する第2方向であるY方向に沿って交互に並列配置されている。ここでは、第1方向Xと第2方向Yとは互いに略直交している。ソース配線Sは、ゲート配線G及び補助容量線Cと交差している。ソース配線Sは、第2方向Yに沿ってそれぞれ延出した第2信号配線に相当する。なお、ソース配線Sは、必ずしも直線的に延出していなくても良い。なお、ゲート配線G、補助容量線C、及び、ソース配線Sは、それらの一部が屈曲していてもよい。

【0015】

各ゲート配線Gは、アクティブエリアACTの外側に引き出され、ゲートドライバGDに接続されている。各ソース配線Sは、アクティブエリアACTの外側に引き出され、ソースドライバSDに接続されている。これらのゲートドライバGD及びソースドライバSDの少なくとも一部は、例えば、アレイ基板ARに形成され、コントローラを内蔵した駆動ICチップ2と接続されている。

【0016】

各画素 P X は、スイッチング素子 S W、画素電極 P E、共通電極 C Eなどを備えている。保持容量 C s は、例えば補助容量線 C と画素電極 P E との間に形成される。補助容量線 C は、補助容量電圧が印加される電圧印加部 V C S と電氣的に接続されている。

【0017】

なお、本実施形態においては、液晶表示パネル L P N は、画素電極 P E がアレイ基板 A R に形成される一方で共通電極 C E が対向基板 C T に形成された構成であり、これらの画素電極 P E と共通電極 C E との間に形成される電界を主に利用して液晶層 L Q の液晶分子をスイッチングする。画素電極 P E と共通電極 C E との間に形成される電界は、アレイ基板 A R の主面あるいは対向基板 C T の主面にほぼ平行な横電界（あるいは、基板主面に対してわずかに傾いた斜め電界）である。

10

【0018】

スイッチング素子 S W は、例えば、n チャネル薄膜トランジスタ (T F T) によって構成されている。このスイッチング素子 S W は、ゲート配線 G 及びソース配線 S と電氣的に接続されている。アクティブエリア A C T には、 $m \times n$ 個のスイッチング素子 S W が形成されている。このようなスイッチング素子 S W は、トップゲート型あるいはボトムゲート型のいずれであっても良い。また、スイッチング素子 S W の半導体層は、例えば、ポリシリコンによって形成されているが、アモルファスシリコンによって形成されていても良い。

【0019】

画素電極 P E は、スイッチング素子 S W に電氣的に接続されている。アクティブエリア A C T には、 $m \times n$ 個の画素電極 P E が形成されている。共通電極 C E は、例えばコモン電位であり、液晶層 L Q を介して複数の画素 P X の画素電極 P E に対して共通に配置されている。このような画素電極 P E 及び共通電極 C E は、例えば、インジウム・ティン・オキサイド (I T O) やインジウム・ジंक・オキサイド (I Z O) などの光透過性を有する導電材料によって形成されているが、アルミニウムなどの他の金属材料によって形成されても良い。

20

【0020】

アレイ基板 A R は、アクティブエリア A C T の外側に形成された給電部 V S を備えている。共通電極 C E は、アクティブエリア A C T の外側において図示しない導電部材を介して、アレイ基板 A R に形成された給電部 V S と電氣的に接続されている。

30

【0021】

以下に、本実施形態の構成例についてより具体的に説明する。

【0022】

≪第1構成例≫

図3は、本実施形態の第1構成例における液晶表示パネル L P N を対向基板側から見たときの一画素 P X の構造を概略的に示す平面図である。ここでは、第1方向 X と第2方向 Y とで規定される X - Y 平面における平面図を示している。

【0023】

アレイ基板は、第1方向 X に沿って延出したゲート配線 G 1 及びゲート配線 G 2 と、隣接するゲート配線 G 1 とゲート配線 G 2 との間に配置され第1方向 X に沿って延出した補助容量線 C 1 と、第2方向 Y に沿って延出したソース配線 S 1 及びソース配線 S 2 と、画素電極 P E と、を備えている。

40

【0024】

図示した例では、画素 P X において、ソース配線 S 1 は左側端部に配置され（厳密には、ソース配線 S 1 は当該画素 P X とその左側に隣接する画素との境界に跨って配置されている）、ソース配線 S 2 は右側端部に配置されている（厳密には、ソース配線 S 2 は当該画素 P X とその右側に隣接する画素との境界に跨って配置されている）。また、画素 P X において、ゲート配線 G 1 は上側端部に配置され（厳密には、ゲート配線 G 1 は当該画素 P X とその上側に隣接する画素との境界に跨って配置されている）、ゲート配線 G 2 は下側端部に配置され（厳密には、ゲート配線 G 2 は当該画素 P X とその下側に隣接する画素

50

との境界に跨って配置されている)、補助容量線C1は略画素中央部に配置されている。

【0025】

スイッチング素子SWは、図示した例では、ゲート配線G1及びソース配線S1に電氣的に接続されている。すなわち、スイッチング素子SWは、ゲート配線G1とソース配線S1の交点に設けられ、ドレイン配線はソース配線S1及び補助容量線C1に沿って延長され、補助容量線C1と重なる領域に形成されたコンタクトホールCHを介して画素電極PEと電氣的に接続されている。このようなスイッチング素子SWは、ソース配線S1及び補助容量線C1と重なる領域からほとんどはみ出すことはなく、このようなスイッチング素子SWを画素PXに配置したときに、表示に寄与する開口部の面積の低減を抑制している。

10

【0026】

図示した一画素PXにおいて、図中の破線で示した領域は、有効領域EFFに相当する。この有効領域EFFは、ゲート配線G1及びゲート配線G2とソース配線S1及びソース配線S2または後述する主共通電極CAとで囲まれた領域であり、それぞれの信号配線の内側のエッジまたは主共通電極CAの内側のエッジによって規定されている。このような有効領域EFFは、第1方向Xに沿った長さよりも第2方向Yに沿った長さの方が長い長方形形状である。つまり、ゲート配線G1及びゲート配線G2のそれぞれの向かい合うエッジが有効領域EFFの短辺に相当する。また、図示した例では、主共通電極CAのそれぞれの向かい合うエッジが有効領域EFFの長辺に相当する。

【0027】

20

画素電極PEは、隣接するソース配線S1とソース配線S2との間に配置されている。また、この画素電極PEは、ゲート配線G1とゲート配線G2との間に配置されている。つまり、画素電極PEは、有効領域EFF内に配置されている。このような画素電極PEは、第2方向Yに沿って延出している。すなわち、画素電極PEは、第2方向Yに沿って直線的に延出した帯状に形成されている。なお、図示した例では、この画素電極PEは、補助容量線C1と重なる領域においては、コンタクトホールCHを介してスイッチング素子SWとのコンタクトを確保する上で、他の部位よりも幅広に形成されている。換言すると、画素電極PEにおいて、補助容量線C1と重ならない領域では、第1方向Xに沿って略同一の幅を有するように形成されている。

【0028】

30

このような画素電極PEは、隣接するソース配線S1及びソース配線S2のそれぞれの直上の位置よりも有効領域EFFの内側に位置している。より具体的には、画素電極PEは、ソース配線S1とソース配線S2との略中間の位置、つまり、画素PXの中央に配置されている。つまり、ソース配線S1と画素電極PEとの第1方向Xに沿った間隔は、ソース配線S2と画素電極PEとの第1方向Xに沿った間隔と略同等である。このような画素電極PEは、画素PXの上側端部付近から下側端部付近まで延出している。

【0029】

対向基板は、共通電極CEを備えている。この共通電極CEは、ソース配線Sの各々と対向するとともに第2方向Yに沿って延出した主共通電極CAを含んでいる。すなわち、主共通電極CAは、第2方向Yに沿って直線的に延出した帯状あるいはストライプ状に形成されている。このような主共通電極CAは、詳述しないが、アクティブエリアの外側に引き出され、導電部材を介して、アレイ基板に形成された給電部と電氣的に接続され、コモン電位が給電される。

40

【0030】

図示した例では、主共通電極CAは、第1方向Xに沿って2本平行に並んでおり、以下では、これらを区別するために、図中の左側の主共通電極をCALと称し、図中の右側の主共通電極をCARと称する。主共通電極CALはソース配線S1と対向し、主共通電極CARはソース配線S2と対向している。つまり、主共通電極CAは、画素の両端にそれぞれ配置されている。

【0031】

50

画素PXにおいて、主共通電極CALは左側端部に配置され（厳密には、主共通電極CALは当該画素PXとその左側に隣接する画素との境界に跨って配置されている）、主共通電極CARは右側端部に配置されている（厳密には、主共通電極CARは当該画素PXとその右側に隣接する画素との境界に跨って配置されている）。

【0032】

また、主共通電極CAは、対向するソース配線Sの幅と同等以上の幅を有している。図示した例では、主共通電極CALの第1方向Xに沿った幅は対向するソース配線S1の第1方向Xに沿った幅より大きく、後述するブラックマトリクスBMの幅と同等以下の幅を有している。また、主共通電極CALはソース配線S1の直上に配置され、ブラックマトリクスBMの直下に配置されている。この主共通電極CALは、ソース配線S1の直上に配置され、ブラックマトリクスBMの直下の位置よりも有効領域EFF側には延在していない。つまり、主共通電極CALは、ブラックマトリクスBMの直下の位置よりも画素電極PEの側には延在していない。同様に、主共通電極CARの第1方向Xに沿った幅は対向するソース配線S2の第1方向Xに沿った幅より大きく、ブラックマトリクスBMの幅と同等以下の幅を有している。また、主共通電極CARはソース配線S2の直上に配置され、ブラックマトリクスBMの直下に配置されている。この主共通電極CARは、ソース配線S2の直上に配置され、ブラックマトリクスBMの直下の位置よりも有効領域EFF側には延在していない。つまり、主共通電極CARは、ブラックマトリクスBMの直下の位置よりも画素電極PEの側には延在していない。このように主共通電極CAを画素PXに配置したときに、表示に寄与する開口部の面積の低減を抑制している。

【0033】

このように、主共通電極CAが対向するソース配線Sの幅よりも広い幅を有している場合には、主共通電極CAがソース配線Sの直上の位置よりも画素電極PEの側に延在し、主共通電極CAのそれぞれの向かい合う内側のエッジが有効領域EFFの長辺に相当する。但し、表示に寄与する開口部の面積の低減をできるだけ抑制するために、画素電極PEの側に延在する主共通電極CAの面積はできる限り小さく設定することが望ましい。

【0034】

なお、主共通電極CAは、対向するソース配線Sの幅よりも小さい幅を有している場合もあり得る。この場合には、ソース配線Sが主共通電極CAの直下の位置よりも画素電極PEの側に延在し、ソース配線Sのそれぞれの向かい合う内側のエッジが有効領域EFFの長辺に相当する。

【0035】

主共通電極CAは、画素電極PEを挟んだ両側に配置されている。つまり、画素電極PEと主共通電極CAとは、第1方向Xに沿って交互に配置されている。これらの画素電極PEと主共通電極CAとは、互いに略平行に配置されている。このとき、X-Y平面内において、主共通電極CAのいずれも画素電極PEとは重ならない。

【0036】

すなわち、隣接する主共通電極CAL及び主共通電極CARの間には、1本の画素電極PEが位置している。換言すると、主共通電極CAL及び主共通電極CARは、画素電極PEの直上の位置を挟んだ両側に配置されている。あるいは、画素電極PEは、主共通電極CALと主共通電極CARとの間に配置されている。このため、主共通電極CAL、主画素電極PE、及び、主共通電極CARは、第1方向Xに沿ってこの順に配置されている。第1方向Xに沿った主共通電極CALと画素電極PEとの間隔（電極間距離）は、第1方向Xに沿った主共通電極CARと画素電極PEとの間隔（電極間距離）と略同等である。

【0037】

X-Y平面内において、第1方向Xに沿った主共通電極CALと画素電極PEとの電極間距離、及び、第1方向Xに沿った主共通電極CARと画素電極PEとの電極間距離は、ゼロより大きいことは勿論であるが、例えば、 $15\mu\text{m}$ 以下である。このような電極間距離の設定においては、液晶層LQは、誘電率異方性 $\Delta\epsilon$ の値が10以上である液晶材料に

よって構成されることが望ましい。

【0038】

図4は、図3に示した液晶表示パネルLPNをA-A線で切断したときの断面構造を概略的に示す断面図である。なお、ここでは、説明に必要な箇所のみを図示している。

【0039】

液晶表示パネルLPNを構成するアレイ基板ARの背面側には、バックライト4が配置されている。

【0040】

アレイ基板ARは、光透過性を有する第1絶縁基板10を用いて形成されている。ソース配線S1及びソース配線S2は、第1層間絶縁膜11の上に形成され、第2層間絶縁膜12によって覆われている。なお、図示しないゲート配線や補助容量線は、例えば、第1絶縁基板10と第1層間絶縁膜11の間に配置されている。画素電極PEは、第2層間絶縁膜12の上に形成されている。

10

【0041】

第1配向膜AL1は、アレイ基板ARの対向基板CTと対向する面に配置され、アクティブエリアACTの略全体に亘って延在している。この第1配向膜AL1は、画素電極PEなどを覆っており、第2層間絶縁膜12の上にも配置されている。このような第1配向膜AL1は、水平配向性を示す材料によって形成されている。

【0042】

なお、アレイ基板ARは、さらに、共通電極CEの一部を備えていても良い。

20

【0043】

対向基板CTは、光透過性を有する第2絶縁基板20を用いて形成されている。この対向基板CTは、第2絶縁基板20のアレイ基板ARに対向する側に、ブラックマトリクスBM、カラーフィルタCF、オーバーコート層OC、共通電極CE、第2配向膜AL2などを備えている。

【0044】

ブラックマトリクスBMは、第2絶縁基板20の上に形成され、各画素PXを区画する。すなわち、ブラックマトリクスBMは、ソース配線、ゲート配線、補助容量線、スイッチング素子などの配線部に対向するように配置されている。カラーフィルタCFは、第2絶縁基板20の上に形成され、各画素PXに対応して配置されている。すなわち、カラーフィルタCFは、ブラックマトリクスBMによって区画された内側の領域に配置されるとともに、その一部がブラックマトリクスBMの上に重なっている。オーバーコート層OCは、ブラックマトリクスBM及びカラーフィルタCFの上に形成されている。すなわち、このオーバーコート層OCは、ブラックマトリクスBM及びカラーフィルタCFの表面の凹凸の影響を緩和するように配置されている。

30

【0045】

共通電極CEは、オーバーコート層OCの上に形成されている。共通電極CEの主共通電極CAは、ブラックマトリクスBMと対向している。主共通電極CAは、対向するブラックマトリクスBMの幅と同等以下の幅を有している。図示した例では、主共通電極CAL及び主共通電極CARの第1方向Xに沿った幅は、それぞれ対向するブラックマトリクスBMの第1方向Xに沿った幅より小さい。これらの主共通電極CAL及び主共通電極CARは、それぞれブラックマトリクスBMの直下に配置されている。

40

【0046】

第2配向膜AL2は、対向基板CTのアレイ基板ARと対向する面に配置され、アクティブエリアACTの略全体に亘って延在している。この第2配向膜AL2は、共通電極CEなどを覆っており、オーバーコート層OCの上にも配置されている。このような第2配向膜AL2は、水平配向性を示す材料によって形成されている。

【0047】

これらの第1配向膜AL1及び第2配向膜AL2には、液晶分子を初期配向させるための配向処理（例えば、ラビング処理や光配向処理）がなされている。第1配向膜AL1が

50

液晶分子を初期配向させる第1配向処理方向、及び、第2配向膜AL2が液晶分子を初期配向させる第2配向処理方向は、例えば、第2方向Yと略平行な方向である。これらの第1配向処理方向及び第2配向処理方向は、ともに平行であって、互いに逆向きの方向あるいは同じ向きの方向である。

【0048】

上述したようなアレイ基板ARと対向基板CTとは、それぞれの第1配向膜AL1及び第2配向膜AL2が対向するように配置されている。このとき、アレイ基板ARの第1配向膜AL1と対向基板CTの第2配向膜AL2との間には、例えば、樹脂材料によって一方の基板に一体的に形成された柱状スペーサが配置され、これにより、所定のギャップ、例えば2〜7μmのセルギャップが形成される。アレイ基板ARと対向基板CTとは、所定のセルギャップが形成された状態で図示しないシール材によって貼り合わせられている。

10

【0049】

液晶層LQは、アレイ基板ARと対向基板CTとの間に形成されたセルギャップに保持され、第1配向膜AL1と第2配向膜AL2との間に配置されている。液晶層LQは、図示しない液晶分子を含んでいる。このような液晶層LQは、例えば、誘電率異方性が正（ポジ型）の液晶材料によって構成されている。

【0050】

アレイ基板ARの外表面、つまり、アレイ基板ARを構成する第1絶縁基板10の外表面には、第1光学素子OD1が接着剤などにより貼付されている。この第1光学素子OD1は、第1偏光軸（あるいは第1吸収軸）AX1を有する第1偏光板PL1を含んでいる。また、対向基板CTの外表面、つまり、対向基板CTを構成する第2絶縁基板20の外表面には、第2光学素子OD2が接着剤などにより貼付されている。この第2光学素子OD2は、第2偏光軸（あるいは第2吸収軸）AX2を有する第2偏光板PL2を含んでいる。第1偏光板PL1の第1偏光軸AX1と、第2偏光板PL2の第2偏光軸AX2とは、例えば、直交する位置関係（クロスニコル）にある。このとき、一方の偏光板は、例えば、その偏光軸が液晶分子の初期配向方向つまり第1配向処理方向あるいは第2配向処理方向と平行（あるいは、第2方向Yと平行）または直交（あるいは、第1方向Xと平行）するように配置されている。図3において、（a）で示した例では、第1偏光板PL1は、その第1偏光軸AX1が液晶分子LMの初期配向方向（第2方向Y）に対して直交する（つまり、第1方向Xに平行となる）ように配置され、また、第2偏光板PL2は、その第2偏光軸AX2が液晶分子LMの初期配向方向に対して平行となる（つまり、第2方向Yと平行となる）ように配置されている。また、図3において、（b）で示した例では、第2偏光板PL2は、その第2偏光軸AX2が液晶分子LMの初期配向方向（第2方向Y）に対して直交する（つまり、第1方向Xに平行となる）ように配置され、また、第1偏光板PL1は、その第1偏光軸AX1が液晶分子LMの初期配向方向に対して平行となる（つまり、第2方向Yと平行となる）ように配置されている。

20

30

【0051】

これにより、ノーマリーブラックモードを実現している。

【0052】

次に、上記構成の液晶表示パネルLPNの動作を説明する。

40

【0053】

すなわち、液晶層LQに電圧が印加されていない状態つまり画素電極PEと共通電極CEとの間に電位差（あるいは電界）が形成されていない無電界時（OFF時）には、液晶層LQの液晶分子LMは、その長軸が第1配向膜AL1の第1配向処理方向PD1及び第2配向膜AL2の第2配向処理方向PD2を向くように配向している。このようなOFF時が初期配向状態に相当し、OFF時の液晶分子LMの配向方向が初期配向方向に相当する。

【0054】

なお、厳密には、液晶分子LMは、X-Y平面に平行に配向しているとは限らず、プレ

50

チルトしている場合が多い。このため、液晶分子LMの厳密な初期配向方向とは、OFF時の液晶分子LMの長軸をX-Y平面に正射影した方向である。しかしながら、説明を簡略にするために、以下では、液晶分子LMは、X-Y平面に平行に配向しているものとし、X-Y平面と平行な面内で回転するものとして説明する。

【0055】

ここでは、第1配向膜AL1の第1配向処理方向PD1及び第2配向膜AL2の第2配向処理方向PD2は、ともに第2方向Yと略平行な方向である。このようなOFF時には、液晶分子LMは、図中の破線で示したように、その長軸が第2方向Yと略平行な方向に配向する。つまり、液晶分子LMの初期配向方向は、第2方向Yと平行（あるいは、第2方向Yに対して0°）である。

10

【0056】

図示した例のように、第1配向膜AL1の第1配向処理方向PD1及び第2配向膜AL2の第2配向処理方向PD2が平行且つ同じ向きである場合、液晶層LQの断面において、液晶分子LMは、液晶層LQの中間部において略水平（プレチルト角が略ゼロ）に配向し、ここを境界として第1配向膜AL1の近傍及び第2配向膜AL2の近傍において対称となるようなプレチルト角を持って配向する（スプレイ配向）。なお、第1配向膜AL1の第1配向処理方向PD1及び第2配向膜AL2の第2配向処理方向PD2が互いに平行且つ逆向きである場合、液晶層LQの断面において、液晶分子LMは、第1配向膜AL1の近傍、第2配向膜AL2の近傍、及び、液晶層LQの中間部において略均一なプレチルト角を持って配向している（ホモジニアス配向）。

20

【0057】

バックライト4からのバックライト光は、その一部が第1偏光板PL1を透過し、液晶表示パネルLPNに入射する。液晶表示パネルLPNに入射した光の偏光状態は、液晶層LQを通過する際に液晶分子LMの配向状態によって異なる。OFF時には、液晶層LQを通過した光は、第2偏光板PL2によって吸収される（黒表示）。

【0058】

一方、画素電極PEと共通電極CEとの間に電位差が形成された状態（ON時）では、画素電極PEと共通電極CEとの間に基板と略平行な横電界（あるいは斜め電界）が形成される。これにより、液晶分子LMは、図中の実線で示したように、その長軸が電界の向きと略平行となるように基板主面と略平行な平面内で回転する。

30

【0059】

図示した例では、画素電極PEと主共通電極CALとの間の領域内の液晶分子LMは、第2方向Yに対して時計回りに回転し、電界に沿って図中の左下を向くように配向する。画素電極PEと主共通電極CARとの間の領域内の液晶分子LMは、第2方向Yに対して反時計回りに回転し、電界に沿って図中の右下を向くように配向する。

【0060】

このように、各画素PXにおいて、画素電極PEと共通電極CEとの間に横電界（あるいは斜め電界）が形成された状態では、液晶分子LMの配向方向が複数の方向に分かれ、それぞれの配向方向でドメインが形成される。つまり、一画素PXには、複数のドメインが形成される。

40

【0061】

このようなON時には、バックライト4から液晶表示パネルLPNに入射したバックライト光は、その一部が第1偏光板PL1を透過し、液晶表示パネルLPNに入射する。液晶層LQに入射したバックライト光は、有効領域EFFを通過した際に、その偏光状態が変化する。このようなON時には、液晶層LQを通過した少なくとも一部の光は、第2偏光板PL2を透過する（白表示）。

【0062】

なお、上記の例では、液晶分子LMの初期配向方向が第2方向Yと平行である場合について説明したが、液晶分子LMの初期配向方向は、第2方向Yを斜めに交差する斜め方向Dであっても良い。ここで、第2方向Yに対する初期配向方向Dのなす角度 θ_1 は、0°

50

より大きく 45° より小さい角度である。なお、このなす角度 θ_1 については、 $5^\circ \sim 30^\circ$ 程度、より望ましくは 20° 以下（例えば、 7° ）とすることが液晶分子 LM の配向制御の観点で極めて有効である。つまり、液晶分子 LM の初期配向方向は、第 2 方向 Y に対して 0° 乃至 20° の範囲内の方向と略平行であることが望ましい。

【0063】

また、上記の例では、液晶層 LQ が正（ポジ型）の誘電率異方性を有する液晶材料によって構成された場合について説明したが、液晶層 LQ は、誘電率異方性が負（ネガ型）の液晶材料によって構成されていても良い。但し、詳しい説明は省略するが、誘電率異方性が正負逆となる関係上、ネガ型液晶材料の場合、上記したなす角度 θ_1 が $45^\circ \sim 90^\circ$ 、望ましくは 70° 以上とすることが好ましい。

10

【0064】

なお、ON 時においても、画素電極 PE 上あるいは共通電極 CE 上では、横電界がほとんど形成されない（あるいは、液晶分子 LM を駆動するのに十分な電界が形成されない）ため、液晶分子 LM は、OFF 時と同様に初期配向方向からほとんど動かない。このため、上記のように、画素電極 PE 及び共通電極 CE が光透過性の導電材料によって形成されていても、これらの領域ではバックライト光がほとんど透過せず、ON 時において表示にほとんど寄与しない。したがって、画素電極 PE 及び共通電極 CE は、必ずしも透明な導電材料によって形成される必要はなく、アルミニウムや銀、銅などの導電材料を用いて形成しても良い。

【0065】

20

次に、上記構成の液晶表示パネル LPN において、有効領域 EFF における開口部について説明する。

【0066】

図 5 は、一画素 PX に形成される有効領域 EFF を簡略化して示した平面図である。

【0067】

有効領域 EFF は、第 1 方向 X に沿って延出する横配線 WX1 及び横配線 WX2 と、第 2 方向 Y に沿って延出する縦配線 WY1 及び縦配線 WY2 とで囲まれた領域に相当する。上記の第 1 構成例では、有効領域 EFF を規定する横配線 WX1 及び横配線 WX2 は、それぞれゲート配線 G1 及びゲート配線 G2 である。また、上記の第 1 構成例のように、主共通電極 CA の第 1 方向 X に沿った幅がソース配線 S の第 1 方向 X に沿った幅と同等以上であり、且つ、主共通電極 CA がソース配線 S の直上の位置よりも画素電極 PE の側に延在している場合には、有効領域 EFF を規定する縦配線 WY1 及び縦配線 WY2 は、それぞれ主共通電極 CAL 及び主共通電極 CAR である。なお、主共通電極 CA の第 1 方向 X に沿った幅がソース配線 S の第 1 方向 X に沿った幅よりも小さく、且つ、ソース配線 S が主共通電極 CA の直下の位置よりも画素電極 PE の側に延在している場合には、有効領域 EFF を規定する縦配線 WY1 及び縦配線 WY2 は、それぞれソース配線 S1 及びソース配線 S2 である。

30

【0068】

有効領域 EFF において、画素電極 PE を含む電極部 EF1 は、図中の右下がりの斜線で示した領域に相当する。また、有効領域 EFF において、電極部 EF1 以外の非電極部 EF2 は、ゲート配線 G1 及びゲート配線 G2 と画素電極 PE との間であって、且つ、縦配線 WY1 及び縦配線 WY2 と画素電極 PE との間に形成され、図中の右上がりの斜線で示した領域に相当する。

40

【0069】

本実施形態においては、X-Y 平面において、有効領域 EFF では、電極部 EF1 の第 1 面積が非電極部 EF2 の第 2 面積よりも小さい。このような有効領域 EFF において、表示に寄与する開口部は、いずれの配線及び電極にも重ならない領域に形成される。すなわち、ゲート配線 G、ソース配線 S、及び、補助容量線 C は、モリブデン、アルミニウム、タングステン、チタンなどのほとんど光を透過しない導電材料によって形成されている。また、画素電極 PE 及び共通電極 CE は、上記の通り、例え光透過性の導電材料によ

50

て形成されていたとしても、ON時にはほとんど光を透過しない。このため、図示した構成例においては、開口部は、非電極部EF2のうち、補助容量線C1を挟んだ両側、つまり、補助容量線C1に重ならない領域に形成される。

【0070】

なお、ブラックマトリクスBMがソース配線S1及びソース配線S2の直上の位置、及び、ゲート配線G1及びゲート配線G2の直上の位置よりも画素電極PEの側の有効領域EFFに延在している場合には、これらの領域は表示に寄与しないため、このような領域の面積は非電極部EF2の第2面積から差し引かれる。

【0071】

このような第1構成例によれば、一画素PXの中央に1本の画素電極PEを設けたアレイ基板ARと、一画素PXの両端にそれぞれ主共通電極CAを設けた対向基板CTとを貼り合わせて液晶表示パネルLPNを構成している。特に、本実施形態においては、一画素PXにおいて表示に寄与する開口部は、画素電極PEと共通電極CEとの間の隙間に形成される。つまり、一画素PXあたりの透過率は、バックライト光が画素電極PEと共通電極CEとの間の隙間を透過可能な面積によって決まる。一画素PXの有効領域EFFにおいて、非電極部EF2の第2面積は電極部EF1の第1面積より大きいため、高透過率を得ることが可能である。

【0072】

また、主共通電極CAは、それぞれソース配線Sと対向している。特に、主共通電極CAL及び主共通電極CARがそれぞれソース配線S1及びソース配線S2の直上に配置されている場合には、主共通電極CAL及び主共通電極CARがソース配線S1及びソース配線S2よりも画素電極PE側（つまり、有効領域EFF内）に配置された場合と比較して、開口部を拡大することができ、画素PXの透過率を向上することが可能となる。

【0073】

また、主共通電極CAL及び主共通電極CARをそれぞれソース配線S1及びソース配線S2の直上に配置することによって、画素電極PEと主共通電極CAL及び主共通電極CARとの間の電極間距離を拡大することが可能となり、信号配線からの電界の影響により液晶配向が不安定となるケースも可能性としては考えられるものの、より水平に近い横電界を形成することが可能となる。このため、従来の構成であるIPSモード等の利点である広視野角化も維持することが可能となる。

【0074】

しかも、一画素内に複数のドメインを形成することが可能となるため、複数の方向での視野角を光学的に補償することができ、広視野角化が可能となる。

【0075】

したがって、高い透過率の表示を実現することができ、表示品位の良好な液晶表示装置を提供することが可能となる。

【0076】

また、この第1構成例によれば、種々の画素ピッチの要求に対して、画素電極PEと共通電極CEとの電極間距離を変更することで対応することが可能となる。すなわち、比較的画素ピッチが大きな低解像度の製品仕様から比較的画素ピッチが小さい高解像度の製品仕様まで、微細な電極加工を必ずしも必要とせず、電極間距離の設定により種々の画素ピッチの製品を提供することが可能となる。

【0077】

さらに、この第1構成例によれば、アレイ基板ARと対向基板CTとの合わせずれが生じた際に、画素電極PEを挟んだ両側の共通電極CEとの電極間距離に差が生じることがある。しかしながら、このような合わせずれは、全ての画素PXに共通に生じるため、画素PX間での電界分布に相違はなく、画像の表示に及ぼす影響はきわめて小さい。また、例えばアレイ基板ARと対向基板CTとの間で合わせズレが生じたとしても、隣接する画素への不所望な電界な漏れを抑制することが可能となる。このため、隣接する画素間でカラーフィルタの色が異なる場合であっても、混色の発生を抑制することが可能となり、より

10

20

30

40

50

厳密な色再現性を実現することが可能となる。

【0078】

ここで述べた効果について、以下でより詳細に説明する。

【0079】

ここでは、比較対象の表示モードとしてF F Sモードについて簡単に説明する。

【0080】

図6は、F F Sモードの液晶表示パネルにおける一画素内の電界分布を示す図である。

【0081】

F F Sモードは、アレイ基板上に共通電極及び微細な櫛歯電極の両方を設け、櫛歯電極のエッジ部に発生する横電界により液晶分子を基板表面に水平な方向に動作させる表示モードである。このF F Sモードは、基板の法線方向に液晶分子を動作させるM V A (M u l t i - d o m a i n V e r t i c a l A l i g n m e n t) 方式とは異なり、表示面を正面から眺めた場合と斜め方向から眺めた場合とでのリタデーション変化が小さく、斜め方向での階調特性に優れているといった特徴を有している。しかしながら、図示したように、櫛歯電極のエッジ部以外では縦電界が形成されるため、透過率を十分高くするためには、櫛歯電極のエッジ部の数を増やす必要性が有る。このような櫛歯電極を形成するに際しては、電極幅を数 μm 以下とするような微細加工が必須であり、電極の加工に高価な露光装置が必要である。

10

【0082】

図7は、図6に示したF F Sモードの液晶表示パネルにおいて櫛歯電極と共通電極との間の電界による液晶分子のダイレクタと透過率との関係を説明するための図である。

20

【0083】

O F F状態では、液晶分子L Mは、第2方向Yに対してわずかに傾いた方向に初期配向している。櫛歯電極と共通電極との間に電位差が形成されたO N状態では、液晶分子L Mのダイレクタは、X-Y平面内で $45^{\circ}-225^{\circ}$ の方位と略平行となり、ピーク透過率が得られる。このとき、一画素あたりの透過率分布に着目すると、櫛歯電極のエッジ部付近で透過率が高く、櫛歯電極上あるいは櫛歯電極間では透過率が低い分布となっている（図示した例では、櫛歯電極が3本であり、透過率ピークが6箇所出現している）。したがって、一画素あたりの透過率を十分に高くするためには、上記の通り、櫛歯電極の数を増やし、エッジ部の数を増やすことが必要となる。

30

【0084】

また、ブラックマトリクスB Mと重なる領域での透過率分布に着目すると、透過率が十分に低下していない。これは、隣接する画素間で不所望な横電界が生じてしまい、隣接画素間の液晶分子も動作してしまうためであり、隣接する画素でカラーフィルタの色が異なる場合には、混色が発生し、色再現性の低下やコントラスト比の低下を招くおそれがある。特に、アレイ基板と対向基板との合わせズレが生じた場合には、隣接する画素間の領域がブラックマトリクスB Mから露出し、さらに光漏れが顕著となる。したがって、F F Sモードにおいては、隣接する画素間の距離あるいはブラックマトリクスB Mの幅を大きく形成する必要があり、高精細化を阻害する要因の一つとなっている。なお、アレイ基板と対向基板との合わせズレに起因した光漏れは、F F Sモードに限らず、M V Aモードなどの主として縦電界を利用する表示モードでも生じうる。

40

【0085】

図8は、本実施形態の第1構成例の液晶表示パネルL P Nにおいて画素電極P Eと共通電極C Eとの間の電界による液晶分子L Mのダイレクタと透過率との関係を説明するための図である。

【0086】

O F F状態では、液晶分子L Mは、第2方向Yに略平行な方向に初期配向している。画素電極P Eと共通電極C Eとの間に電位差が形成されたO N状態では、液晶分子L Mのダイレクタ（あるいはその長軸方向）が、第1偏光板P L 1の第1偏光軸（あるいは吸収軸）A X 1及び第2偏光板P L 2の第2偏光軸（あるいは吸収軸）A X 2に対して概ね 45

50

°ずれた状態となったときに、液晶の光学的な変調率が最も高くなる。図示した例において、ON状態では、液晶分子LMのダイレクタは、X-Y平面内で45°-225°の方位と略平行、もしくは、135°-315°の方位と略平行となり、ピーク透過率が得られる。

【0087】

このとき、一画素あたりの透過率分布に着目すると、画素電極PE上及び共通電極CE上においては透過率が略ゼロとなる一方で、画素電極PEと共通電極CEとの間の電極間隙では、略全域に亘って高い透過率が得られる。より具体的には、ソース配線S1の直上に位置する主共通電極CAL及びソース配線S2の直上に位置する主共通電極CARは、それぞれブラックマトリクスBMと対向しているが、これらの主共通電極CAL及び主共通電極CARは、ともに、ブラックマトリクスBMの第1方向Xに沿った幅と同等以下の幅を有しており、ブラックマトリクスBMと重なる位置よりも画素電極PEの側に延在していない。このため、一画素あたり、表示に寄与する領域は、ブラックマトリクスBMの間もしくはソース配線S1とソース配線S2との間の領域のうち、画素電極PEと主共通電極CAL及び主共通電極CARとの間の領域である。

10

【0088】

このような構成の本実施形態においては、一画素あたりの透過率を十分に高くするためには、画素電極PEと主共通電極CAL及び主共通電極CARとの間の電極間距離を拡大することで対応できる。また、画素ピッチが異なる製品仕様に対して、電極間距離を変更する（つまり、画素PXの略中央に配置された画素電極PEに対して主共通電極CAの配置位置を変更する）ことで、図8に示したような透過率分布のピーク条件を利用することが可能となる。

20

【0089】

つまり、FFSモードでは、高透過率を得るために、電極本数あるいはエッジ部の数を増やす必要があり、微細な加工が要求されていたのに対して、本実施形態の表示モードにおいては、高透過率を得るために、電極間距離を拡大することで対応でき、微細な電極加工を必ずしも必要としない。しかも、要求される解像度が高くなるほど画素ピッチが小さくなるため、FFSモードではさらに微細な加工が要求され、しかも、電極本数や電極寸法による制約を受けるが、本実施形態の表示モードでは、これらの制約をほとんど受けることなく、高透過率且つ高解像度の要求を実現することが可能となる。

30

【0090】

また、ブラックマトリクスBMと重なる領域での透過率分布に着目すると、透過率が十分に低下している。これは、共通電極CEの位置よりも当該画素の外側に電界の漏れが発生せず、また、ブラックマトリクスBMを挟んで隣接する画素間で不所望な横電界が生じないため、ブラックマトリクスBMと重なる領域の液晶分子がOFF時（あるいは黒表示時）と同様に初期配向状態を保っているためである。したがって、隣接する画素でカラーフィルタの色が異なる場合であっても、混色の発生を抑制することが可能となり、色再現性の低下やコントラスト比の低下を抑制することが可能となる。

【0091】

図9は、本実施形態の第1構成例の液晶表示パネルLPNにおいてアレイ基板ARと対向基板CTとの間で合わせズレが生じた場合の画素電極PEと共通電極CEとの間の電界による液晶分子LMのダイレクタと透過率との関係を説明するための図である。

40

【0092】

図示した例では、合わせズレに起因して、画素電極PEと主共通電極CALとの電極間距離が縮小する一方で、画素電極PEと主共通電極CARとの電極間距離が拡大している。この場合、ON状態での液晶分子LMのダイレクタは図8に示した例と同様の方向となる。このとき、一画素PXあたりの透過率分布は、ピーク的位置にズレが生じているものの、一画素PXあたりのトータルの透過率は、図8に示した例と同等である。しかも、隣接する画素への電界の漏れも生じていない。

【0093】

50

このように、本実施形態においては、例えばアレイ基板A Rと対向基板C Tとの合わせズレが生じた場合であっても、高い透過率が得られるとともに、光漏れを抑制することが可能となる。また、本実施形態の表示モードにおいては、光漏れ対策として、隣接する画素間の距離あるいはブラックマトリクスB Mの幅を拡大する必要がなく、F F SモードやM V Aモードと比較して、容易に高精細化を実現することが可能となる。

【0094】

次に、解像度と透過率との関係について、本実施形態の表示モードとF F Sモードとを対比して説明する。

【0095】

図10は、本実施形態の表示モード及びF F Sモードにおいて解像度と透過率との関係の一例をシミュレーションした結果を示す図である。

10

【0096】

ここでの計算条件は以下の通りである。本実施形態の表示モードについては、共通電極の幅を $5\mu\text{m}$ とし画素電極P Eの幅を $3\mu\text{m}$ とした。比較例であるF F Sモードについては、共通電極は画素全体に亘って形成されたべた電極であり、櫛歯電極の幅は $3\mu\text{m}$ とした。本実施形態の表示モード及びF F Sモードのそれぞれについて、液晶層にはすべての例で一定の白表示電圧を印加するものとする。

【0097】

F F Sモードでは、図示したように、解像度の増大に伴って、段階的に透過率が低下している。これは、一画素に配置される櫛歯電極の本数が段階的に変化するためであり、本数が変化する解像度で透過率が大きく落ち込む。例えば、 300ppi (pixel/inch) までの解像度については、一画素あたり3本の櫛歯電極が配置されているが、 300ppi から 400ppi までの解像度については、一画素当たり2本の櫛歯電極が配置され、さらに、 400ppi 以上の解像度については、一画素当たり1本の櫛歯電極が配置される。このため、解像度が 300ppi の場合と、解像度が 400ppi の場合とで、急激に透過率が低下している。

20

【0098】

このように、F F Sモードでは、特に高精細な製品を作る場合に解像度によって得意不得意が顕著に発生する。これは、櫛歯電極の隙間距離と櫛歯電極の幅に最適値が存在し、電極寸法を優先すると、櫛歯電極の隙間距離と櫛歯電極幅との和の整数倍の画素ピッチにしか櫛歯電極本数が収まらず、逆に、電極本数を優先した設計を行った場合、櫛歯電極の隙間距離及び電極幅が最適値から外れるからである。この影響は、画素が高精細になればなるほど（つまり、高解像度化するほど）深刻となる。

30

【0099】

一方、本実施形態の表示モードでは、図示したように、解像度の増大に伴って、連続的に透過率が低下している。これは、解像度にかかわらず、一画素に配置される画素電極P Eの本数は1本のままであって、画素電極P Eと共通電極C Eとの電極間距離の変更のみで対応しているためである。

【0100】

本実施形態の表示モードにおいて、例えば、 280ppi で透過率をシミュレーションしたところ、F F Sモードの 300ppi での透過率を1としたとき、約1.04倍となり、また、 340ppi で透過率をシミュレーションしたところ、約0.8倍という結果が得られ、画素ピッチに対し透過率が連続的に変化するとしたシミュレーション結果と一致する事が確認できた（開口部の面積は解像度の増加に伴って低下するため、開口部の電極を一本化しても右肩下がりのグラフにはなるが、電極を一本とした構成では、F F Sモードのような階段状の特性変化とはならない）。

40

【0101】

次に、本実施形態における他の構成例について説明する。

【0102】

《第2構成例》

50

図11は、本実施形態の第2構成例における液晶表示パネルLPNを対向基板側から見たときの一画素PXの構造を概略的に示す平面図である。

【0103】

この第2構成例は、図3に示した第1構成例と比較して、画素PXにおいて、補助容量線C1が上側端部に配置され（厳密には、補助容量線C1は当該画素PXとその上側に隣接する画素との境界に跨って配置されている）、補助容量線C2が下側端部に配置され（厳密には、補助容量線C2は当該画素PXとその下側に隣接する画素との境界に跨って配置されている）、ゲート配線G1が略画素中央部に配置されている点で相違している。なお、第1構成例と同一構成については同一の参照符号を付して詳細な説明を省略する。

【0104】

すなわち、アレイ基板は、第1方向Xに沿って延出した補助容量線C1及び補助容量線C2と、隣接する補助容量線C1と補助容量線C2との間に配置され第1方向Xに沿って延出したゲート配線Gと、第2方向Yに沿って延出したソース配線S1及びソース配線S2と、画素電極PEと、を備えている。なお、画素PXにおいて、ソース配線S1が左側端部に配置されている点、ソース配線S2が右側端部に配置されている点、スイッチング素子SWがゲート配線G1及びソース配線S1に電気的に接続され且つソース配線S1及び補助容量線C1と重なる領域に形成されている点については第1構成例と同様である。

【0105】

図示した一画素PXにおいて、図中の破線で示した有効領域EFFは、補助容量線C1及び補助容量線C2とソース配線S1及びソース配線S2または主共通電極CAとで囲まれた領域であり、それぞれの信号配線の内側のエッジまたは主共通電極CAの内側のエッジによって規定されている。このような有効領域EFFは、第1方向Xに沿った長さよりも第2方向Yに沿った長さの方が長い長方形形状である。つまり、補助容量線C1及び補助容量線C2のそれぞれの向かい合うエッジが有効領域EFFの短辺に相当する。また、図示した例では、主共通電極CAのそれぞれの向かい合うエッジが有効領域EFFの長辺に相当するが、ソース配線S1及びソース配線S2のそれぞれの向かい合うエッジが有効領域EFFの長辺に相当する場合もある。

【0106】

画素電極PEは、実質的に第1構成例と同様に形成されている。なお、図示した例では、画素電極PEは、画素PXの上側端部において補助容量線C1と重なっている。このような画素電極PEは、補助容量線C1と重なる領域においては、コンタクトホールCHを介してスイッチング素子SWとのコンタクトを確保する上で、他の部位よりも幅広に形成されている。また、画素電極PEにおいて、補助容量線C1と重ならない領域では、第1方向Xに沿って略同一の幅を有するように形成されている。

【0107】

対向基板に備えられた共通電極CEは、第1構成例と同様に形成されている。

【0108】

図12は、一画素PXに形成される有効領域EFFを簡略化して示した平面図である。

【0109】

有効領域EFFは、第1方向Xに沿って延出する横配線WX1及び横配線WX2と、第2方向Yに沿って延出する縦配線WY1及び縦配線WY2とで囲まれた領域に相当する。上記の第2構成例では、有効領域EFFを規定する横配線WX1及び横配線WX2は、それぞれ補助容量線C1及び補助容量線C2である。また、上記の第2構成例のように、主共通電極CAの第1方向Xに沿った幅がソース配線Sの第1方向Xに沿った幅と同等以上であり、且つ、主共通電極CAがソース配線Sの直上の位置よりも画素電極PEの側に延在している場合には、有効領域EFFを規定する縦配線WY1及び縦配線WY2は、それぞれ主共通電極CAL及び主共通電極CARである。なお、主共通電極CAの第1方向Xに沿った幅がソース配線Sの第1方向Xに沿った幅よりも小さく、且つ、ソース配線Sが主共通電極CAの直下の位置よりも画素電極PEの側に延在している場合には、有効領域EFFを規定する縦配線WY1及び縦配線WY2は、それぞれソース配線S1及びソース

10

20

30

40

50

配線 S 2 である。

【0110】

有効領域 E F F において、画素電極 P E を含む電極部 E F 1 は、図中の右下がりの斜線で示した領域に相当する。また、有効領域 E F F において、電極部 E F 1 以外の非電極部 E F 2 は、補助容量線 C 1 及び補助容量線 C 2 と画素電極 P E との間であって、且つ、縦配線 W Y 1 及び縦配線 W Y 2 と画素電極 P E との間に形成され、図中の右上がりの斜線で示した領域に相当する。ここに示した第 2 構成例においても、X-Y 平面において、有効領域 E F F では、電極部 E F 1 の第 1 面積が非電極部 E F 2 の第 2 面積よりも小さい。

【0111】

このような構成の液晶表示パネル L P N において、有効領域 E F F における開口部は、非電極部 E F 2 のうち、ゲート配線 G 1 を挟んだ両側、つまり、ゲート配線 G 1 に重ならない領域に形成される。

10

【0112】

このような第 2 構成例においても、上記の第 1 構成例と同様に画素 P X の略中央に配置した 1 本の画素電極 P E と左右画素端に配置した共通電極 C E とにより液晶配向が制御されるため、第 1 構成例と同様の効果が得られる。

【0113】

≪第 3 構成例≫

図 1 3 は、本実施形態の第 3 構成例における液晶表示パネル L P N を対向基板側から見たときの画素 P X の構造を概略的に示す平面図である。

20

【0114】

この第 3 構成例は、図 3 に示した第 1 構成例と比較して、対向基板 C T に備えられた共通電極 C E が画素を取り囲むように格子状に形成された点で相違している。なお、第 1 構成例と同一構成については同一の参照符号を付して詳細な説明を省略する。

【0115】

すなわち、共通電極 C E は、上記した主共通電極 C A の他に、第 1 方向 X に沿って延出した副共通電極 C B を含んでいる。これらの主共通電極 C A 及び副共通電極 C B は、一体的あるいは連続的に形成されており、格子形状を形成している。

【0116】

副共通電極 C B は、ゲート配線 G の各々と対向している。図示した例では、副共通電極 C B は第 1 方向 X に沿って 2 本平行に並んでおり、以下では、これらを区別するために、図中の上側の副共通電極を C B U と称し、図中の下側の副共通電極を C B B と称する。副共通電極 C B U は、画素 P X の上側端部に配置され、ゲート配線 G 1 と対向している（あるいは、副共通電極 C B U がゲート配線 G 1 の直上に配置されている）。つまり、副共通電極 C B U は、当該画素 P X とその上側に隣接する画素との境界に跨って配置されている。また、副共通電極 C B B は、画素 P X の下側端部に配置され、ゲート配線 G 2 と対向している（あるいは、副共通電極 C B B がゲート配線 G 2 の直上に配置されている）。つまり、副共通電極 C B B は、当該画素 P X とその下側に隣接する画素との境界に跨って配置されている。

30

【0117】

また、副共通電極 C B は、対向するゲート配線 G の幅と同等以上の幅を有している。図示した例では、副共通電極 C B U の第 2 方向 Y に沿った幅は対向するゲート配線 G 1 の第 2 方向 Y に沿った幅より大きく、ブラックマトリクス B M の幅と同等以下の幅を有している。また、副共通電極 C B U はゲート配線 G 1 の直上に配置され、ブラックマトリクス B M の直下に配置されている。この副共通電極 C B U は、ゲート配線 G 1 の直上に配置され、ブラックマトリクス B M の直下の位置よりも有効領域 E F F 側には延在していない。つまり、副共通電極 C B U は、ブラックマトリクス B M の直下の位置よりも画素電極 P E の側には延在していない。同様に、副共通電極 C B B の第 2 方向 Y に沿った幅は対向するゲート配線 G 2 の第 2 方向 Y に沿った幅より大きく、ブラックマトリクス B M の幅と同等以下の幅を有している。また、副共通電極 C B B はゲート配線 G 2 の直上に配置され、ブラ

40

50

ックマトリクスBMの直下に配置されている。この副共通電極CBは、ゲート配線G2の直上に配置され、ブラックマトリクスBMの直下の位置よりも有効領域EFF側には延在していない。つまり、副共通電極CBは、ブラックマトリクスBMの直下の位置よりも画素電極PEの側には延在していない。このように副共通電極CBを画素PXに配置したときに、表示に寄与する開口部の面積の低減を抑制している。

【0118】

このように、副共通電極CBが対向するゲート配線Gの幅よりも広い幅を有している場合には、副共通電極CBがゲート配線Gの直上の位置よりも画素電極PEの側に延在し、副共通電極CBのそれぞれの向かい合う内側のエッジが有効領域EFFの短辺に相当する。但し、開口部の面積の低減をできるだけ抑制するために、画素電極PEの側に延在する副共通電極CBの面積はできる限り小さく設定することが望ましい。

10

【0119】

なお、副共通電極CBは、対向するゲート配線Gの幅よりも小さい幅を有している場合もあり得る。この場合には、ゲート配線Gが副共通電極CBの直下の位置よりも画素電極PEの側に延在し、ゲート配線Gのそれぞれの向かい合う内側のエッジが有効領域EFFの短辺に相当する。

【0120】

この第3構成例において、一画素PXに形成される有効領域EFFの開口部について、図5を参照しながら説明する。

【0121】

有効領域EFFは、第1方向Xに沿って延出する横配線WX1及び横配線WX2と、第2方向Yに沿って延出する縦配線WY1及び縦配線WY2とで囲まれた領域に相当する。この第3構成例においても、有効領域EFFを規定する縦配線WY1及び縦配線WY2のそれぞれは、主共通電極CAL及び主共通電極CAR、あるいは、ソース配線S1及びソース配線S2である。

20

【0122】

また、この第3構成例のように、副共通電極CBの第2方向Yに沿った幅がゲート配線Gの第2方向Yに沿った幅と同等以上であり、且つ、副共通電極CBがゲート配線Gの直上の位置よりも画素電極PEの側に延在している場合には、有効領域EFFを規定する横配線WX1及び横配線WX2は、それぞれ副共通電極CBU及び副共通電極CBBである。なお、副共通電極CBの第2方向Yに沿った幅がゲート配線Gの第2方向Yに沿った幅よりも小さく、且つ、ゲート配線Gが副共通電極CBの直下の位置よりも画素電極PEの側に延在している場合には、有効領域EFFを規定する横配線WX1及び横配線WX2は、それぞれゲート配線G1及びゲート配線G2である。

30

【0123】

ここに示した第3構成例においても、X-Y平面において、有効領域EFFでは、電極部EF1の第1面積が非電極部EF2の第2面積よりも小さい。

【0124】

このような第3構成例において、画素PXの略中央に配置した1本の画素電極PEと画素端に配置した共通電極CEとによって液晶配向を制御するという考え方は上記の第1構成例などと同様であるため、第1構成例と同様の効果が得られる。

40

【0125】

≪第4構成例≫

図14は、本実施形態の第4構成例における液晶表示パネルLPNを対向基板側から見たときの一画素PXの構造を概略的に示す平面図である。

【0126】

この第4構成例は、図11に示した第2構成例と比較して、対向基板CTに備えられた共通電極CEが一画素を取り囲むように格子状に形成された点で相違している。なお、第2構成例と同一構成については同一の参照符号を付して詳細な説明を省略する。

【0127】

50

すなわち、共通電極 C E は、上記した主共通電極 C A の他に、第 3 構成例と同様に、第 1 方向 X に沿って延出した副共通電極 C B を含んでいる。これらの主共通電極 C A 及び副共通電極 C B は、一体的あるいは連続的に形成されており、格子形状を形成している。

【0128】

副共通電極 C B は、補助容量線 C の各々と対向している。画素 P X の上側端部に配置された副共通電極 C B U は、補助容量線 C 1 と対向している（あるいは、副共通電極 C B U が補助容量線 C の直上に配置されている）。また、画素 P X の下側端部に配置された副共通電極 C B B は、補助容量線 C 2 と対向している（あるいは、副共通電極 C B B が補助容量線 C 2 の直上に配置されている）。

【0129】

また、副共通電極 C B は、対向する補助容量線 C の幅と同等以上の幅を有している。図示した例では、副共通電極 C B U の第 2 方向 Y に沿った幅は対向する補助容量線 C 1 の第 2 方向 Y に沿った幅より大きく、ブラックマトリクス B M の幅と同等以下の幅を有している。また、副共通電極 C B U は補助容量線 C 1 の直上に配置され、ブラックマトリクス B M の直下に配置されている。この副共通電極 C B U は、補助容量線 C 1 の直上に配置され、ブラックマトリクス B M の直下の位置よりも有効領域 E F F 側には延在していない。つまり、副共通電極 C B U は、ブラックマトリクス B M の直下の位置よりも画素電極 P E の側には延在していない。同様に、副共通電極 C B B の第 2 方向 Y に沿った幅は対向する補助容量線 C 2 の第 2 方向 Y に沿った幅より大きく、ブラックマトリクス B M の幅と同等以下の幅を有している。また、副共通電極 C B B は補助容量線 C 2 の直上に配置され、ブラックマトリクス B M の直下に配置されている。この副共通電極 C B B は、補助容量線 C 2 の直上に配置され、ブラックマトリクス B M の直下の位置よりも有効領域 E F F 側には延在していない。つまり、副共通電極 C B B は、ブラックマトリクス B M の直下の位置よりも画素電極 P E の側には延在していない。このように副共通電極 C B を画素 P X に配置したときに、表示に寄与する開口部の面積の低減を抑制している。

【0130】

このように、副共通電極 C B が対向する補助容量線 C の幅よりも広い幅を有している場合には、副共通電極 C B が補助容量線 C の直上の位置よりも画素電極 P E の側に延在し、副共通電極 C B のそれぞれの向かい合う内側のエッジが有効領域 E F F の短辺に相当する。但し、開口部の面積の低減をできるだけ抑制するために、画素電極 P E の側に延在する副共通電極 C B の面積はできる限り小さく設定することが望ましい。

【0131】

なお、副共通電極 C B は、対向する補助容量線 C の幅よりも小さい幅を有している場合もあり得る。この場合には、補助容量線 C が副共通電極 C B の直下の位置よりも画素電極 P E の側に延在し、補助容量線 C のそれぞれの向かい合う内側のエッジが有効領域 E F F の短辺に相当する。

【0132】

この第 4 構成例において、一画素 P X に形成される有効領域 E F F の開口部について、図 12 を参照しながら説明する。

【0133】

有効領域 E F F は、第 1 方向 X に沿って延出する横配線 W X 1 及び横配線 W X 2 と、第 2 方向 Y に沿って延出する縦配線 W Y 1 及び縦配線 W Y 2 とで囲まれた領域に相当する。この第 4 構成例においても、有効領域 E F F を規定する縦配線 W Y 1 及び縦配線 W Y 2 のそれぞれは、主共通電極 C A L 及び主共通電極 C A R、あるいは、ソース配線 S 1 及びソース配線 S 2 である。

【0134】

また、この第 4 構成例のように、副共通電極 C B の第 2 方向 Y に沿った幅が補助容量線 C の第 2 方向 Y に沿った幅と同等以上であり、且つ、副共通電極 C B が補助容量線 C の直上の位置よりも画素電極 P E の側に延在している場合には、有効領域 E F F を規定する横配線 W X 1 及び横配線 W X 2 は、それぞれ副共通電極 C B U 及び副共通電極 C B B である

。なお、副共通電極 C B の第 2 方向 Y に沿った幅が補助容量線 C の第 2 方向 Y に沿った幅よりも小さく、且つ、補助容量線 C が副共通電極 C B の直下の位置よりも画素電極 P E の側に延在している場合には、有効領域 E F F を規定する横配線 W X 1 及び横配線 W X 2 は、それぞれ補助容量線 C 1 及び補助容量線 C 2 である。

【0135】

ここに示した第 4 構成例においても、X-Y 平面において、有効領域 E F F では、電極部 E F 1 の第 1 面積が非電極部 E F 2 の第 2 面積よりも小さい。

【0136】

このような第 4 構成例において、画素 P X の略中央に配置した 1 本の画素電極 P E と画素端に配置した共通電極 C E とによって液晶配向を制御するという考え方は上記の第 1 構成例などと同様であるため、第 1 構成例と同様の効果が得られる。

10

【0137】

以上説明したように、本実施形態によれば、表示品位の良好な液晶表示装置を提供することが可能となる。

【0138】

なお、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これらの新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これらの実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

20

【符号の説明】

【0139】

L P N …液晶表示パネル

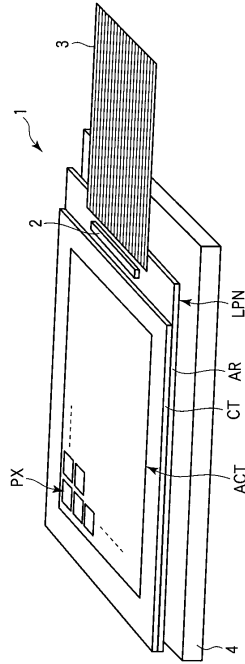
A R …アレイ基板 C T …対向基板 L Q …液晶層

P E …画素電極

C E …共通電極 C A …主共通電極 C B …副共通電極

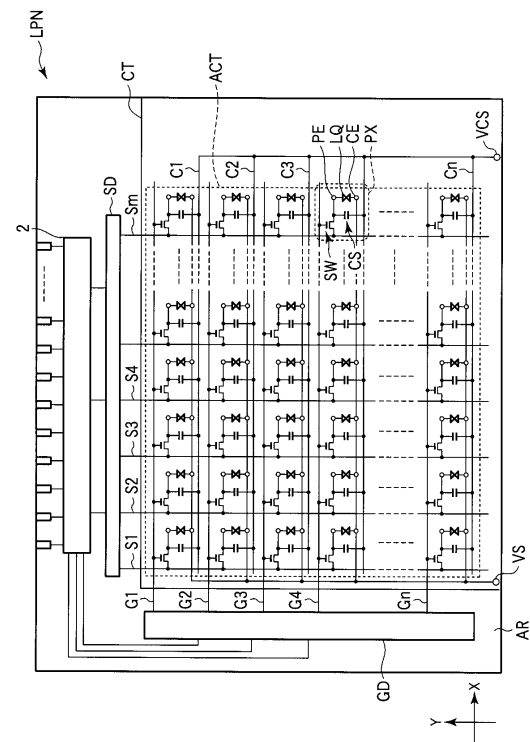
【図 1】

図 1



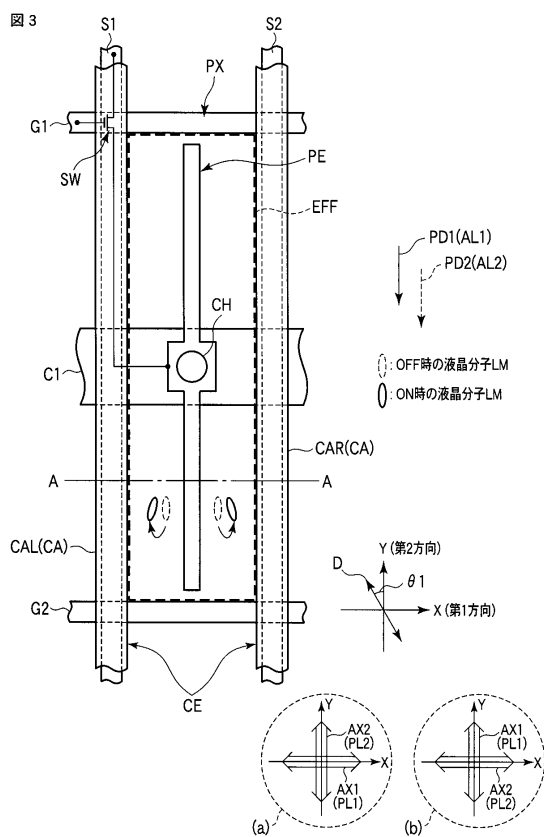
【図 2】

図 2



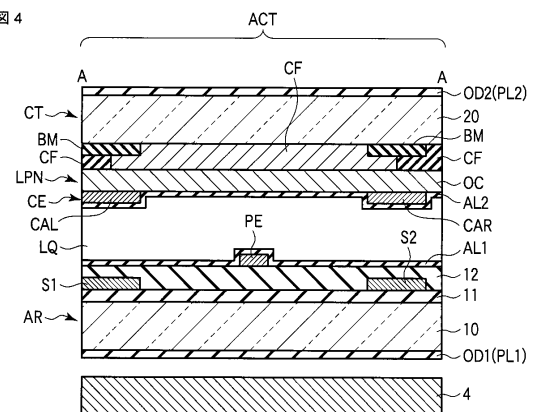
【図 3】

図 3

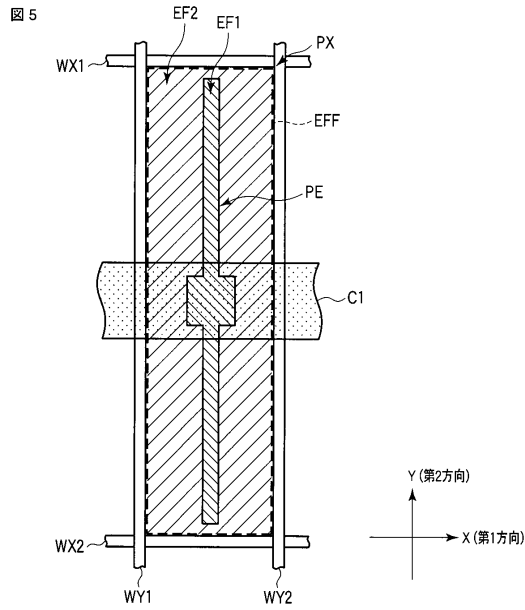


【図 4】

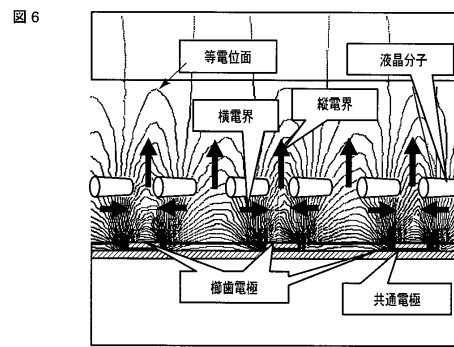
図 4



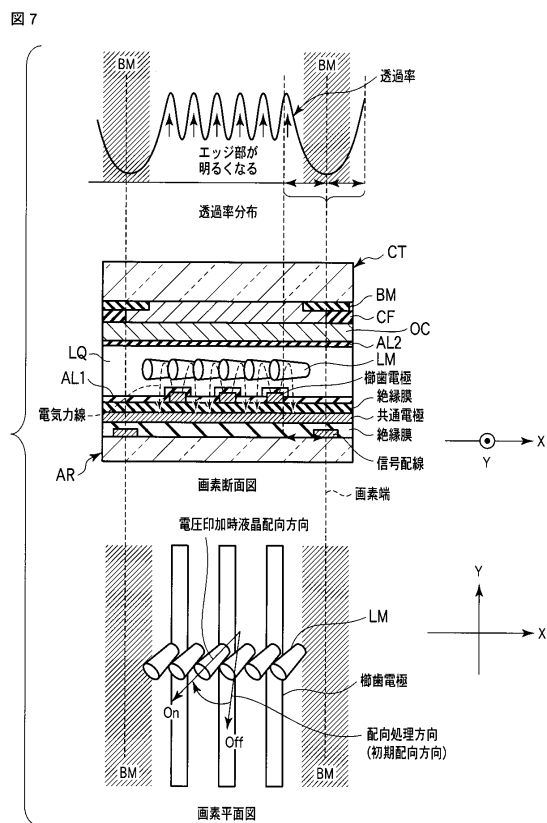
【図 5】



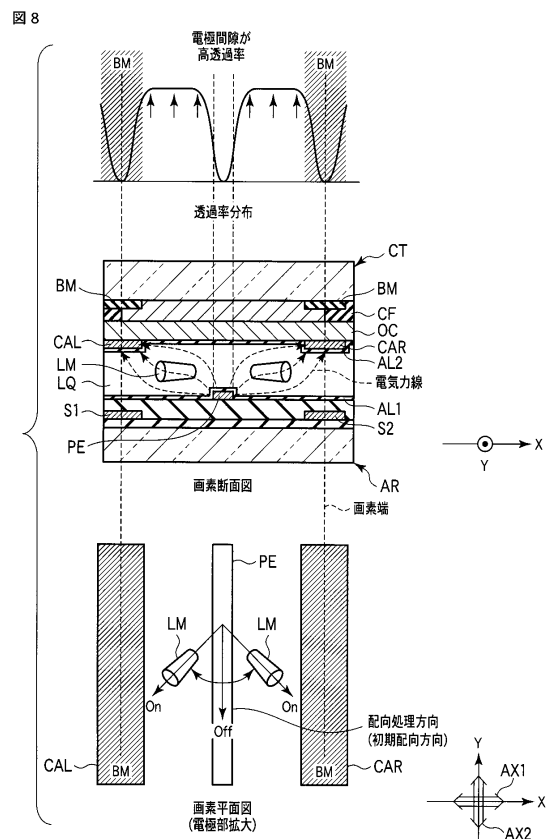
【図 6】



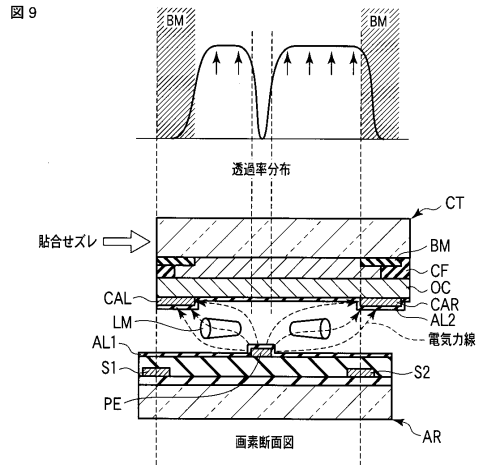
【図 7】



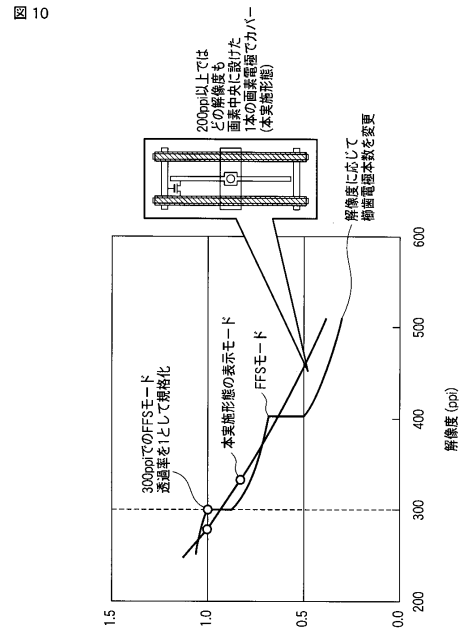
【図 8】



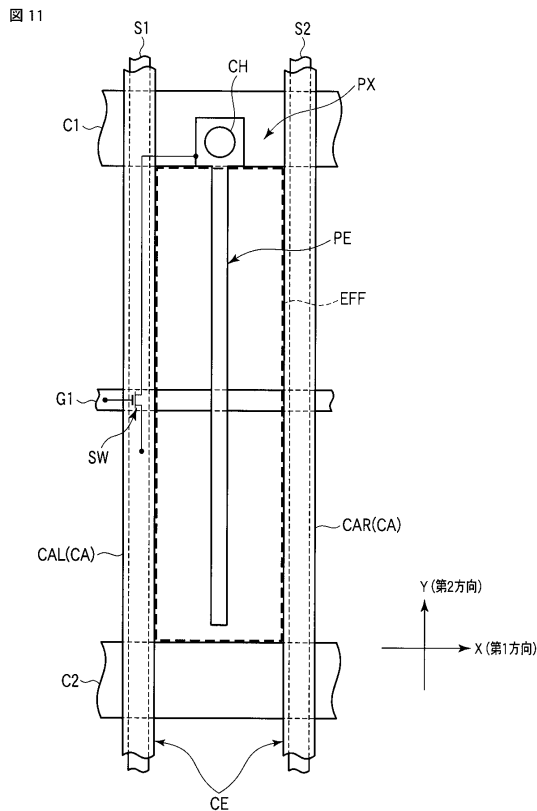
【図 9】



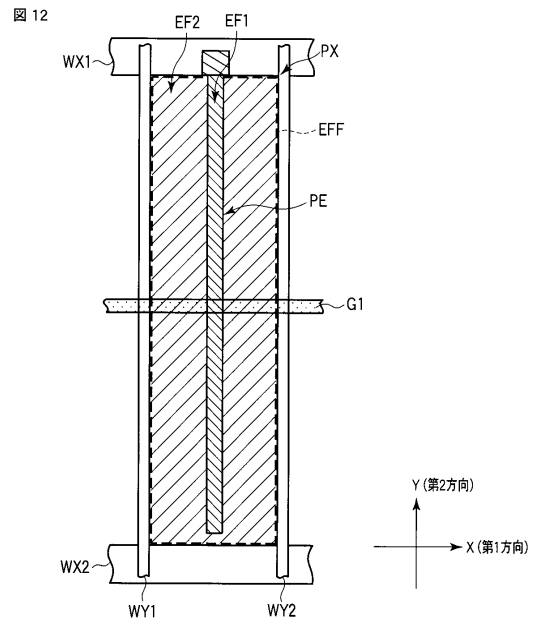
【図 10】



【図 11】

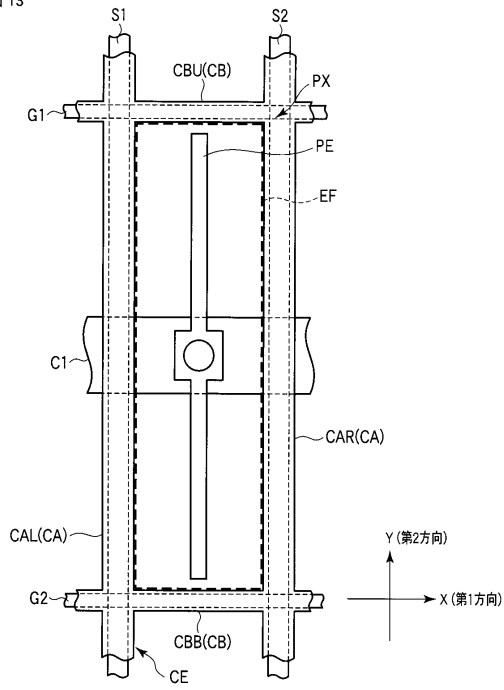


【図 12】



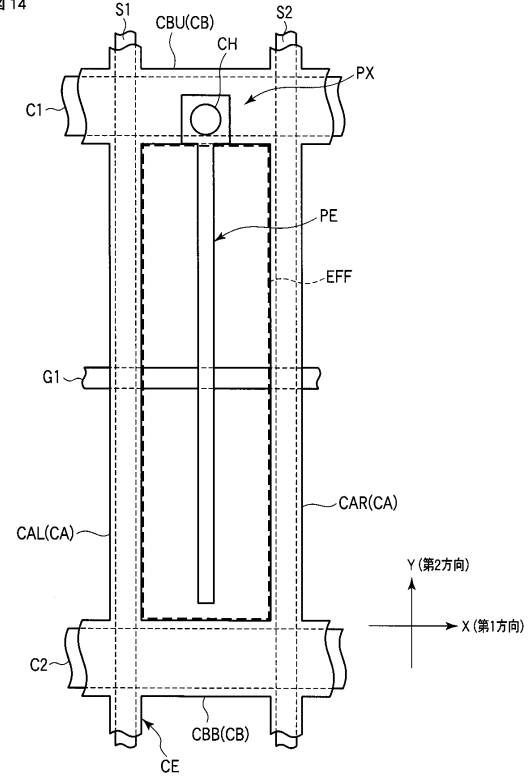
【図 13】

図 13



【図 14】

図 14



フロントページの続き

- (74)代理人 100075672
弁理士 峰 隆司
- (74)代理人 100095441
弁理士 白根 俊郎
- (74)代理人 100084618
弁理士 村松 貞男
- (74)代理人 100103034
弁理士 野河 信久
- (74)代理人 100119976
弁理士 幸長 保次郎
- (74)代理人 100153051
弁理士 河野 直樹
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100158805
弁理士 井関 守三
- (74)代理人 100124394
弁理士 佐藤 立志
- (74)代理人 100112807
弁理士 岡田 貴志
- (74)代理人 100111073
弁理士 堀内 美保子
- (74)代理人 100134290
弁理士 竹内 将訓
- (72)発明者 武田 有広
埼玉県深谷市幡羅町一丁目9番地2 東芝モバイルディスプレイ株式会社内
- (72)発明者 廣澤 仁
埼玉県深谷市幡羅町一丁目9番地2 東芝モバイルディスプレイ株式会社内
- (72)発明者 長谷川 ひとみ
埼玉県深谷市幡羅町一丁目9番地2 東芝モバイルディスプレイ株式会社内
- (72)発明者 森田 祐介
埼玉県深谷市幡羅町一丁目9番地2 東芝モバイルディスプレイ株式会社内
- (72)発明者 森本 浩和
埼玉県深谷市幡羅町一丁目9番地2 東芝モバイルディスプレイ株式会社内

審査官 磯野 光司

- (56)参考文献 特開2009-192822 (JP, A)
特開2009-128905 (JP, A)
特開2000-081641 (JP, A)
特開2004-151583 (JP, A)
特開2008-046599 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1337
G02F 1/1343
G02F 1/1368

专利名称(译)	液晶表示装置		
公开(公告)号	JP5555663B2	公开(公告)日	2014-07-23
申请号	JP2011112475	申请日	2011-05-19
申请(专利权)人(译)	有限公司日本展示中心		
当前申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	武田有広 廣澤仁 長谷川ひとみ 森田祐介 森本浩和		
发明人	武田 有広 廣澤 仁 長谷川 ひとみ 森田 祐介 森本 浩和		
IPC分类号	G02F1/1368 G02F1/1337		
CPC分类号	G02F1/134363 G02F2001/134318 G02F2001/134381		
FI分类号	G02F1/1368 G02F1/1337		
F-TERM分类号	2H092/JA24 2H092/JA46 2H092/JB05 2H092/JB14 2H092/JB22 2H092/JB32 2H092/JB69 2H092/PA02 2H092/PA08 2H092/PA09 2H092/PA11 2H092/QA06 2H092/QA09 2H192/AA24 2H192/BA32 2H192/BC31 2H192/CB02 2H192/CB05 2H192/CC26 2H192/DA12 2H192/EA22 2H192/EA43 2H192/JA03 2H290/AA04 2H290/AA05 2H290/BA07 2H290/BB85 2H290/BF13 2H290/BF23 2H290/CA42 2H290/CA46 2H290/CA48		
代理人(译)	河野 哲 中村诚 河野直树 冈田隆		
其他公开文献	JP2012242602A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供具有优异显示质量的液晶显示器件。解决方案：一种液晶显示装置，包括：第一基板，包括沿第一方向延伸的多个第一信号线；多个第二信号线，沿与第一方向交叉的第二方向延伸；以及像素电极，设置在相邻的第一方向上第二信号线并沿第二方向延伸；第二基板，包括公共电极，所述公共电极包括面对每个第二信号线并沿第二方向延伸的主公共电极；液晶层保持在第一基板和第二基板之间。在由第一方向和第二方向指定的平面中由第一信号线和第二信号线或主公共电极围绕的有效区域中，包括像素电极的电极部分的第一区域小于第二区域除了电极部分之外的非电极部分。

【图 3】

