

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5542427号  
(P5542427)

(45) 発行日 平成26年7月9日(2014.7.9)

(24) 登録日 平成26年5月16日(2014.5.16)

(51) Int.Cl. F 1  
**GO2F 1/1343 (2006.01)** GO2F 1/1343  
**GO2F 1/1333 (2006.01)** GO2F 1/1333

請求項の数 12 (全 22 頁)

(21) 出願番号	特願2009-296252 (P2009-296252)	(73) 特許権者	502356528
(22) 出願日	平成21年12月25日 (2009.12.25)		株式会社ジャパンディスプレイ
(65) 公開番号	特開2011-137882 (P2011-137882A)		東京都港区西新橋三丁目7番1号
(43) 公開日	平成23年7月14日 (2011.7.14)	(74) 代理人	110001737
審査請求日	平成24年10月25日 (2012.10.25)		特許業務法人スズエ国際特許事務所
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100075672
			弁理士 峰 隆司

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

絶縁基板と、前記絶縁基板の上方に配置され第1方向に延在した配線と、前記配線を覆う第1絶縁膜と、前記第1絶縁膜の上に配置され第1方向に交差する第2方向に延在するとともに前記配線の直上の一部に第1方向に延在するスリットが形成された容量線と、前記容量線を覆う第2絶縁膜と、前記第2絶縁膜の上において画素毎に配置され前記容量線と向かい合うとともにスリットが形成された画素電極と、を備えた第1基板と、

前記第1基板に対向した第2基板と、

前記第1基板と前記第2基板との間に保持された液晶層と、

前記配線と前記容量線との間の静電容量の変化を検出する検出回路と、

を備え、横電界を利用して前記液晶層を構成する液晶分子をスイッチングすることを特徴とする液晶表示装置。

【請求項 2】

さらに、第2方向に延在したゲート配線と、前記配線と前記ゲート配線とに電氣的に接続されるとともに前記画素電極と電氣的に接続されたスイッチング素子と、を備えたことを特徴とする請求項1に記載の液晶表示装置。

【請求項 3】

さらに、第2方向に延在し前記容量線と電氣的に接続された補強容量配線を備えたことを特徴とする請求項1に記載の液晶表示装置。

【請求項 4】

絶縁基板と、前記絶縁基板の上方に配置され第1方向に延在した容量線と、前記容量線を覆う絶縁膜と、前記絶縁膜の上方において画素毎に配置され前記容量線と向かい合うとともにスリットが形成された画素電極と、前記絶縁膜の上方において前記画素電極の間に配置され第1方向に交差する第2方向に延在した配線と、を備えた第1基板と、

前記第1基板に対向した第2基板と、

前記第1基板と前記第2基板との間に保持された液晶層と、

前記配線と前記容量線との間の静電容量の変化を検出する検出回路と、

を備え、横電界を利用して前記液晶層を構成する液晶分子をスイッチングすることを特徴とする液晶表示装置。

【請求項5】

10

さらに、第1方向に延在したゲート配線と、第2方向に延在したソース配線と、前記ゲート配線と前記ソース配線とに電気的に接続されるとともに前記画素電極と電気的に接続されたスイッチング素子と、を備え、

前記配線は、前記ソース配線の上方に配置されたことを特徴とする請求項4に記載の液晶表示装置。

【請求項6】

第1方向に隣接する前記配線の間、複数の前記画素電極が配置されたことを特徴とする請求項4に記載の液晶表示装置。

【請求項7】

前記配線及び前記画素電極がともに前記絶縁膜の上の同一層に配置されている、あるいは、前記配線と前記画素電極とが層間絶縁膜を介して異なる層に配置されていることを特徴とする請求項4に記載の液晶表示装置。

20

【請求項8】

さらに、前記第2基板の前記第1基板と対向する側とは反対側の表面に接着された偏光板を備えたことを特徴とする請求項1または4に記載の液晶表示装置。

【請求項9】

さらに、前記第2基板の前記第1基板と対向する側とは反対側の表面に配置された光透過性を有するメッシュタイプのシールド電極または導電性糊と、前記シールド電極または前記導電性糊を介して配置された偏光板と、を備えたことを特徴とする請求項1または4に記載の液晶表示装置。

30

【請求項10】

さらに、前記画素電極に画像信号を書き込む画像信号書込回路と前記検出回路とを一体的に備えた駆動ICチップを備えたことを特徴とする請求項1または4に記載の液晶表示装置。

【請求項11】

前記検出回路は、前記画素電極に画像信号を書き込む画像信号書込期間に続く検出期間において、前記配線及び前記容量線のうちの一方から検出信号を書き込み、前記配線と前記容量線との間の静電容量の変化を検出することを特徴とする請求項1または4に記載の液晶表示装置。

【請求項12】

40

前記検出信号の書き込みは、複数の前記配線または複数の前記容量線に対して同時に行われることを特徴とする請求項11に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、液晶表示装置に関する。

【背景技術】

【0002】

近年、平面表示装置が盛んに開発されており、中でも液晶表示装置は、軽量、薄型、低消費電力などの特徴を生かして、各種分野に適用されている。

50

## 【 0 0 0 3 】

例えば、特許文献 1 によれば、第 1 ポラライザー及び第 2 ポラライザーと、第 1 ポラライザーと第 2 ポラライザーとの間に配置された第 1 基板及び第 2 基板と、第 1 基板と第 2 基板との間にはなく第 1 ポラライザーと第 2 ポラライザーとの間に配置されたタッチ感知要素とを備えた液晶ディスプレイ・タッチ・スクリーンが開示されている。

## 【 先行技術文献 】

## 【 特許文献 】

## 【 0 0 0 4 】

【 特許文献 1 】 特開 2 0 0 9 - 1 9 9 0 9 3 号 公 報

## 【 発明の概要 】

10

## 【 発明が解決しようとする課題 】

## 【 0 0 0 5 】

この発明の目的は、接触検出機能を兼ね備えた液晶表示装置を低コストで提供することにある。

## 【 課題を解決するための手段 】

## 【 0 0 0 6 】

この発明の一態様によれば、

絶縁基板と、前記絶縁基板の上方に配置され第 1 方向に延在した配線と、前記配線を覆う第 1 絶縁膜と、前記第 1 絶縁膜の上に配置され第 1 方向に交差する第 2 方向に延在するとともに前記配線の直上の一部に第 1 方向に延在するスリットが形成された容量線と、前記容量線を覆う第 2 絶縁膜と、前記第 2 絶縁膜の上において画素毎に配置され前記容量線と向かい合うとともにスリットが形成された画素電極と、を備えた第 1 基板と、前記第 1 基板に対向した第 2 基板と、前記第 1 基板と前記第 2 基板との間に保持された液晶層と、前記配線と前記容量線との間の静電容量の変化を検出する検出回路と、を備えたことを特徴とする液晶表示装置が提供される。

20

## 【 0 0 0 7 】

この発明の他の態様によれば、

絶縁基板と、前記絶縁基板の上方に配置され第 1 方向に延在した容量線と、前記容量線を覆う絶縁膜と、前記絶縁膜の上において画素毎に配置され前記容量線と向かい合うとともにスリットが形成された画素電極と、前記絶縁膜の上において前記画素電極の間に配置され第 1 方向に交差する第 2 方向に延在した配線と、を備えた第 1 基板と、前記第 1 基板に対向した第 2 基板と、前記第 1 基板と前記第 2 基板との間に保持された液晶層と、前記配線と前記容量線との間の静電容量の変化を検出する検出回路と、を備えたことを特徴とする液晶表示装置が提供される。

30

## 【 0 0 0 8 】

この発明の他の態様によれば、

絶縁基板と、前記絶縁基板の上方に配置され第 1 方向に延在した第 1 検出要素と、第 1 方向に交差する第 2 方向に延在する第 2 検出要素と、前記第 1 検出要素と前記第 2 検出要素との間に介在する絶縁膜と、を備えた第 1 基板と、前記第 1 基板に対向した第 2 基板と、前記第 1 基板と前記第 2 基板との間に保持された液晶層と、前記第 1 検出要素と前記第 2 検出要素との間の静電容量の変化を検出する検出回路と、を備え、前記第 1 検出要素及び前記第 2 検出要素の少なくとも一方は、前記液晶層の駆動に必要な液晶駆動要素であることを特徴とする液晶表示装置が提供される。

40

## 【 発明の効果 】

## 【 0 0 0 9 】

この発明によれば、接触検出機能を兼ね備えた液晶表示装置を低コストで提供することができる。

## 【 図面の簡単な説明 】

## 【 0 0 1 0 】

【 図 1 】 図 1 は、この発明の一実施の形態における液晶表示装置の構成を概略的に示す図

50

である。

【図 2】図 2 は、図 1 に示した液晶表示パネルの構成及び等価回路を概略的に示す図である。

【図 3】図 3 は、図 2 に示したアレイ基板における画素の構造を対向基板の側から見た概略平面図である。

【図 4】図 4 は、図 3 に示した画素を A - B 線で切断した液晶表示パネルの断面構造を概略的に示す図である。

【図 5】図 5 は、図 3 に示した画素を C - D 線で切断した液晶表示パネルの断面構造を概略的に示す図である。

【図 6】図 6 は、図 2 に示したアレイ基板における画素の他の構造を対向基板の側から見た概略平面図である。

10

【図 7】図 7 は、図 6 に示した画素を E - F 線で切断した液晶表示パネルの断面構造を概略的に示す図である。

【図 8】図 8 は、画素表示モードにおける画像信号の書き込みを説明するための図である。

【図 9】図 9 は、検出モードにおける検出信号の書き込み及び検出動作を説明するための図である。

【図 10】図 10 は、画像表示モードを行う画像信号書込期間と、検出モードを行う検出期間との関係を示すための図である。

【図 11】図 11 は、図 3 に示した画素を C - D 線で切断した液晶表示パネルの他の断面構造を概略的に示す図である。

20

【図 12】図 12 は、図 11 に示したシールド電極を概略的に示す平面図である。

【図 13】図 13 は、図 2 に示したアレイ基板における他の画素の構造を対向基板の側から見た概略平面図である。

【図 14】図 14 は、図 2 に示したアレイ基板における他の画素の構造を対向基板の側から見た概略平面図である。

【図 15】図 15 は、図 14 に示した容量線と補強容量線との接続状態を概略的に示す平面図である。

【図 16】図 16 は、図 2 に示したアレイ基板における他の画素の構造を対向基板の側から見た概略平面図である。

30

【図 17】図 17 は、図 16 に示した容量線と補強容量線との接続状態を概略的に示す平面図である。

【図 18】図 18 は、アレイ基板における画素の他の構造を対向基板の側から見た概略平面図である。

【図 19】図 19 は、図 18 に示した画素を E - F 線で切断した液晶表示パネルの断面構造を概略的に示す図である。

【図 20】図 20 は、アレイ基板における画素の他の構造を対向基板の側から見た概略平面図である。

【図 21】図 21 は、図 18 に示した画素を E - F 線で切断した液晶表示パネルの他の断面構造を概略的に示す図である。

40

【図 22】図 22 は、図 18 に示した画素を E - F 線で切断した液晶表示パネル L P N の他の断面構造を概略的に示す図である。

【図 23】図 23 は、T N モードの液晶表示パネルを構成するアレイ基板の画素の構造を対向基板の側から見た概略平面図である。

【図 24】図 24 は、図 23 に示した画素を G - H 線で切断した液晶表示パネルの断面構造を概略的に示す図である。

【発明を実施するための形態】

【0011】

以下、本発明の一態様について、図面を参照しながら詳細に説明する。なお、各図において、同一又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する説

50

明は省略する。

【 0 0 1 2 】

図 1 は、本実施形態における液晶表示装置の構成を模式的に示す図である。

【 0 0 1 3 】

すなわち、液晶表示装置 1 は、アクティブマトリクスタイプの液晶表示パネル L P N、液晶表示パネル L P N に接続された駆動 I C チップ 2 及びフレキシブル配線基板 3、液晶表示パネル L P N を照明するバックライト 4 などを備えている。

【 0 0 1 4 】

液晶表示パネル L P N は、アレイ基板（第 1 基板）A R と、アレイ基板 A R に対向して配置された対向基板（第 2 基板）C T と、これらのアレイ基板 A R と対向基板 C T との間 10  
に保持された図示しない液晶層と、を備えて構成されている。このような液晶表示パネル L P N は、画像を表示するアクティブエリア A C T を備えている。このアクティブエリア A C T は、 $m \times n$  個のマトリクス状に配置された複数の画素 P X によって構成されている（但し、 $m$  及び  $n$  は正の整数）。

【 0 0 1 5 】

バックライト 4 は、図示した例では、アレイ基板 A R の背面側に配置されている。この 20  
ような場合、対向基板 C T の側に表示面及び接触を検出する検出面が形成されるが、バックライト 4 が対向基板 C T の側に配置された場合には、アレイ基板 A R の側に表示面及び検出面が形成される。このようなバックライト 4 としては、種々の形態が適用可能であり、また、光源として発光ダイオード（L E D）を利用したものや冷陰極管（C C F L）を 20  
利用したものなどのいずれでも適用可能であり、詳細な構造については説明を省略する。

【 0 0 1 6 】

図 2 は、図 1 に示した液晶表示パネル L P N の構成及び等価回路を概略的に示す図である。

【 0 0 1 7 】

アレイ基板 A R は、アクティブエリア A C T において、X 方向に沿ってそれぞれ延出した  $n$  本のゲート配線  $G$ （ $G 1 \sim G n$ ）及び  $n$  本の容量線  $C$ （ $C 1 \sim C n$ ）、X 方向に交差する Y 方向に沿ってそれぞれ延出した  $m$  本のソース配線  $S$ （ $S 1 \sim S m$ ）、各画素 P X においてゲート配線  $G$  及びソース配線  $S$  と電気的に接続された  $m \times n$  個のスイッチング素子  $S W$ 、各画素 P X においてスイッチング素子  $S W$  に各々電気的に接続された  $m \times n$  個の画 30  
素電極 P E、容量線  $C$  の一部であり前記画素電極 P E と向かい合う対向電極 C E などを備えている。保持容量  $C s$  は、容量線  $C$  と画素電極 P E との間に形成される。液晶層 L Q は、画素電極 P E と対向電極 C E との間に介在する。

【 0 0 1 8 】

各ゲート配線  $G$  は、アクティブエリア A C T の外側に引き出され、第 1 駆動回路 G D に接続されている。各ソース配線  $S$  は、アクティブエリア A C T の外側に引き出され、第 2 駆動回路 S D に接続されている。各容量線  $C$  は、アクティブエリア A C T の外側に引き出され、第 3 駆動回路 C D に接続されている。これらの第 1 駆動回路 G D、第 2 駆動回路 S D、及び、第 3 駆動回路 C D は、アレイ基板 A R に形成され、駆動 I C チップ 2 と接続さ 40  
れている。

【 0 0 1 9 】

図示した例では、駆動 I C チップ 2 は、液晶表示パネル L P N のアクティブエリア A C T の外側において、アレイ基板 A R の上に実装されている。なお、フレキシブル配線基板の図示は省略しており、アレイ基板 A R には、フレキシブル配線基板を接続するための端子 T が形成されている。これらの端子 T は、各種配線を介して駆動 I C チップ 2 に接続されている。

【 0 0 2 0 】

本実施形態において、駆動 I C チップ 2 は、アクティブエリア A C T に画像を表示する画像表示モードにおいて各画素 P X の画素電極 P E に画像信号を書き込むのに必要な制御を行う画像信号書込回路 2 A と、検出面において物体の接触を検出する検出モードにおい 50

て容量線 C とソース配線 S との間の静電容量の変化を検出する検出回路 2 B と、を備えている。詳細については後述する。

【 0 0 2 1 】

また、図示した例の液晶表示パネル L P N は、アレイ基板 A R に画素電極 P E 及び対向電極 C E を備え、これらの間に形成される横電界（すなわち、基板の主面にほぼ平行な電界）を主に利用して液晶層 L Q を構成する液晶分子をスイッチングする F r i n g e F i e l d S w i t c h i n g ( F F S ) モードを適用している。

【 0 0 2 2 】

まず、本実施形態における第 1 構成例の液晶表示パネル L P N について説明する。

【 0 0 2 3 】

図 3 は、図 2 に示したアレイ基板 A R における画素 P X の構造を対向基板 C T の側から見た概略平面図である。

【 0 0 2 4 】

ゲート配線 G は X 方向に延在している。ソース配線 S は Y 方向に延在している。スイッチング素子 S W は、ゲート配線 G とソース配線 S との交差部近傍に配置され、例えば、薄膜トランジスタ ( T F T ) によって構成されている。このスイッチング素子 S W は、半導体層 S C を備えている。この半導体層 S C は、例えば、ポリシリコンやアモルファスシリコンなどによって形成可能であり、ここではポリシリコンによって形成されている。

【 0 0 2 5 】

スイッチング素子 S W のゲート電極 W G は、半導体層 S C の直上に位置し、ゲート配線 G に電氣的に接続されている（図示した例では、ゲート電極 W G は、ゲート配線 G と一体的に形成されている）。スイッチング素子 S W のソース電極 W S は、ソース配線 S に電氣的に接続されている（図示した例では、ソース電極 W S は、ソース配線 S と一体的に形成されている）。スイッチング素子 S W のドレイン電極 W D は、画素電極 P E に電氣的に接続されている。

【 0 0 2 6 】

容量線 C は、X 方向に延在している。すなわち、容量線 C は、各画素 P X に配置されるとともにソース配線 S の上方に延在し、X 方向に隣接する各画素 P X に共通である。この容量線 C は、各画素 P X に対応して形成された対向電極 C E を含んでいる。各対向電極 C E は、一体的に形成され、ソース配線 S の上方で互いに電氣的に接続されている。図示した例では、容量線 C は、Y 方向に隣接する 2 つのゲート配線 G の間において X 方向に並んだ 1 行分の複数の画素 P X に対して共通である。

【 0 0 2 7 】

このような容量線 C のうち、ソース配線 S の直上の一部には、Y 方向に延在するスリット C S L が形成されている。図示した例では、スリット C S L は、同一ソース配線 S の直上において、2 箇所形成されている。これらの各スリット C S L は、隣接する 2 本のゲート配線 G のそれぞれの近傍から、これらのゲート配線 G の間の略中央に向かってそれぞれ延在している。換言すると、X 方向に隣接する各対向電極 C E は、隣接する 2 本のゲート配線 G の間の略中央において、ソース配線 S の上方で接続されている。

【 0 0 2 8 】

各画素 P X の画素電極 P E は、対向電極 C E の上方に配置されている。各画素電極 P E は、各画素 P X において画素形状に対応した島状、例えば、略四角形に形成されている。これらの画素電極 P E は、各々スイッチング素子 S W のドレイン電極 W D に接続されている。このような各画素電極 P E には、スリット P S L が形成されている。図示した例では、1 画素電極 P E につき、4 本のスリット P S L が Y 方向に延在している。勿論、これらのスリット P S L は、対向電極 C E の上方に形成されている。

【 0 0 2 9 】

図 4 は、図 3 に示した画素 P X を A - B 線で切断した液晶表示パネル L P N の断面構造を概略的に示す図である。

【 0 0 3 0 】

10

20

30

40

50

すなわち、アレイ基板ARは、ガラス板などの光透過性を有する絶縁基板20を用いて形成されている。このアレイ基板ARは、絶縁基板20の内面(すなわち液晶層LQに対向する面)にスイッチング素子SWを備えている。ここに示したスイッチング素子SWは、トップゲート型の薄膜トランジスタである。半導体層SCは、絶縁基板20の上に配置されている。このような半導体層SCは、ゲート絶縁膜21によって覆われている。また、ゲート絶縁膜21は、絶縁基板20の上にも配置されている。

**【0031】**

スイッチング素子SWのゲート電極WGは、ゲート絶縁膜21の上に配置され、半導体層SCの直上に位置している。このようなゲート電極WGは、第1層間絶縁膜22によって覆われている。また、第1層間絶縁膜22は、ゲート絶縁膜21の上にも配置されている。これらのゲート絶縁膜21及び第1層間絶縁膜22は、例えば窒化シリコン(SiN)などの無機系材料によって形成されている。

10

**【0032】**

スイッチング素子SWのソース電極WS及びドレイン電極WDは、第1層間絶縁膜22の上に配置されている。これらのソース電極WS及びドレイン電極WDは、ゲート絶縁膜21及び第1層間絶縁膜22を貫通するコンタクトホールを介して半導体層SCにコンタクトしている。これらのゲート電極WG、ソース電極WS、及び、ドレイン電極WDは、例えば、モリブデン、アルミニウム、タングステン、チタンなどの導電材料によって形成されている。

**【0033】**

ソース電極WS及びドレイン電極WDは、有機絶縁膜23によって覆われている。また、この有機絶縁膜23は、第1層間絶縁膜22の上にも配置されている。

20

**【0034】**

容量線Cあるいは対向電極CEは、有機絶縁膜23の上に配置されている。容量線Cあるいは対向電極CEは、第2層間絶縁膜24によって覆われている。また、この第2層間絶縁膜24は、有機絶縁膜23の上にも配置されている。

**【0035】**

画素電極PEは、第2層間絶縁膜24の上に配置されている。この画素電極PEは、有機絶縁膜23及び第2層間絶縁膜24を貫通するコンタクトホールを介してドレイン電極WDに接続されている。この画素電極PEには、スリットPSLが形成されている。容量線Cあるいは対向電極CEと、画素電極PEとは、ともに光透過性を有する導電材料、例えば、インジウム・ティン・オキサイド(ITO)やインジウム・ジンク・オキサイド(IZO)などによって形成されている。第2層間絶縁膜24を介して向かい合う画素電極PEと対向電極CEとは保持容量CSを形成する。画素電極PEは、配向膜25によって覆われている。この配向膜25は、アレイ基板ARの液晶層LQに接する面に配置されている。

30

**【0036】**

一方、対向基板CTは、ガラス板などの光透過性を有する絶縁基板30を用いて形成されている。この対向基板CTは、絶縁基板30の内面(すなわち液晶層LQに対向する面)に、各画素PXを区画するブラックマトリクス31及びカラーフィルタ32を備えている。

40

**【0037】**

ブラックマトリクス31は、絶縁基板30上において、アレイ基板ARに設けられたゲート配線Gやソース配線S、さらにはスイッチング素子SWなどの配線部に対向するように配置されている。このブラックマトリクス31は、例えば黒色に着色された樹脂材料やクロム(Cr)などの遮光性の金属材料によって形成されている。

**【0038】**

カラーフィルタ32は、絶縁基板30の上に配置され、互いに異なる複数の色、例えば赤色、青色、緑色といった3原色にそれぞれ着色された樹脂材料によって形成されている。赤色に着色された樹脂材料は赤色画素に対応して配置され、同様に、青色に着色された

50

樹脂材料は青色画素に対応して配置され、緑色に着色された樹脂材料は緑色画素に対応して配置されている。

【0039】

上述したような横電界を利用した液晶モードにおいては、対向基板CTの液晶層LQに接する面が平坦であることが望ましく、対向基板CTは、さらに、ブラックマトリクス31及びカラーフィルタ32の表面の凹凸を平坦化するオーバーコート層33を備えている。図示した例では、オーバーコート層33は、ブラックマトリクス31及びカラーフィルタ32の上に配置されている。オーバーコート層33は、配向膜34によって覆われている。配向膜34は、対向基板CTの液晶層LQに接する面に配置されている。配向膜25及び34は、例えばポリイミドによって形成されている。

10

【0040】

上述したようなアレイ基板ARと対向基板CTとは、それぞれの配向膜25及び配向膜34が向かい合うように配置されている。このとき、アレイ基板ARと対向基板CTの間には、図示しないスペーサ（例えば、樹脂材料によって一方の基板に一体的に形成された柱状スペーサ）が配置され、これにより、所定のギャップが形成される。アレイ基板ARと対向基板CTとは、所定のギャップが形成された状態でシール材によって貼り合わせられている。

【0041】

液晶層LQは、これらのアレイ基板ARの配向膜25と対向基板CTの配向膜34との間に形成されたギャップに封入された液晶組成物によって構成されている。

20

【0042】

液晶表示パネルLPNの一方の外面、すなわちアレイ基板ARを構成する絶縁基板20の外面には、偏光板PL1が配置されている。また、液晶表示パネルLPNの他方の外面、すなわち対向基板CTを構成する絶縁基板30の外面には、偏光板PL2が配置されている。特に、図示した例では、絶縁基板30と偏光板PL2との間には、シールド電極は介在していない。

【0043】

図5は、図3に示した画素PXをC-D線で切断した液晶表示パネルLPNの断面構造を概略的に示す図である。なお、図4を参照して説明した構成と同一構成については同一の参照符号を付して詳細な説明を省略する。

30

【0044】

ソース配線Sは、第1層間絶縁膜22の上に配置されている。上述したように、ソース配線Sは、図示しないソース電極と一体的に形成されており、ソース電極と同一層に配置されている。ソース配線Sは、ソース電極と同様に、有機絶縁膜23によって覆われている。

【0045】

対向電極CEは、隣接する2本のソース配線Sの間に配置されている。これらのソース配線Sの直上には、容量線Cに形成されたスリットCSLが位置している。スリットCSLが形成された位置では、有機絶縁膜23の上に第2層間絶縁膜24が配置されている。画素電極PEは、第2層間絶縁膜24の上において対向電極CEと向かい合っている。画素電極PEのスリットPSLは、例えば5~6μmのピッチで形成されている。

40

【0046】

アレイ基板ARと対向基板CTとの間のギャップ、つまり、配向膜25と配向膜34との間の液晶層LQの層厚は、例えば、3μmである。

【0047】

また、対向基板CTのブラックマトリクス31は、ソース配線Sの直上であって、容量線CのスリットCSLの上方に位置している。

【0048】

図5に示した例においては、偏光板PL1と向かい合う側に、図示しないバックライトが配置され、偏光板PL2の表面が検出面となる。また、この図5に示した例においては

50

、有機絶縁膜 23 はソース配線 S を覆うとともに容量線 C の下地となる第 1 絶縁膜に相当し、第 2 層間絶縁膜 24 は容量線 C を覆うとともに画素電極 P E の下地となる第 2 絶縁膜に相当する。また、ソース配線 S 及び容量線 C はそれぞれ液晶層 L Q の駆動に必要な液晶駆動要素に相当するとともに物体の検出に必要な検出要素に相当し、第 2 層間絶縁膜 24 は 2 つの検出要素の間に介在する絶縁膜に相当する。

【 0 0 4 9 】

図 6 は、図 2 に示した液晶表示パネル L P N の他の断面構造を概略的に示す図である。この図 6 に示した例では、スイッチング素子 S W がアモルファスシリコンの半導体層 S C を具備した点と、容量線 C にスリットが形成されていない点とで図 3 に示した例と相違している。

10

【 0 0 5 0 】

ゲート配線 G の一部は、スイッチング素子 S W のゲート電極 W G をなしている。アモルファスシリコンからなる半導体層 S C は、ゲート電極 W G の直上に位置している。容量線 C は、X 方向に延在し、帯状に形成されている。すなわち、この容量線 C には、スリットが形成されていない。この容量線 C は、各画素 P X に対応して形成された対向電極 C E を含んでいる。なお、他の構成については、図 3 に示した例と同一である。

【 0 0 5 1 】

図 7 は、図 6 に示した画素 P X を E - F 線で切断した液晶表示パネル L P N の断面構造を概略的に示す図である。

【 0 0 5 2 】

アレイ基板 A R において、対向電極 C E を含む容量線 C は、絶縁基板 20 の上に配置され、第 1 層間絶縁膜 21 によって覆われている。ソース配線 S は、第 1 層間絶縁膜 21 の上に配置され、有機絶縁膜 23 によって覆われている。ソース配線 S の直下の容量線 C には、スリットは形成されていない。画素電極 P E は、有機絶縁膜 23 の上に配置されている。アレイ基板 A R の他の構成や対向基板 C T の構成については、図 5 に示した例と同一である。

20

【 0 0 5 3 】

次に、上述した構成の液晶表示パネル L P N を備えた液晶表示装置における画像表示モード及び検出モードについて説明する。

【 0 0 5 4 】

図 8 は、画素表示モードにおける画像信号の書き込みを説明するための図である。

30

【 0 0 5 5 】

画像信号書込回路 2 A は、第 1 駆動回路 G D を制御して各ゲート配線 G に対して図示しないスイッチング素子 S W をオン状態とする制御信号を出力する。また、画像信号書込回路 2 A は、第 2 駆動回路 S D を制御して各ソース配線 S に対して画像信号を出力する。ソース配線 S に出力された画像信号は、オン状態のスイッチング素子 S W を介して図示しない画素電極 P E へ書き込まれる。一方で、画像信号書込回路 2 A は、第 3 駆動回路 C D を制御して各容量線 C に対してコモン電圧を印加する。

【 0 0 5 6 】

これにより、画素電極 P E と容量線 C の対向電極 C E との間の液晶層 L Q に対し、画像信号相当の電圧が印加される。液晶層 L Q では、印加された電圧に応じて液晶分子が配向し、液晶層 L Q を透過する光に対する変調率が変化する。このため、バックライトから出射され液晶表示パネル L P N に入射したバックライト光は、画素電極 P E - 対向電極 C E 間の電圧に依存して選択的に偏光板 P L 2 を透過する。これにより、表示面に画像信号に対応した画像が表示される。

40

【 0 0 5 7 】

図 9 は、検出モードにおける検出信号の書き込み及び検出動作を説明するための図である。なお、検出モードにおいては、画素電極 P E はフローティングの状態にある。

【 0 0 5 8 】

検出回路 2 B は、第 3 駆動回路 C D を制御して容量線 C に対して検出信号を書き込む。

50

ここでは、検出信号は、例えば交流信号である。このとき、第3駆動回路CDは、複数の容量線C、図示した例では、隣り合う4本の容量線Cに対して同時に検出信号を書き込む。これは、容量線Cを複数本ずつ束ねてブロックを形成し、これらの容量線Cを検出要素として利用するものである。詳述しないが、第3駆動回路CDは、例えば、各容量線Cに接続された1以上のスイッチを含み、画像表示モードにおいては順次スイッチをオンさせて容量線Cにコモン電圧を印加するのに対して、検出モードにおいては複数本の容量線Cに接続させたスイッチを同時にオンさせて検出信号を書き込む。

**【0059】**

一方で、検出回路2Bは、第2駆動回路SDを制御して各ソース配線Sをプリチャージする。容量線Cには交流の検出信号が書き込まれるため、ソース配線Sの電位が変動する。検出回路2Bは、このときのソース配線Sの電位変動を読み取る。検出面に物体が接近または接触した場合には、容量線Cとソース配線Sとの間の静電容量が変化する。このような静電容量の変化に伴って、ソース配線Sの電位変動も変化する。このため、検出回路2Bでは、ソース配線Sの電位変動の変化もしくは電流値の変化をモニタすることにより、容量線Cとソース配線Sとの間の静電容量の変化、つまり、検出面への物体の接近または接触が検出される。

10

**【0060】**

なお、第2駆動回路SDは、複数のソース配線S、図示した例では、隣り合う12本のソース配線Sから同時に電位変動もしくは電流値変動を読み取る。これは、ソース配線Sを複数本ずつ束ねてブロックを形成し、これらのソース配線Sを検出要素として利用するものである。詳述しないが、第2駆動回路SDは、例えば、各ソース配線Sに接続された1以上のスイッチを含み、画像表示モードにおいては順次スイッチをオンさせてソース配線Sに画像信号を書き込むのに対して、検出モードにおいては複数本のソース配線Sに接続させたスイッチを同時にオンさせてプリチャージした後に電位変動もしくは電流値変動を読み取る。

20

**【0061】**

なお、図示した例では、容量線Cに検出信号を書き込み、ソース配線Sから静電容量の変化に伴った電位変動を読み取ったが、ソース配線Sに検出信号を書き込み、容量線Cから静電容量の変化に伴った電位変動を読み取っても良い。また、検出モードにおいて、容量線C及びソース配線Sを束ねる本数については必要な検出感度に応じて適宜設定される。

30

**【0062】**

また、この検出モードにおいて、検出要素である容量線Cやソース配線Sの束ねる組み合わせをタイミング毎に変えても良い。例えば、第1のタイミングでは、隣り合った複数本の検出要素（容量線Cやソース配線S）を束ね、第2のタイミングでは、適度に束ねる組み合わせを変えることで、検出の精度を改善する事ができる。たとえば、最初に束ねた複数本と隣接する複数本から半分ずつの検出要素を束ねたり、1本おきの検出要素を束ねたり、2本おきの検出要素を束ねるなどしても良い。このような束ねる組み合わせは、各検出要素に接続されたスイッチの組み合わせで自在に変更可能である。

**【0063】**

図10は、画像表示モードを行う画像信号書込期間と、検出モードを行う検出期間との関係を説明するための図である。

40

**【0064】**

フレーム周波数が60Hzの場合、1フレーム期間は約16.6msである。1フレームは、画像信号書込期間と、これに続く検出期間とを含んでいる。検出期間は、例えば、次フレームの画像信号書込期間までのブランキング期間である。検出期間においては、上述したように、ソース配線S及び容量線Cを検出要素として用い、検出要素に検出信号を書き込み、ソース配線Sと容量線Cとの間の静電容量の変化を検出する。

**【0065】**

この検出期間では、容量線Cのブロック毎に順次ソース配線Sの各ブロックの検出動作

50

を行う。

【0066】

なお、次フレームでの表示画像への影響を低減するため、容量線Cの電位は、書き込んだ検出信号相当の電位から、検出信号を書き込む前の元の電位に戻しておくことが望ましい。また、容量線Cの交流信号平均電位は、元の電位と同じであることが望ましい。

【0067】

上述した本実施形態の第1構成例によれば、液晶表示パネルLPNを構成するソース配線S及び容量線Cを検出要素として利用したことにより、検出面での物体を検出するための専用の検出要素を必要とせず、検出機能を兼ね備えた液晶表示装置を低コストで提供することが可能となる。

10

【0068】

また、複数のソース配線S及び複数の容量線Cに対して同時に検出信号を書き込んだり、これらから同時に静電容量の変化を読み取ったりすることにより、検出感度を向上することが可能となる。

【0069】

さらに、検出要素を内蔵した液晶表示パネルLPNのアレイ基板ARに対して、画像信号書込回路2Aと検出回路2Bとが一体的に形成された駆動ICチップ2が実装されるため、更なる外付けの素子が不要であり、小型化に有利である。

【0070】

なお、偏光板PL2の表面が検出面となり、この検出面での物体の検出のための検出要素としてアレイ基板ARのソース配線S及び容量線Cを利用するため、検出面から検出要素まで間に全面ベタに形成されるシールド電極は配置されていない。つまり、対向基板CTを構成する絶縁基板30の外面には偏光板PL2が接着されている。

20

【0071】

図11に示した例は、絶縁基板30の外面にメッシュタイプのシールド電極SEを配置した点で図5に示した例と相違している。図12は、図10に示したシールド電極SEを概略的に示す平面図である。

【0072】

すなわち、このシールド電極SEは、光透過性を有する導電材料によって形成されている。また、シールド電極SEには、複数の開口APが形成されており、少なくとも検出領域上が切りかかっている。なお、開口APの形状及びレイアウトは図示した例に限らない。例えば、開口APは、画素PXの直上に形成されても良い。この場合、ブラックマトリクス31の直上にシールド電極SEが形成される。

30

【0073】

このようなシールド電極SEは、画像表示モードにおいて外部環境からの静電気などの液晶分子を駆動するのに不要な電気的要素をシールドする。このため、不所望な電界の液晶層LQへの進入を抑制することが可能である。

【0074】

なお、図示を省略するが、図11のシールド電極SEに代えて偏光板PL2を絶縁基板30の外面に接着するための導電性糊を配置しても良い。

40

【0075】

図13に示した例は、容量線Cに形成されるスリットCSLが図3に示した例と相違している。

【0076】

すなわち、図13に示した例では、容量線Cは、X方向に隣接する各画素PXに対応して形成された対向電極CEを含んでおり、Y方向に隣接する2つのゲート配線Gの間に配置されている。スリットCSLは、同一ソース配線Sの直上において、1箇所形成されている。このスリットCSLは、隣接する2本のゲート配線Gの間の略中央に形成され、Y方向に延在している。換言すると、X方向に隣接する各対向電極CEは、隣接する2本のゲート配線Gの近傍において、ソース配線Sの上方で接続されている。

50

## 【 0 0 7 7 】

ソース配線 S の直上のスリット C S L は、検出感度向上の観点から、できるだけ大きな面積にわたって形成されることが望ましい。しかしながら、その一方で、容量線 C において、スリット C S L の面積を拡大すると、隣接する対向電極 C E を電氣的に接続する部分の面積が小さくなってしまうため、容量線 C としての抵抗が増大する傾向にある。

## 【 0 0 7 8 】

図 1 4 に示した例は、容量線 C と電氣的に接続された補強容量線 C R を配置した点で図 1 3 に示した例と相違している。図 1 5 は、図 1 4 に示した容量線 C と補強容量線 C R との接続状態を概略的に示す平面図である。

## 【 0 0 7 9 】

すなわち、補強容量線 C R は、X 方向に延在している。この補強容量線 C R は、例えば容量線 C よりも下層に配置され、ここではソース配線 S よりも下層であってゲート配線 G と同一層に配置されている。また、この補強容量線 C R は、ゲート配線 G と同一材料を用いて同一工程で形成可能である。このような補強容量線 C R と容量線 C とは、各画素 P X に形成されたコンタクトホール C H を介して電氣的に接続されている。補強容量線 C R には、接続される容量線 C と同電位が印加されている。

## 【 0 0 8 0 】

図 1 6 に示した例は、容量線 C と電氣的に接続された補強容量線 C R をゲート線 G とは別工程で形成した点で図 1 4 に示した例と相違している。図 1 7 は、図 1 6 に示した容量線 C と補強容量線 C R との接続状態を概略的に示す平面図である。

## 【 0 0 8 1 】

補強容量線 C R は、容量線 C のスリット C S L 以外の部分に X 方向に延在している。この補強容量線 C R は、例えば容量線 C と同一層に形成されており、補強容量線 C R と容量線 C とは、直接電氣的に接続されている。補強容量線 C R には、接続される容量線 C と同電位が印加されている。

## 【 0 0 8 2 】

補強容量線 C R と容量線 C は層間絶縁膜を介して異なる層に配置されても良い。その場合はコンタクトホールを介して補強容量線 C R と容量線 C は電氣的に接続させる。

## 【 0 0 8 3 】

このような構成によれば、スリット C S L の形成による容量線 C の高抵抗化を抑制することが可能となる。

## 【 0 0 8 4 】

次に、本実施形態における第 2 構成例の液晶表示パネル L P N について説明する。

## 【 0 0 8 5 】

図 1 8 は、アレイ基板 A R における画素 P X の他の構造を対向基板 C T の側から見た概略平面図である。なお、第 1 構成例と同一の構成については、同一の参照符号を付して詳細な説明を省略する。

## 【 0 0 8 6 】

ゲート配線 G は X 方向に延在している。ソース配線 S は Y 方向に延在している。スイッチング素子 S W は、ゲート配線 G とソース配線 S との交差部近傍に配置されている。

## 【 0 0 8 7 】

容量線 C は、X 方向に延在し、帯状に形成されている。すなわち、この容量線 C には、第 1 構成例で説明したようなスリットは形成されていない。この容量線 C は、各画素 P X に対応して形成された対向電極 C E を含んでいる。各対向電極 C E は、一体的に形成され、ソース配線 S の上方で互いに電氣的に接続されている。図示した例では、容量線 C は、Y 方向に隣接する 2 つのゲート配線 G の間において X 方向に並んだ 1 行分の複数の画素 P X に対して共通である。

## 【 0 0 8 8 】

各画素 P X の画素電極 P E は、対向電極 C E の上方に配置され、スイッチング素子 S W に電氣的に接続されている。

10

20

30

40

50

## 【 0 0 8 9 】

また、この第2構成例においては、X方向に隣接する画素電極PEの間に検出配線Dが配置された点で図3などに示した第1構成例と相違している。つまり、第2構成例においては、ソース配線Sを検出要素として利用する代わりに検出配線Dを検出要素として利用する。この検出配線Dは、Y方向に延在している。図示した例では、検出配線Dは、ソース配線Sの上方に配置されている。

## 【 0 0 9 0 】

図19は、図18に示した画素PXをE-F線で切断した液晶表示パネルLPNの断面構造を概略的に示す図である。

## 【 0 0 9 1 】

すなわち、アレイ基板ARを構成する絶縁基板20の内面は、ゲート絶縁膜21によって覆われている。ゲート絶縁膜21の上には、第1層間絶縁膜22が配置されている。ソース配線Sは、第1層間絶縁膜22の上に配置されている。このソース配線Sは、有機絶縁膜23によって覆われている。

## 【 0 0 9 2 】

容量線Cあるいは対向電極CEは、有機絶縁膜23の上に配置されている。容量線Cあるいは対向電極CEは、第2層間絶縁膜24によって覆われている。また、この第2層間絶縁膜24は、有機絶縁膜23の上にも配置されている。

## 【 0 0 9 3 】

画素電極PEは、第2層間絶縁膜24の上に配置されている。また、検出配線Dも、第2層間絶縁膜24の上に配置され、画素電極PEと同一層に配置されている。この検出配線Dは、ソース配線Sの直上であり、しかも、容量線Cの上方に位置している。これらの画素電極PE及び検出配線Dは、配向膜25によって覆われている。

## 【 0 0 9 4 】

一方、対向基板CTを構成する絶縁基板30の内面には、ブラックマトリクス31及びカラーフィルタ32が配置されている。ブラックマトリクス31は、ソース配線S及び検出配線Dの直上に位置している。オーバーコート層33は、ブラックマトリクス31及びカラーフィルタ32の上に配置されている。オーバーコート層33は、配向膜34によって覆われている。

## 【 0 0 9 5 】

液晶層LQは、アレイ基板ARの配向膜25と対向基板CTの配向膜34との間に保持されている。

## 【 0 0 9 6 】

液晶表示パネルLPNの一方の外面、すなわちアレイ基板ARを構成する絶縁基板20の外面には、偏光板PL1が配置されている。また、液晶表示パネルLPNの他方の外面、すなわち対向基板CTを構成する絶縁基板30の外面には、偏光板PL2が配置されている。特に、図示した例では、絶縁基板30と偏光板PL2との間には、シールド電極は介在していないが、図11に示したようなメッシュタイプのシールド電極SEが配置されても良いし、偏光板PL2を絶縁基板30に接着するための導電性糊が介在していても良い。

## 【 0 0 9 7 】

図19に示した例においては、偏光板PL1と向かい合う側に、図示しないバックライトが配置され、偏光板PL2の表面が検出面となる。また、この図19に示した例においては、第2層間絶縁膜24は容量線Cを覆うとともに画素電極PEの下地となる絶縁膜に相当する。また、容量線Cは液晶駆動要素に相当し、また、検出配線D及び容量線Cはそれぞれ検出要素に相当し、第2層間絶縁膜24は2つの検出要素の間に介在する絶縁膜に相当する。

## 【 0 0 9 8 】

この第2構成例において、画像表示モードは第1構成例で説明した通りであり、検出モードについてはソース配線Sの役割を検出配線Dに置き換えることで実現できる。

10

20

30

40

50

## 【0099】

このような第2構成例によれば、液晶表示パネルLPNのアレイ基板ARに備えられた容量線C及び検出配線Dを検出要素として利用したことにより、検出機能を兼ね備えた液晶表示装置を低コストで提供することが可能となる。

## 【0100】

また、容量線Cにスリットを形成する必要がないため、補強容量線などを必要とすることなく、容量線Cの高抵抗化を抑制することが可能となる。

## 【0101】

図18などに示した例では、検出配線Dは、各ソース配線Sの直上に配置（つまり、アクティブエリアACTに配置されたソース配線Sの本数と同数の検出配線Dが配置）されたが、この例に限定されない。例えば、検出配線Dは間引いて配置されても良い。

10

## 【0102】

図20は、アレイ基板ARにおける画素PXの他の構造を対向基板CTの側から見た概略平面図である。ここでは、X方向に並んだ6個の画素PXが図示されている。

## 【0103】

検出配線Dは、X方向に並んだ3個の画素PXにつき1本の割合で配置されている。より具体的には、検出配線D1は、画素電極PE1とこれに隣接する画素電極PE2との間に配置され、ソース配線Sの上方に位置している。なお、画素電極PE2とこれに隣接する画素電極PE3との間には検出配線Dが配置されていない。また、検出配線D2は、画素電極PE4とこれに隣接する画素電極PE5との間に配置され、ソース配線Sの上方に位置している。なお、画素電極PE5とこれに隣接する画素電極PE6との間には検出配線Dが配置されていない。また、画素電極PE3と画素電極PE4との間にも検出配線Dが配置されていない。

20

## 【0104】

換言すると、X方向に隣接する2本の検出配線D1 - D2の間には、3個の画素電極PE2、PE3、及び、PE4が配置されている。図示した例では、検出配線Dは、3画素置きに配置されているが、これに限らず、複数画素置きに配置されても良い。つまり、隣接する検出配線Dの間に、複数の画素電極PEが配置されても良い。

## 【0105】

図19に示した例では、検出配線Dと画素電極PEとが同一層に配置されたが、検出配線Dと画素電極PEとが層間絶縁膜を介して異なる層に配置されも良い。

30

## 【0106】

図21は、図18に示した画素PXをE - F線で切断した液晶表示パネルLPNの他の断面構造を概略的に示す図である。

## 【0107】

検出配線Dは、第2層間絶縁膜24の上に配置されている。この検出配線Dは、ソース配線Sの上方に位置している。対向電極CEを含む容量線Cにはスリットが形成されていないため、ソース配線Sと検出配線Dとの間には、容量線Cが位置している。このような検出配線Dは、第3層間絶縁膜26によって覆われている。この第3層間絶縁膜26は、第2層間絶縁膜24の上にも配置されている。

40

## 【0108】

画素電極PEは、第3層間絶縁膜26の上に配置されている。この画素電極PEは、第2層間絶縁膜24及び第3層間絶縁膜26を挟んで、対向電極CEの上方に位置している。このような画素電極PEには、スリットPSLが形成されている。また、画素電極PEは、配向膜25によって覆われている。

## 【0109】

なお、アレイ基板ARの他の構成や対向基板CTの構成については、図19に示した例と同一である。

## 【0110】

また、検出配線D及び画素電極PEの位置関係は、図21に示した例に限らず、両者の

50

位置関係を逆にしても良い。つまり、画素電極 P E が第 2 層間絶縁膜 2 4 の上に配置される一方で、検出配線 D が第 3 層間絶縁膜 2 6 の上に配置されても良い。

【 0 1 1 1 】

図 2 2 は、図 1 8 に示した画素 P X を E - F 線で切断した液晶表示パネル L P N の他の断面構造を概略的に示す図である。

【 0 1 1 2 】

対向電極 C E を含む容量線 C は、第 2 層間絶縁膜 2 4 によって覆われている。この第 2 層間絶縁膜 2 4 は、隣接する 2 本のソース配線 S の間の領域に凹部 2 4 A を有するとともにソース配線 S の直上に凸部 2 4 B を有している。このような第 2 層間絶縁膜 2 4 は単層構造であっても良いが、複数層を積層した構造であっても良い。

10

【 0 1 1 3 】

検出配線 D 及び画素電極 P E は、図 1 9 に示した例と同様に、第 2 層間絶縁膜 2 4 の上に配置されている。但し、画素電極 P E は第 2 層間絶縁膜 2 4 の凹部 2 4 A に配置され、検出配線 D は第 2 層間絶縁膜 2 4 の凸部 2 4 B に配置されている。

【 0 1 1 4 】

ソース配線 S の上方には有機絶縁膜 2 3 を挟んで容量線 C が配置されており、さらに上方には容量線 C との間に第 2 層間絶縁膜 2 4 を挟んで検出配線 D が配置されている。一方で、対向電極 C E の上方には第 2 層間絶縁膜 2 4 を挟んでスリット P S L が形成された画素電極 P E が配置されている。これらの検出配線 D 及び画素電極 P E は、配向膜 2 5 によって覆われている。

20

【 0 1 1 5 】

なお、アレイ基板 A R の他の構成や対向基板 C T の構成については、図 1 9 に示した例と同一である。

【 0 1 1 6 】

また、検出配線 D 及び画素電極 P E の位置関係は、図 2 2 に示した例に限らず、両者の位置関係を逆にしても良い。つまり、画素電極 P E が第 2 層間絶縁膜 2 4 の凸部 2 4 B に配置される一方で、検出配線 D が第 2 層間絶縁膜 2 4 の凹部 2 4 A に配置されても良い。

【 0 1 1 7 】

以上説明した実施形態においては、液晶表示パネル L P N が F F S モードを適用した構成について述べたが、他の液晶モードの液晶表示パネルを適用しても良い。

30

【 0 1 1 8 】

図 2 3 は、ツイステッド・ネマティック ( T N ) モードの液晶表示パネルを構成するアレイ基板 A R の画素 P X の構造を対向基板 C T の側から見た概略平面図である。

【 0 1 1 9 】

ゲート配線 G は X 方向に延在している。ソース配線 S は Y 方向に延在している。半導体層 S C を備えたスイッチング素子 S W は、ゲート配線 G とソース配線 S との交差点近傍に配置されている。

【 0 1 2 0 】

スイッチング素子 S W のゲート電極 W G は、半導体層 S C の直上に位置し、ゲート配線 G に電氣的に接続されている。スイッチング素子 S W のソース電極 W S は、ソース配線 S に電氣的に接続されている。スイッチング素子 S W のドレイン電極 W D は、画素電極 P E に電氣的に接続されている。容量線 C は、X 方向に延在している。各画素 P X の画素電極 P E は、容量線 C の上方に配置されている。

40

【 0 1 2 1 】

図 2 4 は、図 2 3 に示した画素 P X を G - H 線で切断した液晶表示パネル L P N の断面構造を概略的に示す図である。

【 0 1 2 2 】

すなわち、アレイ基板 A R を構成する絶縁基板 2 0 の内面には、容量線 C が形成されている。この容量線 C は、層間絶縁膜 2 7 によって覆われている。スイッチング素子 S W の半導体層 S C は、層間絶縁膜 2 7 の上に配置されている。このような半導体層 S C は、ゲ

50

ート絶縁膜 2 1 によって覆われている。また、ゲート絶縁膜 2 1 は、層間絶縁膜 2 7 の上にも配置されている。

【 0 1 2 3 】

スイッチング素子 S W のゲート電極 W G は、ゲート絶縁膜 2 1 の上に配置され、半導体層 S C の直上に位置している。このようなゲート電極 W G は、第 1 層間絶縁膜 2 2 によって覆われている。また、第 1 層間絶縁膜 2 2 は、ゲート絶縁膜 2 1 の上にも配置されている。

【 0 1 2 4 】

スイッチング素子 S W のソース電極 W S 及びドレイン電極 W D は、第 1 層間絶縁膜 2 2 の上に配置されている。これらのソース電極 W S 及びドレイン電極 W D は、ゲート絶縁膜 2 1 及び第 1 層間絶縁膜 2 2 を貫通するコンタクトホールを介して半導体層 S C にコンタクトしている。また、ソース配線 S も、第 1 層間絶縁膜 2 2 の上に配置されている。

【 0 1 2 5 】

ソース電極 W S 、ドレイン電極 W D 、及び、ソース配線 S は、有機絶縁膜 2 3 によって覆われている。また、この有機絶縁膜 2 3 は、第 1 層間絶縁膜 2 2 の上にも配置されている。

【 0 1 2 6 】

画素電極 P E は、有機絶縁膜 2 3 の上に配置されている。この画素電極 P E は、有機絶縁膜 2 3 を貫通するコンタクトホールを介してドレイン電極 W D に接続されている。画素電極 P E は、配向膜 2 5 によって覆われている。

【 0 1 2 7 】

一方、対向基板 C T を構成する絶縁基板 3 0 の内面には、ブラックマトリクス 3 1 及びカラーフィルタ 3 2 が配置されている。オーバーコート層 3 3 は、ブラックマトリクス 3 1 及びカラーフィルタ 3 2 の上に配置されている。オーバーコート層 3 3 の上には、対向電極 C E が配置されている。対向電極 C E は、配向膜 3 4 によって覆われている。

【 0 1 2 8 】

液晶層 L Q は、アレイ基板 A R の配向膜 2 5 と対向基板 C T の配向膜 3 4 との間に保持されている。

【 0 1 2 9 】

アレイ基板 A R を構成する絶縁基板 2 0 の外面には、偏光板 P L 1 が配置されている。また、対向基板 C T を構成する絶縁基板 3 0 の外面には、偏光板 P L 2 が配置されている。

【 0 1 3 0 】

図 2 4 に示した例においては、偏光板 P L 2 と向かい合う側に、図示しないバックライトが配置され、偏光板 P L 1 の表面が表示面及び検出面となる。また、この図 2 4 に示した例においては、ソース配線 S 及び容量線 C はそれぞれ液晶層 L Q の駆動に必要な液晶駆動要素に相当するとともに物体の検出に必要な検出要素に相当し、層間絶縁膜 2 7 、ゲート絶縁膜 2 1 、及び、第 1 層間絶縁膜 2 2 は 2 つの検出要素の間に介在する絶縁膜に相当する。

【 0 1 3 1 】

このような T N モードの液晶表示パネル L P N を利用しても、上述した F F S モードの液晶表示パネル L P N を適用した場合と同様の効果が得られる。

【 0 1 3 2 】

なお、この発明は、上記実施形態そのものに限定されるものではなく、その実施の段階ではその要旨を逸脱しない範囲で構成要素を変形して具体化できる。また、上記実施形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。更に、異なる実施形態に亘る構成要素を適宜組み合わせてもよい。

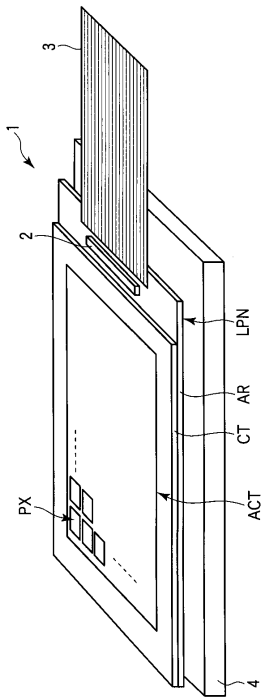
【 符号の説明 】

【 0 1 3 3 】

- 1 ... 液晶表示装置
- 2 ... 駆動ICチップ 2A ... 画像信号書込回路 2B ... 検出回路
- LPN ... 液晶表示パネル AR ... アレイ基板 CT ... 対向基板 LQ ... 液晶層
- ACT ... アクティブエリア PX ... 画素
- G ... ゲート配線 S ... ソース配線
- PE ... 画素電極 PSL ... スリット
- C ... 容量線 CE ... 対向電極 CSL ... スリット CR ... 補強容量線
- SE ... シールド電極 AP ... 開口
- D ... 検出配線

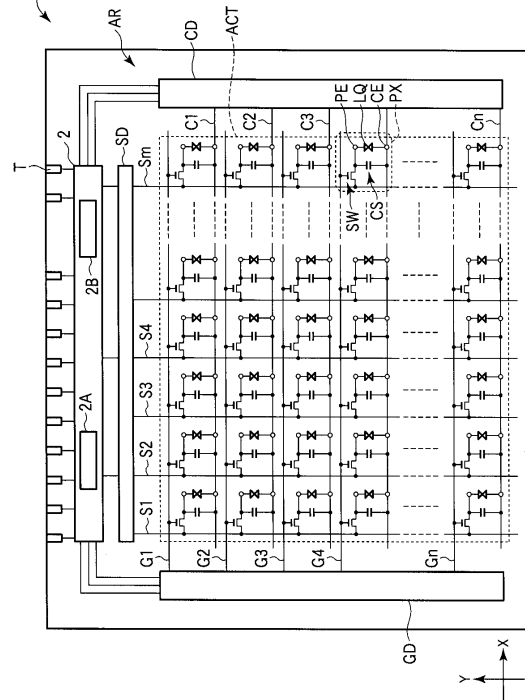
【図1】

図1

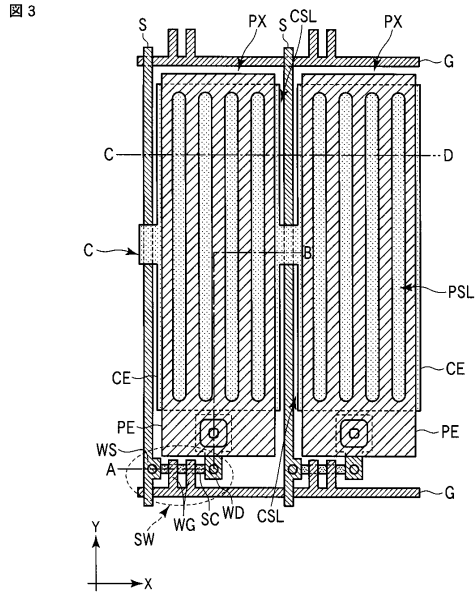


【図2】

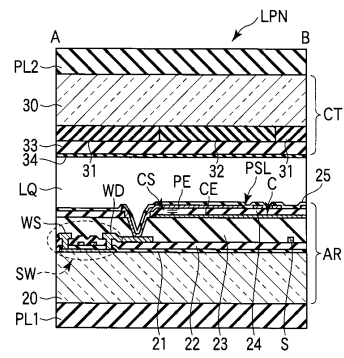
図2



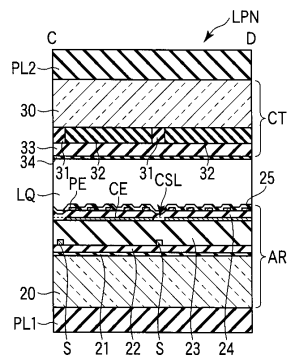
【 図 3 】



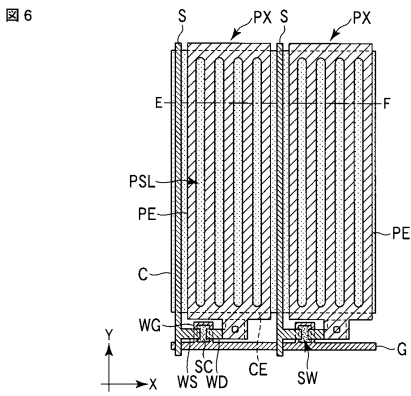
【 図 4 】



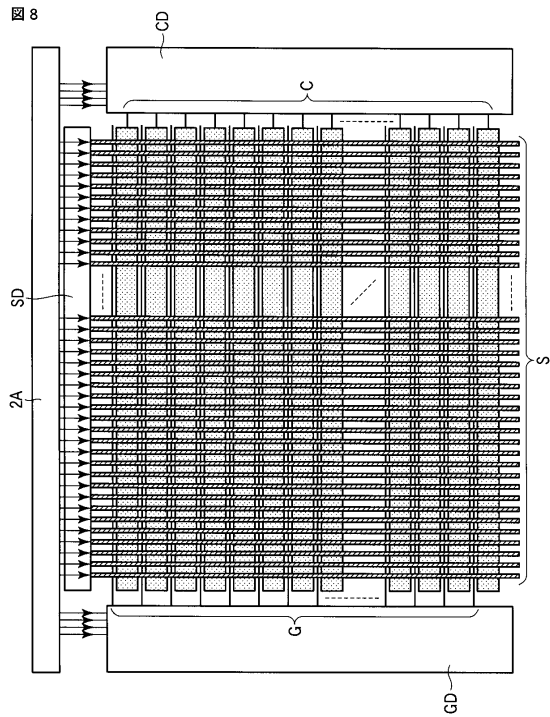
【 図 5 】



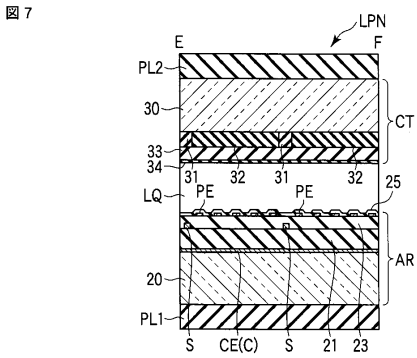
【 図 6 】



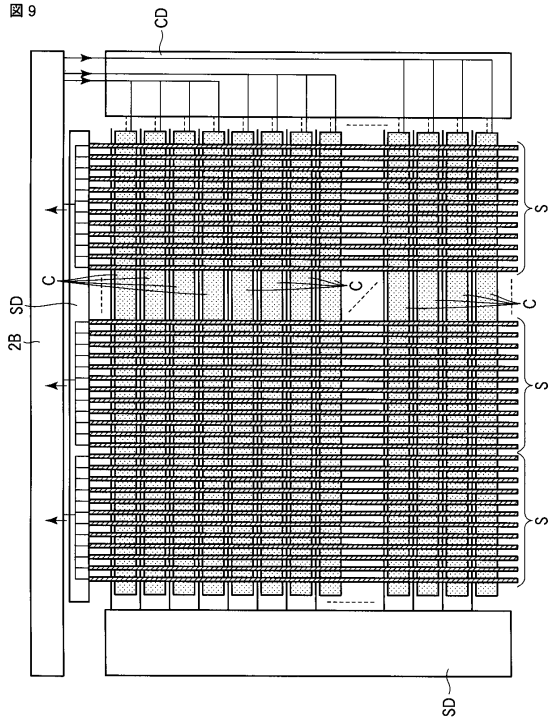
【 図 8 】



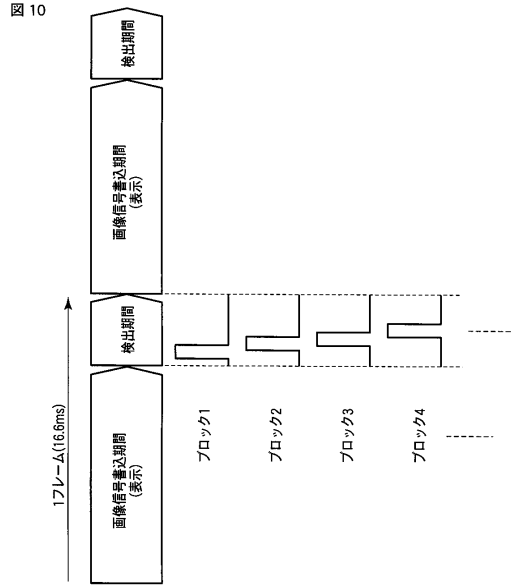
【 図 7 】



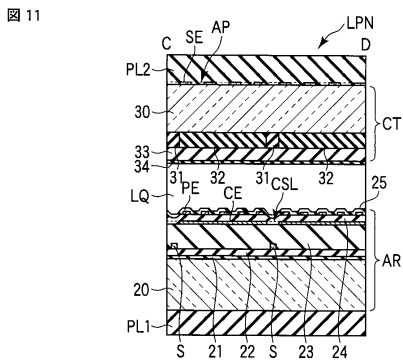
【図 9】



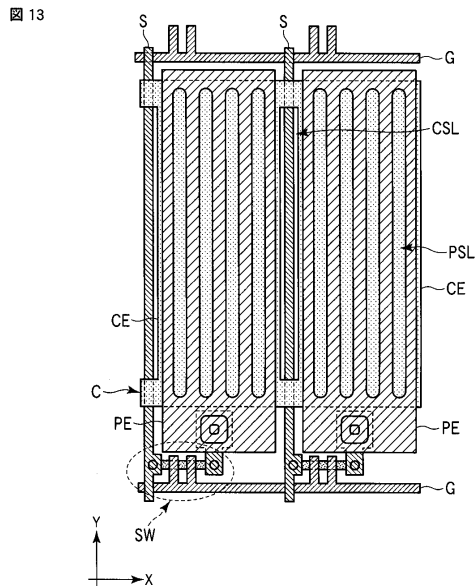
【図 10】



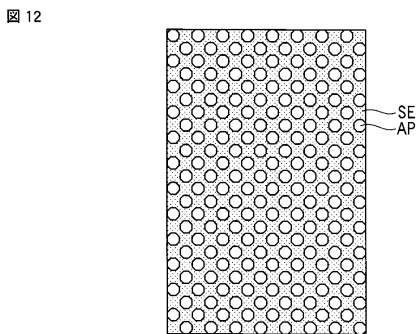
【図 11】



【図 13】

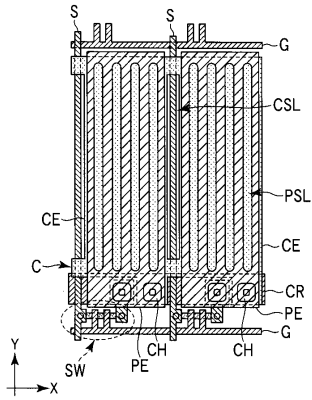


【図 12】



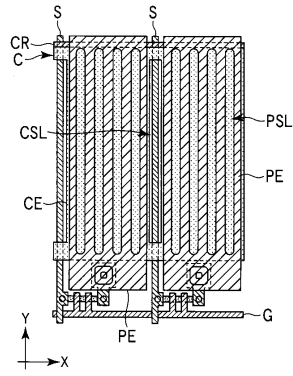
【 14 】

14



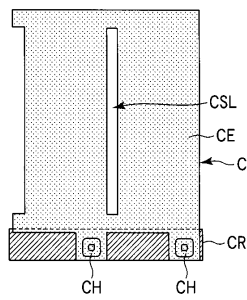
【 16 】

16



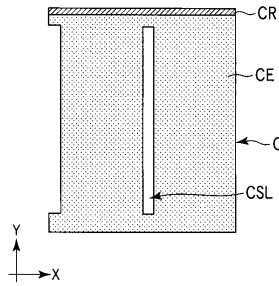
【 15 】

15



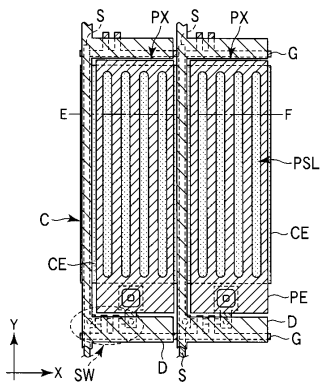
【 17 】

17



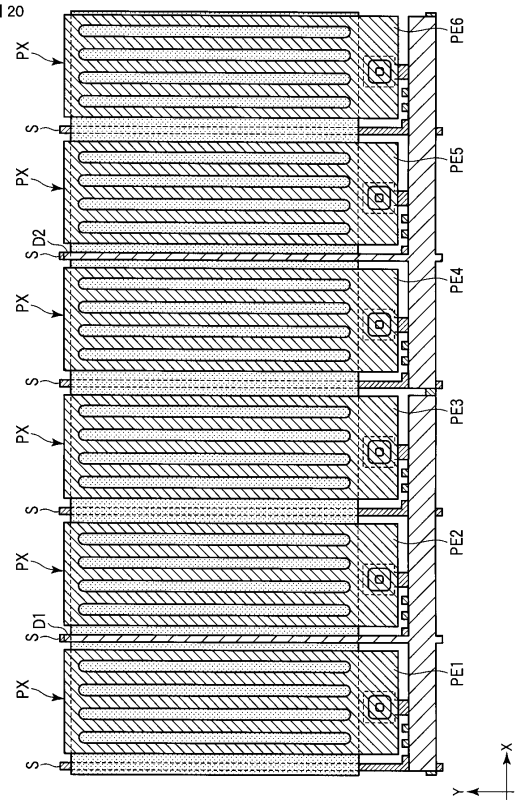
【 18 】

18



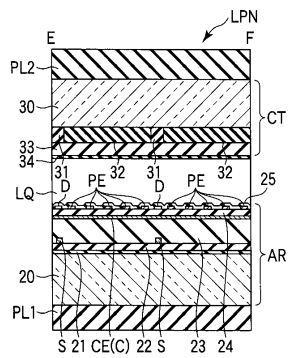
【 20 】

20



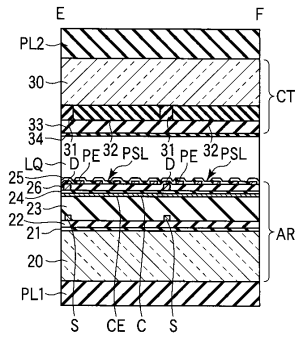
【 19 】

19



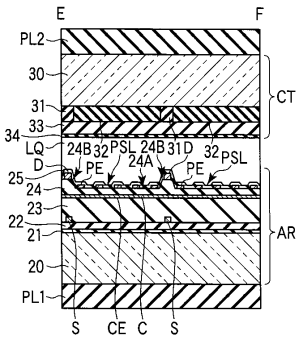
【 図 2 1 】

図 21



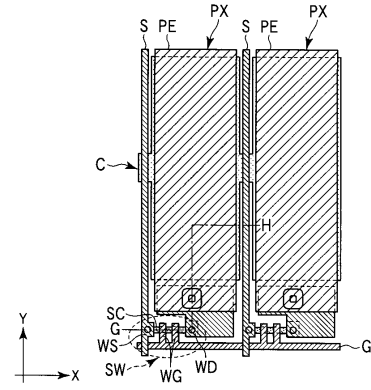
【 図 2 2 】

図 22



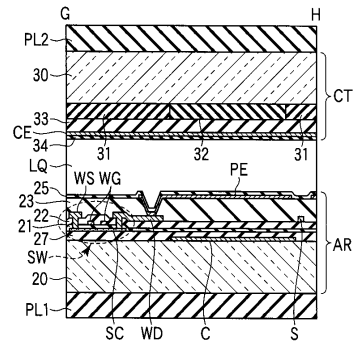
【 図 2 3 】

図 23



【 図 2 4 】

図 24



## フロントページの続き

- (74)代理人 100095441  
弁理士 白根 俊郎
- (74)代理人 100084618  
弁理士 村松 貞男
- (74)代理人 100103034  
弁理士 野河 信久
- (74)代理人 100119976  
弁理士 幸長 保次郎
- (74)代理人 100153051  
弁理士 河野 直樹
- (74)代理人 100140176  
弁理士 砂川 克
- (74)代理人 100101812  
弁理士 勝村 紘
- (74)代理人 100070437  
弁理士 河井 将次
- (74)代理人 100124394  
弁理士 佐藤 立志
- (74)代理人 100112807  
弁理士 岡田 貴志
- (74)代理人 100111073  
弁理士 堀内 美保子
- (74)代理人 100134290  
弁理士 竹内 将訓
- (74)代理人 100127144  
弁理士 市原 卓三
- (74)代理人 100141933  
弁理士 山下 元
- (72)発明者 木村 裕之  
東京都港区港南四丁目1番8号 東芝モバイルディスプレイ株式会社内
- (72)発明者 田島 弘志  
東京都港区港南四丁目1番8号 東芝モバイルディスプレイ株式会社内
- (72)発明者 川村 哲也  
東京都港区港南四丁目1番8号 東芝モバイルディスプレイ株式会社内

審査官 小濱 健太

- (56)参考文献 特開2010-211542(JP,A)  
特開平11-015020(JP,A)  
特開2010-250624(JP,A)  
特開2010-211541(JP,A)

## (58)調査した分野(Int.Cl., DB名)

G02F 1/1343 - 1/1368  
G02F 1/1333

专利名称(译)	液晶表示装置		
公开(公告)号	<a href="#">JP5542427B2</a>	公开(公告)日	2014-07-09
申请号	JP2009296252	申请日	2009-12-25
[标]申请(专利权)人(译)	东芝移动显示器有限公司		
申请(专利权)人(译)	东芝移动显示器有限公司		
当前申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	木村裕之 田島弘志 川村哲也		
发明人	木村 裕之 田島 弘志 川村 哲也		
IPC分类号	G02F1/1343 G02F1/1333		
CPC分类号	G02F1/136213 G02F1/133707 G09G3/3648		
FI分类号	G02F1/1343 G02F1/1333 G06F3/041.320.D G06F3/041.412 G06F3/041.422 G06F3/041.470 G06F3/041.512 G06F3/044.129		
F-TERM分类号	2H092/GA13 2H092/GA14 2H092/GA50 2H092/GA62 2H092/GA64 2H092/JA25 2H092/JA28 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JB22 2H092/JB33 2H092/JB69 2H092/JB77 2H092/KA04 2H092/KA05 2H092/KA07 2H092/KB04 2H092/PA11 2H189/AA17 2H189/AA90 2H189/HA10 2H189/LA17 2H189/LA31		
代理人(译)	河野 哲 中村诚 河野直树 冈田隆 山下 元		
其他公开文献	JP2011137882A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题：廉价地提供另外具有接触检测功能的液晶显示装置。解决方案：液晶显示装置配备有：绝缘基板；第一基板，包括布置在绝缘基板上方并沿第一方向延伸的第一检测元件，沿与第一方向交叉的第二方向延伸的第二检测元件，以及插入在第一检测元件和第二检测元件之间的绝缘膜；面向第一基板的第二基板；液晶层保持在第一基板和第二基板之间；检测电路，用于检测第一检测元件和第二检测元件之间的电容的变化。

