

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5299063号
(P5299063)

(45) 発行日 平成25年9月25日 (2013. 9. 25)

(24) 登録日 平成25年6月28日 (2013. 6. 28)

(51) Int. Cl.

F I

G O 2 F 1/1368 (2006. 01)

G O 2 F 1/1368

G O 2 F 1/1343 (2006. 01)

G O 2 F 1/1343

G O 9 F 9/30 (2006. 01)

G O 9 F 9/30 3 3 8

H O 1 L 29/786 (2006. 01)

H O 1 L 29/78 6 1 2 C

請求項の数 3 (全 13 頁)

(21) 出願番号 特願2009-106601 (P2009-106601)
 (22) 出願日 平成21年4月24日 (2009. 4. 24)
 (65) 公開番号 特開2010-256624 (P2010-256624A)
 (43) 公開日 平成22年11月11日 (2010. 11. 11)
 審査請求日 平成24年4月17日 (2012. 4. 17)

(73) 特許権者 502356528
 株式会社ジャパンディスプレイ
 東京都港区西新橋三丁目7番1号
 (74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100091351
 弁理士 河野 哲
 (74) 代理人 100088683
 弁理士 中村 誠
 (74) 代理人 100109830
 弁理士 福原 淑弘
 (74) 代理人 100075672
 弁理士 峰 隆司
 (74) 代理人 100095441
 弁理士 白根 俊郎

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

絶縁基板と、前記絶縁基板の上に配置された半導体層と、前記半導体層を覆う第1絶縁膜と、前記第1絶縁膜の上に配置されそれぞれ第1方向に延在した第1ゲート線及び第2ゲート線と、前記第1ゲート線及び前記第2ゲート線を覆う第2絶縁膜と、前記第2絶縁膜の上に配置され第2方向に延在し前記第1ゲート線とクロスする第1クロス部及び前記第2ゲート線とクロスするとともに前記第1クロス部より小さい第2クロス部を有するソース線と、を備えたアレイ基板と、

前記アレイ基板に向かい合う対向基板と、

前記アレイ基板と前記対向基板との間に保持された液晶層と、

を備え、

前記ソース線は、信号を入力する一端と、前記一端とは反対側の他端とを有し、

前記第1ゲート線は、前記第2ゲート線よりも、前記ソース線の一端側に位置していることを特徴とする液晶表示装置。

【請求項 2】

絶縁基板と、前記絶縁基板の上に配置された半導体層と、前記半導体層を覆う第1絶縁膜と、前記第1絶縁膜の上に配置されそれぞれ第1方向に延在した第1補助容量線及び第2補助容量線と、前記第1補助容量線及び前記第2補助容量線を覆う第2絶縁膜と、前記第2絶縁膜の上に配置され第2方向に延在したソース線と、前記第1補助容量線と対向する第1容量電極と、第2補助容量線と対向するとともに前記第1容量電極より小さい第2

10

20

容量電極と、を備えたアレイ基板と、
前記アレイ基板に向かい合う対向基板と、
前記アレイ基板と前記対向基板との間に保持された液晶層と、
を備え、
前記ソース線は、信号を入力する一端と、前記一端とは反対側の他端とを有し、
前記第1補助容量線は、前記第2補助容量線よりも、前記ソース線の一端側に位置して
いることを特徴とする液晶表示装置。

【請求項3】

さらに、前記アレイ基板の前記絶縁基板と向かい合うとともに、前記ソース線の一端側よりも他端側の輝度が高いバックライトを備えたことを特徴とする請求項1または2に記載の液晶表示装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、液晶表示装置に係り、例えばトップゲート型の薄膜トランジスタ（TFT）を備えたアクティブマトリクスタイプの液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置は、軽量、薄型、低消費電力などの特徴を生かして、パーソナルコンピュータなどのOA機器やテレビなどの表示装置として各種分野で利用されている。近年では、液晶表示装置は、携帯電話などの携帯端末機器や、カーナビゲーション装置、ゲーム機などの表示装置としても利用されている。

20

【0003】

各画素にスイッチング素子としてトップゲート型の薄膜トランジスタを備えたアクティブマトリクスタイプの液晶表示装置において、薄膜トランジスタは、絶縁基板の上に配置された半導体層を備えている。バックライトからの光を選択的に透過する透過型の液晶表示パネルにおいては、バックライトからの光が半導体層のチャンネル領域に直接照射されるため、光リークの影響が無視できない。

【0004】

例えば、特許文献1によれば、ボトムゲート型の薄膜トランジスタにおいて、半導体層がゲート配線に内包された構造など、ゲート配線からはみ出す半導体層の面積を小さくする技術が開示されている。しかしながら、依然として、トップゲート型の薄膜トランジスタに対する光リークの課題は解消できない。

30

【0005】

また、輝度分布が均一なバックライトによって液晶表示パネルが照明される場合、ソース線に信号が入力される入力端側では、ソース線に供給される信号の波形なまりがほとんどないため、光リークの影響がより一層顕著に出現する。例えば、ノーマリホワイトモードにおいて、液晶表示パネルの画面中央に黒ウインドウ（例えば画素電位が9V）を表示し、その周辺に中間調表示（例えば画素電位が7V）をする場合、黒ウインドウとソース線の入力端との間の画素では、光リークの影響により、中間調の画素電位が保持し切れず、薄膜トランジスタを介して黒ウインドウの画素に書き込む電位が書き込まれ、縦クロストークの問題が生じるおそれがある。

40

【0006】

このように、光リークに起因した表示品位の劣化を抑制することが要求されている。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2003-303973号公報

【発明の概要】

【発明が解決しようとする課題】

50

【 0 0 0 8 】

この発明の目的は、光リークに起因した表示品位の劣化を抑制することが可能な液晶表示装置を提供することにある。

【課題を解決するための手段】

【 0 0 0 9 】

この発明の一態様によれば、

絶縁基板と、前記絶縁基板の上に配置された半導体層と、前記半導体層を覆う第 1 絶縁膜と、前記第 1 絶縁膜の上に配置されそれぞれ第 1 方向に延在した第 1 ゲート線及び第 2 ゲート線と、前記第 1 ゲート線及び前記第 2 ゲート線を覆う第 2 絶縁膜と、前記第 2 絶縁膜の上に配置され第 2 方向に延在し前記第 1 ゲート線とクロスする第 1 クロス部及び前記第 2 ゲート線とクロスするとともに前記第 1 クロス部より小さい第 2 クロス部を有するソース線と、を備えたアレイ基板と、

前記アレイ基板に向かい合う対向基板と、

前記アレイ基板と前記対向基板との間に保持された液晶層と、

を備えたことを特徴とする液晶表示装置が提供される。

【 0 0 1 0 】

この発明の他の態様によれば、

絶縁基板と、前記絶縁基板の上に配置された半導体層と、前記半導体層を覆う第 1 絶縁膜と、前記第 1 絶縁膜の上に配置されそれぞれ第 1 方向に延在した第 1 補助容量線及び第 2 補助容量線と、前記第 1 補助容量線及び前記第 2 補助容量線を覆う第 2 絶縁膜と、前記第 2 絶縁膜の上に配置され第 2 方向に延在したソース線と、前記第 1 補助容量線と対向する第 1 容量電極と、第 2 補助容量線と対向するとともに前記第 1 容量電極より小さい第 2 容量電極と、を備えたアレイ基板と、

前記アレイ基板に向かい合う対向基板と、

前記アレイ基板と前記対向基板との間に保持された液晶層と、

を備えたことを特徴とする液晶表示装置が提供される。

【発明の効果】

【 0 0 1 1 】

この発明によれば、光リークに起因した表示品位の劣化を抑制することが可能な液晶表示装置を提供することができる。

【図面の簡単な説明】

【 0 0 1 2 】

【図 1】図 1 は、この発明の一実施の形態に係る液晶表示装置の構成を概略的に示す図である。

【図 2】図 2 は、図 1 に示した液晶表示パネルの構造を概略的に示す断面図である。

【図 3】図 3 は、同一ソース線の両端の画素構造の一例を概略的に示すアレイ基板の平面図である。

【図 4】図 4 は、同一ソース線の両端の画素構造の他の例を概略的に示すアレイ基板の平面図である。

【図 5】図 5 は、図 2 に示した液晶表示パネルと組み合わせるのに好適なバックライトの構成例を概略的に示す図である。

【発明を実施するための形態】

【 0 0 1 3 】

以下、この発明の一実施の形態に係る液晶表示装置について図面を参照して説明する。ここでは、各画素がバックライトからの光を選択的に透過して画像を表示する透過型の液晶表示装置を例に説明する。

【 0 0 1 4 】

図 1 に示すように、液晶表示装置は、アクティブマトリクスタイプの液晶表示装置であって、液晶表示パネル L P N を備えている。この液晶表示パネル L P N は、一対の基板、すなわち第 1 基板としてのアレイ基板 A R と、アレイ基板 A R に向かい合うように配置さ

10

20

30

40

50

れた第2基板としての対向基板CTと、を備えている。これらのアレイ基板ARと対向基板CTとは、シール材SEによって貼り合わせられている。また、液晶表示パネルLPNは、アレイ基板ARと対向基板CTとの間に保持された液晶層LQを備えている。

【0015】

このような液晶表示パネルLPNは、画像を表示する表示エリアすなわちアクティブエリアDSPを備えている。このアクティブエリアDSPは、シール材SEによって囲まれており、 $m \times n$ 個のマトリクス状に配置された複数の画素PXによって構成されている（但し、 m 及び n は正の整数）。

【0016】

アレイ基板ARは、アクティブエリアDSPにおいて、第1方向（あるいは行方向）Hに沿ってそれぞれ延出した n 本のゲート線Y（ $Y_1 \sim Y_n$ ）、各ゲート線Yと交差するように第2方向（あるいは列方向）Vに沿ってそれぞれ延出した m 本のソース線X（ $X_1 \sim X_m$ ）、各画素PXにおいてゲート線Yとソース線Xとの交差部を含む領域に配置された $m \times n$ 個のスイッチング素子W、各画素PXに配置されそれぞれスイッチング素子Wに接続された $m \times n$ 個の画素電極EPなどを備えている。

【0017】

また、アレイ基板ARは、各画素PXにおいて蓄積容量素子CSを備えている。この蓄積容量素子CSは、補助容量線AY及び補助容量線AYに向かい合う補助容量電極AEを有している。

【0018】

ゲート線Y及び補助容量線AYは、アクティブエリアDSPにおいて交互に配置されている。すなわち、 n 本の補助容量線AYは、行方向Hに沿って延出し、ゲート線Yと略平行に配置されている。これらのゲート線Y及び補助容量線AYは、ソース線Xと略直交している。このようなゲート線Y及び補助容量線AY、ソース線X、は、例えばアルミニウム、モリブデン、タングステン、チタンなどの低抵抗な導電材料によって形成されている。

【0019】

各スイッチング素子Wは、例えば、 n チャネル薄膜トランジスタ（TFET）によって構成されている。スイッチング素子Wのゲート電極WGは、ゲート線Yに電氣的に接続されている（あるいは、ゲート電極WGはゲート線Yと一体的に形成されている）。スイッチング素子Wのソース電極WSは、ソース線Xに電氣的に接続されている（あるいは、ソース電極WSはソース線Xと一体的に形成されている）。スイッチング素子Wのドレイン電極WDは、画素電極EPに電氣的に接続されている。

【0020】

画素電極EPは、インジウム・ティン・オキサイド（ITO）やインジウム・ジンク・オキサイド（IZO）などの光透過性を有する導電材料によって形成されている。

【0021】

n 本のゲート線Yは、それぞれアクティブエリアDSPの外側に引き出され、ゲートドライバYDに接続されている。ゲートドライバYDは、コントローラCNTによる制御に基づいて n 本のゲート線Yに順次走査信号（駆動信号）を供給する。

【0022】

また、 m 本のソース線Xは、それぞれアクティブエリアDSPの外側に引き出され、ソースドライバXDに接続されている。ソースドライバXDは、コントローラCNTによる制御に基づいて m 本のソース線Xに映像信号（駆動信号）を供給する。

【0023】

一方、対向基板CTは、アクティブエリアDSPにおいて、対向電極ETなどを備えている。この対向電極ETは、ITOやIZOなどの光透過性を有する導電材料によって形成されている。この対向電極ETは、複数の画素PXに共通である。つまり、対向電極ETは、各画素PXの画素電極EPと向かい合い、アクティブエリアDSPの外側において、コモン電位のコモン端子COMに電氣的に接続されている。

10

20

30

40

50

【 0 0 2 4 】

液晶表示パネル L P N の構造について、以下により詳細に説明する。

【 0 0 2 5 】

図 2 に示すように、液晶表示パネル L P N のアレイ基板 A R は、ガラス板や石英板などの光透過性を有する絶縁基板 1 0 を用いて形成されている。このアレイ基板 A R は、絶縁基板 1 0 の第 1 面 1 0 A つまり対向基板 C T と向かい合う側に、スイッチング素子 W、画素電極 E P などを備えている。

【 0 0 2 6 】

スイッチング素子 W は、トップゲート型の T F T であり、絶縁基板 1 0 の上に配置された半導体層 1 2 を備えている。この半導体層 1 2 は、例えば、ポリシリコンやアモルファスシリコンなどによって形成可能であり、ここではポリシリコンによって形成されている。半導体層 1 2 は、チャネル領域 1 2 C を挟んだ両側にそれぞれソース領域 1 2 S 及びドレイン領域 1 2 D を有している。

【 0 0 2 7 】

また、補助容量電極 A E は、絶縁基板 1 0 の上に配置されている。この補助容量電極 A E は、半導体層 1 2 と同一材料によって形成されている。ここでは、補助容量電極 A E は、半導体層 1 2 と一体的に形成され、ドレイン領域 1 2 D から延在している。なお、絶縁基板 1 0 と半導体層 1 2 との間には、絶縁膜であるアンダーコート層が介在していても良い。このようなアンダーコート層は、例えば、酸化シリコン及び窒化シリコンなどの無機系材料によって形成される。

【 0 0 2 8 】

これらの半導体層 1 2 及び補助容量電極 A E は、第 1 絶縁膜であるゲート絶縁膜 1 4 によって覆われている。また、ゲート絶縁膜 1 4 は、絶縁基板 1 0 の上にも配置されている。このゲート絶縁膜 1 4 は、例えば、酸化シリコン及び窒化シリコンなどの無機系材料によって形成されている。

【 0 0 2 9 】

スイッチング素子 W のゲート電極 W G は、ゲート絶縁膜 1 4 の上に配置され、半導体層 1 2 のチャネル領域 1 2 C の直上に位置している。このゲート電極 W G は、例えば、ゲート絶縁膜 1 4 の上に配置されたゲート線 Y と一体的に形成されている。また、補助容量線 A Y も、ゲート絶縁膜 1 4 の上に配置されている。この補助容量線 A Y は、補助容量電極 A E の直上に延在している。つまり、補助容量線 A Y 及び補助容量電極 A E は、ゲート絶縁膜 1 4 を挟んで向かい合い、補助容量素子 C S を形成している。このようなゲート線 Y、ゲート電極 W G、及び、補助容量線 A Y は、同一材料を用いて同一工程で形成可能である。

【 0 0 3 0 】

これらのゲート線 Y、ゲート電極 W G、及び、補助容量線 A Y は、第 2 絶縁膜である層間絶縁膜 1 6 によって覆われている。また、この層間絶縁膜 1 6 は、ゲート絶縁膜 1 4 の上にも配置されている。この層間絶縁膜 1 6 は、例えば、酸化シリコン及び窒化シリコンなどの無機系材料によって形成されている。

【 0 0 3 1 】

スイッチング素子 W のソース電極 W S は、層間絶縁膜 1 6 の上に配置されている。このソース電極 W S は、例えば、層間絶縁膜 1 6 の上に配置されたソース線 X と一体的に形成されている。また、ソース電極 W S は、ゲート絶縁膜 1 4 及び層間絶縁膜 1 6 を貫通するコンタクトホール C H 1 を通して半導体層 1 2 のソース領域 1 2 S にコンタクトしている。

【 0 0 3 2 】

スイッチング素子 W のドレイン電極 W D は、層間絶縁膜 1 6 の上に配置されている。このドレイン電極 W D は、ゲート絶縁膜 1 4 及び層間絶縁膜 1 6 を貫通するコンタクトホール C H 2 を通して半導体層 1 2 のドレイン領域 1 2 D にコンタクトしている。これらのソース線 X、ソース電極 W S、及び、ドレイン電極 W D は、同一材料を用いて同一工程で形

10

20

30

40

50

成可能である。

【 0 0 3 3 】

ソース線 X、ソース電極 W S、及び、ドレイン電極 W D は、第 3 絶縁膜である絶縁膜 1 8 によって覆われている。また、この絶縁膜 1 8 は、層間絶縁膜 1 6 の上にも配置されている。このような絶縁膜 1 8 は、例えば、光透過性を有する樹脂層などの有機系材料によって形成されている。このような絶縁膜 1 8 は、例えば、スピンコートなどの手法によって塗布された後に硬化処理されることにより形成されている。このため、絶縁膜 1 8 は、下地の凹凸を吸収し、その表面つまり液晶層 L Q に面する側が概ね平坦に形成されている。

【 0 0 3 4 】

10

画素電極 E P は、アクティブエリア D S P において各画素 P X に配置されている。すなわち、この画素電極 E P は、絶縁膜 1 8 の上に配置され、絶縁膜 1 8 に形成されたコンタクトホール C H 3 を介してドレイン電極 W D と電氣的に接続されている。

【 0 0 3 5 】

このような構成のアレイ基板 A R の対向基板 C T と向かい合う側の表面、つまり、液晶層 L Q に接する面は、第 1 配向膜 2 0 によって覆われている。

【 0 0 3 6 】

一方、液晶表示パネル L P N の対向基板 C T は、ガラス板や石英板などの光透過性を有する絶縁基板 3 0 を用いて形成されている。この対向基板 C T は、絶縁基板 3 0 の第 1 面 3 0 A つまりアレイ基板 A R と向かい合う側に、ブラックマトリクス 3 1、カラーフィルタ層 3 4 (R、G、B)、対向電極 E T などを備えている。

20

【 0 0 3 7 】

ブラックマトリクス 3 1 は、アクティブエリア D S P において画素 P X の間に配置されている。このブラックマトリクス 3 1 は、黒色に着色された樹脂材料やクロム (C r) などの遮光性を有する金属材料などによって形成可能である。このようなブラックマトリクス 3 1 は、絶縁基板 3 0 の上に配置され、アレイ基板 A R に設けられたスイッチング素子 W や、上述したゲート線 Y 及びソース線 X などの各種配線に対向している。

【 0 0 3 8 】

カラーフィルタ層 3 4 (R、G、B) は、アクティブエリア D S P の各画素 P X に配置されている。このようなカラーフィルタ層 3 4 (R、G、B) は、絶縁基板 3 0 の上に配置され、その一部が遮光層 3 1 に積層されている。

30

【 0 0 3 9 】

これらのカラーフィルタ層 3 4 (R、G、B) は、互いに異なる複数の色、例えば赤色、青色、緑色といった 3 原色にそれぞれ着色された樹脂材料によって形成されている。すなわち、カラーフィルタ層 3 4 R は、赤色に着色された樹脂材料によって形成され、赤色を表示する画素 P X に配置されている。また、カラーフィルタ層 3 4 G は、緑色に着色された樹脂材料によって形成され、緑色を表示する画素 P X に配置されている。同様に、カラーフィルタ層 3 4 B は、青色に着色された樹脂材料によって形成され、青色を表示する画素 P X に配置されている。

【 0 0 4 0 】

40

対向電極 E T は、アクティブエリア D S P に配置され、カラーフィルタ層 3 4 (R、G、B) の上に延在した連続膜である。アクティブエリア D S P においては、対向電極 E T は、各画素 P X の画素電極 E P と向かい合っている。

【 0 0 4 1 】

なお、対向基板 C T には、カラーフィルタ層 3 4 (R、G、B) の表面の凹凸の影響を緩和するために、カラーフィルタ層 3 4 (R、G、B) と対向電極 E T との間に、透明な樹脂材料からなるオーバーコート層を配置しても良い。

【 0 0 4 2 】

このような対向基板 C T のアレイ基板 A R と向かい合う側の表面、つまり液晶層 L Q に接する面は、第 2 配向膜 3 6 によって覆われている。第 1 配向膜 2 0 及び第 2 配向膜 3 6

50

は、例えばポリイミドによって形成されている。

【0043】

上述したようなアレイ基板ARと対向基板CTとは、それぞれの第1配向膜20及び第2配向膜36が対向するように配置されている。このとき、アレイ基板ARの第1配向膜20と対向基板CTの第2配向膜36との間には、図示しないスペーサ（例えば、樹脂材料によって一方の基板に一体的に形成された柱状スペーサ）が配置されている。これにより、アレイ基板ARと対向基板CTとの間に、所定のセルギャップが形成されている。

【0044】

液晶層LQは、上述したセルギャップに封入されている。すなわち、液晶層LQは、アレイ基板ARの画素電極EPと対向基板CTの対向電極ETとの間に保持された液晶分子40を含む液晶組成物によって構成されている。液晶層LQと画素電極EPとの間には、第1配向膜20が介在している。液晶層LQと対向電極ETとの間には、第2配向膜36が介在している。

10

【0045】

液晶表示パネルLPNの一方の外面、つまり、アレイ基板ARを構成する絶縁基板10の第1面10Aとは反対側の第2面10Bには、第1偏光板PL1を有する第1光学素子OD1が接着剤などにより貼付されている。また、液晶表示パネルLPNの他方の外面、つまり、対向基板CTを構成する絶縁基板30の第1面30Aとは反対側の第2面30Bには、第2偏光板PL2を有する第2光学素子OD2が接着剤などにより貼付されている。なお、第1光学素子OD1及び第2光学素子OD2は、必要に応じて位相差板を有していてもよい。

20

【0046】

また、図2に示すように、液晶表示パネルLPNを照明するバックライトBLは、液晶表示パネルLPNのアレイ基板ARと向かい合う側に配置されている。このようなバックライトBLとしては、種々の形態が適用可能であり、また、光源として発光ダイオードを利用したものや冷陰極管を利用したものなどのいずれでも適用可能であり、詳細な構造については説明を省略する。

【0047】

図3は、同一ソース線の両端の画素構造の一例を概略的に示すアレイ基板の平面図である。

30

【0048】

ソース線Xは、信号入力端である一端XAと、この一端XAとは反対側つまり配線の終端側に他端XBとを有している。ソース線Xの一端XAは、図示しないソースドライバXDに接続される。なお、図3では、単一のソース線Xのみを図示しているが、アクティブエリアDSPに配置されるm本のソース線X1～Xmの全てが同一構造である。

【0049】

ソース線Xの一端XA側に位置する画素として、アクティブエリアDSPの最も一端XAに近い画素PX1が図示されている。また、ソース線Xの他端XB側に位置する画素として、アクティブエリアDSPの最も他端XBに近い（つまりソースドライバから最も離れた）画素PXnが図示されている。

40

【0050】

画素PX1に配置されたスイッチング素子W1は、半導体層12を備えている。この半導体層12は、そのチャネル領域12Cにおいて、第1方向Hに延在したゲート線Y1と交差している。チャネル領域12Cの直上に位置するゲート線Y1の一部は、スイッチング素子W1のゲート電極WGに相当する。

【0051】

また、半導体層12のソース領域12Sは、コンタクトホールCH1を通して、第2方向Vに延在したソース線Xに接続されている。ソース領域12Sの直上に位置するソース線Xの一部は、スイッチング素子W1のソース電極WSに相当する。半導体層12のドレイン領域12Dは、コンタクトホールCH2を通して、スイッチング素子W1のドレイン

50

電極WDに接続されている。さらに、図中の破線で示す画素電極EPは、コンタクトホールCH3を通して、ドレイン電極WDに接続されている。

【0052】

半導体層12と一体的に形成された補助容量電極AEは、第1方向Hに延在した補助容量線AY1と向かい合っている。

【0053】

ソース線Xは、ゲート線Y1及び補助容量線AY1とクロスしている。このソース線Xは、ゲート線Y1とクロスするクロス部C1を有している。このクロス部C1は、ソース線Xのうちのゲート線Y1の直上に位置する部分つまりクロス容量を形成する部分に相当する。

10

【0054】

画素PXnについても、実質的に画素PX1と同一構成であり、同一参照符号を付して詳細な説明を省略する。画素PXnに配置されたスイッチング素子Wnは、画素PX1に配置されたスイッチング素子W1と同一構成であり、半導体層12は、そのチャネル領域12Cにおいて、第1方向Hに延在したゲート線Ynと交差している。また、半導体層12のソース領域12Sはソース線Xに接続され、半導体層12のドレイン領域12Dはドレイン電極WDに接続されている。

【0055】

半導体層12と一体的に形成された補助容量電極AEは、第1方向Hに延在した補助容量線AYnと向かい合っている。

20

【0056】

ソース線Xは、ゲート線Yn及び補助容量線AYnとクロスしている。このソース線Xは、ゲート線Ynとクロスするクロス部Cnを有している。このクロス部Cnは、ソース線Xのうちのゲート線Ynの直上に位置する部分つまりクロス容量を形成する部分に相当する。

【0057】

本実施形態においては、ソース線Xにおいて、第2クロス部であるクロス部Cnは、第1クロス部であるクロス部C1より小さく形成されている。つまり、ソース線Xにおいて、第2ゲート線であるゲート線Ynの直上に位置する部分の面積は、第1ゲート線であるゲート線Y1の直上に位置する部分の面積より小さい。なお、図3では省略しているが、画素PX1と画素PXnとの間に配置された画素PX2～PX(n-1)においても、同一ソース線Xのゲート線Y2～Y(n-1)とクロスする各クロス部の大きさは、ソース線Xの一端XAほど大きく、またソース線Xの他端XBほど小さくなるように形成されている。あるいは、同一ソース線Xのゲート線Y1～Ynとクロスする各クロス部の大きさは、ソース線Xの一端XAの側から他端XBの側に向かって複数画素毎に順次小さくなるように形成されていても良い。

30

【0058】

上述した構成を実現するための具体的な構成例について説明する。

【0059】

ゲート線Y1は、局所的に拡幅された形状であり、ソース線Xのクロス部C1と向かい合う部分に拡幅部YC1を有している。このゲート線Y1は、実質的に略一定の線幅YW1を有するように形成されている。例えば、ゲート線Y1において、ゲート電極WGからソース線Xのクロス部C1と向かい合う拡幅部YC1までの間では、線幅YW1となるように形成されている。このようなゲート線Y1において、拡幅部YC1の幅CY1は、線幅YW1より大きい。なお、図示していないが、ゲート線Y1は、m本のソース線X1～Xmとクロスする部分にそれぞれ同様の拡幅部を有しており、ゲート線Y1は少なくともm個の拡幅部を有している。

40

【0060】

一方、ゲート線Ynは、拡幅部を有していない。つまり、ゲート線Ynは、全体的に略一定の線幅YWnを有するように形成されている。なお、ゲート線Y1の線幅YW1とゲ

50

ート線 Y_n の線幅 YW_n とは略同一である。このようなゲート線 Y_n において、ソース線 X のクロス部 C_n と向かい合う部分の幅も、線幅 YW_n と同一である。

【0061】

ソース線 X は、局所的に拡幅された形状である。つまり、ソース線 X は、実質的に略一定の線幅 XW_1 を有するように形成されている。例えば、ソース線 X において、補助容量線 AY_1 とクロスする部分からゲート線 Y_1 とクロスする部分までの間では、線幅 XW_1 となるように形成されている。このようなソース線 X において、ゲート線 Y_1 の拡幅部 YC_1 と向かい合うクロス部 C_1 の幅 CX_1 は、線幅 XW_1 より大きい。また、同一のソース線 X において、ゲート線 Y_n とクロスするクロス部 C_n の幅は、線幅 XW_1 と略同一である。

10

【0062】

ゲート線 Y_1 における拡幅部 YC_1 の面積と、ソース線 X におけるクロス部 C_1 の面積は略同等である。ここでは、拡幅部 YC_1 及びクロス部 C_1 は、ともに、幅 CY_1 及び幅 CX_1 を有する四角形状である。クロス部 C_n は、幅 YW_n 及び幅 XW_1 を有する四角形状であり、クロス部 C_1 の面積より小さい。

【0063】

このような構成によれば、ソース線 X において、入力端である一端 XA の側でゲート・ソースのクロス容量が大きくなるため、信号の波形なまりが生じ、光リークの影響を軽減できる。また、同一ソース線 X において、一端 XA から他端 XB に向かうにしたがって、クロス容量が徐々に低減するため、ソース線 X の他端 XB の側においては、画素充電に影響を与えるほど大きな波形なまりが生じにくくなる。このように、同一ソース線 X に接続された各画素に書き込まれる信号波形のなまりの差が小さくなる。したがって、各画素のスイッチング素子 W におけるリーク量を低減し、縦クロストークなどの光リークに起因した表示品位の劣化を抑制することが可能となる。

20

【0064】

図3に示した構成例では、ゲート線 Y_1 及びソース線 X の双方が局所的に拡幅された形状である場合について説明したが、ゲート線 Y_1 及びソース線 X の少なくとも一方が他方とクロスする部分で局所的に拡幅されていれば、同様の効果が得られる。

【0065】

例えば、ゲート線 Y_1 が全体的に略一定の線幅 YW_1 を有するように形成されている場合、ソース線 X のクロス部 C_1 の幅 CX_1 を拡大することによってゲート線 Y_1 とクロスする面積が増大し、クロス容量を増大することができる。

30

【0066】

また、ソース線 X が全体的にほぼ一定の線幅 XW_1 を有するように形成されている場合、ゲート線 Y_1 にクロス部 C_1 と向かい合う拡幅部 YC_1 を設け、拡幅部 YC_1 の幅 CY_1 を拡大することによってソース線 X とクロスする面積が増大し、クロス容量を増大することができる。

【0067】

図4は、同一ソース線の両端の画素構造の他の例を概略的に示すアレイ基板の平面図である。図3に示した例では、ソース線 X の入力端側から他端側に向かうにしたがってゲート・ソースのクロス容量を低減する構成例について説明したが、図4に示した例では、ソース線 X の入力端側から他端側に向かうにしたがって画素の蓄積容量を低減する点で図3に示した例と相違する。なお、図3に示した例と同一構成については、同一の参照符号を付して詳細な説明を省略する。

40

【0068】

ソース線 X の一端 XA の側の画素 PX_1 に配置されたスイッチング素子 W_1 は、ソース線 X の他端 XB の側の画素 PX_n に配置されたスイッチング素子 W_n と同一構成である。

【0069】

スイッチング素子 W_1 の半導体層 12 と一体的に形成された補助容量電極 AE_1 は、第1方向 H に延在した補助容量線 AY_1 と向かい合い、画素 PX_1 における蓄積容量を形成

50

している。

【0070】

スイッチング素子 W_n の半導体層12と一体的に形成された補助容量電極 AE_n は、第1方向Hに延在した補助容量線 AY_n と向かい合い、画素 PX_n における蓄積容量を形成している。

【0071】

本実施形態においては、第1補助容量線である補助容量線 AY_1 及び第2補助容量線である補助容量線 AY_n は、同一形状であり、また、同一の線幅を有するように形成されている。一方で、第2補助容量電極である補助容量電極 AE_n は、第1補助容量電極である補助容量電極 AE_1 より小さく形成されている。各画素 PX の蓄積容量は、補助容量電極と補助容量線とが向かい合う面積によって決まる。このため、画素 PX_n において、補助容量線 AY_n と補助容量電極 AE_n とによって形成される蓄積容量は、画素 PX_1 において、補助容量線 AY_1 と補助容量電極 AE_1 とによって形成される蓄積容量よりも小さい。

10

【0072】

なお、図4では省略しているが、画素 PX_1 と画素 PX_n との間に配置された画素 $PX_2 \sim PX(n-1)$ においても、補助容量線 $AY_2 \sim AY(n-1)$ は同一形状である一方で、それぞれに向かい合うように配置された補助容量電極 $AE_2 \sim AE(n-1)$ の大きさは、画素 PX_1 ほど大きく、また画素 PX_n ほど小さくなるように形成されている。あるいは、補助容量電極 $AE_1 \sim AE_n$ の大きさは、画素 PX_1 の側から画素 PX_n の側に向かって複数画素毎に順次小さくなるように形成されていても良い。

20

【0073】

このような構成によれば、ソース線Xにおいて、入力端である一端XAの側の画素 PX_1 で蓄積容量が大きくなるため、信号の波形なまりが生じ、光リークの影響を軽減できる。また、一端XAの側の画素 PX_1 から他端XBの側の画素 PX_n に向かうにしたがって、蓄積容量が徐々に低減するため、ソース線Xの他端XBの側の画素 PX_n においては、画素充電に影響を与えるほど大きな波形なまりが生じにくくなる。このように、各画素に書き込まれる信号波形のなまりの差が小さくなる。したがって、各画素のスイッチング素子Wにおけるリーク量を低減し、縦クロストークなどの光リークに起因した表示品位の劣化を抑制することが可能となる。

30

【0074】

本実施形態においては、上記各構成例を組み合わせても良い。また、上記各構成例に加えて、ソース線Xの一端XAの側よりも他端XBの側の輝度が高いバックライトBLを組み合わせても良い。

【0075】

例えば、図5に示すように、バックライトBLは、ソース線Xの他端XBの側に光源LSを備えている。なお、図5では、説明に必要な主要構成のみを図示している。光源LSから出射された光は、導光板LGに入射して、ソース線Xの一端XAの側に向かって伝播しつつ、液晶表示パネルLPNに向かって出射される。このようなバックライトBLのため、光源LSに近接した側、つまり、ソース線Xの他端XBの側の輝度は、ソース線Xの一端XAの側より高い。また、これに加えて、導光板LGと液晶表示パネルLPNとの間に、光源LSから離間した側、つまり、ソース線Xの一端XAの側の輝度が低下するようなパターンを有する拡散シートを配置しても良い。さらに、導光板LGと液晶表示パネルLPNとの間に、ソース線Xの一端XAの側にソース線Xの他端XBの側よりも粗のプリズムを有するプリズムシートを配置しても良い。

40

【0076】

このようなバックライトBLを組み合わせた場合には、ソース線Xの一端XAの側に接続されたスイッチング素子の半導体層に向けて照射される光量が低減され、光リークを軽減することができる。

【0077】

50

以上説明したように、この実施の形態によれば、光リークに起因した表示品位の劣化を抑制することが可能な液晶表示装置を提供することができる。

【 0 0 7 8 】

なお、この発明は、上記実施形態そのものに限定されるものではなく、その実施の段階ではその要旨を逸脱しない範囲で構成要素を変形して具体化できる。また、上記実施形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。更に、異なる実施形態に亘る構成要素を適宜組み合わせてもよい。

【符号の説明】

【 0 0 7 9 】

L P N ... 液晶表示パネル B L ... バックライト

A R ... アレイ基板 C T ... 対向基板 L Q ... 液晶層 S E ... シール材

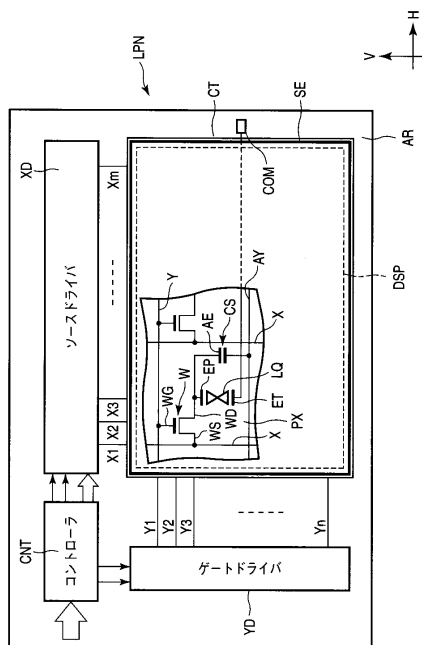
D S P ... アクティブエリア P X ... 画素

E P ... 画素電極 W ... スイッチング素子 E T ... 対向電極

10

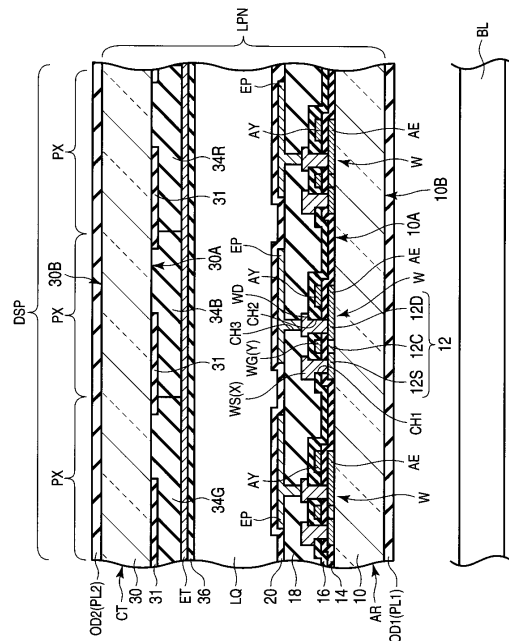
【 図 1 】

図 1



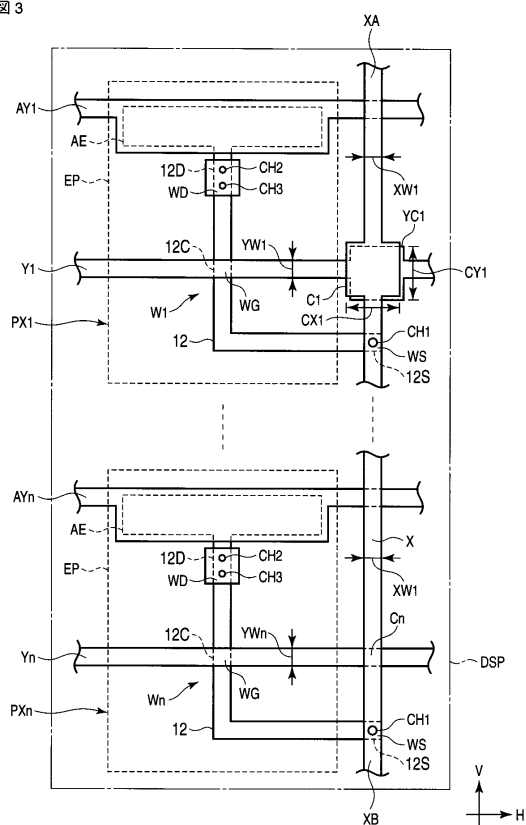
【 図 2 】

図 2



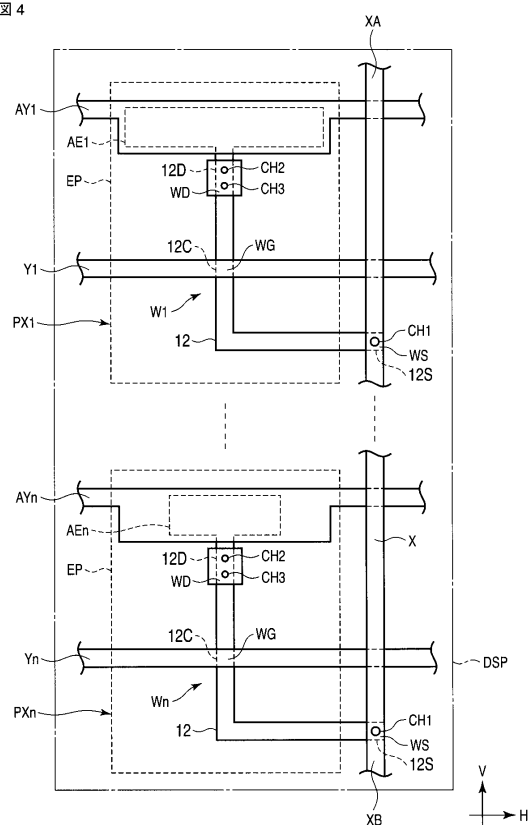
【 図 3 】

圖 3



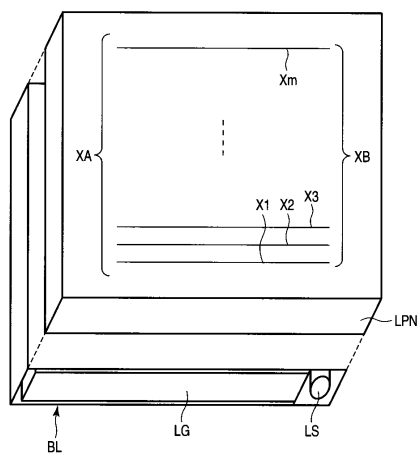
【圖 4】

图 4



【 図 5 】

图 5



フロントページの続き

(74)代理人 100084618
弁理士 村松 貞男
(74)代理人 100103034
弁理士 野河 信久
(74)代理人 100119976
弁理士 幸長 保次郎
(74)代理人 100153051
弁理士 河野 直樹
(74)代理人 100140176
弁理士 砂川 克
(74)代理人 100100952
弁理士 風間 鉄也
(74)代理人 100101812
弁理士 勝村 紘
(74)代理人 100070437
弁理士 河井 将次
(74)代理人 100124394
弁理士 佐藤 立志
(74)代理人 100112807
弁理士 岡田 貴志
(74)代理人 100111073
弁理士 堀内 美保子
(74)代理人 100134290
弁理士 竹内 将訓
(74)代理人 100127144
弁理士 市原 卓三
(74)代理人 100141933
弁理士 山下 元
(72)発明者 森田 伸
東京都港区港南四丁目1番8号 東芝松下ディスプレイテクノロジー株式会社内

審査官 右田 昌士

(56)参考文献 特開2006-126867(JP,A)
特開2004-078194(JP,A)
特開平05-232509(JP,A)
特開2000-338523(JP,A)
特開2006-250985(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1368
G02F 1/1343
G09F 9/30
H01L 29/786

专利名称(译)	液晶表示装置		
公开(公告)号	JP5299063B2	公开(公告)日	2013-09-25
申请号	JP2009106601	申请日	2009-04-24
[标]申请(专利权)人(译)	东芝移动显示器有限公司		
申请(专利权)人(译)	东芝移动显示器有限公司		
当前申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	森田伸		
发明人	森田 伸		
IPC分类号	G02F1/1368 G02F1/1343 G09F9/30 H01L29/786		
FI分类号	G02F1/1368 G02F1/1343 G09F9/30.338 H01L29/78.612.C		
F-TERM分类号	2H092/JA25 2H092/JA29 2H092/JA36 2H092/JA38 2H092/JA40 2H092/JA42 2H092/JA44 2H092/JA46 2H092/JB23 2H092/JB32 2H092/JB54 2H092/JB64 2H092/JB66 2H092/JB69 2H092/NA21 2H092/PA08 2H092/PA09 2H192/AA24 2H192/AA45 2H192/BC31 2H192/CB02 2H192/CC17 2H192/CC26 2H192/CC57 2H192/DA12 2H192/DA44 2H192/DA71 2H192/EA22 2H192/EA43 2H192/EA67 5C094/AA16 5C094/BA03 5C094/BA43 5C094/DA13 5C094/DB01 5C094/FB19 5F110/AA30 5F110/CC02 5F110/DD02 5F110/DD03 5F110/DD13 5F110/DD14 5F110/EE37 5F110/FF02 5F110/FF03 5F110/GG02 5F110/GG13 5F110/GG15 5F110/HM04 5F110/HM19 5F110/NN03 5F110/NN23 5F110/NN24 5F110/NN27 5F110/NN36 5F110/NN72 5F110/NN73		
代理人(译)	河野 哲 中村诚 河野直树 冈田隆 山下 元		
其他公开文献	JP2010256624A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置，以抑制由光泄漏引起的显示质量的劣化。ZOLUTION：液晶显示装置配备有：阵列基板，其配备有绝缘基板，布置在绝缘基板上的半导体层，覆盖半导体层的第一绝缘膜，布置在第一绝缘上的第一和第二栅极线薄膜并分别沿第一方向延伸，覆盖第一和第二栅极线的第二绝缘薄膜，以及布置在第二绝缘薄膜上的源极线，沿第二方向延伸并包括与第一栅极线交叉的第一横截面第二交叉部分与第二栅极线交叉且小于第一交叉部分；面对阵列基板的对置基板；液晶层保持在阵列基板和对置基板之间。Z

图 2

