

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5187363号
(P5187363)

(45) 発行日 平成25年4月24日(2013. 4. 24)

(24) 登録日 平成25年2月1日(2013. 2. 1)

(51) Int.Cl.

F 1

G O 2 F 1/133 (2006.01)

G O 2 F 1/133 5 2 5

G O 2 F 1/1368 (2006.01)

G O 2 F 1/1368

G O 9 G 3/36 (2006.01)

G O 9 G 3/36

G O 9 G 3/20 (2006.01)

G O 9 G 3/20 6 2 4 B

G O 9 F 9/30 (2006.01)

G O 9 G 3/20 6 2 1 M

請求項の数 4 (全 20 頁) 最終頁に続く

(21) 出願番号 特願2010-186864 (P2010-186864)

(22) 出願日 平成22年8月24日(2010. 8. 24)

(65) 公開番号 特開2012-47776 (P2012-47776A)

(43) 公開日 平成24年3月8日(2012. 3. 8)

審査請求日 平成24年7月24日(2012. 7. 24)

(73) 特許権者 308036402

株式会社 J V C ケンウッド

神奈川県横浜市神奈川区守屋町 3 丁目 1 2
番地

(74) 代理人 100085235

弁理士 松浦 兼行

(72) 発明者 岩佐 隆行

神奈川県横浜市神奈川区守屋町 3 丁目 1 2
番地

審査官 鈴木 俊光

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

2本のデータ線を一組とする複数組のデータ線と複数本の行走査線とがそれぞれ交差する交差部に設けられた複数の画素のそれぞれが、

対向する画素電極と共通電極との間に液晶層が挟持された液晶素子と、

正極性映像信号を第1のトランジスタによりサンプリングして第1の保持容量に一定期間保持させ、前記第1の保持容量に保持された正極性映像信号電圧をソースフォロウを構成する第2のトランジスタと第1のスイッチングトランジスタを通して前記画素電極に印加する正極性側信号画素回路部と、

負極性映像信号を第3のトランジスタによりサンプリングして第2の保持容量に前記一定期間保持させ、前記第2の保持容量に保持された負極性映像信号電圧をソースフォロウを構成する第4のトランジスタと第2のスイッチングトランジスタを通して前記画素電極に印加する負極性側信号画素回路部と、

を備え、

半導体基板上に層間膜を介在させて積層された複数のメタル層にて形成される前記正極性側信号画素回路部と前記負極性側信号画素回路部との互いに対になっている回路構成要素及び配線同士が、前記メタル層上の複数の画素の列方向に平行な第1の画素中心線及び前記複数のメタル層の断面方向に平行な第2の画素中心線の一方又は両方に対して線対称で配置されると共に、所定の一の前記メタル層上の前記第2のトランジスタの電源配線と前記第4のトランジスタの電源配線とが、前記第1の画素中心線に平行に、かつ、前記画

10

20

素の外周位置に形成されており、

前記第1及び第2のスイッチングトランジスタを垂直走査周期より短い所定の周期で切り替えて、前記第1及び第2の保持容量に保持された前記正極性映像信号電圧及び前記負極性映像信号電圧を前記画素電極に交互に印加して前記液晶素子を交流駆動することを特徴とする液晶表示装置。

【請求項2】

一組の前記2本のデータ線のうち、前記正極性映像信号を前記第1のトランジスタに供給する第1のデータ線が前記正極性側信号画素回路部の配線として、前記負極性映像信号を前記第3のトランジスタに供給する第2のデータ線が前記負極性側信号画素回路部の配線として、それぞれ所定の1の前記メタル層上の前記第1の画素中心線に平行に、かつ、画素の略中央位置に形成されていることを特徴とする請求項1記載の液晶表示装置。

10

【請求項3】

前記画素電極と前記半導体基板上の前記第1及び第2のスイッチングトランジスタの出力端子とを電氣的に接続する画素電極配線のための前記複数のメタル層のそれぞれに形成される第1のスルーホール及びコンタクト位置を、前記第1の画素中心線及び前記第2の画素中心線上の位置に配置すると共に、

前記複数のメタル層のうち隣接する第1及び第2のメタル層とその第1及び第2のメタル層の間の前記層間膜とにより形成される前記第1及び第2の保持容量のうち、前記第1の保持容量と前記半導体基板上の前記第1及び第2のトランジスタとを電氣的に接続する第1の容量接続配線のための所定の二以上のメタル層のそれぞれに形成される前記正極性側信号画素回路部内の第2のスルーホール及びコンタクト位置と、前記第2の保持容量と前記半導体基板上の前記第3及び第4のトランジスタとを電氣的に接続する第2の容量接続配線のための前記所定の二以上のメタル層のそれぞれに形成される前記負極性側信号画素回路部内の第3のスルーホール及びコンタクト位置を、前記第1の画素中心線に対して線対称で、かつ、画素の略中央部の位置に、前記第1のスルーホール及びコンタクト位置に近接させて配置し、

20

前記第1及び第2のメタル層のうち前記半導体基板に近接する側の一方のメタル層には、少なくとも前記第1～第3のスルーホール及びコンタクト位置を除いた画素中央部分のみに開口部を設けたことを特徴とする請求項1又は2記載の液晶表示装置。

【請求項4】

30

前記画素は、前記第1及び第2のスイッチングトランジスタと共に前記画素電極にドレインが接続された定電流負荷トランジスタを有し、前記複数のメタル層のうち前記半導体基板に最も近接したメタル層の画素中央部に、前記半導体基板上の前記定電流負荷トランジスタのドレインと前記画素電極とを電氣的に接続するための接続線のスルーホール及びコンタクトを形成したことを特徴とする請求項1～3のうちいずれか一項記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に係り、特に各画素において正極性映像信号と負極性映像信号とを2つの保持容量に別々にサンプリング保持した後、それらの保持電圧を交互に画素電極に印加して液晶素子を交流駆動する液晶表示装置に関する。

40

【背景技術】

【0002】

近年、プロジェクタ装置やプロジェクションテレビには画像を投影するための中心部品としてLCOS（Liquid Crystal on Silicon）型の液晶表示装置が多く用いられている。このLCOS型の液晶表示装置として、本出願人は先に、2本のデータ線（列信号線）を一組とする複数組のデータ線と、複数本のゲート線（行走査線）との各交差部にそれぞれ画素をマトリクス状に配置し、それらの各画素において正極性映像信号と負極性映像信号とを2つの保持容量に別々にサンプリング保持した後、それらの保持電圧を交互に画素

50

電極に印加して液晶素子を交流駆動する液晶表示装置を提案した（例えば、特許文献 1 参照）。

【0003】

図 9 は、この液晶表示装置の一画素の一例の等価回路図を示す。同図において、一つの画素 10 は、正極性の映像信号及び負極性の映像信号を書き込むための画素選択トランジスタ Q1 及び Q2 と、各々の極性の映像信号電圧を並列的に保持する独立した 2 つの保持容量 Cs1 及び Cs2 と、トランジスタ Q3～Q7 と、液晶素子 LC とからなる。なお、トランジスタ Q1～Q7 は、図 9 の例ではすべて N チャンネル電界効果トランジスタ（FET）であるが、これに限定されるものではない。液晶素子 LC は、互いに対向して配置された画素電極 PE と共通電極 CE との間に液晶層（表示体）LCM が挟持された周知の構造である。トランジスタ Q3 と Q7、及びトランジスタ Q4 と Q7 は、それぞれ所謂ソースフォロワ・バッファであり、トランジスタ Q3、Q4 が信号入力トランジスタ、トランジスタ Q7 が定電流源負荷として機能する。トランジスタ Q7 は極性切り替えスイッチングトランジスタ Q5、Q6 の後段、すなわち画素電極 PE ノードに配置され、正極性、負極性のソースフォロワ・バッファ双方の負荷として共通に機能する構成となっている。MOS トランジスタのソースフォロワ・バッファの入力抵抗はほぼ無限大で、保持容量 Cs1 及び Cs2 の蓄積電荷はリークすることなく、1 垂直走査期間後に信号が新たに書き込まれるまで保持される。

10

【0004】

また、画素部データ線は、各画素について正極性用データ線 Di+、負極性用データ線 Di- の 2 本一組で構成され、図示しないデータ線駆動回路でサンプリングされた互いに極性の異なる映像信号が供給される。画素選択トランジスタ Q1、Q2 の各ドレイン端子は各々正極性用データ線 Di+、負極性用データ線 Di- に接続され、各ゲート端子は同一行について行走査線（ゲート線）Gj に接続されている。また、配線 B がトランジスタ Q7 のゲートに接続されている。また、配線 S+、S- はゲート制御信号用の配線で、それぞれトランジスタ Q5、Q6 のゲートに別々に接続されている。更に、行走査線 Gj が同じ行の複数の画素のトランジスタ Q1 及び Q2 にそれぞれ共通接続されている。

20

【0005】

次に、この画素 10 の交流駆動制御の概要について図 10 のタイミングチャートと共に説明する。図 10（A）は、垂直同期信号 VD を示し、図 10（B）は、図 9 の画素 10 におけるトランジスタ Q7 のゲートに印加される配線 B の負荷特性制御信号を示す。また、図 10（C）は、上記画素 10 における正極性側駆動電圧を転送するスイッチングトランジスタ Q5 のゲートに印加される配線 S+ のゲート制御信号、同図（D）は、上記画素 10 における負極性側駆動電圧を転送するスイッチングトランジスタ Q6 のゲートに印加される配線 S- のゲート制御信号の各信号波形を示す。

30

【0006】

なお、図 11 は、画素に書込まれる正極性映像信号 a と、負極性映像信号 b の黒レベルから白レベルまでの関係を示す。正極性映像信号 a は、レベルが最小のとき最小階調の黒レベル、レベルが最大のとき最大階調の白レベルであるのに対し、負極性映像信号 b は、レベルが最小のとき最大階調の白レベル、レベルが最大のとき最小階調の黒レベルである。正極性映像信号 a と負極性映像信号 b の反転中心は、c で示される。

40

【0007】

図 9 において、図 10（C）に示す配線 S+ のゲート制御信号がハイレベルの期間、正極性側スイッチングトランジスタ Q5 がオンとなり、この期間に配線 B に供給される負荷特性制御信号を図 10（B）に示すようにハイレベルとすると、ソースフォロワ・バッファがアクティブとなり、画素駆動電極 PE ノードが正極性の映像信号レベルに充電される。画素駆動電極 PE の電位が完全に充電された状態となった時点で、配線 B の負荷特性制御信号をローレベルとし、かつ、そのとき配線 S+ のゲート制御信号もローレベルに切り替えると、画素駆動電極 PE はフローティングとなり、液晶容量に正極性駆動電圧が保持される。

50

【0008】

一方、図10(D)に示す配線S-のゲート制御信号がハイレベルの期間、負極性側スイッチングトランジスタQ6がオンとなり、この期間に配線Bに供給される負荷特性制御信号を同図(B)に示すようにハイレベルとすると、ソースフォロワ・バッファがアクティブとなり、画素電極PEノードが負極性の映像信号レベルに充電される。画素電極PEの電位が完全に充電された状態となった時点で、配線Bの負荷特性制御信号をローレベルとし、かつ、そのとき配線S-のゲート制御信号もローレベルに切り替えると、画素電極PEはフローティングとなり、液晶容量に負極性駆動電圧が保持される。

【0009】

以下、上記のスイッチングトランジスタQ5及びQ6を交互にオンとするスイッチングに同期して、配線Bの負荷特性制御信号によりトランジスタQ7を間欠的にアクティブとする動作を繰り返すことで、液晶素子LCの画素電極PEには正極性と負極性の各映像信号で交流化された駆動電圧VPEが図10(E)に示すように印加される。画素10は保持電荷を直接画素電極PEに転送するのではなく、ソースフォロワ・バッファを介して電圧を供給する構成のため、正負極性での繰り返し充放電を行っても電荷の中和の問題はなく、電圧レベルの減衰がない駆動が実現できる。

【0010】

また、図10(F)に示すVcomは、液晶表示装置の対向基板に形成した共通電極CEに印加する電圧を表している。液晶層LCMの実質的な交流駆動電圧は、この共通電極CEの印加電圧Vcomと画素電極PEの印加電圧との差電圧である。図10(F)に示すように、共通電極CEの印加電圧Vcomは、画素電極電位の反転基準レベルVcとほぼ等しい基準レベルに対して、画素極性切り替えと同期して反転されている。これにより、共通電極CEの印加電圧Vcomと画素駆動電極PEの印加電圧との電位差の絶対値が常に同一となり、液晶層LCMには図10(G)に示すような直流成分のない交流電圧VLCが印加される。このように、画素10では、共通電極CEの印加電圧を画素電極PEと逆相で切り替えることによって、画素電極PE側に供給する電圧の振幅を小さくすることができるため、駆動回路側のトランジスタ耐圧や消費電力を低減できる。

【0011】

また、保持容量Cs1、Cs2にそれぞれサンプリング保持された正極性、負極性の各映像信号電圧は、高入力抵抗のソースフォロワ回路であるトランジスタQ3、Q4を介して読み出され、図10(C)、(D)に示したように配線S+、S-に交互に供給されるゲート制御信号によりオンとされるスイッチングトランジスタQ5、Q6により交互に選択されて画素電極PEに正極性、負極性に反転する図10(E)に示した駆動電圧VPEとして印加される。この図9に示した画素10は、1垂直走査期間(1フレーム)に1度、保持容量Cs1、Cs2に正極性、負極性の各映像信号電圧を書き込んでしまえば、次のフレームの映像信号電圧が保持されるまでの1フレーム期間、何回でも保持容量Cs1、Cs2から映像信号電圧を読み出し、トランジスタQ5、Q6を交互に切り替えて液晶素子LCを交流駆動できる。従って、画素10は、映像信号の書き込み周期とは独立に垂直走査周波数の制約のない、高い駆動周波数で液晶素子LCを交流駆動することができる。

【0012】

この交流駆動周波数は、垂直走査周波数によらず、画素回路での反転制御周期で自由に設定することができる。例えば垂直走査周波数が一般的なテレビ映像信号で用いられる60Hzで、フルハイビジョンの垂直周期走査線数1125ラインで構成されているとする。画素回路の極性切り替えを15ライン期間程度の周期で行うとすれば、液晶素子の交流駆動周波数は $2.25\text{ kHz} (= 60\text{ (Hz)} \times 1125 \div (15 \times 2))$ となり、従来の液晶表示装置と比較して液晶駆動周波数を飛躍的に高めることができる。それにより、液晶素子の交流駆動周波数が低周波数の場合に比べて、焼き付きを防止でき、また信頼性・安定性やシミなどの表示品位低下などを大幅に改善することが可能となる。

【先行技術文献】

【特許文献】

【0013】

【特許文献1】特開2009-223289号公報

【発明の概要】

【発明が解決しようとする課題】

【0014】

しかしながら、上記の液晶表示装置は、図9に示したように、1つの画素10内にトランジスタが7つ必要であるため、各々のトランジスタQ1～Q7に信号を供給する配線数が多い。これは、画素回路そのものに極性反転機能を備えており、これを高速で制御することで垂直走査周波数の制約のない高い周波数での交流駆動を実現しているため、信号書き込みの配線や極性切り替えトランジスタのオンとオフを制御するための配線を画素10内に配置しているためである。この信号書き込みの配線や極性切り替えトランジスタのオンとオフを制御するための配線は、GNDと電源電圧を振幅とするロジックで駆動される配線（すなわち、ロジック配線）である。

10

【0015】

一方、極性切り替えの間、図9に示す画素10内の正極性用保持容量Cs1と負極性用保持容量Cs2とは、液晶素子LCを駆動するための正負の両極性のアナログ電圧を固定保持する必要がある。上記の保持するアナログ電圧に例えば数mVの電位変動があると、表示される絵に電位変動した部分の模様が視覚されてしまうためである。従って、保持容量Cs1及びCs2は、フローティングになっている正負の両極性の保持電圧を所定の保持時間（例えば、1フレーム）、固定する必要がある。

20

【0016】

しかし、保持容量Cs1及びCs2にはロジック配線に付随する寄生容量があり、その寄生容量の値は特に一画素内の配線数が多い画素10では大きい。このため、画素10では、正負の両極性の保持電圧はロジック配線と保持容量との間の寄生容量によって、所定の保持時間内で数mV変動してしまう。この寄生容量をなくすことは原理上できない。また、保持容量Cs1とロジック配線との間の第1の寄生容量と、保持容量Cs2とロジック配線との間の第2の寄生容量とに相対的な違いがあると、ロジック配線の信号レベル変化に伴って正負の両極性の保持電圧がそれぞれ変化してしまい、その結果、液晶駆動電圧のダイナミックレンジが小さくなってしまったり、フリッカーや輝度低下、焼き付きが発生するという問題がある。

30

【0017】

この問題について、図12と共に説明する。図12は、図9に示した一画素の回路に上記の寄生容量を含めて表した等価回路図を示す。図12中、図9と同一構成部分には同一符号を付し、その説明を省略する。図12において、C11、C12、C13、C14は、正極性用保持容量Cs1と配線B、Gj、S+、S-との間の寄生容量を示し、C21、C22、C23、C24は、負極性用保持容量Cs2と配線B、Gj、S+、S-との間の寄生容量を示す。

【0018】

図12において配線B、S+、S-、Gjはロジック配線であり、その配線により伝送される信号がオフの時0V、オンの時5Vとする。上記信号がオフで保持容量Cs1とCs2の保持電圧が確定するタイミングにおいて、保持容量Cs1に付随する寄生容量C11～C14と保持容量Cs2に付随する寄生容量C21～C24の値とが異なっている場合、画素電極PEに印加される正負の両極性の映像信号で交流化された画素電極駆動電圧VPEの振幅が、正規の振幅と比較して異なってしまう。

40

【0019】

ここで、一例として保持容量Cs1に付随する寄生容量C11～C14の値の方が保持容量Cs2に付随する寄生容量C21～C24の値に比べて小さいものとする、画素電極駆動電圧VPEは、図13（E）に示すように、保持容量Cs2のトランジスタQ4のゲートと接続されているノードがロジック配線とのクロストークによって、保持容量Cs2から読み出される負極性映像信号の保持電圧が大きくVDD方向に変動する。一方、上記の画素

50

電極駆動電圧 V_{PE} は、保持容量 C_{s1} のトランジスタ Q_3 のゲートと接続されているノードはロジック配線とのクロストークが小さいため、保持容量 C_{s2} から読み出される正極性映像信号の保持電圧はあまり電位変動していない。このため、画素電極駆動電圧 V_{PE} の振幅は正規の振幅と比較して小さくなり、ダイナミックレンジが小さくなってしまい、という問題が発生する。

【0020】

また、特に振幅の大きいロジック配線と保持容量との間に形成される寄生容量において、保持容量 C_{s1} 側の寄生容量と保持容量 C_{s2} 側の寄生容量とで値が異なると、共通電極の印加電圧 V_{com} がずれる要因となり、フリッカーや輝度低下、焼きつきが発生する。なお、図13(A)～(G)の信号波形は、図10(A)～(G)の信号波形とそれぞれ対応している。

10

【0021】

従って、正常なダイナミックレンジを保ち、フリッカーや輝度低下、焼き付きの発生を防止するためには、保持容量 C_{s1} 及び C_{s2} に付随する寄生容量を少なくする方法が考えられる。

【0022】

ここで、例えば、振幅の大きいロジック信号を伝送するロジック配線と、保持容量 C_{s1} 及び C_{s2} に保持されたアナログ信号である映像信号電圧を伝送する画素電極配線との間のクロストークを防止すれば、両極性の保持電圧が略正しく画素電極 PE に印加されるので、保持容量 C_{s1} 及び C_{s2} に付随する寄生容量を減少させることと実質的に同じである。そこで、本発明者が特許第4135547号公報にて開示した発明と同様の原理に基づき、各画素内においてロジック配線と画素電極配線との間に固定電位線を配置してロジック配線と画素電極配線との間のクロストークを低減することで、保持容量電圧の揺すれを防止することが考えられる。しかしながら、各画素内において画素電極配線と全てのロジック配線の間に固定電位線を配置することは、配線数がより一層増大することから画素ピッチの増大を招くという問題がある。

20

【0023】

一方、各画素内の2つの保持容量に保持される正極性と負極性の映像信号電圧は、ロジック配線及び画素電極配線や保持容量に付随する寄生容量によって変動したとしても、両極性の保持電圧をそれぞれ同じ電圧（絶対値）だけシフトした場合は、共通電極印加電圧 V_{com} を調整することで液晶素子 LC に正常な駆動電圧を印加することができる。

30

【0024】

本発明は以上の点に鑑みなされたもので、各画素内の正極性信号側画素回路部と負極性信号側画素回路部で互いに対になっている回路構成要素及び配線同士を、仮想の画素中心線に対して線対称で配置構成することにより、画素ピッチを増大させることなく液晶素子に正常な駆動電圧を印加することができる液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

【0025】

本発明は上記の目的を達成するため、2本のデータ線を一組とする複数組のデータ線と複数本の行走査線とがそれぞれ交差する交差部に設けられた複数の画素のそれぞれが、

40

対向する画素電極と共通電極との間に液晶層が挟持された液晶素子と、正極性映像信号を第1のトランジスタによりサンプリングして第1の保持容量に一定期間保持させ、第1の保持容量に保持された正極性映像信号電圧をソースフォロワを構成する第2のトランジスタと第1のスイッチングトランジスタを通して画素電極に印加する正極性側信号画素回路部と、負極性映像信号を第3のトランジスタによりサンプリングして第2の保持容量に一定期間保持させ、第2の保持容量に保持された負極性映像信号電圧をソースフォロワを構成する第4のトランジスタと第2のスイッチングトランジスタを通して画素電極に印加する負極性側信号画素回路部と、を備え、

半導体基板上に層間膜を介在させて積層された複数のメタル層にて形成される正極性側信号画素回路部と負極性側信号画素回路部との互いに対になっている回路構成要素及び配

50

線同士が、メタル層上の複数の画素の列方向に平行な第1の画素中心線及び複数のメタル層の断面方向に平行な第2の画素中心線の一方又は両方に対して線対称で配置されると共に、所定の一のメタル層上の第2のトランジスタの電源配線と第4のトランジスタの電源配線とが、第1の画素中心線に平行に、かつ、画素の外周位置に形成されており、第1及び第2のスイッチングトランジスタを垂直走査周期より短い所定の周期で切り替えて、第1及び第2の保持容量に保持された正極性映像信号電圧及び負極性映像信号電圧を画素電極に交互に印加して液晶素子を交流駆動することを特徴とする。

【0026】

また、上記の目的を達成するため、本発明は、一組の2本のデータ線のうち、正極性映像信号を第1のトランジスタに供給する第1のデータ線が正極性側信号画素回路部の配線として、負極性映像信号を第3のトランジスタに供給する第2のデータ線が負極性側信号画素回路部の配線として、それぞれ所定の一のメタル層上の第1の画素中心線に平行に、かつ、画素の略中央位置に形成されていることを特徴とする。

【0027】

また、上記の目的を達成するため、本発明は、画素電極と半導体基板上の第1及び第2のスイッチングトランジスタの出力端子とを電気的に接続する画素電極配線のための複数のメタル層のそれぞれに形成される第1のスルーホール及びコンタクト位置を、第1の画素中心線及び第2の画素中心線上の位置に配置すると共に、複数のメタル層のうち隣接する第1及び第2のメタル層とその第1及び第2のメタル層の間の層間膜とにより形成される第1及び第2の保持容量のうち、第1の保持容量と半導体基板上の第1及び第2のトランジスタとを電気的に接続する第1の容量接続配線のための所定の二以上のメタル層のそれぞれに形成される正極性側信号画素回路部内の第2のスルーホール及びコンタクト位置と、第2の保持容量と半導体基板上の第3及び第4のトランジスタとを電気的に接続する第2の容量接続配線のための所定の二以上のメタル層のそれぞれに形成される負極性側信号画素回路部内の第3のスルーホール及びコンタクト位置を、第1の画素中心線に対して線対称で、かつ、画素の略中央部の位置に、第1のスルーホール及びコンタクト位置に近接させて配置し、第1及び第2のメタル層のうち半導体基板に近接する側の一方のメタル層には、少なくとも第1～第3のスルーホール及びコンタクト位置を除いた画素中央部分のみに開口部を設けたことを特徴とする。

【0028】

また、上記の目的を達成するため、本発明は、画素が、第1及び第2のスイッチングトランジスタと共に画素電極にドレインが接続された定電流負荷トランジスタを有し、複数のメタル層のうち半導体基板に最も近接したメタル層の画素中央部に、半導体基板上の定電流負荷トランジスタのドレインと画素電極とを電気的に接続するための接続線のスルーホール及びコンタクトを形成したことを特徴とする。

【発明の効果】

【0029】

本発明によれば、各画素内の正極性信号側画素回路部と負極性信号側画素回路部で互いに対になっている回路構成要素及び配線同士を、仮想の画素中心線に対して線対称で配置構成することにより、2つの画素回路部の保持容量の寄生容量が均等に形成され、また配線抵抗、トランジスタ特性も2つの画素回路部で均等に得られ、これにより偏りのない特性を実現することができ、画素ピッチを増大させることなく液晶素子に正常な駆動電圧を印加することができる。

【図面の簡単な説明】

【0030】

【図1】本発明の液晶表示装置の一実施の形態の全体構成図である。

【図2】図1に示す液晶表示装置の動作説明用タイミングチャートである。

【図3】本発明の液晶表示装置の一つの画素の一実施の形態の構造断面図である。

【図4】図3に示す画素の第1メタル層の一実施の形態の平面レイアウト図である。

【図5】図3に示す画素の第2メタル層の一実施の形態の平面レイアウト図である。

【図 6】図 3 に示す画素の第 3 及び第 4 メタル層の一実施の形態の平面レイアウト図である。

【図 7】図 3 に示す画素の第 5 メタル層の一実施の形態の平面レイアウト図である。

【図 8】図 3 に示す画素の第 6 メタル層の一実施の形態の平面レイアウト図である。

【図 9】本発明の液晶表示装置の一つの画素の一例の等価回路図である。

【図 10】図 9 の画素の動作説明用タイミングチャートである。

【図 11】図 9 の画素の駆動信号レベルと信号反転に関する説明図である。

【図 12】従来の液晶表示装置の画素における寄生容量を説明する一例の等価回路図である。

【図 13】図 12 の画素の動作説明用タイミングチャートである。

10

【発明を実施するための形態】

【0031】

以下、図面を用いて本発明の実施形態について詳細に説明する。

【0032】

まず、本発明になる液晶表示装置の全体構成の一実施の形態について説明する。本発明になる液晶表示装置の全体構成自体は、前述した特許文献 1 に記載の液晶表示装置と同じでよい。本発明はその液晶表示装置の画素の構造に特徴がある。

【0033】

図 1 は、本発明になる液晶表示装置の一実施の形態の全体構成図を示す。同図において、液晶表示装置 20 は、シフトレジスタ回路 11a 及び 11b と、1 ラインラッチ回路 12 と、コンパレータ 13 と、階調カウンタ 14 と、アナログスイッチ 15 と、水平方向に m 個、垂直方向に n 個それぞれマトリクス状に配置された図 9 に示した等価回路の画素 10 と、タイミング発生器 17 と、極性切り替え制御回路 18 と、垂直シフトレジスタ及びレベルシフタ 19 とから構成される。

20

【0034】

シフトレジスタ回路 11a 及び 11b、1 ラインラッチ回路 12、コンパレータ 13、及び階調カウンタ 14 は、水平ドライバ回路を構成している。なお、コンパレータ 13 は、図 1 では図示の簡単のために一つのブロックで示しているが、実際には各画素列毎に設けられている。アナログスイッチ 15 は、各画素列毎に正極性用及び負極性用の 2 つ 1 組のサンプリング用アナログスイッチが配置された構成である。画素 10 は、2 系統のデータ線 (D1+と D1-、・・・、Dm+と Dm-) と行走査線 (G1、・・・、Gn) との交差部に配置されている。

30

【0035】

極性切り替え制御回路 18 は、タイミング発生器 17 からのタイミング信号に基づいて、前述した配線 S+に正極性ゲート制御信号、配線 S-に負極性ゲート制御信号、配線 B に負荷特性制御信号をそれぞれ出力する。垂直シフトレジスタ及びレベルシフタ 19 は、行走査線 G1～Gn に対して行選択信号を 1 水平走査周期で順次出力して、行走査線 G1～Gn を 1 水平走査周期で各行走査線単位で順次選択する。

【0036】

次に、図 1 の動作について、図 2 のタイミングチャートを併せ参照して説明する。図 2 (A) に示す水平同期信号 HD に同期した、同図 (B) に示す複数ビットの画素データ (DATA) が時系列的に合成されたデジタル映像信号は、シフトレジスタ回路 11a、11b で 1 ライン分のデータとして順次展開され、1 ライン分の展開が終了した時点で、1 ラインラッチ回路 12 でラッチされる。

40

【0037】

なお、図 2 (B) に示す画素データ (DATA) のうち、白地の一つ置きに示す水平方向の偶数列画素データ DATA (even) がシフトレジスタ回路 11a に供給され、斜線を付した残りの一つ置きに示す水平方向の奇数列画素データ DATA (odd) がシフトレジスタ回路 11b に供給される。これは、高解像度パネルでの高速動作への対応を容易とするためである。

【0038】

50

1ラインラッチ回路12は、シフトレジスタ回路11aから出力される奇数列画素データDATA (odd)と、シフトレジスタ回路11bから出力される偶数列画素データDATA (even)とからなる同じラインの1ライン期間の画素データDATAを図2 (D)に模式的に示すように保持した後、各画素列のコンパレータ13の第1のデータ入力部に供給する。

【0039】

階調カウンタ14は、図2 (E)に示すクロックCount-CKをカウントして、同図 (F)に示すように複数の階調値が水平走査期間内で最小値から最大値まで一巡するカウント値 (基準階調データ) C-outを水平走査期間毎に出力し、各画素列のコンパレータ13の第2のデータ入力部に供給する。コンパレータ13は、第1のデータ入力部の入力画素データDATAの値と第2のデータ入力部の入力基準階調データC-outの値 (階調値) とを比較し、両者の値が一致したタイミングで一致パルスを生

10

【0040】

アナログスイッチ15を構成する正極性用及び負極性用の2つ1組のサンプリング用アナログスイッチのうち、正極性用のサンプリング用アナログスイッチは、入力側共通配線に図示しないランプ信号発生器から正極性用ランプ信号である基準ランプ電圧Ref_Ramp(+)が印加される。一方、負極性用のサンプリング用アナログスイッチは、入力側共通配線に図示しないランプ信号発生器から負極性用ランプ信号である基準ランプ電圧Ref_Ramp(-)が印加される。

【0041】

上記の基準ランプ電圧Ref_Ramp(+)及びRef_Ramp(-)のうち、Ref_Ramp(+)は、図2 (I)に示すように水平走査期間周期で映像の黒レベルから白レベルにレベルが上昇する方向に変化する周期的な正極性掃引信号である。一方、上記の基準ランプ電圧Ref_Ramp(-)は、図2 (J)に示すように水平走査期間周期で映像の黒レベルから白レベルにレベルが減少する方向に変化する周期的な負極性掃引信号である。従って、基準ランプ電圧Ref_Ramp(+)とRef_Ramp(-)は、所定の基準電位について反転関係となっている。

20

【0042】

アナログスイッチ15は、図2 (G)に示すSW-Start信号を受け、各水平走査期間の開始時点で一斉にオンとなった後、対応する画素のコンパレータ13から一致パルスを受けた時点でオフに移行するように画素単位に開閉制御される。

【0043】

図2のタイミングチャートでは、一例として階調レベルkの画素データDATAに対応した画素列のアナログスイッチ15の開閉タイミングを、同図 (H)に示す波形SPkとして図示している。その結果、上記画素列のアナログスイッチ15を構成する正極性用及び負極性用の2つ1組のサンプリング用アナログスイッチが、上記一致パルスを受けて同時にオフした時点の基準ランプ電圧Ref_Ramp(+)とRef_Ramp(-)の対応レベル (図2 (I)、(J)の点P、点Q)が同時にサンプリングされて、それぞれ前述した正極性映像信号、負極性映像信号として、その画素列の画素データ線Di+、Di-に出力される。この図2 (I)、(J)の点P、点Qの基準ランプ電圧レベルは、階調レベルkの画素データDATAをデジタル-アナログ変換して得られたアナログ電圧である。

30

【0044】

アナログスイッチ15は、各水平走査期間の初めにすべてが一斉にオンとされるが、オフになるタイミング、すなわち基準ランプ電圧をサンプル・ホールドするタイミングはそのときに表示しようとする絵柄によって対応して設けられた画素毎に異なり、すべて同時の時もあれば別々のときもある。オフになる順序も固定されているわけではなく、絵柄によってその都度オフの順番は異なる。このような液晶表示装置20では、ランプ信号を用いたDA変換方式の動作により直線性が良いなどの特長がある。

40

【0045】

次に、本発明の特徴である液晶表示装置20の画素10の構造について説明する。

【0046】

図3は、本発明になる液晶表示装置の一画素の一実施の形態の構造断面図、図4～図8

50

は、それぞれ図3の各層の一実施の形態の平面レイアウト図を示す。図3は、図4～図8に示した各層のA-A'線に沿う構造断面図である。図3～図8中、図9と同一構成部分には同一符号を付し、その説明を省略する。また、図4において、白四角はスルーホールを示し、黒四角はコンタクトを示す。

【0047】

図3の構造断面図に示す一つの画素50（図1の一つの画素10に相当）は、図9に示した画素10と同一の等価回路で表される。この一つの画素50は、半導体基板のウェル51上に形成されたトランジスタの上方に、第1メタル層1M、第2メタル層2M、第3メタル層3M、第4メタル層4M、第5メタル層5M及び第6メタル層6Mが、それぞれの間に層間膜60を介在して積層された構造である。また、第6メタル層6Mは画素電極PEを構成し、その画素電極PEと離間対向する位置に共通電極CEが形成され、画素電極PEと共通電極CEとの間に液晶層LCMが挟持されて液晶素子を構成している。

10

【0048】

図3に示す断面の画素50は、垂直（断面）方向の仮想の画素中心線I-I'に対して、画素50内の正極性信号側画素回路部と負極性信号側画素回路部で互いに対になっている回路構成要素及び配線同士が線対称で配置構成されている（換言すると、ミラー反転でレイアウト配置されている）。上記の正極性信号側画素回路部は、図9の画素10の場合、トランジスタQ1、Q3及びQ5と保持容量Cs1とデータ線Di+とからなる。また、上記の負極性信号側画素回路部は、図9の画素10の場合、トランジスタQ2、Q4及びQ6と保持容量Cs2とデータ線Di-とからなる。ただし、後述するように、トランジスタQ1～Q6は半導体基板であるウェル51上に形成されており、メタル層1M～6Mにはそれ以外の回路構成要素及び配線が配置されている。

20

【0049】

ウェル51には、トランジスタQ3及びQ5の各ゲート電極g3及びg5が、トランジスタQ4及びQ6の各ゲート電極g4及びg6と、画素中心線I-I'に対して左右対称に配置形成されている。これらのゲート電極g3、g5、g4、g6はポリシリコンにより形成されている。また、ウェル51には、ゲート電極g3とg5との間にトランジスタQ3のソースとトランジスタQ5のドレインとなる拡散層52が形成されており、またゲート電極g4とg6との間にトランジスタQ4のソースとトランジスタQ6のドレインとなる拡散層53が形成されている。また、ウェル51には、トランジスタQ3、Q4のドレインとなる拡散層55、56と、トランジスタQ4、Q5の各ソースとなる拡散層54とが形成されている。上記の拡散層54は、コンタクトとスルーホールを介して第1メタル層1Mの画素電極配線101に電氣的に接続されている。また、上記の拡散層55、56は、それぞれ第1メタル層1MのVdd配線102、103に電氣的に接続されている。

30

【0050】

なお、図3において、メタル層1M、2M、3M、5Mの各上面と下面、及びメタル層6Mの下面にはそれぞれ太実線で示す反射防止膜が形成されている。この反射防止膜は、Ti、又はTiNなどの金属膜で形成されており、メタル層の一部として機能している。反射防止膜は画素電極の間隙から照射された光を吸収しながら、吸収しきれなかった分を反射する。従って、反射光の光路長を長くするほど（反射を繰り返すほど）、反射光は減衰していく。

40

【0051】

図4は、第1メタル層1Mの一実施の形態の平面レイアウト図を示す。同図中、図3と同一構成部分には同一符号を付してある。図4において、画素50の第1メタル層1Mは、画素平面においてデータ線Di+、Di-の長手方向（すなわち、マトリクス状に配置された画素群の列方向）に平行な仮想の画素中心線II-II'に対して、画素50内の正極性信号側画素回路部と負極性信号側画素回路部で互いに対になっている回路構成要素及び配線同士が線対称で配置構成されている。

【0052】

すなわち、図4において、Vdd配線102、Cs1接続配線104、データ線Di+用配線

50

106などの正極性信号側画素回路部の配線と、Vdd配線103、Cs2接続配線105、データ線Di-用配線107などの負極性信号側画素回路部の配線とは、画素中心線II-II'に対して対応する配線同士が線対称位置に配置されている。また、正極性信号側画素回路部と負極性信号側画素回路部とで共通の画素電極配線101と、トランジスタQ7は、画素中心線II-II'上の位置に配置されている。

【0053】

また、データ線Di+用配線106は、図3のウェル51に形成されているトランジスタQ1のドレイン電極に電氣的に接続されている。同様に、データ線Di-用配線107は、図3のウェル51に形成されているトランジスタQ2のドレイン電極に電氣的に接続されている。更に、画素電極配線101は、トランジスタQ5、Q6、Q7のドレイン電極と電氣的に接続されている。

10

【0054】

ここで、図4に示すように、Vdd配線102とVdd配線103とは、1画素内の左右両端に配置されているため、左右両隣の画素の第1メタル層1Mで構成されたCs1接続配線、又はCs2接続配線からのクロストークを抑制するガードパターンの役割を果たしている。これにより、保持容量Cs1とCs2とは不要な電圧に振られることなく、安定した電圧を保持できるようになる。また、Vdd配線102とVdd配線103とは、上下両隣の画素のVdd配線に接続されて使用される。一方、図4に示すように、データ線Di+用配線106及びデータ線Di-用配線107は、画素の中心部付近に配置されており、これにより、外部又は隣接する画素のVdd配線からデータ線Di+、Di-へのクロストークの影響を最小限にしている。

20

【0055】

図5は、第2メタル層2Mの一実施の形態の平面レイアウト図を示す。同図中、図3、図4と同一構成部分には同一符号を付してある。第2メタル層2Mは、図3に示したように図4に示した平面レイアウトの第1メタル層1Mの上に層間膜60を介して形成されている。図5において、第2メタル層2Mは、図4と同様の仮想の画素中心線II-II'に対して、画素50内の正極性信号側画素回路部と負極性信号側画素回路部で互いに対になっている回路構成要素及び配線同士が線対称で配置構成されている。

【0056】

すなわち、図5において、Vdd配線201、Cs1接続配線203などの正極性信号側画素回路部の配線と、Vdd配線202、Cs2接続配線204などの負極性信号側画素回路部の配線とは、画素中心線II-II'に対して対応する配線同士が線対称位置に配置されている。また、正極性信号側画素回路部と負極性信号側画素回路部とで共通の画素電極配線205は画素中心線II-II'の位置に線対称に配置されている。

30

【0057】

また、行走査線Gj用配線206、正極性ゲート制御信号用配線S+用の配線（以下S+配線）209、負極性ゲート制御信号配線S-用の配線（以下、S-配線）210は、画素群の行方向（すなわち、画素中心線II-II'に直交する方向）に平行な方向に長手方向が延在するように形成されている。また、負荷特性制御信号線B用の配線（以下、B配線）208は、画素群の行方向に平行な方向に長手方向が延在するように形成されているが、第2メタル層2Mの中心付近で一部断続するように形成されている。また、Vss配線207は、T字形状に形成されており、その一辺が画素中心線II-II'の位置に線対称に配置されている。

40

【0058】

なお、S+配線209のスルーホールt1とS-配線210のスルーホールt2とは、配線の都合上、画素中心線II-II'に対して非線対称な位置に配置されている。スルーホールは、図示していないコンタクトも配置されている。従って、S+配線209はスルーホールt1を介して第1メタル層1MのトランジスタQ5のゲート電極g5に電氣的に接続され、S-配線210はスルーホールt2を介して第1メタル層1MのトランジスタQ6のゲート電極g6に電氣的に接続されている。

50

【0059】

また、Gj配線206はトランジスタQ1及びQ2のゲート電極g1、g2に、Vss配線207はトランジスタQ7のドレインに、B配線208はトランジスタQ7のゲート電極g7に、Cs1接続配線203はトランジスタQ3のゲート電極g3とトランジスタQ1のソースに、Cs2接続配線204はトランジスタQ4のゲート電極g4とトランジスタQ2ソースにそれぞれスルーホールを介して電氣的に接続されている。また、画素電極配線205は、図3に示したように第1メタル層1Mの画素電極配線101とスルーホールを介して電氣的に接続される。

【0060】

図6は、第3メタル層3Mと第4メタル層4Mの一実施の形態の平面レイアウト図を示す。同図中、図3、図5と同一構成部分には同一符号を付してある。第3メタル層3Mは、図3に示したように図5に示した平面レイアウトの第2メタル層2Mの上に層間膜60を介して形成されている。また、第4メタル層3Mは、図3に示したように第3メタル層3Mの上に層間膜60を介して形成されている。なお、図6は、層間膜60の図示は省略してあり、上側の第4メタル層4Mを通して下側の第3メタル層3Mを見た平面図を示す。

10

【0061】

図6において、第3、第4メタル層3M、4Mは、図4及び図5と同様の仮想の画素中心線II-II'に対して、画素50内の正極性信号側画素回路部と負極性信号側画素回路部で互いに対になっている回路構成要素及び配線同士が線対称で配置構成されている。

20

【0062】

すなわち、第4メタル層4Mは、正側保持容量Cs1用电極401、Cs1接続配線403などの正極性信号側画素回路部と、負側保持容量Cs2用电極402、Cs2接続配線404などの負極性信号側画素回路部とは、画素中心線I-I'に対して線対称位置に配置されている。また、正極性信号側画素回路部と負極性信号側画素回路部とで共通のVss配線405及び画素電極配線406は画素中心線II-II'の位置に線対称に配置されている。

【0063】

また、第3メタル層3Mは、表面が略ベタパターンに形成されたVdd配線301であり、一画素内の中央下位置に開口部310を有し、正側保持容量Cs1用电極401の下側部分に位置する領域部分が、非導電体である層間膜60と正側保持容量Cs1用电極401とにより正極性信号側画素回路部の回路構成要素である正側保持容量Cs1を構成する。また、第3メタル層3Mは、負側保持容量Cs2用电極402の下側部分に位置する領域部分が、非導電体である層間膜60と負側保持容量Cs2用电極402とにより負極性信号側画素回路部の回路構成要素である負側保持容量Cs2を構成する。なお、第3メタル層3Mと第4メタル層4Mとの間の層間膜60の膜厚は、例えば100nm程度で形成されており、保持容量Cs1、Cs2を大きくなる値に形成できるようになっている。

30

【0064】

更に、図6では第4メタル層4Mにより隠されて見えないが、第3メタル層3Mは、第4メタル層4Mの画素電極配線406の下側の対応した位置に画素電極配線（図3の306）が形成されている。また、第3メタル層3Mは、第4メタル層4MのCs1接続配線403、Cs2接続配線404の下側の対応したそれぞれの位置にCs1接続配線（図3の303）、Cs2接続配線（図3の304）が形成されている。画素電極配線406と306は電氣的に接続されている。同様に、Cs1接続配線403及び303の間、Cs2接続配線404及び304の間も電氣的に接続されている。更に、第3メタル層3Mは、Vss配線405の下側の対応した位置にVss配線が形成されている。

40

【0065】

図7は、第5メタル層5Mの一実施の形態の平面レイアウト図を示す。同図中、図3、図6と同一構成部分には同一符号を付してある。第5メタル層5Mは、図3に示したように図6に示した平面レイアウトの第4メタル層4Mの上に層間膜60を介して形成されて

50

いる。図7において、第5メタル層5Mは、図4～図6と同様の仮想の画素中心線II-II'に対して、画素50内の正極性信号側画素回路部と負極性信号側画素回路部で互いに対になっている回路構成要素及び配線同士が線対称で配置構成されている。

【0066】

すなわち、図7において、第5メタル層5Mは、中心に開口部505を有し、外周縁部がVss配線503からなり、また、Cs1接続配線501などの正極性信号側画素回路部の配線と、Cs2接続配線502などの負極性信号側画素回路部の配線とは、画素中心線II-II'に対して線対称位置に配置されている。また、正極性信号側画素回路部と負極性信号側画素回路部とで共通の画素電極配線504は画素中心線II-II'の位置に線対称に配置されている。

10

【0067】

なお、Vss配線503は、その一部が画素中心線II-II'の位置に線対称に配置されている。また、画素電極配線504は、図3に示すように第4メタル層4Mの画素電極配線406と電氣的に接続されている。同様に、Cs1接続配線501はCs1接続配線403に接続すると共に正側保持容量Cs1用電極401に、Cs2接続配線502はCs2接続配線404に接続すると共に負側保持容量Cs2用電極402にそれぞれ電氣的に接続されている。

【0068】

図8は、第6メタル層6Mの一実施の形態の平面レイアウト図を示す。同図中、図3、図9と同一構成部分には同一符号を付してある。第6メタル層6Mは、図3に示したように図7に示した平面レイアウトの第5メタル層5Mの上に層間膜60を介して形成されている。

20

【0069】

図8に示すように、第6メタル層6Mは1つの画素より間隙部を除いた少し小さい大きさの矩形状の電極で、前述した図9の画素電極PEを構成している。第6メタル層6Mはスルーホール70を介して第5メタル層5Mの画素電極配線504に電氣的に接続されている。この第6メタル層6Mによる画素電極PEは、隣接する画素電極との間でそれぞれ間隙部を有している。

【0070】

このように、本実施の形態によれば、図3～図8と共に説明したように、各画素10(50)内の正極性信号側画素回路部と負極性信号側画素回路部で互いに対になっている回路構成要素及び配線同士が断面方向及び水平方向のいずれにおいても線対称で配置構成されているため、正極性と負極性の2つの画素回路部が同じ断面構造、同じパターン形状になることから、2つの保持容量Cs1及びCs2の寄生容量が2つの画素回路部において均等に形成され、また配線抵抗、トランジスタ特性も2つの画素回路部で均等に得られ、これにより偏りのない特性を実現することができる。具体的には、製造上のプロセスにおいて、エッチングやフォトリソグラフィ、アルミ配線や層間膜などの形状が正極性と負極性の2つの画素回路部において同一にでき、配線抵抗や寄生容量を同一に形成できるようになる。

30

【0071】

また、本実施の形態では、配線B、S+、S-、Gjのロジック配線は図5に示したように、1画素内で水平方向(行方向)に配線し、両極性の保持電圧に均等にクロストークするようにレイアウトしている。このため、本実施の形態の画素50によれば、両極性の保持容量電圧はロジック配線からのクロストークが同じだけかかることになるため、ロジック信号によって同じだけ電圧がシフトすることになる。

40

【0072】

従って、本実施の形態によれば、以上の画素50の構成により、両極性の保持電圧がロジック配線及び画素電極配線や保持容量に付随する寄生容量によって変動したとしても、液晶素子LCに正常な駆動電圧を印加することができ、画素ピッチを増大させることなく液晶素子に正常な駆動電圧を印加することができる。

50

【0073】

次に、画素内部における不要光と、それによる問題と本実施の形態による解決方法について、図3の断面図を参照して説明する。

【0074】

図3に矢印で示すように、共通電極CE及び液晶層LCMを透過した入射光は、その大部分が画素電極PEで反射されて入射光経路に対して逆方向に戻る。しかし、第6メタル層6Mによる画素電極PEは画素単位で設けられており、隣接する画素の画素電極との間で間隙部を有しているため、上記の入射光の一部は、この間隙部及び層間膜60を通して第5メタル層5Mに入射する。この第5メタル層5Mに入射した光は、第5メタル層5Mの上面の反射防止膜と画素電極PE（第6メタル層6M）の下面の反射防止膜との間で乱反射を繰り返しながら減衰していくが、減衰しきれなかった一部の反射光は各メタル層5M、4M、3M、2M、1Mの間を透過してウェル51上のトランジスタQ1～Q7に不要光として入射する。

10

【0075】

ここで、図3に示すように、トランジスタQ3、Q5、Q4、Q6のドレインやソースとなる拡散層52、53とウェル51との接合部はPN接合ダイオード57になっている。図3には図示されていないが、トランジスタQ1及びQ2のドレインやソースとなっている拡散層とウェル51との接合部も同様にPN接合ダイオードになっている。このため、上記の不要光が図9に示したトランジスタQ1及びQ2のドレインやソースとなっている拡散層に照射されてしまうと、上記の拡散層とウェル51とのPN接合ダイオードがフォトダイオードの役割を果たしてしまい、保持容量Cs1及びCs2に蓄えられた電荷がリークしてしまう。

20

【0076】

画素電極PEに駆動電圧を印加する保持容量Cs1及びCs2は、液晶素子の垂直走査周波数よりも高い周波数での交流駆動を実現するためには、2種類の保持電圧を1フレーム期間保持する必要がある。このため、保持容量Cs1及びCs2は、僅かなリーク電流であっても、保持時間が長い分リーク電流量が多くなるため、リークに敏感であるといえる。リーク電流があると、2種類の保持電圧は、どちらもウェル電圧方向にバイアスされ、DCオフセットがされたようになるため、フリッカーや焼き付きの問題が発生する。このため、トランジスタQ1とQ2に不要光が照射されないように回路部や配線等をレイアウトすることが重要である。

30

【0077】

そこで、本実施の形態では、図3及び図6に示すように、第3メタル層3Mの開口部310を図4に示したトランジスタQ1及びQ2の位置から遠ざけて画素の中心部に配置している。また、本実施の形態では、図3及び図6に示すように、開口部310内には、Cs1接続配線（図3の303）、Cs2接続配線（図3の304）、画素電極配線（図3の306）、並びに第4メタル層4MのVss配線405に対応した位置の第3メタル層3MのVss配線を、一箇所に集中して配置することにより、第3メタル層3Mの開口部310を小さい面積で形成することようにしている。

【0078】

40

更に、本実施の形態では、図3及び図6に示すように、第3メタル層3Mにおいて、Cs1接続配線303と画素電極配線306との間、画素電極配線306とCs2接続配線304との間、画素電極配線306とVss配線405に対応した位置のVss配線との間の各間隙をできるだけ小さくすると共に、Cs1接続配線303、画素電極配線306、Cs2接続配線304、Vss配線405に対応した位置の第3メタル層3M上のVss配線と、Vdd配線301との間の間隙をできるだけ小さくして第3メタル層3Mの開口部310の面積を極力小さくしている。

【0079】

以上のことから、本実施の形態によれば、開口部310の面積が極力小さくされた第3メタル層3Mにより不要光が大幅に制限され、また、第3メタル層3Mの上下の配線に導

50

通するためのスルーホールを1箇所にとめることにより不要光の光路が制限され、第3メタル層3Mより下の配線には不要光が殆ど照射されないようにすることができる。更に、本実施の形態では、第3メタル層3Mのメタル配線間隙は、エッチングで実現できる最小寸法（例えば、 $0.4\mu\text{m}$ ）でレイアウトすることにより光の侵入を抑えている。この第3メタル層3Mは、保持容量電極にVdd電位を供給するVdd配線301に使用すると共に、遮光膜としても機能している。

【0080】

また、トランジスタQ1及びQ2のドレインやソースとなっている拡散層に不要光が入射して特性劣化を生じさせるのは、図4に151で示したトランジスタQ1、Q3の各ソースとCs1接続配線104との接続箇所、及びトランジスタQ2、Q4の各ソースとCs2接続配線105との接続箇所である。そこで、本実施の形態では、上記の光リークにより特性劣化する保持容量拡散部151を、図4及び図6に示すように、開口部310から遠ざけた位置に配置することで、上記の不要光によるトランジスタQ1及びQ2の特性劣化を防止している。

【0081】

また、本実施の形態では、画素50（図1及び図9の一つの画素10）そのものに極性反転機能を備え、これを高速で制御することで垂直走査周波数の制約のない高い周波数での液晶素子の交流駆動を実現するため、液晶素子の画素電極PEはトランジスタQ7のドレインとなる拡散層に接続されている。そのため、トランジスタQ7のドレインとなる拡散層に不要光が入射すると、トランジスタQ7にリーク電流が発生して、液晶素子の交流駆動が正極性側と負極性側とで非対称になり、焼き付きやフリッカーの原因になる。トランジスタQ7の拡散層部分に不要光が入射すると、その拡散層部分がフォトダイオードの役割を果たしてしまい、画素電極PEと共通電極CEとの間の液晶層LCMに蓄えた電荷がリークしてしまうためである。

【0082】

上記の不要光は、隣接する画素電極PEの間隙部を通して入射する入射光が、図4に152で示す光リークにより特性劣化する保持容量拡散部からトランジスタQ7に入射することにより発生する。そこで、本実施の形態では、図4に示すように、画素50内において隣接する画素の画素電極PEとの間の間隙部から最も遠い位置にある画素中心に、第1メタル層1Mの画素電極配線101がトランジスタQ7のドレインとなる拡散層に接続されるコンタクト及びスルーホール110を配置することによって、不要光がトランジスタQ7に入射することを大幅に防止している。

【0083】

なお、本発明は以上の実施の形態に限定されるものではなく、以上の実施の形態では例えば各メタル層1M～5Mのパターン形状は、1画素内で左右ミラー反転してレイアウトしているが、メタル層1M～5Mの全てについて左右ミラー反転のレイアウト配置をする必要はなく、主要なメタル層のみでもよい。トランジスタの各配置、トランジスタに電圧を供給する配線、保持容量などが1画素内でミラー反転してレイアウトすることが重要である。

【0084】

また、本実施の形態では、Nチャネル電界効果トランジスタを例に挙げて説明したが、これに限定されるものではなく、本発明をPチャネル電界効果トランジスタに適用するようにしてもよい。この場合、例えば電源配線であるVdd配線はGND（接地）配線となる。

【符号の説明】

【0085】

10、50 画素

20 液晶表示装置

101、205、306、406、504 画素電極配線

102、103、202、301 Vdd配線

10

20

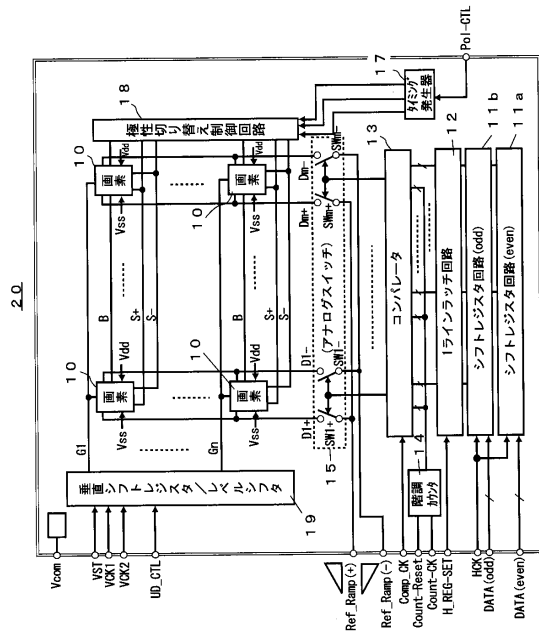
30

40

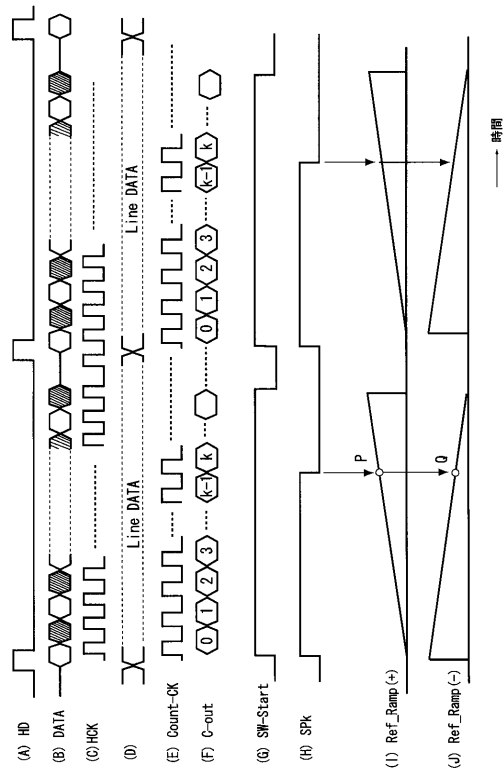
50

1 0 6	Di+用配線	
1 0 7	Di-用配線	
1 1 0	コンタクト及びスルーホール	
2 0 3、3 0 3、4 0 3、5 0 1	Cs1接続配線	
2 0 4、3 0 4、4 0 4、5 0 2	Cs2接続配線	
2 0 6	Gj配線	
2 0 7、4 0 5、5 0 3	Vss配線	
2 0 8	B配線	
2 0 9	S+配線	
2 1 0	S-配線	10
3 1 0、5 0 5	開口部	
4 0 1	正側保持容量Cs1用電極	
4 0 2	負側保持容量Cs2用電極	
Q 1、Q 2	画素選択トランジスタ	
Q 3、Q 4	信号入力トランジスタ	
Q 5、Q 6	スイッチングトランジスタ	
Q 7	定電流負荷トランジスタ	
Cs1及びCs2	保持容量	
LC	液晶素子	
PE	画素電極	20
CE	共通電極	
LCM	液晶層（表示体）	
Di+	正極性用データ線	
Di-	負極性用データ線	
Gj	行走査線	
S+	正極性ゲート制御信号用配線	
S-	負極性ゲート制御信号用配線	
B	負荷特性制御信号用配線	
1 M～6 M	メタル層	
g 3、g 4、g 5、g 6	ゲート電極	30

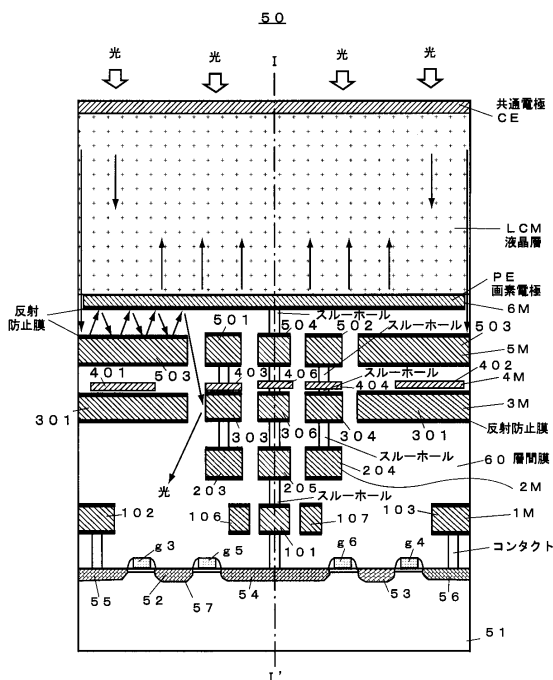
【図 1】



【図 2】

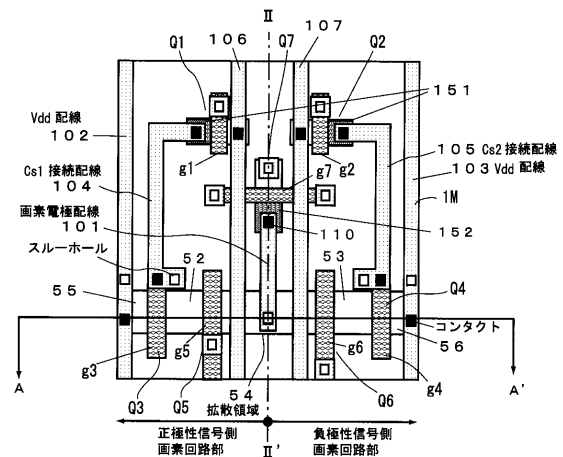


【図 3】



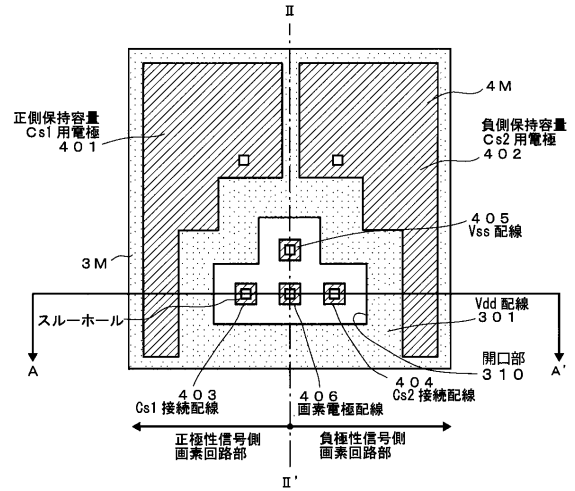
- 51: ウェル
 52~56: 拡散層
 57: PN接合ダイオード
 60: 層間膜
 101, 205, 308, 406, 504: 画素電極配線
 102, 103, 301: Vdd配線
 106: Di+用配線
 107: Di-用配線
 203, 303, 304, 501: Cs1接続配線
 204, 304, 404, 502: Cs2接続配線
 401: 正側保持容量Cs1用電極
 402: 負側保持容量Cs2用電極
 503: Vss配線
 1M~6M: メタル層

【図 4】

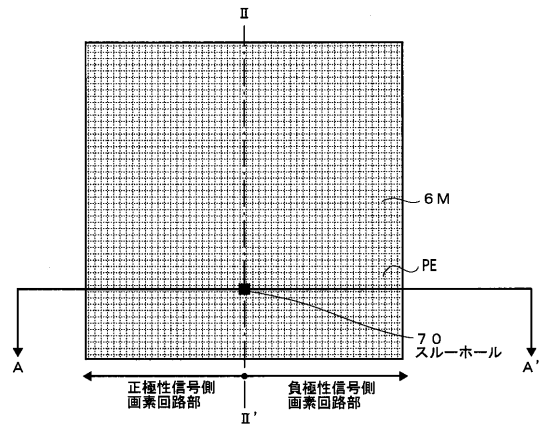


- 151: 光リークにより特性劣化する
保持容量拡散部
 152: 光リークにより特性劣化する
保持容量拡散部

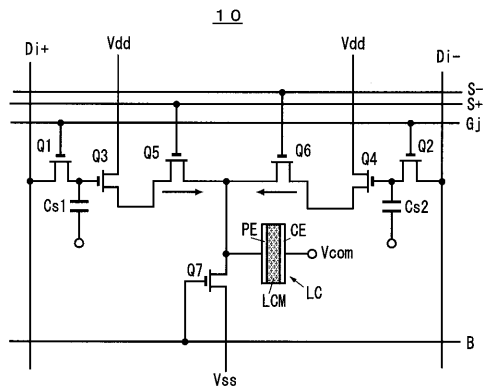
【図 6】



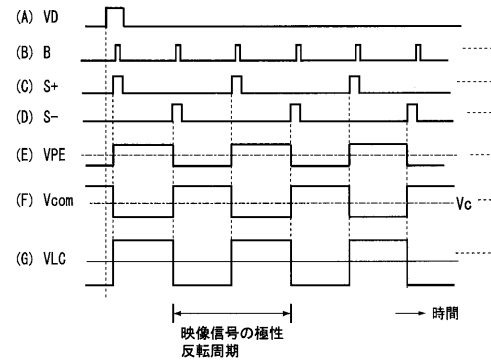
【图 8】



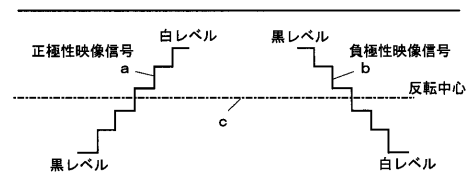
【図 9】



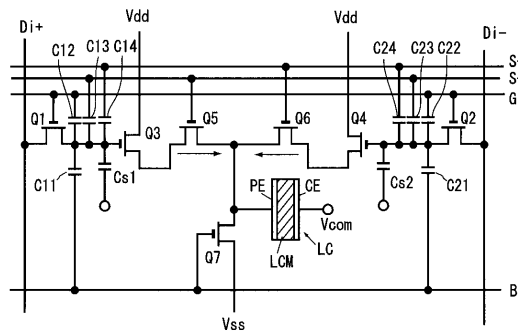
【図 10】



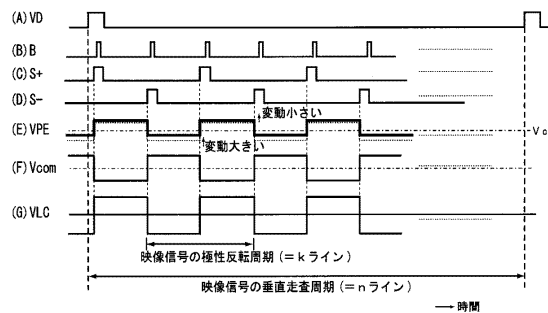
【図 11】



【図 12】



【図 13】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 8 0 G
G 0 9 G 3/20 6 2 1 A
G 0 9 G 3/20 6 2 1 B
G 0 9 F 9/30 3 3 8

(56)参考文献 特開2009-223289 (JP, A)
特開平06-194690 (JP, A)
特開2005-055587 (JP, A)
特開2001-133811 (JP, A)
特開2004-133147 (JP, A)
特開2009-170483 (JP, A)

(58)調査した分野(Int.Cl., DB名)
G 0 2 F 1/133
G 0 2 F 1/1368
G 0 9 G 3/36
G 0 9 G 3/20
G 0 9 F 9/30

专利名称(译)	液晶表示装置		
公开(公告)号	JP5187363B2	公开(公告)日	2013-04-24
申请号	JP2010186864	申请日	2010-08-24
[标]申请(专利权)人(译)	JVC 建伍株式会社		
申请(专利权)人(译)	JVC建伍公司		
当前申请(专利权)人(译)	JVC建伍公司		
[标]发明人	岩佐隆行		
发明人	岩佐 隆行		
IPC分类号	G02F1/133 G02F1/1368 G09G3/36 G09G3/20 G09F9/30		
CPC分类号	G09G3/3614 G09G3/002 G09G3/3655 G09G3/3659 G09G3/3688 G09G2300/0814 G09G2300/0823 G09G2300/0852 G09G2310/0259 G09G2320/0209		
FI分类号	G02F1/133.525 G02F1/1368 G09G3/36 G09G3/20.624.B G09G3/20.621.M G09G3/20.680.G G09G3/20.621.A G09G3/20.621.B G09F9/30.338 G02F1/133.550		
F-TERM分类号	2H092/JA23 2H092/JA46 2H092/JA47 2H092/JB13 2H092/JB42 2H092/JB63 2H092/KA03 2H092/KA18 2H092/NA01 2H092/PA06 2H192/AA24 2H192/BA01 2H192/BC31 2H192/BC72 2H192/CB02 2H192/CB12 2H192/CB23 2H192/CB33 2H192/EA04 2H192/EA13 2H192/EA34 2H192/FB02 2H192/GD61 2H192/JB02 2H193/ZA04 2H193/ZA05 2H193/ZA19 2H193/ZB08 2H193/ZB16 2H193/ZC04 2H193/ZD23 2H193/ZF36 5C006/AA16 5C006/AC11 5C006/AC21 5C006/AC25 5C006/AC26 5C006/AF83 5C006/BB16 5C006/BB28 5C006/BC02 5C006/BC05 5C006/BC06 5C006/BC23 5C006/BF24 5C006/EC11 5C006/FA12 5C006/FA16 5C006/FA23 5C006/FA34 5C006/FA37 5C006/FA46 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD06 5C080/DD07 5C080/DD08 5C080/DD18 5C080/DD26 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C094/AA04 5C094/AA05 5C094/AA21 5C094/BA03 5C094/BA43 5C094/DA13 5C094/DB01 5C094/DB04 5C094/EA04 5C094/EA07 5C094/EA10 5C094/EB05 5C094/FB19		
审查员(译)	铃木俊光		
其他公开文献	JP2012047776A		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过采用彼此的电路配置组件和彼此的导线（其中正极性信号侧像素电路部分和a）的配置，将正常驱动电压施加到液晶元件而不扩大像素间距每个像素中的负极性信号侧像素电路部分相互配对，相对于虚拟像素中心线线对称排列。溶解：在正极性信号侧像素电路部分的导线中，如Vdd线102，Cs1连接线104和用于数据线Di + 106的导线和负极性信号侧像素电路部分的导线，例如Vdd导线103，Cs2连接导线105和用于数据线Di的导线如图107所示，彼此的相应导线相对于像素中心线II-II'布置在线对称位置。Vdd线102和Vdd线103布置在一个像素的左右两端，以用作用于抑制来自左右相邻像素的Cs1连接线或Cs2连接线的串扰的保护图案。用于数据线Di + 106的导线和用于数据线Di-107的导线布置在像素的中心部分附近。

图 4】

