

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2018-508809

(P2018-508809A)

(43) 公表日 平成30年3月29日(2018.3.29)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
H01L 29/786 (2006.01)	H01L 29/78 614	5B074
G09G 3/20 (2006.01)	H01L 29/78 612B	5C006
G02F 1/133 (2006.01)	H01L 29/78 613Z	5C080
G11C 19/28 (2006.01)	G09G 3/20 622E	5F110
審査請求 有 予備審査請求 未請求 (全 16 頁) 最終頁に続く		

(21) 出願番号	特願2017-534660 (P2017-534660)	(71) 出願人	515203228
(86) (22) 出願日	平成27年1月12日 (2015.1.12)		深▲せん▼市華星光電技術有限公司
(85) 翻訳文提出日	平成29年7月27日 (2017.7.27)		中華人民共和國廣東省深▲せん▼市光明新
(86) 国際出願番号	PCT/CN2015/070517		區塘明大道9-2號518132
(87) 国際公開番号	W02016/106823	(74) 代理人	100143720
(87) 国際公開日	平成28年7月7日 (2016.7.7)		弁理士 米田 耕一郎
(31) 優先権主張番号	201410850940.X	(74) 代理人	100080252
(32) 優先日	平成26年12月30日 (2014.12.30)		弁理士 鈴木 征四郎
(33) 優先権主張国	中国 (CN)	(72) 発明者	▲かく▼思坤
			中華人民共和國廣東省深▲せん▼市光明新
			區塘明大道9-2號518132
		Fターム(参考)	2H193 ZA04 ZF22 ZF23 ZF44
			5B074 AA01 CA01
			5C006 BB16 BC03 BC20 BF03 BF06
			BF34 BF37 BF46 FA51
			最終頁に続く

(54) 【発明の名称】 液晶ディスプレイとそのゲート駆動装置

(57) 【要約】

【課題】本発明は、CMOS工程に適用されるとともに、回路の安定性を向上させることができる、液晶ディスプレイとそのゲート駆動装置を提供する。

【解決手段】本発明によるゲート駆動装置は、複数のシフトレジスタ回路を備え、複数のシフトレジスタ回路は、直列接続方式を用いて並列接続が行われ、各シフトレジスタ回路は、第一プルアップ回路と、第二プルアップ回路と、第一プルダウン回路と、第二プルダウン回路と、プルダウン制御回路とからなり、第一プルアップ回路及び第二プルアップ回路は、前ステージのゲート駆動信号とゲート駆動信号出力端の間に直列接続され、第一プルダウン回路及び第二プルダウン回路及びプルダウン制御回路は、第一プルアップ回路と第二プルアップ回路に並列接続され、プルダウン制御回路は、前ステージのゲート駆動信号と、第一プルダウン回路と、第二プルダウン回路と、第一レベルと、第二レベルとに、カップリングされ、プルダウン制御回路は、前ステージのゲート駆動信号に基づいて、第一プルダウン回路と第二プルダウン回路を制御する。

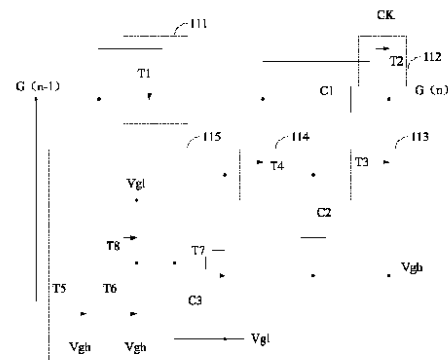


図 2 / Fig. 2

【特許請求の範囲】

【請求項 1】

複数のシフトレジスタ回路を備えるゲート駆動装置であって、前記複数のシフトレジスタ回路は、直列接続方式を用いて並列接続を行われ、各前記シフトレジスタ回路は、第一プルアップ回路と、第二プルアップ回路と、第一プルダウン回路と、第二プルダウン回路と、プルダウン制御回路とからなり、前記第一プルアップ回路及び前記第二プルアップ回路は、前ステージのゲート駆動信号とゲート駆動信号出力端の間に直列接続され、前記第一プルダウン回路及び前記第二プルダウン回路及びプルダウン制御回路は、前記プルアップ回路及び前記第二プルアップ回路と並列接続され、前記プルダウン制御回路は、前記前ステージのゲート駆動信号と、前記第一プルダウン回路と、前記第二プルダウン回路と、第一レベルと、第二レベルとに、カップリングされ、前記プルダウン制御回路は、前記前ステージのゲート駆動装置信号に基づいて、前記第一プルダウン回路と前記第二プルダウン回路を制御することを特徴とする、ゲート駆動装置。

10

【請求項 2】

前記シフトレジスタ回路はさらに、第一コンデンサと第二コンデンサを備え、前記第一プルアップ回路は、第一薄膜トランジスタを備え、前記第一薄膜トランジスタのゲート電極と、ソース電極は、前ステージのゲート駆動信号と接続され、前記プルアップ回路及び第二薄膜トランジスタと、前記第二薄膜トランジスタのゲート電極は、前記第一薄膜トランジスタのドレイン電極と接続され、ソース電極は、第一クロック信号と接続され、ドレイン電極は、ゲート駆動信号出力端と接続され、前記第一コンデンサは、前記第二薄膜トランジスタのドレイン電極とゲート電極の間にあり、前記第一プルダウン回路はさらに、第三薄膜トランジスタを備え、前記第三薄膜トランジスタのソース電極は、前記ゲート駆動信号出力端と接続され、ドレイン電極は、前記第一レベルと接続され、前記第二プルダウン回路はさらに、第四薄膜トランジスタを備え、前記第四薄膜トランジスタのソース電極は、前記第一薄膜トランジスタのドレイン電極と接続され、ドレイン電極は、前記第一レベルと接続され、前記第二コンデンサの一端は、前記第一レベルと接続され、前記第二コンデンサの二つの他端は、前記第三薄膜トランジスタのゲート電極と前記第四薄膜トランジスタのゲート電極に接続されることを特徴とする、請求項 1 に記載のゲート駆動装置。

20

【請求項 3】

前記プルダウン制御回路は、第五薄膜トランジスタと、第六薄膜トランジスタと、第七薄膜トランジスタと、第三コンデンサと、第八薄膜トランジスタとからなり、前記第五薄膜トランジスタのゲート電極は、前記前ステージのゲート駆動信号と接続され、ソース電極は、前記第一レベルと接続され、ドレイン電極は、前記第三薄膜トランジスタのゲート電極と前記第四薄膜トランジスタのゲート電極に接続され、前記第六薄膜トランジスタのゲート電極は、前記前ステージのゲート駆動信号と接続され、ソース電極は、前記第一レベルと接続され、前記第七薄膜トランジスタのゲート電極は、第六薄膜トランジスタのドレイン電極と接続され、ソース電極は、前記第二レベルと接続され、ドレイン電極は、前記第五薄膜トランジスタのドレイン電極と接続され、前記第三コンデンサは、前記第七薄膜トランジスタのソース電極とドレイン電極の間に接続され、前記第八薄膜トランジスタのゲート電極とドレイン電極は、前記第二レベルに接続され、ソース電極は、前記第六薄膜トランジスタのドレイン電極と接続されることを特徴とする、請求項 2 に記載のゲート駆動装置。

30

40

【請求項 4】

前記第一レベルは、高レベルであり、前記第二レベルは、低レベルであることを特徴とする、請求項 3 に記載のゲート駆動装置。

【請求項 5】

前記第一薄膜トランジスタと、第二薄膜トランジスタと、第三薄膜トランジスタと、第四薄膜トランジスタと、第五薄膜トランジスタと、第六薄膜トランジスタと、第七薄膜トランジスタと、第八薄膜トランジスタとは、いずれも P 型 MOS 管であることを特徴とす

50

る、請求項 4 に記載のゲート駆動装置。

【請求項 6】

液晶表示パネルとゲート駆動装置からなる液晶ディスプレイであって、前記ゲート駆動装置は、前記液晶表示パネルと接続されるとともに、前記液晶表示パネルに走査駆動信号を提供するのに用いられ、前記ゲート駆動装置は、複数のシフトレジスタ回路を備え、前記複数のシフトレジスタ回路は、直列接続方式を用いて並列接続を行われ、各前記シフトレジスタ回路は、第一プルアップ回路と、第二プルアップ回路と、第一プルダウン回路と、第二プルダウン回路と、プルダウン制御回路とからなり、前記第一プルアップ回路及び前記第二プルアップ回路は、前ステージのゲート駆動信号とゲート駆動信号出力端の間に直列接続され、前記第一プルダウン回路と、第二プルダウン回路と、プルダウン制御回路とは、前記プルアップ回路及び前記第二プルアップ回路に並列接続され、前記プルダウン制御回路は、前記前ステージのゲート駆動信号と、前記第一プルダウン回路と、前記第二プルダウン回路と、第一レベルと、第二レベルとに、カップリングされ、前記プルダウン制御回路は、前記前ステージのゲート電極駆動信号に基づいて、前記第一プルダウンと前記第二プルダウン回路を制御することを特徴とする、液晶ディスプレイ。

10

【請求項 7】

シフトレジスタ回路はさらに、第一コンデンサと第二コンデンサを備え、前記第一プルアップ回路は、第一薄膜トランジスタを備え、前記第一薄膜トランジスタのゲート電極とソース電極は、前ステージのゲート駆動装置と接続され、前記第二プルアップ回路は、第二薄膜トランジスタを備え、前記第二薄膜トランジスタのゲート電極は、前記第一薄膜トランジスタのドレイン電極と接続され、ソース電極は、第一クロック信号と接続され、ドレイン電極は、ゲート駆動信号出力端と接続され、前記第一コンデンサは、前記第二薄膜トランジスタのドレイン電極とゲート電極の間に設けられ、前記第一プルダウン回路は、第三薄膜トランジスタを備え、前記第三薄膜トランジスタのソース電極は、前記ゲート駆動信号出力端と接続され、ドレイン電極は、前記第一レベルと接続され、前記第二プルダウン回路は、第四薄膜トランジスタを備え、前記第四薄膜トランジスタのソース電極は、前記第一トランジスタのドレイン電極と接続され、ドレイン電極は、前記第一レベルと接続され、前記第二コンデンサの一端は、前記第一レベルと接続され、前記第二コンデンサの二つの他端は、前記第三薄膜トランジスタのゲート電極と前記第四薄膜トランジスタのゲート電極に接続されることを特徴とする、請求項 6 に記載の液晶ディスプレイ。

20

30

【請求項 8】

前記プルダウン制御回路は、第五薄膜トランジスタと、第六薄膜トランジスタと、第七薄膜トランジスタと、第三コンデンサと、第八薄膜トランジスタとからなり、前記第五薄膜トランジスタのゲート電極は、前ステージのゲート電極駆動信号と接続され、ソース電極は、前記第一レベルと接続され、ドレイン電極は、前記第三薄膜トランジスタのゲート電極と前記第四薄膜トランジスタのゲート電極に接続され、前記第六薄膜トランジスタのゲート電極は、前記前ステージのゲート駆動信号と接続され、ソース電極は、前記第一レベルと接続され、前記第七薄膜トランジスタのゲート電極は、前記第六薄膜トランジスタのドレイン電極と接続され、ソース電極は、前記第二レベルと接続され、ドレイン電極は、前記第五薄膜トランジスタのドレイン電極と接続され、前記第三コンデンサは、前記第七薄膜トランジスタのソース電極とゲート電極の間に接続され、前記第八薄膜トランジスタのゲート電極とドレイン電極は、前記第二レベルと接続され、ソース電極は、前記第六薄膜トランジスタのドレイン電極と接続されることを特徴とする、請求項 7 に記載の液晶ディスプレイ。

40

【請求項 9】

前記第一レベルは高レベルであり、前記第二レベルは、低レベルであることを特徴とする、請求項 8 に記載の液晶ディスプレイ。

【請求項 10】

前記第一薄膜トランジスタと、第二薄膜トランジスタと、第三薄膜トランジスタと、第四薄膜トランジスタと、第五薄膜トランジスタと、第六薄膜トランジスタと、第七薄膜ト

50

ランジスタと、第八薄膜トランジスタとは、いずれもP型MOS管であることを特徴とする、請求項9に記載の液晶ディスプレイ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶ディスプレイに関し、特に液晶ディスプレイとそのゲート駆動装置に関する。

【背景技術】

【0002】

GOA (Gate Driver On Array) 回路は、従来の液晶ディスプレイのArray工程を利用してゲート走査駆動回路をArray基板上に実装し、順次走査の駆動方式を実現させる。それは、低い生産コストと狭縁設計という利点を備え、各種のディスプレイに使用されている。GOA回路は、二つの基本機能を備えている。一つ目は、ゲート駆動信号を出力し、パネル内のゲート電極線を駆動し、表示領域内のTFT (Thin Film Transistor, 薄膜電界効果トランジスタ) を開け、ゲート電極線によって画素に対し充電を行う。二つ目は、シフトレジスタ回路で、第n個のゲート駆動信号の出力を完成した後、クロック制御によってn+1個のゲート駆動信号を出力するとともに、これに従って伝送していくことができる。

10

【0003】

GOA回路は、プルアップ回路 (Pull-up circuit) と、プルアップ制御回路 (Pull-up control circuit) と、プルダウン回路 (Pull-down circuit) と、プルダウン制御回路 (Pull-down control circuit) と、電位上昇の役割をする上昇回路 (Boost circuit) と、からなる。具体的に言うと、プルアップ回路の主な役割は、入力されたクロック信号 (Clock) を、薄膜トランジスタのゲート電極に出力し、液晶ディスプレイの駆動信号とする。プルアップ制御回路の役割は、プルアップ回路が開くのを制御する。一般には、上級GOA回路によって、伝送する信号作用である。プルダウン回路の役割は、走査信号を出力後、急速に走査信号をプルダウンすることにより、低電位にする。即ち、薄膜トランジスタのゲート電極の電位をプルダウンすることにより、低電位にする。プルダウン保持回路は、走査信号とプルアップ回路の信号 (通常Q点と称す) を閉めた状態 (即ち設定された負電位) を維持し、通常は二つのプルダウン保持回路が交代して作用する。プルアップ回路は、Q点電位の二次上昇の役割を持ち、それによりプルアップ回路のG(N)を正常に出力することを保証する。

20

30

【0004】

異なるGOA回路は、異なる工程を使用することができる。LTPS (Low Temperature Poly-silicon, 低温ポリシリコン) 工程は、高い電子移動度と成熟した技術という利点を具え、目下、中小サイズのディスプレイに幅広く使用されている。CMOS (Complementary Metal Oxide Semiconductor, 相補金属酸化物半導体) LTPS工程は、低消費電力、高い電子移動度、広い騒音許容限度等の利点がある。従って、しだいにパネルメーカーに使用されるようになってきており、CMOS LTPS工程と対応するGOA回路の開発が必要である。

40

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明は、CMOS工程に適用され、且つ回路の安定性を向上させることができる、液晶ディスプレイとそのゲート駆動装置を提供することを目的とする。

【課題を解決するための手段】

【0006】

本発明によるゲート駆動装置は、複数のシフトレジスタ回路を備える。複数のシフトレ

50

ジスタ回路は、直列接続方式を用いて並列接続が行われ、各シフトレジスタ回路は、第一プルアップ回路と、第二プルアップ回路と、第一プルダウン回路と、第二プルダウン回路と、プルダウン制御回路とからなり、第一プルアップ回路及び第二プルアップ回路は、前ステージのゲート駆動信号とゲート駆動信号出力端の間に直列接続され、第一プルダウン回路と、第二プルダウン回路と、プルダウン制御回路とは、第一プルアップ回路及び第二プルアップ回路に並列接続され、プルダウン制御回路は、前ステージのゲート駆動信号と、第一プルダウン回路と、第二プルダウン回路と、第一レベルと、第二レベルとに、カップリングされ、プルダウン制御回路は、前ステージのゲート電極駆動信号に基づいて、第一プルダウン回路及び第二プルダウン回路を制御する。

【0007】

そのうち、シフトレジスタ回路はさらに、第一コンデンサと第二コンデンサを備える。第一プルアップ回路は、第一薄膜トランジスタを備え、第一薄膜トランジスタのゲート電極とソース電極は、前ステージのゲート駆動信号と接続される。第二プルアップ回路及び第二薄膜トランジスタと、第二薄膜トランジスタのゲート電極とは、第一薄膜トランジスタのドレイン電極に接続され、ソース電極は、第一クロック信号と接続され、ドレイン電極は、ゲート駆動信号出力端と接続される。第一コンデンサは、第二薄膜トランジスタのドレイン電極とゲート電極の間にある。第一プルダウン回路は、第三薄膜トランジスタを備え、第三薄膜トランジスタのソース電極は、ゲート駆動信号出力端と接続され、ドレイン電極は、第一レベルと接続される。第二プルダウン回路は、第四薄膜トランジスタを備え、第四薄膜トランジスタのソース電極は、第一薄膜トランジスタのドレイン電極と接続され、ドレイン電極は、第一レベルと接続される。第二コンデンサの一端は、第一レベルと接続され、第二コンデンサの二つの他端は、第三薄膜トランジスタのゲート電極及び第四薄膜トランジスタのゲート電極に接続される。

【0008】

そのうち、プルダウン制御回路は、第五薄膜トランジスタと、第六薄膜トランジスタと、第七薄膜トランジスタと、第三コンデンサと、第八薄膜トランジスタとからなり、第五薄膜トランジスタのゲート電極は、前ステージのゲート駆動信号と接続され、ソース電極は、第一レベルと接続され、ドレイン電極は、第三薄膜トランジスタのゲート電極及び第四薄膜トランジスタのゲート電極に接続される。第六薄膜トランジスタのゲート電極は、前ステージのゲート駆動信号と接続され、ソース電極は、第一レベルと接続される。第七薄膜トランジスタのゲート電極は、第六薄膜トランジスタのドレイン電極と接続され、ソース電極は、第二レベルと接続され、ドレイン電極は、第五薄膜トランジスタのドレイン電極と接続される。第三コンデンサは、第七薄膜トランジスタのソース電極とドレイン電極の間に接続され、第八薄膜トランジスタのゲート電極とドレイン電極は、第二レベルと接続され、ソース電極は、第六薄膜トランジスタのドレイン電極と接続される。

【0009】

そのうち、第一レベルは高レベルであり、第二レベルは低レベルである。

【0010】

そのうち、第一薄膜トランジスタと、第二薄膜トランジスタと、第三薄膜トランジスタと、第四薄膜トランジスタと、第五薄膜トランジスタと、第六薄膜トランジスタと、第七薄膜トランジスタと、第八薄膜トランジスタとは、いずれもP型MOS管である。

【0011】

本発明は、さらに、液晶表示パネルとゲート電極駆動装置とからなる液晶ディスプレイを提供し、ゲート駆動装置は、液晶表示パネルと接続されるとともに、液晶表示パネルに走査駆動信号を提供するのに用いられ、ゲート駆動装置は、複数のシフトレジスタ回路を備え、複数のシフトレジスタ回路は、直列接続方式を用いて並列接続が行われ、各シフトレジスタ回路は、第一プルアップ回路と、第二プルアップ回路と、第一プルダウン回路と、第二プルダウン回路と、プルダウン制御回路とからなり、第一プルアップ回路及び第二プルアップ回路は、前ステージのゲート駆動信号とゲート駆動信号出力端の間に直列接続され、第一プルダウン回路及び第二プルダウン回路及びプルダウン制御回路は、第一プル

アップ回路と第二プルアップ回路と並列接続され、プルダウン制御回路は、前ステージのゲート駆動信号と、第一プルダウン回路と、第二プルダウン回路と、第一レベルと、第二レベルとにカップリングされ、プルダウン制御回路は、前ステージのゲート駆動信号に基づいて、第一プルダウン回路と第二プルダウン回路を制御する。

【0012】

そのうち、シフトレジスタ回路はさらに、第一コンデンサと第二コンデンサを備える。第一プルアップ回路は、第一薄膜トランジスタを備え、第一薄膜トランジスタのゲート電極とソース電極は、前ステージのゲート駆動信号と接続される。第二プルアップ回路及び第二薄膜トランジスタと、第二薄膜トランジスタのゲート電極は、第一薄膜トランジスタのドレイン電極に接続され、ソース電極は、第一クロック信号と接続され、ドレイン電極は、ゲート駆動信号出力端と接続される。第一コンデンサは、第二薄膜トランジスタのドレイン電極とゲート電極の間にある。第一プルダウン回路は、第三薄膜トランジスタを備え、第三薄膜トランジスタのソース電極は、ゲート駆動信号出力端と接続され、ドレイン電極は、第一レベルと接続される。第二プルダウン回路は、第四薄膜トランジスタを備え、第四薄膜トランジスタのソース電極は、第一薄膜トランジスタのドレイン電極と接続され、ドレイン電極は、第一レベルと接続される。第二コンデンサの一端は、第一レベルと接続され、第二コンデンサの二つの他端は、第三薄膜トランジスタのゲート電極と第四薄膜トランジスタのゲート電極に接続される。

10

【0013】

そのうち、プルダウン制御回路は、第五薄膜トランジスタと、第六薄膜トランジスタと、第七薄膜トランジスタと、第三コンデンサと、第八薄膜トランジスタとからなり、第五薄膜トランジスタのゲート電極は、前ステージのゲート駆動信号と接続され、ソース電極は、第一レベルと接続され、ドレイン電極は、第三薄膜トランジスタのゲート電極と第四薄膜トランジスタのゲート電極に接続される。第六薄膜トランジスタのゲート電極は、前ステージのゲート駆動信号と接続され、ソース電極は、第一レベルと接続され、第七薄膜トランジスタのゲート電極は、第六薄膜トランジスタのドレイン電極と接続され、ソース電極は、第二レベルと接続され、ドレイン電極は、第五薄膜トランジスタのドレイン電極と接続される。第三コンデンサは、第七薄膜トランジスタのソース電極とゲート電極の間に接続され、第八薄膜トランジスタのゲート電極は、ドレイン電極と第二レベルに接続され、ソース電極は、第六薄膜トランジスタのドレイン電極と接続される。

20

30

【0014】

そのうち、第一レベルは高レベルであり、第二レベルは低レベルである。

【0015】

そのうち、第一薄膜トランジスタと、第二薄膜トランジスタと、第三薄膜トランジスタと、第四薄膜トランジスタと、第五薄膜トランジスタと、第六薄膜トランジスタと、第七薄膜トランジスタと、第八薄膜トランジスタとは、いずれもP型MOS管である。

【発明の効果】

【0016】

上記案による、本発明の有益な効果は以下の通りである。本発明のプルダウン制御回路は、前ステージのゲート駆動信号と、第一プルダウン回路と、第二プルダウン回路と、第一レベルと第二レベルとにカップリングされ、プルダウン制御回路は、前ステージのゲート駆動信号に基づいて、第一プルダウン回路と第二プルダウン回路を制御し、CMOS工程に適用され、且つ回路の安定性を向上させる。

40

【図面の簡単な説明】

【0017】

【図1】本発明の実施例のゲート駆動装置の構造を示した概略図である。

【図2】図1が示すシフトレジスタ回路の回路図である。

【図3】図1が示すゲート駆動装置のシーケンス図である。

【図4】本発明実施例の液晶パネルの構造を示した概略図である。

【発明を実施するための形態】

50

【0018】

以下では、図と実施例を用いて、本発明について詳細な説明を行う。

【0019】

図1を参照する。図1は、本発明の実施例のゲート駆動装置の構造を示した概略図である。図1が示す、本実施例の掲示のゲート駆動装置10は、複数のシフトレジスタ回路11を備え、複数のシフトレジスタ回路11は、直列接続方式を用いて並列接続を行う。

【0020】

図2を参照する。シフトレジスタ回路11は、第一プルアップ回路111と、第二プルアップ回路112と、第一プルダウン回路113と、第二プルダウン回路114と、プルダウン制御回路115と、第一コンデンサC1と、第二コンデンサC2と、第三コンデンサC3と、からなる。その内、第一プルアップ回路111及び第二プルアップ回路112は、前ステージのゲート駆動信号 $G(n-1)$ とゲート駆動信号出力端 $G(n)$ の間に直列接続され、第一プルダウン回路113及び第二プルダウン回路114及びプルダウン制御回路115は、第一プルアップ回路111及び第二プルアップ回路112と並列接続され、プルダウン回路115は、前ステージのゲート駆動信号 $G(n-1)$ と、第一プルダウン回路113と、第二プルダウン回路114と、第一レベル V_{gh} と、第二レベル V_{gl} とに、カップリングされ、プルダウン制御回路115は、前ステージのゲート駆動装置信号 $G(n-1)$ に基づいて、第一プルダウン回路113と第二プルダウン回路114を制御する。

【0021】

そのうち、第一プルアップ回路111はさらに、第一薄膜トランジスタT1を備え、第一薄膜トランジスタT1のゲート電極とソース電極は、前ステージのゲート駆動信号 $G(n-1)$ に接続される。第二プルアップ回路112は、第二薄膜トランジスタT2を備え、第二薄膜トランジスタT2のゲート電極は、第一薄膜トランジスタT1のドレイン電極と接続され、第二薄膜トランジスタT2のソース電極は、第一クロック信号CKと接続され、第二薄膜トランジスタT2のドレイン電極は、ゲート電極駆動信号出力端 $G(n)$ と接続され、第一コンデンサC1は、第二薄膜トランジスタT2のゲート電極とドレイン電極の間に接続される。第一プルダウン回路113は、第三薄膜トランジスタT3を備え、第三薄膜トランジスタT3のソース電極はゲート電極駆動信号出力端 $G(n)$ と接続され、第三薄膜トランジスタT3のドレイン電極は、第一レベル V_{gh} と接続される。第二プルダウン回路114は、第四薄膜トランジスタT4を備え、第四薄膜トランジスタT4のソース電極は、第一薄膜トランジスタT1のドレイン電極と接続され、第四薄膜トランジスタT4のドレイン電極は、第一レベル V_{gh} と接続される。第二コンデンサC2の一端は、第一レベル V_{gh} と接続され、第二コンデンサC2の他端は、第三薄膜トランジスタT3のゲート電極と第四薄膜トランジスタT4のゲート電極に接続される。プルダウン制御回路115は、前ステージのゲート電極駆動信号 $G(n-1)$ と、第三薄膜トランジスタT3のゲート電極と、第四薄膜トランジスタT4のゲート電極と、第一レベル V_{gh} と、第二レベル V_{gl} とに、カップリングされ、プルダウン制御回路115は、前ステージのゲート駆動装置信号 $G(n-1)$ に基づいて、第三薄膜トランジスタT3と第四薄膜トランジスタT4の作動を制御する。即ち第三薄膜トランジスタT3と第四薄膜トランジスタT4を導通或いは切断させる。

【0022】

そのうち、プルダウン制御回路115は、第五薄膜トランジスタT5と、第六薄膜トランジスタT6と、第七薄膜トランジスタT7と、第八薄膜トランジスタT8と、からなる。第五薄膜トランジスタT5のゲート電極は、前ステージのゲート電極駆動信号 $G(n-1)$ と接続され、第五薄膜トランジスタT5のソース電極は、第一レベル V_{gh} と接続され、第五薄膜トランジスタT5のドレイン電極は、第三薄膜トランジスタT3のゲート電極及び第四薄膜トランジスタT4のゲート電極に接続される。第六薄膜トランジスタT6のゲート電極は、前ステージのゲート電極駆動信号 $G(n-1)$ と接続され、第六薄膜トランジスタT6のソース電極は、第一レベル V_{gh} と接続される。第七薄膜トランジスタ

T 7 のゲート電極は、第六薄膜トランジスタ T 6 のドレイン電極と接続され、第七薄膜トランジスタ T 7 のソース電極は、第二レベル V g l と接続され、第七薄膜トランジスタ T 7 のドレイン電極は、第五薄膜トランジスタ T 5 のドレイン電極と接続され、第三コンデンサ C 3 は、第七薄膜トランジスタ T 7 のソース電極とゲート電極の間に接続される。第八薄膜トランジスタ T 8 のゲート電極とドレイン電極は、第二レベル V g l と接続され、第八トランジスタ T 8 のソース電極は、第六薄膜トランジスタ T 6 のドレイン電極と接続される。

【0023】

本実施例において、第一レベル V g h は、高レベルであるのが好ましく、第二レベル V g l は、低レベルであるのが好ましい。第一薄膜トランジスタ T 1 と、第二薄膜トランジスタ T 2 と、第三薄膜トランジスタ T 3 と、第四薄膜トランジスタ T 4 と、第五薄膜トランジスタ T 5 と、第六薄膜トランジスタ T 6 と、第七薄膜トランジスタ T 7 と、第八薄膜トランジスタ T 8 とは、いずれも P 型 MOS 管であり、その他実施例において、本領域の技術者は、さらに上述の薄膜トランジスタをその他電界効果トランジスタ（例えば N 型 MOS 管）として設けることができる。

【0024】

以下では、図 3 が示すシーケンス図を用いて、ゲート駆動装置 10 の作動原理の詳細な説明を行う。

【0025】

第一時間 t 1 において、前ステージのゲート駆動装置信号 G (n - 1) は低レベルであり、第一薄膜トランジスタ T 1 は導通し、第一クロック信号 C K は高レベルであり、第二薄膜トランジスタ T 2 のゲート電極は低レベルであり、第二薄膜トランジスタ T 2 は導通する。第五薄膜トランジスタ T 5 及び第六薄膜トランジスタ T 6 は、いずれも導通し、第七薄膜トランジスタ T 7 のゲート電極及び第八薄膜トランジスタ T 8 のソース電極は、いずれも高レベルであり、第七薄膜トランジスタ T 7 は切断され、第八薄膜トランジスタ T 8 は導通する。第三薄膜トランジスタ T 3 のゲート電極及び第四薄膜トランジスタ T 4 のゲート電極は、高レベルであり、第三薄膜トランジスタ T 3 及び第四薄膜トランジスタ T 4 はいずれも切断される。したがって、ゲート駆動装置信号出力端 G (n) が出力する信号は、第一クロック信号 C K と同様である。即ち、ゲート駆動信号出力端 G (n) が出力する信号は、高レベルである。

【0026】

第二時間 t 2 において、前ステージのゲート駆動信号 G (n - 1) は、低レベルから高レベルに変化し、第一薄膜トランジスタ T 1 は切断され、第一クロック信号 C K は、高レベルから低レベルに変化し、第二薄膜トランジスタ T 2 は導通する。第五薄膜トランジスタ T 5 と、第六薄膜トランジスタ T 6 と、第七薄膜トランジスタ T 7 と、第八薄膜トランジスタ T 8 とは、いずれも切断され、第三薄膜トランジスタ T 3 及び第四薄膜トランジスタ T 4 は、いずれも切断される。したがって、ゲート駆動信号出力端 G (n) が出力する信号は、第一クロック信号 C K と同様である。即ち、ゲート駆動信号出力端 G (n) が出力する信号は、高レベルから低レベルに変化する。

【0027】

第三時間 t 3 において、前ステージのゲート駆動信号 G (n - 1) は、高レベルであり、第一薄膜トランジスタ T 1 は切断され、第一クロック信号 C K は、低レベルであり、第二薄膜トランジスタ T 2 は導通する。第五薄膜トランジスタ T 5 と、第六薄膜トランジスタ T 6 と、第七薄膜トランジスタ T 7 と、第八薄膜トランジスタ T 8 は、いずれも切断され、第三薄膜トランジスタ T 3 と第四薄膜トランジスタ T 4 は、いずれも切断される。したがって、ゲート駆動信号出力端 G (n) が出力する信号は、第一クロック信号 C K と同様である。即ちゲート駆動信号出力端 G (n) が出力する信号は、低レベルである。

【0028】

第四時間 t 4 において、前ステージのゲート駆動信号 G (n - 1) は、高レベルであり、第一薄膜トランジスタ T 1 は切断され、第一クロック信号 C K は、低レベルから高レベ

10

20

30

40

50

ルに変化し、第二薄膜トランジスタT 2は導通する。第五薄膜トランジスタT 5と第六薄膜トランジスタT 6は切断され、第八薄膜トランジスタT 8は導通し、第七薄膜トランジスタT 7は導通し、第三薄膜トランジスタT 3のゲート電極と第四薄膜トランジスタT 4のゲート電極は、いずれも低レベルであり、第三薄膜トランジスタT 3と第四薄膜トランジスタT 4は導通し、ゲート駆動信号出力端G (n)が出力する信号は、持続的に高レベルである。

【0029】

本実施例において、プルダウン制御回路115は、前ステージのゲート駆動信号G (n-1)と、第三薄膜トランジスタT 3のゲート電極と、第四薄膜トランジスタT 4のゲート電極と、第一レベルV_{gh}と、第二レベルV_{gl}とに、カップリングされることにより、プルダウン制御回路115は、前ステージのゲート駆動振動G (n-1)に基づいて、第三薄膜トランジスタT 3と第四薄膜トランジスタT 4を制御する。本実施例は、CMOS工程に適用され、且つ回路の安定性を増加させ、クロック信号の数を減少させる。

【0030】

本発明はさらに、液晶ディスプレイを提供する。図4を参照する。本実施例の掲示の液晶ディスプレイ20は、液晶表示パネル21とゲート駆動装置22からなり、ゲート駆動装置22は、液晶表示パネル21と接続され、且つゲート駆動装置22は、液晶表示パネル21に走査駆動信号を提供するのに用いられる。前記ゲート駆動装置22は、上記実施例の掲示のゲート駆動装置10であるが、ここでは説明を繰り返さない。

【0031】

上記内容をまとめると、本発明のプルダウン制御回路は、前ステージのゲート駆動信号と、第三薄膜トランジスタのゲート電極と、第四薄膜トランジスタのゲート電極と、第一レベルと、第二レベルとに、カップリングされ、プルダウン制御回路は、前ステージのゲート駆動制御信号に基づいて、第三薄膜トランジスタと第四薄膜トランジスタを制御する。本発明は、CMOS工程に適用され、且つ回路の安定性を増加させる。

【0032】

以上前記の内容は、本発明の実施例に過ぎず、本発明の特許請求の範囲を制限するものではない。本発明の明細書と図の内容を用いて行った同様の効果をもつ構造や同様の効果をもつ工程の変更（或いは、間接的にその他関係のある技術領域に運用したもの）は、同様にいずれも、本発明の特許の保護範囲に含まれる。

【符号の説明】

【0033】

- 10 ゲート駆動装置
- 11 シフトレジスタ回路
- 111 第一プルアップ回路
- 112 第二プルアップ回路
- 113 第一プルダウン回路
- 114 第二プルダウン回路
- 115 プルダウン制御回路
- 20 液晶ディスプレイ
- 21 液晶表示パネル
- 22 ゲート駆動装置
- C1 第一コンデンサ
- C2 第二コンデンサ
- C3 第三コンデンサ
- CK 第一クロック信号
- G (n-1) ゲート駆動信号
- G (n) ゲート駆動信号出力端
- T1 第一薄膜トランジスタ
- T2 第二薄膜トランジスタ

10

20

30

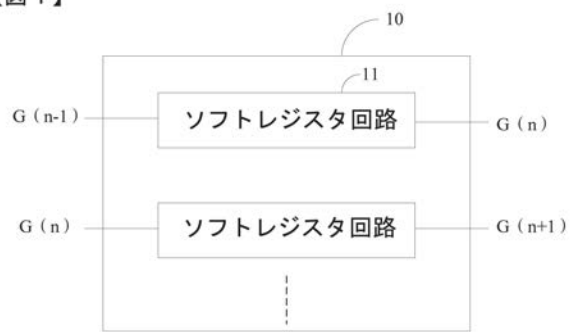
40

50

T 3	第三薄膜トランジスタ
T 4	第四薄膜トランジスタ
T 5	第五薄膜トランジスタ
T 6	第六薄膜トランジスタ
T 7	第七薄膜トランジスタ
T 8	第八薄膜トランジスタ
t 2	第二時間
t 3	第三時間
t 4	第四時間
V g h	第一レベル
V g l	第二レベル

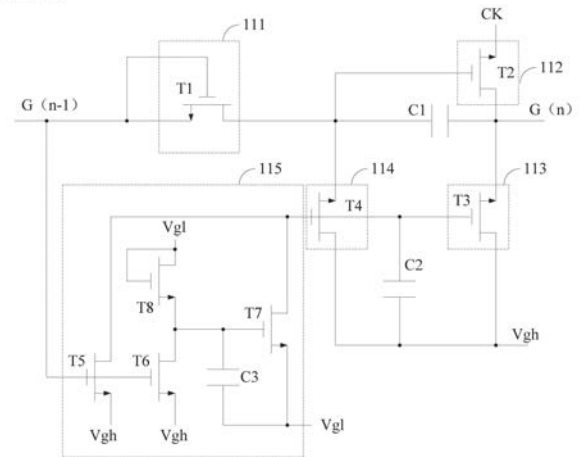
【図 1】

【図 1】



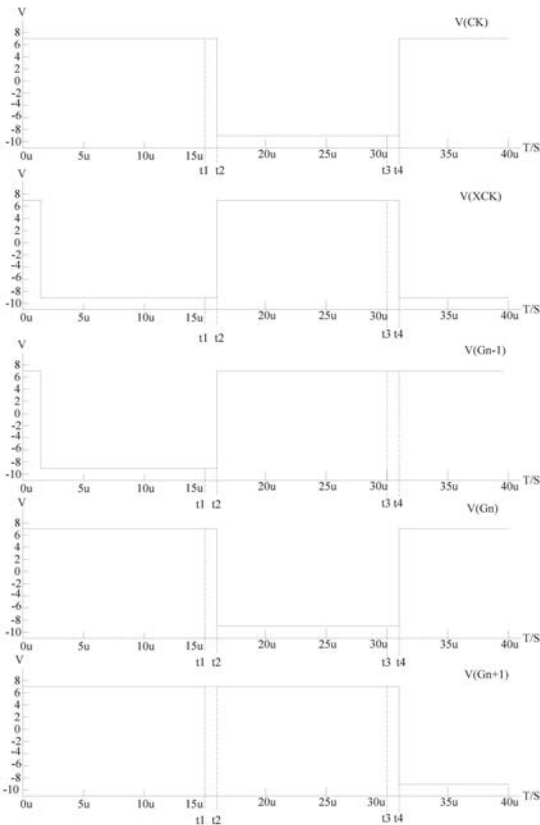
【図 2】

【図 2】



【図 3】

【図 3】



【図 4】

【図 4】



【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/CN2015/070517
A. CLASSIFICATION OF SUBJECT MATTER		
G09G 3/36 (2006.01) i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
G09G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
CNPAT, CNKI, WPI, EPODOC: cascading, first pull-down, first pull-up, second pull-down, second pull-up, pull-down 2w control, preceding one stage, pre-stage, pull?up, pull? down, pull w up, pull w down, second, series, parallel, gate, control+		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 101533623 A (CPT DISPLAY TECHNOLOGY (SHENZHEN) LTD. et al.), 16 September 2009 (16.09.2009), description, pages 1-2, and figure 1	1-2, 6-7
A	CN 101673582 A (AU OPTRONICS CORP.), 17 March 2010 (17.03.2010), the whole document	1-10
A	CN 103137065 A (PRIME VIEW INTERNATIONAL CO., LTD.), 05 June 2013 (05.06.2013), the whole document	1-10
A	CN 102629461 A (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.), 08 August 2012 (08.08.2012), the whole document	1-10
A	US 6300928 B1 (LG ELECTRONICS INC.), 09 October 2001 (09.10.2001), the whole document	1-10
A	CN 103400601 A (AU OPTRONICS CORP.), 20 November 2013 (20.11.2013), the whole document	1-10
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 27 August 2015 (27.08.2015)		Date of mailing of the international search report 18 September 2015 (18.09.2015)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451		Authorized officer LI, Yanqin Telephone No.: (86-10) 62414439

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2015/070517

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101533623 A	16 September 2009	None	
CN 101673582 A	17 March 2010	CN 101673582 B	20 March 2013
CN 103137065 A	05 June 2013	TW 201322235 A	01 June 2013
		US 2013135014 A1	30 May 2013
CN 102629461 A	08 August 2012	WO 2013123808 A1	29 August 2013
US 6300928 B1	09 October 2001	KR 100242244 B1	01 February 2000
		KR 19990015789 A	05 March 1999
CN 103400601 A	20 November 2013	US 2014355732 A1	04 December 2014
		TW I473059 B	11 February 2015
		TW 201445532 A	01 December 2014

国际检索报告

国际申请号

PCT/CN2015/070517

A. 主题的分类 G09G 3/36(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) G09G 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNPAT, CNKI, WPI, EPDOC; 串联, 级联, 第一下拉, 第一上拉, 栅极, 并联, 第二下拉, 下拉, 第二上拉, 下拉 2w 控制, 前一级, 前级, pull?up, pull? down, pull w up, pull w down, second, series, parallel, gate, control+		
C. 相关文件		
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 101533623 A (深圳华映显示科技有限公司 等) 2009年 9月 16日 (2009 - 09 - 16) 说明书第1-2页、附图1	1-2, 6-7
A	CN 101673582 A (友达光电股份有限公司) 2010年 3月 17日 (2010 - 03 - 17) 全文	1-10
A	CN 103137065 A (元太科技工业股份有限公司) 2013年 6月 5日 (2013 - 06 - 05) 全文	1-10
A	CN 102629461 A (北京京东方光电科技有限公司) 2012年 8月 8日 (2012 - 08 - 08) 全文	1-10
A	US 6300928 B1 (LG ELECTRONICS INC.) 2001年 10月 9日 (2001 - 10 - 09) 全文	1-10
A	CN 103400601 A (友达光电股份有限公司) 2013年 11月 20日 (2013 - 11 - 20) 全文	1-10
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2015年 8月 27日		国际检索报告邮寄日期 2015年 9月 18日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 北京市海淀区蓟门桥西土城路6号 100088 中国 传真号 (86-10)62019451		授权官员 李彦琴 电话号码 (86-10)62414439

表 PCT/ISA/210 (第2页) (2009年7月)

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/070517

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	101533623	A	2009年 9月 16日	无	
CN	101673582	A	2010年 3月 17日	CN	101673582 B 2013年 3月 20日
CN	103137065	A	2013年 6月 5日	TW	201322235 A 2013年 6月 1日
				US	2013135014 A1 2013年 5月 30日
CN	102629461	A	2012年 8月 8日	WO	2013123808 A1 2013年 8月 29日
US	6300928	B1	2001年 10月 9日	KR	100242244 B1 2000年 2月 1日
				KR	19990015789 A 1999年 3月 5日
CN	103400601	A	2013年 11月 20日	US	2014355732 A1 2014年 12月 4日
				TW	1473059 B 2015年 2月 11日
				TW	201445532 A 2014年 12月 1日

表 PCT/ISA/210 (同族专利附件) (2009年7月)

フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 7 0 E
	G 0 2 F 1/133	5 5 0
	G 1 1 C 19/28	2 3 0

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

Fターム(参考) 5C080 AA10 DD09 DD27 FF12 JJ02 JJ03 JJ04
5F110 BB02 BB04 NN72

【要約の続き】

【選択図】 図2

专利名称(译)	液晶显示器及其栅极驱动装置		
公开(公告)号	JP2018508809A	公开(公告)日	2018-03-29
申请号	JP2017534660	申请日	2015-01-12
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深▲せん▼市华星光电技术有限公司		
发明人	▲かく▼思坤		
IPC分类号	G09G3/36 H01L29/786 G09G3/20 G02F1/133 G11C19/28		
FI分类号	G09G3/36 H01L29/78.614 H01L29/78.612.B H01L29/78.613.Z G09G3/20.622.E G09G3/20.670.E G02F1/133.550 G11C19/28.230		
F-TERM分类号	2H193/ZA04 2H193/ZF22 2H193/ZF23 2H193/ZF44 5B074/AA01 5B074/CA01 5C006/BB16 5C006/BC03 5C006/BC20 5C006/BF03 5C006/BF06 5C006/BF34 5C006/BF37 5C006/BF46 5C006/FA51 5C080/AA10 5C080/DD09 5C080/DD27 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5F110/BB02 5F110/BB04 5F110/NN72		
代理人(译)	铃木 征四郎		
优先权	201410850940.X 2014-12-30 CN		
其他公开文献	JP6472525B2		
外部链接	Espacenet		

摘要(译)

公开的是同时施加到CMOS工艺，有可能提高电路的稳定性，以提供一个液晶显示器及其栅极驱动。根据本发明的栅极驱动装置包括：多个移位寄存器电路，所述多个移位寄存器电路，连接在与串联连接方案并行地进行，移位寄存器电路包括第一上拉电路的情况下，一个第二上拉电路，第一下拉电路，以及第二下拉电路包括一个下拉控制电路，一个第一上拉电路和一个第二上拉电路的，栅极驱动信号和栅极驱动器级之前连接在所述信号输出端子，所述第一下拉电路和第二下拉电路和一个下拉控制电路，并联连接到所述第一上拉电路和第二上拉电路，下拉控制电路，前级的栅极之间串联的驱动信号，第一下拉电路，以及第二下拉电路，第一电平到第二电平，则耦合，拉所述控制电路，基于所述前一级的栅极驱动信号，控制所述第一下拉电路和第二下拉电路。 .The

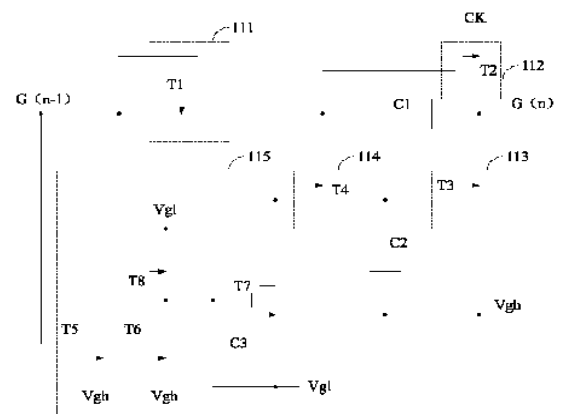


图 2 / Fig. 2