

(19) **日本国特許庁(JP)**

(12) **公開特許公報(A)**

(11)特許出願公開番号

特開2014-48339

(P2014-48339A)

(43) 公開日 平成26年3月17日(2014.3.17)

(51) Int. Cl.

F I

テーマコード (参考)

G02F 1/1368 (2006.01)

G O 2 F 1/1368

2H092

G02F 1/1345 (2006.01)

GO2F 1/1345

5C006

G09G 3/36 (2006.01)

G O 9 G 3/36

5C080

G09G 3/20 (2006.01)

G09G 3/20 624B

5C080

G09G 3/20 680G

審査請求 未請求 請求項の数 6 O L (全 13 頁) 最終頁に続く

(21) 出願番号 特願2012-188970 (P2012-188970)

(22) 出願日 平成24年8月29日 (2012. 8. 29)

(71) 出願人 502356528

株式会社ジャパンディスプレイ
東京都港区西新橋三丁目7番1号

(74) 代理人 110001737

特許業務法人スズエ国際特許事務所

(74) 代理人 100108855

弁理士 蔵田 昌俊

(74) 代理人 100109830

弁理士 福原 淑弘

(74) 代理人 100088683

弁理士 中村 誠

(74) 代理人 100103034

弁理士 野河 信久

(74) 代理人 100095441

弁理士 白根 俊郎

[最終頁に続く](#)

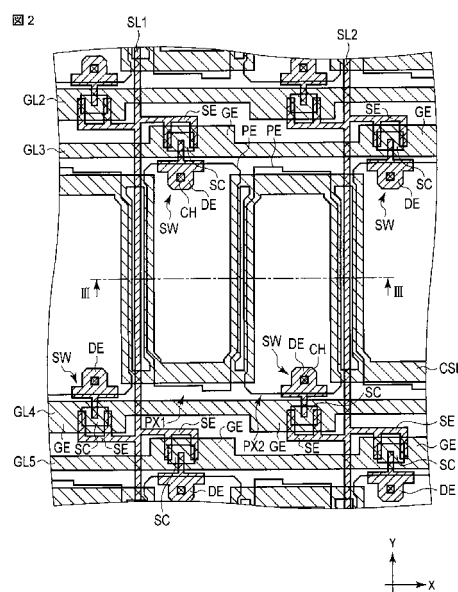
(54) 【発明の名称】 液晶表示装置

(57)【要約】 (修正有)

【課題】液晶表示装置に要する費用の上昇を抑制する。

【解決手段】マトリクス状に配置した複数の画素電極 P E と、列方向 Y において、画素電極 P E の行の一方側に配置した第 1 ゲート配線 G L と、画素電極 P E の行の他方側に配置した第 2 ゲート配線 G L と、画素電極 P E が配列した列に沿って延びたソース配線 S L と、第 1 ゲート配線 G L から供給されるゲート信号によりソース配線 S L と画素電極 P E との接続を切り換える第 1 画素スイッチ S W と、第 2 ゲート配線 G L から供給されるゲート信号によりソース配線 S L と画素電極 P E との接続を切り換える第 2 画素スイッチ S W と、を備えたアレイ基板と、複数の画素電極 P E と対向した対向電極を備えた対向基板と、アレイ基板と対向基板との間に保持された液晶層と、を備えた液晶表示装置。

【選択図】図2



【特許請求の範囲】**【請求項 1】**

第 1 方向に並んだ第 1 画素電極および第 2 画素電極を含む画素電極と、前記第 1 方向と交差した第 2 方向において前記第 1 画素電極および前記第 2 画素電極の一方側に配置した第 1 ゲート配線と、前記第 1 画素電極および前記第 2 画素電極の他方側に配置した第 2 ゲート配線と、前記第 2 方向に沿って延びたソース配線と、前記第 1 ゲート配線から供給されるゲート信号により前記ソース配線と前記第 1 画素電極との接続を切り換える第 1 画素スイッチと、前記第 2 ゲート配線から供給されるゲート信号により前記ソース配線と前記第 2 画素電極との接続を切り換える第 2 画素スイッチと、を備えたアレイ基板と、

前記複数の画素電極と対向した対向電極を備えた対向基板と、

前記アレイ基板と前記対向基板との間に保持された液晶層と、を備えた液晶表示装置。

10

【請求項 2】

前記ソース配線は、前記画素電極の 2 列置きに配置されている請求項 1 記載の液晶表示装置。

【請求項 3】

前記ソース配線は、行方向において前記画素電極の列の両側に配置されるとともに共通の映像信号が供給される第 1 ソース配線および第 2 ソース配線を備え、

前記第 1 画素スイッチは前記第 1 ソース配線と前記画素電極との接続を切り換え、前記第 2 画素スイッチは前記第 2 ソース配線と前記画素電極との接続を切り換える請求項 1 記載の液晶表示装置。

20

【請求項 4】

前記ソース配線は、列方向に並んだ前記画素電極間において前記第 1 ソース配線と前記第 2 ソース配線とを電氣的に接続した接続部を更に備える請求項 3 記載の液晶表示装置。

【請求項 5】

前記第 1 画素スイッチおよび前記第 2 画素スイッチは、前記行方向において前記画素電極の一方側に配置されるとともに、半導体層と、前記第 1 ゲート配線および前記第 2 ゲート配線から列方向に沿って延びて前記半導体層の下層に配置されたゲート電極と、前記半導体層の上層に配置されたドレイン電極と、を備え、

前記ドレイン電極は、行方向に沿って前記画素電極の下層と前記半導体層の上層との間に延びている請求項 3 又は請求項 4 記載の液晶表示装置。

30

【請求項 6】

前記アレイ基板は、絶縁層を介して前記画素電極の一部と対向するとともに、前記画素電極の端部に沿って蛇行して前記行方向に延びた補助容量線を更に備える請求項 1 乃至請求項 5 のいずれか 1 項記載の液晶表示装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明の実施形態は、液晶表示装置に関する。

【背景技術】**【0002】**

40

近年、平面表示装置が盛んに開発されており、中でも液晶表示装置は、軽量、薄型、低消費電力などの特徴を生かして、各種分野に適用されている。このような液晶表示装置は、一対の基板間に液晶層を保持した構成であり、画素電極と共通電極との間の電界によって液晶層を通過する光に対する変調率を制御し、画像を表示するものである。

【0003】

アクティブマトリクス型の液晶表示装置は、マトリクス状に配置された表示画素を含む表示部と、駆動配線と、駆動配線を介して表示画素を駆動する駆動回路と、を有している。

【先行技術文献】**【特許文献】**

50

【 0 0 0 4 】

【特許文献 1】特開 2 0 1 2 - 8 8 7 1 0 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 5 】

近年、高精細化に伴い表示画素数が多くなり、駆動配線数が増加する傾向がある。駆動配線数が増加すると駆動回路が高価になり、液晶表示装置の製造費用を低く抑えることが困難になることがあった。

【 0 0 0 6 】

本発明の実施形態は、上記事情を鑑みて成されたものであって、液晶表示装置に要する費用の上昇を抑制することを目的とする。

【課題を解決するための手段】

【 0 0 0 7 】

実施形態によれば、マトリクス状に配置した複数の画素電極と、列方向において、前記画素電極の行の一方側に配置した第 1 ゲート配線と、前記画素電極の行の他方側に配置した第 2 ゲート配線と、前記画素電極が配列した列に沿って延びたソース配線と、前記第 1 ゲート配線から供給されるゲート信号により前記ソース配線と前記画素電極との接続を切り換える第 1 画素スイッチと、前記第 2 ゲート配線から供給されるゲート信号により前記ソース配線と前記画素電極との接続を切り換える第 2 画素スイッチと、を備えたアレイ基板と、前記複数の画素電極と対向した対向電極を備えた対向基板と、前記アレイ基板と前記対向基板との間に保持された液晶層と、を備えた液晶表示装置が提供される。

【図面の簡単な説明】

【 0 0 0 8 】

【図 1】図 1 は、実施形態の液晶表示装置の一構成例を概略的に示す図である。

【図 2】図 2 は、図 1 に示す液晶表示装置の表示画素の一構成例を概略的に示す図である。

【図 3】図 3 は、図 2 に示す線 I I I - I I I における液晶表示装置の断面の一例を概略的に示す図である。

【図 4】図 4 は、上記液晶表示装置の駆動方法の一例を説明するための図である。

【図 5】図 5 は、第 2 実施形態の液晶表示装置の表示画素の一構成例を概略的に示す図である。

【図 6】図 6 は、第 2 実施形態の液晶表示装置の表示画素の他の構成例を概略的に示す図である。

【発明を実施するための形態】

【 0 0 0 9 】

以下、実施形態の液晶表示装置について、図面を参照して説明する。

図 1 は、実施形態の液晶表示装置の一構成例を概略的に示す図である。

本実施形態に係る表示装置は、アレイ基板 S B 1 と、アレイ基板 S B 1 と対向するように配置された対向基板 S B 2 と、アレイ基板 S B 1 と対向基板 S B 2 との間に挟持された液晶層（図 3 に示す）と、マトリクス状に配置された複数の表示画素 P X からなる表示部とを備えた液晶表示装置である。図 1 に示す例では、表示画素 P X は m 行 2 n 列のマトリクス状に配置されている（但し、m 及び n は正の整数である）。

【 0 0 1 0 】

アレイ基板 S B 1 は、表示部 D Y P において、複数の表示画素のそれぞれに配置された画素電極 P E と、画素電極 P E が配列した行方向（第 1 方向 X）に沿って延びたゲート配線 G L（G L 1、G L 2、...、G L 2 m）と、画素電極 P E が配列した列方向（第 2 方向 Y）に沿って延びたソース配線 S L（S L 1、S L 2、...、S L n）と、ゲート配線 G L とソース配線 S L とが交差する位置近傍に配置された画素スイッチ（図 2 に示す）と、を有している。

【 0 0 1 1 】

10

20

30

40

50

アレ基板 S B 1 は、表示部 D Y P の周囲に配置された駆動回路と、コントローラを内蔵した駆動 I C チップ 2 と、を有している。駆動回路は、複数のゲート配線 G L を駆動するゲートドライバ G D L、G D R と、複数のソース配線 S L を駆動するソースドライバ S D と、を有している。これらのゲートドライバ G D L、G D R 及びソースドライバ S D の少なくとも一部が、例えば、アレ基板 S B 1 に形成され、コントローラを内蔵した駆動 I C チップ 2 と接続されている。

【 0 0 1 2 】

ゲートドライバ G D L は、表示部 D Y P の第 1 方向 X における一方側に配置されている。ゲートドライバ G D R は、表示部 D Y P の第 1 方向 X における他方側に配置されている。ゲートドライバ G D L には、偶数番目のゲート配線 G L 2、G L 4、...、G L 2 m が電氣的に接続されている。ゲートドライバ G D R には、奇数番目のゲート配線 G L 1、G L 3、...、G L 2 m - 1 が電氣的に接続されている。ゲートドライバ G D L、G D R は、駆動 I C チップ 2 から入力されるクロック信号、水平同期信号等に基づいて順次ゲート配線 G L へ駆動信号を出力する。

10

【 0 0 1 3 】

ソースドライバ S D は、表示部 D Y P の第 2 方向 Y における一方側に配置されている。ソースドライバ S D には、ソース配線 S L が電氣的に接続されている。ソースドライバ S D は、駆動 I C チップ 2 から入力されるクロック信号、垂直同期信号等に基づいてソース配線 S L へ対応する映像信号を出力する。

20

【 0 0 1 4 】

対向基板 S B 2 は、表示部 D Y P に配置された共通電極（図 2 に示す）を備えている。共通電極は、複数の画素電極 P E と対向するように配置されている。

【 0 0 1 5 】

図 2 は、図 1 に示す液晶表示装置の表示画素の一構成例を概略的に示す図である。

【 0 0 1 6 】

ゲート配線 G L は、第 1 方向 X に並んだ画素電極 P E の行の間において第 1 方向 X に沿って延びている。本実施形態の液晶表示装置では、ゲート配線 G L は、第 1 方向 X に並んだ画素電極 P E の第 2 方向 Y における両側に配置されている。換言すると、第 1 方向 X に並んだ画素電極 P E の行間には 2 本のゲート配線 G L が配置されている。

30

【 0 0 1 7 】

ソース配線 S L は、第 2 方向 Y に並んだ画素電極 P E の列の間において第 2 方向 Y に沿って延びている。本実施形態の液晶表示装置では、ソース配線 S L は、第 1 方向 X に並んだ画素電極 P E の列の 2 列を挟んだ両側に配置されている。換言すると、ソース配線 S L は、第 2 方向 Y に並んだ画素電極 P E の列の 2 列置きに配置されている。

【 0 0 1 8 】

図 2 では、ソース配線 S L 1、S L 2 とゲート配線 G L 3、G L 4 とが交差する位置の近傍を概略的に図示している。なお、以下の説明において、ソース配線 S L 1、S L 2 とゲート配線 G L 1、G L 2 とに囲まれた領域に配置され、ソース配線 S L 1 側の表示画素を P X 1 とし、ソース配線 S L 2 側の表示画素を P X 2 とする。

40

【 0 0 1 9 】

表示画素 P X 1 の画素電極（第 1 画素電極）P E は、ゲート配線（第 1 ゲート配線）G L 3 とソース配線 S L 1 とが交差した位置近傍に配置された画素スイッチ（第 1 画素スイッチ）S W を介してソース配線 S L 1 と接続している。すなわち、表示画素 P X 1 の画素電極 P E は、画素電極 P E に対して図の上側に配置された画素スイッチ S W によりソース配線 S L 1 との接続を切り替えられる。

【 0 0 2 0 】

画素スイッチ S W は、例えば薄膜トランジスタ（T F T : thin film transistor）であって、ゲート電極 G E と、ソース電極 S E と、ドレイン電極 D E と、アモルファスシリコンにより形成された半導体層 S C と、を有している。

50

【 0 0 2 1 】

半導体層 S C は、絶縁層を介してゲート電極 G E 上に配置されている。ゲート電極 G E はゲート配線 G L と同層に形成され、ソース電極 S E とドレイン電極 D E とはソース配線 S L と同層に形成されている。

【 0 0 2 2 】

表示画素 P X 1 において、ゲート電極 G E はゲート配線 G L 3 と電氣的に接続している（あるいは一体に形成されている）。ソース電極 S E はソース配線 S L 1 と電氣的に接続している（あるいは一体に形成されている）。ドレイン電極 D E は画素電極 P E と電氣的に接続している（あるいは一体に形成されている）。ドレイン電極 D E は、画素電極 P E の下層においてコンタクトホール C H を介して画素電極 P E と電氣的に接続するとともに、画素電極 P E の下層から図の上方向に向かって半導体層 S C 上層へ延びている。

10

【 0 0 2 3 】

表示画素 P X 2 の画素電極（第 2 画素電極）P E は、ゲート配線（第 2 ゲート配線）G L 4 とソース配線 S L 2 とが交差した位置近傍に配置された画素スイッチ（第 2 画素スイッチ）S W を介してソース配線 S L 2 と接続している。すなわち、表示画素 P X 2 の画素電極 P E は、画素電極 P E に対して図の下側に配置された画素スイッチ S W によりソース配線 S L 2 との接続を切り替えられる。

【 0 0 2 4 】

表示画素 P X 2 において、ゲート電極 G E はゲート配線 G L 4 と電氣的に接続している（あるいは一体に形成されている）。ソース電極 S E はソース配線 S L 2 と電氣的に接続している（あるいは一体に形成されている）。ドレイン電極 D E は、画素電極 P E と電氣的に接続している。ドレイン電極 D E は、画素電極 P E の下層においてコンタクトホール C H を介して画素電極 P E と電氣的に接続するとともに、画素電極 P E の下層から図の下方向に向かって半導体層 S C 上層へ延びている。

20

【 0 0 2 5 】

すなわち、本実施形態では、表示画素 P X 1 の画素電極 P E は左側に配置されたソース配線 S L 1 と画素スイッチ S W を介して電氣的に接続し、表示画素 P X 2 の画素電極 P E は右側に配置されたソース配線 S L 2 と画素スイッチ S W を介して電氣的に接続している。

【 0 0 2 6 】

換言すると、第 1 表示画素 P X 1 と同じ構成の表示画素と第 2 表示画素 P X 2 と同じ構成の表示画素とは、第 1 方向 X に交互に並んで配置し、各ソース配線 S L は第 1 方向 X においてその両側の表示画素 P X 夫々の画素電極 P E と夫々の画素スイッチ S W を介して電氣的に接続している。

30

【 0 0 2 7 】

従って、ソースドライバ S D は、n 本のソース配線 S L 1 ~ S L n により 2 n 列の表示画素 P X を駆動することが可能である。そのため、本実施形態の液晶表示装置は高価なソースドライバ S D を用いることなく実現することが出来る。

【 0 0 2 8 】

さらに、アレイ基板 S B 1 は、基板の厚さ方向（第 1 方向 X および第 2 方向 Y と略直交する方向）において絶縁層（図 3 に示す）を介して画素電極 P E の一部と重なるように配置された補助容量線 C S L を有している。

40

【 0 0 2 9 】

補助容量線 C S L は、画素電極 P E の端部に沿って蛇行している。表示画素 P X 1 において、画素電極 P E は、第 2 方向 Y と略平行に延びた端部と第 1 方向 X と略平行に延びた下側（第 2 方向 Y における一方側）の端部とにおいて補助容量線 C S L に対向している。表示画素 P X 2 において、画素電極 P E は、第 2 方向 Y と略平行に延びた端部と第 1 方向 X と略平行に延びた上側（第 2 方向 Y における他方側）の端部とにおいて補助容量線 C S L に対向している。すなわち、画素電極 P E の画素スイッチ S W と接続した端部を除く他の端部において、画素電極 P E と補助容量線 C S L とが対向している。

【 0 0 3 0 】

50

補助容量線 C S L は、補助容量電圧が印加される電圧印加部（図示せず）と電氣的に接続されている。

【 0 0 3 1 】

図 3 は、図 2 に示す線 I I I - I I I における液晶表示装置の断面の一例を概略的に示す図である。なお、ここでは、説明に必要な箇所のみを図示している。

【 0 0 3 2 】

液晶表示装置を構成するアレイ基板 S B 1 の背面側には、バックライト（図示せず）が配置されている。バックライトとしては、種々の形態が適用可能であり、また、光源として発光ダイオード（L E D）を利用したものや冷陰極管（C C F L）を利用したものなどのいずれでも適用可能であり、詳細な構造については説明を省略する。

10

【 0 0 3 3 】

アレイ基板 S B 1 は、光透過性を有する第 1 絶縁基板 1 0 を用いて形成されている。第 1 絶縁基板 1 0 上には補助容量線 C S L が形成されている。ソース配線 S L は、第 1 層間絶縁膜 1 1 の上に形成され、第 2 層間絶縁膜 1 2 によって覆われている。なお、図示しないゲート配線は、例えば、補助容量線 C S L と同じ層に形成され、第 1 絶縁基板 1 0 と第 1 層間絶縁膜 1 1 の間に配置されている。画素電極 P E は、第 2 層間絶縁膜 1 2 の上に形成されている。この画素電極 P E は、端部において補助容量線 C S L と対向している。

【 0 0 3 4 】

第 1 配向膜 A L 1 は、アレイ基板 S B 1 の対向基板 S B 2 と対向する面に配置され、表示部 D Y P の略全体に亘って延在している。この第 1 配向膜 A L 1 は、画素電極 P E などを覆っており、第 2 層間絶縁膜 1 2 の上にも配置されている。このような第 1 配向膜 A L 1 は、水平配向性を示す材料によって形成されている。

20

【 0 0 3 5 】

対向基板 S B 2 は、光透過性を有する第 2 絶縁基板 2 0 を用いて形成されている。この対向基板 S B 2 は、ブラックマトリクス B M、カラーフィルタ C F、オーバーコート層 O C、共通電極 C E、第 2 配向膜 A L 2 などを備えている。

【 0 0 3 6 】

ブラックマトリクス B M は、各表示画素 P X を区画し、画素電極 P E と対向した開口部を形成する。すなわち、ブラックマトリクス B M は、ソース配線 S L、ゲート配線、補助容量線 C S L、スイッチング素子などの配線部に対向するように配置されている。ここでは、ブラックマトリクス B M は、第 2 方向 Y に沿って延出した部分のみが図示されているが、第 1 方向 X に沿って延出した部分を備えていても良い。このブラックマトリクス B M は、第 2 絶縁基板 2 0 のアレイ基板 S B 1 に対向する内面 2 0 A に配置されている。

30

【 0 0 3 7 】

カラーフィルタ C F は、各表示画素 P X に対応して配置されている。すなわち、カラーフィルタ C F は、第 2 絶縁基板 2 0 の内面 2 0 A における開口部に配置されるとともに、その一部がブラックマトリクス B M に乗り上げている。第 1 方向 X に隣接する表示画素 P X にそれぞれ配置されたカラーフィルタ C F は、互いに色が異なる。例えば、カラーフィルタ C F は、赤色、青色、緑色といった 3 原色にそれぞれ着色された樹脂材料によって形成されている。赤色に着色された樹脂材料からなる赤色カラーフィルタは、赤色画素に対応して配置されている。青色に着色された樹脂材料からなる青色カラーフィルタは、青色画素に対応して配置されている。緑色に着色された樹脂材料からなる緑色カラーフィルタは、緑色画素に対応して配置されている。これらのカラーフィルタ C F 同士の境界は、ブラックマトリクス B M と重なる位置にある。

40

【 0 0 3 8 】

オーバーコート層 O C は、カラーフィルタ C F を覆っている。このオーバーコート層 O C は、カラーフィルタ C F の表面の凹凸の影響を緩和する。

【 0 0 3 9 】

共通電極 C E は、オーバーコート層 O C のアレイ基板 S B 1 と対向する側に形成されている。共通電極 C E は、液晶層 L Q を介して複数の画素電極 P E と対向している。

50

【 0 0 4 0 】

第 2 配向膜 A L 2 は、対向基板 S B 2 のアレイ基板 S B 1 と対向する面に配置され、表示部 D Y P の略全体に亘って延在している。第 2 配向膜 A L 2 は、共通電極 C E 及びオーバーコート層 O C などを覆っている。このような第 2 配向膜 A L 2 は、水平配向性を示す材料によって形成されている。

【 0 0 4 1 】

これらの第 1 配向膜 A L 1 及び第 2 配向膜 A L 2 には、液晶層 L Q の液晶分子を初期配向させるための配向処理（例えば、ラビング処理や光配向処理）がなされている。

【 0 0 4 2 】

アレイ基板 S B 1 と対向基板 S B 2 とは、それぞれの第 1 配向膜 A L 1 及び第 2 配向膜 A L 2 が対向するように配置されている。このとき、アレイ基板 S B 1 の第 1 配向膜 A L 1 と対向基板 S B 2 の第 2 配向膜 A L 2 との間には、例えば、樹脂材料によって一方の基板に一体的に形成された柱状スペーサが配置され、これにより、所定のセルギャップが形成される。アレイ基板 S B 1 と対向基板 S B 2 とは、所定のセルギャップが形成された状態で、表示部 D Y P の外側のシール材（図示せず）によって貼り合わせられている。

【 0 0 4 3 】

液晶層 L Q は、アレイ基板 S B 1 と対向基板 S B 2 との間に形成されたセルギャップに保持され、第 1 配向膜 A L 1 と第 2 配向膜 A L 2 との間に配置されている。このような液晶層 L Q は、例えば、誘電率異方性が正（ポジ型）の液晶材料によって構成されている。

【 0 0 4 4 】

アレイ基板 S B 1 の外面、つまり、アレイ基板 S B 1 を構成する第 1 絶縁基板 1 0 の外面 1 0 B には、第 1 光学素子 O D 1 が接着剤などにより貼付されている。この第 1 光学素子 O D 1 は、液晶表示装置のバックライトと対向する側に位置しており、バックライトから液晶表示装置に入射する入射光の偏光状態を制御する。この第 1 光学素子 O D 1 は、第 1 偏光軸（あるいは第 1 吸収軸）を有する第 1 偏光板（図示せず）を含んでいる。

【 0 0 4 5 】

対向基板 S B 2 の外面、つまり、対向基板 S B 2 を構成する第 2 絶縁基板 2 0 の外面 2 0 B には、第 2 光学素子 O D 2 が接着剤などにより貼付されている。この第 2 光学素子 O D 2 は、液晶表示装置の表示面側に位置しており、液晶表示装置から出射した出射光の偏光状態を制御する。この第 2 光学素子 O D 2 は、第 2 偏光軸（あるいは第 2 吸収軸）を有する第 2 偏光板（図示せず）を含んでいる。

【 0 0 4 6 】

図 4 は、上記液晶表示装置の駆動方法の一例を説明するための図である。

以下では、 m 行 $2n$ 列で配列した表示画素 P X を駆動する方法の一例について説明する。ゲートドライバ G D L、G D R およびソースドライバ S D は、1 水平期間 T H で各行の表示画素 P X を駆動し、1 垂直期間 T V で m 行の表示画素 P X を駆動する。

【 0 0 4 7 】

ゲートドライバ G D L は、偶数番目のゲート配線 G L 2、G L 4、... G L 2 m を各水平期間 T H の前半で順次駆動する。例えば、ゲートドライバ G D L がゲート配線 G L 2 を駆動したタイミングで 1 行目においてソース配線 S L の左側に接続された表示画素 P X の画素スイッチ S W のソース電極 S E とドレイン電極 D E とが導通し、対応するソース配線 S L から映像信号が印加される。

【 0 0 4 8 】

ゲートドライバ G D R は、奇数番目のゲート配線 G L 1、G L 3、... G L 2 m - 1 を各水平期間 T H の後半で順次駆動する。例えば、ゲートドライバ G D R がゲート配線 G L 1 を駆動したタイミングで 1 行目においてソース配線 S L の右側に接続された表示画素 P X の画素スイッチ S W のソース電極 S E とドレイン電極 D E とが導通し、対応するソース配線 S L から映像信号が印加される。

【 0 0 4 9 】

ソースドライバ S D は、1 水平期間 T H の前半において、ソース配線 S L の左側に接続

10

20

30

40

50

された表示画素 P X に印加する映像信号を各ソース配線 S L に供給し、1 水平期間 T H の後半において、ソース配線 S L の右側に接続された表示画素 P X に印加する映像信号を各ソース配線 S L に供給する。

【0050】

すなわち、本実施形態の液晶表示装置では、ソースドライバ S D は 1 本のソース配線 S L により 2 列の表示画素 P X へ映像信号を供給することができる。したがってソースドライバ S D により駆動するソース配線 S L の本数を 1 / 2 になり、高価なソースドライバを採用する必要がない。

【0051】

なお、本実施形態では、ゲートドライバ G D L、G D R のそれぞれは、m 本のゲート配線 G L を順次駆動することとなるため、高速にゲート配線 G L を駆動する必要もない。したがって、本実施形態の液晶表示装置では、高価なゲートドライバを採用する必要もない。

上記のように、本実施形態によれば、液晶表示装置に要する費用の上昇を抑制することができる。

【0052】

次に、第 2 実施形態の液晶表示装置について図面を参照して詳細に説明する。

なお、以下の説明において上述の第 1 実施形態と同様の構成については同一の符号を付して説明を省略する。

【0053】

図 5 は、本実施形態の液晶表示装置の表示画素の一構成例を概略的に示す図である。

本実施形態では、ソース配線 S L は、第 1 ソース配線 S L A (S L A 1、S L A 2、... S L A n) と、第 2 ソース配線 S L B (S L B 1、S L B 2、... S L B n) と、接続部 S L X とを備えている。第 1 ソース配線 S L A と第 2 ソース配線 S L B とには、ソースドライバ S D から出力された共通の映像信号が供給される。

【0054】

第 1 ソース配線 S L A および第 2 ソース配線 S L B は、表示画素 P X の列に沿って第 2 方向 Y と略平行に延びている。第 1 ソース配線 S L A と第 2 ソース配線 S L B とは、第 2 方向 Y に並んだ画素電極 P E の列の、第 1 方向 X における両側に配置されている。

【0055】

接続部 S L X は、第 2 方向 Y に並んだ画素電極 P E 間において第 1 方向 X に延びて、第 1 ソース配線 S L A と第 2 ソース配線 S L B とを電気的に接続している。第 1 ソース配線 S L A 1 と第 2 ソース配線 S L B 1 とは複数の接続部 S L X により電気的に接続している。同様に、第 1 ソース配線 S L A 2 と第 2 ソース配線 S L B 2 とは複数の接続部 S L X により電気的に接続している。

【0056】

このように、複数の箇所第 1 ソース配線 S L A と第 2 ソース配線 S L B とを接続部 S L X により接続すると、第 1 ソース配線 S L A および第 2 ソース配線 S L B の一方の一部が断線したときでも、他方のソース配線と接続部 S L X とを介して断線箇所よりも先端側の表示画素 P X へ映像信号を供給することが可能となる。

【0057】

したがって、本実施形態によれば、暗線や輝線が発生することを回避して製造歩留まりを改善するとともに表示品位の良好な液晶表示装置を提供することが出来る。

【0058】

なお、図 5 では、接続部 S L X は、各画素電極 P E の第 2 方向 Y における両側に配置されているが、各画素電極 P E の第 2 方向 Y における一方側にのみ配置されてもよい。接続部 S L X は、第 1 ソース配線 S L A と第 2 ソース配線 S L B と少なくとも 1 箇所で接続するように配置されていればよいが、接続部 S L X により接続される箇所が多くなるほど断線による表示不良を回避することが可能となる。

【0059】

10

20

30

40

50

画素スイッチSWは、半導体層SCと、ゲート電極GEと、ソース電極SEと、ドレイン電極DEとを有している。半導体層SCは、絶縁層を介してゲート電極GE上に配置されている。ゲート電極GEはゲート配線GLと同層に形成され、ソース電極SEとドレイン電極DEとはソース配線SLと同層に形成されている。

【0060】

ゲート電極GEは、ゲート配線GLと電氣的に接続している（あるいは一体に形成されている）。本実施形態では、第1ソース配線SLAとゲート配線GLとが交差した位置近傍に配置された画素スイッチSWのゲート電極GEは、ゲート配線GLから第2方向Yに沿って上側に延びている。第2ソース配線SLBとゲート配線GLとが交差した位置近傍に配置された画素スイッチSWのゲート電極GEは、ゲート配線GLから第2方向Yに沿って下側に延びている。

10

【0061】

ソース電極SEは、ソース配線SLと電氣的に接続している（あるいは一体に形成されている）。ソース電極SEは、第1ソース配線SLAおよび第2ソース配線SLBから第1方向Xに沿って右側へ延びて半導体層SCの一部の上層に配置している。図5に示す例では、ソース電極SEは、第1ソース配線SLAおよび第2ソース配線SLBと、ゲート配線GLとが交差した位置近傍において、第1ソース配線SLAおよび第2ソース配線SLBの2箇所から突出している。

【0062】

ドレイン電極DEは、画素電極PEと電氣的に接続している（あるいは一体に形成されている）。ドレイン電極DEは、第1方向Xに沿って半導体層SCの上層と画素電極PEの下層との間に延び、ドレイン電極DEと画素電極PEとが絶縁層を介して重なる位置に設けられたコンタクトホールCHにおいて画素電極PEと電氣的に接続している。半導体層SCの上層において、ドレイン電極DEは2つのソース電極SEの間に配置されている。

20

【0063】

本実施形態の液晶表示装置は上記の構成以外は上述の第1実施形態と同様の構成である。本実施形態では、全ての表示画素PXにおいて、画素スイッチSWの構成が共通している。すなわち、いずれの表示画素PXにおいてもソース電極SEは第1方向Xに沿ってソース配線SLAあるいはソース配線SLBから右側へ向かって延び、ドレイン電極DEは第1方向Xに沿って画素電極PEの下層と半導体層SCの上層との間に延びている。従って、アレイ基板SB1を形成する際に、導電層の配置がずれた場合でも画素スイッチSWに生じる容量、特にゲート電極GEとドレイン電極DEとの間に生じる容量Cgdは全ての画素スイッチSWで同じ分だけ増減する。

30

【0064】

例えば、上述の第1実施形態の液晶表示装置では、ソース配線SLが形成される導電層が、ゲート配線GLが形成される導電層に対して上方向にずれた場合、第1表示画素PX1の画素スイッチSWではゲート電極GEとドレイン電極DEとが対向する面積が大きくなるため容量Cgdは大きくなるが、第2表示画素PX2の画素スイッチSWではゲート電極GEとドレイン電極DEとが対向する面積が小さくなるため容量Cgdが小さくなる。容量Cgdが異なる表示画素PXでは突き抜け電圧の大きさに差が生じるため、フリッカや焼き付きが生じることがある。

40

【0065】

これに対し、本実施形態では、導電層の配置がずれた場合でも全ての画素スイッチSWに生じる容量Cgdが同じ分だけ増減するため、フリッカや焼き付きが発生することを回避して、製造歩留まりを改善するとともに表示品位の良好な液晶表示装置を提供することが出来る。

【0066】

すなわち、本実施形態の液晶表示装置によれば、上述の第1実施形態の液晶表示装置と同様に、液晶表示装置に要する費用の上昇を抑制することができるとともに、製造歩留まり

50

りを改善して表示品位の良好な液晶表示装置を提供することが出来る。

【0067】

なお、本実施形態の液晶表示装置において、画素スイッチSWの構成は図5に示すものに限定されない。

【0068】

図6は、本実施形態の液晶表示装置の表示画素の他の構成例を概略的に示す図である。この例では、画素スイッチSWの構成が図5に示す場合と異なっている。すなわち、画素スイッチSWのソース電極SEは、第1ソース配線SLAおよび第2ソース配線SLBから第1方向Xに沿って右側に突出し、半導体層SCの一部の上層へ延びている。図6に示す例では、ソース電極SEは、第1ソース配線SLAおよび第2ソース配線SLBと、ゲート配線GLとが交差した位置近傍において、第1ソース配線SLAおよび第2ソース配線SLBの1箇所から突出している。

10

【0069】

ドレイン電極DEは、第1方向Xに沿って半導体層SCの上層から画素電極PEの下層へ延び、ドレイン電極DEと画素電極PEとが絶縁層を介して重なる位置に設けられたコンタクトホールCHにおいて画素電極PEと電気的に接続している。半導体層SCの上層において、ドレイン電極DEはソース電極SEと第1方向Xに所定の間隔を置いて配置している。

【0070】

上記以外の構成は図5に示す液晶表示装置と同様の構成である。図6に示す例においても、導電層の配置がずれた場合に全ての画素スイッチSWに生じる容量Cgdが同じ分だけ増減するため、フリッカや焼き付きが発生することを回避して、製造歩留まりを改善するとともに表示品位の良好な液晶表示装置を提供することが出来る。

20

【0071】

すなわち、上述の第1実施形態の液晶表示装置と同様に、液晶表示装置に要する費用の上昇を抑制することができるとともに、製造歩留まりを改善して表示品位の良好な液晶表示装置を提供することが出来る。

【0072】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

30

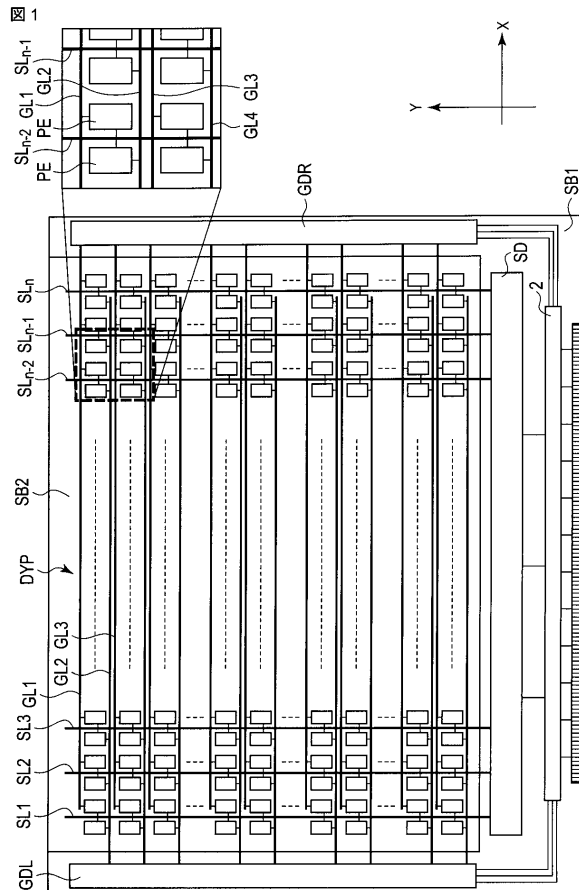
【符号の説明】

【0073】

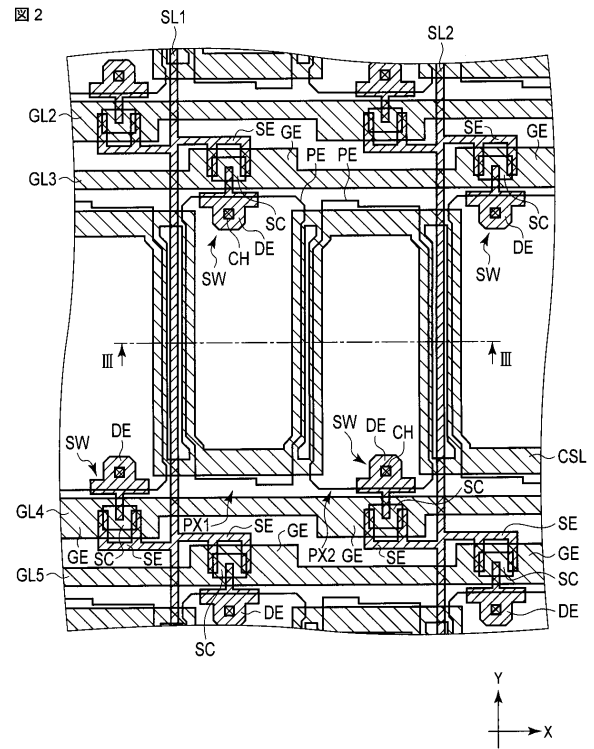
PX...表示画素、DYP...表示部、PE...画素電極、GL...ゲート配線、SL、SLA、SLB...ソース配線、SLX...接続部、GDL、GDR...ゲートドライバ、SD...ソースドライバ、X...第1方向、Y...第2方向、SW...画素スイッチ、GE...ゲート電極、SE...ソース電極、DE...ドレイン電極、SC...半導体層、CH...コンタクトホール、CSL...補助容量線、CE...共通電極、LQ...液晶層、SLA...ソース配線、SB1...アレイ基板、SB2...対向基板。

40

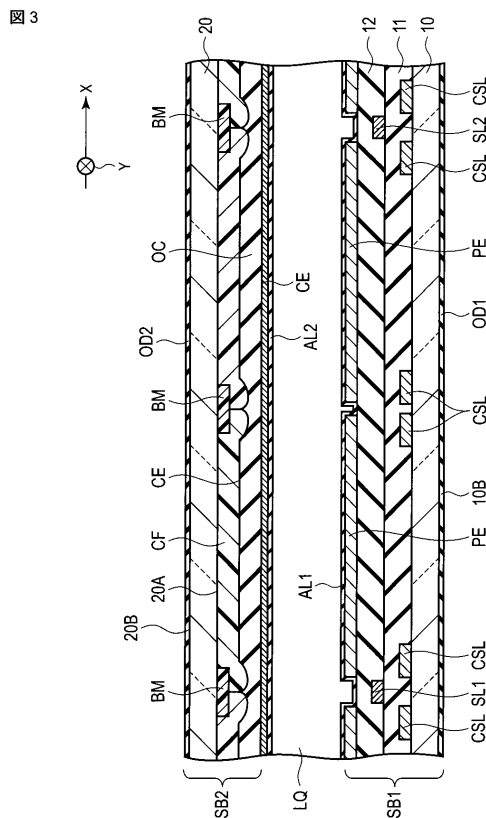
【図 1】



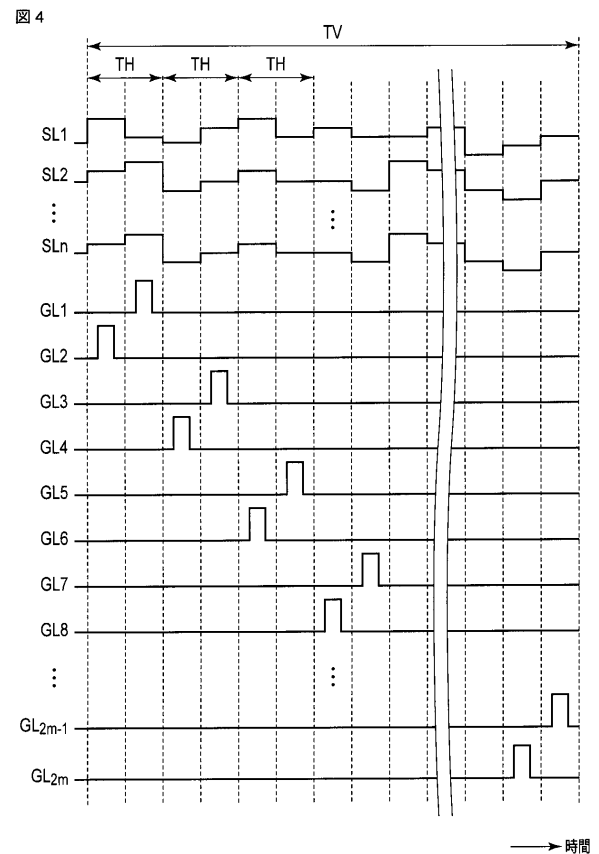
【図 2】



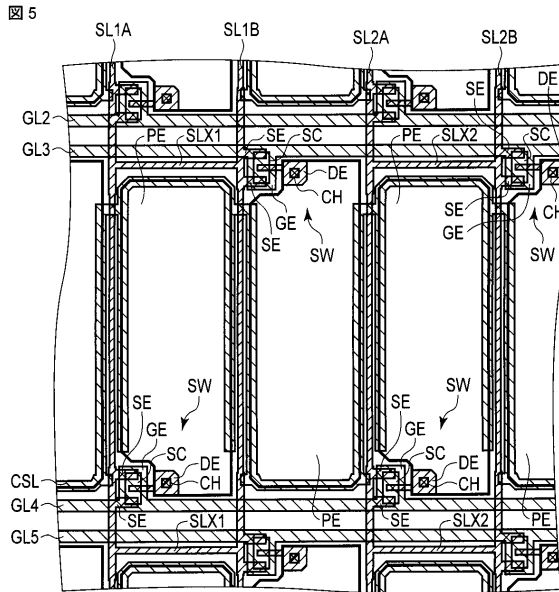
【図 3】



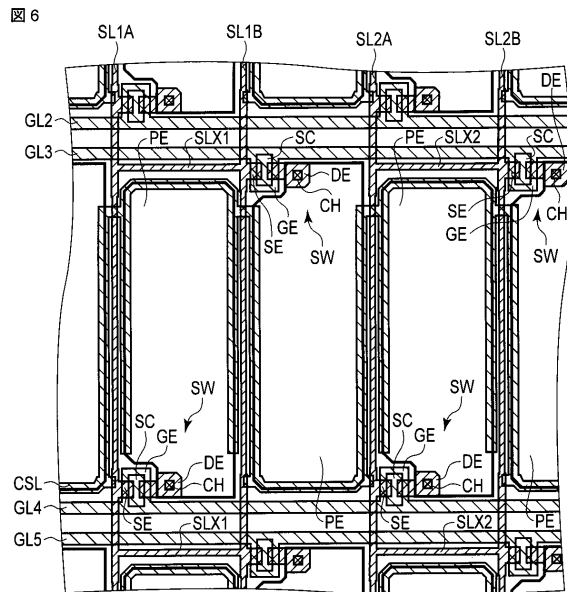
【図 4】



【図 5】



【図 6】



フロントページの続き

(51) Int.Cl. F I テーマコード (参考)

G 0 9 G	3/20	6 2 3 R
G 0 9 G	3/20	6 2 2 G
G 0 9 G	3/20	6 1 1 E
G 0 9 G	3/20	6 7 0 K

(74)代理人 100075672

弁理士 峰 隆司

(74)代理人 100119976

弁理士 幸長 保次郎

(74)代理人 100153051

弁理士 河野 直樹

(74)代理人 100140176

弁理士 砂川 克

(74)代理人 100158805

弁理士 井関 守三

(74)代理人 100172580

弁理士 赤穂 隆雄

(74)代理人 100179062

弁理士 井上 正

(74)代理人 100124394

弁理士 佐藤 立志

(74)代理人 100112807

弁理士 岡田 貴志

(74)代理人 100111073

弁理士 堀内 美保子

(74)代理人 100134290

弁理士 竹内 将訓

(72)発明者 米倉 利昌

埼玉県深谷市幡羅町一丁目 9 番地 2 株式会社ジャパンディスプレイセントラル内

F ターム(参考) 2H092 GA59 JA24 JA46 JB22 JB31 JB69 KA05 KA07 NA27 NA29

PA06

5C006 AA22 AC24 BB16 BC03 BC06 BC11 FA23 FA34 FA42 FA51

5C080 AA10 BB05 CC03 DD06 DD23 DD27 DD29 FF11 JJ02 JJ04

JJ06

专利名称(译)	<无法获取翻译>		
公开(公告)号	JP2014048339A5	公开(公告)日	2015-10-15
申请号	JP2012188970	申请日	2012-08-29
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	米倉利昌		
发明人	米倉 利昌		
IPC分类号	G02F1/1368 G02F1/1345 G09G3/36 G09G3/20		
CPC分类号	G02F1/136286 G02F1/13306 G02F1/133345 G02F1/133512 G02F1/133514 G02F1/13378 G02F1/134336 G02F1/136213 G02F1/136227 G02F1/13624 G02F1/136277 G02F1/1368 G02F2001/133519 G02F2001/133738 G02F2001/134345 G02F2201/121 G02F2201/123 G02F2202/103 H01L27/1222 H01L27/1244 H01L27/1255 H01L29/78669		
FI分类号	G02F1/1368 G02F1/1345 G09G3/36 G09G3/20.624.B G09G3/20.680.G G09G3/20.623.R G09G3/20.622.G G09G3/20.611.E G09G3/20.670.K		
F-TERM分类号	2H092/GA59 2H092/JA24 2H092/JA46 2H092/JB22 2H092/JB31 2H092/JB69 2H092/KA05 2H092/KA07 2H092/NA27 2H092/NA29 2H092/PA06 5C006/AA22 5C006/AC24 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC11 5C006/FA23 5C006/FA34 5C006/FA42 5C006/FA51 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD06 5C080/DD23 5C080/DD27 5C080/DD29 5C080/FF11 5C080/JJ02 5C080/JJ04 5C080/JJ06 2H192/AA24 2H192/AA33 2H192/BC31 2H192/CB05 2H192/CC04 2H192/CC24 2H192/CC42 2H192/CC55 2H192/CC56 2H192/CC62 2H192/DA13 2H192/DA72 2H192/EA22 2H192/EA43 2H192/FA73 2H192/FB02 2H192/FB27 2H192/GA41 2H192/GD61		
代理人(译)	中村诚 河野直树 井上 正 冈田隆		
其他公开文献	JP2014048339A		

摘要(译)

要解决的问题：抑制液晶显示装置所需的成本增加。多个以矩阵形式布置的像素电极PE，在列方向Y上布置在一行像素电极PE上的第一栅极布线GL和在一行像素电极PE上布置在另一侧的第一栅极布线GL。第二栅极线GL，沿着布置有像素电极PE的列延伸的源极线SL，以及从第一栅极线GL提供的用于切换源极线SL和像素电极PE之间的连接的栅极信号。阵列基板包括：像素开关SW和第二像素开关SW，多个像素电极PE彼此面对，第二像素开关SW和第二像素开关SW通过由第二栅极线GL提供的栅极信号来切换源极线SL和像素电极PE之间的连接。液晶层被保持在阵列基板和对向基板之间。[选择图]图2