

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2013-546008

(P2013-546008A)

(43) 公表日 平成25年12月26日(2013.12.26)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H192
G09G 3/34 (2006.01)	G09G 3/34 J	2H193
G09G 3/20 (2006.01)	G09G 3/20 624B	5C006
G02F 1/133 (2006.01)	G09G 3/20 624C	5C080
G02F 1/1368 (2006.01)	G09G 3/20 612R	
審査請求 有 予備審査請求 未請求 (全 49 頁) 最終頁に続く		

(21) 出願番号 特願2013-532028 (P2013-532028)
 (86) (22) 出願日 平成23年9月30日 (2011.9.30)
 (85) 翻訳文提出日 平成24年12月18日 (2012.12.18)
 (86) 国際出願番号 PCT/CN2011/001664
 (87) 国際公開番号 W02012/045229
 (87) 国際公開日 平成24年4月12日 (2012.4.12)
 (31) 優先権主張番号 61/390,750
 (32) 優先日 平成22年10月7日 (2010.10.7)
 (33) 優先権主張国 米国 (US)

(71) 出願人 512099976
 ジャスパー ディスプレイ コーポレーション
 台湾300新竹市科学園區力行一路1號3樓
 ビー6
 (74) 代理人 100082418
 弁理士 山口 朔生
 (72) 発明者 ハドソン、エドウィン、ライル
 アメリカ合衆国、95110、カリフォルニア州、サンノゼ、ウエスト セントジェームズ ストリート 175、ユニット 1509

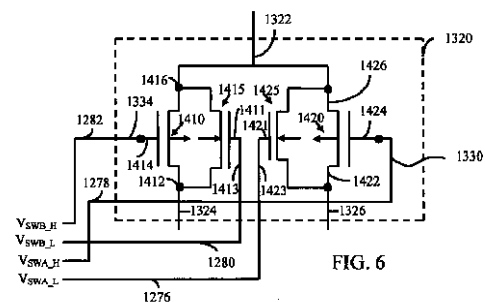
最終頁に続く

(54) 【発明の名称】 改良した画素回路とその回路を含む表示システム

(57) 【要約】

本発明が開示する表示システムは、表示コントローラ、表示ユニット、光源を含む。表示コントローラは、プロセッサユニット、記憶デバイス、電圧源、選択可能な光源制御ユニットを含む。表示ユニットは、論理及び制御電圧と、データと、を受け取って表示装置の画素セルを操作するアレイ及び回路と、透過対向電極と、2つのアライメント間に位置する液晶層とを含む。画素セルは、ストレージ素子と、DCバランス制御スイッチと、画素電圧オーバーライド回路が2つの電圧間で選択するインバータと、画素電極/ミラーとを含む。異なる作業モードにおいて、画素ミラー電圧は、ストレージ素子又は画素電圧オーバーライド回路により決定される。表示システムは、一期間で画像を表示し、他期間で固定状態にリセットする。

【選択図】図6



【特許請求の範囲】**【請求項 1】**

複数の画素セルと、透明対向電極の表示ユニットと、光源とを含む表示コントローラを含む表示システムであって、

前記表示コントローラは、プロセッサユニット、記憶デバイス、電圧源を含み、前記表示コントローラは、電圧源により論理及び制御電圧と、データと、を表示ユニットへ送り、透明対向電極へ与える少なくとも 1 つの電圧を含み、

前記表示ユニットは、複数の画素セル及び周辺回路と、透明導電対向電極と、透明導電対向電極及び画素セルアレイ上の液晶アライメント層と、透明対向電極と画素セルアレイとの間の液晶層とを含み、複数の画素セル及び周辺回路は、電圧源からデータと、論理及び駆動電圧とを受け取り、前記電圧及びデータに基づいて表示装置を操作し、

前記画素セルは、ストレージ素子と、DC バランス制御スイッチと、画素電圧オーバーライド回路と、少なくとも 2 つの電圧から 1 つの電圧を選択するインバータと、インバータの出力を受け取る画素電極 / ミラーとを含み、第 1 のモードにおいて、メモリ素子のデータ状態に基づき、前記画素セルは、DC バランス制御スイッチを介してインバータへ電圧を送り、画素ミラーへ印加する少なくとも 2 つの電圧のうちから選択し、第 2 のモードにおいて、インバータの入力に電圧が送られず、画素ミラーに電圧が送られず、第 3 の作業モードにおいて、画素電圧オーバーライド回路からの電圧がインバータの入力に送られ、画素ミラーへ送る少なくとも 2 つの電圧のうちの 1 つを選択することを特徴とする表示システム。

【請求項 2】

ノーマル作業モードにおいて、画素セルは、ストレージ素子により電圧コントローラが提供するデータに反応し、DC バランス制御スイッチの 2 つの入力へ相補データ電圧を送り、前記 DC バランス制御スイッチがノーマル作業モードにおいて、電圧源が発する論理電圧に基づき、2 つの相補入力の中の 1 つを選択して画素電圧オーバーライド回路の 1 つの入力端子へ送り、ノーマル作業モードにおいて、前記画素電圧オーバーライド回路により入力端子に送られた電圧が出力端子に送られ、前記インバータが画素電圧オーバーライド回路から電圧を受け取り、少なくとも 2 つの画素駆動電圧のうちの 1 つを選択し、選択した電圧を画素ミラーへ送ることを特徴とする請求項 1 に記載の表示システム。

【請求項 3】

隔離作業モードにおいて、電圧源が発した論理電圧に基づき、画素セルは、DC バランス制御スイッチによりストレージ素子から画素電圧オーバーライドユニットの入力へ電圧を送らず、画素電圧オーバーライド回路は、画素ミラーへ電圧を送らないことを特徴とする請求項 1 に記載の表示システム。

【請求項 4】

オーバーライド作業モードにおいて、電圧源が発した論理電圧に基づき、画素セルは、DC バランス制御スイッチによりストレージ素子から画素電圧オーバーライドユニットの入力へ電圧を送らず、オーバーライド作業モードにおいて、画素電圧オーバーライド回路は、電圧源が発した制御電圧に反応し、少なくとも 2 つの電圧のうちの 1 つをインバータの入力へ送ることを特徴とする請求項 1 に記載の表示システム。

【請求項 5】

メモリ素子は 6 トランジスタ SRAM セルであることを特徴とする請求項 1 に記載の表示システム。

【請求項 6】

DC バランス制御回路は、ブレイクビフォアメーク論理に基づいて操作することを特徴とする請求項 1 に記載の表示システム。

【請求項 7】

DC バランス回路は、電圧範囲を V_{DD} 及び V_{SS} にして画素ミラーへ送ることを特徴とする請求項 1 に記載の表示システム。

【請求項 8】

電圧源は、処理ユニットからの信号に反応し、論理及び制御電圧と、画素電圧とを複数の画素セルへ送り、電圧を透明対向電極駆動へ送って表示ユニットをDCバランス方式で操作することを特徴とする請求項1に記載の表示システム。

【請求項9】

電圧源は、処理ユニットからの信号に反応し、ノーマルモードで表示装置を操作し、ストレージ素子に位置するデータに基づいて画像を表示することを特徴とする請求項8に記載の表示システム。

【請求項10】

電圧源は、処理ユニットからの信号に反応し、オーバーライドモードで表示装置を操作し、画素電圧オーバーライド回路へ信号を送り、少なくとも2つの電圧のうちの1つをインバータへ送り、インバータが画素電圧オーバーライド回路からの信号に反応し、少なくとも2つの電圧のうちの1つをアレイの全ての画素ミラーへ送ることを特徴とする請求項8に記載の表示システム。

10

【請求項11】

光源は、カラーにより切替える少なくとも2つの異なるカラーの複数の発光ダイオードユニットを含むことを特徴とする請求項1に記載の表示システム。

【請求項12】

表示コントローラは、所定のスケジュールで発光ダイオードを発光させることを特徴とする請求項11に記載の表示システム。

【請求項13】

液晶層は、選択した波長のコヒーレント光の約半波長の厚さであり、2つの表面上のアライメント層の配向がコヒーレント光の偏光に対して平行で、且つ、互いに反平行であることを特徴とする請求項1に記載の表示システム。

20

【請求項14】

表示システムが表示コントローラと、複数の画素セルを含んだ表示ユニットと、透明対向電極と、光源とを含んで表示システムの変調方法であって、

前記表示コントローラは、処理ユニット、記憶デバイス、電圧源を含み、前記表示コントローラは、電圧源により論理及び制御電圧と、データと、を表示ユニットへ送り、透明対向電極へ送る少なくとも1つの電圧を含み、

前記表示ユニットは、複数の画素セル及び周辺回路と、透明導電対向電極と、透明導電対向電極及び画素セルのアレイ上の液晶アライメント層と、透明対向電極と画素セルアレイとの間の液晶層とを含み、複数の画素セル及び周辺回路は、電圧源からデータと、論理及び駆動電圧と、を受け取り、前記電圧及びデータに基づいて表示装置を操作し、

30

前記画素セルは、ストレージ素子と、DCバランス制御スイッチと、画素電圧オーバーライド回路と、少なくとも2つの電圧から1つの電圧を選択するインバータと、インバータの出力を受け取る画素電極/ミラーとを含み、第1のモードにおいて、メモリ素子のデータ状態に基づき、前記画素セルは、DCバランス制御スイッチを介して電圧をインバータへ送り、画素ミラーへ印加する少なくとも2つの電圧のうちから1つを選択し、第2のモードにおいて、インバータの入力には電圧が送られず、画素ミラーに電圧が送られず、第3の作業モードにおいて、画素電圧オーバーライド回路からの電圧がインバータの入力に送られ、画素ミラーへ送る少なくとも2つの電圧から選択し、

40

ノーマル作業モードの第1の作業期間において、表示ユニットの各画素のストレージ素子は、電圧源からデータを受け取り、相補データをDCバランススイッチへ送り、前記DCバランススイッチは、電圧源が決定したその論理構成に基づき、2つの相補出力のうちの1つを画素電圧オーバーライド回路へ送り、画素電圧オーバーライド回路は、受け取った電圧をその出力端子へ送り、インバータは、その入力端子の電圧を受け取り、少なくとも2つの電圧のうちの1つを画素ミラー/電極へ送り、前記データ表示は、所定のプログラムにより第1の作業期間持続し、表示コントローラは、所定のスケジュールに基づいて発光ダイオードを操作し、

隔離作業モードの第2の作業期間において、各画素のストレージ素子は、電圧源からデ

50

ータを受け取り、相補データをDCバランススイッチへ送り、前記DCバランススイッチは、ストレージ素子の隔離モードを隔離し、画素電圧オーバーライド回路は、電圧源からの論理に基づいてオフ条件で操作され、インバータ回路の入力へ電圧が送られず、

オーバーライド作業モードの第3の作業期間において、DCバランススイッチは、ストレージ素子と画素の他の回路とを隔離させ、画素電圧ストレージスイッチにより電圧をインバータ回路の入力へ送り、インバータ回路により少なくとも2つの電圧のうちの1つを選択して画素ミラーへ送ることを特徴とする表示システムの変調方法。

【請求項15】

光源は、カラーにより切替える少なくとも2つの異なるカラーの複数の発光ダイオードユニットを含むことを特徴とする請求項14に記載の表示システムの変調方法。

10

【請求項16】

表示コントローラは、ノーマル作業状態の変調期間と略同時に所定のスケジュールで発光ダイオードを発光させることを特徴とする請求項15に記載の表示システムの変調方法。

【請求項17】

表示コントローラは、隔離モード及びオーバーライドモードの変調期間と同時に、発光ダイオードを所定により発光させないことを特徴とする請求項15に記載の表示システムの変調方法。

【請求項18】

表示システムは、隔離又はオーバーライドモードの事前間隔で操作されるとき、表示コントローラは、後続のノーマルモードの間隔によりストレージ素子へデータをロードすることを特徴とする請求項14に記載の表示システムの変調方法。

20

【請求項19】

表示システムは、ノーマル作業モードの作業期間で一定の操作時間で操作され、表示コントローラは、所定方法に基づいて第1列に書込むデータが第1のグレイレベルで開始し、必要な変調セグメントの期間に対応して時間が経過した後、選択した間隔で後続列のデータを書込んで第1列をリセットし、その後、列の書込みが発生し、列の間の間隔は、前の列に書込むデータに必要なビット深度に正比例し、1組の列に書込まれた後、同じ列の間隔モードを繰り返すが、1つの列が前の列の書込み作用からオフセットし、1組の列の書込み作用の全てが表示装置の全ての列へ書込まれるまでこのモードが繰り返されるため、必要なグレイスケールが全ての列に提供されることを特徴とする請求項14に記載の表示システムの変調方法。

30

【請求項20】

後続の列書込み作用の間の間隔の大きさは、任意又は経験に基づくことを特徴とする請求項19に記載の表示システムの変調方法。

【請求項21】

一部の変調間隔は、バイナリで重み付けされたステップに対応し、一部の変調間隔は、バイナリで重み付けされたステップに対応しないことを特徴とする請求項19に記載の表示システムの変調方法。

【請求項22】

終了ライトポイントを第2のアドレスデータへ用いることにより、ある一定の時間間隔でデータを書込むことを終了し、第2のアドレスデータは、第1の関連しない列のアドレス位相の余剰タイムスロットを占有し、終了ライトポイントのアドレスプロトコルは、終了した列と、終了列の全ての画素へ書込む1つのデータ値とを含むことを特徴とする請求項19に記載の表示システムの変調方法。

40

【請求項23】

画素のアレイ全体は、表示装置全体の1つの書込み作用において書込まれ、続いて付加的なステップが同じ方式により表示装置全体に書込まれることを特徴とする請求項14に記載の表示システムの変調方法。

【請求項24】

50

画素のアレイ全体が表示装置全体の１つの書き込み作用中で書き込まれ、且つ、アドレスデータが識別する第２列へ終了ライトポイントを用いることにより、ある一定の時間間隔で書込まれるデータを終了し、前記アドレスデータは、第１の関連しない列のアドレス位相の余剰タイムスロットを占有し、終了ライトポイントのアドレスプロトコルは、終了した列と、終了列の全ての画素へ書込む１つのデータ値とを含むことを特徴とする請求項２３に記載の表示システムの変調方法。

【請求項２５】

液晶層は、選択した波長のコヒーレント光の約半波長の厚さであり、２つの表面上のアライメント層の配向がコヒーレント光の偏光に対して平行で、且つ、互いに反平行であることを特徴とする請求項１４に記載の表示システムの変調方法。

10

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、ＬＣＯＳ（登録商標）表示装置に関し、特に、電圧制御を高めるＬＣＯＳ表示装置の改良画素セル設計に関する。

【背景技術】

【０００２】

液晶投射型表示装置の輝度及びフィルファクタを高めるためには、一般に反射ＬＣＤ画素が使用される。これらのシステムは、ＬＣＯＳと称され、大きなアレイの画素を利用して入力画像の高解像度出力を達成する。表示装置の各画素は、透明電極と反射画素電極との間に挟まれた液晶層を含む。一般に、透明電極は表示装置全体で共有するものであり、反射画素電極は各画素に対して作用する。ストレージ素子又はその他記憶ユニットは、画素下に取り付けられ、画素電極上の電圧を選択的に案内する。共通透明電極と各反射画素電極との電圧差を制御することにより、送られてきたイメージデータにより液晶の光学特性を制御する。ストレージ素子は、アナログ又はデジタルのストレージ素子でもよく、デジタルストレージ素子は、高熱又は低負荷の環境において帯電減衰が起きにくいためよく使用される。

20

【０００３】

ＬＣＯＳマイクロ表示装置テクノロジーは、米国及び海外の消費市場において、投影システムのコストダウンが求められている。限定的な効果を達成することができる一方法としては、システム中で一つのＬＣＯＳマイクロ表示装置により所望の三原色を変調し、許容することができないちらつき又は画像破損をなくす方法がある。以前のＬＣＯＳ投影システムは、卓越した性能を有したが、色毎に複雑な光学系及び３つの独立したマイクロ表示装置が必要である。現在成功している一つのパネルアーキテクチャは、フィールドシーケンシャルカラーモードで操作される小型で低解像度のマイクロ表示装置に関係し、これは事前にＲＧＢフレームの時間中に２組のカラーフィールド（ＲＧＢ）を書込んで問題を低減する必要がある。また、一つのパネルフレームは、組み立てる前に表示装置の画素へカラーフィルタ材料を直接施す必要がある。しかし、色毎に３倍のサブ画素が必要であるため、解像度には限界があった。

30

【０００４】

２つの方式には、克服しなければならない限界がある。消費者の一部は、低解像度に満足することができない。消費者が高解析度を所望するため、現在の表示装置の９００×６００（５４０，０００画素）の解像度を用いる携帯電話は、４８０画素×３２０画素（１５３，６００画素）である従来の解像度と比べ、３．５インチの画像対角線の表示装置の解像度は３倍以上ある。カラーフィルタ方式はさらに困難度が高く、１５マイクロレベルの寸法において、カラーフィルタ材料を画素に塗布することは先天的に困難であった。これと比較し、直視型表示装置の画素寸法は、一般に１００ミクロンである。解像度及び性能を改良しなければならないことは明白である。

40

【０００５】

上述の問題点以外にその他考慮しなければならない点がある。すでに述べたように、フ

50

フィールドシーケンシャルカラーモードの操作には、データレートを高めて問題を低減させる必要がある。周知の問題には、ちらつき、色割れ、カラークロスカップリングが含まれる。考慮しなければならない小さな問題には、動的な偽輪郭、横電界問題、動きぼやけが含まれる。

【 0 0 0 6 】

ちらつきの認識は肉眼の基本的な機能である。19世紀末及び20世紀初頭に閃光灯を用い、光を1/2 Hz ~ 60 Hzのレートで閃光させたときに人が感じるちらつきに関する実験を行った。視力の差異により各人の感じ方は異なった。60 Hzの上限が好ましい近似値であり、上述したことはFerry - Porter Lawと称されることが多い。

10

【 0 0 0 7 】

この効果は表示装置の分野、特にカラーシーケンシャル表示装置の分野で重要である。色に対する目の感度を表すフォトピック曲線 (photopic curve) (図示せず) を検視すると、約550ナノメートルの波長がピークであることが分かる。即ち、緑色スペクトルである。そのため180 Hzで三色(赤、緑、青)を順次表示すると、60 Hzの緑色フラッシュレートが発生する。フィールドシーケンシャルカラー表示装置を同じレートで操作すると、ビューアはちらつきに関して文句を言う可能性がある。レートを75 Hzまで引き上げるとこの問題を僅かながら減らすことができるが、ちらつきを消去するために必要な最低レートが高くなる要素がある。これには、画像の全体輝度、変調の深さ、画像の見た目の大きさ(網膜上における)が含まれる。フリッカー周波数の上限は、表示装置の輝度が上がるに従い高くなる。深さの変調に関しては、赤及び青のレベルを上げると、感じるちらつきを減らすことができる。画像サイズの効果は予測することが困難であるが、依然として考慮しなければならない。現在、実際のフィールドシーケンシャルカラー表示装置は、1秒当たり少なくとも360のカラーフレームのレベルで操作されている。

20

【 0 0 0 8 】

色割れが部分的に起きるのは、表示装置に必要な多くの後続データが60 Hzで収集されるためであることと、比較的早い移動物体に伴って目が移動するためである。移動物体がフィールドシーケンシャルカラー表示装置中で再現されると、ビューアは色スプレディング(color spreading)が見易く、これは目の視線が物体の予期位置へ移動しても元の位置にカラーがあるためである。これは動作補間により解決することができるがコストが高い。低コスト表示装置の好適な方式としては、緑色データのフレームレートを高めることである。これは感じる物体の速度を変えることにより問題を僅かだけ小さくすることができる。データレートを高めるためには、帯域幅を増加させることとなる。

30

【 0 0 0 9 】

第3の問題はカラークロスカップリングである。これはネマチック型液晶表示装置に発生することであるが、これは次のLEDにカラーが生じる際、液晶の反応時間が制限され、以前のカラー状態を記憶したままに維持されるためである。この問題で観察される効果は予測が困難であるが、通常、この方式で発生する物体は、他の画像と比べて鮮明でなかった。この問題を解決するためには、幾つかの方法がある。第一に、LEDを一時的に全てオフして液晶を新しい状態にする。勿論、これは輝度が失われてしまうが、問題を小さくすることができる。第二に、表示装置は、何れか指定のカラーフィールドの終了により、暗状態を駆動させてから新しいカラーデータをリロードする。これは通常、LEDのゲートを組み合わせて行う。暗状態の駆動は出来るだけ早く発生させる必要がある；これは、画像アレイが暗状態に書かれる時間と、選択された液晶モードとにより制限を受ける。

40

【 0 0 1 0 】

残りの問題の解決方法は当業者によく知られている。データレート性能により実現する必要がある。動的な偽輪郭は、ネマチック型液晶表示装置により制限されるが、隣接するグレイレベルに大きめの時間的差が存在する場合、いくらか見ることができる。階調曲線

50

全体により時間的差を下げるのは、この問題を小さくするために好ましい方式である。この同様の技術は、液晶の横型電界効果を幾らか減らすことがあるが、液晶アライメントのアンカリングエネルギー及びセルのプレチルトを最終的に下げる。動きぼやけは、上述したように動き補間が必要であるが、液晶反応時間を高めてよい。これらには時間及び資源の大量投資が必要である。

【0011】

本発明の開示を助けるために、表示装置の液晶機能を簡単に振り返って見る。ネマチック液晶表示装置において、液晶層は、そこを透過した光の偏光を回転させ、偏光の回転レベルは、液晶層に印加する $r o o t - m e a n - s q u a r e$ (RMS) 電圧を決定する。そのため、反射液晶表示装置上の入射光は、偏光であり、“on 状態”を組み合わせた反射光は通常、直交偏光である。当業者であれば分かるように、偏光の変更程度は、RMS 電圧の原因を決定し、これは全ての液晶表示装置の基礎である。

10

【0012】

そのため、液晶に変化電圧を印加することにより、液晶装置の透光能力を制御することができる。デジタル制御の応用において、画素駆動電圧が暗状態 (off) 又は明状態 (on) に変わるため、完全なオン (on) の位置と完全なオフ (off) の位置との間で所望のグレースケールを得るために、ある種の変調設計を電圧制御へ加える必要がある。もし液晶反応時間が変調波形時間より遅い場合、液晶は、駆動波形の RMS 電圧に反応する。パルス幅変調 (PWM) の使用は、この種のデジタル回路を駆動する一般的な方式である。一種の PWM において、変化のグレースケールは、一連のパルスへ変換されたマルチビットワード (即ち、二進法の数字) により表される。時間平均の RMS 電圧は、所望のグレースケールを維持するために必要な特定の電圧に対応する。

20

【0013】

パルス幅変調の各種方法がすでに知られている。そのうちの一種は、バイナリで重み付けされたパルス幅変調であり、パルスはグループ化されてバイナリ・グレースケールのビットに対応する。付加的なビットをバイナリ・グレースケールへ加えることによりグレースケールの解像度を高めることができる。例えば、4 ビットワードを使用すると、各画素にグレースケールが書込まれる時間は、通常、フレーム時間と称されて 15 個の間隔に分けられ、通常、サブフレームと称され、16 個の可能なグレースケール (2^4 の可能値) となる。8 ビットのバイナリ・グレースケールは、255 の間隔と、256 の可能なグレースケールとなる (2^8 の可能値)。

30

【0014】

大部分のネマチック型液晶材料は、印加する電圧の数値に反応するだけであり、電圧極性に反応するものではないため、液晶材料に同じ数値の正又は負の電圧を印加し、通常、液晶に同じ光学性質 (偏光) を与える。しかし、DC 電圧を印加すると液晶材料の物理的特性は、イオンマイグレーション又は“ドリフト”により、液晶材料の性能が下がる。同じ電圧極性を連続して印加する場合、DC 電流により液晶材料に汚染物が常に存在し、1 対の正面又は他の表面に向かって漂う。これは汚染物をアライメント層上で、液晶材料にある一定の方向で“粘着”させ、駆動電圧に完全に反応することがない。ビューアにより嫌われる、前の画像のゴースト像がこの効果により現われる。高純度化された液晶材料であっても、それらの組成内に幾らかのイオン性不純物 (例えば、負に帯電したナトリウムイオン) がある。液晶表示装置の正確性及び操作性を維持するために、この現象を制御する必要がある。このような“ドリフト”を防ぐために、液晶に印加する RMS 電圧を修正し、交流電圧極性を液晶に施す。このような状況では、PWM のフレーム時間が半分となる。フレームの前半において、変調データは、所定の電圧制御設計に基づき画素電極に施す。フレーム時間の後半において、相補の変調データが画素電極に施される。共通透明電極がその初期電圧状態 (通常、高い) に維持されると、0 ボルトの正味の DC 電圧成分が得られる。一般に“DC バランス”技術と称されるこの技術を用いると、液晶の損壊を防ぎ、液晶画素に印加される RMS 電圧が変化せず、LCD パネルで表示される画像も変化しない。DC バランスに必要なことは当業者によく知られている。

40

50

【 0 0 1 5 】

そのため、画素の所望のグレイスケールを達成するために、液晶画素素子を駆動する変調設計を用いるには、画素の“on”と“off”との時間量を正確に制御する必要がある。光の回転度は、液晶画素を横切るRMS電圧に基づく。回転度は、ビューアが見る光強度に影響を与える。この方式により、電圧を変調してビューアが感じる強度に影響を与えることができる。この方式により、グレイスケールを発生させる。表示装置アレイの全ての画素の組み合わせにより、LCデバイスは画像を表示する。画素に印加するroot-mean-square(RMS)電圧は、電圧極性を連続して反転させ、液晶が損壊することを防ぐ。

【 0 0 1 6 】

多くの液晶デバイスの光電性質により、あるRMS電圧(V_{SAT})に最大輝度を発生させる一方、別のRMS電圧(V_{TT})に最小輝度を発生させる。2つの電圧の関係は、光電モードがノーマルブラック(NB)であるかノーマルホワイト(NW)であるかで決められ、“ノーマル”は、未駆動であるか僅かに駆動することを表す。 V_{SAT} のRMS電圧を印加すると明セル又は全反射が得られ、 V_{TT} のRMS電圧を印加すると、暗セル又は最小光出力が得られる。もしノーマルホワイト材料がRMS電圧を V_{SAT} の値まで減らすと、全反射レベルに維持されずに、セルの輝度を低下させることができる。同様に、ゼロ光反射レベルに維持されずに、RMS電圧を V_{TT} より高い値まで上げる。NWモードの V_{SAT} と V_{TT} との間のRMS電圧は、RMS電圧の増大に伴い輝度が下がる。そのため、 V_{TT} と V_{SAT} との間の電圧範囲は、特定の液晶材料の光電曲線の有用範囲を定義する。この範囲外のRMS電圧は有用でなく、もし液晶画素に施す場合、グレイスケールのディストーションが発生する。そのため、画素に印加するRMS電圧を V_{SAT} と V_{TT} との間の有用範囲に限定させる。多くの既知の表示システムは、液晶の有用範囲外の電圧により論理回路を駆動し、これらの電圧が画素電極に直接印加されて電力が浪費される。例えば、論理回路は、0及び5ボルト又は0及び3.3ボルトで操作されてもよい。もし液晶材料の有用範囲がこの範囲内にある場合、有用範囲内のRMS電圧を達成するために、多めの時間及び電力を使わなければならない。有用な V_{TT} から V_{SAT} の範囲は、1.0~2.5ボルトであり、論理回路が0~5ボルトで操作するシステムにおいて、2.5ボルトのRMS電圧を達成するために、タイムフレーム中で等量の0ボルト状態及び5ボルト状態を見て、2.5ボルトのRMS電圧を達成する。液晶駆動論理回路は、 $V_{SAT} \sim V_{TT}$ の範囲外のレベルでなく、 V_{SAT} 及び V_{TT} のレベルで操作するのが効率良い。これは時間平均を簡単かつ早くし、少なめの電力により同じシステムを駆動させる。このために、RMS電圧は液晶材料の光電反応曲線の有用範囲に限定されることが好ましい。

【 0 0 1 7 】

表示システムの他の実施例は、米国特許第6,005,558号において開示されている。表示システムは、マルチプレクサに連結されたメモリ素子を含む。メモリ素子の状態により、マルチプレクサは、2つの所定の電圧のうちの1つを画素電極へ送る。マルチプレクサは、メモリセルの外に位置し、外部回路が制御され、DCバランス及びデータロード作業を組み合わせる操作を制御する。この発明において、セル外のマルチプレクサの作業は、セルに送られる電圧を変調してDCバランスを提供する。同じ電圧を用いて画素ミラーを駆動し、DCバランスを達成するために、変調された電圧を全ての面で正確にしなければならないため、デバイスの複雑度が大幅に高まった。如何なる状況でも、長い線上で多くの異なる電圧を伝えることは設計上大きな制約であった。また、また、この発明は全ての素子が全面的にアドレスされて作用する。これら全ての技術上の困難は、上述した発明が上述の制限を効果的に解決することを制約する。

【 0 0 1 8 】

本案の発明者が出願した特許番号第10/329,645号、現在の米国特許第7,468,717号は、画素表示装置の構成を開示し、各画素制御回路が提供する電圧コントローラは、画素電極に入力される電圧を制御する。コントローラは、画素電極に入力される電圧の多重化機能を含む上、ディカップリングを行い、画素電極へ付与する入力電圧レ

10

20

30

40

50

ベルを柔軟に変化させるビットバッファリング及びディカップリング機能をさらに有する。DCバランスのレートは、1 KHz以上に増やされ、DCオフセット効果の可能性を減らし、遅いDCバランスレートにより生じる焼き付きの問題を小さくする。特許第7, 468, 717号では、一方のDCバランス状態から他方へ切り替え、データをパネルへ上書きする必要がないテクノロジーが開示されている。そのため、高圧CMOS設計上の困難を解決することができる。標準CMOSテクノロジーは低い生産コスト及び高い収率によりLCOS表示装置のストレージ及び制御パネルを製造する。米国特許第7, 468, 717号のDCバランスコントローラは、10トランジスタ(10-T)の構成により実施し、2つのpチャネルMOSFET(登録商標)トランジスタを含む。効果的にコントローラを実施することができるが、pチャネルMOSFETトランジスタが効果的に画素ミラーの電圧を引き下げることができないため、技術上の制約がある。コントローラが画素上で作用する電圧下限 V_0 は、半導体接地電圧 V_{SS} の上の1.0~1.3ボルトに設定しなければならず、精確な電圧は回路の設計詳細により決まる。制限は、pチャネルMOSFETトランジスタが電圧を V_{DD} へ引き上げるほど強い一方、電圧を V_{SS} へ引き下げるのに弱いからである。

10

20

30

40

50

【0019】

本案の発明者が出願した出願番号第10/413, 649号、現在の米国特許第7, 443, 374号は、前述した発明の改良を開示し、DCバランス回路を V_0 及び V_{SS} と同様に低いかさらに低い電圧環境中で操作する新しい回路へ交換し、駆動電圧の電圧制限を消去する。改良したDCバランスを実施すると問題を確実に解決することができるが、付加的に2つのトランジスタが必要である上、ブレイクビフォアメーク回路を周辺回路へ加える必要もある。

【0020】

本案の発明者が出願した出願番号第10/742, 262号、現在の米国特許第7, 088, 329号は、番号第10/413, 649号の回路と異なる作業モードを開示し、DCバランス回路を修正する作業により画素電圧と6T-SRAM記憶ユニットとのディカップリングを行うことにより、新しいデータを6Tセルへ書込み、回路容量に頼って有限期間で画素ミラー上の最後の電圧状態を維持する。データをロードするとともに前の状態を維持する能力は、フィールドシーケンシャルカラー表示システムに一般に求められ、カラーフィールドは同期でなくタイムシーケンスで示されるため、1つの表示装置で全てのカラーを生成することができる。競合製品中ではすでに様々な技術が開示され、例えば、画素内に記憶デバイスが加えられるが、その代償として設計の複雑度及び収率がある。

【0021】

この方式の弱点は、セル上の電圧を当該時間中変えることができず、液晶セルが間隔中でDCバランスをとることができない点である。例えば、フィールド方向を交換するなどの様々な設計は実行可能であるが、理想的ではない。

【0022】

この方式のもう一つの弱点は、液晶セルを上書き間隔において既に知られた状態にリセットできない点である。表示装置を駆動し、知られた暗状態にしてカラーチャネルデータクロスカップリングを小さくするには、DCバランス回路において、表示装置のメモリアレイを上書きして新しいデータ状態の前にし、アレイ全体を暗状態論理設定に書かなければならない。表示装置の見た目を悪くして照明源を中断しなければ、これらの作業を行うことはできない。

【0023】

本案の発明者が出願した出願番号第10/435, 427号(‘427出願案)では、本文のデジタル表示システムと互換性のある変調方法が開示されている。第1列の書込作用は指定列で発生し、続いて第2列の書込作用と第1列の書込作用とは1列以上で離間され、続いて第3列の書込作用と第2列の書込作用とは1列以上で離間され、等等、所定の数の列が複数の異なる列間隔で書込みされ、最初の列の書込作用を所定間隔(通常1列)移動させた後、パターンを繰り返す。列書込作用の移動レートと列書込作用の間隔とは、

ロードされたデータに基づき、列画素がどのくらいの時間、表示装置を変調するかで決められる。練習及び実験を通し、所望のグレイスケール範囲を生成する所定間隔を設定することができる。当該案は、データを並べる方法も開示し、高いビットが常に同じ順番に集めることにより、動的な偽輪郭及びネマティック液晶横電界効果を発生させるデータ位相エラーを減らすことができる。この方式では、多重書込作用を使用することから、発明者は通常、“多重ライトポインタ”、“*s w a t h*変調”又は“*M e g a M o d*”と称する。

【 0 0 2 4 】

‘ 4 2 7 の方法の延長時間は、表示装置全体を新しいカラーの画像データ状態にする必要があるため、‘ 4 2 7 の出願案が開示した変調方法は、修正してフィールドシーケンシャルカラー表示装置に用いなければならない。

10

【 0 0 2 5 】

本案の発明者が出願した出願番号第 1 1 / 7 4 0 , 2 4 4 号 (‘ 2 4 4 出願案) では、本文の表示装置と互換性のある変調方法が開示されている。一列で表示されたデータは書込データに埋め込まれて異なる列へ送る指令により終了され、列上の全てのストレージ素子は、1つの所定データ値に書込まれ、通常、暗状態を表す。列書込作用の選択は、主に第 1 列の書込作用に必要な経過時間に基づき、次に第 2 列の書込作用に、埋め込み指令スロットがあるか否かに基づく。当該発明は元々、出願番号第 1 0 / 4 3 5 , 4 2 7 号 (‘ 4 2 7 出願案) が生成する変調セグメントの長さの誤差を減らすために用いられる。‘ 2 4 4 出願案が開示する変更形式では、期間が ‘ 4 2 7 の出願案より短いグレイスケールモジュレーションセグメントが提供される。

20

【 0 0 2 6 】

そのため、L C O S 表示装置のテクノロジーでは、改良したシステム構成の提供と、電圧を画素ミラーへ送ってこれらの制限を克服するもう一つの手段の提供とが依然として必要である。

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 2 7 】

本発明の目的は、画素表示装置の構成をさらに改良することにある、それは新しいデータをロードするときに、表示装置の画素を 1 組の所定電圧駆動レベルへ駆動する 1 つの回路を提供し、これによりグレイレベルの精確性を維持し、所定の電圧レベルに駆動する際、D C バランスをとり、表示装置への書込み及び新しいデータに必要な時間を減らすことによりシステムコントラストを高め、フィールドシーケンシャルカラーシステムに関する問題を減らす。コントローラは、電圧入力を多重化して画素電極へ付与し、ビットバッファとディカップリング機能によりディカップリングを行い、画素電極の入力電圧レベルを柔軟に変え、コントローラは、アレイの画素ミラーを引き下げたり引き上げたりして暗状態又はその他所定状態の電圧に対応する。

30

【 課題を解決するための手段 】

【 0 0 2 8 】

要するに、本発明は、画素表示素子上に画像データを表示する方法を開示する。当該方法は、M O S F E T p チャネルトランジスタ及び M O S F E T n チャネルトランジスタを含んだ交流電圧制御手段を設けた構成のステップを含み、各手段は、画素表示素子の電極上へ所定の電圧を印加するインバータへ印加する電極電圧を選択することができる。

40

【 図面の簡単な説明 】

【 0 0 2 9 】

【 図 1 】 図 1 は、反射画素電極を利用した 1 つの液晶画素セルのブロック図である。

【 図 2 】 図 2 は、L C O S 表示パネルの透視図である。

【 図 3 】 図 3 は、液晶表示パネルを利用した投影表示システムである。

【 図 4 】 図 4 は、液晶材料の光電反応曲線である。

【 図 5 】 図 5 は、1つの画素を駆動するバイナリビットの独立制御及びバッファを示すブ

50

ロック図である。

【図 6】図 6 は、本発明の一実施例に係る好適な D C バランス制御素子を示す図である。

【図 7】図 7 は、本発明の図 5 の好適なバッファ及び電圧を印加する回路を示す図である。

【図 8】図 8 は、本発明の図 5 の好適なストレージ素子である。

【図 9】図 9 は、本発明の図 5 の好適な画素電圧オーバーライド回路である。

【図 10】図 10 の表は、画素セルに送られるデータ状態と制御状態との間の交互作用及び得られるグレイスケール画像を説明する。

【図 11】図 11 は、本発明に係るマルチ画素液晶アレイである。

【図 12】図 12 は、本発明に係るマルチ画素液晶表示装置を用いる他の表示コントローラである。

10

【図 13 A】図 13 A は、4 トランジスタの D C バランス制御スイッチのブレイクビフォアメークシーケンスの電圧タイミングを描写する。

【図 13 B】図 13 B は、4 トランジスタの D C バランススイッチの前 2 つの電圧制御（論理）信号のブレイクビフォアメークシーケンスを描写する。

【図 13 C】図 13 C は、4 トランジスタの D C バランス制御スイッチのブレイクビフォアメーク回路の前 2 つの電圧制御（論理）信号タイミングを描写する。

【図 13 D】図 13 D は、4 トランジスタの D C バランススイッチの後 2 つの電圧制御（論理）信号のブレイクビフォアメーク回路を描写する。

20

【図 13 E】図 13 E は、4 トランジスタの D C バランス制御スイッチのブレイクビフォアメーク回路の後 2 つの電圧制御（論理）信号タイミングを描写する。

【図 13 F】図 13 F は、2 トランジスタの画素電圧オーバーライド回路の 2 つの電圧制御（論理）信号の回路を描写する。

【図 13 G】図 13 G は、2 トランジスタの画素電圧オーバーライド回路の回路の 2 つの電圧制御（論理）信号タイミングを描写する。

【図 13 H】図 13 H は、インバータ及びフリップフロップ回路と、2 つの回路の組み合わせとによる遅延素子を描写する。

【図 13 I】図 13 I は、インバータ及びフリップフロップ回路と、2 つの回路の組み合わせとによる遅延素子を描写する。

30

【図 13 J】図 13 J は、インバータ及びフリップフロップ回路と、2 つの回路の組み合わせとによる遅延素子を描写する。

【図 14】図 14 は、1 つの画素を駆動するバイナリビットの独立制御及びバッファを示すブロック図である。

【図 15】図 15 は、図 14 の好適な D C バランス制御素子を示す図である。

【図 16】図 16 は、本発明に係る図 14 の好適なバッファ及び電圧を印加した回路を示す図である。

【図 17】図 17 は、本発明に係る図 14 の好適な画素電圧オーバーライド回路である。

【図 18】図 18 は、本発明の図 14 の好適なストレージ素子である。

【図 19】図 19 は、本発明に係るマルチ画素液晶アレイである。

【図 20】図 20 は、I T O 電圧マルチプレクサ制御のもう一つの実施例を示す。

40

【図 21】図 21 の表は、信号の交互作用を説明する。

【図 22】図 22 は、本発明の電圧コントローラ及び多重化時の I T O ボルトの電圧尺度を示す。

【図 23 A】図 23 A は、多色 L E D を基礎とする照明システムの一般のフィールドシーケンシャルカラー変調方法を示す。

【図 23 B】図 23 B は、多色 L E D を基礎とする照明システムの一般のフィールドシーケンシャルカラー変調方法を示す。

【図 23 C】図 23 C は、多色 L E D を基礎とする照明システムの一般のフィールドシーケンシャルカラー変調方法を示す。

【図 24 A】図 24 A は、カラーモードをスクロールすることにより、グレイスケール変

50

調が生成されるフィールドシーケンシャルカラー変調方法を示す。

【図 2 4 B】図 2 4 B は、カラーモードをスクロールすることにより、グレイスケール変調が生成されるフィールドシーケンシャルカラー変調方法を示す。

【図 2 4 C】図 2 4 C は、カラーモードをスクロールすることにより、グレイスケール変調が生成されるフィールドシーケンシャルカラー変調方法を示す。

【図 2 4 D】図 2 4 D は、2 種類のカラー変調をスクロールし、そのインターレースされたライトポイントが生成するグレイスケール変調を示す。

【図 2 4 E】図 2 4 E は、2 種類のカラー変調をスクロールし、そのインターレースされたライトポイントが生成するグレイスケール変調を示す。

【図 2 4 F】図 2 4 F は、フィールドシーケンシャルカラーがある色から他の色へ変わる時に発生させなければならない作業の詳細図を示す。

【図 2 4 G】図 2 4 G は、フィールドシーケンシャルカラーがある色から他の色へ変わる時に発生させなければならない作業の詳細図を示す。

【図 2 4 H】図 2 4 H は、フィールドシーケンシャルカラーがある色から他の色へ変わる時に発生させなければならない作業の詳細図を示す。

【図 2 5 A】図 2 5 A は、2 種類のカラー変調をスクロールし、そのインターレースされないライトポイントが生成するグレイスケール変調を示す。

【図 2 5 B】図 2 5 B は、2 種類のカラー変調をスクロールし、そのインターレースされないライトポイントが生成するグレイスケール変調を示す。

【図 2 6 A】図 2 6 A は、表示装置の平面更新の変調方法を示す。

【図 2 6 B】図 2 6 B は、表示装置の平面更新の変調方法を示す。

【図 2 6 C】図 2 6 C は、表示装置の平面更新の変調方法を示す。

【発明を実施するための形態】

【0030】

図 1 及び図 2 は、L C O S マイクロ表示装置 1 0 0 の一般構造を示す。1 つの画素セル 1 0 5 は、透明共通電極 1 4 0 と画素電極 1 5 0 との間の液晶層 1 3 0 を含む。ストレージ素子 1 1 0 は、画素電極 1 5 0 に連結されるとともに、相補データ入力端子 1 1 2 及び 1 1 4、データ出力端子 1 1 6、制御端子 1 1 8 を含む。ストレージ素子 1 1 0 は、制御端子 1 1 8 上のライト信号に反応し、1 対のビット線 (B_{POS} 及び B_{NEG}) 1 2 0 及び 1 2 2 上の相補データ信号を読み取り、データ出力端子 1 1 6 を介してデータ信号をラッチする。データ出力端子 1 1 6 が画素電極 1 5 0 に連結されるため、ストレージ素子 1 1 0 を通過するデータ (即ち、高又は低圧) が画素電極 1 5 0 に付与される。画素電極 1 5 0 は、高反射研磨のアルミニウムにより形成されることが好ましい。本発明の L C D 表示パネルでは、画素電極 1 5 0 が表示装置の各画素に提供される。例えば、 1280×1024 画素のアレイが必要な S X G A 表示システムにおいて、アレイの 1, 3 1 0, 7 2 0 画素は、単独の画素電極 1 5 0 をそれぞれ有する。透明共通電極 1 4 0 は、均一な 1 枚の導電ガラスであり、インジウムスズ酸化物 (I T O) により形成されることが好ましい。電圧 (V_{ITO}) は、共通電極端子 1 4 2 を介して共通電極 1 4 0 に印加され、個別の画素電極に電圧を印加することにより、表示装置 1 0 0 の各画素セル 1 0 5 内の液晶層 1 3 0 を横切る電圧の数値及び極性を決定する。

【0031】

入射偏光ビーム 1 6 0 が画素セル 1 0 5 に入射すると、透明共通電極 1 4 0 を通過し、入射光の偏光状態が液晶材料 1 3 0 により変わる。液晶材料 1 3 0 が入射偏光ビーム 1 6 0 の偏光状態を変える方式は、液晶に印加する R M S 電圧により決められる。液晶材料 1 3 0 に印加する電圧は、液晶材料の透光方式に影響を与える。例えば、液晶材料 1 3 0 を横切る一定電圧を印加させると、入射偏光の一部が反射され、液晶材料及び偏光状態が変えられた透明共通電極 1 4 0 を通ってから、後続の偏光素子を通る。液晶材料を通過した後、入射偏光ビーム 1 6 0 は画素電極 1 5 0 により反射されてから液晶材料 1 3 0 を通過する。そのため、ビーム 1 6 2 の強度により、液晶材料 1 3 0 により付与される偏光回転が決められ、後者は、液晶層 / 液晶材料 1 3 0 の電圧により決められる。

10

20

30

40

50

【 0 0 3 2 】

ストレージ素子 1 1 0 は、S R A M 記憶ユニット形式の C M O S トランジスタアレイ、即ち、ラッチ、からなることが好ましいが、その他よく知られたメモリ論理回路により形成されてもよい。S R A M ラッチは、半導体設計及び製造においてよく知られたものであり、電力が回路に付与される限り、データ値を記憶する能力が提供される。その他の制御トランジスタもメモリチップに加えられてもよい。画素セル 1 0 5 の液晶表示パネルの体格を利用し、装置自体の解析能力及び工業規格の画像サイズを決める。例えば、8 0 0 × 6 0 0 画素の解像度が必要な S V G A システムには、8 0 0 長さ × 6 0 0 幅（即ち、4 8 , 0 0 0 画素）のストレージ素子 1 1 0 のアレイと、画素電極 1 5 0 の対応したアレイとが必要である。1 2 8 0 × 1 0 2 4 画素の解像度が必要な S X G A 表示システムには、1 2 8 0 長さ × 1 0 2 4 幅（即ち、1 , 3 1 0 , 7 2 0 画素）のストレージ素子 1 1 0 のアレイと、画素電極 1 5 0 の対応アレイとが必要である。本発明の表示装置は、X G A（1 0 2 4 × 7 6 8 画素）、U X G A（1 6 0 0 × 1 2 0 0 画素）、高輝度ワイドスクリーンフォーマット（1 9 2 0 × 1 0 8 0 画素）を含むその他表示装置の規格をサポートしてもよい。水平及び垂直の画素解像度の如何なる組み合わせも可能である。正確な構成は、産業応用及び規格により決定される。透明共通電極 1 4 0（I T O ガラス）は、1 つの共通電極であるため、その体格は画素セルアレイの総体格に略合致し、幾らかのマージンを残して I T O の外部の電気接触点とガスキットの空間と、液晶が充填された後に装置により封止を行う充填孔とを有する。

10

【 0 0 3 3 】

20

ここで、液晶層 1 3 0 の厚さを約半波長へ変えるとともに、2 つの表面上のアライメント層の配向を変え、マイクロ表示装置をコヒーレント光の位相変調器として用いてもよい。2 つの表面上のアライメント層の配向は、反平行である上、入射したコヒーレント光の偏光に対して平行でなければならない。

【 0 0 3 4 】

図 3 は、典型的なフィールドシーケンシャルカラープロジェクションシステム 2 0 の系統図を示し、反射液晶マイクロ表示装置 3 6（以下の文ではマイクロ表示装置 3 6 と称する）、表示コントローラシステム 2 4、赤色 L E D 4 1、緑色 L E D 4 2、青色 L E D 4 3、カラー組合プリズム（x - c u b e（登録商標））3 0、偏光ビームスプリッタ 4 0、投影光学系 4 4、各種その他の素子を含む。

30

【 0 0 3 5 】

表示コントローラシステム 2 4 は、表示画像データソース 2 3 からリンク 3 3 を介して多色画像データを受信する。リンク 3 3 は、ワイヤ、光学系、データバス、無線 R F 又はその他よく知られた手段でもよい。表示コントローラシステム 2 4 は、受信したデータを処理し、カラーによりデータを分離し、データを準備するのに必要なその他の変換を行い、マイクロ表示装置 3 6 へ送る。所定のカラーのデータを表示するために、表示コントローラシステム 2 4 は、カラーのフォーマットされたデータをリンク 3 4 を介してマイクロ表示装置 3 6 へ送り、L E D を発光させるための信号は、リンク 3 4 を介して選択したカラーの L E D 4 1、4 2 又は 4 3 へ送られる。赤色 L E D 4 1、緑色 L E D 4 2、青色 L E D 4 3 は、カラー組合プリズム（x - c u b e（登録商標））3 0 の周囲に配列され、全てのカラーが偏光ビーム 3 1 により表される共通の光路に沿って光学素子へリレーされる。選択可能な集光レンズ 5 0 は、ビーム 3 1 に作用し、マイクロ表示装置 3 6 の撮像領域へ案内される。選択可能なプリポラライザ 3 8 は、p 偏光成分をブロックし、s 偏光成分を偏光ビームスプリッタ（P B S）4 0 へパスする。P B S 4 0 は、内部斜面から s 偏光成分を反射させ、p 偏光成分をパスする。マイクロ表示装置 3 6 は偏光ビーム 3 1 に作用し、“o n”条件の画素上のビームの偏光状態を修正するが、“o f f”条件の画素上のビームの偏光状態は修正しない。P B S は、p 偏光状態の一部のビーム 3 2 をパスし、その斜面により s 偏光状態の一部のビーム 3 2 を反射させる。所定の方式により、各カラーに対して同じプロセスを繰り返すことにより、ビューアがカラー画像を認識できるように、表示装置の一連の 1 つのカラー画像を十分速くする。

40

50

【 0 0 3 6 】

図 4 は、 63.6° のミックスモードねじれネマティック (MTN) の典型的な液晶モードと称される光電曲線 (EO 曲線又は液晶反応曲線) を示し、ノーマルホワイト (NW) モードにおいて光学補償が作用する。Robinson et al, "Polarization Engineering for LCD Projection" 123 頁を参照する。3 つの曲線は、波長が異なる 3 種類の光に対応する。MTN モードは、その低駆動電圧、高効率、装置構成により全てのカラーが 1 つの暗状態電圧及び 1 つの明状態電圧を使用することができるという理由から、フィールドシーケンシャルカラーの応用が好ましい。図 4 に示すように、液晶に印加する電圧が増大すると、反射光の偏光状態の回転が減る。液晶材料 130 (図 2) の RMS 電圧 V_{SAT} の偏光回転が最大 (白表示) で、RMS 電圧 V_{TT} の偏光回転が最小 (黒表示) である。 V_{TT} と V_{SAT} との間の範囲内で、RMS 電圧が増え、液晶材料 130 を透過する光輝度 (図 2) が明るい状態から暗い状態になる。輝度 100% の点に対応した RMS 電圧において、液晶素子が液晶分子に略アライメントされるため、光が画素電極 150 を完全に透過して反射される。輝度 0% の点に対応した RMS 電圧において、クリスタル素子が液晶分子の垂直積層にアライメントされ、反射光の偏光が入射光源に略等しくなるため、光が表示装置の偏光素子を透過することを防ぐことができる。EO 曲線の有用な部分は、 V_{TT} と V_{SAT} との間の電圧範囲である。

10

【 0 0 3 7 】

図 5 は、本発明の表示装置の 1 つの画素セル 1205 を示すブロック図である。画素セル 1205 は、ストレージ素子 1300、制御素子又はスイッチ 1320、画素電圧オーバーライド素子 1360、インバータ 1340、画素電極/ミラー 1212 を含む。DC バランス制御素子又はスイッチ 1320 は、CMOS を基礎とした論理デバイスであることが好ましく、幾つかの入力電圧のうちの 1 つをもう一つの装置へ選択的に送ってもよい。ストレージ素子 1300 は、データ線 (B_{POS}) 1120 及び (B_{NEG}) 1122 へそれぞれ連結された相補入力端子 1302 及び 1304 を含む。ストレージ素子 1300 もワード線 (W_{LINE}) 1118 に連結された相補イネーブル端子 1306 及び 1307 と、1 対の相補データ出力端子 (S_{POS}) 1308 及び (S_{NEG}) 1310 を含む。本実施例において、ストレージ素子 1300 は SRAM ラッチであるが、当業者であれば分かるように、データビット、記憶ビットを受け取り、相補出力端子 1308 及び 1310 の相補状態をアサートする全てのストレージ素子により、本文の SRAM ラッチストレージ素子 1300 を代替してもよい。

20

30

【 0 0 3 8 】

DC バランス制御素子又はスイッチ 1320 は、ストレージ素子 1300 のデータ出力端子 (S_{POS}) 1308 及び (S_{NEG}) 1310 にそれぞれ連結された 1 対の相補データ入力端子 1324 及び 1326 を含む。DC バランス制御スイッチ 1320 は、電圧コントローラ 1200 (図示せず) の第 3 の電圧供給端子 (V_{SWA_L}) (論理) 1276 及び第 4 の電圧供給端子 (V_{SWA_H}) (論理) 1278 へそれぞれ連結された第 1 の電圧供給端子 1328 及び第 2 の電圧供給端子 1330 も含む。DC バランス制御スイッチ 1320 は、電圧コントローラ 1220 (図示せず) の第 5 の電圧供給端子 (V_{SWB_L}) (論理) 1280 及び第 6 の電圧供給端子 (V_{SWB_H}) (論理) 1282 へそれぞれ連結された第 3 の電圧供給端子 1332 及び第 4 の電圧供給端子 1334 をさらに含む。DC バランス制御スイッチ 1320 は、画素電圧オーバーライド回路 1360 のデータ入力端子 1370 に連結されたデータ出力端子 1322 をさらに含む。

40

【 0 0 3 9 】

画素電圧オーバーライド回路 1360 は、DC バランス制御素子 1320 のデータ出力端子 1322 に連結されたデータ入力端子 1370 を含む。画素電圧オーバーライド回路は、全面的に電圧供給源 V_{SS} 1292 に連結された第 1 の電圧供給端子 1362 と、全面的に電圧供給源 V_{DD} 1290 に連結された第 2 の電圧供給端子 1364 と、電圧 (論理) 供給源 V_{OVR_H} 1296 に連結された第 3 の電圧供給端子 1366 と、電圧 (論理) 供給

50

源 V_{OVR_L} 1 2 9 4 に連結された第 4 の電圧供給端子 1 3 6 8 と、インバータ 1 3 4 0 の入力電圧供給端子 1 3 4 8 に連結された電圧（論理）出力端子 1 3 7 2 と、をさらに含む。

【0040】

インバータ 1 3 4 0 は、電圧素子又はスイッチ 3 2 0 の第 1 の電圧供給端子（ V_1 ）1 2 7 2 及び第 2 の電圧供給端子（ V_0 ）1 2 7 4 にそれぞれ連結された第 1 の電圧供給端子 1 3 4 2 及び第 2 の電圧供給端子 1 3 4 4 を含む。インバータ 3 4 0 は、画素電圧オーバーライド回路 1 3 6 0 のデータ出力端子 1 3 7 2 に連結されたデータ出力端子 1 3 4 8 と、画素ミラー 1 2 1 2 に連結された画素電圧出力端子（ V_{PIX} ）1 3 4 6 とを含む。インバータ及び電圧印加回路は、 V_0 と V_1 との間の正確な電圧を画素ミラーへ送る機能を有する。

10

【0041】

図 6 は、DC バランス制御スイッチ 1 3 2 0 の好適な実施例を示す。DC バランス制御スイッチ 1 3 2 0 は、 n チャネルトランジスタ 1 4 2 5 と並列接続された第 1 の p チャネル CMOS トランジスタ 1 4 1 0 と、第 2 の n チャネルトランジスタ 1 4 2 5 と並列接続された第 2 の p チャネル CMOS トランジスタ 1 4 2 0 とを含む。第 1 の p チャネルトランジスタ 1 4 1 0 及び第 1 の n チャネルトランジスタ 1 4 1 5 は、データ入力端子 1 3 2 4 に連結されたソース端子 1 4 1 2 を含む。第 2 の p チャネルトランジスタ 1 4 2 0 及び第 2 の n チャネルトランジスタ第 2 のトランジスタ 4 2 5 は、入力端子 1 3 2 6 に連結されたソース端子 1 4 2 2 を含む。入力端子 1 3 2 4 及び入力端子 1 3 2 6 は、ストレージ素子 1 3 0 0 の出力端子 S_{POS} 1 3 0 9 及び出力端子 S_{NEG} 1 3 1 0 にそれぞれ連結される。第 1 及び第 2 の p チャネル及び n チャネルトランジスタのドレイン端子 1 4 1 6 及び 1 4 2 6 は、データ出力端子 1 3 2 2 にそれぞれ接続される。データ出力端子 1 3 2 2 は、画素電圧オーバーライド回路 1 3 6 0 のデータ入力端子 1 3 7 0 に連結される。第 1 の p チャネルトランジスタ 1 4 1 0 のゲート接続端子 1 3 3 4 は、電圧供給端子 V_{SWB_H} （論理）1 2 8 2 に連結され、第 1 の n チャネルトランジスタ 1 4 1 5 のゲート 1 4 1 1 が端子 1 4 1 3 へ接続されてから電圧供給端子 V_{SWB_L} （論理）1 2 8 0 に連結される。第 2 の p チャネルトランジスタ 1 4 2 0 のゲート 1 4 2 4 は、端子 1 3 3 0 へ接続されてから、電圧供給端子 V_{SWA_H} （論理）1 2 7 8 に連結され、第 2 の n チャネルトランジスタ 1 4 2 5 のゲート 1 4 2 1 が端子 1 4 2 3 へ接続されてから、電圧供給端子 V_{SWA_L} （論理）1 2 7 6 に連結される。

20

30

【0042】

V_{SWA_H} = “Off”、 V_{SWA_L} = “Off”、 V_{SWB_H} = “Off”、 V_{SWB_L} = “Off” のバランス制御素子 1 3 2 0 の状態は、6 T - SRAM ストレージ素子 1 3 0 0 の出力端子 S_{POS} 1 3 0 9 及び S_{NEG} 1 3 1 0 と、DC バランス制御素子 1 3 2 0 の素子とを隔離する。ノーマル作業において、1 対の論理電圧 V_{SWA_L} 1 2 7 6 及び V_{SWA_H} 1 2 7 8 は “On” となり、第 2 の 1 対の論理電圧 V_{SWB_L} 1 2 8 0 及び V_{SWB_H} 1 2 8 2 は “Off” となるか、逆にしても同様である。1 対の on から他の 1 対の on への遷移には、本段落の第 1 句で述べた状態を一時的に通過する必要がある、 S_{POS} 1 3 0 9 とその相補 S_{NEG} 1 3 1 0 とが直接接続されて 6 T - SRAM ストレージ素子 1 3 0 0 に短絡が発生することを防ぐ。

40

【0043】

図 7 は、インバータ 1 3 4 0 の好適な実施例を示す。インバータ 1 3 4 0 は、 p チャネル CMOS トランジスタ 1 5 1 0 及び n チャネルトランジスタ 1 5 2 0 を含む。 p チャネルトランジスタ 1 5 1 0 は、第 1 の電圧供給端子（ V_1 ）1 3 4 2 に接続されたソース端子 1 5 1 2 と、データ入力端子 1 3 4 8 に連結されたゲート端子 1 5 1 4 と、画素電圧出力端子（ V_{PIX} ）1 3 4 6 に連結されたドレイン端子 1 5 1 6 とを含む。 n チャネルトランジスタ 1 5 2 0 は、第 2 の電圧供給端子（ V_0 ）1 3 4 4 に連結されたソース端子 1 5 2 2 と、データ入力端子 1 3 4 8 に連結されたゲート端子 1 5 2 4 と、画素電圧出力端子（ V_{PIX} ）1 3 4 6 に連結されたドレイン端子 1 5 2 6 とを含む。画素電圧出力端子（ V_P

50

i_x) 1 3 4 6 は、画素ミラー 1 2 1 2 に連結される。

【0044】

図 8 は、画素電圧オーバーライド素子 1 3 6 0 の好適な実施例である。画素電圧オーバーライド素子 1 3 6 0 は、第 1 の p チャンネル MOSFET トランジスタ 1 3 8 0 及び第 1 の n チャンネル MOSFET トランジスタ 1 3 8 5 を含み、ドレイン 1 3 8 3 及び 1 3 8 8 は、出力端子 1 3 7 2 に連結される。データ入力端子 1 3 7 0 は、データ出力端子 1 3 7 2 へ直接接続される。 V_{DD} 端子 1 2 9 0 は、入力端子 1 3 6 4 に連結され、 V_{SS} 端子 1 2 9 2 は、入力端子 1 3 6 2 に連結される。 V_{DD} 入力端子 1 3 6 4 は、MOSFET トランジスタ 1 3 8 0 のソース端子 1 3 8 2 に連結され、 V_{SS} 入力端子 1 3 6 2 は、MOSFET トランジスタ 1 3 8 5 のソース端子 1 3 8 7 に連結される。電圧供給端子 (論理) 1 2 9 4 は、電圧オーバーライド信号低端子 V_{OVR_L} (論理) 1 3 6 8 に連結され、電圧供給端子 (論理) 1 2 9 6 は、電圧オーバーライド信号高端子 V_{OVR_H} (論理) 1 3 6 6 に連結される。端子 V_{OVR_L} 1 3 6 8 は、MOSFET トランジスタ 1 3 8 5 のゲート 1 3 8 6 に連結され、端子 V_{OVR_H} 1 3 6 6 は、MOSFET トランジスタ 1 3 8 0 のゲート 1 3 8 1 に連結される。

【0045】

図 9 は、ストレージ素子 1 3 0 0 の好適な実施例を示す。ストレージ素子 1 3 0 0 は、CMOS スタティック型 RAM (SRAM) ラッチデバイスであることが好ましい。このような装置は周知されている。DeWitt U. Ong, Modern MOS Technology, Processes, Devices, & Design, 1984, Chapter 9-5 を参照し、その詳細は参考のために本案に組み入れられているものとする。スタティック型 RAM は、電力が供給されている限り、時を刻んでもデータが維持され続ける。図 9 は、最もよく使われる SRAM セルを示し、そこでは 6 つのトランジスタが使用されている。トランジスタ 1 6 0 2、1 6 0 4、1 6 1 0、1 6 1 2 は、n チャンネルトランジスタであり、トランジスタ 1 6 0 6 及び 1 6 0 8 は p チャンネルトランジスタである。この特定セルにおいて、ワード線 1 1 1 8 は、2 つの伝送トランジスタ 1 6 0 2 及び 1 6 0 4 をオンし、(B_{POS}) 1 1 2 0 及び (B_{NEG}) 1 1 2 2 線により、プリチャージされたハイ状態に留まるか、フリップフロップ (即ち、トランジスタ 1 6 0 6、1 6 0 8、1 6 1 0、1 6 1 2) により放電してロー状態にする。その後、フリップフロップ状態の作動センシングが可能となる。選択したセルヘデータを書込む際、付加的に書込む回路 (B_{POS}) 1 1 2 0 及び (B_{NEG}) 1 1 2 2 が高くなるか低くなる。低値になると、効果的にフリップフロップの状態を変えることができる。

【0046】

6 トランジスタ型 SRAM セルが最小の詳細回路設計及び製造工程知識に関係するため、ノイズ及びその他の効果を評価することは困難であるということが安全であるため、CMOS 型設計及び製造が 6 トランジスタ型 SRAM セルで最もよく利用されている。その他、現在の製造工程は、大きなスタティック型 RAM アレイを許容することができるほど密度が高い。そのため、これらのタイプのストレージ素子は、本文の LCOS 表示装置の設計及び製造にとって好ましい。しかし、本発明は、その他のタイプのスタティック型 RAM セル、例えば、NOR ゲートを用いる 4 トランジスタ型 RAM セルや、スタティック型 RAM セルを使用せずにダイナミック型 RAM セルを考慮することもできる。

【0047】

図 6 に示すように、DC バランススイッチ 1 3 2 0 は、第 1 組の論理電圧供給端子 1 2 8 2 (V_{SWB_H}) 及び 1 2 8 0 (V_{SWB_L}) 上の 1 組の所定電圧と、第 2 組の論理電圧供給端子 1 2 7 8 (V_{SWA_H}) 及び 1 2 7 6 (V_{SWA_L}) 上の 1 組の所定電圧に反応し、DC バランス制御スイッチ 1 3 2 0 の出力端子 1 3 2 2 を介してストレージ素子 1 3 0 0 に記憶する高又は低データ値のうちの何れか 1 つを画素電圧オーバーライド回路 1 3 6 0 の入力端子 1 3 7 0 へ送る。画素電圧オーバーライド回路 1 3 6 0 の入力端子 1 3 7 0 は、出力端子 1 3 7 2 へ直接連結される。出力端子 1 3 7 2 は、インバータ 1 3 4 0 の入力端子 1 3 4 8 に連結される。DC バランス制御スイッチが電圧を画素電圧オーバーライド回路の

入力端子 1 3 7 0 へ送らない限り、画素電圧オーバーライド回路 1 3 6 0 は電圧を出力端子へ送らない。詳細には、電圧供給端子の電圧と、画素電極の出力電圧 V_{PIX} (ストレージ素子の入力端子 B_{POS} 1 1 2 0 及び B_{NEG} 1 1 2 2 の状態に対応し、画素書込み作業の後、図 9 を参照する) は図 1 0 の表に示される。また、供給端子の電圧と、画素電極の出力電圧 V_{PIX} (画素電圧オーバーライド回路により電圧が印加された後) とは図 1 0 の表に示される。この他、電圧供給端子の幾らかの欠陥の組み合わせは図 1 0 の表に示される。

【 0 0 4 8 】

図 1 0 に示すように、“ O n ” で示された値は、M O S F E T 型トランジスタスイッチのゲートに印加されたときに、トランジスタによりソース端子の電圧をドレイン端子の電圧へ連結させる。“ O f f ” で示された値は、M O S F E T 型トランジスタスイッチのゲートに印加されたときに、トランジスタによりソース端子の電圧をドレイン端子の電圧へ連結させない。詳細には、n チャネル M O S F E T トランジスタスイッチの“ O n ” 状態電圧は高電圧であり、n チャネルトランジスタの“ O f f ” 状態電圧は低電圧である。同様に、p チャネル M O S F E T トランジスタスイッチの“ O n ” 状態電圧は低電圧であり、p チャネルトランジスタの“ O f f ” 状態電圧は高電圧である。

10

【 0 0 4 9 】

最も簡単な形式において、トランジスタは単なる o n / o f f スイッチである。C M O S 型の設計において、トランジスタのゲートは、ソースとドレインとの間を流れる電流を制御する。n チャネルトランジスタにおいて、ドレインとソースとが接続されると、スイッチが閉じるか“ o n ” する。これはゲート上で高値又はデジタル“ 1 ” があるときに発生する。ドレインとソースとが切断されると、スイッチが開くか“ o f f ” する。これはゲート上に低値又はデジタル“ 0 ” があるときに発生する。p チャネルトランジスタにおいて、ゲート上に低値又はデジタル“ 1 ” があるときに、スイッチが閉じるか“ o f f ” する。そのため、p チャネル及び n チャネルトランジスタは、ゲート信号の補間値の“ o n ” 又は“ o f f ” を行う。

20

【 0 0 5 0 】

図 5 の画素回路 1 2 0 5 の作業の第 1 のモードにおいて、画素電圧オーバーライド回路 1 3 6 0 が D C バランス制御スイッチ 1 3 2 0 から信号を受信すると、非活性状態となる。制御電圧 V_{OVR_H} 2 2 9 6 が高電圧を p チャネルトランジスタへ送り、制御電圧 V_{OVR_L} 2 2 9 4 が低電圧を n チャネルトランジスタへ送るため、2 つの M O S F E T トランジスタが閉じる。D C バランス制御回路スイッチ 1 3 2 0 の出力端子 1 3 2 2 へ印加する電圧が、画素電圧オーバーライド回路 1 3 6 0 の入力端子 1 3 7 0 へ印加されてから画素オーバーライド回路 1 3 6 0 の出力端子 1 3 7 2 へ印加される。出力端子 1 3 7 2 は、インバータ 1 3 4 0 の入力端子 1 3 4 8 に連結され、印加された電圧は、インバータの出力端子 1 3 4 6 の V_0 2 2 7 4 及び V_1 2 2 7 2 のうちのの一つを選択して画素ミラー 1 2 1 2 へ送る。得られた状態は、図 1 0 のコラム 1 ~ 4 で説明されている。このモードは、“ ノーマル ” モードとも称される。

30

【 0 0 5 1 】

画素セル 1 2 0 5 の作業の第 2 のモードにおいて、D C バランス制御素子 1 3 2 0 の論理電圧 V_{SWA_L} 1 2 7 6、 V_{SWA_H} 1 2 7 8、 V_{SWB_L} 1 2 8 0、 V_{SWB_H} 1 2 8 2 は、“ O f f ” 状態に対応した電圧に設定される。 V_{OVR_H} 1 2 9 6 及び V_{OVR_L} 1 2 9 4 は、“ O f f ” 状態に対応した電圧に設定される。この状態において、電圧が D C バランス制御素子 1 3 2 0 の出力端子 1 3 2 2 へ送られないため、回路は、帯電減衰するまで最後に印加された電圧を維持する。画素電圧オーバーライド回路 1 3 6 0 の入力端子 1 3 7 0 及び出力端子 1 3 7 2 を通る線には、インバータ 1 3 4 0 の入力端子 1 3 4 8 と同様、最後に印加された電圧が充電される。この電圧が減衰するまで、インバータ 1 3 4 8 は、 V_0 1 2 7 4 又は V_1 1 2 7 2 を出力端子 V_{PIX} 1 3 4 6 へ送って画素ミラー 1 2 1 2 へ送られる。このモードで操作する際、6 T - S R A M ストレージ素子 1 3 0 0 は、インバータの出力を変えずにストレージ素子 1 3 0 0 の上書きを行う。このモードは、D C バランス素子 1 3 2 0 の有効モードを起動させるか、画素電圧オーバーライド回路 1 3 6 0 の有効モード

40

50

を起動させて終了させる。このモードが駆動しないため、一インスタンスにおいてDCバランス作業を行うことはできない。コントローラは、これらの間隔を調整し、このモードの連続した又は略連続した時刻をスケジューリングし、反対のDCバランス状態で発生させる。この状態は、図10のコラム5及び6で説明されている。このモードは、“隔離”モードと称される。

【0052】

画素回路1205の作業の第3モードにおいて、DCバランス制御素子1320、 V_{SWA_L} 1276、 V_{SWA_H} 1278、 V_{SWB_L} 1280、 V_{SWB_H} 1282は、Off状態に対応した電圧に設定される。 V_{OVR_H} 1296及び V_{OVR_L} 1294のうちの一方をOff状態に対応した電圧に設定し、他方をOn状態に対応した電圧に設定する。出力端子1372へ送る電圧は約 V_{DD} 1290又は V_{SS} 1292のうちの一つである。回路により實際化される2次効果により、出力端子1372を通してインバータ1340へ送られる入力端子1348の電圧は V_{DD} 又は V_{SS} と僅かに異なる。インバータ1340がこれらの電圧を使用して V_0 又は V_1 を選択するため、僅かな差は重要でない。一般の回路設計者であれば分かるように、必要な公差によりインバータ回路を実施する。これらの期間の時間間隔において、図10のコラム9及び10で述べる状態間でディスプレイを交互に駆動し、その結果、ディスプレイは、液晶作業においてDCバランスを維持する。このモードは、“オーバーライド”モードとも称される。

【0053】

画素セル1205の作業の第1の欠陥状態において、DCバランス制御スイッチ1320の作業により、ストレージ素子1300の内容状態をリセットする状態に画素回路を位置させる。発明者が実験により証明したように、同時に V_{SWA_L} = “On” 且つ V_{SWB_L} = “On” にするか、同時に V_{SWA_H} = “On” 且つ V_{SWB_H} = “On” にし、ストレージ素子1300をリセットする。DCバランスコントロールスイッチを使用して“ブレークビフォアメイク(break before make)”モードを制御し、この状況が発生することを防ぐが、これに関しては少し後で説明する。これらの欠陥状態は、図10のコラム7及び8で説明されている。

【0054】

画素回路1205の作業の第2の欠陥状態において、画素電圧制御回路1360の作業は、 V_{DD} を V_{SS} へ直接接続し、電流の流れが予想通り大幅に増加し、素子が過熱してラッチアップを行う。pチャネルMOSFET1280のゲート1381の V_{OVR_H} 1294を低電圧に設定するとき、欠陥状況が存在する。そのため、本発明は、2つのトランジスタが“On”の状況になることを防ぐ必要がある。この欠陥状態は、図10のコラム11で説明されている。この状況を避ける方法を以下示す。

【0055】

画素1205を操作する3つの異なるモードは、システム設計者に設計の変更に柔軟性を付与する。例えば、米国特許番号第10/413,649号(現在の米国特許番号第7,443,374号)で開示した原理による画素の操作は、上述した作業の第1のモードである。米国特許第10/742,262号(現在の米国特許番号第7,088,329号)で開示した原理による画素の操作は、上述した作業の第2のモードである。また上述の作業の第3のモードにより操作する。或いは3つのモードの全て又は一部により操作してもよい。

【0056】

図11は、本発明に係る表示システム1200を示す。表示システム1200は、複数の画素セル1205のアレイ、電圧コントローラ1220、処理ユニット1240、記憶ユニット1230、透明共通電極1250を含む。電圧コントローラ1220、処理ユニット1240、記憶ユニット1230により、表示コントローラと称するサブシステムを形成してもよい。この表示コントローラの他の素子は、データ受信手段及びその他の機能を含んでもよい。これらの素子及び関連機能はすでに熟知されている。如何なる機能と他の機能とをグループ化した特定の選択は、一般に工程で決定される。共通透明電極は、画

10

20

30

40

50

素セル 1205 のアレイ全体を覆う。好適な実施例において、画素セル 1205 は、シリコン基板又は基材上に形成され、画素ミラー 1212 のアレイを覆い、各画素ミラー 1212 が 1 つの画素セル 1210 に対応する。液晶材料の均一層は、画素ミラー 1212 のアレイと透明共通電極 1250 との間に位置する。適宜な材料及び配向のアライメント層を画素ミラー 1212 のアレイ及び透明共通電極 1250 へ塗布し、この表面の液晶分子の配向を制御する。透明共通電極 1250 は、例えばインジウムスズ酸化物 (ITO) などの導電ガラス材料からなることが好ましい。メモリ 1230 は、プログラミングされたデータ及び指令を含むコンピュータ可読媒体である。メモリは、処理ユニット 1240 により各種電圧変調及びその他の制御方式を行う。処理ユニット 1240 は、メモリバス 1232 を介して記憶ユニット 1230 からデータ及び指令を受け取り、電圧制御バス 1222 を介して電圧コントローラ 1220 へ内部電圧制御信号を提供し、データ制御バス 1234 を介してデータ制御信号 (つまり画素アレイに入る画像データ) を提供する。電圧コントローラ 1220、記憶ユニット 1230、処理ユニット 1240 は、画素セル 1205 のアレイ部分と異なる表示システムに位置する。

【0057】

電圧制御バス 1222 を介して処理ユニット 1240 から受信した制御信号に反応し、電圧コントローラ 1220 は、第 1 の電圧供給端子 (V_1) 1272、第 2 の電圧供給端子 (V_0) 1274、第 3 の (論理) 電圧供給端子 (V_{SWA_L}) 1276、第 4 の (論理) 電圧供給端子 (V_{SWA_H}) 1278、第 5 の (論理) 電圧供給端子 (V_{SWB_L}) 1280、第 6 の (論理) 電圧供給端子 (V_{SWB_H}) 1282、第 7 の (論理) 供給端子 (V_{OVR_L}) 1294、第 8 の (論理) 電圧供給端子 (V_{OVR_H}) 1296 を介して各画素セル 1205 へ所定電圧を供給する。電圧コントローラ 1220 も所定電圧 V_{ITO_L} 及び V_{ITO_H} を、電圧供給端子 1236 及び電圧供給端子 1237 を介して ITO 電圧マルチプレクサユニット 1235 へ送る。電圧マルチプレクサユニット 1235 は、(V_{SWA_L}) 1276、(V_{SWA_H}) 1278、(V_{SWB_L}) 1280、(V_{SWB_H}) 1282 を決定する同じ状態の情報に基づき、制御線 1222 を介して送る論理状態に応じて V_{ITO_L} 又は V_{ITO_H} を選択する。ITO 電圧ユニット 1635 は、電圧供給端子 (V_{ITO}) 1270 を介して透明共通電極 1250 へ V_{ITO} を送る。電圧供給端子 (V_1) 1272、(V_0) 1274、(V_{SWA_L}) 1276、(V_{SWA_H}) 1278、(V_{SWB_L}) 1280、(V_{SWB_H}) 1282、(V_{OVR_L}) 1294、(V_{OVR_H}) 1296 のそれぞれは図 11 でグローバル信号として示されているが、 V_{ITO} 1270 の状況だけは、画素アレイ全体において同じ電圧が各画素セル 1205 又は透明共通電極 1250 へ送られる。当業者であれば分かるように、電流スパイクを減らすために、グローバル信号が同時ではないが略同時に有限期間内で発生する。一実施例において、グローバル信号を発生させるのに必要な期間は約 80 ナノ秒である。電圧供給端子は、前述の図 10 の三種の作業モードのうちの一つ又は多種類により操作される。当業者であれば分かるように、経済性及びエンジニア設計を考慮して図 11 の素子のグループ化を行う。彼らであれば分かるように、例えば、発光ダイオードを制御する付加的機能をこのデバイスへ組み入れてもよい。本文は、このような外部整合などの範囲を制限するわけではない。

【0058】

一実施例は、プロセッサにより図 3 の発光ダイオードを所定のスケジュールにより行う操作を示す。

【0059】

電圧 V_0 及び V_1 の供給は、画素設計にとって非常に重要である。一実施例において、 V_0 及び V_1 はレール電圧 V_{DD} 及び V_{SS} から独立した電圧である。他の実施例において、 V_1 は V_{DD} に設定され、 V_0 は、 V_{SS} から独立する。他の実施例において、 V_0 は、 V_{SS} に設定され、 V_1 は V_{DD} から独立する。他の実施例において、 V_0 は、 V_{SS} に設定され、 V_1 は、 V_{DD} に設定される。画素電圧がレール電圧に等しいとき、独立電圧供給線が維持されるか、独立電圧供給線が省略される。 V_0 及び V_1 のうちの 1 つ又は両者は、 V_{DD} と V_{SS} との間の範囲外に含まれる。この状況下では、必ず注意して電圧供給線と装置上の他の回路とが

実質上隔離されることを確実に言い、インバータの設計を良好に行う。

【0060】

図12は、ITO電圧マルチプレクサの制御を示す他の実施例1600である。ITO電圧コントローラ1600において、DCバランスタイミングコントローラ1680は、制御線1682を介してITO電圧マルチプレクサ1635を制御する。同じ方式により、制御線1684は、 V_{SWA_L} 1676、 V_{SWA_H} 1678、 V_{SWB_L} 1680、 V_{SWB_H} 1682、 V_{OVR_L} 1694、 V_{OVR_H} 1696の状態変化のタイミングを制御する。この方式により制御を行い、 V_{ITO} の変化タイミングに僅かな違いを発生させ、 V_0 又は V_1 を選択させる。透明共通電極の表面積が50～100平方ミリメートルの範囲内にある一方、各画素電極の表面積が0.001平方ミリメートルの範囲内にあるため、有利である。制御線1684が V_{SWA_L} 1676、 V_{SWA_H} 1678、 V_{SWB_L} 1680、 V_{SWB_H} 1682、 V_{OVR_L} 1694、 V_{OVR_H} 1696の状態変化に反応したDCバランス状態などが図10の表に示される。

【0061】

制約は、必ず電圧コントローラ1220により続けなければならないことであり、確実に制御電圧 V_{SWA_L} 及び V_{SWB_L} が同時に高くなったり、制御電圧 V_{SWA_H} 及び V_{SWB_H} が同時に低くなったりすることが無いようにする。そのため回路は、論理回路により駆動され、時系列的に“ブレイクビフォアメイク(break before make)”を確実に言い、図13Aに示すように、二種類の異なる点線の電圧-タイミングダイアグラムにより、2つの制御電圧 V_{SWA_L} 及び V_{SWB_L} の高及び低状態を表す。類似の関係は、2つの制御電圧 V_{SWA_H} 及び V_{SWB_H} の高と低状態との間に存在する。このブレイクビフォアメイクの電圧順序を達成するために、タイミング制御回路700は、図13Bに示すように、出力電圧 V_{SWA_L} のANDゲート720及び出力電圧 V_{SWB_L} のORゲート730に接続された遅延素子310を含む。図13Cに示すように、出力Bが遅延素子710により遅延され、ANDゲート及びインバートORゲートによりブレイクビフォアメイクのタイミング関係を有する V_{SWA_L} 及び V_{SWB_L} として、2つの出力電圧A-AND-B及びNOT-A-OR-Bを生成する。

【0062】

図13Dは、図13Eが示す電圧のpチャネルトランジスタのブレイクビフォアメイク回路740を示す。図13Eに示すように、出力Dは遅延素子750により遅延され、NANDゲート及びORゲートにより、ブレイクビフォアメイクのタイミング関係を有する2つの出力電圧NOT-C-AND-D及びC-OR-Dが生成される。

【0063】

画素電圧オーバーライド回路1360の作業は制限され、 $V_{OVR_L}=1$ のときに V_{OVR_H} は0に切り替わらず、 $V_{OVR_H}=0$ のときに V_{OVR_L} は1に切り替わらない。この状態は、 V_{DD} から V_{SS} へ直接短絡を発生させる。図13Fは、図13Gが示す電圧を提供する画素電圧オーバーライド回路1360のブレイクビフォアメイク回路780を示す。図13Eに示すように、出力Fが遅延素子790により遅延され、ANDゲート及びORゲートにより、前述の条件を満たすブレイクビフォアメイクのタイミング関係を満足させる2つの出力電圧C-AND-D及びC-OR-Dを生成させる。勿論、この回路は必ずしも含まれるように設計する必要はない。表示コントローラは、危険な状況が発生しない方式により画素オーバーライド回路1360を操作することができる。

【0064】

遅延素子710、750、790を実施するために、図13Hは、遅延タイミング回路を使用する好適な実施例を示し、遅延は、一連のインバータを連続的に遅延させることにより生成させる。インバータ820の実行操作の遅延は、遅延期間を固定し、クロックサイクルとは無関係である。時間線B'に沿った回路出力は、出力信号と同じ極性を有することを確保するために、インバータの数は偶数でなければならない。このような時間遅延回路は、スタートアップに用い、システムクロックがまず動作し始める際、チップの初期化段階においてラッチアップ又はその他危険な状況にならないようにする。遅延時間線は

B'で示され、非遅延時間線はA'で示される。図13Iでは、選択可能な遅延の遅延素子が書き出されている。フリップフロップ回路は“D”型デバイスである。これは、デバイスの数が偶数でなければならないという要求を避けることができる。各フリップフロップ（最後の1つ以外）の出力は、さらに遅延させるもう一つのフリップフロップをフィードする。付加された各出力がタップされてマルチプレクサ選択回路へフィードされるため、システムは選択可能な遅延を行うことができる。必要なフリップフロップの数は、設計するときか試行錯誤の作業のときに決定する。クロック周期は、断電時間に近い値に設定し、フリップフロップの数を減らす。その他の組み合わせでもよい。図13Iは、n個のフリップフロップの好適な実施例を示す。遅延線の出力はB''である。非遅延平行信号はA''である。図13Jは、図13H及び13Iを組み合わせた二種類の遅延回路の遅延素子の他の実施例を示す。クロックが不安定なとき、パワーアップフェーズにおいて遅延が構築される。その後、システムを適宜なフリップフロップ回路タップへ切り替えることができる。チップの初期化時に発生するラッチアップが発生するリスクを下げることに
より、スタートアップの危険性を大幅に下げることができる。フリップフロップの数とインバータの数とは等しくなくともよい。それぞれの数は、必要なタイミングディレイにより決定される。各チェーンは、同じ入力を受信し - マルチプレクサにより選択する。時間線B'''は、遅延信号に用い、時間線A'''は、非遅延信号に用いる。

10

20

30

40

50

【0065】

図14は、本発明に係る表示装置の一つの画素セル2205のブロックダイアグラムを示す。画素セル2205は、ストレージ素子2300、DCバランス制御スイッチ2320、画素電圧オーバーライド回路2360、インバータ2340を含む。DCバランス制御素子又はスイッチ2320は、好適にはCMOSを基礎とする論理デバイスであり、幾つかの入力電圧をもう一つのデバイスへ選択的に送る。ストレージ素子2300は、データ線(B_{POS})2120及び(B_{NEG})2122へそれぞれ連結された相補入力端子2302及び2304を含む。ストレージ素子も、ワード線(W_{LINE})2118に連結された相補イネーブル端子2306及び2307と、1対の相補データ出力端子(S_{POS})2308及び(S_{NEG})2310とを含む。本実施例において、ストレージ素子2300はSRAMラッチであるが、当業者であれば分かるように、データビットを受信し、ビットを記憶し、記憶したビットを相補状態において相補出力端子のストレージ素子へ送り、本文のSRAMラッチストレージ素子2300を代替する。

【0066】

DCバランス制御スイッチ2320は、ストレージ素子2300のデータ出力端子(S_{POS})2308及び(S_{NEG})2310へそれぞれ連結された1対の相補データ入力端子2324及び2326を含む。DCバランス制御スイッチ2320は、電圧制御素子又はスイッチ2320の第3の電圧供給端子(V_{SW_H})2277及び第4の電圧供給端子(V_{SW_H})2279とそれぞれ連結された第1の電圧供給端子2328及び第2の電圧供給端子2330を含んでもよい。DCバランス制御スイッチ2320は、データ出力端子2322をさらに含む。

【0067】

画素電圧オーバーライド回路2360は、DCバランス制御素子2320のデータ出力端子2322に連結されたデータ入力端子2370を含む。画素電圧オーバーライド回路は、グローバル電圧供給源V_{SS}2292に連結された第1の電圧供給端子2362と、グローバル電圧供給源V_{DD}2290に連結された第2の電圧供給端子2364と、供給電圧（論理）V_{OVR_H}2296に連結された第3の電圧供給端子2366と、供給電圧（論理）V_{OVR_L}2294に連結された第4の電圧供給端子2368と、インバータ2340の入力電圧供給端子2348に連結された電圧（論理）出力端子2372と、をさらに含む。

【0068】

インバータ2340は、電圧コントローラ2220（図示せず）の第1の電圧供給端子(V₁)2272及び第2の電圧供給端子(V₀)2274にそれぞれ連結された第1の電

圧供給端子 2342 及び第 2 の電圧供給端子 2344 を含む。インバータ 2340 は、画素電圧オーバーライド回路 2360 のデータ出力端子 2372 に連結されたデータ入力端子 2348 と、画素ミラー 2212 に連結された画素電圧出力端子 (V_{PIX}) 2346 とを含んでもよい。インバータ及び電圧印加回路は、 V_0 と V_1 との間に正確な電圧を画素ミラーへ送ることを確保する機能を有する。

【0069】

図 15 は、DC バランス制御スイッチ 2320 の好適な実施例を示す。DC バランス制御スイッチ 2320 は、第 1 の p チャンネル CMOS トランジスタ 2410 及び第 2 の p チャンネル CMOS トランジスタ 2420 を含む。第 1 のトランジスタ 2410 のソース端子 2412 は、データ入力端子 2324 に連結され、ゲート端子 2414 は、第 1 の電圧供給端子 2328 に連結され、ドレイン端子 2416 は、データ出力端子 2322 に連結される。第 2 のトランジスタ 2420 のソース端子 2422 は、入力端子 2326 に連結され、ゲート端子 2424 は、第 2 の電圧供給端子 2330 に連結され、ドレイン端子 2426 はデータ出力端子 2322 に連結される。

10

【0070】

図 16 は、インバータ 2340 の好適な実施例を示す。インバータ 3240 は、p チャンネル CMOS トランジスタ 510 及び n チャンネルトランジスタ 2520 を含む。P チャンネルトランジスタ 510 のソース端子 512 は、第 1 の電圧供給端子 2342 に接続され、ゲート端子 2514 は、データ入力端子 2348 に連結され、ドレイン端子 2516 は、画素電圧出力端子 (V_{PIX}) 2346 に連結される。N チャンネルトランジスタ 2520 のソース端子 2522 は、第 2 の電圧供給端子 2344 に連結され、ゲート端子 2524 は、データ入力端子 2348 に連結され、ドレイン端子 2526 は、画素電圧出力端子 (V_{PIX}) 2346 に連結される。

20

【0071】

図 17 は、画素電圧オーバーライド回路 2360 の好適な実施例を示す。画素電圧オーバーライド回路 2360 は、出力端子 2372 に連結されたドレイン 2383 及び 2388 を有する第 1 の p チャンネル MOSFET トランジスタ 2380 及び第 1 の n チャンネル MOSFET トランジスタ 2385 を含む。入力端子 2370 は、出力端子 2372 に直接接続される。 V_{DD} 端子 2290 は、入力端子 2364 に連結され、 V_0 2274 (図示せず) は、入力端子 2362 に連結される。前述の DC バランス制御素子 2320 の回路効果により、 V_{SS} でなく V_0 を使用しなければならない。入力端子 2364 は、MOSFET トランジスタ 2380 のソース端子 2382 に連結し、入力端子 2362 は、MOSFET トランジスタ 2385 のソース端子 2387 に連結する。電圧供給端子 2294 は、電圧オーバーライド信号低端子 V_{OVR_L} 2368 に連結し、電圧供給端子 2296 は、電圧オーバーライド信号高端子 V_{OVR_H} 2366 に連結する。端子 V_{OVR_L} 2368 は、MOSFET トランジスタ 2385 のゲート 2386 に連結され、端子 V_{OVR_H} 2366 は、MOSFET トランジスタ 2380 のゲート 2381 に連結される。

30

【0072】

図 18 は、ストレージ素子 2300 の好適な実施例を示す。ストレージ素子 2300 は、CMOS スタティック型 RAM (SRAM) ラッチデバイスであることが好ましい。このような装置は周知されている。DeWitt U. Ong, modern MOS Technology, Processes, Devices, & Design, 1984, Chapter 9-5 を参照し、その詳細は参考のために本案に組み入れられているものとする。スタティック型 RAM は、電力が供給されている限り、時を刻まなくともデータが維持され続ける。図 16 は、最も一般的な SRAM セルを示し、そこでは 6 つのトランジスタが使用されている。トランジスタ 2602、2604、2610、2612 は、n チャンネルトランジスタであり、トランジスタ 606 及び 608 は p チャンネルトランジスタである。この特定セルでは、ワード線 118 は、バストラジスタ 602 及び 604 をオンし、(B_{POS}) 2120 及び (B_{NEG}) 2122 線により、プリチャージされたハイ状態にするか、フリップフロップ (即ち、トランジスタ 2606、2608、2

40

50

610、2612)により放電してロー状態にする。その後、フリップフロップの状態の作動センシングが可能となる。選択したセルヘータを書込む際、付加的に書込む回路(B_{POS})2120及びデータ線(B_{NEG})2122は高くなるか低くなる。低値になると、効果的にフリップフロップの状態を変えることができる。

【0073】

6トランジスタ型SRAMセルが最小の詳細回路設計及び製造工程知識に関係するため、ノイズ及びその他の効果を評価することは困難であると言うのが安全であり、そのためCMOS型設計及び製造が6トランジスタ型SRAMセルで最もよく利用されている。その他、現在の製造工程は、大きなスタティック型RAMアレイを許容することができるほど密度が高い。そのため、これらのタイプのストレージ素子は、本文のLCOS表示装置の設計及び製造にとって好ましい。しかし、本発明は、その他のタイプのスタティック型RAMセルも考慮でき、例えば、NORゲートを用いる4トランジスタ型RAMセルや、スタティック型RAMセルを使用せずにダイナミック型RAMセルを使用したりする。

【0074】

画素電圧オーバーライド回路1360のデータ入力端子1370は、出力端子1372へ直接連結される。出力端子1372は、インバータ1340の入力端子1348に連結される。DCバランス制御スイッチが電圧を画素電圧オーバーライド回路の入力端子1370へ送らない限り、画素電圧オーバーライド回路1360は電圧を出力端子へ送ることがない。詳細には、電圧供給端子の電圧と、画素電極の出力電圧V_{PIX}(ストレージ素子の出力端子B_{POS}1120及びB_{NEG}1122の状態に対応し、画素書込み作業を行った後;図9を参照)は図10の表に示される。供給端子の電圧と、画素電極の出力電圧V_{PIX}(画素電圧オーバーライド回路により電圧が印加された後)を図10の表に示す。この他、電圧供給端子のある種の欠陥の組み合わせを図10の表に示す。

【0075】

スイッチ2320は、第1の論理電圧供給端子(V_{SW_H})2277上の所定電圧及び第2の論理電圧供給端子(V_{SW_L})2279上の所定電圧に反応し、選択的にスイッチ2320の出力端子2322を介し、ストレージ素子2300に記憶した高又は低データ値のうちの一つをインバータ2340の入力端子2348へ送る。

【0076】

最も簡単な形式は、トランジスタが単なるon/offスイッチである。CMOS型の設計において、トランジスタのゲートは、ソースとドレインとの間を流れる電流を制御する。nチャネルトランジスタにおいて、ドレインとソースとが接続されると、スイッチが閉じるか“on”する。これはゲート上で高値又はデジタル“1”があるときに発生する。ドレインとソースとが切断されると、スイッチが開くか“off”する。これはゲート上に低値又はデジタル“0”があるときに発生する。pチャネルトランジスタにおいて、ゲート上に低値又はデジタル“0”があるときに、スイッチが閉じるか“on”する。ゲート上に高値又はデジタル“1”があるときに、スイッチが開くか“off”する。そのため、pチャネル及びnチャネルのトランジスタは、ゲート信号の補間値が“on”又は“off”する。

【0077】

図19は、本発明の表示システム2200を示す。表示システム2200は、画素セル2205のアレイ、電圧コントローラ2220、処理ユニット2240、記憶ユニット2230、透明共通電極2250を含む。共通透明電極は、画素セル2205のアレイ全体を覆う。好適な実施例において、画素セル2205は、シリコン基板又は基材上に形成され、画素ミラー2212のアレイを覆い、各画素ミラー2212が1つの画素セル2205に対応する。液晶材料の均一層は、画素ミラー2212のアレイと透明共通電極2250との間に位置する。透明共通電極2250は、例えばインジウムスズ酸化物(ITO)などの導電ガラス材料からなることが好ましい。メモリ2230は、プログラミングされたデータ及び指令を含むコンピュータ可読媒体である。メモリは、処理ユニット2240により各種電圧変調及びその他の制御方式を実施する。処理ユニット2240は、メモリ

10

20

30

40

50

バス 2 2 3 2 を介して記憶ユニット 2 2 3 0 からデータ及び指令を受け取り、電圧制御バス 2 2 2 2 を介して電圧コントローラ 2 2 2 0 へ内部電圧制御信号を提供し、データ制御バス 2 2 3 4 を介してデータ制御信号（つまり画素アレイに入る画像データ）を提供する。電圧コントローラ 2 2 2 0、記憶ユニット 2 2 3 0、処理ユニット 2 2 4 0 は、画素セル 2 2 0 5 のアレイ部分と異なる表示システムに位置する。

【0078】

電圧制御バス 2 2 2 2 を介して処理ユニット 2 2 4 0 から受信した制御信号に反応し、電圧コントローラ 2 2 2 0 は、第 1 の電圧供給端子 (V_1) 2 2 7 2、第 2 の電圧供給端子 (V_0) 2 2 7 4、第 3 の（論理）電圧供給端子 (V_{SW_H}) 2 2 7 7、第 4 の（論理）電圧供給端子 (V_{SW_L}) 2 2 7 9、第 5 の（論理）電圧供給端子 (V_{OVR_L}) 2 2 9 4、第 6 の（論理）電圧供給端子 (V_{OVR_H}) 2 2 9 6 を介して各画素セル 2 2 0 5 へ所定電圧を供給する。電圧コントローラ 2 2 2 0 も所定電圧 V_{ITO_L} 及び V_{ITO_H} を、電圧供給端子 2 2 3 6 及び電圧供給端子 2 2 3 7 を介して ITO 電圧マルチプレクサユニット 2 2 3 5 へ送る。電圧マルチプレクサユニット 2 2 3 5 は、処理ユニット 2 2 2 0 からの DC バランス指令論理状態に基づいて V_{ITO_L} 又は V_{ITO_H} を選択する。ITO 電圧マルチプレクサユニットは、電圧供給端子 (V_{PIX}) 2 2 7 0 を介して透明共通電極 2 5 0 へ V_{ITO} を送る。電圧供給端子 (V_1) 2 2 7 2、(V_0) 2 2 7 4、(V_{SW_H}) 2 2 7 7、(V_{SW_L}) 2 2 7 9、(V_{OVR_L}) 2 2 9 4、(V_{OVR_H}) 2 2 9 6、(V_{ITO}) 2 2 7 0 のそれぞれが図 1 4 でグローバル信号として示されているが、 V_{ITO} 2 2 7 0 の状況だけは、画素アレイ全体において同じ電圧が各画素セル 2 2 1 0 又は透明共通電極 2 2 5 0 へ送られる。

【0079】

一実施例は、プロセッサにより図 3 の発光ダイオードを所定のスケジュールにより行う操作を示す。

【0080】

電圧 V_0 及び V_1 の供給は、画素設計にとって非常に重要である。一実施例において、 V_0 及び V_1 はレール電圧 V_{DD} 及び V_{SS} から独立した電圧であり、制限は V_0 及び V_{SS} によりあるレベルによる分離である。他の実施例において、 V_1 は V_{DD} に設定され、 V_0 は、 V_{SS} から独立する。 V_1 が V_{DD} に等しいとき、独立供給線が維持されるか、独立供給線が省略される。 V_1 は、画素セル回路のレール電圧間の範囲外に設定される。この状況下では、必ず注意して V_1 の電圧供給線と装置上の他の回路とが実質上隔離されることを確実にを行い、インバータの設計を良好に行う。

【0081】

図 2 0 は、ITO 電圧マルチプレクサ制御を示す他の実施例である。図 2 0 において、DC バランスシーケンシャルコントローラ 2 6 8 0 は、制御線 2 6 8 2 を介して ITO 電圧マルチプレクサ 2 6 3 5 を制御する。ITO 電圧マルチプレクサ 2 6 3 5 は、 V_{ITO_L} 2 6 3 6 又は V_{ITO_H} 2 6 3 7 を選択する。同じ方式により、制御線 2 6 8 4 は、 V_{SW_H} 2 6 7 7 及び V_{SW_L} 2 6 7 9 の状態変化のタイミングを制御する。この方式により制御を実施し、 V_{ITO} 2 6 7 0 の変化タイミングに僅かな違いを発生させ、 V_0 2 6 7 4 又は V_1 2 6 7 2 を選択する。透明共通電極の表面積が 5 0 ~ 1 0 0 平方ミリメートルの範囲内にある一方、各画素電極の表面積が 0 . 0 0 1 平方ミリメートルの範囲内にあるため、これは必要である。

【0082】

図 2 1 は、各種制御線が画素作業に対して行う各種操作状態の結果を示す。画素回路 2 2 0 5 の作業の第 1 のモードにおいて、画素電圧オーバーライド回路 2 3 6 0 が DC バランス制御素子 2 3 2 0 から信号を受け取ると、非活性状態となり、制御電圧 V_{OVR_H} 2 2 9 6 が高電圧を p チャネルトランジスタへ送り、制御電圧 V_{OVR_L} 2 2 9 4 が低電圧を n チャネルトランジスタへ送るため、2 つの MOSFET トランジスタが閉じる。DC バランス制御素子 2 3 2 0 の出力端子 2 3 2 2 へ印加する電圧が、画素電圧オーバーライド回路 2 3 6 0 の入力端子 2 3 7 0 へ印加されてから画素オーバーライド回路 2 3 6 0 の出力端子 2 3 7 2 へ印加される。出力端子 2 3 7 2 は、インバータ 2 3 4 0 の入力端子 2 3 4

8に連結され、印加された電圧は、インバータの出力端子(V_{PIX})2346の V_0 2274及び V_1 2272のうちの一つを選択して画素ミラー2212へ送る。得られた状態は、図21のコラム1～4で説明されている。このモードは、“ノーマル”モードとも称される。

【0083】

画素セル2205の作業の第2のモードにおいて、DCバランス制御素子2320、 V_{SW_L} 2279、 V_{SW_H} 2277は、“Off”状態に対応した電圧(高電圧)に設定される。 V_{OVR_H} 2296及び V_{OVR_L} 2294は、“Off”状態に対応した電圧に設定される。この状態において、電圧がDCバランス制御素子2320の出力端子2322へ送られないため、回路は、帯電減衰するまで最後に印加された電圧を維持する。画素電圧オーバーライド回路2360の入力端子2370及び出力端子2372を通る線には、最後まで電圧が充電され、これはインバータ2340の入力端子2348と同様である。この電圧が減衰するまで、インバータ2348は、 V_0 2274又は V_1 2272を出力端子 V_{PIX} 2346へ送って画素ミラー2212へ送られる。このモードで操作する際、6T-SRAMストレージ素子2300は、インバータの出力を変えずに上書きを行う。このモードは、DCバランス素子2320の有効モードを起動させるか、画素電圧オーバーライド回路2360の有効モードを起動させて終了させる。このモードを駆動させないため、一インスタンスにおいてDCバランス作業を行うことはできない。コントローラは、これらの間隔を調整し、このモードの連続に又は略連続に時刻をスケジューリングし、反対のDCバランス状態で発生させる。この状態は、図21のコラム5及び6で説明されている。このモードは、“隔離”モードとも称される。

10

20

【0084】

画素回路2205の作業の第3モードにおいて、DCバランス制御素子2320の V_{SW_L} 2279、 V_{SW_H} 2277は、Off状態に対応した電圧に設定される。 V_{OVR_H} 2296及び V_{OVR_L} 2294のうち的一方をOff状態に対応した電圧に設定し、他方をOn状態に対応した電圧に設定する。出力端子2372へ送る電圧は約 V_{DD} 2290又は V_0 2274のうちの一つである。回路により実際に得られる第2効果により、出力端子2372を通してインバータ2340へ送られる入力端子2348の電圧は V_{DD} 又は V_0 と僅かに異なる。インバータ2340がこれらの電圧を使用して V_0 又は V_1 を選択するため、僅かな差は重要でない。一般の回路設計者であれば分かるように、必要な公差によりインバータ回路を実施する。これらの期間の時間間隔において、図21のコラム8及び9で述べる状態間で表示装置を交互に駆動し、その結果、表示装置は、液晶作業においてDCバランスを維持する。このモードは、“オーバーライド”モードとも称される。

30

40

【0085】

画素回路2205の作業の第1の欠陥状態において、画素回路は、DCバランス制御スイッチ2320の作業によりストレージ素子1300の内容状態をリセットする状態に位置する。発明者が実験により証明したように、 V_{SW_L} = “On”(低電圧)n”にすると同時に V_{SW_H} = “On”(低電圧)にし、 S_{POS} 2309の出力をその相補 S_{NEG} 2310へ接続し、ストレージ素子1300をリセットする。同時に2つの素子を切替えて、 V_{SS} より閾値電圧が約1.2ボルト高くなるように V_0 を設定して電圧範囲を制限することにより、このような状況が発生することを防ぐ。これらの欠陥状態は、図21のコラム7において説明されている。

【0086】

画素回路2205の作業の第2の欠陥状態において、画素電圧制御回路2360の作業は、 V_{DD} を V_0 へ直接接続し、電流の流れが予想通り大幅に増加し、素子が過熱してラッチアップする。pチャネルMOSFET2280のゲート2381の V_{OVR_H} 2294を低電圧に設定し、欠陥状況が存在する。そのため、本発明は、2つのトランジスタが“On”の状況になることを防ぐ必要がある。この欠陥状態は、図21のコラム10で説明されている。このような状況を防ぐ方法は、図13G、13H、13I、13J及び関連した文にて示されている。

50

【0087】

図22は、電圧コントローラが生成した電圧の相対的尺度を示し、基準電圧とする V_{SS} から始まり、その後、 V_{ITO_H} 、 V_0 、 V_1 、 V_{ITO_L} が続く。図19の回路と類似し、図22の電圧レベルが生成される。この実施例において、図4に類似した電圧性能を有する液晶ノーマルホワイトモードについて説明する。当業者なら分かるように、ノーマルブラック液晶モードは類似の方式により操作され、共通平面上の電圧(V_{ITO})と、画素に印加する駆動電圧との間の低電圧差を暗状態に組み合わせる点だけが異なる。第1の状況において、以下、DCバランス状態1と称し、 V_{ITO} を V_{ITO_L} に設定し、 V_0 は、明状態電圧に対応し、 V_1 は、暗状態電圧に対応する。第2の状況において、以下、DCバランス状態2と称し、 V_{ITO} を V_{ITO_H} に設定し、 V_0 は、暗状態電圧に対応し、 V_1 は、明状態電圧に対応する。図22に示すように、実際のスケールではないが、ギャップのフィールド極性以外に、DCバランス状態1とDCバランス状態2とが等しい数値であるため、ネマティック液晶の変調に関して言うと完全に等しい。

【0088】

液晶表示装置の適宜なDCバランス作業には、共通電極2250に印加する電圧の多重化が必要である。図22に示すように、DCバランス状態1において、表示装置を第1のモードで操作し、共通平面を V_{ITO_L} に設定し、 V_0 を明状態に対応して設定し、 V_1 を暗状態に対応して設定する。このモードにおいて、ブラック状態に設定した画素の液晶セルを横切る実行電圧は V_1 と V_{ITO_L} との差であり、明状態に設定した画素の液晶セルを横切る実行電圧 V_0 と V_{ITO_L} との差である。 V_0 及び V_1 のそれぞれは、 V_{ITO_L} より高く、ギャップを横切るフィールド極性が構築される。DCバランス状態1を達成するために、図19の回路において、論理信号 V_{SW_H} はハイ状態であり、 V_{SW_L} はロー状態である。このように論理信号を設定し、共通平面電極2270(V_{ITO})を V_{ITO_L} へ設定する。同様に、図14の画素構造において、論理信号 V_{SW_H} をハイ状態に設定し、 V_{SW_L} をロー状態に設定し、セルレベルマルチプレクサを設定することにより、セルデータ状態が0又は“明”に設定された画素に V_0 を接続し、セルデータ状態が1又は“暗”に設定された画素に V_1 を接続する。これは、液晶セルを横切る実行電圧を、図21に示すように、DCバランス状態1にする。前に説明したように、0のビット値は“off”を表し、1のビット値は“on”を表す習慣は純粹に任意である。もし図14の回路を詳細に研究すれば、反対の習慣を使用することができることが分かる。

【0089】

DCバランス状態2において、図22に示すように、表示装置を第1のモードに類似した第2のモードで操作するが、表示装置を横切る電界方向が反対である。この第2のモードにおいて、共通平面が第2の電圧源 V_{ITO_H} に接続され、暗状態に設定された画素を V_0 へ接続し、明状態に設定された画素を V_1 へ接続する。DCバランス状態1とDCバランス状態2とのフィールドは等しい数値を有するが、極性が反対であり、 V_{ITO_H} は、 V_1 より高く、 V_{ITO_L} は、 V_0 より低い同じ電圧絶対値でなければならない。この関係を維持し、DCバランス状態1とDCバランス状態2とは互いにミラー像となる。 V_{SW_H} がローに設定されて V_{SW_L} がハイに設定されたとき、状態1は図22に示したようになる。この状況下、図14の画素構造において、画素データ状態が1又は“明”に設定されるとき、画素マルチプレクサ回路は、画素ミラーへ V_0 を提供し、画素データ状態を0又は“暗”へ設定するとき、マルチプレクサ回路は、画素ミラーへ V_1 を提供する。

【0090】

液晶セルがDCバランス状態1とDCバランス状態2とに同じ時間間隔で留まるとき、液晶セルは完全なDCバランスと見なすことができる。そのため、共通平面の多重化と、液晶セルの単独画素の多重化とが同期であるとき、2つのソース電圧からのマルチプレクサ共通平面電圧は、セルのDCバランスを完成させる。

【0091】

上述の素子と一緒にデバイスのDCバランスがデータの書込みに直接関係無い画素設計及び液晶デバイスを提供する。ITO電圧を制御し、表示装置上の単独画素データ状態が

10

20

30

40

50

ら独立した画素ミラー電圧の選択により、表示コントローラが論理線 V_{SW_H} 及び V_{SW_L} を制御し、ITO電圧マルチプレクサ2235を組み合わせる液晶デバイスのDCバランス状態を制御する。

【0092】

図23A、23B、23Cは、図4のプロジェクションシステムのフィールドシーケンシャルカラーディスプレイの変調配置を示す。表示コントローラは、表示装置アセンブリ及びLEDの両方を制御し、LEDの発光順序に応じてデータを表示装置へ正確に送らなければならない。図23Aにおいて、カラー1の第1の変調フレーム3041が活性し、変調状態3061及びLED状態3081が同時に活性する。3つの素子は、正確かつ同時に終了する必要はない。カラーデータ3061は、LED状態3081と同様に、短時間遷移期間3042の一部において渡され続ける。終点の選択は、例えば液晶の衰退時間など、様々な要素により決定される。データロードフレーム3043において、次のディスプレイピリオドのプリロードされたデータは、表示装置のストレージ素子中に置かれる。LED状態3083がoffになると、変調状態3063は、この期間においてoffと見なされ、如何なる変調も表示する画像に影響を与えることはない。表示装置が実際に所定の状態に駆動されると、前のカラーのデータの残留効果を下げることがある。第2の遷移期間3044において、変調状態3045をカラー2のデータに設定することが完了する。従来のフィールドシーケンシャルカラーディスプレイにおいて、グレイスケール強度は、主にLEDのon期間により決定される。

【0093】

遷移期間3044が終了すると、カラー2の表示変調フレーム3045が開始し、カラー2のLEDセグメント3085が活性する。カラー2のデータ3065は、遷移期間3046が始まるまで、セグメント3045中で表示される。LEDカラー2のセグメント3085は、この期間、表示装置を照射する。カラー2の表示変調フレーム3045が終了すると、表示装置は遷移期間3046に入り、期間中にカラーデータ3065を抑制し、LEDカラー2がoff状態3087に遷移する。データロードフレーム3047において、カラー2の画像データは表示装置にプリロードされる。表示装置は、フレーム3067においてゲートオフされ、LEDは、期間3087においてゲートオフされる。遷移期間3048において、データロード3047が終了すると、カラー3のデータ3069がカラー3の変調フレーム3049中で渡され、LEDカラー3のセグメント3089がオンされる。カラー3の表示期間3049が終了すると、表示装置は遷移期間3050へ入り、この期間において、カラー3のデータ3069を終了させ、カラー3のLED照明セグメント3089が終了する。データロードフレーム3051において、カラー1のカラーデータをプリロードする。期間3091において、データセグメント3071は、オフが維持され、LED発光を抑制する。データロードフレーム3051が終了し、表示装置がカラー1の表示変調フレーム3041に入る前、遷移セグメント3052へ一時的に入る。遷移セグメント3052において、カラーデータ3061は表示装置へ送られ、LEDが状態3081へ遷移する。

【0094】

多くの変更を行うことができる。例えば、原色の数は、この実施例で開示した3種類を超えてもよい。単独のカラーは、完全に順序が終了する前に繰り返したり、全てのカラーを繰り返したりしてもよい。各種原因は広く知られている。

【0095】

図24A～24Hは、1つのパネルカラーシーケンシャル液晶プロジェクタの変調方法の各種態様を示し、一部は特許出願第10/425,427号で開示した変調方法である。変調方法は、図5又は14の画素タイプと互換性がある。1つの画素タイプに用いる変調は、2種類に用いると解釈するべきである。図24A～24Hは、カラーフレーム内の画素変調作業と、第1のカラーから第2のカラーへ遷移する手段が描写される。図3のフィールドシーケンシャルディスプレイは、以下の実施例の典型的な表示装置に用い、特に、表示コントローラの強調制御下のLED照明及びマイクロ表示装置を含む。その他のフ

ィールドシーケンシャルカラープロジェクションアーキテクチャはすでによく知られており、本発明の範囲内に入る。

【0096】

図24A、24B、24Cは、共通時間スケール上のシーケンシャルカラー作業のフレームの一部を示す。図24Aの垂直軸は、第1列が頂部に書かれて、最終列が底部に書かれた表示装置上の列を表す。図24Bの垂直軸は、画素セルの変調状態を表し、“on”は、ストレージ素子のデータが図5又は図14の介在回路を介して画素ミラーへ送られ、“off”は、画素ミラーに印加される電圧が画素電圧オーバーライド回路1360(図5)又は画素電圧オーバーライド回路2360(図14)により決定されることを表す。変調フレーム3141において、能動的に駆動された変調データが表示装置へ送られ、カラー1のLEDが“on”状態3181に設定される。能動的な変調が終了した後、カラー1のデータ3161は、表示装置上に短時間留まる。カラー1のデータがカラー2のデータ3143の初期状態で上書きされ、変調フレームが開始するこのデータの上昇時間を補償するまで、カラー1のLEDの“on”状態を延長してもよい。その他の校正方法を用いることができるが、この“on”状態の要求を予測することができる。遷移状態3142は、変調フレーム時間3141の終了からデータロードフレーム3143の開始まで持続する。DCバランススイッチ1340(図14では2340である)が遷移状態3142の開始にオーバーライドを行い、画素電圧オーバーライド回路1360(図14では2360である)がデータロードフレーム3143中でオーバーライドを行う。データ変調フレーム3143において、第2の変調フレームのデータがロードされる。データロードフレーム3143が終了すると、図5の画素オーバーライド素子1360又は図14の2360がオフし、図5のDCバランススイッチ1340又は図14の2340が操作され、上述したようにDCバランスを維持する。遷移フレーム3144間において、印加したデータ電圧。

【0097】

図24D及び24Eは、米国特許出願第10/435,427号及び米国特許出願第11/740,244号(‘244)(現在の米国特許7,852,307)の2種類の変調順序を示し、その内容は参考のために本案へ完全に組み入れられている。‘244では、選択列の変調期間を減らす方法が開示され、短縮列の書込データを異なる列の一部がアドレス指示周期にロードされる。短縮指示は、選択列上の全てのストレージ素子を、短縮指示の一部を形成するのと同じ値に設定する。

【0098】

図24Dは、スクロール変調を示し、各変調シーケンス素子の期間は、バイナリで重み付けされる。水平軸は時間を表し、垂直軸は表示装置上の列位置を表し、順序は表示装置の頂部から始まる。シーケンス素子3111は、変調表示装置の最下位ビットを表し、ノミナル値は1である。シーケンス素子3112は、約2ビットのビット重み付けを表し、変調素子3113は、約4ビットのビット重み付けを表す。変調素子3114は、約8ビットのビット重み付けを表す。この実施例において、終了ライトポインタ3116を使用し、最下位ビット素子3111の期間を構築する。この指示には、前述した表示装置上の作用のその他の書込ポインタのうちの一つが組み合わせられる。イニシャルアドレスデータ指示は、アドレスデータに追従する後続データにより書く列を識別する。第1のアドレスデータ指示直後の第2のアドレスデータ指示は、固定データを有する終了する列アドレスと、その列上の全ての画素に書く特定の1つのデータ値とを含む。終了する列の選択は、後続データにより書く第1列のアドレスとは関係が無い。ここで、単独の変調シーケンス素子の境界を表す線の間隔は、y軸に沿ったシーケンス素子のビットの重み付けに正比例する。ここで、間隔及び間隔の大きさは、問題を減らす目的を満足させるために、任意又は経験に基づいて変えてもよい。

【0099】

図24Eは、スクロール変調シーケンスを示し、低ビット素子の期間が二進の重み付けされ、高ビット素子の期間が互いに等しいため、温度計ビットが形成される。変調素子3

1 2 1 は、ビット重み付けが約 1 である最下位ビットを表す。変調素子 3 1 2 2 は、約 2 ビットのビット重み付けを表す。その残りの変調素子 3 1 2 3、3 1 2 4、3 1 2 5 も約 2 ビットのビット重み付けを表す。このような冗長重み付け (redundant weighting) は、非バイナリ方式により操作して温度計ビットとし、例えば、3 1 2 2 の第 1 段を常に第 1 のセグメントとして採用し、例えば、3 1 2 3 の第 2 の素子は常に第 2 として採用され、例えば、3 1 2 4 の第 3 の素子は常に第 3 として採用され、例えば、3 1 2 5 の第 4 の素子は常に第 4 として採用される。この順番を採用する方法に基づき、米国特許出願第 10 / 435, 427 号を説明する。点線 3 1 2 6 は、使用する終了書込ポインタを表し、前述したように最下位ビットを構築する。

【0100】

10

当業者であれば、本文を良く読めばその他のスクロール変調シーケンスを容易に想到することができる。このような変化は、本文の範囲内に含まれる。

【0101】

図 2 4 F、2 4 G、2 4 H は、x 軸共通時間線上において単色フレームが遷移するときの画素の成分を分ける作業を行うときの拡大図を示す。図 2 4 F の y 軸は、頂部に書いた第 1 列と、底部に書いた最終列と、を表し、これは通常、表示装置の頂部及び底部を表し、その間には中間列である。図 2 4 G の y 軸は、画素駆動の 3 つの状態を表す。以下の文では、以上の情報を繰り返す。ノーマルモードにおいて、介在回路を介して図 5 のストレージ素子 1 3 0 0 又は図 1 4 のストレージ素子 2 3 0 0 へ記憶したデータ値を図 5 の画素ミラー 1 2 1 2 又は図 1 4 の画素ミラー 2 2 1 2 へ送り、図 5 の DC バランス素子 1 3 2 0 又は DC バランス素子 2 3 2 0 を所定設計に基づき、図 2 2 の 2 つの DC バランス状態の間で切替える。隔離モードにおいて、図 5 の DC バランス素子 1 3 2 0 又は図 1 4 の 2 3 2 0 の全てのトランジスタを off に設定し、各画素の画素電圧は、画素へ能動的に最終電圧を印加する。この電圧を発生させる電荷は、電子 - ホールのペアが発生して時間とともに減衰するため、短期間だけ使用される。オーバーライドモードにおいて、表示装置の画素の DC バランススイッチが隔離モードに位置し、その後、図 5 の画素電圧オーバーライド回路 1 3 6 0 を起動するか、図 1 4 の画素電圧オーバーライド回路 2 3 6 0 を起動し、全ての画素ミラーへ印加する電圧は V_0 又は V_1 のうちの 1 つの所定電圧であり、図 5 のインバータ 1 3 4 0 又は図 1 4 のインバータ 2 3 4 0 は、図 5 の画素電圧オーバーライド回路 1 3 6 0 又は図 1 4 の画素電圧オーバーライド回路 2 3 6 0 が送る電圧により決定される。例えば、図 5 又は図 1 4 である。

20

30

【0102】

図 2 4 G のノーマルモード 3 1 6 1 において画素が能動的に変調し、LED 状態が図 2 4 H において on に設定されてカラー 1 が発射される際、カラーフィールド 1 の表示変調フレーム 3 1 4 1 が表示装置を駆動させてグレースケールを発生させる。表示変調フレーム 3 1 4 1 が終了すると、列作業は遷移モード 3 1 4 2 に変わる。遷移モード 3 1 4 2 の開始において、画素変調状態が隔離状態 3 1 6 2 に変化し、LED 状態 3 1 8 1 がカラー 1 に留まる。隔離状態 3 1 6 2 の短期間の間隔の後、図 5 の画素電圧オーバーライド回路 1 3 6 0 又は図 1 4 の 2 3 6 0 の操作は、上で述べたようにオーバーライド状態 3 1 6 3 を形成し、このときに LED が間隔 3 1 8 3 でオフし、データロードフレーム 3 1 4 3 は、カラー 3 のデータを図 5 の画素スイッチ 1 3 2 0 又は図 1 4 の 2 3 2 0 のストレージ素子へプリロードする。遷移モード 3 1 4 4 へ入り、図 5 の画素オーバーライド回路 1 3 6 0 又は図 1 4 の 2 3 6 0 がオフし、画素回路が隔離モード 3 1 6 4 に留まり、LED 状態が Off 状態 3 1 8 3 に短期間留まる。DC バランスモードにおいて、DC バランススイッチを操作することにより、画素回路の変調状態がノーマル 3 1 6 5 へ戻り、LED がカラー 2 の On 状態 3 1 8 5 へ切り替わる。表示装置は、もう一つのカラーフレームにとって変調状態 3 1 4 5 に留まり、画素変調状態 3 1 6 5 及び LED 状態 3 1 8 5 は、変調時間が終了するまで作用し、このとき DC バランススイッチが隔離モード 3 1 6 6 へ変わる。このプロセスは、表示装置が活性されている限り繰り返される。

40

【0103】

50

図 2 5 A 及び 2 5 B は、表示装置の変調フレーム（図 2 3 A の 3 0 4 1、3 0 4 5、又は 3 0 4 9）中で発生させるグレイスケールの作業のもう一つのモードを表す。カラー遷移期間作業、初期ロード期間、画素変調状態、LED 状態のそれぞれは、図 2 4 A、2 4 B、2 4 C、2 4 F、2 4 G、2 4 H と相違しないため、ここでは繰り返さない。この小さな変化は容易に想到することができるため、本発明の範囲内に含まれる。

【0104】

図 2 5 A が表す変調方法において、変調セグメント期間は約バイナリで重み付けされる。変調方法は、図 2 4 D と異なり、各変調平面は、典型的な従来のデバイスと同様に、表示装置において 1 つの走査中に書込まれる。このような変調方法の実現可能性は、主に表示装置を駆動する実効的な帯域幅により決定される。変調フレームセグメント 3 2 4 0 及び 3 2 4 1 は、変調フレームセグメント 3 2 5 0 及び 3 2 5 1 の下文の方式に類似し、バイナリで重み付けされる。変調セグメント 3 2 4 2 及び 3 2 5 2 において、表示装置のストレージ素子は、暗状態に書かれる。これは、ニューマチック液晶内で記憶効果が低下する過程を開始するため、カラークロスカップリングを低減させる。遷移間隔 3 2 4 3 において、画素がまず操作により隔離モードにされてから、オーバーライドモードにされる。データは、この期間 3 2 4 4 において、画素へ選択的に書込むが、主な目的は、液晶上で暗状態の駆動を継続して行い、カラークロスカップリングを低減させることにある。間隔 3 2 4 4 が終了し、操作する画素が遷移間隔 3 2 4 5 を経過し、このとき画素電圧オーバーライド回路をオフし、その後、DC バランススイッチが作用する。一旦、DC バランススイッチが作用すると、間隔 3 2 4 6 のデータを書込むことができる。このとき第 1 列の下

10

20

【0105】

変調セグメント 3 2 4 6 は、最下位ビットのバイナリ重み付けを表す。この実施例において、この間隔期間は、直接の変調セクションの最小期間より小さい。そのため、前述の終了ライトポイントを使用する。スクリーン下の約 2 5 % において、TWP データは、列を完全に上書きせずに、ちょうど書込まれたデータの上書きを開始する。これは変調を暗状態の第 2 の間隔 3 2 4 7 へ設定する。一旦、ライトポイントが表示装置の末端に達すると、ポイントがスクリーン下の 2 5 % になるまで、終了ライトポイントの作用によりセグメント 3 2 4 8 のライトポイント上に維持される。セグメント 3 2 4 8 は、約バイナリで重み付けされる。書込み順序 3 2 4 8 の始まりにおいて、シーケンスは依然として完全な TWP 3 2 4 7 へ終了ライトポイントを書込む。この作用は、上述したスクリーンの 2 5 % において終了する。3 2 4 8 を生成するライトポイントがスクリーン下 5 0 % となったときに僅かに早く書かれたデータ列の終了を開始し、暗状態セグメント 3 2 4 9 を起動させるまで、さらなる終了ライトポイントは発生しない。一旦、セグメント 3 2 4 8 の書込みが完了すると、セグメント 3 2 5 0 が表示装置の頂部へ書き始める。3 2 4 7 に必要な終了ライトポイントは、変調セグメント 3 2 5 0 のライトポイントがスクリーン下 5 0 % に達するまで持続して終了 3 2 4 7 する。3 2 5 0 の重み付けは、約 8 ビットである。セグメント 3 2 5 0 の書込みが完了すると、8 ビットの適宜な時間が経過するまで、表示装置のライトは作用せず、即ち、スクリーン頂部セグメント 3 2 5 0 終了されてセグメント 3 2 5 1 が起動され、約 4 ビットで重み付けされる。一旦、3 2 5 1 の書込みが完了すると、次のライトポイントは連続列を暗状態に書込んで、セグメント 3 2 5 2 を生成させる。一旦、全ての列が書込まれると、表示装置は以前のように遷移セグメント 3 2 5 3 に入る。まず、隔離モードに入ってから、オーバーライドモードに入り、その後オーバーライドセグメント 3 2 5 4 が作用する。表示装置が作用する限り、各カラーのデータはこの過程を継続して行う。

30

40

【0106】

図 2 5 B が示す変調方法において、変調セグメント期間の重み付けは、非バイナリ温度計ビットと、約バイナリビットとの混合である。変調方法は、図 2 4 D と異なり、各変調平面が、典型的な従来のデバイスと同様に表示装置において 1 つの走査中で書込まれる。

50

このような変調方法の実現可能性は、主に表示装置を駆動する実効的な帯域幅により決定される。変調フレームセグメント 3 2 6 0 及び 3 2 6 1 は、変調フレームセグメント 3 2 7 0、3 2 7 1、3 2 7 2 の下文の期間の温度計重み付けビットに類似する。変調セグメント 3 2 6 2 及び 3 2 7 2 において、表示装置のストレージ素子は、暗状態に書かれる。これは、ニューマチック液晶内で記憶効果が低下する過程を開始するため、カラークロスカップリングを低減させる。遷移間隔 3 2 6 3 において、画素をまず操作により隔離モードにしてから、オーバーライドモードにする。データは、この期間 3 2 6 4 において、選択的に画素へ書込むが、その主な目的は、液晶上で暗状態の駆動を継続して行い、カラークロスカップリングを低減させることにある。間隔 3 2 6 4 が終了し、操作する画素が遷移間隔 3 2 6 5 を経過するとき、画素電圧オーバーライド回路をオフし、その後、D C バランススイッチが作用する。一旦、D C バランススイッチが作用すると、間隔 3 2 4 6 のデータを書込むことができる。このとき第 1 列の下データを上書きして状態 3 2 6 6 にするが、間隔 3 2 6 4 が上書きされない限り、データが間隔 3 2 4 3 中に構築した状態に留められる。

10

20

30

40

50

【0 1 0 7】

変調セグメント 3 2 6 6 は、最下位ビットのバイナリ重み付けを表す。この実施例において、この間隔期間は、直接の変調セクションの最小期間より小さい。そのため、前述の終了ライトポイントを使用する。スクリーン下の約 2 5 % において、T W P データは、列を完全に上書きせずに、ちょうど書込まれたデータの上書きを開始する。これは発生した変調を暗状態の第 2 の間隔 3 2 6 7 へ設定する。一旦、ライトポイントが表示装置の末端に達すると、ポイントがスクリーン下の 2 5 % になるまで、終了ライトポイントの作用により発生したセグメント 3 2 6 8 のライトポイント上で持続させる。セグメント 3 2 6 8 は、約バイナリで重み付けされる。3 2 6 8 を発生させるライトポイントがスクリーン下 5 0 % になったとき、頂部列の終了を開始し、暗状態セグメント 3 2 6 9 を起動させるまで終了ライトポイントは必要ない。一旦、セグメント 3 2 6 8 の書込みが完了すると、セグメント 3 2 7 0 が表示装置の頂部への書込みを開始する。終了 3 2 6 7 が必要な終了ライトポイントは、3 2 7 0 のライトポイントがスクリーン下 5 0 % に達するまで持続する。セグメント 3 2 7 0、3 2 7 1、3 2 7 2 の重み付けは、約 4 ビットである。セグメント 3 2 7 0 の書込みが完了すると、セグメント 3 2 7 1 のライトポイントが開始する。セグメント 3 2 7 1 の書込みが完了すると、セグメント 3 2 7 2 の書込みを開始する。一旦、セグメント 3 2 7 2 の書込みが完了すると、セグメント 3 2 7 3 の書込みを開始し、列を暗状態に書込む。一旦、全ての列が書込まれると、表示装置は以前のように遷移セグメント 3 2 7 4 に入る。まず、隔離モードに入ってから、オーバーライドモードに入り、その後、オーバーライドセグメント 3 2 7 5 が作用し、過程を再び開始する。

【0 1 0 8】

図 2 6 A、2 6 B、2 6 C は、1 つのカラー内でグレイスケールを発生させるもう一つの手段を表す。カラー間の遷移は、図 2 4 F、2 4 G、2 4 H に示すように操作する。本実施例において、L E D は、図 2 6 C の一つのカラー状態をオンに保つ。図 2 6 A において、データセグメント 3 3 4 1 は、重み付け変調サイクルを表し、画素回路はノーマルモードで操作される。データセグメント 3 3 4 1 の期間は、背面をロードするのに必要な時間より短い略等しい時間である。セグメント 3 3 4 1 の所定時間において、画素電圧オーバーライドスイッチを起動させることにより、各画素回路は、D C バランススイッチを操作して隔離モード 3 3 6 2 に入れてからオーバーライドモード 3 3 6 3 へ入れて遷移セグメント 3 3 4 2 に位置する。このときデータロードセグメント 3 3 4 3 が発生し、全ての画素が上書きされて画素ミラーに印加する電圧は変更されない。データロードセグメント 3 3 4 3 が終了すると、表示装置が遷移セグメント 3 3 4 4 に入り、画素電圧オーバーライド回路がセグメント 3 3 6 4 においてオフしてから、D C バランススイッチがセグメント 3 3 6 5 において作用し、画素成分量の状態に基づき、表示セグメント 3 3 4 5 において、画素ストレージ素子にロードしたデータの状態の所定の電圧を画素へ送る。

【0 1 0 9】

データ表示セグメント 3 3 4 5 が終了すると、表示装置は遷移セグメント 3 3 4 6 に入り、D C バランススイッチが、まず操作により隔離モード 3 3 6 6 となり、その後、画素電圧オーバーライド回路を操作してオーバーライドセグメント 3 3 6 7 にする。オーバーライドセグメント 3 3 6 7 において、発生したデータをセグメント 3 3 4 7 へロードする。データロードデータロードセグメント 3 3 4 7 が完了した後、表示装置は遷移セグメント 3 3 4 8 へ入り、このとき画素電圧オーバーライド回路がオフし、画素が隔離モード 3 3 6 8 に入り、続いて、ノーマルモード 3 3 6 9 で D C バランススイッチの作業を行う。

【 0 1 1 0 】

表示セグメント 3 3 4 9 は、アレイに必要なロード時間より大幅に大きい。変調セグメント 3 3 4 9 が終了する前に、D C バランスオーバーライドスイッチが隔離モード 3 3 7 0 に位置し、データロード 3 3 5 0 が画素アレイのストレージ素子に発生する一方、変調セグメント 3 3 4 9 が表示装置上で作用する。表示セグメント 3 3 4 9 に必要な期間が終了すると、D C バランススイッチが操作によりノーマルモード 3 3 7 1 に戻り、データロード 3 3 5 0 中でロードされたデータが画素ミラーに送られるため、データセグメント 3 3 5 1 の表示が開始される。3 3 5 1 の終了前のデータロード作業の時間が十分あるように、D C バランススイッチがノーマル状態 3 3 7 1 に留まる。このとき D C バランススイッチは隔離モード 3 3 7 2 に入り、画素データロード 3 3 5 2 を発生させる一方、画素は、以前にロードしたデータを表示し続ける。データセグメント 3 3 5 1 の所定期間が終了すると、D C バランススイッチは操作によりノーマル位置になる。

【 0 1 1 1 】

図 2 6 A、2 6 B、2 6 C の変調方法は、バイナリで重み付けされた変調セグメント、非バイナリで重み付けされた変調セグメント、又は前述した実施例の 2 種類混合したものを使用してもよい。

【 0 1 1 2 】

本発明が開示する 1 つの画素の画像データを表示する画素表示素子は、表示素子内の電圧制御手段を含み、画素表示素子の電極へ印加する電極電圧の多重化及び選択を行う。画素素子は、画素ミラーへ印加する電圧と、下地のストレージ素子とを隔離する手段をさらに提供する。画素素子は、1 つの所定電圧をアレイ全体へ送り、表示装置の画素素子を上書きしない画素電圧オーバーライド回路をさらに含む。本発明は、表示制御手段をさらに開示し、制御信号を画素素子へ提供し、所定の 1 組の電圧から 1 つの電圧を共通対向電極平面へ送り、I T O 電圧マルチプレクサへ制御信号を提供し、所定の 1 組の電圧から共通対向電極平面へ電圧を送る。好適な実施例において、電圧制御手段は、多重化手段をさらに含み、複数の入力信号を受け取り、電極電圧の多重化及び選択により、表示素子の電極及び共通対向電極平面へ印加される。もう一つの好適な実施例において、I T O 電圧マルチプレクサ手段は、一連の入力信号から信号を受け取り、1 組の所定電圧を多重化して選択した 1 つの電圧を共通対向電極平面へ印加させる。他の好適な実施例において、表示システムは、表示するデータのバッファリングを行うデータバッファリング手段をさらに含むとともに、直前に表示したデータを表示し続ける。他の好適な実施例では、画像表示システムは、電圧制御手段へ入力するデータビットを記憶するストレージ素子をさらに含む。他の好適な実施例において、画素素子は、全面的に決定した電圧を画素ミラーへ送る手段を含み、画素記憶素子上に記憶したデータを上書きしない。他の好適な実施例において、電圧制御手段は、C M O S を基礎とする論理デバイスである。他の好適な実施例において、電圧制御手段は高又は低電圧のバイナリ信号を電極へ入力する。他の好適な実施例において、ストレージ素子は、2 つの相補状態のうちの 1 つを電圧制御手段へ送る手段を含む。他の好適な実施例において、ストレージ素子は、C M O S を基礎とする記憶デバイスをさらに含む。他の好適な実施例において、ストレージ素子はストレージ素子を含み、スタティック型 R A M (S R A M) をさらに含む。

【 0 1 1 3 】

本発明を好適な実施例により説明するが、これらの開示は何ら制約を与えるものではない。当業者が上の文を読んだ後、各種の変更及び修飾は明白である。そのため、特許請求

10

20

30

40

50

の範囲は、発明の実質上の精神と範囲内で、変更や修飾を加えることができる。

【符号の説明】

【 0 1 1 4 】

2 0	フィールドシーケンシャルカラープロジェクションシステム	
2 3	画像データソース	
2 4	表示コントローラシステム	
3 0	カラー組合プリズム (x - c u b e)	
3 1	偏光ビーム	
3 2	ビーム	
3 6	反射液晶マイクロ表示装置	10
3 8	反射液晶マイクロ表示装置	
4 0	偏光ビームスプリッタ (P B S)	
4 1	赤色 L E D	
4 2	緑色 L E D	
4 3	青色 L E D	
4 4	投影光学系	
5 0	集光レンズ	
7 0	シーケンシャル制御回路	
1 0 0	表示装置	
1 0 5	画素セル	20
1 1 0	ストレージ素子	
1 1 2	相補データ入力端子	
1 1 4	相補データ入力端子	
1 1 6	データ出力端子	
1 1 8	制御端子	
1 2 0	1 対のビット線 (B _{POS})	
1 2 2	1 対のビット線 (B _{NEG})	
1 3 0	液晶層 / 液晶材料	
1 4 0	透明共通電極	
1 4 2	共通電極端子	30
1 5 0	画素電極	
1 6 0	入射偏光ビーム	
1 6 2	ビーム	
3 1 0	遅延素子	
5 1 0	p チャネル C M O S トランジスタ	
5 1 2	ソース端子	
6 0 2	パストランジスタ	
6 0 4	パストランジスタ	
6 0 6	トランジスタ	
6 0 8	トランジスタ	40
7 1 0	遅延素子	
7 2 0	A N D ゲート	
7 3 0	O R ゲート	
7 5 0	遅延素子	
7 9 0	遅延素子	
8 2 0	インバータ	
1 1 2 0	データ線 (B _{POS})	
1 1 2 2	データ線 (B _{NEG})	
1 2 0 0	電圧コントローラ	
1 2 0 5	画素セル	50

1 2 1 0	画素セル	
1 2 1 2	画素ミラー	
1 2 2 0	電圧コントローラ	
1 2 2 2	バス	
1 2 3 0	記憶ユニット	
1 2 3 2	バス	
1 2 3 4	バス	
1 2 3 5	I T O 電圧マルチプレクサユニット	
1 2 3 6	電圧供給端子	
1 2 3 7	電圧供給端子	10
1 2 4 0	処理ユニット	
1 2 5 0	透明共通電極	
1 2 7 0	電圧供給端子 (V_{ITO})	
1 2 7 2	第 1 の電圧供給端子 (V)	
1 2 7 4	第 2 の電圧供給端子 (V)	
1 2 7 6	第 3 の電圧供給端子 (V_{SWA_L})	
1 2 7 8	第 4 の電圧供給端子 (V_{SWA_H})	
1 2 8 0	第 5 の電圧供給端子 (V_{SWB_L})	
1 2 8 2	第 6 の電圧供給端子 (V_{SWA_H})	
1 2 9 0	電圧供給源 V_{DD}	20
1 2 9 2	電圧供給源 V_{SS}	
1 2 9 4	電圧 (論理) 供給源 V_{OVR_L}	
1 2 9 6	電圧 (論理) 供給源 V_{OVR_H}	
1 3 0 0	ストレージ素子	
1 3 0 2	相補入力端子	
1 3 0 4	相補入力端子	
1 3 0 6	相補イネーブル端子	
1 3 0 7	相補イネーブル端子	
1 3 0 8	相補データ出力端子 (S_{POS})	
1 3 0 9	出力端子 S_{POS}	30
1 3 1 0	相補データ出力端子 S_{NEG}	
1 3 2 0	D C バランス制御スイッチ	
1 3 2 2	出力端子	
1 3 2 4	1 対の相補データ入力端子	
1 3 2 6	1 対の相補データ入力端子	
1 3 2 8	第 1 の電圧供給端子	
1 3 3 0	第 2 の電圧供給端子	
1 3 3 2	第 3 の電圧供給端子	
1 3 3 4	第 4 の電圧供給端子	
1 3 4 0	インバータ	40
1 3 4 2	第 1 の電圧供給端子 (V)	
1 3 4 4	第 2 の電圧供給端子 (V)	
1 3 4 6	画素電圧出力端子 (V_{PIX})	
1 3 4 8	入力電圧供給端子	
1 3 6 0	画素電圧オーバーライド素子	
1 3 6 2	第 1 の電圧供給端子	
1 3 6 4	第 2 の電圧供給端子	
1 3 6 6	第 3 の電圧供給端子	
1 3 6 8	第 4 の電圧供給端子	
1 3 7 0	データ入力端子	50

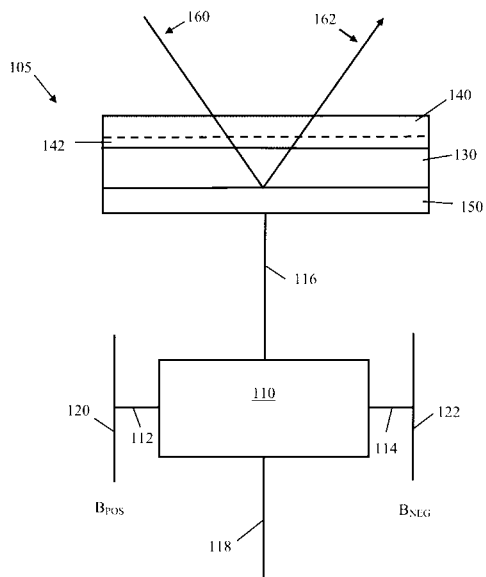
1 3 7 2	電圧（論理）出力端子	
1 3 8 0	第 1 の p チャネル M O S F E T トランジスタ	
1 3 8 1	ゲート	
1 3 8 2	ソース端子	
1 3 8 3	ドレイン	
1 3 8 5	第 1 の n チャネル M O S F E T トランジスタ	
1 3 8 6	ゲート	
1 3 8 7	ソース端子	
1 3 8 8	ドレイン	
1 4 1 0	第 1 の p チャネル C M O S トランジスタ	10
1 4 1 1	ゲート	
1 4 1 2	ソース端子	
1 4 1 5	第 1 の n チャネル トランジスタ	
1 4 1 6	ドレイン端子	
1 4 2 0	第 2 の p チャネル C M O S トランジスタ	
1 4 2 1	ゲート	
1 4 2 2	ソース端子	
1 4 2 4	ゲート	
1 4 2 5	第 2 の n チャネル トランジスタ	
1 4 2 6	ドレイン端子	20
1 5 1 0	p チャネル C M O S トランジスタ	
1 5 1 2	ソース端子	
1 5 1 4	ゲート端子	
1 5 1 6	ドレイン端子	
1 5 2 0	n チャネル トランジスタ	
1 5 2 2	ソース端子	
1 5 2 4	ゲート端子	
1 5 2 6	ドレイン端子	
1 6 0 0	I T O 電圧コントローラ	
1 6 0 2	トランジスタ	30
1 6 0 4	トランジスタ	
1 6 0 6	トランジスタ	
1 6 0 8	トランジスタ	
1 6 1 0	トランジスタ	
1 6 1 2	トランジスタ	
1 6 3 5	I T O 電圧マルチプレクサユニット	
2 1 2 0	データ線（ B _{POS} ）	
2 1 2 2	データ線（ B _{NEG} ）	
2 2 0 0	表示システム	
2 2 0 5	画素セル	40
2 2 1 2	画素ミラー	
2 2 2 0	電圧コントローラ	
2 2 2 2	バス	
2 2 3 0	記憶ユニット	
2 2 3 2	バス	
2 2 3 4	バス	
2 2 3 5	I T O 電圧マルチプレクサユニット	
2 2 3 6	電圧供給端子	
2 2 3 7	電圧供給端子	
2 2 4 0	処理ユニット	50

2 2 5 0	透明共通電極	
2 2 7 2	第 1 の電圧供給端子 (V)	
2 2 7 4	第 2 の電圧供給端子 (V)	
2 2 7 7	第 3 の (論理) 電圧供給端子 (V _{SW_H})	
2 2 7 9	第 4 の (論理) 電圧供給端子 (V _{SW_L})	
2 2 8 0	p チャネル MOS F E T	
2 2 9 0	電圧供給源 V D D	
2 2 9 2	電圧供給源 V S S	
2 2 9 4	第 5 の (論理) 電圧供給端子 (V _{OVR_L})	
2 2 9 6	第 6 の (論理) 電圧供給端子 (V _{OVR_H})	10
2 3 0 0	ストレージ素子	
2 3 0 2	相補入力端子	
2 3 0 4	相補入力端子	
2 3 0 6	相補イネーブル端子	
2 3 0 7	相補イネーブル端子	
2 3 0 8	相補データ出力端子 (S _{POS})	
2 3 0 9	相補データ出力端子 (S _{POS})	
2 3 1 0	相補データ出力端子 (S _{NEG})	
2 3 2 0	D C バランス制御スイッチ	
2 3 2 2	データ出力端子	20
2 3 2 4	相補データ入力端子	
2 3 2 6	相補データ入力端子	
2 3 2 8	第 1 の電圧供給端子	
2 3 3 0	第 2 の電圧供給端子	
2 3 4 0	インバータ	
2 3 4 2	第 1 の電圧供給端子	
2 3 4 4	第 2 の電圧供給端子	
2 3 4 6	画素電圧出力端子 (V _{PIX})	
2 3 4 8	入力電圧供給端子	
2 3 6 0	画素電圧オーバーライド回路	30
2 3 6 2	第 1 の電圧供給端子	
2 3 6 4	第 2 の電圧供給端子	
2 3 6 6	第 3 の電圧供給端子	
2 3 6 8	第 4 の電圧供給端子	
2 3 7 0	データ入力端子	
2 3 7 2	電圧 (論理) 出力端子	
2 3 8 0	第 1 の p チャネル MOS F E T トランジスタ	
2 3 8 1	ゲート	
2 3 8 2	ソース端子	
2 3 8 3	ドレイン	40
2 3 8 5	第 1 の n チャネル MOS F E T トランジスタ	
2 3 8 6	ゲート	
2 3 8 7	ソース端子	
2 3 8 8	ドレイン	
2 4 1 0	第 1 の p チャネル C M O S トランジスタ	
2 4 1 2	ソース端子	
2 4 1 4	ゲート端子	
2 4 1 6	ドレイン端子	
2 4 2 0	第 2 の p チャネル C M O S トランジスタ	
2 4 2 2	ソース端子	50

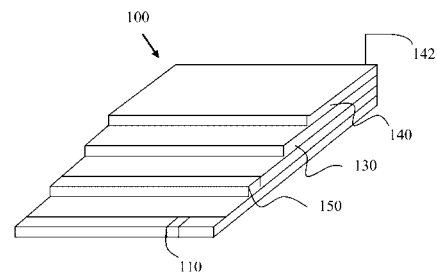
2 4 2 4	ゲート端子	
2 4 2 6	ドレイン端子	
2 5 1 0	Pチャネルトランジスタ	
2 5 1 4	ゲート端子	
2 5 1 6	ドレイン端子	
2 5 2 0	nチャネルトランジスタ	
2 5 2 2	ソース端子	
2 5 2 4	ゲート端子	
2 5 2 6	ドレイン端子	
2 6 0 2	トランジスタ	10
2 6 0 4	トランジスタ	
2 6 0 6	トランジスタ	
2 6 0 8	トランジスタ	
2 6 1 0	トランジスタ	
2 6 1 2	トランジスタ	
2 6 3 5	I T O 電圧マルチプレクサ	
2 6 8 0	D C バランスシーケンシャルコントローラ	
3 0 4 1	第 1 の変調フレーム	
3 0 4 3	データロードフレーム	
3 0 4 5	変調フレーム	20
3 0 4 7	データロードフレーム	
3 0 4 9	変調フレーム	
3 0 5 1	データロードフレーム	
3 0 6 7	フレーム	
3 0 7 1	データセグメント	
3 1 1 3	変調素子	
3 1 1 4	変調素子	
3 1 1 6	ライトポインタ	
3 1 2 1	変調素子	
3 1 2 2	変調素子	30
3 1 2 3	変調素子	
3 1 2 4	変調素子	
3 1 2 5	変調素子	
3 1 4 1	変調フレーム	
3 1 4 3	データロードフレーム	
3 2 4 0	変調セグメント	
3 2 4 1	変調セグメント	
3 2 4 2	変調セグメント	
3 2 4 6	変調セグメント	
3 2 4 8	変調セグメント	40
3 2 4 9	暗状態セグメント	
3 2 5 0	変調セグメント	
3 2 5 1	変調セグメント	
3 2 5 2	変調セグメント	
3 2 6 0	変調セグメント	
3 2 6 1	変調セグメント	
3 2 6 2	変調セグメント	
3 2 6 6	変調セグメント	
3 2 6 9	暗状態セグメント	
3 2 7 0	変調セグメント	50

- 3 2 7 1 変調セグメント
- 3 2 7 2 変調セグメント
- 3 3 4 1 データセグメント
- 3 3 4 3 データロードセグメント
- 3 3 4 5 データ表示セグメント
- 3 3 4 7 データロードセグメント
- 3 3 4 9 変調セグメント
- 3 3 5 1 データセグメント

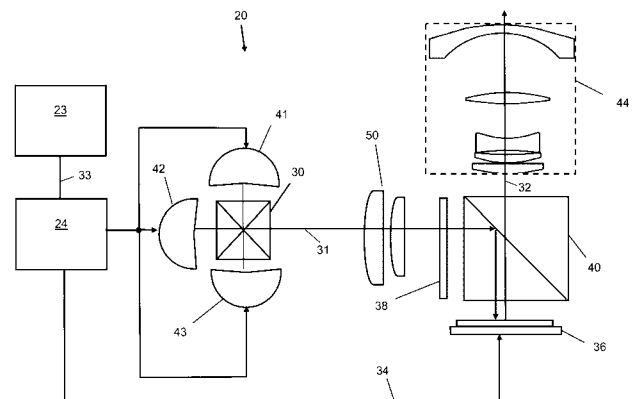
【図 1】



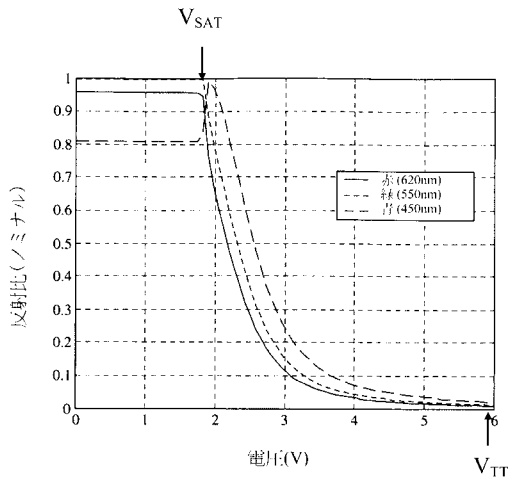
【図 2】



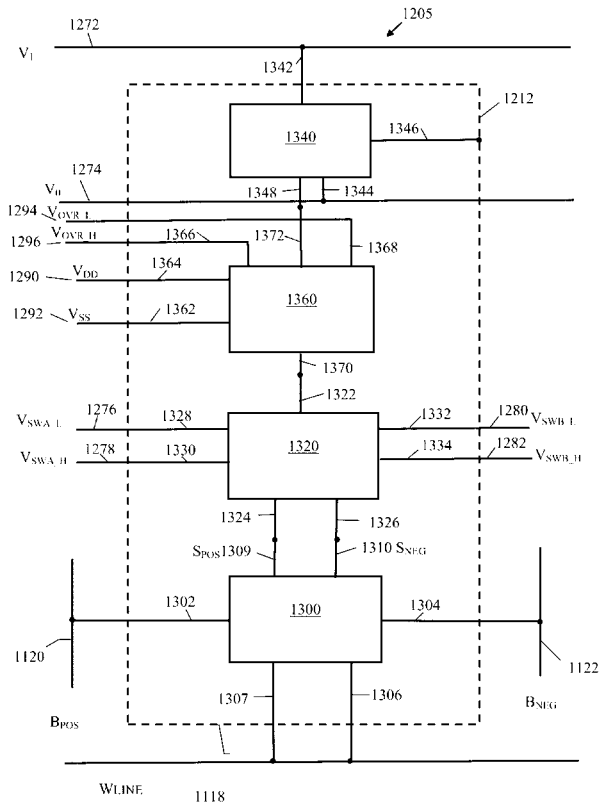
【図 3】



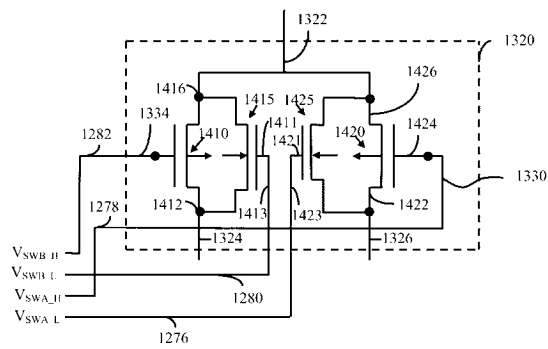
【図 4】



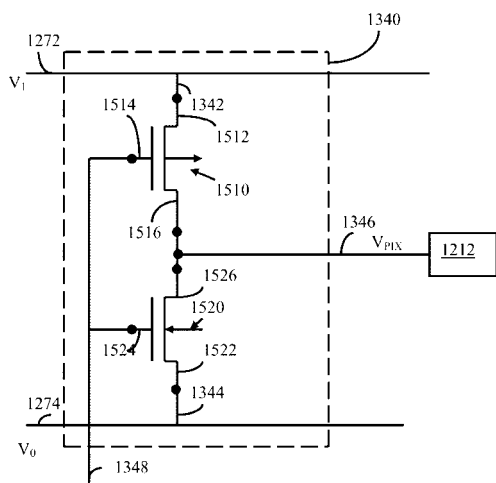
【図 5】



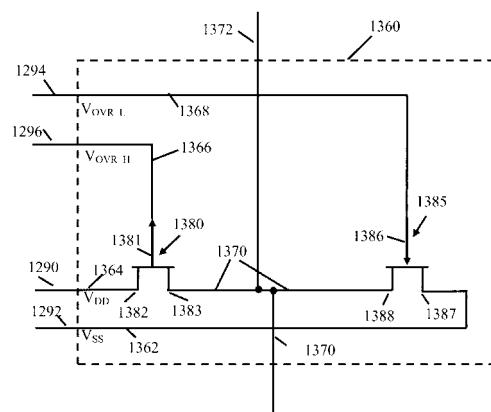
【図 6】



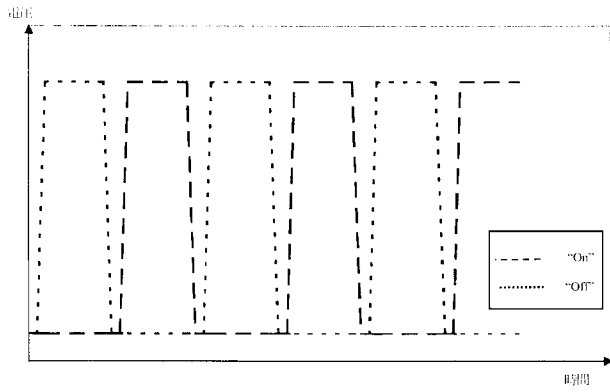
【図 7】



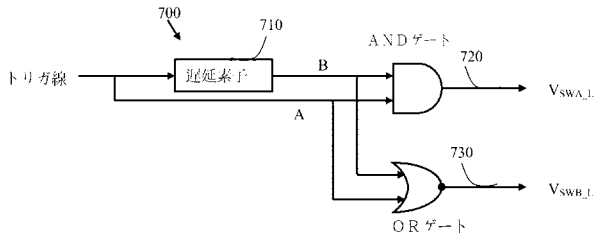
【図 8】



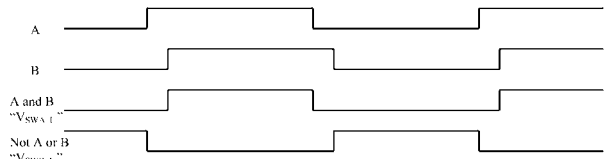
【図 1 3 A】



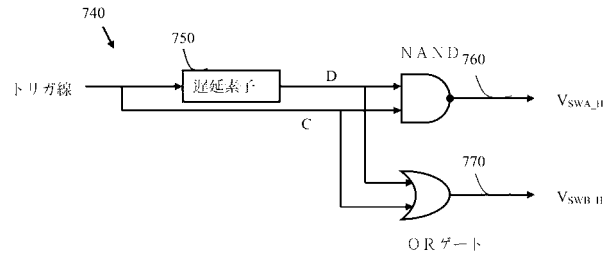
【図 1 3 B】



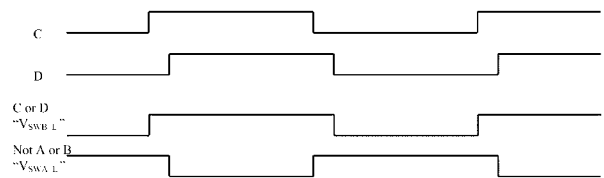
【図 1 3 C】



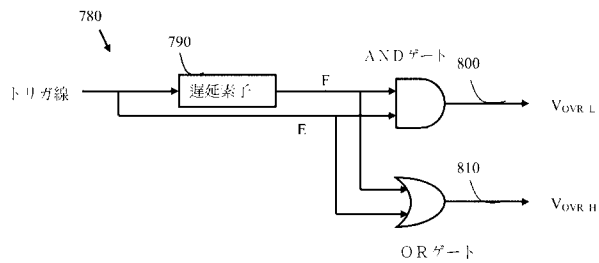
【図 1 3 D】



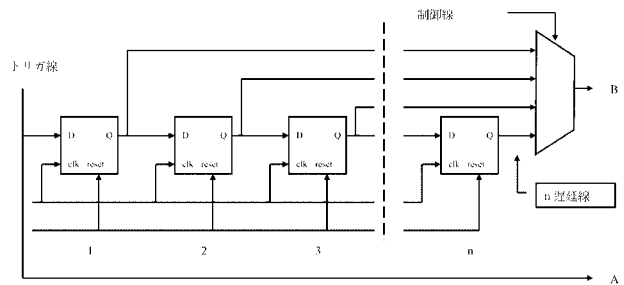
【図 1 3 E】



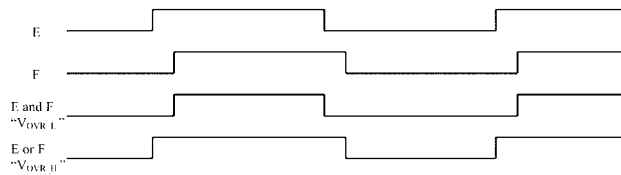
【図 1 3 F】



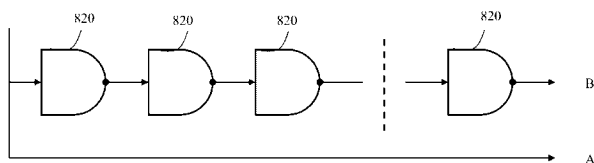
【図 1 3 I】



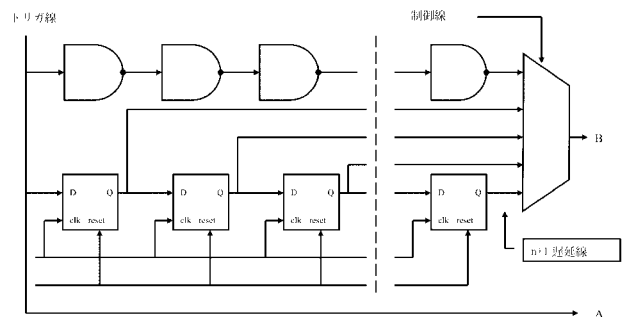
【図 1 3 G】



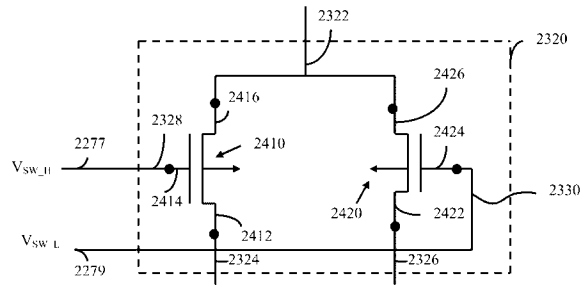
【図 1 3 H】



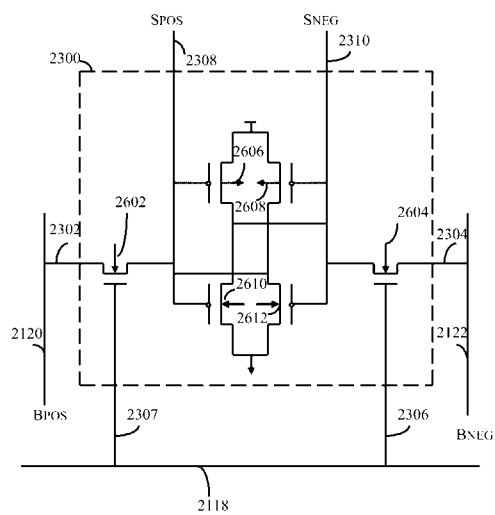
【図 1 3 J】



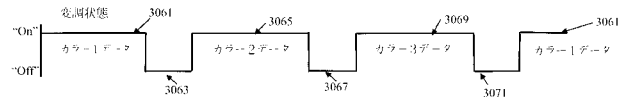
【 図 1 5 】



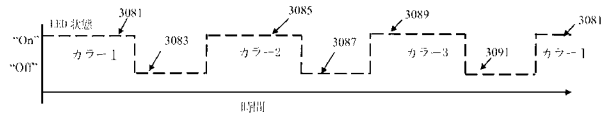
【 ㄨ 1 8 】



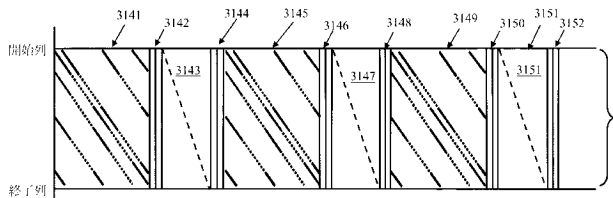
【図 2 3 B】



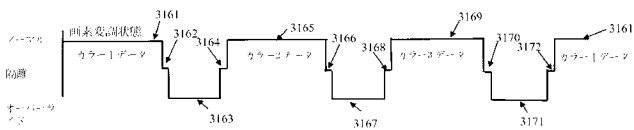
【図 2 3 C】



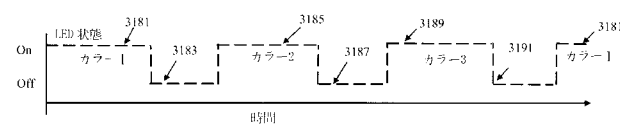
【図 2 4 A】



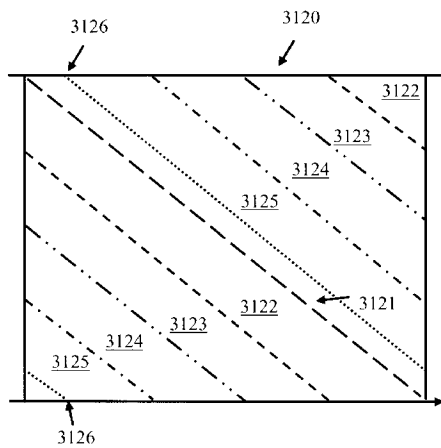
【図 2 4 B】



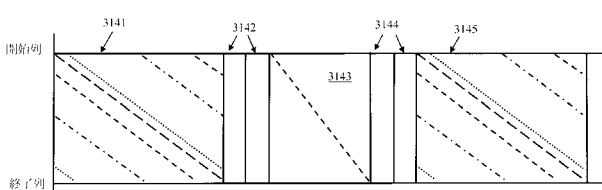
【図 2 4 C】



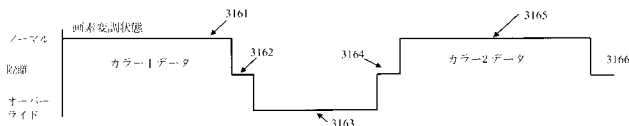
【図 2 4 E】



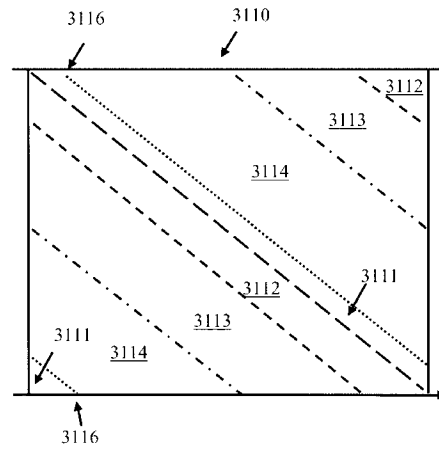
【図 2 4 F】



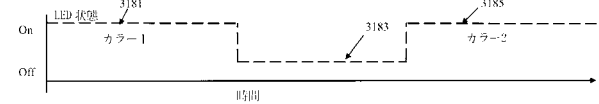
【図 2 4 G】



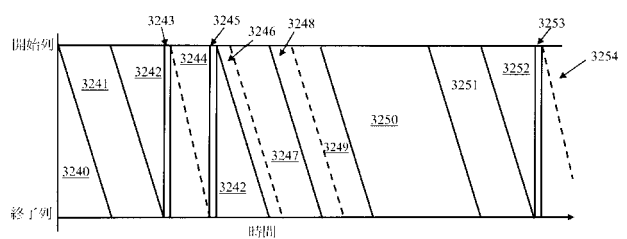
【図 2 4 D】



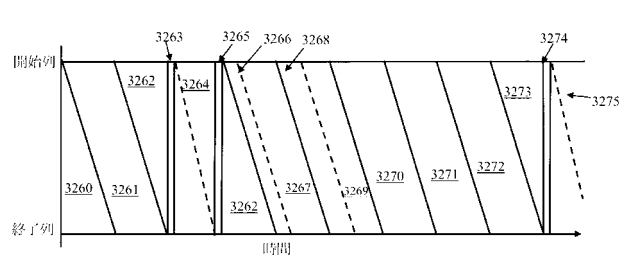
【図 2 4 H】



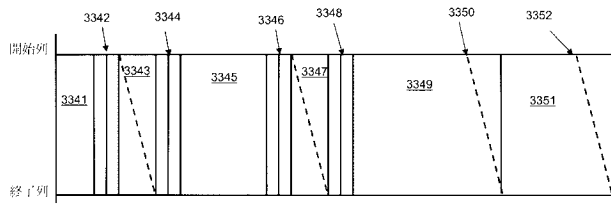
【図 2 5 A】



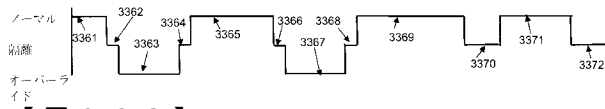
【図 2 5 B】



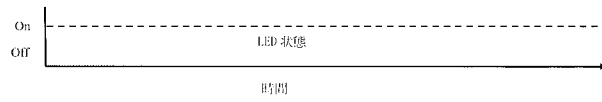
【図 26 A】



【図 26 B】



【図 26 C】



【 国际調查報告 】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/001664

A. CLASSIFICATION OF SUBJECT MATTER

SEE EXTRA SHEET

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI; EPDOC; CPRS

LCOS, OVERRID+ SWITCH+, MULTIPLEX+, (SECOND W MODE), MODES, ANOTHER W MODE, INVERTER, PIXEL W ELECTRODE, PIXEL, PIXELS

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO2005104071A1 (ELCOS MICRODISPLAY TECHNOLOGY INC) 03 Nov.2005 (03.11.2005) line 30 page 13- line 30 page 15 of the description, figures1-3	1-25
A	JP2009075301A (SEIKO EPSON CORP) 09 Apr. 2009 (09.04.2009) the whole document	1-25
A	US5926158A (SHARP KK) 20 Jul.1999 (20.07.1999) the whole document	1-25
A	US2010001937A1 (YEN C) 07 Jan. 2010 (07.01.2010) the whole document	1-25
A	CN101630491A (HIMAX DISPLAY INC) 20 Jan. 2010 (20.01.2010) the whole document	1-25

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
02 Dec. 2011 (02.12.2011)Date of mailing of the international search report
15 Dec. 2011 (15.12.2011)Name and mailing address of the ISA/CN
The State Intellectual Property Office, the P.R.China
6 Xitucheng Rd., Jimen Bridge, Haidian District, Beijing, China
100088
Facsimile No. 86-10-62019451

Authorized officer

KE,Jingjie

Telephone No. (86-10)62085824

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2011/001664

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
WO2005104071A1	03.11.2005	US2004125094A1	01.07.2004
		AU2003299978A1	09.11.2005
		US7443374B2	28.10.2008
		US2004125090A	01.07.2004
		US7468717B	23.12.2008
		US2004174328A	09.09.2004
		US7088329B	08.08.2006
		US2008088613A	17.04.2008
JP2009075301A	09.04.2009	US2009079684A1	26.03.2009
		JP2009075300A	09.04.2009
US5926158A	20.07.1999	EP0631271A1	28.12.1994
		US5581273A	03.12.1996
		EP0631271B1	25.11.1998
		DE69414762E	07.01.1999
		KR0156019B1	16.11.1998
		JP3102666B2	23.10.2000
US2010001937A1	07.01.2010	US2010001934A	07.01.2010
CN101630491A	20.01.2010	NONE	

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/001664

CLASSIFICATION OF SUBJECT MATTER

G09G3/36 (2006.01) i

G09G3/20 (2006.01) i

フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 2 1 K
	G 0 9 G 3/20	6 2 1 B
	G 0 9 G 3/20	6 6 0 U
	G 0 9 G 3/20	6 8 0 H
	G 0 2 F 1/133	5 1 0
	G 0 2 F 1/133	5 3 5
	G 0 2 F 1/133	5 7 5
	G 0 2 F 1/1368	

(81) 指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN

(72) 発明者 キャンベル、ジョン、グレイ

アメリカ合衆国、 9 4 0 7 0、カリフォルニア州、サンカルロス、エルム ストリート 1 0 2 8

(72) 発明者 オング、ウォーレン、ロバート

アメリカ合衆国、カリフォルニア州、メンロ パーク

F ターム(参考) 2H192 AA24 BC72 CB23 CB24 FB02 FB13 GD61 JB02
 2H193 ZA03 ZA20 ZB07 ZC39 ZD01 ZD25 ZG14 ZG27 ZG34 ZQ06
 ZR03
 5C006 AA14 AA22 AC21 AC25 AF44 BB16 BB28 BC06 BF04 BF15
 BF24 BF26 BF27 BF33 EA01 EC11 FA12 FA26 FA54
 5C080 AA10 BB06 CC03 EE29 EE30 FF11 JJ02 JJ03 JJ04 JJ05
 JJ06

专利名称(译)	改进的像素电路和包括该电路的显示系统		
公开(公告)号	JP2013546008A	公开(公告)日	2013-12-26
申请号	JP2013532028	申请日	2011-09-30
[标]申请(专利权)人(译)	碧玉显示公司		
申请(专利权)人(译)	碧玉显示公司		
发明人	ハドソン、エドウィン、ライル キャンベル、ジョン、グレイ オング、ウォーレン、ロバート		
IPC分类号	G09G3/36 G09G3/34 G09G3/20 G02F1/133 G02F1/1368		
CPC分类号	G09G3/3648 G09G2300/0857 G09G2320/0209 G09G2320/0247 G09G2320/0261 G09G2330/026		
FI分类号	G09G3/36 G09G3/34.J G09G3/20.624.B G09G3/20.624.C G09G3/20.612.R G09G3/20.621.K G09G3/20.621.B G09G3/20.660.U G09G3/20.680.H G02F1/133.510 G02F1/133.535 G02F1/133.575 G02F1/1368		
F-TERM分类号	2H192/AA24 2H192/BC72 2H192/CB23 2H192/CB24 2H192/FB02 2H192/FB13 2H192/GD61 2H192/JB02 2H193/ZA03 2H193/ZA20 2H193/ZB07 2H193/ZC39 2H193/ZD01 2H193/ZD25 2H193/ZG14 2H193/ZG27 2H193/ZG34 2H193/ZQ06 2H193/ZR03 5C006/AA14 5C006/AA22 5C006/AC21 5C006/AC25 5C006/AF44 5C006/BB16 5C006/BB28 5C006/BC06 5C006/BF04 5C006/BF15 5C006/BF24 5C006/BF26 5C006/BF27 5C006/BF33 5C006/EA01 5C006/EC11 5C006/FA12 5C006/FA26 5C006/FA54 5C080/AA10 5C080/BB06 5C080/CC03 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06		
优先权	61/390750 2010-10-07 US		
外部链接	Espacenet		

摘要(译)

本发明公开的显示系统包括显示控制器，显示单元和光源。显示控制器包括处理器单元，存储设备，电压源和可选光源控制单元。显示单元包括阵列和用于接收显示装置的逻辑和控制电压，数据和操作像素单元的电路，透射对电极以及位于两个排列之间的液晶层。像素单元包括存储元件，DC平衡控制开关，像素电压超驰电路在两个电压之间选择的反相器，以及像素电极/反射镜。在不同的工作模式下，像素镜电压由存储元件或像素电压超控电路确定。显示系统在一个周期内显示图像，并在另一个周期内重置为固定状态。[选择图]图6

