

(19) 日本国特許庁 (JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-174876

(P2013-174876A)

(43) 公開日 平成25年9月5日 (2013. 9. 5)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	5C006
G09G 3/20 (2006.01)	G09G 3/20 622A	5C080
H03K 17/687 (2006.01)	G09G 3/20 621A	5J055
H03K 17/06 (2006.01)	G09G 3/20 622D	
	G09G 3/20 622E	
審査請求 有 請求項の数 20 O L (全 33 頁) 最終頁に続く		

(21) 出願番号 特願2013-12002 (P2013-12002)
 (22) 出願日 平成25年1月25日 (2013. 1. 25)
 (31) 優先権主張番号 13/403, 434
 (32) 優先日 平成24年2月23日 (2012. 2. 23)
 (33) 優先権主張国 米国 (US)

(71) 出願人 501358079
 友達光電▲ふん▼有限公司
 AU Optonics Corporation
 台湾新竹科学工業園區新竹市力行二路一号
 No. 1, Lt-Hsin Rd, II,
 Science-Based Industrial Park, Hsinchu,
 Taiwan, R. O. C.
 (74) 代理人 110000383
 特許業務法人 エビス国際特許事務所
 (72) 発明者 曾 建彰
 台湾新竹市科学工業園區力行二路1号 友
 達光電▲ふん▼有限公司内

最終頁に続く

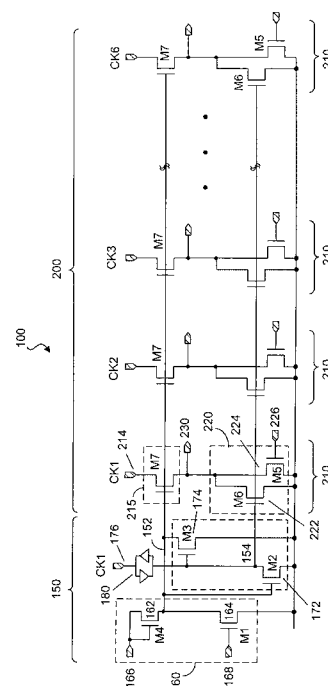
(54) 【発明の名称】 液晶ディスプレイに用いられるゲートドライバ、電子回路及び方法

(57) 【要約】

【課題】本発明は、表示パネルを駆動するためのゲートドライバ、電子回路及び方法を提供する。

【解決手段】液晶パネルを駆動するためのゲートドライバであって、複数のグループ及び複数のドライバステージが配置された複数のゲートドライバ回路を含む。各ゲートドライバ回路は、メインドライバと出力領域とを有する。メインドライバは、2つまたは複数の出力回路を有する出力領域に充電信号を提供する。各出力回路は、充電信号及びクロック信号に応じてゲートドライバ信号を提供する。のゲートドライバ回路は、従来の回路と比べ、より数少ないスイッチ素子、例えば薄膜トランジスタを使用している。ゲートドライバは、液晶表示パネルに統合されて表示領域の周りの周辺領域に配置されている場合には、周辺領域を減少させるために、ゲートドライバにおけるスイッチ素子の数を減らすか、または最小化する必要がある。

【選択図】 図16



【特許請求の範囲】

【請求項 1】

電子回路であって、

トリガーパルスに応じて充電信号を提供するメインドライバと、

前記充電信号を受信するように構成された複数の出力回路を含む出力領域と、

を含み、

前記複数の出力回路のそれぞれは、前記充電信号及び異なるクロック信号に応じて出力信号を提供し、前記複数の出力回路のそれぞれは、第 1 の出力回路と第 2 の出力回路とを含み、

前記第 1 の出力回路が提供する前記出力信号は、前記充電信号及び第 1 のクロック信号に応じる信号であり、

前記第 2 の出力回路が提供する前記出力信号は、前記充電信号及び前記第 1 のクロック信号に後続する第 2 のクロック信号に応じる信号であり、

前記メインドライバは、

前記トリガーパルスを受信するように構成された制御端子と、前記充電信号を提供するように構成された出力端子とを有し、前記トリガーパルスに応じて導通状態になる第 1 のスイッチ素子と、

前記第 1 のスイッチ素子の前記出力端子に電氣的に接続される第 1 の端子と、電圧源に接続される第 2 の端子と、前記充電信号のリセットに用いる、前記トリガーパルスに後続する第 2 のパルスを受信するように構成された制御端子とを有し、前記第 2 のパルスに応じて導通状態になることにより、前記第 1 のスイッチ素子の前記出力端子を前記電圧源に電氣的に接続させる第 2 のスイッチ素子と、

前記第 1 のクロック信号を受信するように構成された第 1 の端子と、前記電圧源に接続される第 2 の端子と、前記第 1 のスイッチ素子の前記出力端子に接続される制御端子とを有し、前記充電信号に応じて導通状態になる第 3 のスイッチ素子と、

前記第 1 のスイッチ素子の前記出力端子に接続される第 1 の端子と、前記電圧源に接続される第 2 の端子と、前記第 1 のクロック信号を受信するように構成された制御端子とを有する第 4 のスイッチ素子とを含むことを特徴とする電子回路。

【請求項 2】

前記複数の出力回路のそれぞれは、入力端子、出力端子及び制御端子を有する第 1 のスイッチ回路を含み、前記第 1 のスイッチ回路は、前記制御端子が受信した前記充電信号に応じて導通状態になり、前記第 1 のスイッチ回路が導通状態になった場合には、前記入力端子は前記異なるクロック信号を受信するように構成され、前記第 1 のスイッチ回路の前記出力端子は前記出力信号を提供するように構成されることを特徴とする請求項 1 に記載の電子回路。

【請求項 3】

前記メインドライバは、さらに前記第 2 のパルスに応じてリセット信号を提供し、前記複数の出力回路のそれぞれは、第 1 の端子と第 2 の端子と制御端子とを有する第 2 のスイッチ回路をさらに含み、

前記第 2 のスイッチ回路の前記第 1 の端子は、前記第 1 のスイッチ回路の前記出力端子に電氣的に接続され、

前記第 2 のスイッチ回路の前記第 2 の端子は、前記電圧源に接続され、

前記第 2 のスイッチ回路は、前記第 2 のスイッチ回路の前記制御端子が受信した前記リセット信号に応じて、導通状態になることにより、前記第 1 のスイッチ回路の前記出力端子を前記電圧源に接続させることを特徴とする請求項 2 に記載の電子回路。

【請求項 4】

前記複数の出力回路のそれぞれは、第 1 の端子と第 2 の端子と制御端子とを有する第 3 のスイッチ回路をさらに含み、

前記第 3 のスイッチ回路の前記第 1 の端子は、前記第 1 のスイッチ回路の前記出力端子に電氣的に接続され、

前記第 3 のスイッチ回路の前記第 2 の端子は、前記電圧源に接続され、

前記第 3 のスイッチ素子は、前記第 3 のスイッチ回路の前記制御端子が受信した入力信号に応じて、導通状態になり、前記入力信号が前記異なるクロック信号と互いに相補していることを特徴とする請求項 3 に記載の電子回路。

【請求項 5】

前記第 1 のクロック信号が前記第 2 のクロック信号と時間的に一部重なっていることを特徴とする請求項 1 に記載の電子回路。

【請求項 6】

ゲートドライバであって、

複数のゲートドライバステージを含み、

前記複数のゲートドライバステージのそれぞれは、

トリガーパルスに応じて充電信号を提供するメインドライバと、

前記充電信号及び異なるクロック信号を受信するように構成された複数の出力回路を含む出力領域と、を含み、

前記複数の出力回路のそれぞれは、少なくとも第 1 の出力回路と第 2 の出力回路とを含み、前記第 1 の出力回路は、前記充電信号及び第 1 のクロック信号に応じて第 1 の出力信号を提供するように構成され、前記第 2 の出力回路は、前記充電信号及び前記第 1 のクロック信号に後続する第 2 のクロック信号に応じて第 2 の出力信号を提供するように構成され、前記第 1 のクロック信号は、前記第 2 のクロック信号と時間的に一部重なっていることを特徴とするゲートドライバ。

【請求項 7】

前記複数の出力回路のそれぞれは、入力端子と出力端子とを有するスイッチ素子を含み、前記スイッチ素子は、前記充電信号に応じて導通状態になった場合に、前記入力端子が前記異なるクロック信号を受信し、前記出力端子が出力信号を提供することを特徴とする請求項 6 に記載のゲートドライバ。

【請求項 8】

前記複数の出力回路のそれぞれは、放電ユニットをさらに含み、該放電ユニットは、前記スイッチ素子の前記出力端子に電氣的に接続され、前記クロック信号と相補的な入力信号を受信することにより、前記出力信号をリセットするように構成されていることを特徴とする請求項 7 に記載のゲートドライバ。

【請求項 9】

前記メインドライバは、さらに前記充電信号のリセットに用いる、前記トリガーパルスに後続する第 2 のパルスを受信することを特徴とする請求項 6 に記載のゲートドライバ。

【請求項 10】

前記第 1 の出力回路が提供する前記第 1 の出力信号は、前記充電信号及び前記第 1 のクロック信号に応じる信号であり、

前記第 2 の出力回路が提供する前記第 2 の出力信号は、前記充電信号及び前記第 1 のクロック信号に後続する前記第 2 のクロック信号に応じる信号であり、

前記メインドライバは、

前記トリガーパルスを受信するように構成された制御端子と、前記充電信号を提供するように構成された出力端子とを有し、前記トリガーパルスに応じて導通状態になる第 1 のスイッチ素子と、

前記第 1 のスイッチ素子の前記出力端子に電氣的に接続される第 1 の端子と、電圧源に接続される第 2 の端子と、前記充電信号のリセットに用いる、前記トリガーパルスに後続する第 2 のパルスを受信するように構成された制御端子とを有し、前記第 2 のパルスに応じて導通状態になることにより、前記第 1 のスイッチ素子の前記出力端子を前記電圧源に電氣的に接続させる第 2 のスイッチ素子と、

前記第 1 のクロック信号を受信するように構成された第 1 の端子と、前記電圧源に接続される第 2 の端子と、前記第 1 のスイッチ素子の前記出力端子に接続される制御端子とを有し、前記充電信号に応じて導通状態になる第 3 のスイッチ素子と、

前記第 1 のスイッチ素子の前記出力端子に接続される第 1 の端子と、前記電圧源に接続される第 2 の端子と、前記第 1 のクロック信号を受信するように構成された制御端子とを有する第 4 のスイッチ素子とを含むことを特徴とする請求項 6 に記載のゲートドライバ。

【請求項 11】

前記メインドライバは、さらに前記第 2 のパルスに応じてリセット信号を提供し、前記複数の出力回路のそれぞれは、第 1 のスイッチ回路と、第 2 のスイッチ回路と、第 3 のスイッチ回路とを含み、

前記第 1 のスイッチ回路は、入力端子、出力端子及び制御端子を含み、前記第 1 のスイッチ回路は、前記制御端子が受信した前記充電信号に応じて導通状態になり、前記第 1 のスイッチ回路が導通状態になった場合には、前記入力端子は前記異なるクロック信号を受信するように構成され、前記第 1 のスイッチ回路の前記出力端子は前記出力信号を提供するように構成されており、

前記第 2 のスイッチ回路は、第 1 の端子と、第 2 の端子と、制御端子とを含み、

前記第 2 のスイッチ回路の前記第 1 の端子は、前記第 1 のスイッチ回路の前記出力端子に電氣的に接続され、

前記第 2 のスイッチ回路の前記第 2 の端子は、前記電圧源に接続され、前記第 2 のスイッチ回路は、前記第 2 のスイッチ回路の前記制御端子が受信した前記リセット信号に応じて、導通状態になることにより、前記第 1 のスイッチ回路の前記出力端子を前記電圧源に効果的に接続させ、

前記第 3 のスイッチ回路は、第 1 の端子と、第 2 の端子と、制御端子とを含み、

前記第 3 のスイッチ回路の前記第 1 の端子は、前記第 1 のスイッチ回路の前記出力端子に電氣的に接続され、

前記第 3 のスイッチ回路の前記第 2 の端子は、前記電圧源に接続され、

前記第 3 のスイッチ素子は、前記第 3 のスイッチ回路の前記制御端子が受信した入力信号に応じて、導通状態になり、前記入力信号が前記異なるクロック信号と互いに相補していることを特徴とする請求項 10 に記載のゲートドライバ。

【請求項 12】

前記メインドライバは、メイン出力回路をさらに含み、該メイン出力回路は、前記充電信号及びクロック信号に応じてメイン出力信号を提供するように構成され、

前記複数のゲートドライバステージは Q ステージを含み、該 Q ステージのそれぞれは、N 個のシリアル出力信号を提供するように構成され、

前記 Q ステージのそれぞれは、第 1 のステージ及び第 2 のステージを含み、前記 Q ステージは、該第 1 のステージの前記第 1 の出力信号と該第 2 のステージの前記第 1 の出力信号とを互いに N 個の時間単位でシフトさせるようにカスケード配置され、

前記第 1 のステージの前記メイン出力信号は、前記第 2 のステージの前記メインドライバに前記トリガーパルスを提供するように構成され、Q 及び N は、1 より大きい正の整数であることを特徴とする請求項 6 に記載のゲートドライバ。

【請求項 13】

複数のゲートラインにおけるゲートライン信号を受信することにより、画素アレイを制御する薄膜トランジスタアレイを有する表示領域を含む表示パネルを駆動する方法であって、

前記薄膜トランジスタアレイを駆動するための前記ゲートライン信号を生成するゲートラインドライバを提供するステップと、

メインドライバにトリガーパルスを提供し、該トリガーパルスに応じて充電信号を生成するステップと、

出力領域に複数のシリアルクロック信号を提供するステップと、及び

複数の出力回路のそれぞれに、前記充電信号及び前記複数のシリアルクロック信号のうち 1 つの異なるシリアルクロック信号を提供することにより、前記ゲートライン信号のうち 1 つのゲートライン信号を生成するステップと、を含み、

前記ゲートラインドライバは、複数のゲートドライバステージを含み、該複数のゲートドライバステージのそれぞれは、前記メインドライバと、前記複数の出力回路を有する前記出力領域とを含んでおり、

前記複数のシリアルクロック信号は、時間的に互いに重なるように構成されていることを特徴とする方法。

【請求項 1 4】

前記複数のシリアルクロック信号はN個のシリアルクロック信号であり、前記複数の出力回路はN個の出力回路であり、該N個の出力回路は、前記N個のシリアルクロック信号を受信することにより、N個のシリアル出力信号を提供するように構成され、前記N個のシリアルクロック信号は、第1のクロックパルス及び該第1のクロックパルスに後続する第2のクロックパルスを含み、前記第1のクロックパルスと前記第2のクロックパルスとは、互いに1個の時間単位でシフトされ、前記第1のクロックパルスは前記トリガーパルスに後続されるため、前記トリガーパルスと前記第1のクロックパルスとを互いに前記1個の時間単位でシフトさせ、Nは、1より大きい正の整数であることを特徴とする請求項13に記載の方法。

10

【請求項 1 5】

前記ゲートラインドライバをQ個の前記ゲートドライバステージに配置するステップをさらに含み、該Qステージのそれぞれは、N個のシリアル出力信号の提供に用いられ、該N個のシリアル出力信号は、第1の出力信号と、該第1の出力信号に後続する最終出力信号とを含み、前記Qステージのそれぞれは、第1のステージ及び最終ステージを含み、前記Qステージは、前記第1のステージの前記第1の出力信号と前記最終ステージの前記最終出力信号とを互いに $(Q \times N - 1)$ 個の時間単位でシフトさせるようにカスケード配置され、Q及びNは、1より大きい正の整数であることを特徴とする請求項13に記載の方法。

20

【請求項 1 6】

前記ゲートラインドライバをQ個の前記ゲートドライバステージに配置するステップをさらに含み、該Qステージのそれぞれは、N個のシリアル出力信号を提供するように構成され、該N個のシリアル出力信号は、第1の出力信号と、該第1の出力信号に後続する最終出力信号とを含み、前記Qステージのそれぞれは、第1のステージ及び第2のステージを含み、前記Qステージは、前記第1のステージの前記第1の出力信号と前記第2のステージの前記第1の出力信号とを互いにN個の時間単位でシフトさせるようにカスケード配置され、前記第1のステージの前記N個のシリアル出力信号のうち1つは、前記第2のステージのメインドライバに前記トリガーパルスを提供するように構成され、Q及びNは、1より大きい正の整数であることを特徴とする請求項13に記載の方法。

30

【請求項 1 7】

前記表示領域は基板の第1の領域に配置され、

前記ゲートラインドライバを、前記基板上の前記第1の領域に隣接した第2の領域に配置するステップをさらに含むことを特徴とする請求項13に記載の方法。

【請求項 1 8】

前記表示領域は基板の第1の領域に配置され、前記表示領域は第1の側とそれと異なる第2の側とを含み、前記ゲートラインは第1グループのゲートラインと第2グループのゲートラインとを含み、

40

前記複数のゲートドライバステージを第1グループのゲートドライバステージと第2グループのゲートドライバステージとに設置するステップと、

前記第1グループのゲートラインにゲートライン信号を提供するように、前記基板上の前記表示領域の前記第1の側に隣接した第2の領域に、前記第1グループのゲートドライバステージを配置するステップと、

前記第2グループのゲートラインにゲートライン信号を提供するように、前記基板上の前記表示領域の前記第2の側に隣接した第3の領域に、前記第2グループのゲートドライバステージを配置するステップと、

50

をさらに含むことを特徴とする請求項 13 に記載の方法。

【請求項 19】

複数のゲートライングループに前記ゲートラインドライバを配置するステップをさらに含み、各グループは P 本のゲートラインを含み、前記 P 本のゲートラインを提供するように、前記複数のゲートドライバステージは Q 個のゲートドライバステージを含み、前記 Q 個のゲートドライバステージのそれぞれは、R 個のシリアルクロック信号を受信し R 個のシリアル出力信号を提供するように構成された R 個の前記複数の出力回路を含み、P、Q 及び R は 1 より大きい正の整数であり、前記 R 個のシリアルクロック信号は、第 1 のクロックパルスと、該第 1 のクロックパルスに後続する第 2 のクロックパルスとを含み、前記第 1 のクロックパルスと前記第 2 のクロックパルスとは、互いに 1 個の時間単位でシフトされており、前記メインドライバは、さらに前記充電信号のリセットに用いる、前記トリガーパルスに後続するリセットパルスを受信し、前記トリガーパルスと前記リセットパルスとは、互いに P 個の時間単位でシフトされることを特徴とする請求項 13 に記載の方法。

10

【請求項 20】

前記第 1 のクロックパルスは前記トリガーパルスに後続され、前記トリガーパルスと前記第 1 のクロックパルスとを互いに時間周期でシフトさせ、前記時間周期は $[(P/2) - R + 1]$ により決定され、 $[(P/2) - R + 1]$ が 1 に等しい場合に、前記時間周期は 1 個の時間周期に等しく、 $[(P/2) - R + 1]$ が 1 より大きい場合に、前記時間周期は M 個の時間周期に等しく、M は 1 から $[(P/2) - R + 1]$ までの正の整数であることを特徴とする請求項 19 に記載の方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶ディスプレイ (LCD) に用いられるゲートドライバ、電子回路及び方法に関し、特に、ゲートドライバオンアレイ (gate driver-on-array, GOA) 構造に関するものである。

【背景技術】

【0002】

薄膜トランジスタ液晶ディスプレイ (TFT-LCD) は、一般に、LCD パネルおよび発光するためのバックライトユニットを含んでいる。表示パネル (LCD パネルを含む) の製造プロセスを簡素化するために、表示パネルを駆動するためのゲートドライバ回路は、表示パネルに統合されて、かつ表示パネルの周辺回路領域に配置されている。統合されたゲートドライバ回路は、一般的にゲートドライバオンアレイ (gate driver-on-array, GOA) 構造と称される。図 1 には、GOA 構造を有する表示パネルの一般的なレイアウトが示されている。GOA 構造は、表示パネル上に製造されるため、表示パネルの領域の一部を占めることで、表示パネルの周辺領域が増えてしまう。

30

【先行技術文献】

【特許文献】

【0003】

40

【特許文献 1】中国特許出願公開第 102184719

【特許文献 2】中国特許出願公開第 101853705

【発明の概要】

【発明が解決しようとする課題】

【0004】

したがって、表示パネルの周辺領域に大きいスペースを占めないゲートドライバ、電子回路及び方法を提供することが必要である。

【課題を解決するための手段】

【0005】

本発明は、表示パネル (例えば、薄膜トランジスタ液晶ディスプレイ (TFT-LCD

50

）パネル）を駆動するためのゲートドライバを提供する。該ゲートドライバは、液晶ディスプレイにゲートライン信号を提供する複数のゲートドライバグループを有する。各ゲートドライバグループは、複数のゲートドライバステージを有し、各ゲートドライバステージは、複数のゲートドライバ回路を有する。各ゲートドライバ回路は、メインドライバおよび出力領域を含む。メインドライバは、2つまたは2つ以上の出力回路を有する出力領域に充電信号を提供し、各出力回路は、充電信号及びクロック信号に応じてゲートライン信号を提供する。本発明の異なる実施例によれば、ゲートドライバ回路は、従来の回路より少ないスイッチ素子、例えば、薄膜トランジスタを使用している。ゲートドライバは、TFT-LCD表示パネルに統合されるとともに、表示領域を囲む周辺領域に配置される場合には、ゲートドライバにおいてスイッチ素子の数量を減少または最小化することによって、周辺領域を減少させる必要がある。

10

【0006】

よって、本発明の第1の様態は、ゲートドライバ回路であって、トリガーパルスに応じて充電信号を提供するメインドライバと、充電信号を受信するように構成された複数の出力回路を含む出力領域とを含み、出力回路のそれぞれは、充電信号及び異なるクロック信号に応じて出力信号を提供し、前記出力回路は、第1の出力回路と第2の出力回路とを含み、第1の出力回路が提供する出力信号は、充電信号及び第1のクロック信号に応じる信号であり、第2の出力回路が提供する出力信号は、充電信号と、第1のクロック信号に後続する第2のクロック信号とに応じる信号である。本発明の一実施例において、メインドライバは、トリガーパルスを受信するように構成された制御端子と、充電信号を提供する

ように構成された出力端子とを有し、トリガーパルスに応じて導通状態になる第1のスイッチ素子と、第1のスイッチ素子の出力端子に電氣的に接続される第1の端子と、電圧源に接続される第2の端子と、充電信号のリセットに用いる、トリガーパルスに後続する第2のパルスを受信するように構成された制御端子とを有し、第2のパルスに応じて導通状態になることにより、第1のスイッチ素子の出力端子を電圧源に電氣的に接続させる第2のスイッチ素子と、第1のクロック信号を受信するように構成された第1の端子と、電圧源に接続される第2の端子と、第1のスイッチ素子の出力端子に接続される制御端子とを有し、充電信号に応じて導通状態になる第3のスイッチ素子と、第1のスイッチ素子の出力端子に接続される第1の端子と、電圧源に接続される第2の端子と、第1のクロック信号を受信するように構成された制御端子とを有する第4のスイッチ素子とを含む。

20

30

【0007】

本発明の一実施例において、メインドライバは、さらに第2のパルスに応じてリセット信号を提供する。本発明の一実施例において、前記出力回路のそれぞれは、第1のスイッチ回路と第2のスイッチ回路とを含み、第1のスイッチ回路は、入力端子、出力端子及び制御端子を有し、第1のスイッチ回路は該制御端子が受信した充電信号に応じて導通状態になり、第1のスイッチ回路が導通状態になった場合には、入力端子は異なるクロック信号を受信するように構成され、出力端子は出力信号を提供するように構成される。なお、第2のスイッチ回路は、第1の端子、第2の端子及び制御端子を有し、第2のスイッチ回路の第1の端子は、第1のスイッチ回路の出力端子に電氣的に接続され、第2のスイッチ回路の第2の端子は、電圧源に電氣的に接続され、第2のスイッチ回路は、第2のスイッチ回路の制御端子が受信したリセット信号に応じて導通状態になることにより、第1のスイッチ回路の出力端子を電圧源に効果的に接続させる。

40

【0008】

また、前記出力回路のそれぞれは、第1の端子、第2の端子及び制御端子を有する第3のスイッチ回路をさらに含み、第3のスイッチ回路の第1の端子は、第1のスイッチ回路の出力端子に電氣的に接続され、第3のスイッチ回路の第2の端子は、電圧源に電氣的に接続され、第3のスイッチ素子は、第3のスイッチ回路の制御端子の入力信号に応じて導通状態になり、入力信号が異なるクロック信号と互いに相補している。

【0009】

本発明の異なる実施例によれば、第1のクロック信号が第2のクロック信号とは、時間

50

的に一部重なる。

【0010】

本発明の第2の様態は、ゲートドライバであって、複数のゲートドライバステージを含み、これらのゲートドライバステージのそれぞれは、トリガーパルスに応じて充電信号を提供するメインドライバと、充電信号及び異なるクロック信号を受信するように構成された複数の出力回路を含む出力領域と、を含み、出力回路は、少なくとも1つの第1の出力回路と第2の出力回路とを含み、第1の出力回路は、充電信号及び第1のクロック信号に応じて、第1の出力信号を提供するように構成され、第2の出力回路は、充電信号と、第1のクロック信号に後続する第2のクロック信号とに応じて、第2の出力信号を提供するように構成され、第1のクロック信号と第2のクロック信号とは、時間的に一部重なっている。

10

【0011】

本発明の一実施例において、第1の出力回路が提供する出力信号は、充電信号及び第1のクロック信号に応じる信号であり、第2の出力回路が提供する出力信号は、充電信号と、第1のクロック信号の後にある第2のクロック信号とに応じる信号である。

本発明の一実施例において、メインドライバは、トリガーパルスを受信するように構成された制御端子と、充電信号を提供するように構成された出力端子とを有し、トリガーパルスに応じて導通状態になる第1のスイッチ素子と、第1のスイッチ素子の出力端子に電氣的に接続される第1の端子と、電圧源に接続される第2の端子と、充電信号のリセットに用いる、トリガーパルスに後続する第2のパルスを受信するように構成された制御端子とを有し、第2のパルスに応じて導通状態になることにより、第1のスイッチ素子の出力端子を電圧源に電氣的に接続させる第2のスイッチ素子と、第1のクロック信号を受信するように構成された第1の端子と、電圧源に接続される第2の端子と、第1のスイッチ素子の出力端子に接続される制御端子とを有し、充電信号に応じて導通状態になる第3のスイッチ素子と、第1のスイッチ素子の出力端子に接続される第1の端子と、電圧源に接続される第2の端子と、第1のクロック信号を受信するように構成された制御端子とを有する第4のスイッチ素子とを含む。

20

【0012】

本発明の一実施例において、メインドライバは、さらに前記充電信号のリセットに用いる、トリガーパルスに後続する第2のパルスを受信する。

30

【0013】

本発明の他の実施例において、メインドライバは、メイン出力回路をさらに含み、該メイン出力回路は、充電信号及びクロック信号に応じてメイン出力信号を提供するように構成され、前記ゲートドライバステージはQステージを含み、該Qステージのそれぞれは、N個のシリアル出力信号を提供するように構成され、該Qステージは、第1のステージ及び第2のステージを含み、かつ前記Qステージは、該第1のステージの第1の出力信号と該第2のステージの第1の出力信号とを互いにN個の時間単位でシフトさせるようにカスケード配置され、第1のステージのメイン出力信号は、前記第2のステージのメインドライバに該トリガーパルスを提供するように構成され、QおよびNは1より大きい正の整数である。

40

【0014】

本発明の異なる実施例において、前記出力回路のそれぞれは、スイッチ素子と放電ユニットとを含み、スイッチ素子が充電信号に応じて導通状態になり、スイッチ素子は入力端子と出力端子とを有し、スイッチ素子が導通状態になった場合に、入力端子が異なるクロック信号を受信し、出力端子が出力信号を提供する。なお、放電ユニットは、スイッチ素子の出力端子に電氣的に接続され、クロック信号と相補する入力信号を受信することにより、出力信号をリセットするように構成されている。

【0015】

また、前記出力回路のそれぞれは、第1のスイッチ回路と、第2のスイッチ回路と、第3のスイッチ回路とを含んでおり、第1のスイッチ回路が入力端子、出力端子および制御

50

端子を有し、第1のスイッチ回路は、制御端子が受信した充電信号に応じて導通状態になり、第1のスイッチ回路が導通状態になった場合、入力端子は異なるクロック信号を受信するように構成され、出力端子は出力信号を提供するように構成されている。第2のスイッチ回路が第1の端子、第2の端子および制御端子を有し、第2のスイッチ回路の第1の端子は、第1のスイッチ回路の出力端子に電氣的に接続され、第2のスイッチ回路の第2の端子は、電圧源に電氣的に接続され、第2のスイッチ回路は、第2のスイッチ回路の制御端子が受信したリセット信号に応じて導通状態になることにより、第1のスイッチ回路の出力端子を電圧源に効果的に接続させ、第3のスイッチ回路が第1の端子、第2の端子および制御端子を有し、第3のスイッチ回路の第1の端子は、第1のスイッチ回路の出力端子に電氣的に接続されるとともに、第3のスイッチ回路の第2の端子は、電圧源に電氣的に接続され、第3のスイッチ素子は、第3のスイッチ回路の制御端子における入力信号に応じて導通状態になり、入力信号が異なるクロック信号と互いに相補している。

10

【0016】

本発明の第3の様態は、表示パネルの駆動方法であって、表示パネルは表示領域を含み、表示領域は薄膜トランジスタアレイを含み、薄膜トランジスタアレイは、複数のゲートラインにおけるゲートライン信号を受信することにより、画素アレイを制御しており、該方法は、薄膜トランジスタアレイを駆動するためのゲートライン信号を生成するゲートラインドライバを提供するステップと、メインドライバにトリガーパルスを提供し、該トリガーパルスに応じて充電信号を生成するステップと、出力領域に複数のシリアルクロック信号を提供するステップと、出力回路のそれぞれに、充電信号及び複数のシリアルクロック信号の異なる信号を提供することにより、ゲートライン信号のうち1つのゲートライン信号を生成するステップと、を含み、ゲートラインドライバは、複数のゲートドライバステージを含み、該ゲートドライバステージのそれぞれは、メインドライバと、複数の出力回路を有する出力領域とを含んでおり、複数のシリアルクロック信号は、時間的に互いに重なるように構成されている。

20

【0017】

本発明の一実施例において、該方法は、ゲートラインドライバをQ個のゲートドライバステージに配置するステップをさらに含んでおり、前記Qステージのそれぞれは、N個のシリアル出力信号の提供に用いられ、N個のシリアル出力信号は、第1の出力信号と、第1の出力信号に後続する最終出力信号とを含み、前記Qステージが第1のステージ及び最終ステージを含み、前記Qステージは、第1のステージの第1の出力信号と最終ステージの最終出力信号とを互いに $(Q \times N - 1)$ 個の時間単位でシフトさせるようにカスケード配置され、QおよびNは、1より大きい正の整数である。

30

【0018】

本発明の他の実施例において、この方法は、ゲートラインドライバをQ個のゲートドライバステージに配置するステップをさらに含んでおり、前記Qステージのそれぞれは、N個のシリアル出力信号の提供するように構成され、N個のシリアル出力信号は、第1の出力信号と、該第1の出力信号に後続する最終出力信号とを含み、前記Qステージは、第1のステージ及び第2のステージを含み、前記Qステージは、第1のステージの第1の出力信号と第2のステージの第1の出力信号とを互いにN個の時間単位でシフトさせるようにカスケード配置され、第1のステージのN個のシリアル出力信号のうち一つは、第2のステージにおけるメインドライバにトリガーパルスを提供するように構成され、QおよびNは、1より大きい正の整数である。

40

【0019】

異なる実施例において、該方法は、複数のゲートライングループにゲートラインドライバを配置するステップをさらに含んでおり、各グループはP本のゲートラインを含み、前記ゲートドライバステージは、P本のゲートラインを提供するためのQ個のゲートドライバステージを含み、Q個のゲートドライバステージのそれぞれは、R個のシリアルクロック信号を受信しR個のシリアル出力信号を提供するように構成されたR個の複数の出力回路を含み、P、Q及びRは、1より大きい正の整数であり、R個のクロック信号は、第1

50

のクロックパルスと、第1のクロックパルスに後続する第2のクロックパルスとを含み、第1のクロックパルスと第2のクロックパルスとは互いに1個の時間単位でシフトされており、メインドライバは、さらに充電信号のリセットに用いる、トリガーパルスに後続するリセットパルスを受信し、トリガーパルスとリセットパルスとは、互いにP個の時間単位でシフトされる。

【0020】

また、第1のクロックパルスはトリガーパルスに後続され、トリガーパルスと第1のクロックパルスとを互いに時間周期でシフトさせ、該時間周期は $\lceil (P/2) - R + 1 \rceil$ により決定され、 $\lceil (P/2) - R + 1 \rceil$ が1に等しい場合に、時間周期は1個の時間周期に等しく、 $\lceil (P/2) - R + 1 \rceil$ が1より大きい場合に、時間周期はM個の時間周期に等しく、Mは1から $\lceil (P/2) - R + 1 \rceil$ までの正の整数である。

10

【0021】

本発明の異なる実施例において、シリアルクロック信号はN個のシリアルクロック信号であり、前記出力回路はN個の出力回路であり、該N個の出力回路は、N個のシリアルクロック信号を受信することにより、N個のシリアル出力信号を提供するように構成され、該N個のシリアルクロック信号は、第1のクロックパルスと、該第1のクロックパルスに後続する第2のクロックパルスとを含み、第1のクロックパルスと第2のクロックパルスとは互いに1個の時間単位でシフトされ、第1のクロックパルスはトリガーパルスの後であるため、トリガーパルスと第1のクロックパルスとを互いに1個の時間単位でシフトさせ、Nは1より大きい正の整数である。

20

【0022】

本発明の一実施例において、表示領域は、基板の第1の領域に構成され、ゲートラインドライバは、基板上の第1の領域に隣接した第2の領域に配置される。

【0023】

本発明の他の実施例において、表示領域は基板の第1の領域に配置され、表示領域は第1の側とそれと異なる第2の側とを含み、ゲートラインは第1グループのゲートラインと第2グループのゲートラインとを含み、該方法は、前記ゲートドライバステージを第1グループのゲートドライバステージと第2グループのゲートドライバステージとのように設置するステップと、第1グループのゲートラインにゲートライン信号を提供するように、基板上の表示領域の第1の側に隣接した第2の領域に、第1グループのゲートドライバステージを配置するステップと、第2グループのゲートラインにゲートライン信号を提供するように、基板上の表示領域の第2の側に隣接した第3の領域に、第2グループのゲートドライバステージを配置するステップと、をさらに含む。

30

【発明の効果】

【0024】

本発明によれば、1ステージのゲートドライバ回路がより多いゲートラインを提供することにより、ゲートドライバ回路のスイッチ素子の数を減少させるため、表示パネルの周辺領域に大きいスペースを占めないゲートドライバ、電子回路及び方法を提供することができる。

【図面の簡単な説明】

40

【0025】

【図1】従来技術における隣接のゲートドライバオンアレイ領域を有する表示パネルを示す図である。

【図2】本発明の一実施例による表示パネルを示す図である。

【図3】本発明の一実施例によるゲートドライバグループにおける複数本のゲートラインを示す図である。

【図4】本発明の一実施例によるゲートドライバグループにおける1つのドライバステージを示す図である。

【図5】ゲートライン信号とクロック信号との間のタイミング関係を示すタイミング図である。

50

【図 6】本発明の一実施例によるゲートドライバグループにおける 4 つのドライバステージを示す図である。

【図 7】図 6 のゲートドライバグループによるゲートライン信号とクロック信号との間のタイミング関係を示すタイミング図である。

【図 8】本発明の他の実施例によるゲートドライバグループにおける 2 つのドライバステージを示す図である。

【図 9】本発明の異なる実施例によるゲートドライバグループにおける 2 つのドライバステージを示す図である。

【図 10 a】図 8 のゲートドライバグループによるゲートライン信号とクロック信号との間のタイミング関係を示すタイミング図である。

10

【図 10 b】図 9 のゲートドライバグループによるゲートライン信号とクロック信号との間のタイミング関係を示すタイミング図である。

【図 11】図 9 のゲートドライバグループによるドライバステージにおけるゲートライン信号と異なる信号点との間のタイミング関係を示す詳細なタイミング図である。

【図 12】本発明の一実施例によるゲートドライバグループにおける 3 つのドライバステージを示す図である。

【図 13 a】本発明の一実施例によるゲートドライバグループにおけるドライバステージを示す図である。

【図 13 b】本発明の一実施例によるゲートドライバグループにおけるドライバステージを示す図である。

20

【図 13 c】本発明の一実施例によるゲートドライバグループにおけるドライバステージを示す図である。

【図 14】ゲートラインドライバ及びそれを区分されたゲートドライバグループを示す図である。

【図 15】ゲートドライバグループ及びそれを区分したゲートドライバステージを示す図である。

【図 16】ゲートドライバステージにおける異なる回路を示す図である。

【図 17 a】安定素子を示す図である。

【図 17 b】安定素子を示す図である。

【図 18 a】ゲートドライバ回路におけるゲートドライバの状態の関連付けを示す図である。

30

【図 18 b】ゲートドライバ回路におけるゲートドライバの状態の関連付けを示す図である。

【図 18 c】ゲートドライバ回路におけるゲートドライバの状態の関連付けを示す図である。

【図 18 d】ゲートドライバ回路におけるゲートドライバの状態の関連付けを示す図である。

【図 19】メインドライバにおける異なる入力ユニットを示す図である。

【図 20】本発明の異なる実施例によるゲートドライバ回路を示す図である。

【図 21 a】図 20 に示す一連のゲートドライバステージの間の接続関係を示す図である。

40

【図 21 b】図 20 に示す一連のゲートドライバステージの間の接続関係を示す図である。

【図 22】本発明の一実施例により、表示領域にゲートライン信号を提供するための 2 つのゲートドライバ回路及びその動作を示す概略図である。

【図 23】ゲートライン信号を提供するために構成された 2 つのゲートドライバ回路におけるゲートドライバステージの配置を示す図である。

【図 24】ゲートドライバステージにより提供されたゲートラインを示すタイミング図である。

【図 25】本発明の他の実施例によるゲートドライバ回路を示す図である。

50

【図 2 6】異なる信号の間の関係を示すタイミング図である。

【図 2 7】図 2 5 に示す一連のゲートドライバステージの間の接続関係を示す図である。

【図 2 8】ゲートライン信号を提供するために構成された 2 つのゲートドライバ回路におけるゲートドライバステージの配置を示す図である。

【図 2 9】ゲートドライバステージにより提供されたゲートラインを示すタイミング図である。

【図 3 0】本発明の一実施例によるゲートドライバ回路を示すブロック図である。

【図 3 1】本発明の一実施例による表示パネルを駆動する方法を示すフローチャートである。

【発明を実施するための形態】

10

【0026】

従来技術において、ディスプレイパネル（例えば、LCD パネル）は、複数の画素からなり、これらの画素は、行と列（またはライン）により構成された 2 次元アレイ状に配列される。各ライン上にある画素は、ゲートライン信号を介して起動または充電され、且つこのゲートライン信号は、ゲートラインドライバにより提供される。ここで、1 本のゲートライン上にある画素に対する充電の時間を H で表す。これらのゲートライン信号は、通常、複数のクロック信号 CK 1、CK 2、…および相補的なクロック信号 XCK 1、XCK 2、…に対応するものであり、ゲートドライバ回路によって生成される。図 2 に示すように、表示パネル 10 は、表示領域 20 およびゲートドライバ回路 30 を含む。ゲートドライバ回路 30 は、複数本のゲートライン G 1、G 2、…を介して、表示領域 20 にゲートライン信号を提供する。本開示内容の一実施例によって、ゲートドライバ回路 30 は、複数のゲートドライバステージ 100₁、100₂、…を含み、各ゲートドライバステージ 100_k は、n 本のゲートラインを提供する。ゲートドライバ回路 30 におけるゲートドライバステージの数量や各ステージにおけるゲートラインの数量は、本開示内容の異なる実施例によって変更可能である。また、本開示内容の異なる実施例によって、前記ゲートドライバステージは、複数のゲートドライバグループに分割されるが、各ゲートドライバグループにおけるドライバステージの数量およびゲートラインの数量は、各実施例によって決定される。図 6 に示す実施例のように、1 つのゲートドライバグループは、4 つのステージ 100₁、100₂、100₃ および 100₄ を有し、各ステージは、6 つのクロック信号に対応して、3 本のゲートラインにゲートライン信号を提供する。図 4 は、図 3 に示すゲートドライバグループにおける 1 つのステージを示しており、図 3 は、4 つのステージのクロック信号およびゲートラインを示す。図 3 に示すように、第 1 ステージと第 2 ステージは、クロック信号 CK 1、…、CK 6 に対応してゲートライン信号を生成し、第 3 ステージと第 4 ステージは、相補的なクロック信号 XCK 1、…、XCK 6 に対応してゲートライン信号を生成する。本例では、相補的なクロック信号 XCK 1、…、XCK 6 が CK 7、…、CK 14 と同じであるため、ここで、これらの相補的なクロック信号は、同様にクロック信号を意味して使われることができる。図 3、図 4 および図 6 に示す実施例のように、1 つのゲートドライバグループは、4 つのゲートドライバステージにおける 12 本のゲートラインのためにゲートライン信号を生成し、各ゲートドライバステージは、3 本のゲートラインを有する。

20

30

40

【0027】

図 4 は、本開示内容の一実施例による例示的なゲートドライバステージを示す。図 4 に示すように、ゲートドライバステージ 100 は、メインドライバ 150 と多出力回路 200 との 2 つの部分を含む。多出力回路 200 は、3 つのゲートライン信号 G [[N]]、G [[N+1]] および G [[N+2]] を提供するための 3 つのサブ出力回路 210₁、210₂、210₃ を含む。多出力回路 200 は、クロック信号 CK 1、CK 2、CK 3、XCK 1、XCK 2 および XCK 3 を受信するための 6 つのクロック入力端子を有する。メインドライバ 150 は、クロック信号 CK 1 およびゲートライン信号 G [[N-3]]、G [[N+9]] を受信するための 3 つの入力端子を有し、且つメインドライバ 150 は、それぞれ Boost および node 2 で表し、充電信号パルスおよびクロックパ

50

ルスを提供ための２つの出力端子を有し。以下、図９および図１６に示すような実施例に関連する動作原理の説明によって、充電信号パルスおよびクロックパルスでゲートライン信号を生成する方法を明確に理解することができる。

【００２８】

図５は、図４および図６に示す実施例におけるゲートライン信号とクロック信号との間のタイミング関係を示すタイミング図である。具体的には、図４に示すようなゲートドライバステージ１００は、図６に示すようなゲートドライバグループの第１ステージを表す。図５に示すように、ゲートライン信号とクロック信号のパルスの幅が６Ｈに等しく、ここで、Ｈが１本のライン上にある画素に対する充電の時間である。この実施例において、パルスの幅が $P H / 2$ に等しく、 P がゲートドライバグループにおけるゲートラインの数量である。図に示すように、シリアルクロック信号 $C K 1$ と $C K 2$ が互いに１Ｈの時間でシフトしている。同じように、シリアルゲートライン信号 $G [1]$ と $G [2]$ も１Ｈの時間でシフトしており、ゲートライン信号 $G [1]$ は、クロック信号 $C K 1$ のうち１つのクロックパルスと同期している。

【００２９】

図６に示すゲートドライバグループ８０において１２本のゲートラインを有する４つのゲートドライバステージは、１２つのクロック信号 $C K 1$ 、 $C K 2$ 、…、 $C K 6$ 、 $X C K 1$ 、 $X C K 2$ 、…、 $X C K 6$ に対応して、１２つのシリアルゲートライン信号 $G [N] \sim G [N + 11]$ を提供する。図６に示すように、このゲートドライバグループ８０は、４つのゲートドライバステージ 100_1 、 100_2 、 100_3 および 100_4 を有する。第１ステージ 100_1 は、入力クロック信号 $C K 1$ 、 $C K 2$ 、 $C K 3$ 、 $X C K 1$ 、 $X C K 2$ 、 $X C K 3$ および２つの入力ゲートライン信号 $G [N - 3]$ 、 $G [N + 9]$ に対応して、ゲートライン信号 $G [N] \sim G [N + 2]$ を生成する。第２ステージ 100_2 は、入力クロック信号 $C K 4$ 、 $C K 5$ 、 $C K 6$ 、 $X C K 4$ 、 $X C K 5$ 、 $X C K 6$ および２つの入力ゲートライン信号 $G [N]$ 、 $G [N + 12]$ に対応して、ゲートライン信号 $G [N + 3] \sim G [N + 5]$ を生成する。第３ステージ 100_3 は、入力クロック信号 $X C K 1$ 、 $X C K 2$ 、 $X C K 3$ 、 $C K 1$ 、 $C K 2$ 、 $C K 3$ および２つの入力ゲートライン信号 $G [N + 3]$ 、 $G [N + 15]$ に対応して、ゲートライン信号 $G [N + 6] \sim G [N + 8]$ を生成する。第４ステージ 100_4 は、入力クロック信号 $X C K 4$ 、 $X C K 5$ 、 $X C K 6$ 、 $C K 4$ 、 $C K 5$ 、 $C K 6$ および２つの入力ゲートライン信号 $G [N + 6]$ 、 $G [N + 18]$ に対応して、ゲートライン信号 $G [N + 9] \sim G [N + 11]$ を生成する。ここで注意すべきことは、入力ゲートライン信号の選択は、実施例によって変化し、且つ入力ゲートライン信号 $G [N - 3]$ が前のゲートドライバグループから入力され、入力ゲートライン信号 $G [N + 12]$ 、 $G [N + 18]$ が次のゲートドライバグループから入力されたものである。クロック信号 $C K 1$ 、 $C K 2$ 、…、 $C K 6$ 、 $X C K 1$ 、 $X C K 2$ 、…、 $X C K 6$ およびゲートライン信号 $G [1]$ 、 $G [2]$ 、…、 $G [6]$ のタイミング図を図７に示す。

【００３０】

図８は、本開示内容の他の実施例を示す。この実施例において、各ゲートドライバグループが２つのゲートドライバステージを有し、６つのクロック信号 $C K 1$ 、 $C K 2$ 、 $C K 3$ 、 $X C K 1$ 、 $X C K 2$ 、 $X C K 3$ に対応し、６つのゲートライン信号 $G [N] \sim G [N + 5]$ を生成する。図８に示すように、第１ステージは、入力クロック信号 $C K 1$ 、 $C K 2$ 、 $C K 3$ 、 $X C K 1$ 、 $X C K 2$ 、 $X C K 3$ およびゲートライン信号 $G [N - 1]$ 、 $G [N + 5]$ に対応して、ゲートライン信号 $G [N] \sim G [N + 2]$ を生成する。第２ステージは、入力クロック信号 $X C K 1$ 、 $X C K 2$ 、 $X C K 3$ 、 $C K 1$ 、 $C K 2$ 、 $C K 3$ およびゲートライン信号 $G [N + 2]$ 、 $G [N + 8]$ に対応して、ゲートライン信号 $G [N + 3] \sim G [N + 5]$ を生成する。

【００３１】

図９は、本開示内容の別の実施例を示す。この実施例において、各ゲートドライバグループが２つのゲートドライバステージを有し、１２つのクロック信号 $C K 1$ 、 $C K 2$ 、…、 $C K 6$ 、 $X C K 1$ 、 $X C K 2$ 、…、 $X C K 6$ に対応し、１２つのゲートライン信号 $G [$

N] ~ G [N + 1 1] を生成する。図 9 に示すように、第 1 ステージは、入力クロック信号 CK 1、CK 2、…、CK 6、XCK 1、XCK 2、…、XCK 6 およびゲートライン信号 G [N - 1]、G [N + 1 1] に対応して、ゲートライン信号 G [N] ~ G [N + 5] を生成する。第 2 ステージは、入力クロック信号 XCK 1、XCK 2、…、XCK 6、CK 1、CK 2、…、CK 6 およびゲートライン信号 G [N + 5]、G [N + 1 7] に対応して、ゲートライン信号 G [N + 6] ~ G [N + 1 1] を生成する。

【0032】

図 10 a はタイミング図であり、図 8 のゲートドライバグループによるゲートライン信号とクロック信号との間のタイミング関係を示す。図 10 b はタイミング図であり、図 9 のゲートドライバグループによるゲートライン信号とクロック信号との間のタイミング関係を示す。図 8 に示す実施例のように、1 つのゲートドライバグループには 6 本のゲートラインを有し、即ち、P = 6 である。クロック信号 CK 1、CK 2 および CK 3 のパルスの幅は 3 H であり、複数のシリアルクロック信号の間の時間シフトは 1 H である。図 9 に示す実施例のように、1 つのゲートドライバグループには 12 本のゲートラインを有し、即ち、P = 12 である。クロック信号 CK 1、CK 2、…、CK 6 のパルスの幅は 6 H であり、複数のシリアルクロック信号の間の時間シフトは 1 H である。図 11 は、図 9 のゲートドライバグループにより、ドライバステージにおけるゲートライン信号と異なる信号点との間のタイミング関係を示す詳細なタイミング図である。

【0033】

図 9 および図 11 は、本開示内容の原理を説明するための図である。いずれかのゲートドライバステージのように、図 9 に示すゲートドライバグループにおける第 1 ステージ 100₁ は、メインドライバ 150 および多出力回路 200 を含む。本実施例において、多出力回路 200 は、6 つのゲートライン信号 G [N]、G [N + 1]、…、G [N + 5] を提供するための 6 つのサブ出力回路 210₁、210₂、…、210₆ を含む。多出力回路 200 は、クロック信号 CK 1、CK 2、…、CK 6、XCK 1、XCK 2、…、XCK 6 を受信するための 12 つのクロック入力端子を有する。メインドライバ 150 は、3 つの入力端子を有し、クロック信号 CK 1 およびゲートライン信号 G [N - 1]、G [N + 1 1] を受信する。メインドライバ 150 は、Boost および node 2 で表した 2 つの出力端子をさらに有し、充電信号パルスおよびクロックパルスを提供する。メインドライバ 150 は、4 つのスイッチユニット M1 ~ M4 およびオプションで配置されたダイオード D1 と D2 を有し、入力クロック信号 CK 1 を調整する。各サブ出力回路は、3 つのスイッチユニット M5、M6 および M7 を有する。

【0034】

メインドライバ 150 において、スイッチユニット M4 および M1 から入力ユニットが形成される。スイッチユニット M4 は、入力ゲートライン信号 G [N - 1] に電氣的に接続され、Boost 信号に対して充電プロセスを開始する（図 11 参照）。Boost 信号を放電するため、スイッチユニット M1 は、もう一つの入力ゲートライン信号 G [N + 1 1] に電氣的に接続される。スイッチユニット M2 および M3 から放電ユニットが形成され、スイッチユニット M2 は Boost 信号に電氣的に接続され、Boost 信号レベルが充電されると、スイッチユニット M2 が導通状態になり、node 2 のレベルを電位 Vss にプルダウンし、スイッチユニット M3 が導通状態になり、これにより、Boost 信号と Vss が異なっている。スイッチユニット M3 は、クロック信号 CK 1 に電氣的に接続され、クロック信号 CK 1 が通過した後に、Boost 信号をプルダウンする。Boost 信号がローレベルになり、クロック信号 CK 1 がハイレベルになると、node 2 のレベルはハイレベルになる。入力ゲートライン信号 G [N - 1] もトリガーパルスとして、クロック信号 CK 1 ~ CK 6 に対応し、ゲートライン信号 G [N] ~ G [N + 5] の生成を開始する。トリガーパルス G [N - 1] の前に、Boost 信号が電圧レベル Vss にプルダウンされる。トリガーパルス G [N - 1] とクロック信号 CK 1 との間に、Boost 信号レベルは 1 H の時間間隔で予充電が行われている。

【0035】

各サブ出力回路 210_1 、 210_2 、 $\dots$ 210_6 において、Boost 信号レベルが充電されると、スイッチユニット M7 は、導通状態になるとともに、プルアップユニットとしてクロック信号に対応してゲートライン信号を開始する。こうすることで、各ゲートライン信号 $G[N]$ 、 $G[N+1]$ 、 $\dots$ 、 $G[N+5]$ はシリアルクロック信号 CK1、CK2、 $\dots$ CK6 に対応して順次生成されることができる。図 11 に示すように、クロック信号 CK1、CK2、 $\dots$ CK6 が Boost 信号のレベルを順次に増やしている。スイッチユニット M5 をプルダウンユニットとすることにより、ゲートライン信号が XCK1 $\sim$ XCK6 に対応して Vss に確実にプルダウンされる。また、スイッチユニット M6 が導通状態になると、ゲートライン信号も Vss にプルダウンされる。各ゲートライン信号 $G[N] \sim G[N+5]$ は、個別のクロック信号 CK1 $\sim$ CK6 に対応して、トリガパルス $G[N-1]$ の後に生成される。

10

【0036】

図 12 は、本発明の一実施例によるゲートドライバグループにおける 3 つのゲートドライバステージを示す。各ステージにおいて、2 つのゲートライン信号が 4 つのクロック信号に対応して 2 本のゲートライン上に生成される。したがって、ゲートドライバグループによりゲートライン信号が提供されるゲートラインの数量は 6 本である。

【0037】

図 13 a $\sim$ 図 13 c は、ゲートドライバグループにおいて、12 本のゲートラインにゲートライン信号を提供するための 3 つの異なるゲートドライバステージを示し、図 4 に示すゲートドライバステージの変化実施例である。図 13 a に示す実施例において、スイッチユニット M3 はメインドライバ 150 から取り外されており、各サブ出力回路は、各自のスイッチユニット M3 を有する。図 13 c に示す実施例において、スイッチユニット M5 は、各サブ出力回路から取り外された。図 13 b に示す実施例において、クロック信号 CK2 および CK3 を受信したスイッチユニット M7 が、比較的大きなスイッチユニット M7 および更に大きなスイッチユニット M7 に置き換えられた。図 13 b に示す実施例において、ゲートソース間容量 Cgs が各スイッチユニット M7 まで提供されている。

20

【0038】

ここで注意すべきことは、各ゲートドライバステージにおいて、1 本より多いゲートラインを提供すると、全体のゲートドライバ回路 30 で使用された薄膜トランジスタ (TFT) の数を減らすことができる。したがって、GOA 構造のサイズを減らすことができる。

30

【0039】

異なる実施例によって、本発明は、GOA 構造のサイズを縮小できるゲートドライバ回路を提供する。図 14 に示すように、ゲートドライバ回路 30 は、 m 個のゲートドライバグループ 80_1 、 80_2 、 $\dots$ を含み、 m は 1 より大きい正の整数である。各ゲートドライバグループは、 P 本のゲートライン上にゲートライン信号を生成するために用いられる。図 15 に示すように、各ゲートドライバグループ 80 は、 Q 個のゲートドライバステージ 100_1 、 100_2 、 $\dots$ を含み、 Q は 1 より大きい正の整数である。各ゲートドライバグループは、 R 本のゲートライン上にゲートライン信号を生成するために用いられることにより、 $P=Q \times R$ をさせ、 R は 1 より大きい正の整数である。図 4、図 6 および図 13 a $\sim$ 図 13 c に示す実施例において、 $P=12$ 、 $Q=4$ 、かつ $R=3$ である。図 8 に示す実施例において、 $P=6$ 、 $Q=2$ 、かつ $R=3$ である。図 9 に示す実施例において、 $P=12$ 、 $Q=2$ 、かつ $R=6$ である。図 12 に示す実施例において、 $P=6$ 、 $Q=3$ 、かつ $R=2$ である。

40

【0040】

図 16 に示すように、ゲートドライバステージ 100 は、メインドライバ 150 よび多出力回路 200 を含む。多出力回路 200 は、複数のサブ出力回路 210_1 、 210_2 、 $\dots$ を含む。メインドライバ 150 は、入力ユニット 160 を含み、第 1 信号入力端子 166 および第 2 信号入力端子 168 で 2 つの入力信号を受信する。入力ユニット 160 は、第 1 スwitch ユニット 162 および第 2 スwitch ユニット 164 を含み、第 1 スwitch ユ

50

ニット162は、第1信号入力端子166に電氣的に接続され、第2スイッチユニット164は、第2信号入力端子168および基準電圧レベルVssに電氣的に接続される。第1スイッチユニット162は、第2スイッチユニット164に接続され、これにより、Boost信号152を提供する。メインドライバ150は、放電ユニット170をさらに含み、かつ放電ユニット170は、クロック信号を受信するためのクロック信号入力端子176を有する。放電ユニット170は、“Boost”信号または充電信号152および基準電圧レベルVssに電氣的に接続される第3スイッチユニット172を含み、“node2”信号またはクロックパルス154を提供する。第3スイッチユニット172は、クロック信号入力端子176からオプショで配置された安定素子180を介してクロック信号を受信するように構成され、クロックパルス154を調整する。放電ユニット170は、クロックパルス154および基準電圧レベルVssに電氣的に接続される第4スイッチユニット174を含んでもよく、かつスイッチユニット174は、充電信号152に電氣的に接続され、充電信号152の充電レベルを制御する。

10

【0041】

各サブ出力回路210は、プルアップユニット215およびプルダウンユニット220を含む。プルアップユニット215は、充電信号152およびクロック信号入力端子214にあるクロック信号に電氣的に接続される第5スイッチユニット212を含み、出力端子230にゲートライン信号を提供する。プルダウンユニット220は、クロックパルス154および基準電圧レベルVssに電氣的に接続される第6スイッチユニット222を含み、出力端子230でゲートライン信号をプルダウンする。プルダウンユニット220は、基準電圧レベルVssおよびクロック信号入力端子226に電氣的に接続される第7スイッチユニット224を含んでもよく、相補的なクロック信号を受信し、出力端子230のゲートライン信号を調整する。

20

【0042】

図6に示す第1ステージ100₁において、第1ゲートライン信号がG[N]であり、スイッチユニットM4に入力されたゲートライン信号がG[N-3]である。図8および図9に示す第1ステージ100₁において、第1ゲートライン信号がG[N]であり、スイッチユニットM4に入力されたゲートライン信号がG[N-1]である。図12に示す第1ステージ100₁において、第1ゲートライン信号がG[N]であり、スイッチユニットM4に入力された第1ゲートライン信号がG[N-2]である。入力ゲートライン信号の選択は、Boost信号レベルにおける予充電の度合いにより決定される。図11に示すように、Boost信号レベルは、G[N]が生成される前に1Hの時間で予充電された。ゲートライン信号G[N-1]がゲートライン信号G[N]より1Hの時間で先に進むので、ゲートライン信号G[N-1]を第1ステージ100₁のトリガーパルスとすることができる。一般的に言えば、予充電の時間は $[(P/2) - R + 1] \times H$ により決定されることができる。図8の実施例において、P=6、R=3である場合には、予充電の時間が1Hである。図9の実施例において、P=12、R=6である場合には、予充電の時間が1Hである。図6の実施例において、P=12、R=3である場合には、予充電の時間が4Hであってもよい。ゲートライン信号G[N-4]、G[N-3]、G[N-2]およびG[N-1]のいずれかも第1ステージ100₁のトリガーパルスとして使われることが可能であり、これにより、Boost信号レベルは、少なくとも1Hの時間で予充電されることができる。図12の実施例において、P=6、R=2である場合には、予充電の時間が2Hであってもよい。ゲートライン信号G[N-2]或いはG[N-1]を、第1ステージ100₁のトリガーパルスとすることが可能であり、Boost信号レベルを少なくとも1Hの時間で予充電させることができる。

30

40

【0043】

スイッチユニットM1に送信する、“Boost”信号を放電するのに用いられるゲートライン信号について、各ゲートドライバグループにおけるトリガーパルスおよびゲートラインの数(P)によって決定される。図6において、M4へのトリガーパルスがG[N-3]であり、かつP=12であり、M1へのゲートライン信号がG[N+9]である。

50

図 8 において、M 4 へのトリガーパルスが $G[N-1]$ であり、かつ $P=6$ であり、M 1 へのゲートライン信号が $G[N+5]$ である。図 9 において、M 4 へのトリガーパルスが $G[N-1]$ であり、かつ $P=12$ であり、M 1 へのゲートライン信号が $G[N+11]$ である。図 12 において、M 4 へのトリガーパルスは $G[N-2]$ であり、かつ $P=6$ であり、M 1 へのゲートライン信号は $G[N+4]$ である。

【0044】

ここで注意すべきことは、図 16 に示す安定素子 180 がオプションで配置されることである。図 17 a に示すように、安定素子 180 は、2 つのスイッチユニット 182、184 からなるものでもよく、図 17 b に示すように、容量 186 に置き換えられてもよい。

10

【0045】

図 18 a ~ 図 18 d は、様々なゲートドライバ回路におけるゲートドライバの状態と、様々なトリガーパルスの選択との間の関連付けを示す。図 18 a および図 18 b は、図 12 に示すゲートドライバグループを示しており、 $P=6$ 、 $Q=3$ 、 $R=2$ である。図 18 a において、 $G[N-2]$ を第 1 ステージ 100₁ へのトリガーパルスとすることで、Boost 信号レベルの予充電時間が 2H である。図 18 b において、 $G[N-1]$ がトリガーパルスとして、Boost 信号レベルの予充電時間が 1H である。図 18 c および図 18 d は、図 6 におけるゲートドライバグループを示しており、 $P=12$ 、 $Q=4$ 、 $R=3$ である。図 18 c において、 $G[N-3]$ を第 1 ステージ 100₁ へのトリガーパルスとすることで、Boost 信号レベルの予充電時間が 3H である。図 18 d において、 $G[N-2]$ がトリガーパルスとして、Boost 信号レベルの予充電時間が 2H である。また、 $G[N-1]$ を第 1 ステージ 100₁ へのトリガーパルスとすることも可能である。

20

【0046】

図 19 は、メインドライバ 150 における異なる入力ユニットを示す。図 16 に示すように、入力ユニット 160 は、2 つの信号入力端子 166 および 168 を有し、2 つのゲートライン信号を受信し、スイッチユニット 162 および 164 を制御する。スイッチユニット 162 のソース／ドレインのうち一方も信号入力端子 166 に接続され、かつスイッチユニット 164 のソース／ドレインのうち一つが V_{ss} に接続される。図 19 において、入力ユニット 160' も、2 つの信号入力端子 166 および 168 を有し、2 つのゲートライン信号を受信することにより、スイッチユニット 162 および 164 を制御する。スイッチユニット 162 のソース／ドレインのうち一つ一方が基準電圧レベル H に接続され、スイッチユニット 164 のソース／ドレインのうち一つがもう一つの基準電圧レベル L に接続される。前記入力ユニット 160' は、図 20 および図 22 に示すドライバ回路に用いられる。

30

【0047】

図 20 は、本発明の異なる実施例によるゲートドライバ回路を示す。図 20 に示す実施例において、ドライバステージ 100' がドライバグループにおける唯一のステージだと考えられてもよい。各グループにおける 2 本のゲートライン $G1_n$ および $G2_n$ のみを有しているので、 $P=2$ 、 $Q=1$ 、 $R=2$ である。クロック信号 $CK1$ および $CK2$ のパルスの幅が 1H であり、かつ $CK1$ と $CK2$ との間に互いに $H/2$ の時間でシフトしている。ドライバステージ 100' は、メインドライバ 150' および多出力回路 200 を有し、該多出力回路 200 は、それぞれがゲートライン信号 $G[1_n]$ およびゲートライン信号 $G[2_n]$ を出力するためのサブ出力回路 210₁、210₂ を含む。ゲートライン信号 $G[1_n]$ および $G[2_n]$ はクロック信号 $CK1$ および $CK2$ と同時に提供するため、ゲートライン信号 $G[1_n]$ および $G[2_n]$ は、 $H/2$ の時間の重畳がある。メインドライバ 150' は、M4 ユニットの Boost 信号レベルに充電させることを許可するトリガーパルスを受信する入力端子 $G[N-1]$ (ここで $G[N-1]$ がトリガーパルスと汎称してもよい) を有する。メインドライバ 150' は、スイッチユニット M1 を Boost 信号に対して放電させるゲートライン信号を受信する入力端子 $G[N+1]$ (ここ

40

50

で $G[N+1]$ がゲートライン信号と汎称してもよい) をさらに有する。ドライバステージ $100'$ におけるゲートライン信号 $G[1n]$ またはゲートライン信号 $G[2n]$ を、いずれも次のドライバステージのトリガーパルスとすることが可能である。

【0048】

図 21a および図 21b は、図 20 に示す一連のゲートドライバステージの間の接続関係を示す。図 21a に示すように、ドライバステージ $100'_1$ から次のドライバステージ $100'_2$ へのトリガーパルスが $Output\ 1-b$ である。ドライバステージ $100'_1$ のゲートライン信号 $G[1n]$ または $G[2n]$ を、いずれもドライバステージ $100'_2$ の入力端子 $G[N-1]$ に送信するトリガーパルスとすることができ、その違いは、 $Boost$ 信号の予充電時間が $1H$ または $H/2$ になっている点である。ドライバステージにおけるゲートライン信号 $G[2n]$ と、その次のドライバステージにおけるゲートライン信号 $G[1n]$ とが互いに重なる時間は、 $H/2$ である。図 21b は、ドライバステージのゲートライン信号 $G[2n]$ を、次のドライバステージまで送信されるトリガーパルスとすることを示す。

【0049】

図 22 に示すように、ゲートドライバステージが異なる方式で配置されることも可能である。図 2 に示すようなゲートドライバ回路 30 を表示領域 20 の一側に配置させる構成と異なり、図 22 において、ゲートドライバ回路 30L が表示領域 20 の左側に配置され、もう一つのゲートドライバ回路 30R が表示領域 20 の右側に配置されている。各ゲートドライバ回路 30L、30R は、図 21b に示すゲートドライバ回路 30 に類似するものであってもよい。図 22 に示す実施例において、ゲートドライバステージ $100'_1L$ 、 $100'_2L$ 、…は、ゲートライン $G1$ 、 $G3$ 、 $G5$ 、…にゲートライン信号を提供し、 $100'_1R$ 、 $100'_2R$ 、…は、ゲートライン $G2$ 、 $G4$ 、 $G6$ 、…にゲートライン信号を提供する。図 22 に示すゲートドライバの構成は、図 23 に示す形式により簡略に説明することができる。図 23 において、 $SR1_L1$ と $SR1_L2$ との間の矢印は、ゲートドライバ $100'_1L$ ($SR1_L1$) におけるゲートライン信号のうち一つを次のゲートドライバ $100'_2L$ ($SR1_L2$) へのトリガーパルスとすることを示す。図 24 のタイミング図は、図 23 に示すゲートラインのドライバ構成における 4 位相の構成を示す。

【0050】

図 25 は、本発明の他の実施例によるゲートドライバ回路を示す。図 25 の実施例において、ゲートドライバステージ $100''$ は、3 つのサブ出力回路 210_0 、 210_1 および 210_2 を含む。サブ出力回路 210_1 、 210_2 が多出力回路 200 の一部であり、出力端子 $Output\ 1$ および $Output\ 2$ がゲートライン信号を提供する。図 25 に示すように、サブ出力回路 210_0 がメインドライバ 151 の一部であり、 $Output\ 0$ は次のゲートドライバステージへのトリガーパルスとされる。この実施例において、クロック信号 CK のパルスの幅は、各クロック信号 $CK1$ および $CK2$ のパルスの幅より大きい。また、クロック信号 $CK1$ および $CK2$ の信号周期は、クロック信号 CK の信号周期と一致する。図 26 に示すように、クロック信号 $CK1$ および $CK2$ のパルスの幅は、クロック信号 CK のパルスの幅の半分に等しい。ゲートドライバステージ間の接続関係は、図 27 に示されており、図 21a に示す構成に類似する。

【0051】

ゲートドライバステージ $100''$ は、図 23 における構成に類似し、異なる形式で構成されてもよい。図 28 に示すように、ゲートドライバステージ $SR1_L1$ 、 $SR1_L2$ 、…は、ゲートライン $G1$ 、 $G3$ 、 $G5$ 、…にゲートライン信号を提供するとともに、ゲートドライバステージ $SR1_R1$ 、 $SR1_R2$ 、…は、ゲートライン $G2$ 、 $G4$ 、 $G6$ 、…にゲートライン信号を提供しており、かつ各ゲートドライバステージ $SR1_L1$ 、 $SR1_L2$ 、…、 $SR1_R1$ 、 $SR1_R2$ 、…は、図 25 に示すゲートドライバステージ $100''$ に類似するものであってもよい。図 28 において、ゲートドライバステージ $SR1_L1$ と $SR1_L2$ との間の矢印は、ゲートドライバステージ $SR1$

10

20

30

40

50

— L 1 のメインドライバ 1 5 1 における Output 0 を次のゲートドライバステージ S R 1 — L 2 へのトリガーパルスとすることを示す。ゲートドライバステージ S R 1 — R 1 と S R 1 — R 2 との間の矢印は、ゲートドライバステージ S R 1 — R 1 のメインドライバ 1 5 1 における Output 0 を次のゲートドライバ S R 1 — R 2 へのトリガーパルスとすることを示す（図 2 5 参照）。

【0052】

図 2 9 に示すゲートラインのドライバ構成における 4 位相の構成のタイミング図が、図 2 4 に示すタイミング図に類似する。

異なる実施例に開示されるように、本発明は、特に、ゲートドライバがゲートドライバオンアレイとして、表示パネルに統合される場合に、ゲートドライバにおいて数少ないスイッチ素子を使用する。ゲートドライバにおいて、より少ないスイッチ素子を使用することにより、表示パネルの周辺面積を減少することができる。したがって、本発明は、ゲートドライバ回路（30、30L または 30R）を提供し、ゲートドライバ回路は、メインドライバ（150、150' または 151）および出力領域 200 を含み、メインドライバ（150、150' または 151）は、トリガーパルスに応じて充電信号を提供し、出力領域 200 は、充電信号を受信するための複数の出力回路（210、210₀、210₁、210₂…210₆）を含み、出力領域 200 における各出力回路は、充電信号及びクロック信号に応じて出力信号を提供する。各出力回路は、充電信号に応じて導通状態になる可能なスイッチ素子を含み、スイッチ素子は、入力端子と出力端子とを含み、スイッチ素子が導通状態になると、入力端子はクロック信号を受信し、出力端子は出力信号を提供する。

【0053】

図 30 は、本発明の一実施例によるゲートドライバ回路を示すブロック図であり、当該ゲートドライバ回路 30 は、トリガーパルスに応じて充電信号を提供するメインドライバ 150 と、前記充電信号を受信するように構成された複数の出力回路を含む出力領域 200 とを含み、前記複数の出力回路のそれぞれは、前記充電信号及び異なるクロック信号に応じて出力信号を提供し、前記複数の出力回路のそれぞれは、第 1 の出力回路 200₁ と第 2 の出力回路 200₂ とを含み、前記第 1 の出力回路 200₁ が提供する前記出力信号は、前記充電信号及び第 1 のクロック信号に応じる信号であり、前記第 2 の出力回路 200₂ が提供する前記出力信号は、前記充電信号及び前記第 1 のクロック信号に後続する第 2 のクロック信号に応じる信号であり、前記メインドライバ 150 は、前記トリガーパルスを受信するように構成された制御端子と、前記充電信号を提供するように構成された出力端子とを有し、前記トリガーパルスに応じて導通状態になる第 1 のスイッチ素子 M 4 と、前記第 1 のスイッチ素子 M 4 の前記出力端子に電氣的に接続される第 1 の端子と、電圧源に接続される第 2 の端子と、前記充電信号のリセットに用いる、前記トリガーパルスに後続する第 2 のパルスを受信するように構成された制御端子とを有し、前記第 2 のパルスに応じて導通状態になることにより、前記第 1 のスイッチ素子 M 4 の前記出力端子を前記電圧源に電氣的に接続させる第 2 のスイッチ素子 M 1 と、前記第 1 のクロック信号を受信するように構成された第 1 の端子と、前記電圧源に接続される第 2 の端子と、前記第 1 のスイッチ素子 M 4 の前記出力端子に接続される制御端子とを有し、前記充電信号に応じて導通状態になる第 3 のスイッチ素子 M 2 と、前記第 1 のスイッチ素子 M 4 の前記出力端子に接続される第 1 の端子と、前記電圧源に接続される第 2 の端子と、前記第 1 のクロック信号を受信するように構成された制御端子とを有する第 4 のスイッチ素子 M 3 とを含む。

【0054】

本発明の一実施例において、各出力回路は、スイッチ素子の出力端子に電氣的に接続される放電ユニットをさらに含み、放電ユニットは、クロック信号と相補的な入力信号を受信し、出力信号をリセットするように構成され、メインドライバは、さらにトリガーパルスに後続する第 2 のパルスを受信し、これにより、前記充電信号をリセットする。

【0055】

また、本発明はゲートラインドライバを提供し、複数のゲートドライバステージおよび

出力領域を含み、各ゲートドライバステージは、トリガーパルスに応じて充電信号を提供するためのメインドライバを含み、出力領域は、充電信号を受信するための複数の出力回路を含み、出力領域における各出力回路は、充電信号及びクロック信号に応じて出力信号を提供する。

【0056】

本発明の一実施例において、ゲートドライバは、複数のゲートドライバステージを含み、前記複数のゲートドライバステージのそれぞれは、トリガーパルスに応じて充電信号を提供するメインドライバと、前記充電信号及び異なるクロック信号を受信するように構成された複数の出力回路を含む出力領域とを含み、前記複数の出力回路のそれぞれは、少なくとも第1の出力回路と第2の出力回路とを含み、前記第1の出力回路は、前記充電信号及び第1のクロック信号に応じて第1の出力信号を提供するように構成され、前記第2の出力回路は、前記充電信号及び前記第1のクロック信号に後続する第2のクロック信号に応じて第2の出力信号を提供するように構成され、前記第1のクロック信号は、前記第2のクロック信号と時間的に一部重なっている。

【0057】

本発明の一実施例において、出力回路はN個の出力回路を含み、これらN個の出力回路は、N個のシリアル出力信号を提供するためのN個のシリアルクロック信号を受信するように構成され、Nは1より大きい正の整数であり、これらN個のシリアルクロック信号は、第1のクロックパルスと、第1のクロックパルスに後続する第2のクロックパルスとを含み、第1のクロックパルスと第2のクロックパルスとが互いに1個の時間単位でシフトされ、第1のクロックパルスはトリガーパルスに後続するあるため、トリガーパルスと第1のクロックパルスとを互いに少なくとも1個の時間単位でシフトさせる。本発明の他の実施例において、出力回路は、N個のシリアルクロック信号を受信しN個のシリアル出力信号を提供するように構成されるN個の出力回路を含み、Nは1より大きい正の整数であり、これらN個のシリアルクロック信号は、第1のクロックパルスと、該第1のクロックパルスに後続する最終クロックパルスとを含み、第1のクロックパルスと最終クロックパルスとが互いに(N-1)の時間単位でシフトされている。

【0058】

本発明の一実施例において、ゲートドライバステージがQステージを含み、Qは1より大きい正の整数であり、Qステージのそれぞれは、N個のシリアル出力信号を提供するように構成され、N個のシリアル出力信号は、第1の出力信号と、該第1の出力信号に後続する最終出力信号とを含み、Qステージは、第1のステージ及び最終ステージを含み、このQステージは、第1のステージの第1の出力信号と最終ステージの最終出力信号とを互いに(Q×N-1)個の時間単位でシフトさせるようにカスケード配置される。本発明の他の実施例において、ゲートドライバステージがQステージを含み、Qは1より大きい正の整数であり、Qステージの各ステージは、N個のシリアル出力信号を提供するように構成され、これらのN個のシリアル出力信号は、第1の出力信号と、該第1の出力信号に後続する最終出力信号とを含み、Qステージは、第1のステージ及び第2のステージを含み、このQステージは、第1のステージの第1の出力信号と第2のステージの第1の出力信号とを互いにN個の時間単位でシフトさせるようにカスケード配置され、第1のステージのN個のシリアル出力信号のうち一つは、第2のステージのメインドライバにトリガーパルスを提供するように構成される。本発明の別の実施例において、メインドライバは、メイン出力回路をさらに含み、充電信号及び異なるクロック信号に応じてメイン出力信号を提供するように構成され、複数のゲートドライバステージがQステージを含み、Qは1より大きい正の整数であり、Qステージの各ステージは、N個のシリアル出力信号を提供するように構成され、これらQステージは、第1のステージ及び第2のステージを含み、前記Qステージは、第1のステージの第1の出力信号と第2のステージの第1の出力信号とを互いにN個の時間単位でシフトさせるようにカスケード配置され、第1のステージのメイン出力信号は、第2のステージのメインドライバにトリガーパルスを提供するように構成される。

【0059】

また、本発明は表示パネルを提供する。例えば、表示領域を含む液晶表示パネルであって、表示領域が薄膜トランジスタアレイを含む。薄膜トランジスタアレイは、複数のゲートラインからゲートライン信号を受信することにより、画素アレイを制御する。ゲートラインドライバは、薄膜トランジスタアレイにゲートライン信号を提供するように構成され、各ゲートラインドライバは、複数のゲートドライバステージを含み、各ゲートドライバステージは、前述のようなメインドライバ及び出力領域を含む。本発明の一実施例において、表示領域は、基板の第1の領域に配置され、ゲートラインドライバは、基板上の第1の領域に隣接した第2の領域に配置される。本発明のその他の実施例において、表示領域は、基板の第1の領域に配置され、表示領域は、第1の側とそれと異なる第2の側とを含み、これらのゲートドライバステージは、第1グループのゲートドライバステージおよび第2グループのゲートドライバステージを含み、第1グループのゲートドライバステージは、基板上の表示領域の第1の側に隣接した第2の領域に位置され、第2グループのゲートドライバステージは、基板上の表示領域の第2の側に隣接した第3の領域に位置され、これらのゲートラインは、第1グループのゲートラインおよび第2グループのゲートラインを含み、第1グループのゲートラインは、第1グループのゲートドライバステージからのゲートライン信号を受信し、第2グループのゲートラインは、第2グループのゲートドライバステージからのゲートライン信号を受信する。

10

【0060】

それに応じて、本発明の実施例による表示パネルを駆動する方法は、薄膜トランジスタアレイを駆動するためのゲートライン信号を生成するゲートラインドライバを提供するステップと、充電信号を生成するために、メインドライバにトリガー信号に応じるトリガーパルスを提供するステップと、出力領域に複数のシリアルクロック信号を提供するステップと、ゲートライン信号のうち1つのゲートライン信号を生成するために、充電信号及びシリアルクロック信号のうち一方の異なるシリアルクロック信号を提供するステップと、を含み、ゲートラインドライバは、複数のゲートドライバステージを含み、各ゲートドライバステージは、メインドライバ及び複数の出力回路を有する出力領域を含んでおり、複数のシリアルクロック信号が時間的に互いに重なるように構成される。

20

【0061】

図31は、本発明の一実施例による表示パネルを駆動する方法を示すフローチャートであり、当該表示パネルが表示領域を含み、当該表示領域が薄膜トランジスタアレイを含み、当該薄膜トランジスタアレイが複数のゲートラインにおけるゲートライン信号を受信することにより画素アレイを制御し、前記方法は、前記薄膜トランジスタアレイを駆動するための前記ゲートライン信号を生成するゲートラインドライバを提供するステップS10と、前記メインドライバにトリガーパルスを提供し、該トリガーパルスに応じて充電信号を生成するステップS20と、前記出力領域に複数のシリアルクロック信号を提供するステップS30と、及び前記出力回路のそれぞれに、前記充電信号及び前記複数のシリアルクロック信号のうち1つの異なるシリアルクロック信号を提供することにより、前記ゲートライン信号のうち1つのゲートライン信号を生成するステップS40とを含み、前記ゲートラインドライバは、複数のゲートドライバステージを含み、該ゲートドライバステージのそれぞれは、メインドライバと、複数の出力回路を有する出力領域とを含んでおり、前記複数のシリアルクロック信号は、時間的に互いに重なるように構成されている。

30

40

【0062】

本発明の実施例において、この方法は、ゲートラインドライバをQ個のゲートドライバステージに配置するステップをさらに含み、Qステージの各ステージは、N個のシリアル出力信号の提供に用いられ、これらのN個のシリアル出力信号は、第1の出力信号と第1の出力信号に後続する最終出力信号とを含み、Qステージは、第1のステージ及び最終ステージを含み、該Qステージは、第1のステージの第1の出力信号と最終ステージの最終出力信号とを互いに $(Q \times N - 1)$ 個の時間単位でシフトさせるようにカスケード配置され、QおよびNは、いずれも1より大きい正の整数である。

50

【0063】

本発明の他の実施例において、この方法は、ゲートラインドライバをQ個のゲートドライバステージに配置するステップをさらに含み、Qステージのそれぞれは、N個のシリアルクロック信号の提供に用いられ、N個のシリアルクロック信号は、第1の出力信号と、第1の出力信号に後続する最終出力信号とを含み、Qステージは、第1のステージ及び第2のステージを含み、第1のステージの第1の出力信号と第2のステージの第1の出力信号とを互いにN個の時間単位でシフトさせるようにカスケード配置され、第1のステージのN個のシリアルクロック信号のうち一つは、第2のステージのメインドライバにトリガーパルスを提供するように構成され、QおよびNは、いずれも1より大きい正の整数である。

10

【0064】

異なる実施例において、この方法は、複数のゲートライングループにゲートラインドライバを配置するステップをさらに含み、各グループはP本のゲートラインを含み、P本のゲートラインを提供するように、複数のゲートドライバステージはQ個のゲートドライバステージを含み、Q個のゲートドライバステージのそれぞれは、R個のシリアルクロック信号を受信しR個のシリアル出力信号を提供するように構成されたR個の複数の出力回路を含み、P、QおよびNは、いずれも1より大きい正の整数であり、R個のシリアル出力信号は、第1のクロックパルスと、第1のクロックパルスに後続する第2のクロックパルスとを含み、第1のクロックパルスと第2のクロックパルスとは互いに1個の時間単位でシフトされており、メインドライバは、さらに充電信号をリセットするために、トリガーパルスに後続するリセットパルスを受信するように構成され、トリガーパルスとリセットパルスとは互いにP個の時間単位でシフトされる。

20

【0065】

また、第1のクロックパルスはトリガーパルスに後続されることにより、トリガーパルスと第1のクロックパルスとを互いに時間周期でシフトさせ、時間周期は $[(P/2) - R + 1]$ により決定され、 $[(P/2) - R + 1]$ が1に等しい場合に、時間周期は1個の時間周期に等しく、 $[(P/2) - R + 1]$ が1より大きい場合に、時間周期はM個の時間周期に等しく、Mは1から $[(P/2) - R + 1]$ までの正の整数である。

【0066】

本発明の異なる実施例において、複数のシリアルクロック信号はN個のシリアルクロック信号を含み、複数の出力回路はN個の出力回路であり、該N個の出力回路は、N個のシリアルクロック信号を受信することにより、N個のシリアル出力信号を提供するように構成され、該N個のシリアル出力信号は、第1のクロックパルスと、該第1のクロックパルスに後続する第2のクロックパルスとを含み、第1のクロックパルスと第2のクロックパルスとは互いに1個の時間単位でシフトされ、第1のクロックパルスはトリガーパルスに後続するため、トリガーパルスと第1のクロックパルスとを互いに1個の時間単位でシフトさせ、Nは1より大きい正の整数である。

30

【0067】

以上、好適な実施形態を開示することにより本発明を説明したが、かかる開示は本発明を限定するものではなく、本発明の精神を逸脱しない限りにおいては、変更や修飾は可能である。つまり、本発明の保護範囲は、願書に添付した特許請求の範囲に定義されたものを基準としなければならない。

40

【符号の説明】

【0068】

10 表示パネル

20 表示領域

30, 30L, 30R ゲートドライバ回路

80 ゲートドライバグループ

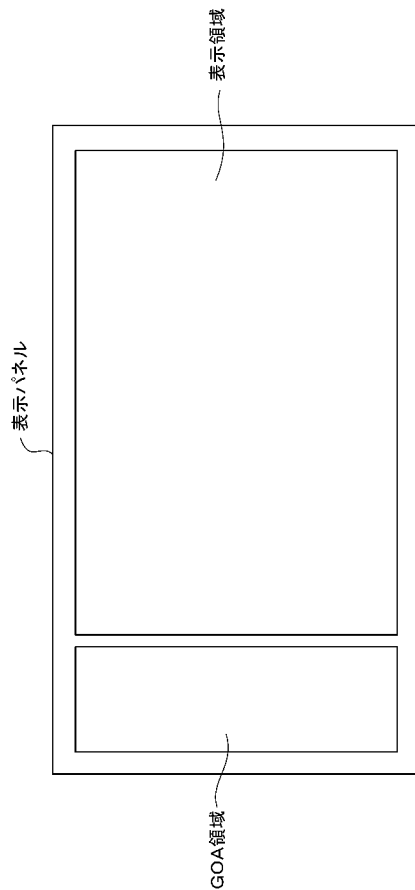
100, 100₁, 100₂, ..., 100_K, 100_{1L}, 100_{2L}, ..., 100_{1R}, 100_{2R}, ..., 100', 100'₁, 100'₂, ..., 100'_{1L}, 100'₂

50

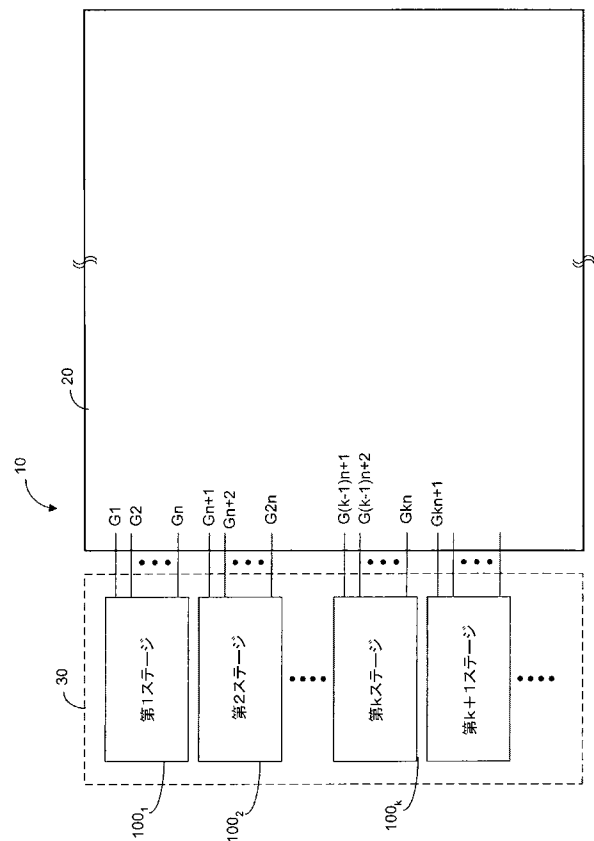
$L, \dots, 100'_{1R}, 100'_{2R}, \dots, 100'_{\dots}$ ゲートドライバステージ
 150, 150', 151 メインドライバ
 152 充電信号 (Boost 信号)
 154 クロックパルス
 160, 160' 入力ユニット
 162, 164, 172, 174, 182, 184, 212, 222, 224 スイッチ
 ユニット
 166, 168 信号入力端子
 170 放電ユニット
 176, 214, 226 クロック信号入力端子
 180 安定素子
 186 容量
 200 多出力回路
 210, 210₀, 210₁, 210₂, 210₃, $\dots$, 210₆ サブ出力回路
 215 プルアップユニット
 220 プルダウンユニット
 230 出力端子

10

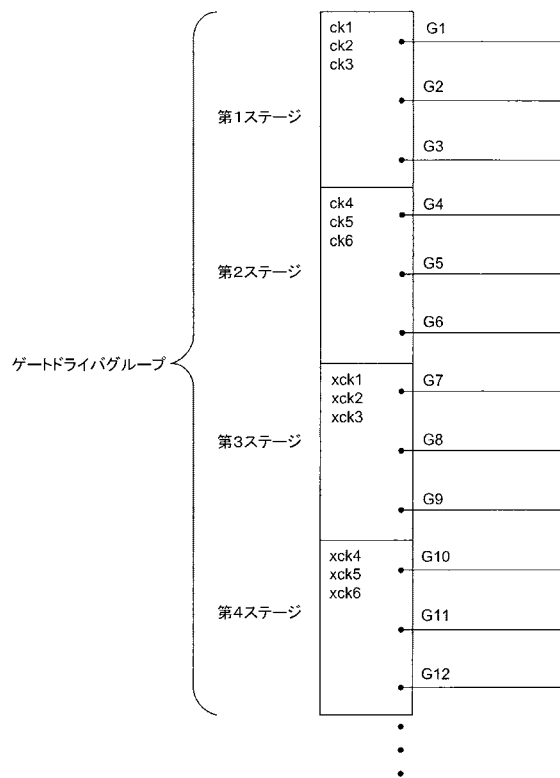
【図 1】



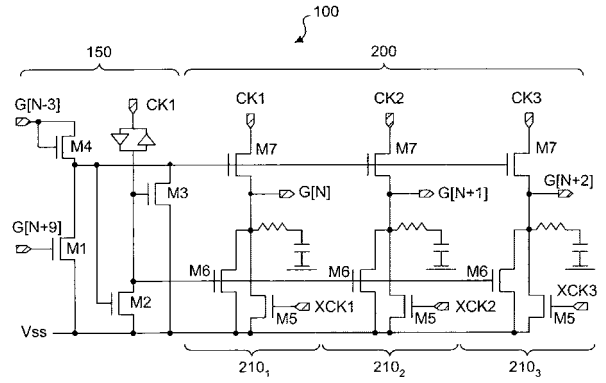
【図 2】



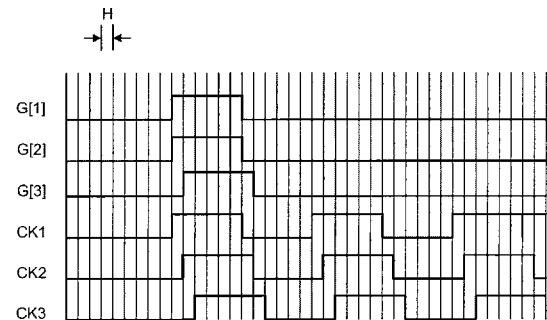
【図 3】



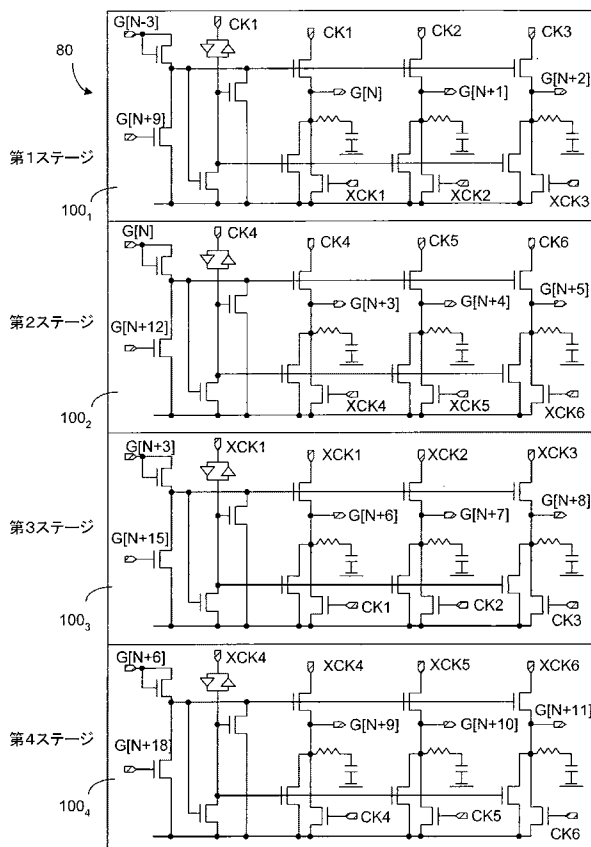
【図 4】



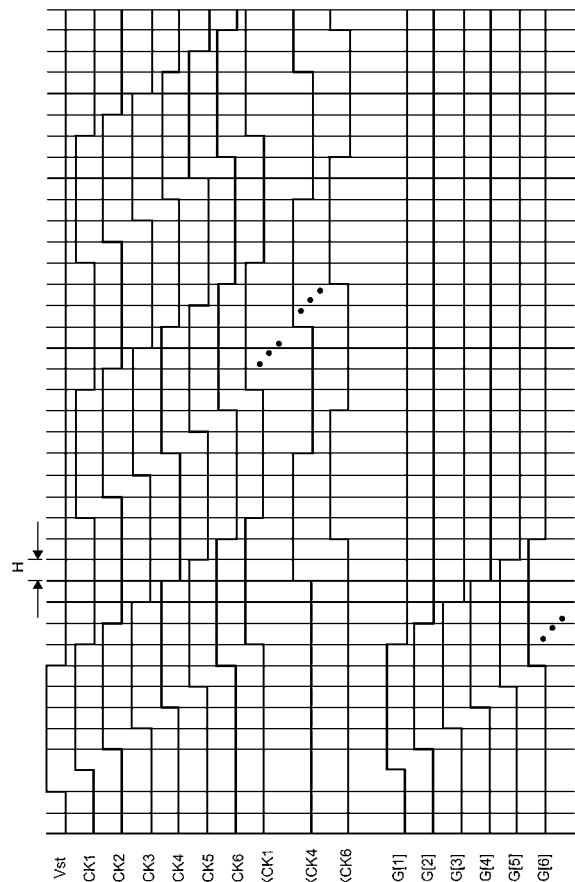
【図 5】



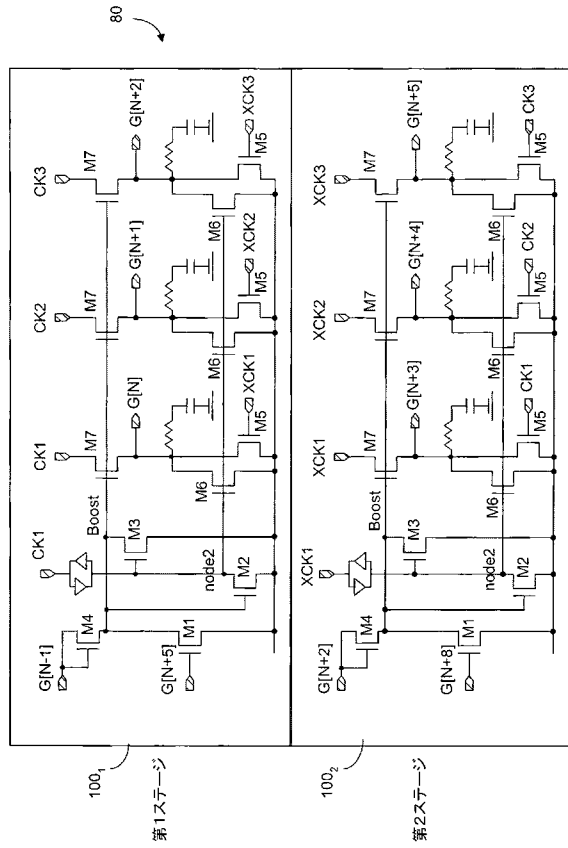
【図 6】



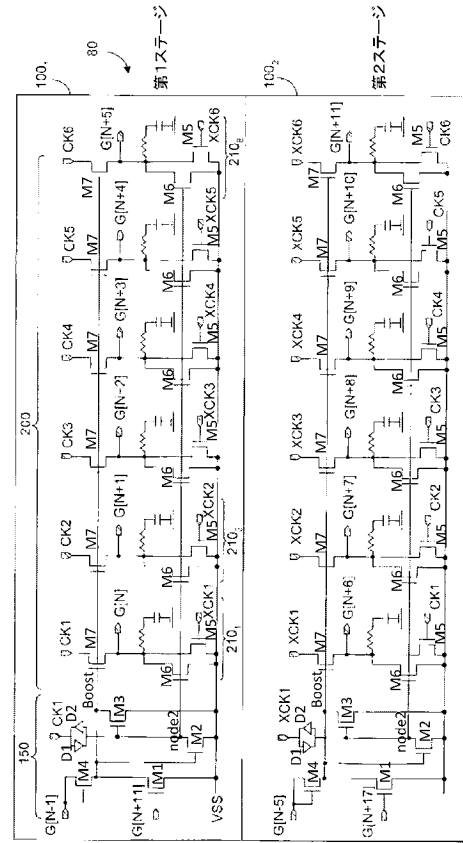
【図 7】



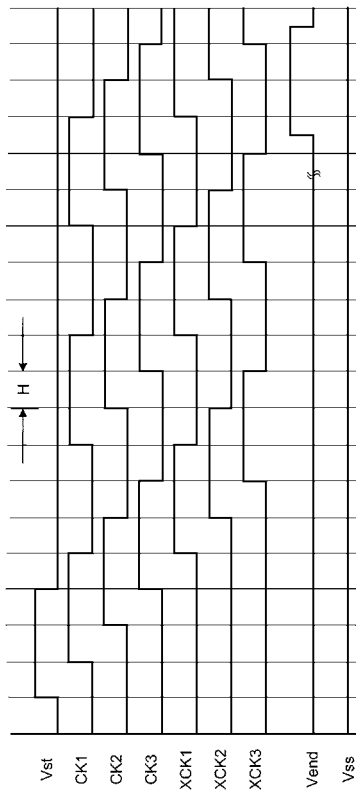
【図 8】



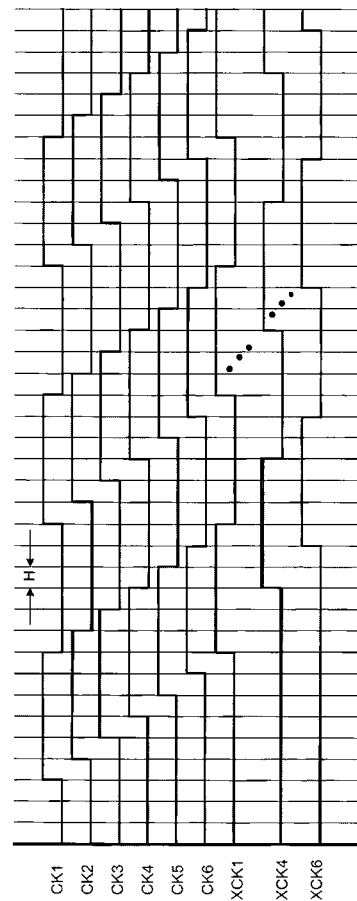
【図 9】



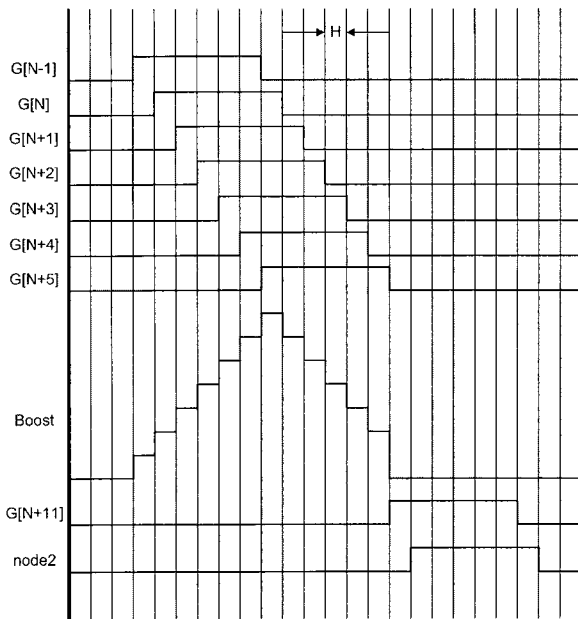
【図 10 a】



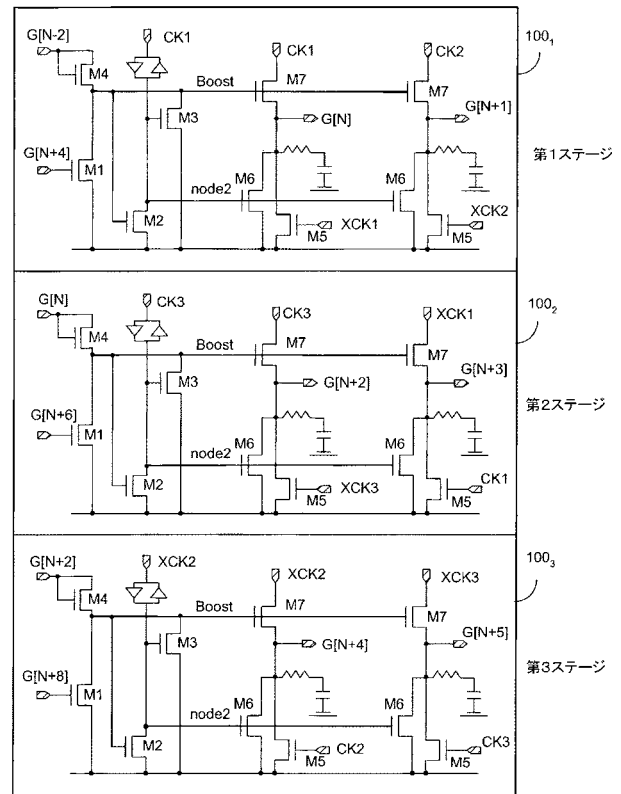
【図 10 b】



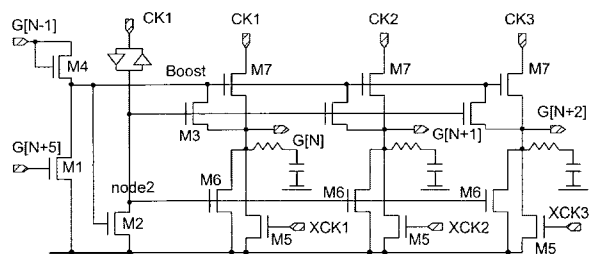
【図 1 1】



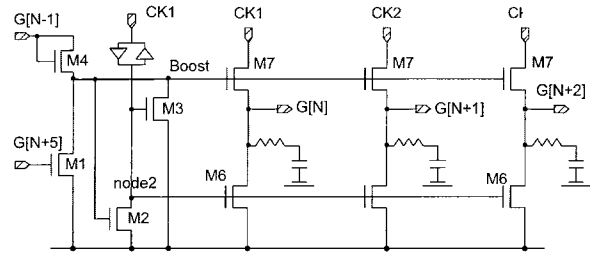
【図 1 2】



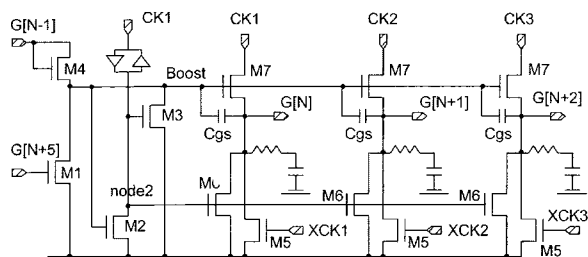
【図 1 3 a】



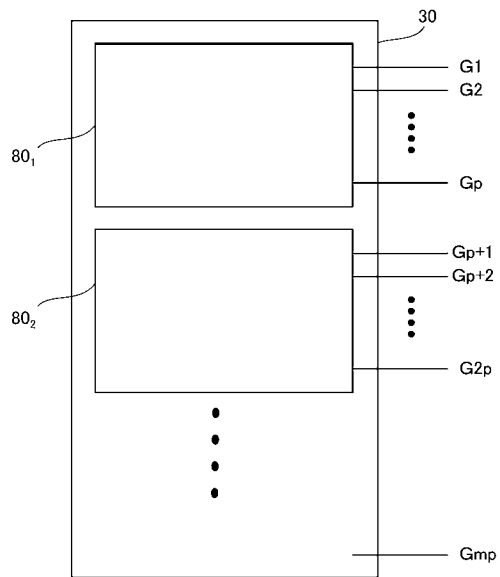
【図 1 3 c】



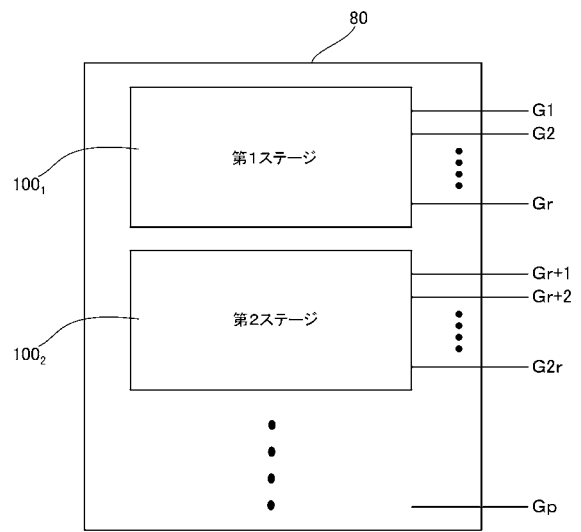
【図 1 3 b】



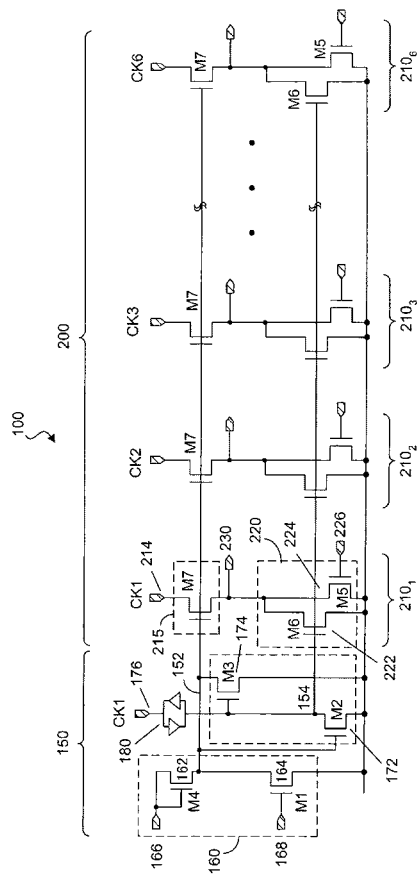
【図 1 4】



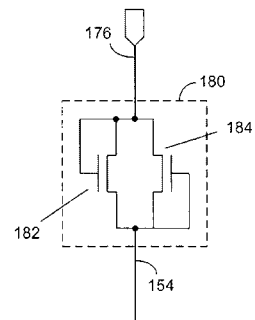
【図 1 5】



【図 1 6】



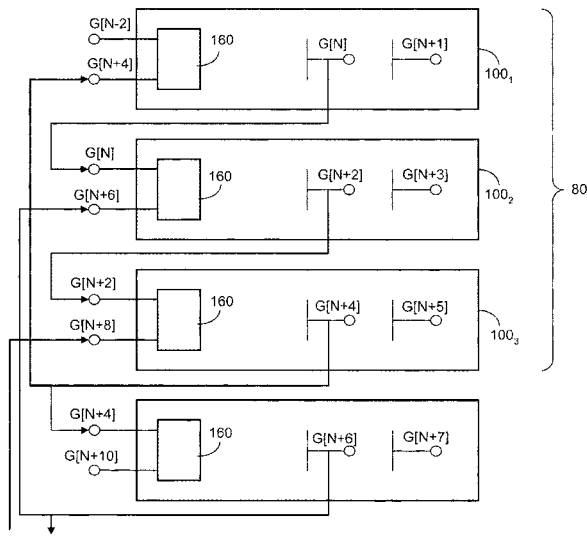
【図 1 7 a】



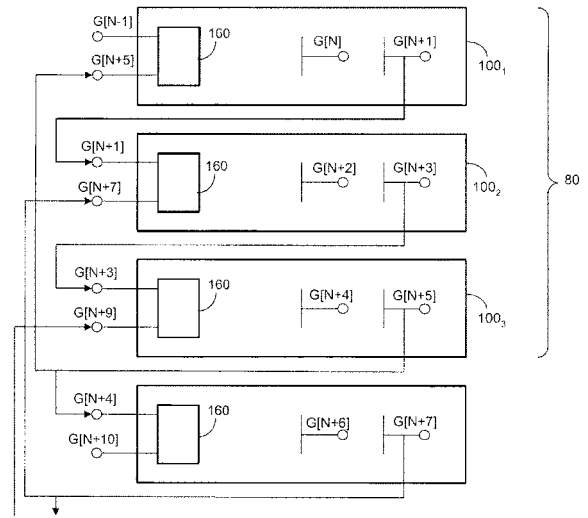
【図 1 7 b】



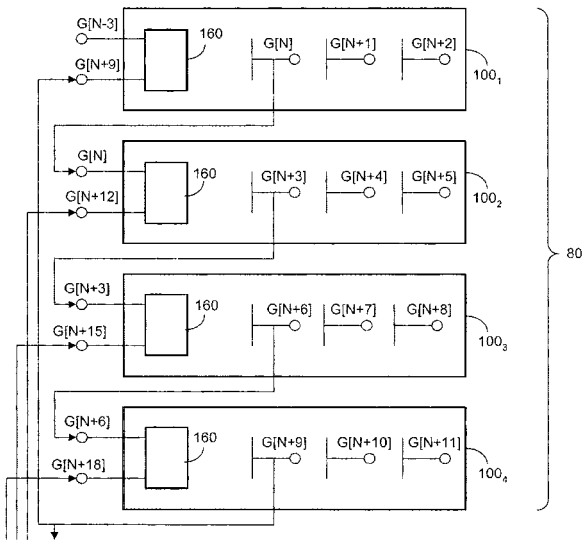
【図 18 a】



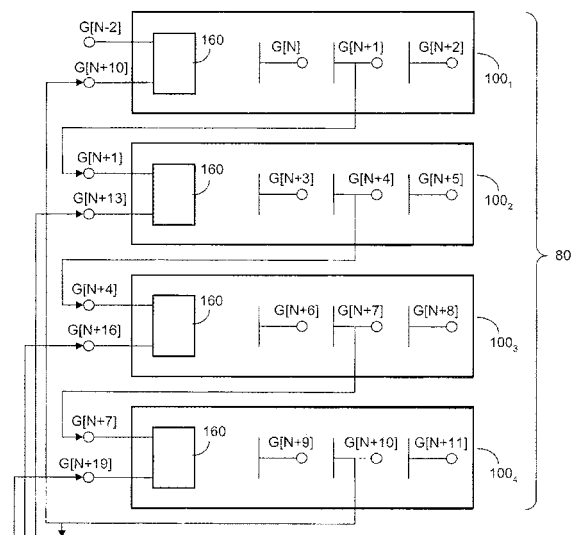
【図 18 b】



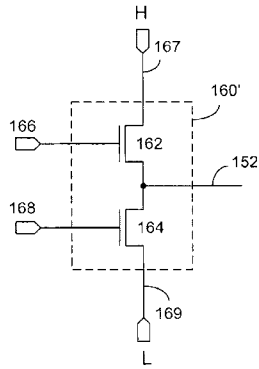
【図 18 c】



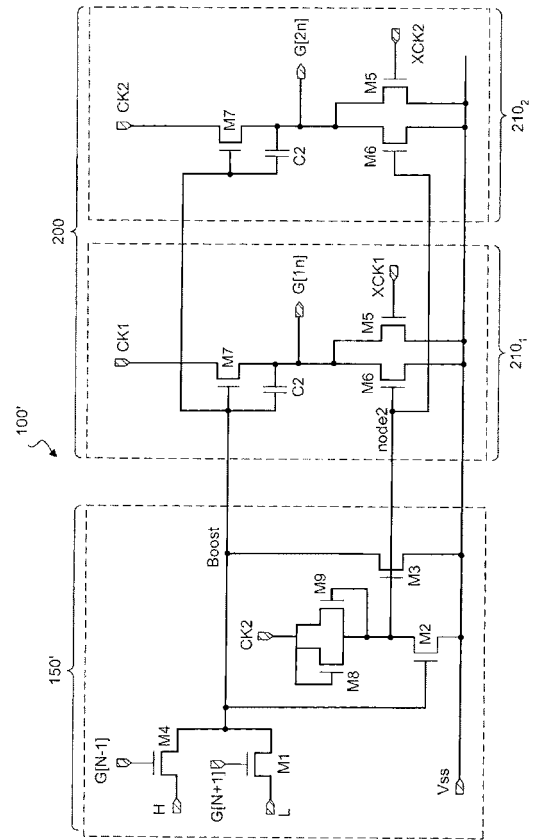
【図 18 d】



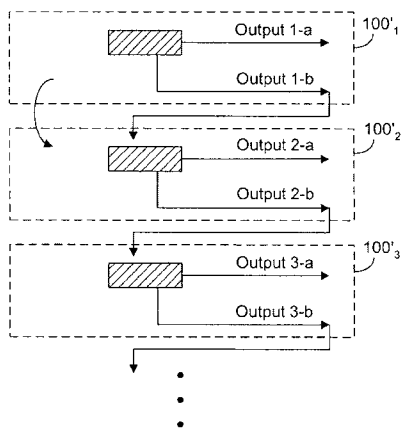
【図 19】



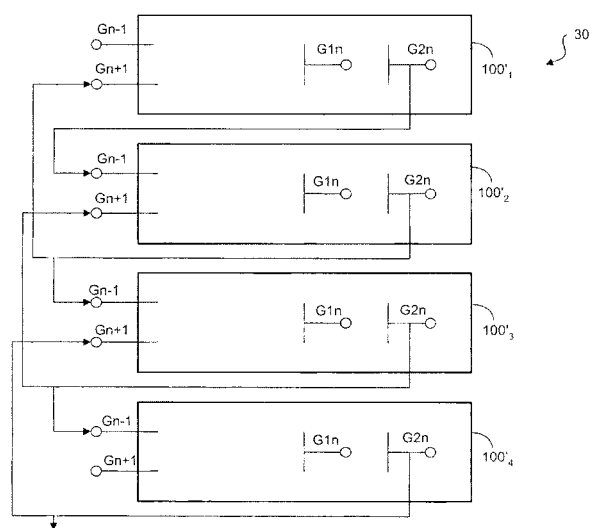
【図 20】



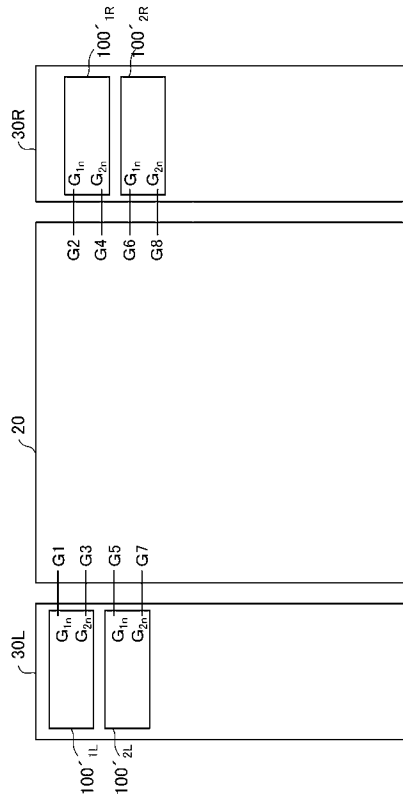
【図 21 a】



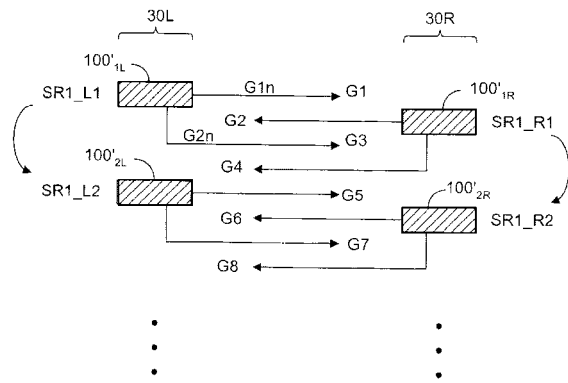
【図 21 b】



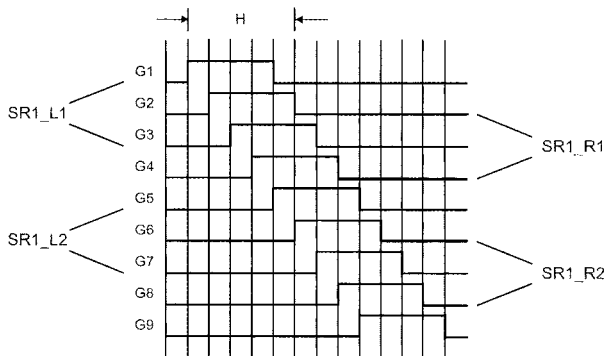
【図 2 2】



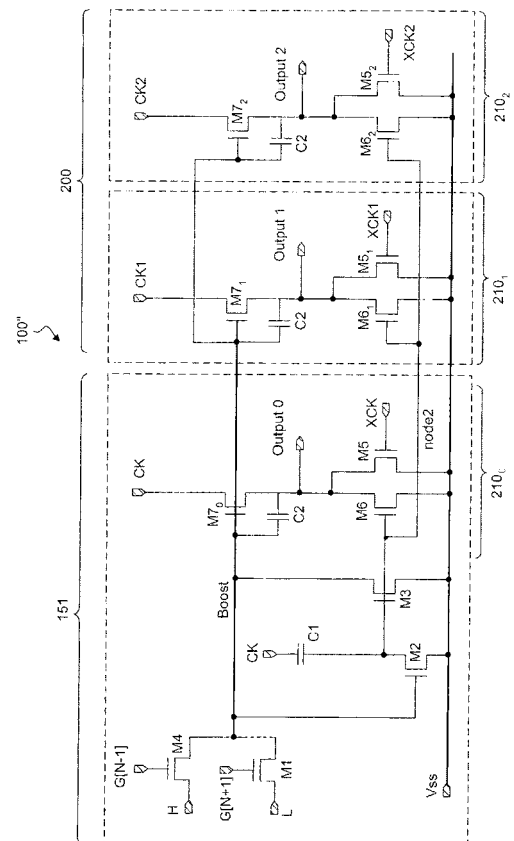
【図 2 3】



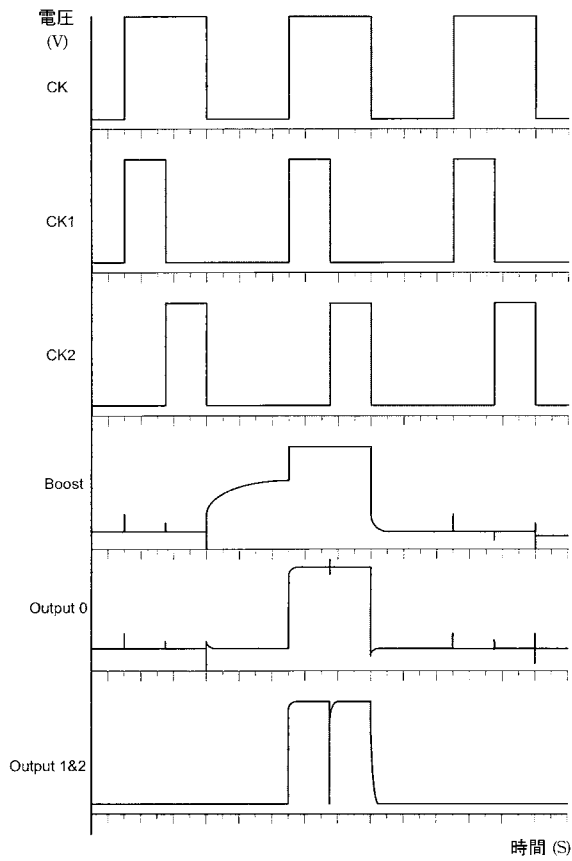
【図 2 4】



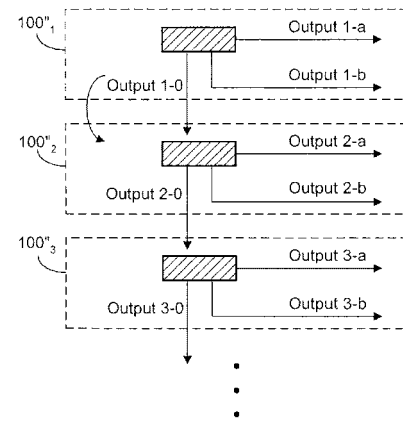
【図 2 5】



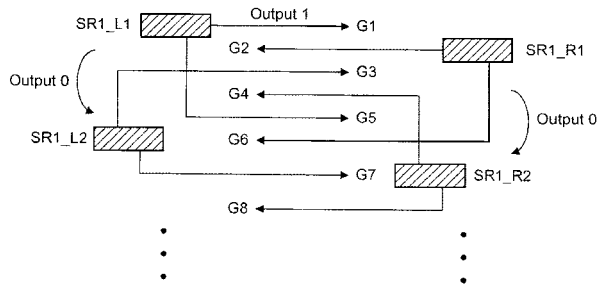
【図 26】



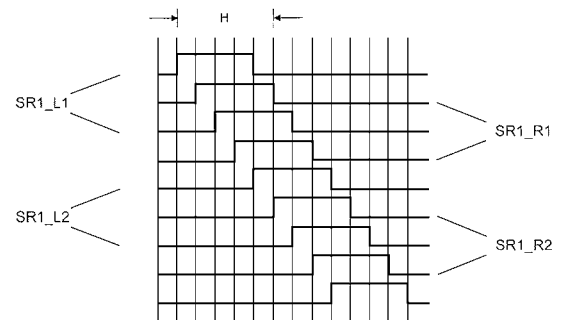
【図 27】



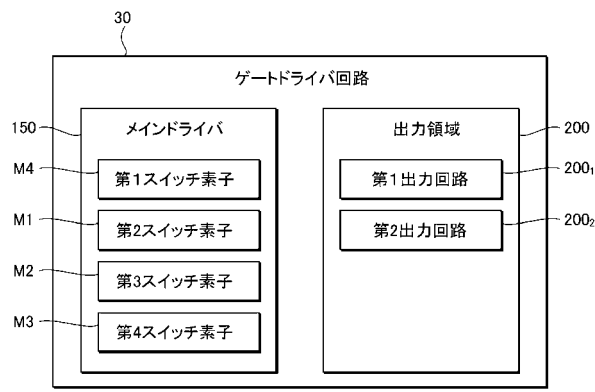
【図 28】



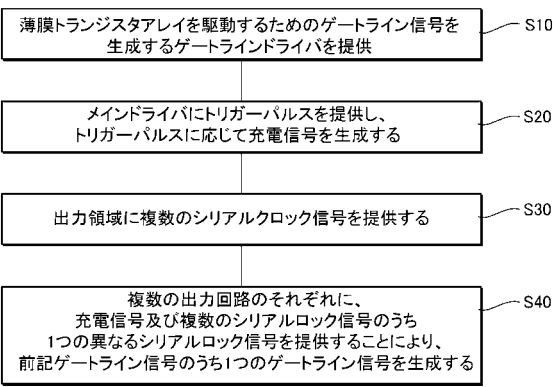
【図 29】



【図 3 0】



【図 3 1】



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	H 0 3 K 17/687	A
	H 0 3 K 17/06	C

(72)発明者 劉 匡祥
台湾新竹市科学工業園區力行二路1号 友達光電股▲ふん▼有限公司内

(72)発明者 劉 聖超
台湾新竹市科学工業園區力行二路1号 友達光電股▲ふん▼有限公司内

(72)発明者 張 哲嘉
台湾新竹市科学工業園區力行二路1号 友達光電股▲ふん▼有限公司内

(72)発明者 簡 靈櫻
台湾新竹市科学工業園區力行二路1号 友達光電股▲ふん▼有限公司内

F ターム(参考) 5C006 AC22 BB16 BC03 BC20 BF03 BF31 BF37 FA43
5C080 AA10 BB05 FF11 JJ02 JJ03 JJ04
5J055 AX44 BX16 CX29 DX13 EX07 EY01 EY10 EY21 EZ18 GX01
GX04

专利名称(译)	栅极驱动器，电子电路和用于液晶显示器的方法		
公开(公告)号	JP2013174876A	公开(公告)日	2013-09-05
申请号	JP2013012002	申请日	2013-01-25
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股份有限公司		
[标]发明人	曾建彰 劉匡祥 劉聖超 張哲嘉 簡靈櫻		
发明人	曾建彰 劉匡祥 劉聖超 張哲嘉 簡靈櫻		
IPC分类号	G09G3/36 G09G3/20 H03K17/687 H03K17/06		
CPC分类号	G09G3/20 G09G3/3677 G09G2310/0218 G09G2310/0286		
FI分类号	G09G3/36 G09G3/20.622.A G09G3/20.621.A G09G3/20.622.D G09G3/20.622.E H03K17/687.A H03K17/06.C G11C19/00 G11C19/00.J G11C19/28.D G11C19/28.230 H03K17/06.063		
F-TERM分类号	5C006/AC22 5C006/BB16 5C006/BC03 5C006/BC20 5C006/BF03 5C006/BF31 5C006/BF37 5C006/FA43 5C080/AA10 5C080/BB05 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5J055/AX44 5J055/BX16 5J055/CX29 5J055/DX13 5J055/EX07 5J055/EY01 5J055/EY10 5J055/EY21 5J055/EZ18 5J055/GX01 5J055/GX04 5B074/AA10 5B074/CA01 5B074/EA01		
优先权	13/403434 2012-02-23 US		
其他公开文献	JP5913141B2		
外部链接	Espacenet		

摘要(译)

用于驱动TFT-LCD面板的栅极驱动器包括以组和级布置的多个栅极驱动器电路。每个栅极驱动器电路具有主驱动器和输出部分。主驱动器用于向输出部分提供充电信号，输出部分具有两个或更多个输出电路。每个输出电路被配置为响应于充电信号和时钟信号提供栅极线信号。栅极驱动器电路使用比传统电路更少的开关元件，例如薄膜晶体管。当栅极驱动器集成在TFT-LCD显示面板中并设置在显示区域周围的外围区域内时，希望减少或最小化栅极驱动器中的开关元件的数量，从而可以减小外围区域。

