

(19) **日本国特許庁(JP)**

(12) **公開特許公報(A)**

(11) 特許出願公開番号

特開2013-29645

(P2013-29645A)

(43) 公開日 平成25年2月7日(2013.2.7)

(51) Int.Cl.
G02F 1/1368 (2006.01)

F 1
GO 2 F 1/1368

テーマコード (参考)
2H092

審査請求 有 請求項の数 15 O L (全 23 頁)

(21) 出願番号 特願2011-165257 (P2011-165257)
(22) 出願日 平成23年7月28日 (2011. 7. 28)

(71) 出願人 302020207
株式会社ジャパンディスプレイセントラル
埼玉県深谷市幡羅町一丁目9番地2

(74) 代理人 100108855
弁理士 蔵田 昌俊

(74) 代理人 100159651
弁理士 高倉 成男

(74) 代理人 100091351
弁理士 河野 哲

(74) 代理人 100088683
弁理士 中村 誠

(74) 代理人 100109830
弁理士 福原 淑弘

(74) 代理人 100075672
弁理士 峰 隆司

最終頁に続く

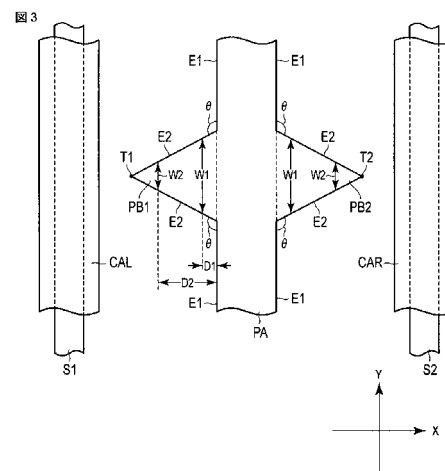
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】表示品位の劣化を抑制することが可能な液晶表示装置を提供する。

【解決手段】直線的に延出した第1エッジを有する帯状の主画素電極と、前記主画素電極の前記第1エッジから突出した副画素電極と、を備えた第1基板と、前記主画素電極を挟んだ両側で前記主画素電極と略平行に延出した主共通電極を備えた第2基板と、前記第1基板と前記第2基板との間に保持された液晶分子を含む液晶層と、を備え、前記副画素電極は、前記第1エッジから第1距離をおいた位置で第1幅を有し、前記第1エッジから第1距離よりも離れた第2距離をおいた位置で第1幅より小さい第2幅を有することを特徴とする液晶表示装置。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

直線的に延出した第 1 エッジを有する帯状の主画素電極と、前記主画素電極の前記第 1 エッジから突出した副画素電極と、を備えた第 1 基板と、

前記主画素電極を挟んだ両側で前記主画素電極と略平行に延出した主共通電極を備えた第 2 基板と、

前記第 1 基板と前記第 2 基板との間に保持された液晶分子を含む液晶層と、を備え、

前記副画素電極は、前記第 1 エッジから第 1 距離をおいた位置で第 1 幅を有し、前記第 1 エッジから第 1 距離よりも離れた第 2 距離をおいた位置で第 1 幅より小さい第 2 幅を有することを特徴とする液晶表示装置。

10

【請求項 2】

前記副画素電極は、前記第 1 エッジに繋がる直線状の第 2 エッジを有し、前記第 1 エッジと前記第 2 エッジとのなす角度が鈍角であることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記副画素電極は、前記第 1 エッジに繋がる曲線状の第 2 エッジを有し、前記第 1 エッジと前記第 2 エッジの接線とのなす角度が鈍角であることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 4】

前記第 1 基板は、さらに、前記主共通電極と対向するソース配線を備えたことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の液晶表示装置。

20

【請求項 5】

第 1 方向に沿って間隔をおいて隣接し第 1 方向に交差する第 2 方向に沿って延出した第 1 ソース配線及び第 2 ソース配線と、前記第 1 ソース配線と前記第 2 ソース配線との間において第 2 方向に沿って延出した主画素電極と、前記主画素電極から前記第 1 ソース配線及び前記第 2 ソース配線に向かってそれぞれ突出した副画素電極と、を備えた第 1 基板と、

前記第 1 ソース配線及び前記第 2 ソース配線とそれぞれ対向し前記主画素電極と略平行に延出した主共通電極を備えた第 2 基板と、

前記第 1 基板と前記第 2 基板との間に保持された液晶分子を含む液晶層と、を備え、

30

前記副画素電極は、前記主画素電極側で第 2 方向に沿った第 1 幅を有し、前記第 1 ソース配線側及び前記第 2 ソース配線側で第 2 方向に沿って第 1 幅より小さい第 2 幅を有することを特徴とする液晶表示装置。

【請求項 6】

前記主画素電極は、第 2 方向に沿って直線的に延出した第 1 エッジを有し、

前記副画素電極は、前記第 1 エッジに繋がる第 2 エッジを有し、

前記第 1 エッジと直線状の前記第 2 エッジとのなす角度、または、前記第 1 エッジと曲線状の前記第 2 エッジの接線とのなす角度は、鈍角であることを特徴とする請求項 5 に記載の液晶表示装置。

【請求項 7】

40

前記第 2 基板は、さらに、前記主共通電極と電氣的に接続され第 1 方向に沿って延出した副共通電極を備えたことを特徴とする請求項 5 または 6 に記載の液晶表示装置。

【請求項 8】

前記第 1 基板は、さらに、前記主共通電極と電氣的に接続され第 1 方向に沿って延出した第 2 副共通電極を備えたことを特徴とする請求項 5 乃至 7 のいずれか 1 項に記載の液晶表示装置。

【請求項 9】

前記第 1 基板は、さらに、前記主共通電極と電氣的に接続され第 2 方向に沿って延出した第 2 主共通電極を備えたことを特徴とする請求項 5 乃至 8 のいずれか 1 項に記載の液晶表示装置。

50

【請求項 10】

前記第 1 基板は、さらに、前記副画素電極の直下に配置されたゲート配線または補助容量線を備えたことを特徴とする請求項 1 乃至 9 のいずれか 1 項に記載の液晶表示装置。

【請求項 11】

前記第 1 基板は、さらに、前記副画素電極と電氣的に接続されたスイッチング素子を備えたことを特徴とする請求項 1 乃至 10 のいずれか 1 項に記載の液晶表示装置。

【請求項 12】

直線的に延出した第 1 エッジを有する帯状の主画素電極と、前記主画素電極の前記第 1 エッジとは異なる方向に延出した第 2 エッジを有する副画素電極と、を備えた第 1 基板と、

前記主画素電極を挟んだ両側で前記主画素電極と略平行に延出した主共通電極を備えた第 2 基板と、

前記第 1 基板と前記第 2 基板との間に保持された液晶分子を含む液晶層と、を備え、

前記第 1 エッジと直線状の前記第 2 エッジとのなす角度、または、前記第 1 エッジと曲線状の前記第 2 エッジの接線とのなす角度は、鈍角であることを特徴とする液晶表示装置。

【請求項 13】

前記主画素電極と前記主共通電極との間に電界が形成されていない状態で、前記液晶層の液晶分子の初期配向方向は、前記主画素電極の延出方向に対して 0° 乃至 20° の範囲内の方向と略平行であることを特徴とする請求項 1 乃至 12 のいずれか 1 項に記載の液晶表示装置。

【請求項 14】

前記液晶分子は、前記主画素電極と前記主共通電極との間に電界が形成されていない状態で、前記第 1 基板と前記第 2 基板との間においてスプレイ配向またはホモジニアス配向していることを特徴とする請求項 13 に記載の液晶表示装置。

【請求項 15】

さらに、前記第 1 基板の外面に配置された第 1 偏光板及び第 2 基板の外面に配置された第 2 偏光板を備え、前記第 1 偏光板の第 1 偏光軸と前記第 2 偏光板の第 2 偏光軸とが直交し、前記第 1 偏光板の第 1 偏光軸が前記液晶層の液晶分子の初期配向方向と直交する或いは平行であることを特徴とする請求項 1 乃至 14 のいずれか 1 項に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、液晶表示装置に関する。

【背景技術】

【0002】

近年、平面表示装置が盛んに開発されており、中でも液晶表示装置は、軽量、薄型、低消費電力等の利点から特に注目を集めている。特に、各画素にスイッチング素子を組み込んだアクティブマトリクス型液晶表示装置においては、IPS (In-Plane Switching) モードや FFS (Fringe Field Switching) モードなどの横電界 (フリンジ電界も含む) を利用した構造が注目されている。このような横電界モードの液晶表示装置は、アレイ基板に形成された画素電極と対向電極とを備え、アレイ基板の主面に対してほぼ平行な横電界で液晶分子をスイッチングする。

【0003】

一方で、アレイ基板に形成された画素電極と、対向基板に形成された対向電極との間に、横電界あるいは斜め電界を形成し、液晶分子をスイッチングする技術も提案されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2009-192822号公報

【特許文献2】特開平09-160041号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本実施形態の目的は、表示品位の劣化を抑制することが可能な液晶表示装置を提供することにある。

【課題を解決するための手段】

【0006】

本実施形態によれば、

10

直線的に延出した第1エッジを有する帯状の主画素電極と、前記主画素電極の前記第1エッジから突出した副画素電極と、を備えた第1基板と、前記主画素電極を挟んだ両側で前記主画素電極と略平行に延出した主共通電極を備えた第2基板と、前記第1基板と前記第2基板との間に保持された液晶分子を含む液晶層と、を備え、前記副画素電極は、前記第1エッジから第1距離をおいた位置で第1幅を有し、前記第1エッジから第1距離よりも離れた第2距離をおいた位置で第1幅より小さい第2幅を有することを特徴とする液晶表示装置が提供される。

【0007】

本実施形態によれば、

20

第1方向に沿って間隔をおいて隣接し第1方向に交差する第2方向に沿って延出した第1ソース配線及び第2ソース配線と、前記第1ソース配線と前記第2ソース配線との間において第2方向に沿って延出した主画素電極と、前記主画素電極から前記第1ソース配線及び前記第2ソース配線に向かってそれぞれ突出した副画素電極と、を備えた第1基板と、前記第1ソース配線及び前記第2ソース配線とそれぞれ対向し前記主画素電極と略平行に延出した主共通電極を備えた第2基板と、前記第1基板と前記第2基板との間に保持された液晶分子を含む液晶層と、を備え、前記副画素電極は、前記主画素電極側で第2方向に沿った第1幅を有し、前記第1ソース配線側及び前記第2ソース配線側で第2方向に沿って第1幅より小さい第2幅を有することを特徴とする液晶表示装置が提供される。

【0008】

本実施形態によれば、

30

直線的に延出した第1エッジを有する帯状の主画素電極と、前記主画素電極の前記第1エッジとは異なる方向に延出した第2エッジを有する副画素電極と、を備えた第1基板と、前記主画素電極を挟んだ両側で前記主画素電極と略平行に延出した主共通電極を備えた第2基板と、前記第1基板と前記第2基板との間に保持された液晶分子を含む液晶層と、を備え、前記第1エッジと直線状の前記第2エッジとのなす角度、または、前記第1エッジと曲線状の前記第2エッジの接線とのなす角度は、鈍角であることを特徴とする液晶表示装置が提供される。

【図面の簡単な説明】

【0009】

【図1】図1は、本実施形態における液晶表示装置の構成及び等価回路を概略的に示す図である。

40

【図2】図2は、図1に示した液晶表示パネルを対向基板側から見たときの一画素の構造例を概略的に示す平面図である。

【図3】図3は、図2に示した副画素電極及びその周辺を拡大したX-Y平面における平面図である。

【図4】図4は、図2に示した液晶表示パネルをA-A線で切断したときの断面構造を概略的に示す断面図である。

【図5】図5は、図2に示した液晶表示パネルにおける画素電極と共通電極との間に形成される電界、及び、この電界による液晶分子のダイレクタと透過率との関係を説明するための図である。

50

【図 6】図 6 は、本実施形態の液晶表示パネルにおける画素電極と共通電極との間に形成される電界及び透過率の関係を説明するための図である。

【図 7】図 7 は、比較例の液晶表示パネルにおける画素電極と共通電極との間に形成される電界及び透過率の関係を説明するための図である。

【図 8】図 8 は、図 1 に示した液晶表示パネルを対向基板側から見たときの一画素の他の構造例を概略的に示す平面図である。

【図 9】図 9 は、図 1 に示した液晶表示パネルを対向基板側から見たときの一画素の他の構造例を概略的に示す平面図である。

【図 10】図 10 は、図 1 に示した液晶表示パネルを対向基板側から見たときの一画素の他の構造例を概略的に示す平面図である。

10

【図 11】図 11 は、図 1 に示した液晶表示パネルを対向基板側から見たときの一画素の他の構造例を概略的に示す平面図である。

【図 12】図 12 は、図 1 に示した液晶表示パネルを対向基板側から見たときの一画素の他の構造例を概略的に示す平面図である。

【図 13】図 13 は、図 1 に示した液晶表示パネルを対向基板側から見たときの一画素の構造例を概略的に示す平面図である。

【図 14】図 14 は、アレイ基板を対向基板側から見たときの他の構造例を概略的に示す平面図である。

【図 15】図 15 は、アレイ基板を対向基板側から見たときの他の構造例を概略的に示す平面図である。

20

【発明を実施するための形態】

【0010】

以下、本実施形態について、図面を参照しながら詳細に説明する。なお、各図において、同一又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する説明は省略する。

【0011】

図 1 は、本実施形態における液晶表示装置の構成及び等価回路を概略的に示す図である。

【0012】

すなわち、液晶表示装置は、アクティブマトリクスタイプの液晶表示パネル L P N を備えている。液晶表示パネル L P N は、第 1 基板であるアレイ基板 A R と、アレイ基板 A R に対向して配置された第 2 基板である対向基板 C T と、これらのアレイ基板 A R と対向基板 C T との間に保持された液晶層 L Q と、を備えている。このような液晶表示パネル L P N は、画像を表示するアクティブエリア A C T を備えている。このアクティブエリア A C T は、 $m \times n$ 個のマトリクス状に配置された複数の画素 P X によって構成されている（但し、 m 及び n は正の整数である）。

30

【0013】

液晶表示パネル L P N は、アクティブエリア A C T において、 n 本のゲート配線 G（ $G_1 \sim G_n$ ）、 n 本の補助容量線 C（ $C_1 \sim C_n$ ）、 m 本のソース配線 S（ $S_1 \sim S_m$ ）などを備えている。ゲート配線 G 及び補助容量線 C は、例えば、第 1 方向 X に沿って略直線的に延出している。これらのゲート配線 G 及び補助容量線 C は、第 1 方向 X に交差する第 2 方向 Y に沿って交互に並列配置されている。ここでは、第 1 方向 X と第 2 方向 Y とは互いに略直交している。ソース配線 S は、ゲート配線 G 及び補助容量線 C と交差している。ソース配線 S は、第 2 方向 Y に沿って略直線的に延出している。なお、ゲート配線 G、補助容量線 C、及び、ソース配線 S は、必ずしも直線的に延出していなくても良く、それらの一部が屈曲していてもよい。

40

【0014】

各ゲート配線 G は、アクティブエリア A C T の外側に引き出され、ゲートドライバ G D に接続されている。各ソース配線 S は、アクティブエリア A C T の外側に引き出され、ソースドライバ S D に接続されている。これらのゲートドライバ G D 及びソースドライバ S

50

Dの少なくとも一部は、例えば、アレイ基板ARに形成され、コントローラを内蔵した駆動ICチップ2と接続されている。

【0015】

各画素PXは、スイッチング素子SW、画素電極PE、共通電極CEなどを備えている。保持容量Csは、例えば補助容量線Cと画素電極PEとの間に形成される。補助容量線Cは、補助容量電圧が印加される電圧印加部VCSと電氣的に接続されている。

【0016】

なお、本実施形態においては、液晶表示パネルLPNは、画素電極PEがアレイ基板ARに形成される一方で共通電極CEの少なくとも一部が対向基板CTに形成された構成であり、これらの画素電極PEと共通電極CEとの間に形成される電界を主に利用して液晶層LQの液晶分子をスイッチングする。画素電極PEと共通電極CEとの間に形成される電界は、第1方向Xと第2方向Yとで規定されるX-Y平面あるいは基板主面に対してわずかに傾いた斜め電界（あるいは、基板主面にほぼ平行な横電界）である。

【0017】

スイッチング素子SWは、例えば、nチャネル薄膜トランジスタ(TFT)によって構成されている。このスイッチング素子SWは、ゲート配線G及びソース配線Sと電氣的に接続されている。このようなスイッチング素子SWは、トップゲート型あるいはボトムゲート型のいずれであっても良い。また、スイッチング素子SWの半導体層は、例えば、ポリシリコンによって形成されているが、アモルファスシリコンによって形成されていても良い。

【0018】

画素電極PEは、各画素PXに配置され、スイッチング素子SWに電氣的に接続されている。共通電極CEは、液晶層LQを介して複数の画素PXの画素電極PEに対して共通に配置されている。このような画素電極PE及び共通電極CEは、例えば、インジウム・ティン・オキサイド(ITO)やインジウム・ジंक・オキサイド(IZO)などの光透過性を有する導電材料によって形成されているが、アルミニウムなどの他の金属材料によって形成されても良い。

【0019】

アレイ基板ARは、共通電極CEに電圧を印加するための給電部VSを備えている。この給電部VSは、例えば、アクティブエリアACTの外側に形成されている。共通電極CEは、アクティブエリアACTの外側に引き出され、図示しない導電部材を介して、給電部VSと電氣的に接続されている。

【0020】

図2は、図1に示した液晶表示パネルLPNを対向基板側から見たときの一画素PXの構造例を概略的に示す平面図である。ここでは、X-Y平面における平面図を示している。

【0021】

図示した画素PXは、破線で示したように、第1方向Xに沿った長さが第2方向Yに沿った長さよりも短い長方形形状である。ゲート配線G1及びゲート配線G2は、第2方向Yに沿って間隔をおいて隣接し、第1方向Xに沿って延出している。補助容量線C1は、隣接するゲート配線G1とゲート配線G2との間に配置され、第1方向Xに沿って延出している。ソース配線S1及びソース配線S2は、第1方向Xに沿って間隔をおいて隣接し、第2方向Yに沿って延出している。画素電極PEは、隣接するソース配線S1とソース配線S2との間に配置されている。また、この画素電極PEは、ゲート配線G1とゲート配線G2との間に位置している。

【0022】

図示した例では、画素PXにおいて、ソース配線S1は左側端部に配置され、ソース配線S2は右側端部に配置されている。厳密には、ソース配線S1は当該画素PXとその左側に隣接する画素との境界に跨って配置され、ソース配線S2は当該画素PXとその右側に隣接する画素との境界に跨って配置されている。また、画素PXにおいて、ゲート配線

10

20

30

40

50

G 1 は上側端部に配置され、ゲート配線 G 2 は下側端部に配置されている。厳密には、ゲート配線 G 1 は当該画素 P X とその上側に隣接する画素との境界に跨って配置され、ゲート配線 G 2 は当該画素 P X とその下側に隣接する画素との境界に跨って配置されている。補助容量線 C 1 は、画素 P X の略中央部に配置されている。

【0023】

スイッチング素子 S W は、図示した例では、ゲート配線 G 1 及びソース配線 S 1 に電氣的に接続されている。このスイッチング素子 S W は、ゲート配線 G 1 とソース配線 S 1 の交点に設けられ、そのドレイン配線はソース配線 S 1 及び補助容量線 C 1 に沿って延長され、補助容量線 C 1 と重なる領域に形成されたコンタクトホール C H を介して画素電極 P E と電氣的に接続されている。このようなスイッチング素子 S W は、ソース配線 S 1 及び補助容量線 C 1 と重なる領域に設けられ、ソース配線 S 1 及び補助容量線 C 1 と重なる領域からほとんどはみ出すことはなく、表示に寄与する開口部の面積の低減を抑制している。

10

【0024】

画素電極 P E は、互いに電氣的に接続された主画素電極 P A 及び副画素電極 P B を備えている。

【0025】

主画素電極 P A は、ソース配線 S 1 とソース配線 S 2 との間において、副画素電極 P B から画素 P X の上側端部付近及び下側端部付近まで第 2 方向 Y に沿って直線的に延出している。また、主画素電極 P A は、ソース配線 S 1 とソース配線 S 2 との略中間の位置、つまり、画素 P X の中央に配置されている。ソース配線 S 1 と主画素電極 P A との第 1 方向 X に沿った間隔は、ソース配線 S 2 と主画素電極 P A との第 1 方向 X に沿った間隔と略同等である。このような主画素電極 P A は、第 1 方向 X に沿って略同一の幅を有する帯状に形成されている。また、主画素電極 P A は、第 2 方向 Y に沿って直線的に延出した第 1 エッジ E 1 を有している。

20

【0026】

副画素電極 P B は、主画素電極 P A の第 1 エッジ E 1 から突出している、あるいは、主画素電極 P A からソース配線 S 1 及びソース配線 S 2 に向かってそれぞれ突出している。この副画素電極 P B のうち、ソース配線 S 1 に向かって突出した領域を第 1 領域 P B 1 とし、ソース配線 S 2 に向かって突出した領域を第 2 領域 P B 2 とする。これらの第 1 領域 P B 1 及び第 2 領域 P B 2 は、同一形状であり、主画素電極 P A の中心線 O に対して線対称である。このような副画素電極 P B は、第 1 エッジ E 1 に繋がる第 2 エッジ E 2 を有している。この第 2 エッジ E 2 は、第 1 エッジ E 1 とは異なる方向つまり第 2 方向 Y とは異なる方向に延出している。この副画素電極 P B の形状については、後に詳述する。

30

【0027】

図示した例では、副画素電極 P B の直下には、補助容量線 C 1 が配置されている。つまり、副画素電極 P B の第 1 領域 P B 1 及び第 2 領域 P B 2 は、その全体が補助容量線 C 1 と重なる領域に位置している。このような副画素電極 P B は、コンタクトホール C H を介してスイッチング素子 S W と電氣的に接続されている。

【0028】

共通電極 C E は、主共通電極 C A を備えている。この主共通電極 C A は、X-Y 平面内において、主画素電極 P A を挟んだ両側で主画素電極 P A と略平行な第 2 方向 Y に沿って直線的に延出している。あるいは、主共通電極 C A は、ソース配線 S とそれぞれ対向するとともに主画素電極 P A と略平行に延出している。このような主共通電極 C A は、第 1 方向 X に沿って略同一の幅を有する帯状に形成されている。

40

【0029】

図示した例では、主共通電極 C A は、第 1 方向 X に沿って 2 本平行に並んでおり、画素 P X の左右両端部にそれぞれ配置されている。以下では、これらの主共通電極 C A を区別するために、図中の左側の主共通電極を C A L と称し、図中の右側の主共通電極を C A R と称する。主共通電極 C A L はソース配線 S 1 と対向し、主共通電極 C A R はソース配線

50

S 2と対向している。これらの主共通電極C A L及び主共通電極C A Rは、アクティブエリア内あるいはアクティブエリア外において互いに電氣的に接続されている。

【0030】

画素P Xにおいて、主共通電極C A Lは左側端部に配置され、主共通電極C A Rは右側端部に配置されている。厳密には、主共通電極C A Lは当該画素P Xとその左側に隣接する画素との境界に跨って配置され、主共通電極C A Rは当該画素P Xとその右側に隣接する画素との境界に跨って配置されている。

【0031】

画素電極P Eと主共通電極C Aとの位置関係に着目すると、画素電極P Eと主共通電極C Aとは、第1方向Xに沿って交互に配置されている。主画素電極P Aと主共通電極C Aとは、互いに略平行に配置されている。このとき、X-Y平面内において、主共通電極C Aのいずれも画素電極P Eとは重ならない。

【0032】

すなわち、隣接する主共通電極C A L及び主共通電極C A Rの間には、1本の画素電極P Eが位置している。換言すると、主共通電極C A L及び主共通電極C A Rは、画素電極P Eの直上の位置を挟んだ両側に配置されている。あるいは、画素電極P Eは、主共通電極C A Lと主共通電極C A Rとの間に配置されている。このため、主共通電極C A L、主画素電極P A、及び、主共通電極C A Rは、第1方向Xに沿ってこの順に配置されている。

【0033】

これらの画素電極P Eと共通電極C Eとの第1方向Xに沿った間隔は略一定である。すなわち、主共通電極C A Lと主画素電極P Aとの第1方向Xに沿った間隔は、主共通電極C A Rと主画素電極P Aとの第1方向Xに沿った間隔と略同等である。

【0034】

図3は、図2に示した副画素電極P B及びその周辺を拡大したX-Y平面における平面図である。なお、ここでは、説明に必要な箇所のみを図示している。

【0035】

図示した例では、副画素電極P Bのうち、主画素電極P Aとソース配線S 1との間に位置する第1領域P B 1、及び、主画素電極P Aとソース配線S 2との間に位置する第2領域P B 2は、それぞれ三角形状である。第1領域P B 1は、第1エッジE 1にそれぞれ繋がる直線状の第2エッジE 2を有し、これらの交点つまり第1領域P B 1の頂点T 1がソース配線S 1あるいは主共通電極C A Lに最も近接する位置にある。第2領域P B 2も同様に、第1エッジE 1にそれぞれ繋がる直線状の第2エッジE 2を有し、これらの交点つまり第2領域P B 2の頂点T 2がソース配線S 2あるいは主共通電極C A Rに最も近接する位置にある。

【0036】

このような第1エッジE 1と第2エッジE 2とのなす角度 θ は90°より大きな鈍角となる。図示した4箇所のなす角度 θ は、いずれも略同等の角度である。一例として、なす角度 θ は135°である。

【0037】

副画素電極P Bの第2方向Yに沿った幅に着目すると、主画素電極P Aから離れるほど（あるいはソース配線や主共通電極に近づくほど）小さい幅となる。すなわち、副画素電極P Bの第1領域P B 1は、第1エッジE 1から第1方向Xに沿って第1距離D 1をおいた位置（主画素電極P A側の位置）で第1幅W 1を有し、第1エッジE 1から第1方向Xに沿って第1距離D 1よりも離れた第2距離D 2をおいた位置（ソース配線S 1側の位置あるいは主共通電極C A L側の位置）で第1幅W 1より小さい第2幅W 2を有している。同様に、副画素電極P Bの第2領域P B 2は、主画素電極P A側の位置で第1幅W 1を有し、ソース配線S 2側の位置あるいは主共通電極C A R側の位置で第1幅W 1より小さい第2幅W 2を有している。

【0038】

図4は、図2に示した液晶表示パネルLPNをA-A線で切断したときの断面構造を概略的に示す断面図である。なお、ここでは、説明に必要な箇所のみを図示している。

【0039】

液晶表示パネルLPNを構成するアレイ基板ARの背面側には、バックライト4が配置されている。バックライト4としては、種々の形態が適用可能であり、また、光源として発光ダイオード(LED)を利用したものや冷陰極管(CCL)を利用したものなどのいずれでも適用可能であり、詳細な構造については説明を省略する。

【0040】

アレイ基板ARは、光透過性を有する第1絶縁基板10を用いて形成されている。ソース配線Sは、第1層間絶縁膜11の上に形成され、第2層間絶縁膜12によって覆われている。なお、図示しないゲート配線や補助容量線は、例えば、第1絶縁基板10と第1層間絶縁膜11の間に配置されている。画素電極PEは、第2層間絶縁膜12の上に形成されている。この画素電極PEは、隣接するソース配線Sのそれぞれの直上の位置よりもそれらの内側に位置している。

【0041】

第1配向膜AL1は、アレイ基板ARの対向基板CTと対向する面に配置され、アクティブエリアACTの略全体に亘って延在している。この第1配向膜AL1は、画素電極PEなどを覆っており、第2層間絶縁膜12の上にも配置されている。このような第1配向膜AL1は、水平配向性を示す材料によって形成されている。

【0042】

なお、アレイ基板ARは、さらに、共通電極CEの一部を備えていても良い。

【0043】

対向基板CTは、光透過性を有する第2絶縁基板20を用いて形成されている。この対向基板CTは、ブラックマトリクスBM、カラーフィルタCF、オーバーコート層OC、共通電極CE、第2配向膜AL2などを備えている。

【0044】

ブラックマトリクスBMは、各画素PXを区画し、画素電極PEと対向する開口部APを形成する。すなわち、ブラックマトリクスBMは、ソース配線S、ゲート配線、補助容量線、スイッチング素子などの配線部に対向するように配置されている。ここでは、ブラックマトリクスBMは、第2方向Yに沿って延出した部分のみが図示されているが、第1方向Xに沿って延出した部分を備えていても良い。このブラックマトリクスBMは、第2絶縁基板20のアレイ基板ARに対向する内面20Aに配置されている。

【0045】

カラーフィルタCFは、各画素PXに対応して配置されている。すなわち、カラーフィルタCFは、第2絶縁基板20の内面20Aにおける開口部APに配置されるとともに、その一部がブラックマトリクスBMに乗り上げている。第1方向Xに隣接する画素PXにそれぞれ配置されたカラーフィルタCFは、互いに色が異なる。例えば、カラーフィルタCFは、赤色、青色、緑色といった3原色にそれぞれ着色された樹脂材料によって形成されている。赤色に着色された樹脂材料からなる赤色カラーフィルタCFRは、赤色画素に対応して配置されている。青色に着色された樹脂材料からなる青色カラーフィルタCFBは、青色画素に対応して配置されている。緑色に着色された樹脂材料からなる緑色カラーフィルタCFGは、緑色画素に対応して配置されている。これらのカラーフィルタCF同士の境界は、ブラックマトリクスBMと重なる位置にある。

【0046】

オーバーコート層OCは、カラーフィルタCFを覆っている。このオーバーコート層OCは、カラーフィルタCFの表面の凹凸の影響を緩和する。

【0047】

共通電極CEは、オーバーコート層OCのアレイ基板ARと対向する側に形成されている。主共通電極CAは、ソース配線Sの直上に位置している。

【0048】

第2配向膜AL2は、対向基板CTのアレイ基板ARと対向する面に配置され、アクティブエリアACTの略全体に亘って延在している。この第2配向膜AL2は、共通電極CE及びオーバーコート層OCなどを覆っている。このような第2配向膜AL2は、水平配向性を示す材料によって形成されている。

【0049】

これらの第1配向膜AL1及び第2配向膜AL2には、液晶層LQの液晶分子を初期配向させるための配向処理（例えば、ラビング処理や光配向処理）がなされている。第1配向膜AL1が液晶分子を初期配向させる第1配向処理方向PD1、及び、第2配向膜AL2が液晶分子を初期配向させる第2配向処理方向PD2は、互いに平行であって、互いに逆向きあるいは同じ向きである。例えば、これらの第1配向処理方向PD1及び第2配向処理方向PD2は、図2に示したように、第2方向Yと略平行であって、同じ向きである。

10

【0050】

上述したようなアレイ基板ARと対向基板CTとは、それぞれの第1配向膜AL1及び第2配向膜AL2が対向するように配置されている。このとき、アレイ基板ARの第1配向膜AL1と対向基板CTの第2配向膜AL2との間には、例えば、樹脂材料によって一方の基板に一体的に形成された柱状スペーサが配置され、これにより、所定のセルギャップ、例えば2〜7μmのセルギャップが形成される。アレイ基板ARと対向基板CTとは、所定のセルギャップが形成された状態で、アクティブエリアACTの外側のシール材SBによって貼り合わせられている。

20

【0051】

液晶層LQは、アレイ基板ARと対向基板CTとの間に形成されたセルギャップに保持され、第1配向膜AL1と第2配向膜AL2との間に配置されている。このような液晶層LQは、例えば、誘電率異方性が正（ポジ型）の液晶材料によって構成されている。

【0052】

アレイ基板ARの外表面、つまり、アレイ基板ARを構成する第1絶縁基板10の外表面10Bには、第1光学素子OD1が接着剤などにより貼付されている。この第1光学素子OD1は、液晶表示パネルLPNのバックライト4と対向する側に位置しており、バックライト4から液晶表示パネルLPNに入射する入射光の偏光状態を制御する。この第1光学素子OD1は、第1偏光軸（あるいは第1吸収軸）AX1を有する第1偏光板PL1を含んでいる。

30

【0053】

対向基板CTの外表面、つまり、対向基板CTを構成する第2絶縁基板20の外表面20Bには、第2光学素子OD2が接着剤などにより貼付されている。この第2光学素子OD2は、液晶表示パネルLPNの表示面側に位置しており、液晶表示パネルLPNから出射した出射光の偏光状態を制御する。この第2光学素子OD2は、第2偏光軸（あるいは第2吸収軸）AX2を有する第2偏光板PL2を含んでいる。

【0054】

第1偏光板PL1の第1偏光軸AX1と、第2偏光板PL2の第2偏光軸AX2とは、例えば、直交する位置関係（クロスニコル）にある。このとき、一方の偏光板は、例えば、その偏光軸が液晶分子の初期配向方向つまり第1配向処理方向PD1あるいは第2配向処理方向PD2と平行または直交するように配置されている。初期配向方向が第2方向Yと平行である場合、一方の偏光板の偏光軸は、第2方向Xと平行、あるいは、第1方向Xと平行である。

40

【0055】

図2において、（a）で示した例では、第1偏光板PL1は、その第1偏光軸AX1が液晶分子LMの初期配向方向（第2方向Y）に対して直交する（つまり、第1方向Xに平行となる）ように配置され、また、第2偏光板PL2は、その第2偏光軸AX2が液晶分子LMの初期配向方向に対して平行となる（つまり、第2方向Yと平行となる）ように配置されている。

50

【0056】

また、図2において、(b)で示した例では、第2偏光板PL2は、その第2偏光軸AX2が液晶分子LMの初期配向方向(第2方向Y)に対して直交する(つまり、第1方向Xに平行となる)ように配置され、また、第1偏光板PL1は、その第1偏光軸AX1が液晶分子LMの初期配向方向に対して平行となる(つまり、第2方向Yと平行となる)ように配置されている。

【0057】

次に、上記構成の液晶表示パネルLPNの動作について、図2乃至図4を参照しながら説明する。

【0058】

すなわち、液晶層LQに電圧が印加されていない状態、つまり、画素電極PEと共通電極CEとの間に電位差(あるいは電界)が形成されていない状態(OFF時)には、液晶層LQの液晶分子LMは、その長軸が第1配向膜AL1の第1配向処理方向PD1及び第2配向膜AL2の第2配向処理方向PD2を向くように配向している。このようなOFF時が初期配向状態に相当し、OFF時の液晶分子LMの配向方向が初期配向方向に相当する。

【0059】

なお、厳密には、液晶分子LMは、X-Y平面に平行に配向しているとは限らず、プレチルトしている場合が多い。このため、ここでの液晶分子LMの初期配向方向とは、OFF時の液晶分子LMの長軸をX-Y平面に正射影した方向である。以下では、説明を簡略にするために、液晶分子LMは、X-Y平面に平行に配向しているものとし、X-Y平面と平行な面内で回転するものとして説明する。

【0060】

ここでは、第1配向処理方向PD1及び第2配向処理方向PD2は、ともに第2方向Yと略平行な方向である。OFF時においては、液晶分子LMは、図2に破線で示したように、その長軸が第2方向Yと略平行な方向に初期配向する。つまり、液晶分子LMの初期配向方向は、第2方向Yと平行(あるいは、第2方向Yに対して0°)である。

【0061】

図示した例のように、第1配向処理方向PD1及び第2配向処理方向PD2が平行且つ同じ向きである場合、液晶層LQの断面において、液晶分子LMは、液晶層LQの中間部付近で略水平(プレチルト角が略ゼロ)に配向し、ここを境界として第1配向膜AL1の近傍及び第2配向膜AL2の近傍において対称となるようなプレチルト角を持って配向する(スプレイ配向)。上記したように液晶層LQの中間部を境界として、アレイ基板AR上の第1配向膜AL1の近傍での液晶分子LMの配向と対向基板CT上の第2配向膜AL2の近傍での液晶分子LMの配向は、上下で対称となるため、基板の法線方向から傾いた方向においても光学的に補償される。したがって、初期配向としてスプレイ配向にした場合には、黒表示の場合に光漏れが少なく、高コントラスト比を実現することができ、表示品位を向上することが可能となる。

【0062】

なお、第1配向処理方向PD1及び第2配向処理方向PD2が互いに平行且つ逆向きである場合、液晶層LQの断面において、液晶分子LMは、第1配向膜AL1の近傍、第2配向膜AL2の近傍、及び、液晶層LQの中間部において略均一なプレチルト角を持って配向する(ホモジニアス配向)。

【0063】

バックライト4からのバックライト光は、その一部が第1偏光板PL1を透過し、液晶表示パネルLPNに入射する。液晶表示パネルLPNに入射した光の偏光状態は、液晶層LQを通過する際に液晶分子LMの配向状態によって異なる。OFF時においては、液晶層LQを通過した光は、第2偏光板PL2によって吸収される(黒表示)。

【0064】

一方、液晶層LQに電圧が印加された状態、つまり、画素電極PEと共通電極CEとの

10

20

30

40

50

間に電位差（あるいは電界）が形成された状態（ON時）では、画素電極PEと共通電極CEとの間に基板と略平行な横電界（あるいは斜め電界）が形成される。液晶分子LMは、電界の影響を受け、その長軸が図中の実線で示したようにX-Y平面と略平行な平面内で回転する。

【0065】

図2に示した例では、画素電極PEと主共通電極CALとの間の領域のうち、下側半分の領域内の液晶分子LMは、第2方向Yに対して時計回りに回転し図中の左下を向くように配向し、また、上側半分の領域内の液晶分子LMは、第2方向Yに対して反時計回りに回転し図中の左上を向くように配向する。画素電極PEと主共通電極CARとの間の領域のうち、下側半分の領域内の液晶分子LMは、第2方向Yに対して反時計回りに回転し図中の右下を向くように配向し、上側半分の領域内の液晶分子LMは、第2方向Yに対して時計回りに回転し図中の右上を向くように配向する。

10

【0066】

このように、各画素PXにおいて、画素電極PEと共通電極CEとの間に電界が形成された状態では、液晶分子LMの配向方向は、画素電極PEと重なる位置を境界として複数の方向に分かれ、それぞれの配向方向でドメインを形成する。つまり、一画素PXには、複数のドメインが形成される。

【0067】

このようなON時には、バックライト4から液晶表示パネルLPNに入射したバックライト光は、その一部が第1偏光板PL1を透過し、液晶表示パネルLPNに入射する。液晶層LQに入射したバックライト光は、その偏光状態が変化する。このようなON時には、液晶層LQを通過した少なくとも一部の光は、第2偏光板PL2を透過する（白表示）。

20

【0068】

図5は、図2に示した液晶表示パネルLPNにおける画素電極PEと共通電極CEとの間に形成される電界、及び、この電界による液晶分子LMのダイレクタと透過率との関係を説明するための図である。

【0069】

OFF状態では、液晶分子LMは、第2方向Yに略平行な方向に初期配向している。画素電極PEと共通電極CEとの間に電位差が形成されたON状態では、液晶分子LMのダイレクタ（あるいは液晶分子LMの長軸方向）が、X-Y平面内で、第1偏光板PL1の第1偏光軸AX1及び第2偏光板PL2の第2偏光軸AX2に対して概ね45°ずれた状態となったときに、液晶の光学的な変調率が最も高くなる（つまり、開口部での透過率が最大となる）。

30

【0070】

図示した例では、ON状態となったとき、主共通電極CALと画素電極PEとの間の液晶分子LMのダイレクタはX-Y平面内で45°-225°の方位と略平行となり、主共通電極CARと画素電極PEとの間の液晶分子LMのダイレクタはX-Y平面内で135°-315°の方位と略平行となり、ピーク透過率が得られる。なお、液晶分子LMのダイレクタがX-Y平面内で0°-180°の方位と略平行となる場合、あるいは、X-Y平面内で90°-270°の方位と略平行となる場合には、透過率は最小となる。

40

【0071】

ON状態において、一画素あたりの透過率分布に着目すると、画素電極PE上及び共通電極CE上においては液晶分子LMが初期配向方向からほとんど回転しない（液晶分子LMのダイレクタが90°-270°の方位と略平行となる）ため、透過率が略ゼロとなる一方で、画素電極PEと共通電極CEとの間の電極間隙では、略全域に亘って高い透過率が得られる。

【0072】

なお、ソース配線S1の直上に位置する主共通電極CAL及びソース配線S2の直上に位置する主共通電極CARは、それぞれブラックマトリクスBMと対向しているが、これ

50

らの主共通電極 C A L 及び主共通電極 C A R は、ともにブラックマトリクス B M の第 1 方向 X に沿った幅と同等以下の幅を有しており、ブラックマトリクス B M と重なる位置よりも画素電極 P E の側に延在していない。このため、一画素あたり、表示に寄与する開口部は、ブラックマトリクス B M の間もしくはソース配線 S 1 とソース配線 S 2 との間の領域のうち、画素電極 P E と主共通電極 C A L 及び主共通電極 C A R との間の領域に相当する。

【0073】

本実施形態では、画素電極 P E は、主画素電極 P A に近い位置で第 1 幅 W 1 を有するとともに主画素電極 P A からより離れた位置で第 1 幅 W 1 よりも小さい第 2 幅 W 2 を有する副画素電極 P B を備えている。このため、開口部において高い透過率を得ることが可能である。この点について、以下により具体的に説明する。

10

【0074】

図 6 は、本実施形態の液晶表示パネル L P N における画素電極 P E と共通電極 C E との間に形成される電界及び透過率の関係を説明するための図である。ここでは、主画素電極 P A から突出した副画素電極 P B の第 1 領域 P B 1 と、主共通電極 C A L との間に形成される電界と透過率の関係を例に説明する。ここに示した例は、副画素電極 P B の第 2 方向 Y に沿った幅が主画素電極 P A から離れるほど小さくなる例、あるいは、主画素電極 P A の第 1 エッジ E 1 とこれに繋がる副画素電極 P B の第 2 エッジ E 2 とのなす角度 θ が鈍角である例に相当する。

【0075】

20

O N 時には、主画素電極 P A 及び副画素電極 P B と主共通電極 C A L との間に電界が形成され、液晶分子 L M の配向状態が初期配向状態から変化した領域ではバックライト光が透過し、明部（白表示）となる。但し、上記の通り、O N 時であっても、画素電極 P E 及び共通電極 C E に重なる領域では、液晶分子 L M の配向状態が初期配向状態からほとんど変化しないため、バックライト光が透過せず、暗部（黒表示）となる。なお、副画素電極 P B の直下を通り第 1 方向 X に沿って延出する補助容量線 C 1 や、図示しないゲート配線及びソース配線に重なる領域では、これらの配線が遮光性であるため、O N 時あるいは O F F 時を問わず、バックライト光が透過せず、暗部となる。

【0076】

このような O N 時には、第 1 エッジ E 1 と第 2 エッジ E 2 とが繋がる交点 E 1 2 から主共通電極 C A L に向かう電界は、X - Y 平面内において、第 1 方向 X に対して $45^{\circ} - 225^{\circ}$ 方位、あるいは、第 1 方向 X に対して $135^{\circ} - 315^{\circ}$ 方位に近づく。このため、補助容量線 C 1 に重ならない領域であって、交点 E 1 2 に近い領域では、液晶分子 L M の配向状態は、透過率が最大となる $45^{\circ} - 225^{\circ}$ 方位、あるいは、 $135^{\circ} - 315^{\circ}$ 方位に近づくように変化する。つまり、このような交点 E 1 2 付近の領域では、バックライト光が透過し、明部（白表示）となる。

30

【0077】

一方で、第 1 領域 P B 1 の頂点 T 1 付近から主共通電極 C A L に向かう電界は、X - Y 平面内において、第 1 方向 X に対して $0^{\circ} - 180^{\circ}$ 方位に近づく。このため、このような領域の液晶分子 L M の配向状態は、透過率が最小となる $0^{\circ} - 180^{\circ}$ 方位に近づくように変化する。つまり、このような領域は、バックライト光が透過しない暗部となるが、もともと補助容量線 C 1 の直上に位置しており、液晶分子 L M の配向状態にかかわらず、暗部となるため、実質的な透過率のロスにはならない。

40

【0078】

このように、本実施形態の構成によれば、第 1 エッジ E 1 と第 2 エッジ E 2 とが繋がる交点 E 1 2 付近での暗部の発生を抑制することができ、透過率を向上することが可能となる。

【0079】

図 7 は、比較例の液晶表示パネル L P N における画素電極 P E と共通電極 C E との間に形成される電界及び透過率の関係を説明するための図である。ここに示した例は、副画素

50

電極 P B の第 2 方向 Y に沿った幅が主画素電極 P A から距離にかかわらず一定となる例、あるいは、主画素電極 P A の第 1 エッジ E 1 とこれに繋がる副画素電極 P B の第 2 エッジ E 2 とのなす角度 θ が直角である例に相当する。

【0080】

ON 時には、主画素電極 P A 及び副画素電極 P B と主共通電極 C A L との間に電界が形成される。このような ON 時には、第 1 エッジ E 1 と第 2 エッジ E 2 とが繋がる交点 E 1 2 から主共通電極 C A L に向かう電界は、X-Y 平面内において、第 1 方向 X に対して $90^\circ - 270^\circ$ 方位に近づく。特に、交点 E 1 2 に近い位置では、電界が第 1 エッジ E 1 に沿うように形成される。このため、補助容量線 C 1 に重ならない領域であって、交点 E 1 2 に近い領域では、液晶分子 L M の配向状態は、透過率が最小となる $90^\circ - 270^\circ$ 方位に近づくように変化する。つまり、このような領域では、バックライト光が透過せず、暗部（黒表示）となる。

10

【0081】

このように、比較例の構成によれば、第 1 エッジ E 1 と第 2 エッジ E 2 とが繋がる交点 E 1 2 付近で暗部が発生するため、透過率をロスすることになる。つまり、図 7 に示した比較例では、図 6 に示した本実施形態と比較して、透過率が低下することになる。なお、図 7 に示した比較例では、第 1 エッジ E 1 と第 2 エッジ E 2 とのなす角度 θ が直角である場合について説明したが、なす角度 θ が 90° よりも小さくなるほど、交点 E 1 2 と主共通電極 C A L との間に形成される電界が $90^\circ - 270^\circ$ 方位に近づくため、暗部が拡大し、透過率のロスが大きくなる。

20

【0082】

上記の現象を確認するため、発明者は、図 6 に示した本実施形態に相当する液晶表示装置と、図 7 に示した比較例に相当する液晶表示装置とを用意し、同一印加電圧の ON 状態で、透過率を測定した。本実施形態に相当する液晶表示装置では、主画素電極 P A の第 1 エッジ E 1 とこれに繋がる副画素電極 P B の第 2 エッジ E 2 とのなす角度 θ を 135° とした。比較例に相当する液晶表示装置では、第 1 エッジ E 1 と第 2 エッジ E 2 とのなす角度 θ を 80° とした。

【0083】

他の条件については全て同一である。すなわち、主画素電極 P A の第 1 方向 X に沿った幅を $5\mu\text{m}$ とし、主共通電極 C A の第 1 方向 X に沿った幅を $5\mu\text{m}$ とし、主画素電極 P A と主共通電極 C A との第 1 方向 X に沿った水平電極間距離を $10\mu\text{m}$ とし、画素ピッチを $30\mu\text{m}$ とし、セルギャップを $4\mu\text{m}$ とした。

30

【0084】

比較例に相当する液晶表示装置での透過率を 1 としたとき、本実施形態に相当する液晶表示装置では、1.05 の透過率を得ることができた。

【0085】

このような本実施形態によれば、アレイ基板 A R に備えられる画素電極 P E の主画素電極 P A とこれに繋がる副画素電極 P B との交点付近で暗部の発生を抑制することができ、透過率の低下を抑制することが可能となる。これにより、表示品位の劣化を抑制することが可能となる。

40

【0086】

また、本実施形態によれば、画素電極 P E と共通電極 C E との間の電極間隙において高い透過率が得られるため、一画素あたりの透過率を十分に高くするためには、主画素電極と主共通電極との間の電極間距離を拡大することで対応することが可能となる。また、画素ピッチが異なる製品仕様に対しては、電極間距離を変更する（つまり、画素 P X の略中央に配置された主画素電極に対して主共通電極の配置位置を変更する）ことで、図 5 に示したような透過率分布のピーク条件を利用することが可能となる。つまり、本実施形態の表示モードにおいては、比較的画素ピッチが大きな低解像度の製品仕様から比較的画素ピッチが小さい高解像度の製品仕様まで、微細な電極加工を必ずしも必要とせず、電極間距離の設定により種々の画素ピッチの製品を提供することが可能となる。したがって、高透

50

過率且つ高解像度の要求を容易に実現することが可能となる。

【0087】

また、本実施形態によれば、図5に示したように、ブラックマトリクスBMと重なる領域での透過率分布に着目すると、透過率が十分に低下している。これは、共通電極CEの位置よりも当該画素の外側に電界の漏れが発生せず、また、ブラックマトリクスBMを挟んで隣接する画素間で不所望な横電界が生じないため、ブラックマトリクスBMと重なる領域の液晶分子がOFF時（あるいは黒表示時）と同様に初期配向状態を保っているためである。したがって、隣接する画素間でカラーフィルタの色が異なる場合であっても、混色の発生を抑制することが可能となり、色再現性の低下やコントラスト比の低下を抑制することが可能となる。

10

【0088】

また、アレイ基板ARと対向基板CTとの合わせずれが生じた際に、画素電極PEを挟んだ両側の共通電極CEとの水平電極間距離に差が生じることがある。しかしながら、このような合わせずれは、全ての画素PXに共通に生じるため、画素PX間での電界分布に相違はなく、画像の表示に及ぼす影響はきわめて小さい。また、例えばアレイ基板ARと対向基板CTとの間で合わせズレが生じたとしても、隣接する画素への不所望な電界の漏れを抑制することが可能となる。このため、隣接する画素間でカラーフィルタの色が異なる場合であっても、混色の発生を抑制することが可能となり、色再現性の低下やコントラスト比の低下を抑制することが可能となる。

【0089】

また、本実施形態によれば、主共通電極CAは、それぞれソース配線Sと対向している。特に、主共通電極CAL及び主共通電極CARがそれぞれソース配線S1及びソース配線S2の直上に配置されている場合には、主共通電極CAL及び主共通電極CARがソース配線S1及びソース配線S2よりも画素電極PE側に配置された場合と比較して、開口部APを拡大することができ、画素PXの透過率を向上することが可能となる。

20

【0090】

また、主共通電極CAL及び主共通電極CARをそれぞれソース配線S1及びソース配線S2の直上に配置することによって、画素電極PEと主共通電極CAL及び主共通電極CARとの間の電極間距離を拡大することが可能となり、より水平に近い横電界を形成することが可能となる。このため、従来の構成であるIPSモード等の利点である広視野角化も維持することが可能となる。

30

【0091】

また、本実施形態によれば、一画素内に複数のドメインを形成することが可能となる。このため、複数の方向で視野角を光学的に補償することができ、広視野角化が可能となる。

【0092】

なお、上記の例では、液晶分子LMの初期配向方向が第2方向Yと平行である場合について説明したが、液晶分子LMの初期配向方向は、図2に示したように、第2方向Yを斜めに交差する斜め方向Dであっても良い。ここで、第2方向Yに対する初期配向方向Dのなす角度 θ_1 は、 0° より大きく 45° より小さい角度である。なお、このなす角度 θ_1 については、 $5^\circ \sim 30^\circ$ 程度、より望ましくは 20° 以下とすることが液晶分子LMの配向制御の観点で極めて有効である。つまり、液晶分子LMの初期配向方向は、第2方向Yに対して 0° 乃至 20° の範囲内の方向と略平行であることが望ましい。

40

【0093】

また、上記の例では、液晶層LQが正（ポジ型）の誘電率異方性を有する液晶材料によって構成された場合について説明したが、液晶層LQは、誘電率異方性が負（ネガ型）の液晶材料によって構成されていても良い。但し、詳しい説明は省略するが、誘電率異方性が正負逆となる関係上、ネガ型液晶材料の場合、上記したなす角度 θ_1 が $45^\circ \sim 90^\circ$ 、望ましくは 70° 以上とすることが好ましい。

【0094】

50

なお、ON時においても、画素電極PE上あるいは共通電極CE上では、横電界がほとんど形成されない（あるいは、液晶分子LMを駆動するのに十分な電界が形成されない）ため、液晶分子LMは、OFF時と同様に初期配向方向からほとんど動かない。このため、画素電極PE及び共通電極CEがITOなどの光透過性の導電材料によって形成されていても、これらの領域ではバックライト光がほとんど透過せず、ON時において表示にほとんど寄与しない。したがって、画素電極PE及び共通電極CEは、必ずしも透明な導電材料によって形成される必要はなく、アルミニウムや銀、銅などの導電材料を用いて形成しても良い。

【0095】

また、上記の例では、副画素電極PBの直下に補助容量線が配置された構成について説明したが、副画素電極PBの直下には、ゲート配線が配置されても良い。つまり、副画素電極PBの第1領域PB1及び第2領域PB2は、その全体がゲート配線と重なる領域に位置していても良い。

【0096】

本実施形態において、画素PXの構造は、図2に示した例に限定されるものではない。以下に、本実施形態のバリエーションについて説明するが、画素電極PEと、主共通電極CAL及び主共通電極CARとを図示し、他の構成の図示を省略する。

【0097】

図8は、図1に示した液晶表示パネルLPNを対向基板側から見たときの一画素PXの他の構造例を概略的に示す平面図である。

【0098】

この構造例は、図2に示した構造例と比較して、副画素電極PBが第1エッジE1に繋がる曲線状の第2エッジE2を有している点で相違している。この場合、第1エッジE1と、第2エッジE2の接線とのなす角度 θ が鈍角となる。このような副画素電極PBにおいて、主共通電極CALに向かって突出した第1領域PB1及び主共通電極CARに向かって突出した第2領域PB2は、いずれも略三角形形状である。

【0099】

第1領域PB1は、主画素電極PAから最も離れた位置あるいは主共通電極CALに最も近い位置に頂点T1を有している。この第1領域PB1は、主画素電極PA側で第1幅W1を有し、主共通電極CAL側で第1幅W1よりも小さい第2幅W2を有している。第2領域PB2は、主画素電極PAから最も離れた位置あるいは主共通電極CARに最も近い位置に頂点T2を有している。この第2領域PB2は、主画素電極PA側で第1幅W1を有し、主共通電極CAR側で第1幅W1よりも小さい第2幅W2を有している。

【0100】

図9は、図1に示した液晶表示パネルLPNを対向基板側から見たときの一画素PXの他の構造例を概略的に示す平面図である。

【0101】

この構造例は、図2に示した構造例と比較して、副画素電極PBの第1領域PB1及び第2領域PB2がそれぞれ台形状である点で相違している。この場合、主画素電極PAの第1エッジE1と、これに繋がる副画素電極PBの第2エッジE2とのなす角度 θ が鈍角となる。

【0102】

主共通電極CALに向かって突出した第1領域PB1は、主画素電極PAと繋がる幅W1の下底と、主画素電極PAから最も離れた（あるいは主共通電極CALに最も近い）幅W2の上底とを有している。主共通電極CARに向かって突出した第2領域PB2は、主画素電極PAと繋がる幅W1の下底と、主画素電極PAから最も離れた（あるいは主共通電極CARに最も近い）幅W2の上底とを有している。上底の幅W2は、下底の幅W1よりも小さい。第2エッジE2は、これらの上底と下底をつなぐ斜辺に相当する。

【0103】

図10は、図1に示した液晶表示パネルLPNを対向基板側から見たときの一画素PX

10

20

30

40

50

の他の構造例を概略的に示す平面図である。

【0104】

この構造例は、図9に示した構造例と比較して、副画素電極PBが第1エッジE1に繋がる曲線状の第2エッジE2を有している点で相違している。この場合、第1エッジE1と、第2エッジE2の接線とのなす角度 θ が鈍角となる。このような副画素電極PBにおいて、主共通電極CALに向かって突出した第1領域PB1及び主共通電極CARに向かって突出した第2領域PB2は、いずれも略台形状である。

【0105】

図11は、図1に示した液晶表示パネルLPNを対向基板側から見たときの一画素PXの他の構造例を概略的に示す平面図である。

10

【0106】

この構造例は、図2に示した構造例と比較して、副画素電極PBの第1領域PB1及び第2領域PB2がそれぞれ半円形状あるいは半楕円形状である点で相違している。この場合、主画素電極PAの第1エッジE1と、これに繋がる副画素電極PBの第2エッジE2とのなす角度 θ が鈍角となる。

【0107】

主共通電極CALに向かって突出した第1領域PB1は、主画素電極PA側で第1幅W1を有し、主共通電極CAL側で第1幅W1よりも小さい第2幅W2を有している。主共通電極CARに向かって突出した第2領域PB2は、主画素電極PA側で第1幅W1を有し、主共通電極CAR側で第1幅W1よりも小さい第2幅W2を有している。第2エッジE2は、第1領域PB1及び第2領域PB2の弧に相当する。

20

【0108】

図12は、図1に示した液晶表示パネルLPNを対向基板側から見たときの一画素PXの他の構造例を概略的に示す平面図である。

【0109】

この構造例は、図11に示した構造例と比較して、副画素電極PBが第1エッジE1に繋がる曲線状の第2エッジE2を有している点で相違している。この場合、第1エッジE1と、第2エッジE2の接線とのなす角度 θ が鈍角となる。このような副画素電極PBにおいて、主共通電極CALに向かって突出した第1領域PB1及び主共通電極CARに向かって突出した第2領域PB2は、いずれも半円形状あるいは半楕円形状である。

30

【0110】

上述の図2、図8乃至図10の構成例では、第1エッジE1、第2エッジE2は直線の例を示したが、これらの例は、エッチング等の製造過程で、ゆるやかな曲線を描く場合がある。また、頂点T1、T2も丸みを帯びることがある。このような場合には、第1エッジE1と第2エッジE2が交差する側の任意の場所において、第1エッジE1の接線と第2エッジE2の接線との交差する角度 θ は、 90° より大きい角度である。更に、図2、図8乃至図12の構成例においては、第1エッジE1と第2エッジE2が交差する側であって、第2エッジE2の任意の場所での接線と第1エッジE1とのなす角度は、 90° よりも大きく、鈍角である。また、第1エッジE1と第2エッジE2が交差する側であって、第2エッジE2の接線と第1エッジE1との交差する角度が鈍角である場合、第1エッジE1と第2エッジE2が交差する側にある主共通電極CAの延出している方向（第2方向）とこの第2エッジE2の接線とのなす角度は鋭角になる。言い換えれば、第1エッジE1と第2エッジE2が交差する側であって、第1エッジE1の接線と第2エッジE2の接線がなす角度は鈍角であり、この第2エッジE2の接線と当該交差する側にある主共通電極とのなす角度は鋭角である。このように第1エッジと第2エッジを配置すると、アレ基板ARに備えられる画素電極PEの主画素電極PAとこれに繋がる副画素電極PBとの交点付近で暗部の発生を抑制することができ、透過率の低下を抑制することが可能となる。

40

【0111】

図13は、図1に示した液晶表示パネルを対向基板側から見たときの一画素の構造例を

50

概略的に示す平面図である。

【0112】

対向基板CTは、共通電極CEを構成する副共通電極CBを備えている。この副共通電極CBは、主共通電極CAと一体的あるいは連続的に形成され、第1方向Xに沿って延出している。このような副共通電極CBは、ゲート配線Gの各々と対向している。図示した例では、副共通電極CBは2本平行に並んでおり、以下では、これらを区別するために、図中の上側の副共通電極をCBUと称し、図中の下側の副共通電極をCBBと称する。副共通電極CBUは、画素PXの上側端部に配置され、ゲート配線G1と対向している。つまり、副共通電極CBUは、当該画素PXとその上側に隣接する画素との境界に跨って配置されている。また、副共通電極CBBは、画素PXの下側端部に配置され、ゲート配線G2と対向している。つまり、副共通電極CBBは、当該画素PXとその下側に隣接する画素との境界に跨って配置されている。

10

【0113】

図14は、アレイ基板ARを対向基板側から見たときの他の構造例を概略的に示す平面図である。

【0114】

アレイ基板ARは、共通電極CEを構成する第2副共通電極CB2を備えている。この第2副共通電極CB2は、主共通電極CAと電氣的に接続され、第1方向Xに沿って延出している。このような第2副共通電極CB2は、ゲート配線Gの各々と対向している。図示した例では、第2副共通電極CB2は2本平行に並んでおり、以下では、これらを区別するために、図中の上側の第2副共通電極をCBU2と称し、図中の下側の第2副共通電極をCBB2と称する。第2副共通電極CBU2は、画素PXの上側端部に配置され、ゲート配線G1と対向している。つまり、第2副共通電極CBU2は、当該画素PXとその上側に隣接する画素との境界に跨って配置されている。また、第2副共通電極CBB2は、画素PXの下側端部に配置され、ゲート配線G2と対向している。つまり、第2副共通電極CBB2は、当該画素PXとその下側に隣接する画素との境界に跨って配置されている。

20

【0115】

このような第2副共通電極CB2を設けたことにより、ゲート配線Gからの不所望な電界をシールドすることが可能である。このため、更なる表示品位の劣化を抑制することが可能となる。

30

【0116】

図15は、アレイ基板ARを対向基板側から見たときの他の構造例を概略的に示す平面図である。

【0117】

アレイ基板ARは、共通電極CEを構成する第2主共通電極CA2を備えている。この第2主共通電極CA2は、主共通電極CAと電氣的に接続され、第2方向Yに沿って延出している。このような第2主共通電極CA2は、ソース配線Sの各々と対向している。図示した例では、第2主共通電極CA2は2本平行に並んでおり、以下では、これらを区別するために、図中の左側の第2主共通電極をCAL2と称し、図中の右側の第2主共通電極をCAR2と称する。第2主共通電極CAL2は、画素PXの左側端部に配置され、ソース配線S1と対向している。つまり、第2主共通電極CAL2は、当該画素PXとその左側に隣接する画素との境界に跨って配置されている。また、第2主共通電極CAR2は、画素PXの右側端部に配置され、ソース配線S2と対向している。つまり、第2主共通電極CAR2は、当該画素PXとその右側に隣接する画素との境界に跨って配置されている。

40

【0118】

このような第2主共通電極CA2を設けたことにより、ソース配線Sからの不所望な電界をシールドすることが可能である。このため、更なる表示品位の劣化を抑制することが可能となる。

50

【0119】

以上説明したように、本実施形態によれば、表示品位の劣化を抑制することが可能な液晶表示装置を提供することが可能となる。

【0120】

なお、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これらの新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これらの実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

【0121】

LPN…液晶表示パネル

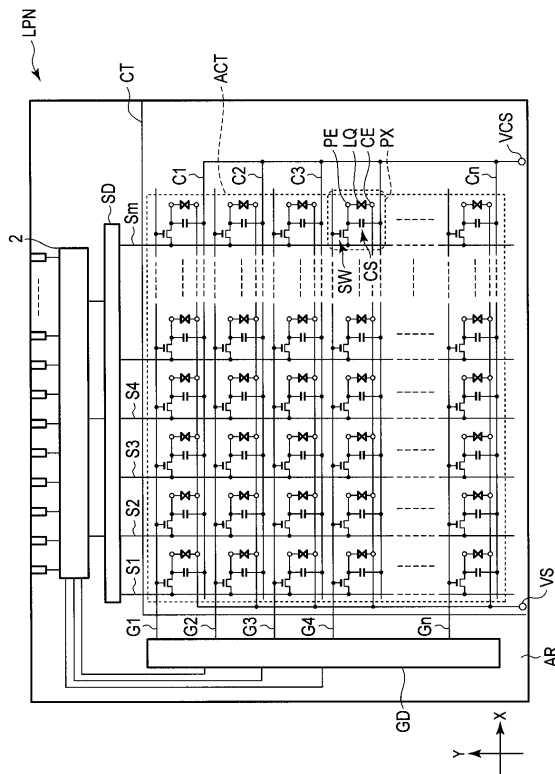
AR…アレイ基板 CT…対向基板 LQ…液晶層

PE…画素電極 PA…主画素電極 PB…副画素電極

CE…共通電極 CA…主共通電極 CB…副共通電極

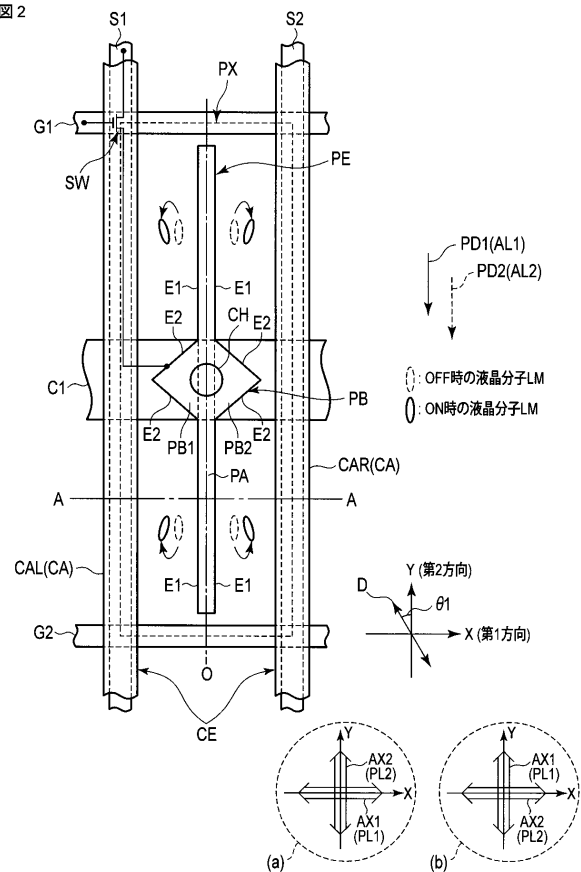
【図1】

図1



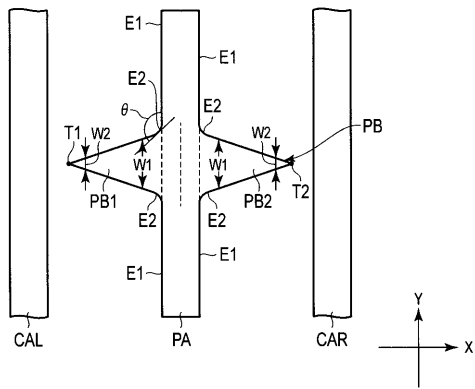
【図2】

図2



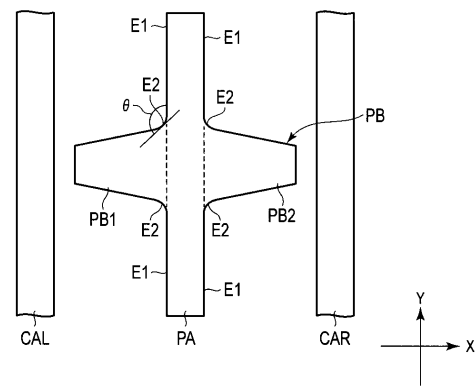
【図 8】

図 8



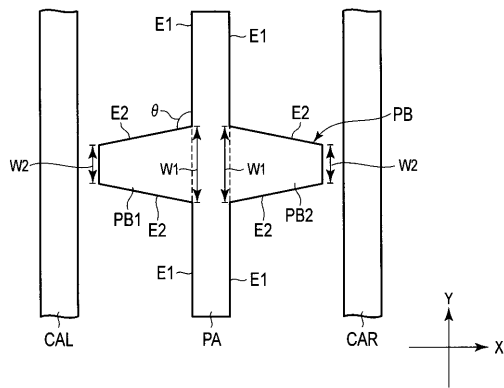
【図 10】

図 10



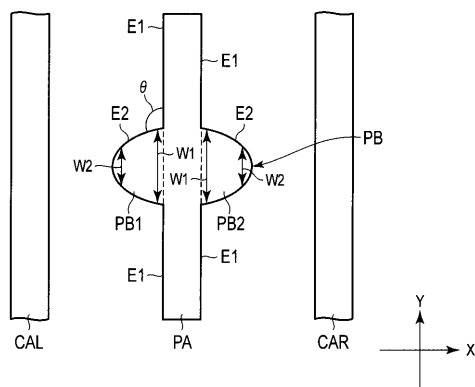
【図 9】

図 9



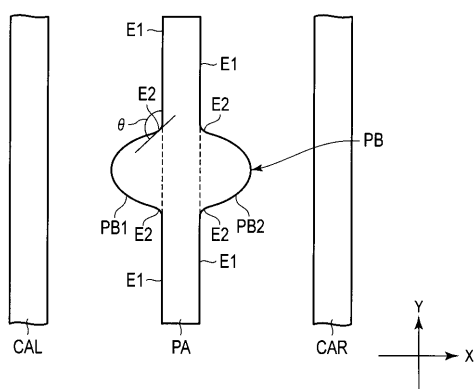
【図 11】

図 11



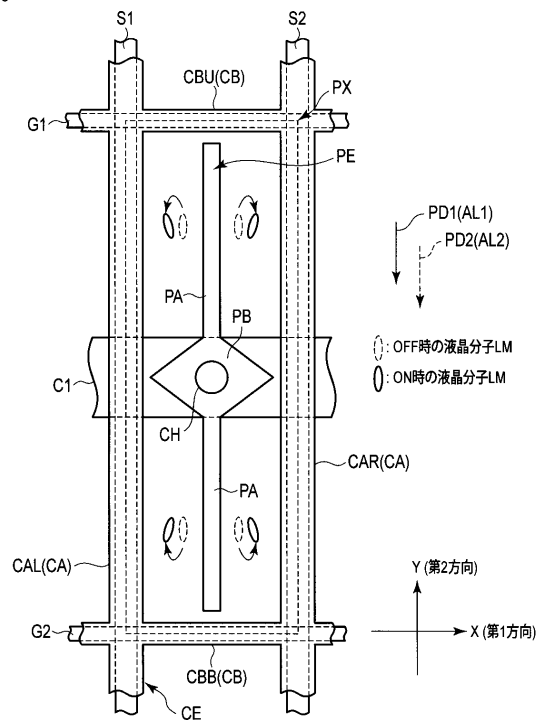
【図 12】

図 12



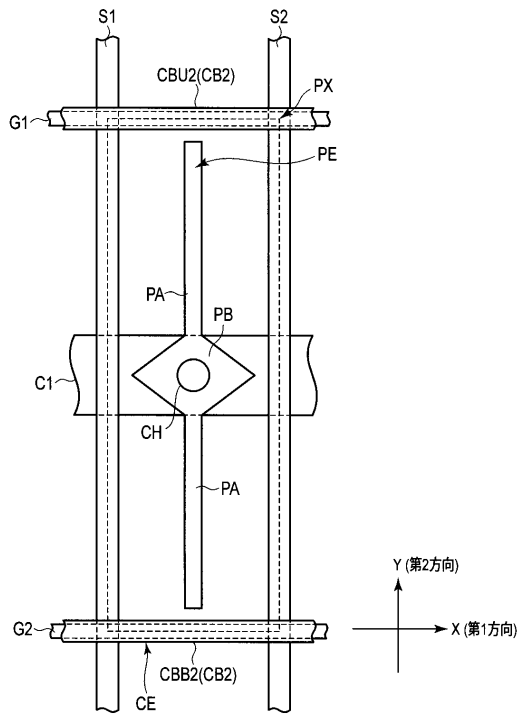
【図 13】

図 13



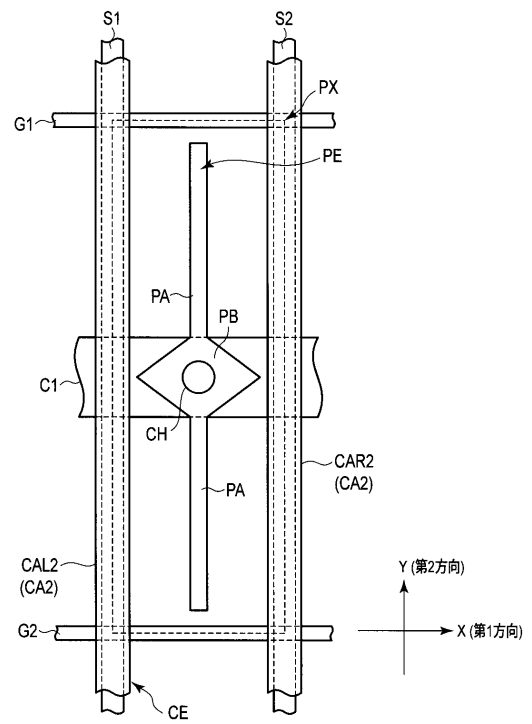
【図 14】

図 14



【図 15】

図 15



フロントページの続き

(74)代理人 100095441
弁理士 白根 俊郎
(74)代理人 100084618
弁理士 村松 貞男
(74)代理人 100103034
弁理士 野河 信久
(74)代理人 100119976
弁理士 幸長 保次郎
(74)代理人 100153051
弁理士 河野 直樹
(74)代理人 100140176
弁理士 砂川 克
(74)代理人 100158805
弁理士 井関 守三
(74)代理人 100124394
弁理士 佐藤 立志
(74)代理人 100112807
弁理士 岡田 貴志
(74)代理人 100111073
弁理士 堀内 美保子
(74)代理人 100134290
弁理士 竹内 将訓
(72)発明者 廣澤 仁
埼玉県深谷市幡羅町一丁目９番地２ 東芝モバイルディスプレイ株式会社内
Fターム(参考) 2H092 GA13 GA14 JA24 JB13 JB22 JB24 JB31 JB33 JB69 NA01
PA02 PA11 QA06

专利名称(译)	液晶表示装置		
公开(公告)号	JP2013029645A	公开(公告)日	2013-02-07
申请号	JP2011165257	申请日	2011-07-28
申请(专利权)人(译)	有限公司日本展示中心		
[标]发明人	廣澤仁		
发明人	廣澤 仁		
IPC分类号	G02F1/1368		
CPC分类号	G02F1/134336 G02F1/134363 G02F1/1393 G02F2001/134345 G02F2201/123		
FI分类号	G02F1/1368 G02F1/1343		
F-TERM分类号	2H092/GA13 2H092/GA14 2H092/JA24 2H092/JB13 2H092/JB22 2H092/JB24 2H092/JB31 2H092/JB33 2H092/JB69 2H092/NA01 2H092/PA02 2H092/PA11 2H092/QA06 2H192/AA24 2H192/BA32 2H192/CB02 2H192/CB05 2H192/DA12 2H192/EA22 2H192/EA43 2H192/FA73 2H192/GA03 2H192/JA03		
代理人(译)	河野 哲 中村诚 河野直树 冈田隆		
其他公开文献	JP5386555B2		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种能够抑制显示质量下降的液晶显示装置。第一基板，其包括具有线性延伸的第一边缘的带状主像素电极，从主像素电极的第一边缘突出的子像素电极和主像素 第二基板具有在电极的两侧上基本平行于主像素电极延伸的主公共电极，以及包含保持在第一基板和第二基板之间的液晶分子的液晶层。子像素电极在距第一边缘第一距离的位置处具有第一宽度，以及距第一边缘第一距离的第二距离处具有第二宽度。并且第二宽度小于第一宽度。[选择图]图3

