

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-3237

(P2012-3237A)

(43) 公開日 平成24年1月5日(2012.1.5)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H092
G02F 1/133 (2006.01)	G02F 1/133 550	2H189
G02F 1/1368 (2006.01)	G02F 1/1368	2H191
G02F 1/1333 (2006.01)	G02F 1/1333	2H193
G02F 1/13357 (2006.01)	G02F 1/13357	5C006

審査請求 未請求 請求項の数 6 O L (全 60 頁) 最終頁に続く

(21) 出願番号	特願2011-83270 (P2011-83270)	(71) 出願人	000153878
(22) 出願日	平成23年4月5日 (2011.4.5)		株式会社半導体エネルギー研究所
(31) 優先権主張番号	特願2010-90938 (P2010-90938)		神奈川県厚木市長谷398番地
(32) 優先日	平成22年4月9日 (2010.4.9)	(72) 発明者	小山 潤
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2010-90944 (P2010-90944)		半導体エネルギー研究所内
(32) 優先日	平成22年4月9日 (2010.4.9)	(72) 発明者	三宅 博之
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2010-114445 (P2010-114445)		半導体エネルギー研究所内
(32) 優先日	平成22年5月18日 (2010.5.18)	(72) 発明者	山崎 舜平
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2010-114440 (P2010-114440)		半導体エネルギー研究所内
(32) 優先日	平成22年5月18日 (2010.5.18)		
(33) 優先権主張国	日本国 (JP)		

最終頁に続く

(54) 【発明の名称】 液晶表示装置及びその駆動方法

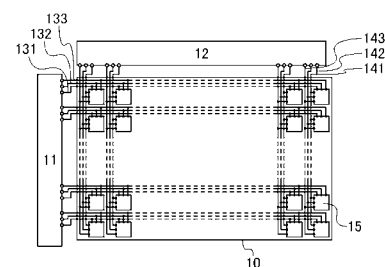
(57) 【要約】

【課題】 フィールドシーケンシャル方式によって表示を行う液晶表示装置などにおいて、設計の観点から画質の向上を図ること。

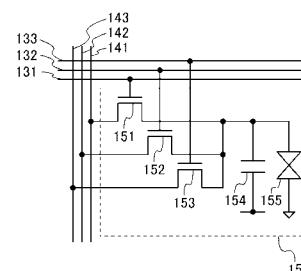
【解決手段】 多結晶半導体又は単結晶半導体をチャンネル形成領域に含むトランジスタによって画像信号の入力が制御される画素がマトリクス状に配設された液晶表示装置の画素部において、マトリクス状に配設された画素のうち、複数行に配設された画素に対して同時に画像信号を供給する。これにより、当該液晶表示装置の画質を向上させることが可能になる。

【選択図】 図1

(A)



(B)



【特許請求の範囲】

【請求項 1】

第 1 の信号線及び第 2 の信号線と、

第 1 の走査線、第 2 の走査線、第 3 の走査線、及び第 4 の走査線と、

第 1 の画素及び第 2 の画素と、

前記第 1 の走査線及び前記第 3 の走査線に選択信号を供給する機能を有する第 1 のシフトレジスタ、並びに前記第 2 の走査線及び前記第 4 の走査線に選択信号を供給する機能を有する第 2 のシフトレジスタと、を有し、

前記第 1 の画素は、ゲートが前記第 1 の走査線に電氣的に接続され、ソース及びドレインの一方が前記第 1 の信号線に電氣的に接続された第 1 のトランジスタと、ゲートが前記第 2 の走査線に電氣的に接続され、ソース及びドレインの一方が前記第 2 の信号線に電氣的に接続された第 2 のトランジスタと、一方の電極が前記第 1 のトランジスタのソース及びドレインの他方並びに前記第 2 のトランジスタのソース及びドレインの他方に電氣的に接続された第 1 の液晶素子と、を有し、

前記第 2 の画素は、ゲートが前記第 3 の走査線に電氣的に接続され、ソース及びドレインの一方が前記第 1 の信号線に電氣的に接続された第 3 のトランジスタと、ゲートが前記第 4 の走査線に電氣的に接続され、ソース及びドレインの一方が前記第 2 の信号線に電氣的に接続された第 4 のトランジスタと、一方の電極が前記第 3 のトランジスタのソース及びドレインの他方並びに前記第 4 のトランジスタのソース及びドレインの他方に電氣的に接続された第 2 の液晶素子と、を有し、

前記第 1 のトランジスタ乃至前記第 4 のトランジスタのチャンネル形成領域に多結晶半導体又は単結晶半導体が含まれ、

前記第 1 の信号線は、第 1 のサンプリング期間に含まれる水平走査期間において第 1 の画像信号が供給され、且つ第 2 のサンプリング期間に含まれる水平走査期間において第 2 の画像信号が供給され、

第 2 の信号線は、前記第 1 のサンプリング期間に含まれる水平走査期間において第 3 の画像信号が供給され、且つ前記第 2 のサンプリング期間に含まれる水平走査期間において第 4 の画像信号が供給され、

前記第 1 のサンプリング期間に含まれる水平走査期間において、前記第 1 の走査線と前記第 4 の走査線に選択信号が供給され、且つ前記第 2 の走査線と前記第 3 の走査線に非選択信号が供給され、

前記第 2 のサンプリング期間に含まれる水平走査期間において、前記第 2 の走査線と前記第 3 の走査線に選択信号が供給され、且つ前記第 1 の走査線と前記第 4 の走査線に非選択信号が供給される液晶表示装置。

【請求項 2】

第 1 の信号線、第 2 の信号線、及び第 3 の信号線と、

第 1 の走査線、第 2 の走査線、第 3 の走査線、第 4 の走査線、第 5 の走査線、第 6 の走査線、第 7 の走査線、第 8 の走査線、及び第 9 の走査線と、

第 1 の画素、第 2 の画素、及び第 3 の画素と、

前記第 1 の走査線、前記第 4 の走査線、及び前記第 7 の走査線に選択信号を供給する機能を有する第 1 のシフトレジスタ、前記第 2 の走査線、前記第 5 の走査線、及び前記第 8 の走査線に選択信号を供給する機能を有する第 2 のシフトレジスタ、並びに、前記第 3 の走査線、前記第 6 の走査線、及び前記第 9 の走査線に選択信号を供給する機能を有する第 3 のシフトレジスタと、を有し、

前記第 1 の画素は、ゲートが前記第 1 の走査線に電氣的に接続され、ソース及びドレインの一方が前記第 1 の信号線に電氣的に接続された第 1 のトランジスタと、ゲートが前記第 2 の走査線に電氣的に接続され、ソース及びドレインの一方が前記第 2 の信号線に電氣的に接続された第 2 のトランジスタと、ゲートが前記第 3 の走査線に電氣的に接続され、ソース及びドレインの一方が前記第 3 の信号線に電氣的に接続された第 3 のトランジスタと、一方の電極が前記第 1 のトランジスタのソース及びドレインの他方、前記第 2 のトラ

ンジスタのソース及びドレインの他方並びに前記第3のトランジスタのソース及びドレインの他方に電氣的に接続された第1の液晶素子と、を有し、

前記第2の画素は、ゲートが前記第4の走査線に電氣的に接続され、ソース及びドレインの一方が前記第1の信号線に電氣的に接続された第4のトランジスタと、ゲートが前記第5の走査線に電氣的に接続され、ソース及びドレインの一方が前記第2の信号線に電氣的に接続された第5のトランジスタと、ゲートが前記第6の走査線に電氣的に接続され、ソース及びドレインの一方が前記第3の信号線に電氣的に接続された第6のトランジスタと、一方の電極が前記第4のトランジスタのソース及びドレインの他方、前記第5のトランジスタのソース及びドレインの他方並びに前記第6のトランジスタのソース及びドレインの他方に電氣的に接続された第2の液晶素子と、を有し、

10

前記第3の画素は、ゲートが前記第7の走査線に電氣的に接続され、ソース及びドレインの一方が前記第1の信号線に電氣的に接続された第7のトランジスタと、ゲートが前記第8の走査線に電氣的に接続され、ソース及びドレインの一方が前記第2の信号線に電氣的に接続された第8のトランジスタと、ゲートが前記第9の走査線に電氣的に接続され、ソース及びドレインの一方が前記第3の信号線に電氣的に接続された第9のトランジスタと、一方の電極が前記第7のトランジスタのソース及びドレインの他方、前記第8のトランジスタのソース及びドレインの他方並びに前記第9のトランジスタのソース及びドレインの他方に電氣的に接続された第3の液晶素子と、を有し、

前記第1のトランジスタ乃至前記第9のトランジスタのチャンネル形成領域に多結晶半導体又は単結晶半導体が含まれ、

20

前記第1の信号線は、第1のサンプリング期間に含まれる水平走査期間において第1の画像信号が供給され、且つ第2のサンプリング期間に含まれる水平走査期間において第2の画像信号が供給され、且つ第3のサンプリング期間に含まれる水平走査期間において第3の画像信号が供給され、

前記第2の信号線は、前記第1のサンプリング期間に含まれる水平走査期間において第4の画像信号が供給され、且つ前記第2のサンプリング期間に含まれる水平走査期間において第5の画像信号が供給され、且つ前記第3のサンプリング期間に含まれる水平走査期間において第6の画像信号が供給され、

第3の信号線は、前記第1のサンプリング期間に含まれる水平走査期間において第7の画像信号が供給され、且つ前記第2のサンプリング期間に含まれる水平走査期間において第8の画像信号が供給され、且つ前記第3のサンプリング期間に含まれる水平走査期間において第9の画像信号が供給され、

30

前記第1のサンプリング期間に含まれる水平走査期間において、前記第1の走査線、前記第5の走査線、及び前記第9の走査線に選択信号が供給され、且つ前記第2の走査線、前記第3の走査線、前記第4の走査線、前記第6の走査線、前記第7の走査線、及び前記第8の走査線に非選択信号が供給され、

前記第2のサンプリング期間に含まれる水平走査期間において、前記第3の走査線、前記第4の走査線、及び前記第8の走査線に選択信号が供給され、且つ前記第1の走査線、前記第2の走査線、前記第5の走査線、前記第6の走査線、前記第7の走査線、及び前記第9の走査線に非選択信号が供給され、

40

前記第3のサンプリング期間に含まれる水平走査期間において、前記第2の走査線、前記第6の走査線、及び前記第7の走査線に選択信号が供給され、且つ前記第1の走査線、前記第3の走査線、前記第4の走査線、前記第5の走査線、前記第8の走査線、及び前記第9の走査線に非選択信号が供給される液晶表示装置。

【請求項3】

第1の信号線及び第2の信号線と、

第1の走査線及び第2の走査線と、

第1の画素及び第2の画素と、

前記第1の走査線に選択信号を供給する機能を有する第1のシフトレジスタ、及び前記第2の走査線に選択信号を供給する機能を有する第2のシフトレジスタと、を有し、

50

前記第 1 の画素は、ゲートが前記第 1 の走査線に電氣的に接続され、ソース及びドレインの一方が前記第 1 の信号線に電氣的に接続された第 1 のトランジスタと、一方の電極が前記第 1 のトランジスタのソース及びドレインの他方に電氣的に接続された第 1 の液晶素子と、を有し、

前記第 2 の画素は、ゲートが前記第 2 の走査線に電氣的に接続され、ソース及びドレインの一方が前記第 2 の信号線に電氣的に接続された第 2 のトランジスタと、一方の電極が前記第 2 のトランジスタのソース及びドレインの他方に電氣的に接続された第 2 の液晶素子と、を有し、

前記第 1 のトランジスタ及び前記第 2 のトランジスタのチャンネル形成領域に多結晶半導体又は単結晶半導体が含まれ、

前記第 1 の信号線は、第 1 のサンプリング期間に含まれる水平走査期間において第 1 の画像信号が供給され、且つ第 2 のサンプリング期間に含まれる水平走査期間において第 2 の画像信号が供給され、

前記第 2 の信号線は、前記第 1 のサンプリング期間に含まれる水平走査期間において第 3 の画像信号が供給され、且つ前記第 2 のサンプリング期間に含まれる水平走査期間において第 4 の画像信号が供給され、

前記第 1 のサンプリング期間に含まれる水平走査期間及び前記第 2 のサンプリング期間に含まれる水平走査期間において、前記第 1 の走査線及び前記第 2 の走査線に選択信号が供給される液晶表示装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、

前記第 1 のシフトレジスタ及び前記第 2 のシフトレジスタが、チャンネル形成領域が多結晶半導体又は単結晶半導体を含むトランジスタを用いて構成される液晶表示装置。

【請求項 5】

チャンネル形成領域に多結晶半導体又は単結晶半導体が含まれる第 1 のトランジスタ及び第 2 のトランジスタを有する画素がマトリクス状に配設された画素部に対して、異なる色を呈する光を発光する複数の光源が順次発光し、且つ前記画素毎にそれぞれの色を呈する光の透過を制御することで前記画素部に画像を形成する液晶表示装置の駆動方法であって、

第 1 の走査線を起点として第 n の走査線 (n は、3 以上の自然数) までに対して順次選択信号をシフトすることで 1 行目乃至 n 行目に配設された複数の画素の各々に設けられた第 1 のトランジスタを介して前記 1 行目乃至 n 行目に配設された複数の画素の各々に画像信号を入力し且つ第 $(n+1)$ の走査線を起点として第 $2n$ の走査線までに対して順次選択信号をシフトすることで $(n+1)$ 行目乃至 $2n$ 行目に配設された複数の画素の各々に設けられた第 2 のトランジスタを介して前記 $(n+1)$ 行目乃至 $2n$ 行目に配設された複数の画素に画像信号を入力するサンプリング期間内において、前記第 1 の走査線乃至第 k の走査線 (k は、2 以上 n 未満の自然数) 及び前記第 $(n+1)$ の走査線乃至第 $(n+k)$ の走査線に対する選択信号のシフトが終了した後に 1 行目乃至 k 行目用光源及び $(n+1)$ 行目乃至 $(n+k)$ 行目用光源を発光させ、1 行目乃至 k 行目に配設された複数の画素のそれぞれにおいて前記 1 行目乃至 k 行目用光源から発光される光の透過を制御し且つ $(n+1)$ 行目乃至 $(n+k)$ 行目に配設された複数の画素のそれぞれにおいて前記 $(n+1)$ 行目乃至 $(n+k)$ 行目用光源から発光される光の透過を制御する液晶表示装置の駆動方法。

【請求項 6】

前記サンプリング期間内において、前記 1 行目乃至 k 行目用光源が呈する光の色と、前記 $(n+1)$ 行目乃至 $(n+k)$ 行目用光源が呈する光の色とが異なる請求項 5 に記載の液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置及びその駆動方法に関する。特に、フィールドシーケンシャル方式によって表示を行う液晶表示装置及びその駆動方法に関する。

【背景技術】

【0002】

液晶表示装置の表示方法として、カラーフィルター方式及びフィールドシーケンシャル方式が知られている。前者によって表示を行う液晶表示装置では、各画素に、特定色を呈する波長の光のみを透過するカラーフィルター（例えば、R（赤）、G（緑）、B（青））を有する複数の副画素が設けられる。そして、副画素毎に白色光の透過を制御し、且つ画素毎に複数の色を混色することで所望の色を形成している。一方、後者によって表示を行う液晶表示装置では、それぞれが異なる色を呈する光を発光する複数の光源（例えば、R（赤）、G（緑）、B（青））が設けられる。そして、当該複数の光源が順次発光し、且つ画素毎にそれぞれの色を呈する光の透過を制御することで所望の色を形成している。すなわち、前者は、特定色を呈する光毎に一画素の面積を分割することで所望の色を形成する方式であり、後者は、特定色を呈する光毎に表示期間を時間分割することで所望の色を形成する方式である。

【0003】

フィールドシーケンシャル方式によって表示を行う液晶表示装置は、カラーフィルター方式によって表示を行う液晶表示装置と比較し、以下の利点を有する。まず、フィールドシーケンシャル方式によって表示を行う液晶表示装置では、各画素に副画素を設ける必要がない。そのため、開口率を向上させること又は画素数を増加させることが可能である。加えて、フィールドシーケンシャル方式によって表示を行う液晶表示装置では、カラーフィルターを設ける必要がない。つまり、カラーフィルターにおける光吸収による光の損失がない。そのため、透過率を向上させること及び消費電力を低減することが可能である。

【0004】

特許文献1では、フィールドシーケンシャル方式によって表示を行う液晶表示装置が開示されている。具体的には、各画素に、画像信号の入力を制御するトランジスタと、該画像信号を保持する信号保持容量と、該信号保持容量から表示画素容量への電荷の移動を制御するトランジスタとが設けられた液晶表示装置が開示されている。当該構成を有する液晶表示装置は、信号保持容量に対する画像信号の書き込みと、表示画素容量が保持する電荷に応じた表示とを並行して行うことが可能である。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2009-42405号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明の一態様は、液晶表示装置の画質を向上させることを課題の一とする。

【課題を解決するための手段】

【0007】

上述した課題は、液晶表示装置の画素部において、マトリクス状に配設された画素のうち、複数行に配設された画素に対して同時に画像信号を供給することによって解決することができる。

【0008】

すなわち、本発明の一態様は、第1の信号線及び第2の信号線と、第1の走査線、第2の走査線、第3の走査線、及び第4の走査線と、第1の画素及び第2の画素と、第1の走査線及び第3の走査線に選択信号を供給する機能を有する第1のシフトレジスタ、並びに第2の走査線及び第4の走査線に選択信号を供給する機能を有する第2のシフトレジスタと、を有し、第1の画素は、ゲートが第1の走査線に電氣的に接続され、ソース及びドレインの一方が第1の信号線に電氣的に接続された第1のトランジスタと、ゲートが第2の

走査線に電氣的に接続され、ソース及びドレインの一方が第2の信号線に電氣的に接続された第2のトランジスタと、一方の電極が第1のトランジスタのソース及びドレインの他方並びに第2のトランジスタのソース及びドレインの他方に電氣的に接続された第1の液晶素子と、を有し、第2の画素は、ゲートが第3の走査線に電氣的に接続され、ソース及びドレインの一方が第1の信号線に電氣的に接続された第3のトランジスタと、ゲートが第4の走査線に電氣的に接続され、ソース及びドレインの一方が第2の信号線に電氣的に接続された第4のトランジスタと、一方の電極が第3のトランジスタのソース及びドレインの他方並びに第4のトランジスタのソース及びドレインの他方に電氣的に接続された第2の液晶素子と、を有し、第1のトランジスタ乃至第4のトランジスタのチャンネル形成領域に多結晶半導体又は単結晶半導体が含まれる液晶表示装置である。さらに、第1の信号線には、第1のサンプリング期間に含まれる水平走査期間において第1の画像信号が供給され、第2のサンプリング期間に含まれる水平走査期間において第2の画像信号が供給されている。また、第2の信号線には、第1のサンプリング期間に含まれる水平走査期間において第3の画像信号が供給され、第2のサンプリング期間に含まれる水平走査期間において第4の画像信号が供給されている。さらに、第1のサンプリング期間に含まれる水平走査期間において、第1の走査線及び第4の走査線に選択信号が供給され、第2の走査線及び第3の走査線に非選択信号が供給されている。また、第2のサンプリング期間に含まれる水平走査期間において、第2の走査線及び第3の走査線に選択信号が供給され、第1の走査線及び第4の走査線に非選択信号が供給されている。

10

【0009】

20

また、本発明の一態様は、第1の信号線、第2の信号線、及び第3の信号線と、第1の走査線、第2の走査線、第3の走査線、第4の走査線、第5の走査線、第6の走査線、第7の走査線、第8の走査線、及び第9の走査線と、第1の画素、第2の画素、及び第3の画素と、第1の走査線、第4の走査線、及び第7の走査線に選択信号を供給する機能を有する第1のシフトレジスタ、第2の走査線、第5の走査線、及び第8の走査線に選択信号を供給する機能を有する第2のシフトレジスタ、並びに、第3の走査線、第6の走査線、及び第9の走査線に選択信号を供給する機能を有する第3のシフトレジスタと、を有し、第1の画素は、ゲートが第1の走査線に電氣的に接続され、ソース及びドレインの一方が第1の信号線に電氣的に接続された第1のトランジスタと、ゲートが第2の走査線に電氣的に接続され、ソース及びドレインの一方が第2の信号線に電氣的に接続された第2のトランジスタと、ゲートが第3の走査線に電氣的に接続され、ソース及びドレインの一方が第3の信号線に電氣的に接続された第3のトランジスタと、一方の電極が第1のトランジスタのソース及びドレインの他方、第2のトランジスタのソース及びドレインの他方、並びに第3のトランジスタのソース及びドレインの他方に電氣的に接続された第1の液晶素子と、を有し、第2の画素は、ゲートが第4の走査線に電氣的に接続され、ソース及びドレインの一方が第1の信号線に電氣的に接続された第4のトランジスタと、ゲートが第5の走査線に電氣的に接続され、ソース及びドレインの一方が第2の信号線に電氣的に接続された第5のトランジスタと、ゲートが第6の走査線に電氣的に接続され、ソース及びドレインの一方が第3の信号線に電氣的に接続された第6のトランジスタと、一方の電極が第4のトランジスタのソース及びドレインの他方、第5のトランジスタのソース及びドレインの他方、並びに第6のトランジスタのソース及びドレインの他方に電氣的に接続された第2の液晶素子と、を有し、第3の画素は、ゲートが第7の走査線に電氣的に接続され、ソース及びドレインの一方が第1の信号線に電氣的に接続された第7のトランジスタと、ゲートが第8の走査線に電氣的に接続され、ソース及びドレインの一方が第2の信号線に電氣的に接続された第8のトランジスタと、ゲートが第9の走査線に電氣的に接続され、ソース及びドレインの一方が第3の信号線に電氣的に接続された第9のトランジスタと、一方の電極が第7のトランジスタのソース及びドレインの他方、第8のトランジスタのソース及びドレインの他方、並びに第9のトランジスタのソース及びドレインの他方に電氣的に接続された第3の液晶素子と、を有し、第1のトランジスタ乃至第9のトランジスタのチャンネル形成領域に多結晶半導体又は単結晶半導体が含まれる液晶表示装置である。

30

40

50

さらに、第 1 の信号線には、第 1 のサンプリング期間に含まれる水平走査期間において第 1 の画像信号が供給され、第 2 のサンプリング期間に含まれる水平走査期間において第 2 の画像信号が供給され、第 3 のサンプリング期間に含まれる水平走査期間において第 3 の画像信号が供給されている。また、第 2 の信号線には、第 1 のサンプリング期間に含まれる水平走査期間において第 4 の画像信号が供給され、第 2 のサンプリング期間に含まれる水平走査期間において第 5 の画像信号が供給され、第 3 のサンプリング期間に含まれる水平走査期間において第 6 の画像信号が供給されている。また、第 3 の信号線には、第 1 のサンプリング期間に含まれる水平走査期間において第 7 の画像信号が供給され、第 2 のサンプリング期間に含まれる水平走査期間において第 8 の画像信号が供給され、第 3 のサンプリング期間に含まれる水平走査期間において第 9 の画像信号が供給されている。さらに、第 1 のサンプリング期間に含まれる水平走査期間において、第 1 の走査線、第 5 の走査線、及び第 9 の走査線に選択信号が供給され、第 2 の走査線、第 3 の走査線、第 4 の走査線、第 6 の走査線、第 7 の走査線、及び第 8 の走査線に非選択信号が供給されている。また、第 2 のサンプリング期間に含まれる水平走査期間において、第 3 の走査線、第 4 の走査線、及び第 8 の走査線に選択信号が供給され、第 1 の走査線、第 2 の走査線、第 5 の走査線、第 6 の走査線、第 7 の走査線、及び第 9 の走査線に非選択信号が供給されている。また、第 3 のサンプリング期間に含まれる水平走査期間において、第 2 の走査線、第 6 の走査線、及び第 7 の走査線に選択信号が供給され、第 1 の走査線、第 3 の走査線、第 4 の走査線、第 5 の走査線、第 8 の走査線、及び第 9 の走査線に非選択信号が供給されている。

10

20

【0010】

また、本発明の一態様は、第 1 の信号線及び第 2 の信号線と、第 1 の走査線及び第 2 の走査線と、第 1 の画素及び第 2 の画素と、第 1 の走査線に選択信号を供給する機能を有する第 1 のシフトレジスタ、及び第 2 の走査線に選択信号を供給する機能を有する第 2 のシフトレジスタと、を有し、第 1 の画素は、ゲートが第 1 の走査線に電氣的に接続され、ソース及びドレインの一方が第 1 の信号線に電氣的に接続された第 1 のトランジスタと、一方の電極が第 1 のトランジスタのソース及びドレインの他方に電氣的に接続された第 1 の液晶素子と、を有し、第 2 の画素は、ゲートが第 2 の走査線に電氣的に接続され、ソース及びドレインの一方が第 2 の信号線に電氣的に接続された第 2 のトランジスタと、一方の電極が第 2 のトランジスタのソース及びドレインの他方に電氣的に接続された第 2 の液晶素子と、を有し、第 1 のトランジスタ及び第 2 のトランジスタのチャンネル形成領域に多結晶半導体又は単結晶半導体が含まれる液晶表示装置である。さらに、第 1 の信号線には、第 1 のサンプリング期間に含まれる水平走査期間において第 1 の画像信号が供給され、第 2 のサンプリング期間に含まれる水平走査期間において第 2 の画像信号が供給されている。また、第 2 の信号線には、第 1 のサンプリング期間に含まれる水平走査期間において第 3 の画像信号が供給され、第 2 のサンプリング期間に含まれる水平走査期間において第 4 の画像信号が供給されている。さらに、第 1 のサンプリング期間に含まれる水平走査期間において、第 1 の走査線及び第 2 の走査線に選択信号が供給されている。また、第 2 のサンプリング期間に含まれる水平走査期間において、第 1 の走査線及び第 2 の走査線に選択信号が供給されている。

30

40

【0011】

また、本発明の一態様に係る液晶表示装置では、シリコンまたはゲルマニウムなどの多結晶半導体をチャンネル形成領域に含むトランジスタを用いることができる。多結晶半導体をチャンネル形成領域に含むトランジスタは、非晶質半導体をチャンネル形成領域に含むトランジスタに比べて移動度が 2 桁以上高く、液晶表示装置の画素部とその周辺の駆動回路を同一基板上に一体形成できるという利点を有している。

【0012】

具体的に、本発明の一態様に係る液晶表示装置は、多結晶半導体をチャンネル形成領域に含むトランジスタを用いて、画素部と共に駆動回路の一部または全てを、一の基板に形成することができる。

50

【0013】

また、本発明の一態様に係る液晶表示装置では、シリコンまたはゲルマニウムなどの単結晶半導体をチャネル形成領域に含むトランジスタを用いることができる。具体的には、バルクの半導体基板から分離された単結晶半導体膜を基板に貼り合わせることで得られるSOI基板を用いて、液晶表示装置を作製することができる。SOI基板を用いることで、単結晶半導体をチャネル形成領域に含むトランジスタを形成することができるので、液晶表示装置の画素部とその周辺の駆動回路を同一基板上に一体形成できる。

【0014】

駆動回路の一部または全てを画素部と同じ基板上に形成することで、外部に設ける駆動回路等の部品が減るので、液晶表示装置の小型化のみならず、組立工程や検査工程の削減によるコストダウンを図ることができる。また、駆動回路と画素部の間を接続する端子数を減らすことができるので、駆動回路と画素部の接続不良に起因する歩留まり低下を防ぎ、接続箇所における機械的強度の低さにより信頼性が低下するのを防ぐことができる。

10

【発明の効果】

【0015】

本発明の一態様の液晶表示装置は、マトリクス状に配設された画素のうち、複数行に配設された画素に対して同時に画像信号を供給することが可能である。これにより、当該液晶表示装置の各画素に対する画像信号の入力頻度を増加させることが可能になる。その結果、当該液晶表示装置の画質を向上させることが可能である。

20

【図面の簡単な説明】

【0016】

【図1】(A)液晶表示装置の構成例を示す図、(B)画素の構成例を示す図。

【図2】走査線駆動回路の構成例を示す図。

【図3】シフトレジスタの出力信号を示す図。

【図4】(A)信号線駆動回路の構成例を示す図、(B)バックライトの構成例を示す図。

【図5】液晶表示装置の動作例を説明する図。

【図6】(A)液晶表示装置の構成例を示す図、(B)～(D)画素の構成例を示す図。

【図7】(A)走査線駆動回路の構成例を示す図、(B)シフトレジスタの出力信号を示す図。

30

【図8】信号線駆動回路の構成例を示す図。

【図9】画素の具体例を示す断面図。

【図10】(A)～(C)端子間の接続の具体例を示す図。

【図11】(A)～(D)液晶表示装置の具体例を示す斜視図。

【図12】液晶表示装置の具体例を示す(A)上面図、及び(B)断面図。

【図13】液晶表示装置の具体例を示す斜視図。

【図14】(A)、(B)タッチパネルの具体例を示す図。

【図15】(A)、(B)タッチパネルの具体例を示す図。

【図16】(A)フォトセンサを有する画素部の具体例を示す図、(B)フォトセンサの具体例を示す図。

40

【図17】(A)～(D)トランジスタの作製方法の具体例を示す断面図。

【図18】(A)～(F)電子機器の一例を示す図。

【図19】液晶表示装置の具体例を示す(A)上面図、及び(B)断面図。

【図20】(A)～(D)SOI基板を用いたトランジスタの具体例の作製方法を示す断面図。

【図21】(A)～(D)SOI基板を用いたトランジスタの具体例の作製方法を示す断面図。

【図22】(A)～(C)SOI基板を用いたトランジスタの具体例の作製方法を示す断面図。

50

【発明を実施するための形態】

【0017】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0018】

(実施の形態1)

本実施の形態では、フィールドシーケンシャル方式によって表示を行う液晶表示装置の一例について図1～図5を参照して説明する。

10

【0019】

<液晶表示装置の構成例>

図1(A)は、液晶表示装置の構成例を示す図である。図1(A)に示す液晶表示装置は、画素部10と、走査線駆動回路11と、信号線駆動回路12と、各々が平行又は略平行に配設され、且つ走査線駆動回路11によって電位が制御される、3n本(nは、2以上の自然数)の走査線131、3n本の走査線132、及び3n本の走査線133と、各々が平行又は略平行に配設され、且つ信号線駆動回路12によって電位が制御される、m本(mは、2以上の自然数)の信号線141、m本の信号線142、及びm本の信号線143と、を有する。

20

【0020】

さらに、画素部10は、マトリクス状(3n行m列)に配設された複数の画素15を有する。なお、各走査線131、132、133は、マトリクス状(3n行m列)に配設された複数の画素15のうち、いずれかの行に配設されたm個の画素15に電氣的に接続される。また、各信号線141、142、143は、マトリクス状(3n行m列)に配設された複数の画素15のうち、いずれかの列に配設された3n個の画素15に電氣的に接続される。

【0021】

なお、走査線駆動回路11には、外部から走査線駆動回路用スタート信号(GSP1～GSP3)、走査線駆動回路用クロック信号(GCK)、及び高電源電位(VDD)、低電源電位(VSS)などの駆動用電源が入力される。また、信号線駆動回路12には、外部から信号線駆動回路用スタート信号(SSP)、信号線駆動回路用クロック信号(SCK)、画像信号(DATA1～DATA3)などの信号、及び高電源電位、低電源電位などの駆動用電源が入力される。

30

【0022】

図1(B)は、画素15の回路構成例を示す図である。図1(B)に示す画素15は、ゲートが走査線131に電氣的に接続され、ソース及びドレインの一方が信号線141に電氣的に接続されたトランジスタ151と、ゲートが走査線132に電氣的に接続され、ソース及びドレインの一方が信号線142に電氣的に接続されたトランジスタ152と、ゲートが走査線133に電氣的に接続され、ソース及びドレインの一方が信号線143に電氣的に接続されたトランジスタ153と、一方の電極がトランジスタ151～153のソース及びドレインの他方に電氣的に接続され、他方の電極が容量電位を供給する配線に電氣的に接続された容量素子154と、一方の電極がトランジスタ151～153のソース及びドレインの他方並びに容量素子154の一方の電極に電氣的に接続され、他方の電極が対向電位を供給する配線に電氣的に接続された液晶素子155と、を有する。

40

【0023】

<走査線駆動回路11の構成例>

図2は、図1(A)に示す液晶表示装置が有する走査線駆動回路11の構成例を示す図である。図2に示す走査線駆動回路11は、3n個の出力端子を有する3つのシフトレジスタ111～113を有する。なお、シフトレジスタ111が有する出力端子のそれぞれは、画素部10に配設された3n本の走査線131のいずれかに電氣的に接続され、シフ

50

トレジスタ 112 が有する出力端子のそれぞれは、画素部 10 に配設された 3n 本の走査線 132 のいずれかに電氣的に接続され、シフトレジスタ 113 が有する出力端子のそれぞれは、画素部 10 に配設された 3n 本の走査線 133 のいずれかに電氣的に接続される。すなわち、シフトレジスタ 111 は、走査線 131 を駆動するシフトレジスタであり、シフトレジスタ 112 は、走査線 132 を駆動するシフトレジスタであり、シフトレジスタ 113 は、走査線 133 を駆動するシフトレジスタである。具体的には、シフトレジスタ 111 は、外部から入力される第 1 の走査線駆動回路用スタート信号 (GSP1) をきっかけとして、1 行目に配設された走査線 131 を起点として順次選択信号をシフト (走査線 131 を走査線駆動回路用クロック信号 (GCK) 1/2 周期毎に順次選択) する機能を有し、シフトレジスタ 112 は、外部から入力される第 2 の走査線駆動回路用スタート信号 (GSP2) をきっかけとして、1 行目に配設された走査線 132 を起点として順次選択信号をシフトする機能を有し、シフトレジスタ 113 は、外部から入力される第 3 の走査線駆動回路用スタート信号 (GSP3) をきっかけとして、1 行目に配設された走査線 133 を起点として順次選択信号をシフトする機能を有する。

10

【0024】

<走査線駆動回路 11 の動作例>

上述した走査線駆動回路 11 の動作例について図 3 を参照して説明する。なお、図 3 には、走査線駆動回路用クロック信号 (GCK)、シフトレジスタ 111 が有する 3n 個の出力端子から出力される信号 (SR111out)、シフトレジスタ 112 が有する 3n 個の出力端子から出力される信号 (SR112out)、及びシフトレジスタ 113 が有する 3n 個の出力端子から出力される信号 (SR113out) を示している。ここで、サンプリング期間とは、全ての行 (1 行目乃至 3n 行目) に配設された全ての画素に対して何らかの画像信号が入力されるのに要する期間である。

20

【0025】

サンプリング期間 (t1) において、シフトレジスタ 111 では、1 行目に配設された走査線 131 を起点として n 行目に配設された走査線 131 までハイレベルの電位が 1/2 クロック周期 (水平走査期間) 毎に順次シフトし、シフトレジスタ 112 では、(n+1) 行目に配設された走査線 132 を起点として 2n 行目に配設された走査線 132 までハイレベルの電位が 1/2 クロック周期 (水平走査期間) 毎に順次シフトし、シフトレジスタ 113 では、(2n+1) 行目に配設された走査線 133 を起点として 3n 行目に配設された走査線 133 までハイレベルの電位が 1/2 クロック周期 (水平走査期間) 毎に順次シフトする。そのため、走査線駆動回路 11 は、走査線 131 を介して 1 行目に配設された m 個の画素 15 から n 行目に配設された m 個の画素 15 を順次選択するとともに、走査線 132 を介して (n+1) 行目に配設された m 個の画素 15 から 2n 行目に配設された m 個の画素 15 を順次選択し、走査線 133 を介して (2n+1) 行目に配設された m 個の画素 15 から 3n 行目に配設された m 個の画素 15 を順次選択することになる。すなわち、走査線駆動回路 11 は、水平走査期間毎に異なる 3 行に配設された 3m 個の画素 15 に対して選択信号を供給することが可能である。

30

【0026】

サンプリング期間 (t2) において、シフトレジスタ 111~113 のそれぞれの出力信号はサンプリング期間 (t1) と異なるが、シフトレジスタ 111~113 のいずれか一 (サンプリング期間 (t2) においては、シフトレジスタ 113) が 1 行目に配設された m 個の画素 15 から n 行目に配設された m 個の画素 15 を順次選択し、前述のシフトレジスタ 111~113 のいずれか一と異なるシフトレジスタ 111~113 のいずれか一 (サンプリング期間 (t2) においては、シフトレジスタ 111) が (n+1) 行目に配設された m 個の画素 15 から 2n 行目に配設された m 個の画素 15 を順次選択し、シフトレジスタ 111~113 のうち前述の 2 つと異なる一 (サンプリング期間 (t2) においては、シフトレジスタ 112) が (2n+1) 行目に配設された m 個の画素 15 から 3n 行目に配設された m 個の画素 15 を順次選択する点は、同じである。すなわち、走査線駆動回路 11 は、サンプリング期間 (t1) と同様に、水平走査期間毎に特定の 3 行に配設

40

50

された $3m$ 個の画素 15 に対して選択信号を供給することが可能である。

【0027】

<信号線駆動回路 12 の構成例>

図 4 (A) は、図 1 (A) に示す液晶表示装置が有する信号線駆動回路 12 の構成例を示す図である。図 4 (A) に示す信号線駆動回路 12 は、 m 個の出力端子を有するシフトレジスタ 120 と、 m 個のトランジスタ 121 と、 m 個のトランジスタ 122 と、 m 個のトランジスタ 123 と、を有する。なお、トランジスタ 121 のゲートは、シフトレジスタ 120 が有する j 番目 (j は、1 以上 m 以下の自然数) の出力端子に電氣的に接続され、ソース及びドレインの一方が第 1 の画像信号 (DATA1) を供給する配線に電氣的に接続され、ソース及びドレインの他方が画素部 10 において j 列目に配設された信号線 141 に電氣的に接続される。また、トランジスタ 122 のゲートは、シフトレジスタ 120 が有する j 番目の出力端子に電氣的に接続され、ソース及びドレインの一方が第 2 の画像信号 (DATA2) を供給する配線に電氣的に接続され、ソース及びドレインの他方が画素部 10 において j 列目に配設された信号線 142 に電氣的に接続される。また、トランジスタ 123 のゲートは、シフトレジスタ 120 が有する j 番目の出力端子に電氣的に接続され、ソース及びドレインの一方が第 3 の画像信号 (DATA3) を供給する配線に電氣的に接続され、ソース及びドレインの他方が画素部 10 において j 列目に配設された信号線 143 に電氣的に接続される。

【0028】

なお、ここでは、第 1 の画像信号 (DATA1) として、赤 (R) の画像信号 (赤 (R) を呈する光の透過を制御するための画像信号) を信号線 141 に供給し、第 2 の画像信号 (DATA2) として、青 (B) の画像信号 (青 (B) を呈する光の透過を制御するための画像信号) を信号線 142 に供給し、第 3 の画像信号 (DATA3) として、緑 (G) の画像信号 (緑 (G) を呈する光の透過を制御するための画像信号) を信号線 143 に供給することとする。

【0029】

<バックライトの構成例>

図 4 (B) は、図 1 (A) に示す液晶表示装置の画素部 10 の後方に設けられるバックライトの構成例を示す図である。図 4 (B) に示すバックライトは、赤 (R)、緑 (G)、青 (B) の 3 色を呈する光源を備えたバックライトユニット 16 を複数有する。なお、複数のバックライトユニット 16 は、マトリクス状に配設されており、且つ特定の領域毎に点灯を制御することが可能である。ここでは、 $3n$ 行 m 列に配設された複数の画素 15 に対するバックライトとして、少なくとも k 行 m 列毎 (ここでは、 k は、 $n/4$ とする) にバックライトユニット群が設けられ、それらのバックライトユニット群の点滅を独立に制御できることとする。すなわち、当該バックライトが、少なくとも 1 行目乃至 k 行目用バックライトユニット群 $\sim (3n - k + 1)$ 行目乃至 $3n$ 行目用バックライトユニット群を有し、それぞれのバックライトユニット群の点滅を独立に制御できることとする。

【0030】

<液晶表示装置の動作例>

図 5 は、上述した液晶表示装置において、バックライトが有する 1 行目乃至 k 行目用バックライトユニット群 $\sim (3n - k + 1)$ 行目乃至 $3n$ 行目用バックライトユニット群において点灯される光のタイミング、及び画素部 10 において 1 行目に配設された m 個の画素乃至 $3n$ 行目に配設された m 個の画素に対する画像信号の供給が行われるタイミングを示す図である。具体的には、図 5 において、1 乃至 $3n$ は、行数を表し、実線は、該当する行において画像信号が入力されるタイミングを表している。当該液晶表示装置は、サンプリング期間 (t_1) において、1 行目に配設された m 個の画素 15 から n 行目に配設された m 個の画素 15 を順次選択し、且つ $(n + 1)$ 行目に配設された m 個の画素 15 から $2n$ 行目に配設された m 個の画素 15 を順次選択し、且つ $(2n + 1)$ 行目に配設された m 個の画素 15 から $3n$ 行目に配設された m 個の画素 15 を順次選択することで、各画素に画像信号を入力することが可能である。具体的に述べると、当該液晶表示装置は、サン

プリング期間 (t_1) において、走査線 131 を介して 1 行目に配設された m 個の画素 15 が有するトランジスタ 151 から n 行目に配設された m 個の画素 15 が有するトランジスタ 151 を順次オン状態とすることで、信号線 141 を介して赤 (R) の画像信号を各画素に順次入力することが可能であり、走査線 132 を介して ($n+1$) 行目に配設された m 個の画素 15 が有するトランジスタ 152 から $2n$ 行目に配設された m 個の画素 15 が有するトランジスタ 152 を順次オン状態とすることで、信号線 142 を介して青 (B) の画像信号を各画素に順次入力することが可能であり、走査線 133 を介して ($2n+1$) 行目に配設された m 個の画素 15 が有するトランジスタ 153 から $3n$ 行目に配設された m 個の画素 15 が有するトランジスタ 153 を順次オン状態とすることで、信号線 143 を介して緑 (G) の画像信号を各画素に順次入力することが可能である。

10

【0031】

さらに、当該液晶表示装置では、サンプリング期間 (t_1) 内において、1 行目に配設された m 個の画素 15 から k 行目に配設された m 個の画素 15 に対して赤 (R) の画像信号の入力が終了した後に 1 行目乃至 k 行目用バックライトユニット群において赤 (R) を点灯させ、且つ ($n+1$) 行目に配設された m 個の画素 15 から ($n+k$) 行目に配設された m 個の画素 15 に対して青 (B) の画像信号の入力が終了した後に ($n+1$) 行目乃至 ($n+k$) 行目用バックライトユニット群において青 (B) を点灯させ、且つ ($2n+1$) 行目に配設された m 個の画素 15 から ($2n+k$) 行目に配設された m 個の画素 15 に対して緑 (G) の画像信号の入力が終了した後に ($2n+1$) 行目乃至 ($2n+k$) 行目用バックライトユニット群において緑 (G) を点灯させることが可能である。すなわち、当該液晶表示装置では、領域 (1 行目乃至 n 行目、($n+1$) 行目乃至 $2n$ 行目、及び ($2n+1$) 行目乃至 $3n$ 行目) 毎に、選択信号の供給と、特定色を呈する光の供給とを並行して行うことが可能である。

20

【0032】

<本明細書で開示される液晶表示装置について>

本明細書で開示される液晶表示装置は、マトリクス状に配設された画素のうち、複数行に配設された画素に対して同時に画像信号を供給することが可能である。これにより、当該液晶表示装置が有するトランジスタなどの応答速度を変化させることなく、各画素に対する画像信号の入力頻度を増加させることが可能になる。具体的に述べると、上述した液晶表示装置では、走査線駆動回路のクロック周波数などを変化させることなく、各画素に対する画像信号の入力頻度を 3 倍にすることが可能である。すなわち、当該液晶表示装置は、フィールドシーケンシャル方式によって表示を行う液晶表示装置、又は倍速駆動を行う液晶表示装置として好適である。

30

【0033】

さらに、フィールドシーケンシャル方式によって表示を行う液晶表示装置として本明細書で開示される液晶表示装置を適用することは、以下の点で好ましい。上述したように、フィールドシーケンシャル方式によって表示を行う液晶表示装置では特定色を呈する光毎に表示期間が時間分割される。そのため、利用者の瞬きなど短時間の表示の遮りに起因して特定の表示情報が欠落することによって、当該利用者に視認される表示が本来の表示情報に基づく表示から変化 (劣化) すること (カラーブレイク、色割れともいう) がある。ここで、カラーブレイクの抑制には、フレーム周波数を高くすることが効果的である。これに対し、本明細書で開示される液晶表示装置は、各画素に対する画像信号の入力頻度を増加させることが可能である。そのため、フィールドシーケンシャル方式によって表示を行う液晶表示装置におけるカラーブレイクの抑制を容易に行うことが可能である。

40

【0034】

加えて、フィールドシーケンシャル方式によって表示を行う場合、図 5 に示すように領域毎に異なる色を呈する光を供給することは、以下の点で好ましい。全画面共通で同一の光を供給する場合、特定の瞬間において画素部には特定の色に関する色情報のみが存在することになる。そのため、利用者の瞬きなどによる特定の期間の表示情報の欠落が特定の色情報の欠落とイコールになる。これに対し、領域毎に異なる色を呈する光を供給する場

50

合、特定の瞬間において画素部にはそれぞれの色に関する色情報が存在することになる。そのため、利用者の瞬きなどによる特定の期間の表示情報の欠落が特定の色情報の欠落とイコールにはならない。つまり、領域毎に異なる色を呈する光を供給することで、カラーブレイクを軽減することが可能である。さらに、図5に示すようにバックライトユニット群を点灯する場合、隣接するバックライトユニット群が異なる色を呈することがない。具体的には、サンプリング期間 (t_1) 内において、 $(n+1)$ 行目に配設された m 個の画素15から $(n+k)$ 行目に配設された m 個の画素15に対して青 (B) の画像信号の入力が終了した後に $(n+1)$ 行目乃至 $(n+k)$ 行目用バックライトユニット群において青 (B) を点灯させる際に、 $(3k+1)$ 行目乃至 n 行目用バックライトユニット群及び $(n+k+1)$ 行目乃至 $(n+2k)$ 行目用バックライトユニット群においては、青 (B) が点灯される又は点灯自体が行われな

10

【0035】

<変形例>

上述した構成を有する液晶表示装置は、本発明の一態様であり、当該液晶表示装置と異なる点を有する液晶表示装置も本発明には含まれる。

【0036】

例えば、上述した液晶表示装置においては、画素部10の特定の3行に配設された $3m$ 個の画素に対して同期間内に並行して画像信号を供給する構成について示したが、本発明の液晶表示装置は、当該構成に限定されない。すなわち、本発明の液晶表示装置では、画素部10の特定の複数行に配設された複数の画素に対して同期間内に並行して画像信号を供給する構成とすることが可能である。なお、自明ではあるが、当該行数を変化させる場合、当該行数と同数のシフトレジスタなどを設ける必要があることを付記する。

20

【0037】

また、上述した液晶表示装置においては、等間隔に配設された特定の3行に配設された画素に対して同期間内に並行して画像信号を供給する構成（画像信号が供給される行の間隔が、画素 n 行分）について示したが、本発明の液晶表示装置は、当該構成に限定されない。すなわち、本発明の液晶表示装置は、非等間隔に配設された特定の3行に配設された画素に対して同期間内に並行して画像信号を供給する構成とすることが可能である。具体的には、1行目に配設された m 個の画素、 $(a+1)$ 行目 (a は、自然数) に配設された m 個の画素、及び $(a+b+1)$ 行目 (b は、 a と異なる自然数) に配設された m 個の画素に同期間内に並行して画像信号を供給する構成とすることが可能である。

30

【0038】

また、上述した液晶表示装置においては、走査線駆動回路がシフトレジスタを用いて構成される液晶表示装置について示したが、当該シフトレジスタを同等の機能を有する回路に置換することが可能である。例えば、当該シフトレジスタをデコーダに置換することが可能である。

【0039】

また、上述した液晶表示装置においては、複数の光源として赤 (R)、緑 (G)、青 (B) のいずれかを呈する光を発光する3種の光源を用いる構成について示したが、本発明の液晶表示装置は、当該構成に限定されない。すなわち、本発明の液晶表示装置では、任意の色を呈する光を発光する光源を組み合わせる用いることが可能である。例えば、赤 (R)、緑 (G)、青 (B)、白 (W) の4種の光源を組み合わせる用いること、又はシアン、マゼンタ、イエローの3種の光源を組み合わせる用いることなどが可能である。さらに、淡色の赤 (R)、緑 (G)、及び青 (B)、並びに濃色の赤 (R)、緑 (G)、及び青 (B) の6種の光源を組み合わせる用いること、又は赤 (R)、緑 (G)、青 (B)、シアン、マゼンタ、イエローの6種の光源を組み合わせる用いることなども可能である。このように、より多種の色を呈する光を発光する光源を組み合わせることで、当該液晶表示装置において表現できる色域を拡大し、画質を向上させることが可能である。

40

50

【0040】

また、上述した液晶表示装置においては、液晶素子に印加される電圧を保持するための容量素子が設けられる構成（図1（B）参照）について示したが、当該容量素子を設けない構成とすることも可能である。

【0041】

また、上述した液晶表示装置においては、バックライトユニットとして赤（R）、緑（G）、青（B）の3色を呈する光源を横に直線的に並べる構成（図4（B）参照）について示したが、バックライトユニットの構成は、当該構成に限定されない。例えば、当該3色を呈する光源を3角配置しても良いし、当該3色を呈する光源を縦に直線的に並べてもよいし、赤（R）を呈する光の光源、緑（G）を呈する光の光源、及び青（B）を呈する光の光源を別途設けても良い。また、上述した液晶表示装置においては、バックライトとして直下型方式のバックライトを適用する構成（図4（B）参照）について示したが、当該バックライトとしてエッジライト方式のバックライトを適用することも可能である。

【0042】

（実施の形態2）

本実施の形態では、実施の形態1とは異なる構成を有する、フィールドシーケンシャル方式によって表示を行う液晶表示装置の一例について図6～図8を参照して説明する。

【0043】

<液晶表示装置の構成例>

図6（A）は、液晶表示装置の構成例を示す図である。図6（A）に示す液晶表示装置は、画素部30と、走査線駆動回路31と、信号線駆動回路32と、各々が平行又は略平行に配設され、且つ走査線駆動回路31によって電位が制御される3n本（nは、2以上の自然数）の走査線33と、各々が平行又は略平行に配設され、且つ信号線駆動回路32によって電位が制御される、m本（mは、2以上の自然数）の信号線341、m本の信号線342、及びm本の信号線343と、を有する。

【0044】

さらに、画素部30は、3つの領域（領域301～領域303）に分割され、領域毎にマトリクス状（n行m列）に配設された複数の画素を有する。なお、各走査線33は、画素部30においてマトリクス状（3n行m列）に配設された複数の画素のうち、いずれかの行に配設されたm個の画素に電氣的に接続される。また、各信号線341は、領域301においてマトリクス状（n行m列）に配設された複数の画素のうち、いずれかの列に配設されたn個の画素に電氣的に接続される。また、各信号線342は、領域302においてマトリクス状（n行m列）に配設された複数の画素のうち、いずれかの列に配設されたn個の画素に電氣的に接続される。また、各信号線343は、領域303においてマトリクス状（n行m列）に配設された複数の画素のうち、いずれかの列に配設されたn個の画素に電氣的に接続される。

【0045】

なお、走査線駆動回路31には、外部から走査線駆動回路用スタート信号（GSP）、走査線駆動回路用クロック信号（GCK）、及び高電源電位、低電源電位などの駆動用電源が入力される。また、信号線駆動回路32には、外部から信号線駆動回路用スタート信号（SSP）、信号線駆動回路用クロック信号（SCK）、画像信号（data1～data3）などの信号、及び高電源電位、低電源電位などの駆動用電源が入力される。

【0046】

図6（B）～（D）は、画素の回路構成例を示す図である。具体的には、図6（B）は、領域301に配設された画素351の回路構成例を示す図であり、図6（C）は、領域302に配設された画素352の回路構成例を示す図であり、図6（D）は、領域303に配設された画素353の回路構成例を示す図である。図6（B）に示す画素351は、ゲートが走査線33に電氣的に接続され、ソース及びドレインの一方が信号線341に電氣的に接続されたトランジスタ3511と、一方の電極がトランジスタ3511のソース及びドレインの他方に電氣的に接続され、他方の電極が容量電位を供給する配線に電氣的

に接続された容量素子 3512 と、一方の電極がトランジスタ 3511 のソース及びドレインの他方並びに容量素子 3512 の一方の電極に電氣的に接続され、他方の電極が対向電位を供給する配線に電氣的に接続された液晶素子 3514 と、を有する。

【0047】

図 6 (C) に示す画素 352 及び図 6 (D) に示す画素 353 も回路構成自体は、図 6 (B) に示す画素 351 と同一である。ただし、図 6 (C) に示す画素 352 では、トランジスタ 3521 のソース及びドレインの一方が信号線 341 ではなく信号線 342 に電氣的に接続される点が図 6 (B) に示す画素 351 と異なり、図 6 (D) に示す画素 353 では、トランジスタ 3531 のソース及びドレインの一方が信号線 341 ではなく信号線 343 に電氣的に接続される点が図 6 (B) に示す画素 351 と異なる。

10

【0048】

<走査線駆動回路 31 の構成例>

図 7 (A) は、図 6 (A) に示す液晶表示装置が有する走査線駆動回路 31 の構成例を示す図である。図 7 (A) に示す走査線駆動回路 31 は、 n 個の出力端子を有するシフトレジスタ 311 ~ 313 を有する。なお、シフトレジスタ 311 が有する出力端子のそれぞれは、領域 301 に配設された n 本の走査線 33 のいずれかに電氣的に接続され、シフトレジスタ 312 が有する出力端子のそれぞれは、領域 302 に配設された n 本の走査線 33 のいずれかに電氣的に接続され、シフトレジスタ 313 が有する出力端子のそれぞれは、領域 303 に配設された n 本の走査線 33 のいずれかに電氣的に接続される。すなわち、シフトレジスタ 311 は、領域 301 において選択信号を供給するシフトレジスタであり、シフトレジスタ 312 は、領域 302 において選択信号を供給するシフトレジスタであり、シフトレジスタ 313 は、領域 303 において選択信号を供給するシフトレジスタである。具体的には、シフトレジスタ 311 は、外部から入力される走査線駆動回路用スタート信号 (GSP) をきっかけとして、1 行目に配設された走査線 33 を起点として順次選択信号をシフト (走査線 33 を走査線駆動回路用クロック信号 (GCK) 1/2 周期毎に順次選択) する機能を有し、シフトレジスタ 312 は、外部から入力される走査線駆動回路用スタート信号 (GSP) をきっかけとして、 $(n+1)$ 行目に配設された走査線 33 を起点として順次選択信号をシフトする機能を有し、シフトレジスタ 313 は、外部から入力される走査線駆動回路用スタート信号 (GSP) をきっかけとして、 $(2n+1)$ 行目に配設された走査線 33 を起点として順次選択信号をシフトする機能を有する。

20

30

【0049】

<走査線駆動回路 31 の動作例>

上述した走査線駆動回路 31 の動作例について図 7 (B) を参照して説明する。なお、図 7 (B) には、走査線駆動回路用クロック信号 (GCK)、シフトレジスタ 311 が有する n 個の出力端子から出力される信号 (SR311out)、シフトレジスタ 312 が有する n 個の出力端子から出力される信号 (SR312out)、及びシフトレジスタ 313 が有する n 個の出力端子から出力される信号 (SR313out) を示している。

【0050】

サンプリング期間 ($T1$) において、シフトレジスタ 311 では、1 行目に配設された走査線 33 を起点として n 行目に配設された走査線 33 までハイレベルの電位が 1/2 クロック周期 (水平走査期間) 毎に順次シフトし、シフトレジスタ 312 では、 $(n+1)$ 行目に配設された走査線 33 を起点として $2n$ 行目に配設された走査線 33 までハイレベルの電位が 1/2 クロック周期 (水平走査期間) 毎に順次シフトし、シフトレジスタ 313 では、 $(2n+1)$ 行目に配設された走査線 33 を起点として $3n$ 行目に配設された走査線 33 までハイレベルの電位が 1/2 クロック周期 (水平走査期間) 毎に順次シフトする。そのため、走査線駆動回路 31 は、走査線 33 を介して、1 行目に配設された m 個の画素 351 から n 行目に配設された m 個の画素 351 を順次選択するとともに、 $(n+1)$ 行目に配設された m 個の画素 352 から $2n$ 行目に配設された m 個の画素 352 を順次選択し、 $(2n+1)$ 行目に配設された m 個の画素 353 から $3n$ 行目に配設された m 個の画素 353 を順次選択することになる。すなわち、走査線駆動回路 31 は、水平走査期

40

50

間毎に異なる 3 行に配設された 3 m 個の画素に対して選択信号を供給することが可能である。

【0051】

サンプリング期間 (T2) 及びサンプリング期間 (T3) において、シフトレジスタ 311～313 の動作は、サンプリング期間 (T1) と同じである。すなわち、走査線駆動回路 31 は、サンプリング期間 (T1) と同様に、水平走査期間毎に特定の 3 行に配設された 3 m 個の画素に対して選択信号を供給することが可能である。

【0052】

＜信号線駆動回路 32 の構成例＞

図 8 は、図 6 (A) に示す液晶表示装置が有する信号線駆動回路 32 の構成例を示す図である。図 8 に示す信号線駆動回路 32 は、m 個の出力端子を有するシフトレジスタ 320 と、m 個のトランジスタ 321 と、m 個のトランジスタ 322 と、m 個のトランジスタ 323 と、を有する。なお、トランジスタ 321 のゲートは、シフトレジスタ 320 が有する j 番目 (j は、1 以上 m 以下の自然数) の出力端子に電氣的に接続され、ソース及びドレインの一方が第 1 の画像信号 (data1) を供給する配線に電氣的に接続され、ソース及びドレインの他方が画素部 30 において j 列目に配設された信号線 341 に電氣的に接続される。また、トランジスタ 322 のゲートは、シフトレジスタ 320 が有する j 番目の出力端子に電氣的に接続され、ソース及びドレインの一方が第 2 の画像信号 (data2) を供給する配線に電氣的に接続され、ソース及びドレインの他方が画素部 30 において j 列目に配設された信号線 342 に電氣的に接続される。また、トランジスタ 323 のゲートは、シフトレジスタ 320 が有する j 番目の出力端子に電氣的に接続され、ソース及びドレインの一方が第 3 の画像信号 (data3) を供給する配線に電氣的に接続され、ソース及びドレインの他方が画素部 30 において j 列目に配設された信号線 343 に電氣的に接続される。

【0053】

なお、ここでは、第 1 の画像信号 (data1) として、サンプリング期間 (T1) において、赤 (R) の画像信号 (赤 (R) を呈する光の透過を制御するための画像信号) を信号線 341 に供給し、サンプリング期間 (T2) において、緑 (G) の画像信号 (緑 (G) を呈する光の透過を制御するための画像信号) を信号線 341 に供給し、サンプリング期間 (T3) において、青 (B) の画像信号 (青 (B) を呈する光の透過を制御するための画像信号) を信号線 341 に供給することとする。また、第 2 の画像信号 (data2) として、サンプリング期間 (T1) において、青 (B) の画像信号を信号線 342 に供給し、サンプリング期間 (T2) において、赤 (R) の画像信号を信号線 342 に供給し、サンプリング期間 (T3) において、緑 (G) の画像信号を信号線 342 に供給することとする。また、第 3 の画像信号 (data3) として、サンプリング期間 (T1) において、緑 (G) の画像信号を信号線 343 に供給し、サンプリング期間 (T2) において、青 (B) の画像信号を信号線 343 に供給し、サンプリング期間 (T3) において、赤 (R) の画像信号を信号線 343 に供給することとする。

【0054】

＜バックライトの構成例＞

本実施の形態の液晶表示装置のバックライトとして、実施の形態 1 に示したバックライトを適用することが可能である。そのため、ここでは前述の説明を援用することとする。

【0055】

＜液晶表示装置の動作例＞

本実施の形態の液晶表示装置は、実施の形態 1 に示した液晶表示装置と同様の動作 (図 5 参照) を行うことが可能である。すなわち、本実施の形態の液晶表示装置は、サンプリング期間 (T1) において、1 行目に配設された m 個の画素 351 から n 行目に配設された m 個の画素 351 を順次選択し、且つ (n+1) 行目に配設された m 個の画素 352 から 2n 行目に配設された m 個の画素 352 を順次選択し、且つ (2n+1) 行目に配設された m 個の画素 353 から 3n 行目に配設された m 個の画素 353 を順次選択することで

、各画素に画像信号を入力することが可能である。

【0056】

また、本実施の形態の液晶表示装置では、実施の形態1に示した液晶表示装置と同様に、領域（1行目乃至 n 行目、 $(n+1)$ 行目乃至 $2n$ 行目、及び $(2n+1)$ 行目乃至 $3n$ 行目）毎に、選択信号の供給と、特定色を呈する光の供給とを並行して行うことが可能である。

【0057】

＜本実施の形態の液晶表示装置について＞

本実施の形態の液晶表示装置は、実施の形態1に示した液晶表示装置と同様の作用を有する液晶表示装置である。さらに、本実施の形態の液晶表示装置は、実施の形態1に示した液晶表示装置と比較して、画素部に配設される走査線の本数及び各画素に設けられるトランジスタの数を低減することができ、開口率をさらに向上させることが可能である。また、画素部に配設される走査線の本数が低減されることで信号線と走査線とが重畳することによって生じる寄生容量を低減することができるため、信号線を高速駆動することが可能である。また、走査線駆動回路の回路面積を縮小すること、及び走査線駆動回路の動作に必要とされる信号を低減すること（複数のシフトレジスタに別々の走査線駆動回路用スタート信号を入力する必要がない）が可能である。

【0058】

＜変形例＞

本実施の形態の液晶表示装置は、本発明の一態様であり、当該液晶表示装置と異なる点を有する液晶表示装置も本発明には含まれる。例えば、本実施の形態の液晶表示装置の構成を、実施の形態1の変形例に示した構成に変更することが可能である。具体的には、本実施の形態の液晶表示装置が有するシフトレジスタを同等の機能を有する回路（デコーダなど）に置換することなどが可能である。

【0059】

また、本実施の形態の液晶表示装置においては、画素部30を3つの領域に分割する構成について示したが、本実施の形態の液晶表示装置は、当該構成に限定されない。すなわち、本実施の形態の液晶表示装置では、画素部30を任意の複数領域に分割する構成とすることが可能である。なお、自明ではあるが、当該領域数を変化させる場合、当該領域数と同数のシフトレジスタなどを設ける必要があることを付記する。

【0060】

また、本実施の形態の液晶表示装置においては、3つの領域に含まれる画素数が同一である構成（全ての領域において n 行 m 列の画素が含まれる構成）について示したが、本実施の形態の液晶表示装置では、領域毎に含まれる画素数を変化させることが可能である。具体的には、第1の領域には c 行 m 列（ c は、自然数）の画素が含まれ、第2の領域には d 行 m 列（ d は、 c と異なる自然数）の画素が含まれる構成とすることが可能である。

【0061】

（実施の形態3）

本実施の形態では、実施の形態1又は2に示した液晶表示装置の具体的な構成について、説明する。

【0062】

＜画素の断面の具体例＞

図9に、本発明の一態様に係る液晶表示装置の、画素の断面図を一例として示す。図9に示すトランジスタ1401は、多結晶半導体又は単結晶半導体を用いた半導体層1402と、半導体層1402上のゲート絶縁層1403と、ゲート絶縁層1403を間に挟んで半導体層1402と重なるゲート層1404とを少なくとも有する。半導体層1402には、ソースまたはドレインとして機能する一対の不純物領域1405が形成されている。

【0063】

また、トランジスタ1401は絶縁層1408で覆われている。そして、ゲート絶縁層

1403及び絶縁層1408に設けられた開口部において一对の不純物領域1405とそれぞれ接する導電膜1406と導電膜1407が、絶縁層1408上に形成されている。また、絶縁層1408上には、導電膜1407に接するように画素電極1409が形成されている。

【0064】

また、絶縁層1408上には、液晶素子のセルギャップを制御するためのスペーサ1417が形成されている。スペーサ1417は絶縁層を所望の形状にエッチングすることで形成することが可能であるが、フィラーを絶縁層1408上に分散させることでセルギャップを制御するようにしても良い。

【0065】

そして、画素電極1409上には、配向膜1411が形成されている。また、対向基板1420には、画素電極1409と対峙する対向電極1413が設けられており、対向電極1413の画素電極1409に近い側には配向膜1414が形成されている。配向膜1411、配向膜1414は、ポリイミド、ポリビニルアルコールなどの有機樹脂を用いて形成することができ、その表面には、液晶分子を一定方向に配列させるためのラビングなどの配向処理が施されている。ラビングは、配向膜に接して、ナイロンなどの布を巻いたローラーを回転させて、上記配向膜の表面を一定方向に擦ることで行うことができる。なお、酸化珪素などの無機材料を用い、配向処理を施すことなく蒸着法で配向特性を有する配向膜1411、配向膜1414を直接形成することも可能である。

【0066】

そして、画素電極1409と、対向電極1413の間においてシール材1416に囲まれた領域には、液晶1415が設けられている。液晶1415の注入は、ディスペンサ式（滴下式）を用いても良いし、ディップ式（汲み上げ式）を用いても良い。なお、シール材1416にはフィラーが混入されていても良い。

【0067】

また、画素間における液晶1415の配向の乱れに起因するディスクリネーションが視認されるのを防ぐために、画素間に、光を遮蔽することができる遮蔽膜を形成しても良い。遮蔽膜には、カーボンブラック、低原子価酸化チタンなどの黒色顔料を含む有機樹脂を用いることができる。または、クロムを用いた膜で、遮蔽膜を形成することも可能である。

【0068】

画素電極1409と対向電極1413は、例えば、酸化珪素を含む酸化インジウムスズ（ITO）、酸化インジウムスズ（ITO）、酸化亜鉛（ZnO）、酸化インジウム亜鉛（IZO）、ガリウムを添加した酸化亜鉛（GZO）などの透明導電材料を用いることができる。

【0069】

なお、ここでは、液晶表示装置として、TN（Twisted Nematic）型を示したが、VA（Vertical Alignment）型、OCB（Optically Compensated Birefringence）型、IPS（In-Plane Switching）型、MVA（Multi-domain Vertical Alignment）型等の、その他の液晶表示装置であっても良い。

【0070】

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、カイラル剤や紫外線硬化樹脂を添加して温度範囲を改善する。具体的には、5重量%以上のカイラル剤を混合させた液晶組成物を液晶1415に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答時間が10 μ sec.以上100 μ sec.以下と短く、光学的等方性であるため、これを用いた液晶表示装置では配向膜が不要であり、視野角依存性が小さい。このような特性を有する液晶は、上述した液晶表示装置（画像を形成するために

10

20

30

40

50

複数回の画像信号を各画素に入力することが必要な液晶表示装置）が有する液晶として特に好ましい。

【0071】

なお、図9では、画素電極1409と対向電極1413の間に液晶1415が挟まれている構造を有する液晶素子を例に挙げて説明したが、本発明の一態様に係る液晶表示装置はこの構成に限定されない。IPS型の液晶素子やブルー相を示す液晶を用いた液晶素子のように、一对の電極が共に一の基板に形成されていても良い。

【0072】

＜画素部と駆動回路間の接続の具体例＞

次いで、画素部の形成された基板に、駆動回路が形成された基板を直接実装する場合の、端子間の接続の仕方について説明する。

【0073】

図10（A）に、ワイヤボンディング法を用いた場合の、駆動回路が形成された基板900と、画素部が形成された基板901の接続部分の断面図を示す。基板900は基板901上に、接着剤903により貼り付けられている。基板900には、駆動回路を構成するトランジスタ906が設けられている。そして、トランジスタ906は、基板900において表面に露出するように形成された、端子として機能するパッド907と電氣的に接続されている。そして、図10（A）に示す基板901上には端子904が形成されており、ワイヤ905によってパッド907と端子904とが接続されている。

【0074】

次に、図10（B）に、フリップチップ法を用いた場合の、画素部の形成された基板911と、駆動回路が形成された基板910の、接続部分の断面図を示す。図10（B）では、基板910において表面に露出するよう形成されたパッド912に、溶剤ボール913が接続されている。よって、基板910に形成された駆動回路を構成するトランジスタ914は、パッド912を介して溶剤ボール913と電氣的に接続されている。そして、溶剤ボール913は、基板911上に形成された端子916と接続されている。

【0075】

なお、溶剤ボール913と、端子916との接続は、熱圧着や、超音波による振動を加えた熱圧着等様々な方法を用いることができる。なお、基板910と基板911との間にアンダーフィルを設け、圧着後の溶剤ボール間の隙間を埋めるようにし、接続部分の機械的強度や、基板911において発生した熱の拡散などの効率を高めるようにしても良い。アンダーフィルは必ずしも用いる必要はないが、基板910と基板911の熱膨張係数のミスマッチから生ずる応力により、接続不良が起こるのを防ぐことができる。超音波を加えて圧着する場合、単に熱圧着する場合に比べて接続不良を抑えることができる。

【0076】

フリップチップ法の場合、接続するべきパッドの数が増加しても、ワイヤボンディング法に比べて、比較的パッド間のピッチを広く確保することができるので、端子数の多い場合の接続に向いている。

【0077】

なお、溶剤ボールの形成に、金属のナノ粒子が分散された分散液を吐出する液滴吐出法を用いても良い。

【0078】

次に、図10（C）に、異方性の導電性樹脂を用いた場合の、画素部の形成された基板921と、駆動回路が形成された基板920の、接続部分の断面図を示す。図10（C）では、基板920において表面に露出するよう形成されたパッド922が、基板920に形成された駆動回路を構成するトランジスタ924と電氣的に接続されている。そして、パッド922は、基板921上に形成された端子926と、異方性の導電性樹脂927を介して接続されている。

【0079】

なお、接続方法は図10に示した方法に限定されない。ワイヤボンディング法とフリップチップ法を組み合わせ、接続を行うようにしても良い。

【0080】

<パネルの具体例>

次いで、画素部と駆動回路の一形態について説明する。なお、ここでは、画素部と駆動回路の一部又は全部を構成するトランジスタとして多結晶半導体をチャンネル形成領域に有するトランジスタを用いることとする。この場合、画素部と共に駆動回路の一部または全てを、一の基板に作り込むことができる。

【0081】

図11(A)に示す液晶表示装置は、基板6301に、画素部6302と、走査線駆動回路6303と、信号線駆動回路6304とが形成されている。対向基板6306は、画素部6302、走査線駆動回路6303、信号線駆動回路6304を覆うように、基板6301と重なっている。また、画素部6302と、走査線駆動回路6303と、信号線駆動回路6304とには、それぞれ電源電位、各種信号等が、FPC6305を介して供給される。

10

【0082】

図11(B)に示す液晶表示装置は、基板6001に、画素部6002と、走査線駆動回路6003とが形成されている。対向基板6006は、画素部6002と走査線駆動回路6003を覆うように、基板6001と重なっている。そして、信号線駆動回路が形成されている基板6004が、基板6001に直接実装されている。具体的には、基板6004に形成された信号線駆動回路が、基板6001に貼り合わされ、画素部6002と電氣的に接続されている。また、画素部6002と、走査線駆動回路6003と、基板6004に形成された信号線駆動回路とには、それぞれ電源電位、各種信号等が、FPC6005を介して供給される。

20

【0083】

図11(C)に示す液晶表示装置は、基板6101に、画素部6102と、走査線駆動回路6103とが形成されている。対向基板6106は、画素部6102と走査線駆動回路6103を覆うように、基板6101と重なっている。そして、信号線駆動回路が形成された基板6104は、基板6101に接続されたFPC6105に実装されている。また、画素部6102と、走査線駆動回路6103と、基板6104に形成された信号線駆動回路とに、それぞれ電源電位、各種信号等が、FPC6105を介して供給される。

30

【0084】

図11(D)に示す液晶表示装置は、基板6201に、画素部6202と、走査線駆動回路6203と、信号線駆動回路の一部6207が形成されている。対向基板6206は、画素部6202、走査線駆動回路6203、及び信号線駆動回路の一部6207を覆うように、基板6201と重なっている。そして、信号線駆動回路の別の一部が形成された基板6204は、基板6201に直接実装されている。具体的には、基板6204に形成された信号線駆動回路の別の一部が、基板6201に貼り合わされ、信号線駆動回路の一部6207と電氣的に接続されている。また、画素部6202と、走査線駆動回路6203と、信号線駆動回路の一部6207と、基板6204に形成された信号線駆動回路の別の一部とに、それぞれ電源電位、各種信号等が、FPC6205を介して供給される。

40

【0085】

基板の実装方法は、特に限定されるものではなく、公知のCOG方法やワイヤボンディング方法、或いはTAB方法などを用いることができる。また、ICチップを実装する位置は、電氣的な接続が可能であるならば、図11に示した位置に限定されない。また、コントローラ、CPU、メモリ等をICチップで形成し、画素部の形成された基板に実装するようにしても良い。

【0086】

<液晶表示装置の具体例>

50

次いで、本発明の一態様に係る液晶表示装置のパネルの外観について、図12を用いて説明する。図12(A)は、基板4001と対向基板4006とをシール材4005によって接着させたパネルの上面図であり、図12(B)は、図12(A)の破線A-A'における断面図に相当する。

【0087】

基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むように、シール材4005が設けられている。また、画素部4002、走査線駆動回路4004の上に対向基板4006が設けられている。よって、画素部4002と走査線駆動回路4004は、基板4001とシール材4005と対向基板4006とによって、液晶4007と共に封止されている。

10

【0088】

また、基板4001上のシール材4005によって囲まれている領域とは異なる領域に、信号線駆動回路4003が形成された基板4021が、実装されている。図12(B)では、信号線駆動回路4003に含まれるトランジスタ4009を例示している。

【0089】

また、基板4001上に設けられた画素部4002、走査線駆動回路4004は、トランジスタを複数有している。図12(B)では、画素部4002に含まれるトランジスタ4010、トランジスタ4022を例示している。トランジスタ4010、トランジスタ4022は、多結晶半導体をチャンネル形成領域に含んでいる。

【0090】

また、液晶素子4011が有する画素電極4030は、トランジスタ4010と電氣的に接続されている。そして、液晶素子4011の対向電極4031は、対向基板4006に形成されている。画素電極4030と対向電極4031と液晶4007とが重なっている部分が、液晶素子4011に相当する。

20

【0091】

また、スペーサ4035が、画素電極4030と対向電極4031との間の距離（セルギャップ）を制御するために設けられている。なお、図12(B)では、スペーサ4035が、絶縁膜をパターンングすることで形成されている場合を例示しているが、球状スペーサを用いても良い。

【0092】

また、信号線駆動回路4003、走査線駆動回路4004、画素部4002に与えられる各種信号及び電位は、引き回し配線4014及び4015を介して、接続端子4016から供給されている。接続端子4016は、FPC4018が有する端子と、異方性導電膜4019を介して電氣的に接続されている。

30

【0093】

なお、基板4001、対向基板4006、基板4021には、ガラス、セラミックス、プラスチックを用いることができる。プラスチックには、FRP(Fiber glass-Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、ポリエステルフィルムまたはアクリル樹脂フィルムなどが含まれる。

【0094】

但し、液晶素子4011を透過した光の取り出し方向に位置する基板には、ガラス板、プラスチック、ポリエステルフィルムまたはアクリルフィルムのような透光性を有する材料を用いる。

40

【0095】

図19は、図12に示した液晶表示装置とは異なるパネルの外観を示す図である。なお、図19(A)は、基板5001と対向基板5006とをシール材5005によって接着させたパネルの上面図であり、図19(B)は、図19(A)の破線B-B'における断面図に相当する。図19に示す液晶表示装置は、基板5001上に画素部5002及び走査線駆動回路5004のみならず信号線駆動回路5003が形成されている点が図12に示す液晶表示装置と異なる。

50

【0096】

図19に示す液晶表示装置においては、基板5001上に設けられた画素部5002と、信号線駆動回路5003と、走査線駆動回路5004とを囲むように、シール材5005が設けられている。また、画素部5002、信号線駆動回路5003、走査線駆動回路5004の上に対向基板5006が設けられている。よって、画素部5002、信号線駆動回路5003、走査線駆動回路5004は、基板5001とシール材5005と対向基板5006とによって、液晶5007と共に封止されている。

【0097】

また、基板5001上に設けられた画素部5002、信号線駆動回路5003、走査線駆動回路5004は、トランジスタを複数有している。図19(B)では、画素部5002に含まれるトランジスタ5010と、信号線駆動回路5003に含まれるトランジスタ5009とを例示している。なお、トランジスタ5009とトランジスタ5010は、単結晶半導体をチャネル形成領域に有する。そのため、画素部5002と共に、信号線駆動回路5003、走査線駆動回路5004などの駆動回路の全てを、一の基板5001に作り込むことができる。

【0098】

また、液晶素子5011が有する画素電極5030は、トランジスタ5010と電氣的に接続されている。そして、液晶素子5011の対向電極5031は、対向基板5006に形成されている。画素電極5030と対向電極5031と液晶5007とが重なっている部分が、液晶素子5011に相当する。

【0099】

また、スペーサ5035が、画素電極5030と対向電極5031との間の距離（セルギャップ）を制御するために設けられている。なお、図19(B)では、スペーサ5035が、絶縁膜をパターンニングすることで形成されている場合を例示しているが、球状スペーサを用いていても良い。

【0100】

また、信号線駆動回路5003、走査線駆動回路5004、画素部5002に与えられる各種信号及び電位は、引き回し配線5014及び5015を介して、接続端子5016から供給されている。接続端子5016は、FPC5018が有する端子と、異方性導電膜5019を介して電氣的に接続されている。

【0101】

なお、基板5001、対向基板5006には、ガラス、セラミックス、プラスチックを用いることができる。プラスチックには、FRP(Fiber glass-Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、ポリエステルフィルムまたはアクリル樹脂フィルムなどが含まれる。

【0102】

但し、液晶素子5011を透過した光の取り出し方向に位置する基板には、ガラス板、プラスチック、ポリエステルフィルムまたはアクリルフィルムのような透光性を有する材料を用いる。

【0103】

図13は、本発明の一態様に係る液晶表示装置の構造を示す、斜視図の一例である。図13に示す液晶表示装置は、画素部を有するパネル1601と、第1の拡散板1602と、プリズムシート1603と、第2の拡散板1604と、導光板1605と、バックライトパネル1607と、回路基板1608と、信号線駆動回路の形成された基板1611とを有している。

【0104】

パネル1601と、第1の拡散板1602と、プリズムシート1603と、第2の拡散板1604と、導光板1605と、バックライトパネル1607とは、順に積層されている。バックライトパネル1607は、複数のバックライトユニットで構成されたバックライト1612を有している。導光板1605内部に拡散されたバックライト1612から

10

20

30

40

50

の光は、第1の拡散板1602、プリズムシート1603及び第2の拡散板1604によって、パネル1601に照射される。

【0105】

なお、ここでは、第1の拡散板1602と第2の拡散板1604とを用いているが、拡散板の数はこれに限定されず、単数であっても3以上であっても良い。そして、拡散板は導光板1605とパネル1601の間に設けられていれば良い。よって、プリズムシート1603よりもパネル1601に近い側にのみ拡散板が設けられていても良いし、プリズムシート1603よりも導光板1605に近い側にのみ拡散板が設けられていても良い。

【0106】

また、プリズムシート1603は、図13に示した断面が鋸歯状の形状に限定されず、導光板1605からの光をパネル1601側に集光できる形状を有していれば良い。

10

【0107】

回路基板1608には、パネル1601に入力される各種信号を生成する回路、またはこれら信号に処理を施す回路などが設けられている。そして、図13では、回路基板1608とパネル1601とが、COFテープ1609を介して接続されている。また、信号線駆動回路の形成された基板1611が、COF (Chip On Film) 法を用いてCOFテープ1609に接続されている。

【0108】

図13では、バックライト1612の駆動を制御する制御系の回路が回路基板1608に設けられており、該制御系の回路とバックライトパネル1607とがFPC1610を介して接続されている例を示している。ただし、上記制御系の回路はパネル1601に形成されていても良く、この場合はパネル1601とバックライトパネル1607とがFPCなどにより接続されるようにする。

20

【0109】

<タッチパネルを用いた液晶表示装置の具体例>

本発明の一態様に係る液晶表示装置は、タッチパネルと呼ばれる位置入力装置を有している。図14(A)に、タッチパネル1620と、パネル1621とを重ね合わせている様子を示す。

【0110】

タッチパネル1620は、透光性を有する位置検出部1622において、指またはスタイラスなどが触れた位置を検出し、その位置情報を含む信号を生成することができる。よって、位置検出部1622がパネル1621の画素部1623に重なるようにタッチパネル1620を設けることで、液晶表示装置のユーザーが画素部1623のどの位置を指し示したかを情報として得ることができる。

30

【0111】

位置検出部1622における位置の検出は、抵抗膜方式、静電容量方式など、様々な方式を用いて行うことができる。図14(B)に、抵抗膜方式を用いた位置検出部1622の斜視図を示す。抵抗膜方式の位置検出部1622は、複数の第1電極1630と複数の第2電極1631とが、間隔をおいて対峙するように設けられている。指などで複数の第1電極1630のいずれかに押圧が加えられると、当該第1電極1630が複数の第2電極1631のいずれかに接触する。そして、複数の各第1電極1630の両端の電圧の値と、複数の各第2電極1631の両端の電圧の値とをモニターすると、いずれの第1電極1630と第2電極1631が接触したのかを特定することができるので、指が触れた位置を検出することができる。

40

【0112】

第1電極1630と第2電極1631は、透光性を有する導電材料、例えば、酸化珪素を含む酸化インジウムスズ(ITO)、酸化インジウムスズ(ITO)、酸化亜鉛(ZnO)、酸化インジウム亜鉛(IZO)、ガリウムを添加した酸化亜鉛(GZO)などで形成することができる。

【0113】

50

また、図 15 (A) に、静電容量方式のうち、投影静電容量方式を用いた位置検出部 1622 の斜視図を示す。投影静電容量方式の位置検出部 1622 は、複数の第 1 電極 1640 と複数の第 2 電極 1641 とが重なるように設けられている。各第 1 電極 1640 は、矩形状の導電膜 1642 が複数接続された構成を有しており、各第 2 電極 1641 は、矩形状の導電膜 1643 が複数接続された構成を有している。なお、第 1 電極 1640 と第 2 電極 1641 の形状はこの構成に限定されない。

【0114】

また、図 15 (A) では、複数の第 1 電極 1640 と複数の第 2 電極 1641 の上に、誘電体として機能する絶縁層 1644 が重なっている。図 15 (B) に、図 15 (A) に示した複数の第 1 電極 1640 と、複数の第 2 電極 1641 と、絶縁層 1644 とが重なり合っている様子を示す。図 15 (B) に示すように、複数の第 1 電極 1640 と複数の第 2 電極 1641 は、矩形状の導電膜 1642 と矩形状の導電膜 1643 の位置が互いにずれるように、重なり合っている。

【0115】

絶縁層 1644 に指などが接触すると、複数の第 1 電極 1640 のいずれかと、指との間に容量が形成される。また、複数の第 2 電極 1641 のいずれかと、指との間にも容量が形成される。よって、静電容量の変化をモニターすることで、いずれの第 1 電極 1640 と第 2 電極 1641 に指が最も近づいたのかを特定することができるので、指が触れた位置を検出することができる。

【0116】

<フォトセンサを有する液晶表示装置の具体例>

本発明の一態様に係る液晶表示装置は、フォトセンサを画素部に有していても良い。図 16 (A) に、フォトセンサを有する画素部の構造の一例を、模式的に示す。

【0117】

図 16 (A) に示す画素部 1650 は、画素 1651 と、該画素 1651 に対応したフォトセンサ 1652 とを有する。フォトセンサ 1652 は、フォトダイオードなど、受光することで電気信号を発する機能を有する受光素子と、トランジスタとを有する。なお、フォトセンサ 1652 が受光する光は、バックライトからの光が被検出物に照射された際の反射光を利用することができる。

【0118】

図 16 (B) に、フォトセンサ 1652 の構成を一例として示す。図 16 (B) に示すフォトセンサ 1652 は、フォトダイオード 1653、トランジスタ 1654 及びトランジスタ 1655 を有する。フォトダイオード 1653 は、一方の電極がリセット信号線 1656 に、他方の電極がトランジスタ 1654 のゲートに接続されている。トランジスタ 1654 は、ソース及びドレインの一方が、基準信号線 1657 に、他方がトランジスタ 1655 のソース及びドレインの一方に接続されている。トランジスタ 1655 は、ゲートがゲート信号線 1658 に、ソース及びドレインの他方が出力信号線 1659 に接続されている。

【0119】

<トランジスタの作製方法の一例 1>

次に、チャネル形成領域が多結晶半導体を含むトランジスタの作製方法の一例について述べる。

【0120】

まず、図 17 (A) に示すように、透光性を有する基板 500 上に、絶縁層 501、半導体層 502 を順に形成する。絶縁層 501 及び半導体層 502 は、大気に触れることなく連続して形成することが可能である。

【0121】

基板 500 として、使用することができる基板に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、フュージョン法やフロート法で作製されるガラス基板を用いることができる。ガラス基板としては、

10

20

30

40

50

後の加熱処理の温度が高い場合には、歪み点が 730°C 以上のものを用いると良い。また、ガラス基板には、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。なお、一般に、酸化ホウ素(B_2O_3)と比較して酸化バリウム(BaO)を多く含ませることで、より実用的な耐熱ガラスが得られる。このため、 B_2O_3 より BaO を多く含むガラス基板を用いることが好ましい。ここでは、基板500として、厚さ 0.5mm の、無アルカリガラスであるアルミノ珪酸塩ガラス基板(旭硝子社製 商品名AN100)を用いる。

【0122】

絶縁層501は基板500中に含まれるNaなどのアルカリ金属やアルカリ土類金属が、半導体層502中に拡散し、トランジスタなどの半導体素子の特性に悪影響を及ぼすのを防ぐために設ける。よってアルカリ金属やアルカリ土類金属の半導体層502への拡散を抑えることができるバリア性の高い絶縁材料を用いて、絶縁層501を形成するのが望ましい。なお、ガラス基板またはプラスチック基板のように、アルカリ金属やアルカリ土類金属が多少なりとも含まれている基板を用いる場合、不純物の拡散を防ぐという観点から基板500と半導体層502との間に絶縁層501を設けることは有効である。しかし、石英基板など不純物の拡散がさして問題とならない基板500を用いる場合は、必ずしも設ける必要はない。

【0123】

絶縁層501は、CVD法やスパッタリング法等を用いて、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素、窒化アルミニウム等の絶縁性を有する材料を用いて形成する。

【0124】

なお、酸化窒化珪素膜とは、その組成として、窒素よりも酸素の含有量が多い膜であって、ラザフォード後方散乱法(RBS:Rutherford Backscattering Spectrometry)及び水素前方散乱法(HFS:Hydrogen Forward scattering Spectrometry)を用いて測定した場合に、濃度範囲として酸素が $50\sim70$ 原子%、窒素が $0.5\sim15$ 原子%、珪素が $25\sim35$ 原子%、水素が $0.1\sim10$ 原子%の範囲で含まれることを示す膜をいう。また、窒化酸化珪素膜とは、その組成として、酸素よりも窒素の含有量が多い膜であって、RBS及びHFSを用いて測定した場合に、濃度範囲として酸素が $5\sim30$ 原子%、窒素が $20\sim55$ 原子%、珪素が $25\sim35$ 原子%、水素が $10\sim25$ 原子%の範囲で含まれることを示す膜をいう。但し、酸化窒化珪素または窒化酸化珪素を構成する原子の合計を 100 原子%としたとき、窒素、酸素、珪素及び水素の含有比率が上記の範囲内に含まれるものとする。

【0125】

絶縁層501は、単数の絶縁膜を用いたものであっても、複数の絶縁膜を積層して用いたものであっても良い。ここでは、膜厚 50nm の窒化酸化珪素膜、膜厚 140nm の酸化窒化珪素膜を順に積層して絶縁層501を形成するが、各膜の材質、膜厚、積層数は、これに限定されるものではない。

【0126】

酸化珪素膜は、シランと酸素、TEOS(テトラエトキシシラン)と酸素等の組み合わせの混合ガスを用い、熱CVD、プラズマCVD、常圧CVD、バイアスECRCVD等の方法によって形成することができる。また、窒化珪素膜は、代表的には、シランとアンモニアの混合ガスを用い、プラズマCVDによって形成することができる。また、酸化窒化珪素膜、窒化酸化珪素膜は、代表的には、シランと一酸化二窒素の混合ガスを用い、プラズマCVDによって形成することができる。

【0127】

半導体層502は、絶縁層501を形成した後、大気に曝さずに形成することが望ましい。半導体層502の膜厚は $20\sim200\text{nm}$ (望ましくは $40\sim170\text{nm}$ 、好ましくは $50\sim150\text{nm}$)とする。なお、半導体層502には、シリコンまたはゲルマニウムを用いた多結晶半導体を用いる。

【0128】

多結晶半導体を用いた半導体層502は、非晶質半導体層または微結晶半導体層を、レーザ結晶化法、熱結晶化法、またはニッケルなどの結晶化を助長する触媒元素を用いた熱結晶化法等を単独で、或いは複数組み合わせることで、形成することができる。また、多結晶半導体を、スパッタ法、プラズマCVD法、熱CVD法などを用いて、直接形成しても良い。結晶化を助長する触媒元素を導入せずにレーザ結晶化を行う場合は、レーザ光の照射により非晶半導体層が飛散する現象（アブレーション）が生じるのを防ぐために、非晶半導体層にレーザ光を照射する前に、窒素雰囲気下500℃で1時間加熱し、非晶半導体層が含有する水素濃度を $1 \times 10^{20} \text{ atoms/cm}^3$ 以下とすると良い。

【0129】

例えば、レーザ結晶化を用いて多結晶半導体層を形成する場合、レーザ結晶化の前に、レーザに対する半導体層502の耐性を高めるために、550℃、4時間の加熱処理を該半導体層502に対して行う。そして連続発振が可能な固体レーザを用い、基本波の第2高調波～第4高調波のレーザ光を照射することで、大粒径の結晶を得ることができる。例えば、代表的には、Nd:YVO₄レーザ（基本波1064nm）の第2高調波（532nm）や第3高調波（355nm）を用いるのが望ましい。具体的には、連続発振のYVO₄レーザから射出されたレーザ光を非線形光学素子により高調波に変換し、出力10Wのレーザ光を得る。そして、好ましくは光学系により照射面にて矩形状または楕円形状のレーザ光に成形して、半導体層502に照射する。このときのパワー密度は0.01～100MW/cm²程度（好ましくは0.1～10MW/cm²）が必要である。そして、走査速度を10～2000cm/sec程度とし、照射する。

【0130】

連続発振の気体レーザとして、Arレーザ、Krレーザなどを用いることができる。また連続発振の固体レーザとして、YAGレーザ、YVO₄レーザ、YLFレーザ、YAlO₃レーザ、フォルステライト（Mg₂SiO₄）レーザ、GdVO₄レーザ、Y₂O₃レーザ、ガラスレーザ、ルビーレーザ、アレキサンドライトレーザ、Ti:サファイアレーザなどを用いることができる。

【0131】

また、パルス発振のレーザ光の発振周波数を10MHz以上とし、通常用いられている数十Hz～数百Hzの周波数帯よりも著しく高い周波数帯を用いてレーザ結晶化を行っても良い。パルス発振でレーザ光を半導体層502に照射してから半導体層502が完全に固化するまでの時間は数十nsec～数百nsecと言われている。よって、上記周波数を用いることで、半導体層502がレーザ光によって溶融してから固化するまでに、次のパルスのレーザ光を照射できる。したがって、半導体層502中において固液界面を連続的に移動させることができるので、走査方向に向かって連続的に成長した結晶粒を有する半導体層502が形成される。具体的には、含まれる結晶粒の走査方向における幅が10～30μm、走査方向に対して垂直な方向における幅が1～5μm程度の結晶粒の集合を形成することができる。該走査方向に沿って連続的に成長した単結晶の結晶粒を形成することで、少なくともTFEのチャンネル方向には結晶粒界のほとんど存在しない半導体層502の形成が可能となる。

【0132】

また、パルス発振のレーザとして、例えばArレーザ、Krレーザ、エキシマレーザ、CO₂レーザ、YAGレーザ、Y₂O₃レーザ、YVO₄レーザ、YLFレーザ、YAlO₃レーザ、ガラスレーザ、ルビーレーザ、アレキサンドライトレーザ、Ti:サファイアレーザ、銅蒸気レーザまたは金蒸気レーザを用いることができる。

【0133】

なお、レーザ結晶化は、連続発振の基本波のレーザ光と連続発振の高調波のレーザ光とを並行して照射するようにしても良いし、連続発振の基本波のレーザ光とパルス発振の高調波のレーザ光とを並行して照射するようにしても良い。

【0134】

10

20

30

40

50

なお、希ガスや窒素などの不活性ガス雰囲気中でレーザ光を照射するようにしても良い。これにより、レーザ光照射による半導体表面の荒れを抑えることができ、界面準位密度のばらつきによって生じる閾値のばらつきを抑えることができる。

【0135】

結晶化を助長する触媒元素を用いた熱結晶化法を用いる場合、非晶質半導体層への触媒元素の導入の仕方としては、当該触媒元素を非晶質半導体層の表面又はその内部に存在させ得る手法であれば特に限定はなく、例えばスパッタ法、CVD法、プラズマ処理法（プラズマCVD法も含む）、吸着法、金属塩の溶液を塗布する方法を使用することができる。このうち溶液を用いる方法は簡便であり、触媒元素の濃度調整が容易である。また、このとき非晶質半導体層の表面の濡れ性を改善し、非晶質半導体層の表面全体に水溶液を行き渡らせるため、酸素雰囲気中でのUV光の照射、熱酸化法、ヒドロキシラジカルを含むオゾン水又は過酸化水素による処理等により、非晶質半導体層の表面に酸化膜を形成することが望ましい。

10

【0136】

そして、非晶質半導体層へ触媒元素を導入した後、加熱処理（550℃～750℃で3分～24時間）を行うことにより、多結晶半導体層を形成することができる。結晶化を助長（促進）する触媒元素としては、鉄（Fe）、ニッケル（Ni）、コバルト（Co）、ルテニウム（Ru）、ロジウム（Rh）、パラジウム（Pd）、オスミウム（Os）、イリジウム（Ir）、白金（Pt）、銅（Cu）及び金（Au）から選ばれた一種又は複数種類を用いることができる。

20

【0137】

上記結晶化を行った後、多結晶半導体層から結晶化を助長する触媒元素を除去し、当該触媒元素の濃度を低減させるため、不純物元素を含む半導体層を多結晶半導体層に接するように形成する。上記不純物元素を含む半導体層は、ゲッタリングシンクとして機能する。不純物元素として、n型を付与する不純物元素、p型を付与する不純物元素や希ガス元素などを用いることができ、例えばリン（P）、窒素（N）、ヒ素（As）、アンチモン（Sb）、ビスマス（Bi）、ボロン（B）、ヘリウム（He）、ネオン（Ne）、アルゴン（Ar）、クリプトン（Kr）、キセノン（Xe）から選ばれた一種または複数種を用いることができる。そして、希ガス元素を含む半導体層を、結晶化を助長する触媒元素を含む多結晶半導体層に接するように形成し、加熱処理（550℃～750℃で3分～24時間）を行う。上記加熱処理により、多結晶半導体層中に含まれる結晶化を助長する触媒元素は、希ガス元素を含む半導体層中に移動し、多結晶半導体層中の結晶化を助長する触媒元素の濃度は低減する。その後、ゲッタリングシンクとなった希ガス元素を含む半導体層を除去する。

30

【0138】

ここでは、触媒元素を用いた結晶化方法と、レーザ結晶化法とを組み合わせ、多結晶珪素を用いた半導体層502を形成する。以下、具体的な半導体層502の作製方法について説明する。

【0139】

ここでは、まず、膜厚50nmの非晶質珪素膜を絶縁層501上に形成した後、重量換算で10ppmのニッケルを含む酢酸ニッケル溶液を、非晶質珪素膜にスピナーで塗布する。なお、溶液を用いて触媒元素を添加する方法に代えて、スパッタ法でニッケル元素を全面に散布する方法を用いてもよい。次に、加熱処理（500℃、1時間）の後、結晶化のための加熱処理（550℃、4時間）を行って、非晶質珪素膜を結晶化させることで、多結晶珪素を有する半導体層502を形成する。

40

【0140】

次に、多結晶珪素を有する半導体層502の表面に形成された酸化膜を、希フッ酸等で除去する。その後、結晶化率を高め、結晶粒内に残される欠陥を補修するためのレーザ光（XeCl：波長308nm）の照射を大気中、または酸素雰囲気中で行う。

【0141】

50

レーザ光には波長400nm以下のエキシマレーザ光や、YAGレーザの第2高調波又は第3高調波を用いる。ここでは、繰り返し周波数10～1000Hz程度のパルスレーザ光を用い、当該レーザ光を光学系にて100～500mJ/cm²に集光し、90～95%のオーバーラップ率をもって照射し、シリコン膜表面を走査させればよい。ここでは、繰り返し周波数30Hz、パワー密度470mJ/cm²でレーザ光の照射を大気中で行なう。

【0142】

なお、上記レーザ光の照射は、大気中、または酸素雰囲気中で行うため、レーザ光の照射により表面に酸化膜が形成される。なお、ここではパルスレーザを用いた例を示したが、連続発振のレーザを用いてもよく、半導体層の結晶化に際し、大粒径の結晶を得るためには、連続発振が可能な固体レーザを用い、基本波の第2高調波～第4高調波を適用するのが好ましい。代表的には、Nd:YVO₄レーザ（基本波1064nm）の第2高調波（532nm）や第3高調波（355nm）を適用すればよい。

10

【0143】

連続発振のレーザを用いる場合には、出力10Wの連続発振のYVO₄レーザから射出されたレーザ光を非線形光学素子により高調波に変換する。また、共振器の中にYVO₄結晶と非線形光学素子を入れて、高調波を射出する方法もある。そして、好ましくは光学系により照射面にて矩形状または楕円形状のレーザ光に成形して、被処理体に照射する。このときのパワー密度は0.01～100MW/cm²程度（好ましくは0.1～10MW/cm²）が必要である。そして、10～2000cm/s程度の速度でレーザ光に対して相対的に半導体層を移動させて照射すればよい。

20

【0144】

次に、上記レーザ光の照射により形成された酸化膜に加え、オゾン水で、レーザ結晶化後の多結晶半導体層の表面を120秒処理して、合計1～5nmの酸化膜からなるバリア層を多結晶半導体層の表面に形成する。このバリア層は、結晶化させるために添加した触媒元素、例えばニッケル（Ni）を多結晶半導体層中から除去するために形成する。ここではオゾン水を用いてバリア層を形成したが、酸素雰囲気下の紫外線の照射で結晶構造を有する半導体層の表面を酸化する方法や酸素プラズマ処理により結晶構造を有する半導体層の表面を酸化する方法やプラズマCVD法やスパッタ法や蒸着法などで1～10nm程度の酸化膜を堆積してバリア層を形成してもよい。また、バリア層を形成する前にレーザ光の照射により形成された酸化膜を除去してもよい。

30

【0145】

次に、バリア層上にスパッタ法にてゲッタリングサイトとなるアルゴン元素を含む非晶質珪素膜を10nm～400nm、ここでは膜厚100nmで成膜する。ここでは、アルゴン元素を含む非晶質珪素膜は、シリコンターゲットを用いてアルゴンを含む雰囲気下で形成する。プラズマCVD法を用いてアルゴン元素を含む非晶質珪素膜を形成する場合、成膜条件は、モノシランとアルゴンの流量比（SiH₄:Ar）を1:99とし、成膜圧力を6.665Paとし、RFパワー密度を0.087W/cm²とし、成膜温度を350℃とする。

【0146】

その後、650℃に加熱された炉に入れて3分の加熱処理を行い、触媒元素を除去（ゲッタリング）する。これにより結晶構造を有する半導体層502中の触媒元素濃度が低減される。炉に代えてランプアニール装置を用いてもよい。

40

【0147】

次に、バリア層をエッチングストッパとして、ゲッタリングサイトであるアルゴン元素を含む非晶質珪素膜を選択的に除去した後、バリア層を希フッ酸で選択的に除去する。なお、ゲッタリングの際、ニッケルは酸素濃度の高い領域に移動しやすい傾向があるため、酸化膜からなるバリア層をゲッタリング後に除去することが望ましい。

【0148】

なお、触媒元素を用いないで半導体層の結晶化を行う場合には、上述したバリア層の形

50

成、ゲッタリングサイトの形成、ゲッタリングのための加熱処理、ゲッタリングサイトの除去、バリア層の除去などの工程は不要である。

【0149】

上述したように半導体層502を形成した後、半導体層502に対して、p型を付与する不純物元素又はn型を付与する不純物元素を低濃度に添加するチャンネルドーピングを行う。チャンネルドーピングは半導体層502全体に対して行っても良いし、半導体層502の一部に対して選択的に行っても良い。p型を付与する不純物元素としては、ボロン(B)やアルミニウム(Al)やガリウム(Ga)等を用いることができる。n型を付与する不純物元素としては、リン(P)やヒ素(As)等を用いることができる。ここでは、不純物元素として、ボロン(B)を用い、当該ボロンが $1 \times 10^{16} \sim 5 \times 10^{17} / \text{cm}^3$ の濃度で含まれるよう添加する。

10

【0150】

次に、半導体層502をエッチングにより所望の形状に加工(パターニング)することで、図17(B)に示すように、島状に分離された半導体層503、半導体層504を形成する。なお、上述したチャンネルドーピングは、半導体層502に対して行うのではなく、パターニング後の半導体層503、半導体層504に対して行うようにしても良い。

【0151】

次に、図17(C)に示すように、半導体層503、半導体層504を用いて、トランジスタ505、トランジスタ506を形成する。具体的には、半導体層503、半導体層504を覆うようにゲート絶縁層507を形成する。そして、ゲート絶縁層507上に、所望の形状に加工(パターニング)された導電膜508及び導電膜509を形成する。導電膜508と、導電膜509とは、順にゲート絶縁層507上に積層されている。半導体層503と重なる導電膜508及び導電膜509が、トランジスタ505のゲート層510として機能する。半導体層504と重なる導電膜508及び導電膜509が、トランジスタ506のゲート層511として機能する。

20

【0152】

そして、導電膜508、導電膜509、あるいはレジストを成膜しパターニングしたものをマスクとして用い、半導体層503、半導体層504にn型またはp型を付与する不純物を添加し、ソース領域、ドレイン領域、さらにはLDD領域として機能する不純物領域等を形成する。なお図17(C)では、トランジスタ505がn型、トランジスタ506がp型の場合を例示しているが、トランジスタ505がp型、トランジスタ506がn型、又は双方がn型若しくはp型であっても良い。

30

【0153】

なお、ゲート絶縁層507として、例えば酸化珪素膜、窒化珪素膜、酸化窒化珪素膜または窒化酸化珪素膜等を単層で、または積層させて用いることができる。積層する場合には、例えば、基板500側から酸化珪素膜、窒化珪素膜、酸化珪素膜の3層構造とするのが好ましい。またゲート絶縁層507は、プラズマCVD法、減圧CVD法、スパッタ法などを用いて形成することができる。例えば、酸化珪素を用いたゲート絶縁層507をプラズマCVD法で形成する場合、TEOS(Tetraethyl Orthosilicate)と O_2 を混合したガスを用い、反応圧力40Pa、基板温度300~400℃、高周波(13.56MHz)電力密度0.5~0.8W/cm²とし、形成する。

40

【0154】

ゲート絶縁層507は、高密度プラズマ処理を行うことにより半導体層503、半導体層504の表面を酸化または窒化することで形成しても良い。高密度プラズマ処理は、例えばHe、Ar、Kr、Xeなどの希ガスと酸素、酸化窒素、アンモニア、窒素、水素などの混合ガスとを用いて行う。この場合、プラズマの励起をマイクロ波の導入により行うことで、低電子温度で高密度のプラズマを生成することができる。このような高密度のプラズマで生成された酸素ラジカル(OHラジカルを含む場合もある)や窒素ラジカル(NHラジカルを含む場合もある)によって、半導体層503、半導体層504の表面を酸化または窒化することにより、1~20nm、代表的には5~10nmの絶縁膜が半導体層

50

503、半導体層504に接するように形成される。この5～10nmの絶縁膜をゲート絶縁層507として用いても良い。

【0155】

上述した高密度プラズマ処理による半導体層の酸化または窒化は固相反応で進むため、ゲート絶縁膜と半導体層の界面準位密度をきわめて低くすることができる。また高密度プラズマ処理により半導体層を直接酸化または窒化することで、形成される絶縁膜の厚さのばらつきを抑えることができる。また半導体層が結晶性を有する場合、高密度プラズマ処理を用いて半導体層の表面を固相反応で酸化させることにより、結晶粒界においてのみ酸化が速く進んでしまうのを抑え、均一性が良く、界面準位密度の低いゲート絶縁膜を形成することができる。高密度プラズマ処理により形成された絶縁膜を、ゲート絶縁膜の一部

10

【0156】

また、窒化アルミニウムをゲート絶縁層507として用いることができる。窒化アルミニウムは熱伝導率が比較的高く、トランジスタで発生した熱を効率的に発散させることができる。またアルミニウムの含まれない酸化珪素や酸化窒化珪素等を形成した後、窒化アルミニウムを積層したものをゲート絶縁層507として用いても良い。

【0157】

ここでは、亜酸化窒素(N_2O)とシラン(SiH_4)を、10～30Paの圧力にて用い、マイクロ波(2.45GHz)電力を3～5kWとして、気相成長法により、酸化窒化珪素を有する膜厚30nmのゲート絶縁層507を形成する。固相反応と気相成長法

20

【0158】

また、ゲート絶縁層507として、二酸化ジルコニウム、酸化ハフニウム、二酸化チタン、五酸化タンタルなどの高誘電率材料を用いても良い。ゲート絶縁層507に高誘電率材料を用いることにより、ゲートリーク電流を低減することができる。

【0159】

また、ここでは積層された2つの導電膜508、導電膜509を用いて、ゲート層510、ゲート層511を形成しているが、本発明はこの構成に限定されない。導電膜508、導電膜509の代わりに、単層の導電膜を用いてゲート層510及びゲート層511を

30

【0160】

ゲート層510、ゲート層511を形成するための導電膜は、タンタル(Ta)、タングステン(W)、チタン(Ti)、モリブデン(Mo)、アルミニウム(Al)、銅(Cu)、クロム(Cr)、ニオブ(Nb)、ネオジム(Nd)、コバルト(Co)、ジルコニウム(Zr)、亜鉛(Zn)、ルテニウム(Ru)、ロジウム(Rh)、パラジウム(Pd)、オスミウム(Os)、イリジウム(Ir)、白金(Pt)、アルミニウム(Al)、金(Au)、銀(Ag)等を用いることができる。また上記金属を主成分とする合金

40

【0161】

また、ゲート層510、ゲート層511を形成するための導電膜として、可視光に対して透光性を有する導電材料を用いることもできる。透光性の導電材料としては、インジウム錫酸化物(ITO)、酸化珪素を含むインジウム錫酸化物(ITSO)、酸化亜鉛等を用いることができる。また、ゲート層510、ゲート層511を形成するための導電膜として、酸化亜鉛(ZnO)を含むインジウム亜鉛酸化物(IZO(Indium Zinc Oxide))、ガリウム(Ga)をドーピングした ZnO 、酸化スズ(SnO_2)、酸

50

化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物などを用いてもよい。

【0162】

ここでは、1層目の導電膜508として窒化タンタルまたはタンタル(Ta)を、2層目の導電膜509としてタングステン(W)を用いる。2つの導電膜の組み合わせとして、ここに示した例の他に、窒化タングステンとタングステン、窒化モリブデンとモリブデン、アルミニウムとタンタル、アルミニウムとチタン等が挙げられる。タングステンや窒化タンタルは、耐熱性が高いため、2層の導電膜を形成した後の工程において、熱活性化を目的とした加熱処理を行うことができる。また、2層の導電膜の組み合わせとして、例えば、n型を付与する不純物がドーピングされた珪素とニッケルシリサイド、n型を付与する不純物がドーピングされたSiとWSix等も用いることができる。

10

【0163】

導電膜508、導電膜509の形成にはCVD法、スパッタリング法等を用いることができる。上述した2層の導電膜でゲート層510、ゲート層511を形成する場合、1層目の導電膜508を20~100nmの厚さで形成し、2層目の導電膜509を100~400nmの厚さで形成する。ここでは、窒化タンタルまたはタンタル(Ta)を有する1層目の導電膜508を30nmの膜厚とし、タングステン(W)を有する2層目の導電膜509を170nmの膜厚とした。

【0164】

なお、ゲート層510、ゲート層511を形成する際に用いるマスクとして、レジストの代わりに酸化珪素、酸化窒化珪素等をマスクとして用いてもよい。この場合、パターニングして酸化珪素、酸化窒化珪素等のマスクを形成する工程が加わるが、エッチング時におけるマスクの膜減りがレジストよりも少ないため、所望の形状を有するゲート層510、ゲート層511を形成することができる。また、マスクを用いずに、液滴吐出法を用いて選択的にゲート層510、ゲート層511を形成しても良い。なお、液滴吐出法とは、所定の組成物を含む液滴を細孔から吐出または噴出することで所定のパターンを形成する方法を意味し、インクジェット法などがその範疇に含まれる。

20

【0165】

なお、ゲート層510、ゲート層511を形成する際に、用いる導電膜の材料によって、最適なエッチングの方法、エッチャントの種類を適宜選択すれば良い。以下、1層目の導電膜508として窒化タンタルを、2層目の導電膜509としてタングステンを有する場合のエッチングの方法の一例について、具体的に説明する。

30

【0166】

まず、窒化タンタル膜を形成した後、窒化タンタル膜上にタングステン膜を形成する。そして、タングステン膜上にマスクを形成し、第1のエッチングを行う。第1のエッチングでは、まず第1のエッチング条件を用いた後に、第2のエッチング条件を用いる。第1のエッチング条件では、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用い、エッチング用ガスにCF₄とCl₂とO₂とを用い、それぞれのガス流量比を25:25:10(sccm)とし、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成してエッチングを行う。そして、基板側(試料ステージ)にも150WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。この第1のエッチング条件を用いることにより、タングステン膜を、その端部がテーパ形状になるようにエッチングすることができる。

40

【0167】

次に、第2のエッチング条件を用いてエッチングを行う。第2のエッチング条件は、エッチング用ガスにCF₄とCl₂とを用い、それぞれのガス流量比を30:30(sccm)とし、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成して約30秒程度のエッチングを行う。基板側(試料ステージ)

50

にも20WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とCl₂を混合した第2のエッチング条件ではタングステン膜及び窒化タンタル膜とも同程度にエッチングされる。

【0168】

上記第1のエッチングでは、マスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により窒化タンタル膜及びタングステン膜の端部が、角度15〜45°程度のテーパ形状となる。なお、ゲート絶縁層507のうち、第1のエッチングにより露出した部分は、エッチングの条件にもよるが、その他の窒化タンタル膜及びタングステン膜で覆われている部分よりも、多少エッチングされて薄くなる。

【0169】

次いで、マスクを除去せずに第2のエッチングを行う。第2のエッチングでは、エッチングガスにCF₄とCl₂とO₂とを用い、タングステン膜を選択的にエッチングする。この時、第2のエッチングにより、タングステン膜が優先的にエッチングされるが、窒化タンタル膜はほとんどエッチングされない。

【0170】

上述した第1のエッチング及び第2のエッチングにより、窒化タンタルを用いた導電膜508と、導電膜508よりも幅の狭い、タングステンを用いた導電膜509とを、形成することができる。

【0171】

次に、半導体層503、半導体層504への一導電型を付与する不純物の導入を行い、トランジスタ505、トランジスタ506の不純物領域を形成する。ここではトランジスタ505がnチャネル型、トランジスタ506がpチャネル型である。よって、n型を付与する不純物、例えばリン(P)、砒素(As)などを半導体層503に導入する。また、p型を付与する不純物、例えばボロン(B)を半導体層504に導入する。

【0172】

上述した第1のエッチング及び第2のエッチングにより形成される導電膜508及び導電膜509をマスクとして用いることで、マスクを新たに形成せずとも、ソース領域、ドレイン領域、LDD領域として機能する不純物領域を半導体層503、半導体層504内に作り分けることができる。

【0173】

上記一連の工程によって、トランジスタ505と、トランジスタ506とを形成することができる。なお、トランジスタの作製方法は、上述した工程に限定されない。

【0174】

なお、ここでは、シングルゲート構造のトランジスタについて例示しているが、ダブルゲート構造などのマルチゲート構造でもよい。

【0175】

また、インクジェットや印刷法を用いて形成したトランジスタなどを用いることができる。これらにより、室温で製造、又は大型基板上に製造することができる。また、マスク(レチクル)を用いなくても製造することが可能となるため、トランジスタのレイアウトを容易に変更することができる。さらに、レジストを用いる必要がないので、材料費が安くなり、工程数を削減できる。さらに、必要な部分にのみ膜を付けるため、全面に成膜した後でエッチングするという製法よりも、材料が無駄にならず、低コストにできる。

【0176】

次に、図17(D)に示すように、トランジスタ505、トランジスタ506を覆うように、絶縁膜512を形成する。絶縁膜512は必ずしも設ける必要はないが、絶縁膜512を形成することで、アルカリ金属やアルカリ土類金属などの不純物が、トランジスタ505、トランジスタ506へ侵入するのを防ぐことができる。具体的に絶縁膜512として、窒化珪素、窒化酸化珪素、酸化窒化珪素、窒化アルミニウム、酸化アルミニウム、酸化珪素などを用いるのが望ましい。ここでは、CVD法により膜厚30nm程度の酸化窒化珪素膜形成し、絶縁膜512として用いる。

10

20

30

40

50

【0177】

絶縁膜512を形成した後、不純物領域の加熱処理による活性化を行っても良い。例えば、加熱処理は、480℃、1時間、窒素雰囲気中においてを行えばよい。加熱処理には、ファーネスアニール炉を用いる熱アニール法、レーザーアニール法またはラピッドサーマルアニール法（RTA法）などを用いることができる。

【0178】

次に、絶縁膜512上に、絶縁膜513を形成する。絶縁膜513は、アクリル樹脂、ポリイミド、ベンゾシクロブテン系樹脂、ポリアミド、エポキシ樹脂等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）、シロキサン系樹脂、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素、PSG（リンガラス）、BPSG（リンボロンガラス）、アルミナ等を用いることができる。シロキサン系樹脂は、シリコン（Si）と酸素（O）との結合で骨格構造が構成される材料である。置換基として、水素の他、フルオロ基、有機基（例えばアルキル基、芳香族炭化水素）のうち、少なくとも1種を有していても良い。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁膜513を形成しても良い。

10

【0179】

絶縁膜513の形成には、その材料に応じて、CVD法、スパッタ法、SOG法、スピコート法、ディップ法、スプレー塗布法、液滴吐出法（インクジェット法）、スクリーン印刷、オフセット印刷等を用いることができる。

【0180】

ここでは、CVD法で形成した膜厚100nmの、水素を含む窒化酸化珪素膜と、CVD法で形成した、膜厚900nmの酸化窒化珪素膜とを積層させ、絶縁膜513として用いる。

20

【0181】

なお、ここでは、絶縁膜512、絶縁膜513が層間絶縁膜として機能しているが、単層の絶縁膜を層間絶縁膜として用いても良いし、積層させた2層の絶縁膜、或いは積層させた4層以上の絶縁膜を、層間絶縁膜として用いても良い。

【0182】

次に、加熱処理を300～550℃で、1～12時間行くと良い。ここでは、窒素雰囲気中において、410℃、1時間の加熱処理を行う。上記加熱処理を行うことで、絶縁膜513に含まれる水素により、半導体層503、半導体層504のダングリングボンドを終端させることができる。上記加熱処理には、ファーネスアニール炉を用いる熱アニール法、レーザーアニール法またはラピッドサーマルアニール法（RTA法）などを用いることができる。加熱処理により、水素化のみならず、半導体層503、半導体層504に添加された不純物元素の活性化も行うことができる。また、ダングリングボンドを終端させる水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

30

【0183】

次に、半導体層503、半導体層504がそれぞれ一部露出するように、ゲート絶縁層507、絶縁膜512、絶縁膜513にコンタクトホールを形成する。そして、該コンタクトホールを介して半導体層503に接する導電膜514及び導電膜515と、該コンタクトホールを介して半導体層504に接する導電膜516及び導電膜517とを形成する。

40

【0184】

導電膜514～導電膜517は、CVD法やスパッタリング法等により形成することができる。具体的に導電膜514～導電膜517として、タングステン（W）、チタン（Ti）、タンタル（Ta）、モリブデン（Mo）、ニッケル（Ni）、白金（Pt）、銅（Cu）、金（Au）、銀（Ag）、マンガン（Mn）、ネオジム（Nd）、炭素（C）、珪素（Si）等を用いることができる。また上記金属を主成分とする合金を用いても良いし、上記金属を含む化合物を用いても良い。導電膜514～導電膜517は、上記金属を

50

有する単数の膜を、または上記金属を有する積層された複数の膜を、用いることができる。

【0185】

＜トランジスタの作製方法の一例2＞

次に、チャネル形成領域が単結晶半導体を含むトランジスタの作製方法の一例について述べる。なお、ここでは、SOI基板を用いて作製されるトランジスタの一例について述べる。

【0186】

SOI基板は、例えば、スマートカット（登録商標）に代表されるUNIBOND（登録商標）、ELTRAN（Epitaxial Layer Transfer）（登録商標）、誘電体分離法、PACE（Plasma Assisted Chemical Etching）法などを用いて作製することができる。SOI基板を用いたトランジスタはバルクのトランジスタと比較すると、半導体膜が絶縁層上に形成されているので、寄生容量が低減され、基板に流れる漏れ電流の発生を抑えることができるため、回路の高速化、低消費電力化がより期待できる。そして活性層として用いる半導体膜を薄くできるので、短チャネル効果を抑制し、よって素子の微細化、延いては回路の高集積化を実現することができる。また、ガラス基板を用いたSOI基板は、半導体基板を用いたSOI基板よりも安価であり、なおかつ液晶表示装置の面積化を実現しやすいというメリットを有している。

10

【0187】

まず、図20（A）に示すように、ボンド基板600を洗浄した後、ボンド基板600上に絶縁層601を形成する。

20

【0188】

ボンド基板600として、シリコン、ゲルマニウムなどの単結晶半導体基板を用いることができる。また、ボンド基板600として、結晶格子に歪みを有するシリコン、シリコンに対しゲルマニウムが添加されたシリコンゲルマニウムなどの半導体基板を用いても良い。

【0189】

なお、ボンド基板600に用いられる単結晶半導体基板は、結晶軸の方向が基板内において揃っていることが望ましいが、点欠陥、線欠陥、面欠陥などの格子欠陥が完璧に排除された完全結晶である必要はない。

30

【0190】

また、ボンド基板600の形状は円形に限定されず、円形以外の形状に加工されていても良い。例えば、後に貼り合わせるベース基板603の形状が一般的に矩形状であること、及び縮小投影型露光装置などの露光装置の露光領域が矩形であること等を考慮し、ボンド基板600が矩形となるように、その形状を加工しても良い。ボンド基板600の形状の加工は、市販の円形状の単結晶半導体基板を切断することで、行うことができる。

【0191】

絶縁層601は、単数の絶縁層を用いたものであっても、複数の絶縁層を積層して用いたものであっても良い。絶縁層601の厚さは、後に不純物が含まれる領域が除去されることを考慮して、15nm以上500nm以下とすると良い。

40

【0192】

絶縁層601を構成する膜には、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、窒化酸化珪素膜、酸化ゲルマニウム膜、窒化ゲルマニウム膜、酸化窒化ゲルマニウム膜、窒化酸化ゲルマニウム膜などの珪素またはゲルマニウムを組成に含む絶縁膜を用いることができる。また、酸化アルミニウム膜、酸化タンタル膜、酸化ハフニウム膜などの金属の酸化物でなる絶縁膜、窒化アルミニウム膜などの金属の窒化物でなる絶縁膜、酸化窒化アルミニウム膜などの金属の酸化窒化物でなる絶縁膜、窒化酸化アルミニウム膜などの金属の窒化酸化物でなる絶縁膜を用いることもできる。

【0193】

50

例えば、ここでは、ボンド基板 600 を熱酸化することによって形成された酸化珪素を、絶縁層 601 として用いる例を示す。なお、図 20 (A) では、絶縁層 601 がボンド基板 600 の全面を覆うように形成されているが、絶縁層 601 は、ボンド基板 600 の少なくとも一面に形成されていればよい。

【0194】

なお、本明細書において酸化窒化物とは、その組成として、窒素よりも酸素の含有量が多い物質であり、また、窒化酸化物とは、その組成として、酸素よりも窒素の含有量が多い物質をいう。

【0195】

また、ボンド基板 600 の表面を熱酸化することにより絶縁層 601 を形成する場合、熱酸化は、含有水分量が低い酸素を用いるドライ酸化、酸素雰囲気中に塩化水素などのハロゲンを含むガスを添加する熱酸化、などを用いることができる。また、水素を酸素で燃焼させて水を作るパイロジェニック酸化、高純度純水を 100 度以上に加熱した水蒸気を用いて酸化を行う水蒸気酸化などのウェット酸化を、絶縁層 601 の形成に用いても良い。

10

【0196】

ベース基板 603 にアルカリ金属若しくはアルカリ土類金属などの液晶表示装置の信頼性を低下させる不純物を含むような基板を用いる場合、ベース基板 603 から分離後に形成される半導体膜への上記不純物の拡散を防止できるようなバリア層が、少なくとも 1 層以上、絶縁層 601 に含まれることが好ましい。バリア層として用いることができる絶縁層には、窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、または窒化酸化アルミニウム膜などが挙げられる。バリア層として用いる絶縁層は、例えば厚さ 15 nm ~ 300 nm の膜厚で形成することが好ましい。これらのバリア層は、不純物の拡散を防止する効果が高いが、内部応力が高い。そのため、ボンド基板 600 と接する下層の絶縁層には、上層の絶縁層の応力を緩和する効果のある膜を選択することが好ましい。上層の絶縁層の応力を緩和する効果のある絶縁層として、ボンド基板 600 を熱酸化して形成した熱酸化膜などの酸化珪素膜がある。下層の絶縁層の厚さは 5 nm 以上 200 nm 以下とすることができる。

20

【0197】

酸化珪素を絶縁層 601 として用いる場合、当該酸化珪素の形成方法は熱酸化に限定されない。例えば、当該酸化珪素はシランと酸素、TEOS (テトラエトキシシラン) と酸素等の混合ガスを用い、熱 CVD、プラズマ CVD、常圧 CVD、バイアス ECR CVD 等の気相成長法によって形成することができる。この場合、絶縁層 601 の表面を酸素プラズマ処理で緻密化しても良い。また、窒化珪素を絶縁層 601 として用いる場合、シランとアンモニアの混合ガスを用い、プラズマ CVD 等の気相成長法によって形成することができる。また、窒化酸化珪素を絶縁層 601 として用いる場合、シランとアンモニアの混合ガス、またはシランと酸化窒素の混合ガスを用い、プラズマ CVD 等の気相成長法によって形成することができる。

30

【0198】

また、有機シランガスを用いて化学気相成長法により作製される酸化珪素を、絶縁層 601 として用いても良い。有機シランガスとしては、珪酸エチル (TEOS: 化学式 $\text{Si}(\text{OC}_2\text{H}_5)_4$)、テトラメチルシラン (TMS: 化学式 $\text{Si}(\text{CH}_3)_4$)、テトラメチルシクロテトラシロキサン (TMCTS)、オクタメチルシクロテトラシロキサン (OMCTS)、ヘキサメチルジシラザン (HMDS)、トリエトキシシラン ($\text{SiH}(\text{OC}_2\text{H}_5)_3$)、トリスジメチルアミノシラン ($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$) 等のシリコン含有化合物を用いることができる。

40

【0199】

ソースガスに有機シランを用いることで、プロセス温度が 350 °C 以下で、平滑な表面を有する酸化珪素膜を形成することができる。また、熱 CVD 法で、加熱温度が 200 °C 以上 500 °C 以下で形成される LTO (低温酸化物、low temperature

50

oxide)で形成することができる。LTOの形成には、シリコンソースガスにモノシラン(SiH_4)またはジシラン(Si_2H_6)などを用い、酸素ソースガスに一酸化二窒素(N_2O)などを用いることができる。

【0200】

例えば、ソースガスにTEOSと O_2 を用いて、酸化珪素膜でなる絶縁層601を形成する場合、TEOSの流量15sccm、 O_2 の流量750sccm、成膜圧力100Pa、成膜温度300℃、RF出力300W、電源周波数13.56MHzとすれば良い。

【0201】

なお、有機シランを用いて形成された酸化珪素膜、または低温で成膜した窒化酸化珪素膜などの、比較的低温で成膜された絶縁層は、表面にOH基を多く有する。すなわち、シラノール基を有する。このOH基はベース基板表面上の水酸基と水素結合を形成することで、ベース基板と絶縁層とが低温で接合される。そして、最終的には共有結合であるシロキサン結合が、ベース基板と絶縁層との間に形成される。よって、上記の有機シランを用いて形成された酸化珪素膜、または比較的低温で成膜されたLTOなどの絶縁層は、Smart Cutなどで用いられているOH基が存在しない或いは飛躍的に少ない熱酸化膜よりも、低温での接合に向いていると言える。

【0202】

絶縁層601は、平滑で親水性の接合面をボンド基板600の表面に形成するための膜である。そのため、絶縁層601の平均粗さRaが0.7nm以下、より好ましくは、0.4nm以下が好ましい。また、絶縁層601の厚さは5nm以上500nm以下とすることができる。好ましい厚さは10nm以上200nm以下である。

【0203】

次に、図20(B)に示すように、電界で加速されたイオンでなるイオンビームを、矢印で示すように絶縁層601を介してボンド基板600に注入し、ボンド基板600の表面から一定の深さの領域に、微小ボイドを有する脆化層602を形成する。例えば、脆化層は、結晶構造が乱されることで局所的に脆弱化された層を意味し、その状態は脆化層を形成する手段によって異なる。なお、ボンド基板の一表面から脆化層までの領域も多少脆弱化される場合があるが、脆化層は後に分断される領域及びその付近の層を指す。

【0204】

脆化層602が形成される領域の深さは、イオンビームの加速エネルギーとイオンビームの入射角によって調節することができる。加速エネルギーは加速電圧などにより調節できる。イオンの平均侵入深さとほぼ同じ深さの領域に脆化層602が形成される。イオンを注入する深さで、ボンド基板600から後に分離される半導体層604の厚さが決定される。脆化層602が形成される深さは例えば50nm以上500nm以下とすることができる。好ましい深さの範囲は50nm以上200nm以下とすると良い。

【0205】

イオンをボンド基板600に注入するには、質量分離を伴わないイオンドーピング法で行うことがタクトタイムを短縮するという点で望ましいが、質量分離を伴うイオン注入法を用いても良い。

【0206】

ソースガスに水素(H_2)を用いる場合、水素ガスを励起して H^+ 、 H_2^+ 、 H_3^+ を生成することができる。ソースガスから生成されるイオン種の割合は、プラズマの励起方法、プラズマを発生させる雰囲気圧力、ソースガスの供給量などを調節することで、変化させることができる。イオンドーピング法でイオン注入を行う場合、イオンビームに、 H^+ 、 H_2^+ 、 H_3^+ の総量に対して H_3^+ が50%以上、より好ましくは80%以上含まれていることが好ましい。 H_3^+ の割合を80%以上とすることで、イオンビームに含まれる H_2^+ イオンの割合が相対的に小さくなるため、イオンビームに含まれる水素イオンの平均侵入深さのばらつきが小さくなるので、イオンの注入効率が向上し、タクトタイムを短縮することができる。

【0207】

また、 H_3^+ は H^+ 、 H_2^+ に比べて質量が大きい。そのため、イオンビームにおいて、 H_3^+ の割合が多い場合と、 H^+ 、 H_2^+ の割合が多い場合とでは、ドーピングの際の加速電圧が同じであっても、前者の場合の方が、ボンド基板600の浅い領域に水素を注入することができる。また前者の場合、ボンド基板600に注入される水素の、厚さ方向における濃度分布が急峻となるため、脆化層602の厚さ自体も薄くすることができる。

【0208】

水素ガスを用いて、イオンドーピング法でイオン注入を行う場合、加速電圧10kV以上200kV以下、ドーズ量 $1 \times 10^{16} \text{ ions/cm}^2$ 以上 $6 \times 10^{16} \text{ ions/cm}^2$ 以下とすることで、イオンビームに含まれるイオン種及びその割合、絶縁層601の膜厚にもよるが、脆化層602をボンド基板600の深さ50nm以上500nm以下の領域に形成することができる。

10

【0209】

例えば、ボンド基板600が単結晶シリコン基板であり、絶縁層601が厚さ100nmの熱酸化膜で形成されている場合、ソースガスである100%水素ガスの流量が50sccm、ビーム電流密度 $5 \mu\text{A/cm}^2$ 、加速電圧50kV、ドーズ量 $2.0 \times 10^{16} \text{ atoms/cm}^2$ の条件では、ボンド基板600から厚さ146nmの半導体膜を分離することができる。なお、水素をボンド基板600に添加する際の条件が同じであっても、絶縁層601の膜厚をより大きくすることで、半導体膜の膜厚をより小さくすることができる。

【0210】

イオンビームのソースガスにヘリウム(He)を用いることもできる。ヘリウムを励起して生成されるイオン種は He^+ が殆どであるため、質量分離を伴わないイオンドーピング法でも、 He^+ を主たるイオンとしてボンド基板600に注入することができる。よって、イオンドーピング法で、効率良く、微小な空孔を脆化層602に形成することができる。ヘリウムを用いて、イオンドーピング法でイオン注入を行う場合、加速電圧10kV以上200kV以下、ドーズ量 $1 \times 10^{16} \text{ ions/cm}^2$ 以上 $6 \times 10^{16} \text{ ions/cm}^2$ 以下とすることができる。

20

【0211】

ソースガスに塩素ガス(Cl_2 ガス)、フッ素ガス(F_2 ガス)などのハロゲンガスを用いることもできる。

30

【0212】

なお、イオンドーピング法でボンド基板600にイオン注入を行う場合、イオンドーピング装置内に存在する不純物がイオンと共に注入されるため、絶縁層601の表面近傍にS、Ca、Fe、Mo等の不純物が存在する可能性がある。よって、絶縁層601の表面近傍の最も不純物が多いと考えられる領域を、エッチングや、研磨などにより除去しておいても良い。ドライエッチングだと、反応性イオンエッチング(RIE: Reactive Ion Etching)法、ICP(Inductively Coupled Plasma)エッチング法、ECR(Electron Cyclotron Resonance)エッチング法、平行平板型(容量結合型)エッチング法、マグネトロンプラズマエッチング法、2周波プラズマエッチング法またはヘリコン波プラズマエッチング法などを用いることができる。例えば、窒化酸化珪素膜の表面近傍をICPエッチング法で除去する場合、エッチングガスである CHF_3 の流量を7.5sccm、 He の流量を100sccm、反応圧力5.5Pa、下部電極の温度70℃、コイル型の電極に投入するRF(13.56MHz)電力475W、下部電極(バイアス側)に投入する電力300W、エッチング時間10sec程度とすることで、表面から50nm程度の深さまでの領域を除去することができる。

40

【0213】

エッチングガスとして、フッ素系ガスである CHF_3 の他に、 Cl_2 、 BCl_3 、 $SiCl_4$ 、 CCl_4 などの塩素系ガス、 CF_4 、 SF_6 、 NF_3 などのフッ素系ガス、 O_2 を適宜用いることができる。また用いるエッチングガスに He 以外の不活性気体を添加し

50

ても良い。例えば、添加する不活性元素として、Ne、Ar、Kr、Xeから選ばれた一種または複数種の元素を用いることができる。また窒化酸化珪素膜の表面近傍をウェットエッチングで除去する場合、フッ化水素アンモニウム、フッ化アンモニウム等を含むフッ酸系の溶液を、エッチャントとして用いれば良い。また研磨は、化学的機械的研磨（CMP：Chemical Mechanical Polishing）または液体ジェット研磨などにより、行うことができる。

【0214】

脆化層602の形成後に、絶縁層601の表面近傍における汚染の著しい領域を、エッチングまたは研磨などにより除去することで、ベース基板603上に形成される半導体層604に混入する不純物の量を抑えることができる。また、最終的に形成される液晶表示装置では、不純物の影響により、しきい値電圧の変動、リーク電流の増加などのトランジスタの電気的特性の低下及び信頼性の低下が生じるのを防ぐことができる。

10

【0215】

次に、図20（C）、（D）に示すように、絶縁層601を間に挟むように、ボンド基板600とベース基板603を貼り合わせる。

【0216】

なお、ベース基板603とボンド基板600との貼り合わせを行う前に、貼り合わせに係る表面、すなわちここでは、ボンド基板600上に形成された絶縁層601とベース基板603の表面に、絶縁層601とベース基板603の接合強度を向上させるための表面処理を施すことが好ましい。

20

【0217】

表面処理としては、ウェット処理、ドライ処理、またはウェット処理およびドライ処理の組み合わせが挙げられる。異なるウェット処理、または異なるドライ処理を組み合わせても良い。ウェット処理としては、オゾン水を用いたオゾン処理（オゾン水洗浄）、メガソニック洗浄などの超音波洗浄、または2流体洗浄（純水や水素添加水等の機能水を窒素等のキャリアガスとともに吹き付ける方法）、塩酸と過酸化水素水を用いた洗浄などが挙げられる。ドライ処理としては、不活性ガス中性原子ビーム処理、不活性ガスイオンビーム処理、紫外線処理、オゾン処理、プラズマ処理、バイアス印加プラズマ処理、またはラジカル処理などが挙げられる。上記のような表面処理を行うことで、貼り合わせに係る表面の親水性および清浄度を高め、その結果、接合強度を向上させることができる。

30

【0218】

貼り合わせは、ベース基板603と、ボンド基板600上の絶縁層601とを密着させた後、重ね合わせたベース基板603とボンド基板600の一部に、 1 N/cm^2 以上 500 N/cm^2 以下、好ましくは 11 N/cm^2 以上 20 N/cm^2 以下程度の圧力を加える。圧力を加えると、その部分からベース基板603と絶縁層601とが接合を開始し、最終的には密着した面全体に接合がおよぶ。

【0219】

接合はファンデルワールス力や水素結合を用いて行われているため、室温でも強固な接合が形成される。なお、上記接合は低温で行うことが可能であるため、ベース基板603は様々なものを用いることが可能である。例えばベース基板603としては、アルミノシリケートガラス、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラスなどの電子工業用に使われる各種ガラス基板の他、石英基板、セラミック基板、サファイア基板などの基板を用いることができる。なお、ベース基板603として用いるガラス基板は、熱膨張係数が $25 \times 10^{-7}/^\circ\text{C}$ 以上 $50 \times 10^{-7}/^\circ\text{C}$ 以下（好ましくは、 $30 \times 10^{-7}/^\circ\text{C}$ 以上 $40 \times 10^{-7}/^\circ\text{C}$ 以下）であり、歪み点が 580°C 以上 680°C 以下（好ましくは、 600°C 以上 680°C 以下）である基板を用いることが好ましい。また、ガラス基板として無アルカリガラス基板を用いると、不純物による液晶表示装置の汚染を抑えることができる。

40

【0220】

ガラス基板としては、液晶パネルの製造用に開発されたマザーガラス基板を用いること

50

ができる。マザーガラスとしては、例えば、第3世代（例えば、550mm×650mm）、第3.5世代（例えば、600mm×720mm）、第4世代（例えば、680mm×880mmまたは、730mm×920mm）、第5世代（例えば、1100mm×1300mm）、第6世代（例えば、1500mm×1800mm）、第7世代（例えば、1900mm×2200mm）、第8世代（例えば、2160mm×2460mm）などのサイズの基板が知られている。大面積のマザーガラス基板をベース基板603として用いてSOI基板を製造することで、SOI基板の大面積化が実現できる。マザーガラス基板のような大型の基板をベース基板603として用いることで、SOI基板の大面積化が実現できる。SOI基板の大面積化が実現すれば、大型の液晶表示装置を製造することができる。

10

【0221】

EAGLE2000（コーニング社製）等のように、加熱処理を加えることで大きくシュリンクするようなガラス基板をベース基板603として用いる場合、接合工程後に貼り合わせの不良が生じる場合がある。よって、シュリンクに起因する貼り合わせの不良を回避するために、接合を行う前に、ベース基板603に予め加熱処理を施しておいても良い。

【0222】

また、ベース基板603上に絶縁層を形成しておいても良い。ベース基板603は、その表面に絶縁層が必ずしも形成されていなくとも良いが、ベース基板603の表面に絶縁層を形成しておくことで、ベース基板603からボンド基板600に、アルカリ金属やアルカリ土類金属などの不純物が入り込むのを防ぐことができる。またベース基板603の表面に絶縁層を形成しておく場合、ベース基板603上の絶縁層が絶縁層601と接合するので、ベース基板603として用いることができる基板の種類がさらに広がる。プラスチック等の可撓性を有する合成樹脂からなる基板は耐熱温度が一般的に低い傾向にあるが、後の半導体素子の作製工程における処理温度に耐え得るのであれば、ベース基板603上に絶縁層を形成する場合において、ベース基板603として用いることが可能である。プラスチック基板として、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリブチレンテレフタレート（PBT）、ポリアリレート（PAR）に代表されるポリエステル、ポリエーテルスルホン（PES）、ポリカーボネート（PC）、ポリエーテルエーテルケトン（PEEK）、ポリスルホン（PSF）、ポリエーテルイミド（PEI）、ポリイミド、アクリロニトリルブタジエンスチレン樹脂、ポリ塩化ビニル、ポリプロピレン、ポリ酢酸ビニル、アクリル樹脂などが挙げられる。ベース基板603上に絶縁層を形成する場合、絶縁層601と同様に、該絶縁層の表面に表面処理を行ってから貼り合わせを行うと良い。

20

30

【0223】

ベース基板603にボンド基板600を貼り合わせた後、ベース基板603と絶縁層601との接合界面での結合力を増加させるための加熱処理を行うことが好ましい。この処理温度は、脆化層602に亀裂を発生させない温度とし、200℃以上400℃以下の温度範囲で処理することができる。また、この温度範囲で加熱しながら、ベース基板603にボンド基板600を貼り合わせることで、ベース基板603と絶縁層601と間における接合の結合力を強固にすることができる。

40

【0224】

なお、ボンド基板600とベース基板603とを貼り合わせるときに、接合面がゴミなどにより汚染されてしまうと、汚染部分は接合されなくなる。接合面の汚染を防ぐために、ボンド基板600とベース基板603との貼り合わせは、気密な処理室内で行うことが好ましい。また、ボンド基板600とベース基板603との貼り合わせるとき、処理室内を 5.0×10^{-3} Pa程度の減圧状態とし、接合処理の雰囲気的清浄にするようにしても良い。

【0225】

次いで、加熱処理を行うことで、微小ボイドの体積が増大し、脆化層602において隣

50

接する微小ボイド同士が結合する。その結果、図21(A)に示すように、脆化層602においてボンド基板600の一部である半導体層604が、ボンド基板600から分離する。絶縁層601はベース基板603に接合しているので、ベース基板603上にはボンド基板600から分離された半導体層604が固定される。半導体層604をボンド基板600から分離するための加熱処理の温度は、ベース基板603の歪み点を越えない温度とする。

【0226】

この加熱処理には、RTA(Rapid Thermal Annealing)装置、抵抗加熱炉、マイクロ波加熱装置を用いることができる。RTA装置には、GRTA(Gas Rapid Thermal Annealing)装置、LRTA(Lamp Rapid Thermal Annealing)装置を用いることができる。GRTA装置を用いる場合は、加熱温度550℃以上650℃以下、処理時間0.5分以上60分以内とすることができる。抵抗加熱装置を用いる場合は、加熱温度200℃以上650℃以下、処理時間2時間以上4時間以内とすることができる。

【0227】

また、上記加熱処理は、マイクロ波などの高周波による誘電加熱を用いても良い。誘電加熱による加熱処理は、高周波発生装置において生成された周波数300MHz乃至3THzの高周波をボンド基板600に照射することで行うことができる。具体的には、例えば、2.45GHzのマイクロ波を900W、14分間照射することで、脆化層内の隣接する微小ボイドどうしを結合させ、最終的にボンド基板600を脆化層において分断させることができる。

【0228】

抵抗加熱を有する縦型炉を用いた加熱処理の具体的な処理方法を説明する。ボンド基板600が貼り付けられたベース基板603を、縦型炉のポートに載置し、該ポートを縦型炉のチャンバーに搬入する。ボンド基板600の酸化を抑制するため、まずチャンバー内を排気して真空状態とする。真空度は、 5×10^{-3} Pa程度とする。真空状態にした後、窒素をチャンバー内に供給して、チャンバー内を大気圧の窒素雰囲気にする。この間、加熱温度を200℃に上昇させる。

【0229】

チャンバー内を大気圧の窒素雰囲気にした後、温度200℃で2時間加熱する。その後、1時間かけて400℃に温度上昇させる。加熱温度400℃の状態が安定したら、1時間かけて600℃に温度上昇させる。加熱温度600℃の状態が安定したら、600℃で2時間加熱処理する。その後、1時間かけて、加熱温度400℃まで下げ、10分～30分後に、チャンバー内からポートを搬出する。大気雰囲気下で、ポート上に並べられたボンド基板600、及び半導体層604が貼り付けられたベース基板603を冷却する。

【0230】

上記の抵抗加熱炉を用いた加熱処理は、絶縁層601とベース基板603との結合力を強化するための加熱処理と、脆化層602を分割させる加熱処理が連続して行われる。この2つの加熱処理を異なる装置で行う場合は、例えば、抵抗加熱炉において、処理温度200℃、処理時間2時間の加熱処理を行った後、貼り合わされたベース基板603とボンド基板600を炉から搬出する。次いで、RTA装置で、処理温度600℃以上700℃以下、処理時間1分から数時間以内程度の加熱処理を行い、ボンド基板600を脆化層602で分断させる。

【0231】

なお、ボンド基板600の周辺部は、ベース基板603と接合していないことがある。これは、ボンド基板600の周辺部が面取りされている、或いは周辺部が曲率を有しているため、ベース基板603と絶縁層601とが密着しない、または、ボンド基板600の周辺部では脆化層602が分割しにくいなどの理由によるものと考えられる。また、その他の理由として、ボンド基板600を作製する際に行われるCMPなどの研磨が、ボンド基板600の周辺部で不十分であり、中央部に比べて周辺部では表面が荒れていることが

挙げられる。また、ボンド基板 600 を移送する際に、キャリア等でボンド基板 600 の周辺部に傷が入ってしまった場合、該傷も、周辺部がベース基板 603 に接合しにくい理由になると考えられる。そのため、ベース基板 603 には、ボンド基板 600 よりもサイズの小さい半導体層 604 が貼り付けられる。

【0232】

なお、ボンド基板 600 を分離させる前に、ボンド基板 600 に水素化処理を行うようにしても良い。水素化処理は、例えば、水素雰囲気中において 350℃、2 時間程度行う。

【0233】

なお、ベース基板 603 と複数のボンド基板 600 とを貼り合わせる場合、該複数のボンド基板 600 が異なる結晶面方位を有していても良い。半導体中における多数キャリアの移動度は、結晶面方位によって異なる。よって、形成する半導体素子に適した結晶面方位を有するボンド基板 600 を、適宜選択して半導体層 604 を形成すればよい。例えば半導体層 604 を用いて n 型の半導体素子を形成するならば、{100} 面を有する半導体層 604 を形成することで、該半導体素子における多数キャリアの移動度を高めることができる。また、例えば半導体層 604 を用いて p 型の半導体素子を形成するならば、{110} 面を有する半導体層 604 を形成することで、該半導体素子における多数キャリアの移動度を高めることができる。そして、半導体素子としてトランジスタを形成するならば、チャンネルの向きと結晶面方位とを考慮し、半導体層 604 の貼り合わせの方向を定めるようにする。

【0234】

次に、半導体層 604 の表面を研磨により平坦化しても良い。平坦化は必ずしも必須ではないが、平坦化を行うことで、後に形成される半導体層 611 及び半導体層 612 とゲート絶縁層の界面の特性を向上させることができる。具体的に研磨は、化学的機械的研磨 (CMP: Chemical Mechanical Polishing) または液体ジェット研磨などにより、行うことができる。半導体層 604 の厚さは、上記平坦化により薄膜化される。上記平坦化は、エッチングする前の半導体層 604 に施しても良いが、後にエッチングにより形成される半導体層 611 及び半導体層 612 に施しても良い。

【0235】

また、研磨ではなく、半導体層 604 の表面をエッチングすることでも、半導体層 604 の表面を平坦化することができる。エッチングには、例えば反応性イオンエッチング (RIE: Reactive Ion Etching) 法、ICP (Inductively Coupled Plasma) エッチング法、ECR (Electron Cyclotron Resonance) エッチング法、平行平板型 (容量結合型) エッチング法、マグネトロンプラズマエッチング法、2 周波プラズマエッチング法またはヘリコン波プラズマエッチング法等のドライエッチング法を用いれば良い。

【0236】

例えば ICP エッチング法を用いる場合、エッチングガスである塩素の流量 40 sccm ~ 100 sccm、コイル型の電極に投入する電力 100 W ~ 200 W、下部電極 (バイアス側) に投入する電力 40 W ~ 100 W、反応圧力 0.5 Pa ~ 1.0 Pa とすれば良い。例えば、エッチングガスである塩素の流量 100 sccm、反応圧力 1.0 Pa、下部電極の温度 70℃、コイル型の電極に投入する RF (13.56 MHz) 電力 150 W、下部電極 (バイアス側) に投入する電力 40 W、エッチング時間 25 sec ~ 27 sec とすることで、半導体層 604 を 50 nm 乃至 60 nm 程度にまで薄膜化することができる。エッチングガスには、塩素、塩化硼素、塩化珪素または四塩化炭素などの塩素系ガス、四弗化炭素、弗化硫黄または弗化窒素などのフッ素系ガス、酸素などを適宜用いることができる。

【0237】

上記エッチングにより、後に形成される半導体素子にとって最適となる膜厚まで半導体層 604 を薄膜化できるのみならず、半導体層 604 の表面を平坦化することができる。

【0238】

なお、ベース基板603に密着された半導体層604は、脆化層602の形成、脆化層602における分断によって、結晶欠陥が形成されている、または、その表面の平坦性が損なわれている。そこで、結晶欠陥を低減、および平坦性を向上するために、半導体層604の表面に形成されている自然酸化膜などの酸化膜を除去する処理を行った後、半導体層604にレーザ光の照射を行うようにしても良い。

【0239】

なお、酸化膜の除去は、例えばフッ化水素の濃度が0.5wt%のDHFに半導体層604を110秒間さらすと良い。

【0240】

また、具体的に、レーザ光の照射は、半導体層604の膜厚が146nmの場合、次のように行うことができる。レーザ光のレーザ発振器として、XeClエキシマレーザ（波長：308nm、パルス幅：20ns、繰り返し周波数30Hz）を用いる。光学系により、レーザ光の断面を0.4mm×120mmの線状に整形する。レーザ光の走査速度を0.5mm/秒とし、スキャンピッチを16.7μm、ビームショット数を約24ショットで、レーザ光を半導体層604に照射する。レーザ光の照射により、図21（B）に示すように、結晶欠陥が修復された半導体層610が形成される。

【0241】

希ガスまたは窒素雰囲気のような不活性雰囲気、または減圧雰囲気にて、レーザ光を照射するには、気密性のあるチャンバー内でレーザ光を照射し、このチャンバー内の雰囲気を制御すればよい。チャンバーを用いない場合は、レーザ光の被照射面に窒素ガスなど不活性ガスを吹き付けることで不活性雰囲気でのレーザ光の照射を実現することができる。不活性雰囲気または減圧雰囲気においてレーザ光の照射を行うことで、大気雰囲気で行う場合よりも、自然酸化膜の発生をより抑え、レーザ光照射後に形成される半導体層610にひび割れが生じる、またはピッチ縞が発生するのを抑え、半導体層610の平坦性を向上させることができ、レーザ光の使用可能なエネルギー範囲を広くすることができる。

【0242】

レーザ光を照射する前に、ドライエッチングにより半導体層604の表面を平坦化している場合、ドライエッチングにより半導体層604の表面付近で結晶欠陥などの損傷が生じていることがある。しかし上記レーザ光の照射により、ドライエッチングにより生じる損傷をも補修することが可能である。

【0243】

なお、レーザ光の照射後に半導体層610の表面をエッチングすることで、後に形成される半導体素子にとって最適となる膜厚となるまで半導体層610を薄膜化すると同時に、半導体層610の表面を平坦化しても良い。

【0244】

レーザ光を照射した後、半導体層610に500℃以上650℃以下の加熱処理を行うことが好ましい。この加熱処理によって、レーザ光の照射で回復されなかった、半導体層610の欠陥の消滅、半導体層610の歪みの緩和をすることができる。この加熱処理には、RTA（Rapid Thermal Anneal）装置、抵抗加熱炉、マイクロ波加熱装置を用いることができる。RTA装置には、GRTA（Gas Rapid Thermal Anneal）装置、LRTA（Lamp Rapid Thermal Anneal）装置を用いることができる。例えば、抵抗加熱炉を用いた場合は、500℃の温度で1時間加熱した後、550℃で4時間加熱するとよい。

【0245】

次に、図21（C）に示すように、半導体層610を部分的にエッチングすることで、半導体層610から島状の半導体層611と半導体層612を形成する。半導体層610をさらにエッチングすることで、半導体層610の端部において接合の強度が不十分である領域を、除去することができる。

【0246】

10

20

30

40

50

なお、ここでは、一つの半導体層 610 をエッチングすることで半導体層 611 と半導体層 612 を形成しているが、形成される半導体膜の数はこれに限定されない。

【0247】

半導体層 611 と半導体層 612 には、閾値電圧を制御するために、硼素、アルミニウム、ガリウムなどの p 型不純物、若しくはリン、砒素などの n 型不純物を添加しても良い。閾値電圧を制御するための不純物の添加は、パターニングする前の半導体層 610 に対して行っても良いし、パターニング後に形成された半導体層 611 と半導体層 612 に対して行っても良い。また、閾値電圧を制御するための不純物の添加を、ボンド基板に対して行っても良い。若しくは、不純物の添加を、閾値電圧を大まかに調整するためにボンド基板に対して行った上で、閾値電圧を微調整するために、パターニング前の半導体層に対して、またはパターニングにより形成された半導体層 611 及び半導体層 612 に対しても行っても良い。

【0248】

次に、図 21 (D) に示すように、半導体層 611 と半導体層 612 を覆うように、ゲート絶縁層 613 を形成する。ゲート絶縁層 613 は、高密度プラズマ処理を行うことにより半導体層 611 と半導体層 612 の表面を酸化または窒化することで形成することができる。高密度プラズマ処理は、例えば He、Ar、Kr、Xe などの希ガスと酸素、酸化窒素、アンモニア、窒素、水素などの混合ガスとを用いて行う。この場合プラズマの励起をマイクロ波の導入により行うことで、低電子温度で高密度のプラズマを生成することができる。このような高密度のプラズマで生成された酸素ラジカル (OH ラジカルを含む場合もある) や窒素ラジカル (NH ラジカルを含む場合もある) によって、半導体層の表面を酸化または窒化することにより、1~20 nm、望ましくは 5~10 nm の絶縁膜が半導体層に接するように形成される。この 5~10 nm の絶縁膜をゲート絶縁層 613 として用いる。例えば、亜酸化窒素 (N_2O) を Ar で 1~3 倍 (流量比) に希釈して、10~30 Pa の圧力にて 3~5 kW のマイクロ波 (2.45 GHz) 電力を印加して半導体層 611 と半導体層 612 の表面を酸化若しくは窒化させる。この処理により 1 nm~10 nm (好ましくは 2 nm~6 nm) の絶縁膜を形成する。さらに亜酸化窒素 (N_2O) とシラン (SiH_4) を導入し、10~30 Pa の圧力にて 3~5 kW のマイクロ波 (2.45 GHz) 電力を印加して気相成長法により酸化窒化珪素膜を形成してゲート絶縁層を形成する。固相反応と気相成長法による反応を組み合わせることにより界面準位密度が低く絶縁耐圧の優れたゲート絶縁層を形成することができる。

【0249】

上述した高密度プラズマ処理による半導体層の酸化または窒化は固相反応で進むため、ゲート絶縁層 613 と半導体層 611 及び半導体層 612 との界面準位密度をきわめて低くすることができる。また高密度プラズマ処理により半導体層 611 及び半導体層 612 を直接酸化または窒化することで、形成される絶縁膜の厚さのばらつきを抑えることができる。また、高密度プラズマ処理により形成された絶縁膜を、ゲート絶縁層の一部または全部に含んで形成されるトランジスタは、特性のばらつきを抑えることができる。

【0250】

或いは、半導体層 611 と半導体層 612 を熱酸化させることで、ゲート絶縁層 613 を形成するようにしても良い。また、プラズマ CVD 法またはスパッタリング法などを用い、酸化珪素、窒化酸化珪素、酸化窒化珪素、窒化珪素、酸化ハフニウム、酸化アルミニウムまたは酸化タンタルを含む膜を、単層で、または積層させることで、ゲート絶縁層 613 を形成しても良い。

【0251】

次に、ゲート絶縁層 613 上に導電膜を形成した後、該導電膜を所定の形状に加工 (パターニング) することで、半導体層 611 と半導体層 612 の上方に、それぞれゲート層 614 を形成する。導電膜の形成には CVD 法、スパッタリング法等を用いることができる。導電膜は、タンタル (Ta)、タングステン (W)、チタン (Ti)、モリブデン (Mo)、アルミニウム (Al)、銅 (Cu)、クロム (Cr)、ニオブ (Nb) 等を用い

10

20

30

40

50

ることができる。また上記金属を主成分とする合金を用いても良いし、上記金属を含む化合物を用いても良い。または、半導体層に導電性を付与するリン等の不純物元素をドーピングした、多結晶珪素などの半導体を用いて形成しても良い。

【0252】

2つの導電膜の組み合わせとして、1層目に窒化タンタルまたはタンタルを、2層目にタングステンをを用いることができる。上記例の他に、窒化タングステンとタングステン、窒化モリブデンとモリブデン、アルミニウムとタンタル、アルミニウムとチタン等が挙げられる。タングステンや窒化タンタルは、耐熱性が高いため、2層の導電膜を形成した後の工程において、熱活性化を目的とした加熱処理を行うことができる。また、2層の導電膜の組み合わせとして、例えば、n型を付与する不純物がドーピングされた珪素とニッケルシリサイド、n型を付与する不純物がドーピングされた珪素とタングステンシリサイド等も用いることができる。

10

【0253】

また、ここではゲート層614を単層の導電膜で形成しているが、ゲート層614はこの構成に限定されない。ゲート層614は積層された複数の導電膜で形成されていても良い。3つ以上の導電膜を積層する3層構造の場合は、モリブデン膜とアルミニウム膜とモリブデン膜の積層構造を採用するとよい。

【0254】

なお、ゲート層614を形成する際に、マスクを用いずに、液滴吐出法を用いて選択的にゲート層614を形成しても良い。

20

【0255】

なお、液滴吐出法とは、所定の組成物を含む液滴を細孔から吐出または噴出することで所定のパターンを形成する方法を意味し、インクジェット法などがその範疇に含まれる。

【0256】

また、ゲート層614は、導電膜を形成後、ICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用い、エッチング条件 (コイル型の電極層に印加される電力量、基板側の電極層に印加される電力量、基板側の電極温度等) を適宜調節することにより、所望のテーパー形状を有するようにエッチングすることができる。また、テーパー形状は、マスクの形状によっても角度等を制御することができる。なお、エッチング用ガスとしては、塩素、塩化硼素、塩化珪素もしくは四塩化炭素などの塩素系ガス、四弗化炭素、弗化硫黄もしくは弗化窒素などのフッ素系ガス又は酸素を適宜用いることができる。

30

【0257】

次に、図22(A)に示すように、ゲート層614をマスクとして一導電型を付与する不純物元素を半導体層611、半導体層612に添加する。ここでは、半導体層611にn型を付与する不純物元素 (例えばリンまたはヒ素) を、半導体層612にp型を付与する不純物元素 (例えばボロン) を添加する。なお、p型を付与する不純物元素を半導体層612に添加する際、n型の不純物が添加される半導体層611はマスク等で覆い、p型を付与する不純物元素の添加が選択的に行われるようにする。逆にn型を付与する不純物元素を半導体層611に添加する際、p型の不純物が添加される半導体層612はマスク等で覆い、n型を付与する不純物元素の添加が選択的に行われるようにする。或いは、先に半導体層611及び半導体層612にp型もしくはn型のいずれか一方を付与する不純物元素を添加した後、一方の半導体層のみに選択的に高い濃度でp型もしくはn型のうちの他方を付与する不純物元素を添加するようにしても良い。上記不純物の添加により、半導体層611に不純物領域615、半導体層612に不純物領域616が形成される。

40

【0258】

次に、図22(B)に示すように、ゲート層614の側面にサイドウォール617を形成する。サイドウォール617は、例えば、ゲート絶縁層613及びゲート層614を覆うように新たに絶縁膜を形成し、垂直方向を主体とした異方性エッチングにより、新たに

50

形成された該絶縁膜を部分的にエッチングすることで、形成することができる。上記異方性エッチングにより、新たに形成された絶縁膜が部分的にエッチングされて、ゲート層 614 の側面にサイドウォール 617 が形成される。なお、上記異方性エッチングにより、ゲート絶縁層 613 も部分的にエッチングしても良い。サイドウォール 617 を形成するための絶縁膜は、LPCVD 法、プラズマ CVD 法、スパッタリング法等により、珪素膜、酸化珪素膜、酸化窒化珪素膜、及び窒化酸化珪素膜を、単層または積層して形成することができる。また、有機樹脂などの有機材料を含む膜をサイドウォール 617 の絶縁膜として用いても良い。ここでは、膜厚 100 nm の酸化珪素膜をプラズマ CVD 法によって形成する。またエッチングガスとしては、 CHF_3 とヘリウムの混合ガスを用いることができる。なお、サイドウォール 617 を形成する工程は、これらに限定されるものではない。

10

【0259】

次に、ゲート層 614 及びサイドウォール 617 をマスクとして、半導体層 611、半導体層 612 に一導電型を付与する不純物元素を添加する。なお、半導体層 611、半導体層 612 には、それぞれ先の工程で添加した不純物元素と同じ導電型の不純物元素をより高い濃度で添加する。なお、p 型を付与する不純物元素を半導体層 612 に添加する際、n 型の不純物が添加される半導体層 611 はマスク等で覆い、p 型を付与する不純物元素の添加が選択的に行われるようにする。逆に n 型を付与する不純物元素を半導体層 611 に添加する際、p 型の不純物が添加される半導体層 612 はマスク等で覆い、n 型を付与する不純物元素の添加が選択的に行われるようにする。

20

【0260】

上記不純物元素の添加により、半導体層 611 に、一対の高濃度不純物領域 618 と、一対の低濃度不純物領域 619 と、チャンネル形成領域 620 とが形成される。また、上記不純物元素の添加により、半導体層 612 に、一対の高濃度不純物領域 621 と、一対の低濃度不純物領域 622 と、チャンネル形成領域 623 とが形成される。高濃度不純物領域 618、高濃度不純物領域 621 はソース領域又はドレイン領域として機能し、低濃度不純物領域 619、低濃度不純物領域 622 は LDD (Lightly Doped Drain) 領域として機能する。なお、LDD 領域は必ずしも設ける必要はなく、ソース領域又はドレイン領域として機能する不純物領域だけ形成しても良い。或いは、ソース領域とドレイン領域のいずれか一方の側にのみ、LDD 領域を形成しても良い。

30

【0261】

なお、シリコンを用いたトランジスタの場合、ソース領域とドレイン領域が、それぞれソース層、ドレイン層として機能する。

【0262】

次に、ソース領域及びドレイン領域をさらに低抵抗化するために、半導体層 611、半導体層 612 をシリサイド化することで、シリサイド層を形成しても良い。シリサイド化は、半導体層に金属を接触させ、GRTA 法、LRTA 法等の加熱処理により、半導体層中の珪素と金属とを反応させて行う。シリサイドとしては、コバルトシリサイド若しくはニッケルシリサイドなどが挙げられる。半導体層 611、半導体層 612 の厚さが薄い場合には、この領域の半導体層 611、半導体層 612 の底部までシリサイド反応を進めても良い。シリサイド化に用いる金属の材料として、チタン (Ti)、ニッケル (Ni)、タングステン (W)、モリブデン (Mo)、コバルト (Co)、ジルコニウム (Zr)、ハフニウム (Hf)、タンタル (Ta)、バナジウム (V)、ネオジム (Nd)、クロム (Cr)、白金 (Pt)、パラジウム (Pd) 等を用いることができる。また、レーザ照射やランプなどの光照射によってシリサイド化を行っても良い。

40

【0263】

上述した一連の工程により、n チャンネル型トランジスタ 624 と、p チャンネル型トランジスタ 625 が形成される。

【0264】

次いで、図 22 (C) に示すように、トランジスタ 624、トランジスタ 625 を覆う

50

ように絶縁膜 626 を形成する。絶縁膜 626 を設けることで、加熱処理の際にゲート層 614 の表面が酸化されるのを防ぐことができる。具体的に絶縁膜 626 として、窒化珪素、窒化酸化珪素、酸化窒化珪素、窒化アルミニウム、酸化アルミニウム、酸化珪素などを用いるのが望ましい。ここでは、膜厚 50 nm 程度の酸化窒化珪素膜を、絶縁膜 626 として用いる。

【0265】

次に、トランジスタ 624、トランジスタ 625 を覆うように、絶縁膜 626 上に絶縁膜 627 を形成する。絶縁膜 627 は、ポリイミド、アクリル樹脂、ベンゾシクロブテン系樹脂、ポリアミド、エポキシ樹脂等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low- ϵ 材料）、シロキサン系樹脂、酸化珪素、窒化珪素、窒化酸化珪素、PSG（リンガラス）、BPSG（リンボロンガラス）、アルミナ等を用いることができる。シロキサン系樹脂は、置換基に水素の他、フッ素、アルキル基、または芳香族炭化水素のうち少なくとも 1 種を有していても良い。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁膜 627 を形成しても良い。絶縁膜 627 は、その表面を CMP 法などにより平坦化させても良い。

10

【0266】

なお、シロキサン系樹脂とは、Si-O-Si 結合を含む樹脂に相当する。シロキサン系樹脂は、置換基に水素の他、フッ素、アルキル基、または芳香族炭化水素のうち、少なくとも 1 種を有していても良い。

【0267】

絶縁膜 627 の形成には、その材料に応じて、CVD 法、スパッタ法、SOG 法、スピコート法、ディップ法、スプレー塗布法、液滴吐出法（インクジェット法）、スクリーン印刷、オフセット印刷等の方法を用いることができる。

20

【0268】

次に、半導体層 611 と半導体層 612 がそれぞれ一部露出するように、絶縁膜 626 及び絶縁膜 627 にコンタクトホールを形成する。そして、該コンタクトホールを介して半導体層 611 と半導体層 612 に接する導電膜 628、導電膜 629 を形成する。コンタクトホール開口時のエッチングに用いられるガスは、 CHF_3 と He の混合ガスを用いたが、これに限定されるものではない。

【0269】

導電膜 628、導電膜 629 は、CVD 法やスパッタリング法等により形成することができる。具体的に導電膜 628、導電膜 629 として、アルミニウム（Al）、タングステン（W）、チタン（Ti）、タンタル（Ta）、モリブデン（Mo）、ニッケル（Ni）、白金（Pt）、銅（Cu）、金（Au）、銀（Ag）、マンガン（Mn）、ネオジム（Nd）、炭素（C）、珪素（Si）等を用いることができる。また上記金属を主成分とする合金を用いても良いし、上記金属を含む化合物を用いても良い。導電膜 628、導電膜 629 は、上記金属が用いられた膜を単層または複数積層させて形成することができる。

30

【0270】

アルミニウムを主成分とする合金の例として、ニッケルを含むアルミニウムが挙げられる。また、アルミニウムを主成分とし、ニッケルと、炭素または珪素の一方または両方とを含むものも例として挙げることができる。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、導電膜 628、導電膜 629 を形成する材料として最適である。特にアルミニウムシリコン膜は、導電膜 628、導電膜 629 をパターニングで形成するとき、レジストバークにおけるヒロックの発生をアルミニウム膜に比べて防止することができる。また、珪素（Si）の代わりに、アルミニウム膜に 0.5% 程度の濃度で銅（Cu）を混入させても良い。

40

【0271】

導電膜 628、導電膜 629 は、例えば、バリア膜とアルミニウムシリコン膜とバリア膜の積層構造、バリア膜とアルミニウムシリコン膜と窒化チタン膜とバリア膜の積層構造

50

を採用するとよい。なお、バリア膜とは、チタン、チタンの窒化物、モリブデンまたはモリブデンの窒化物を用いて形成された膜である。アルミニウムシリコン膜を間に挟むようにバリア膜を形成すると、アルミニウムやアルミニウムシリコンのヒロックの発生をより防止することができる。また、還元性の高い元素であるチタンを用いてバリア膜を形成すると、半導体層 6 1 1 と半導体層 6 1 2 上に薄い酸化膜ができていたとしても、バリア膜に含まれるチタンがこの酸化膜を還元し、導電膜 6 2 8、導電膜 6 2 9 と、半導体層 6 1 1 及び半導体層 6 1 2 とがそれぞれ良好なコンタクトをとることができる。またバリア膜を複数積層するようにして用いても良い。

【0272】

なお、導電膜 6 2 8 は n チャネル型トランジスタ 6 2 4 の高濃度不純物領域 6 1 8 に接続されている。導電膜 6 2 9 は p チャネル型トランジスタ 6 2 5 の高濃度不純物領域 6 2 1 に接続されている。

【0273】

なお、ここでは、n チャネル型トランジスタ 6 2 4 と p チャネル型トランジスタ 6 2 5 が、それぞれゲート層 6 1 4 を 1 つずつ有する場合を例示しているが、本発明はこの構成に限定されない。トランジスタは、ゲート層を複数有し、なおかつ該複数のゲート層が電氣的に接続されているマルチゲート構造を有していても良い。

【0274】

<液晶表示装置を搭載した各種電子機器について>

以下では、本明細書で開示される液晶表示装置を搭載した電子機器の例について図 1 8 を参照して説明する。

【0275】

図 1 8 (A) は、ノート型のパーソナルコンピュータを示す図であり、本体 2 2 0 1、筐体 2 2 0 2、表示部 2 2 0 3、キーボード 2 2 0 4 などによって構成されている。

【0276】

図 1 8 (B) は、携帯情報端末 (PDA) を示す図であり、本体 2 2 1 1 には表示部 2 2 1 3 と、外部インターフェイス 2 2 1 5 と、操作ボタン 2 2 1 4 等が設けられている。また、操作用の付属品としてスタイラス 2 2 1 2 がある。

【0277】

図 1 8 (C) は、電子ペーパーの一例として、電子書籍 2 2 2 0 を示す図である。電子書籍 2 2 2 0 は、筐体 2 2 2 1 および筐体 2 2 2 3 の 2 つの筐体で構成されている。筐体 2 2 2 1 および筐体 2 2 2 3 は、軸部 2 2 3 7 により一体とされており、該軸部 2 2 3 7 を軸として開閉動作を行うことができる。このような構成により、電子書籍 2 2 2 0 は、紙の書籍のように用いることが可能である。

【0278】

筐体 2 2 2 1 には表示部 2 2 2 5 が組み込まれ、筐体 2 2 2 3 には表示部 2 2 2 7 が組み込まれている。表示部 2 2 2 5 および表示部 2 2 2 7 は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部 (図 1 8 (C) では表示部 2 2 2 5) に文章を表示し、左側の表示部 (図 1 8 (C) では表示部 2 2 2 7) に画像を表示することができる。

【0279】

また、図 1 8 (C) では、筐体 2 2 2 1 に操作部などを備えた例を示している。例えば、筐体 2 2 2 1 は、電源ボタン 2 2 3 1、操作キー 2 2 3 3、スピーカー 2 2 3 5などを備えている。操作キー 2 2 3 3 により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子 (イヤホン端子、USB 端子、または AC アダプタおよび USB ケーブルなどの各種ケーブルと接続可能な端子など)、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍 2 2 2 0 は、電子辞書としての機能を持たせた構成としてもよい。

【0280】

10

20

30

40

50

また、電子書籍 2 2 2 0 は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【0281】

なお、電子ペーパーは、情報を表示するものであればあらゆる分野に適用することが可能である。例えば、電子書籍以外にも、ポスター、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示などに適用することができる。

【0282】

図 1 8 (D) は、携帯電話機を示す図である。当該携帯電話機は、筐体 2 2 4 0 および筐体 2 2 4 1 の二つの筐体で構成されている。筐体 2 2 4 1 は、表示パネル 2 2 4 2、スピーカ 2 2 4 3、マイクロフォン 2 2 4 4、ポインティングデバイス 2 2 4 6、カメラ用レンズ 2 2 4 7、外部接続端子 2 2 4 8などを備えている。また、筐体 2 2 4 0 は、当該携帯電話機の充電を行う太陽電池セル 2 2 4 9、外部メモリスロット 2 2 5 0などを備えている。また、アンテナは筐体 2 2 4 1 内部に内蔵されている。

【0283】

表示パネル 2 2 4 2 はタッチパネル機能を備えており、図 1 8 (D) には映像表示されている複数の操作キー 2 2 4 5 を点線で示している。なお、当該携帯電話は、太陽電池セル 2 2 4 9 から出力される電圧を各回路に必要な電圧に昇圧するための昇圧回路を実装している。また、上記構成に加えて、非接触 IC チップ、小型記録装置などを内蔵した構成とすることもできる。

【0284】

表示パネル 2 2 4 2 は、使用形態に応じて表示の方向が適宜変化する。また、表示パネル 2 2 4 2 と同一面上にカメラ用レンズ 2 2 4 7 を備えているため、テレビ電話が可能である。スピーカ 2 2 4 3 およびマイクロフォン 2 2 4 4 は音声通話に限らず、テレビ電話、録音、再生などが可能である。さらに、筐体 2 2 4 0 と筐体 2 2 4 1 はスライドし、図 1 8 (D) のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。

【0285】

外部接続端子 2 2 4 8 は A C アダプタや U S B ケーブルなどの各種ケーブルと接続可能であり、充電やデータ通信が可能になっている。また、外部メモリスロット 2 2 5 0 に記録媒体を挿入し、より大量のデータの保存および移動に対応できる。また、上記機能に加えて、赤外線通信機能、テレビ受信機能などを備えたものであってもよい。

【0286】

図 1 8 (E) は、デジタルカメラを示す図である。当該デジタルカメラは、本体 2 2 6 1、第 1 の表示部 2 2 6 7、接眼部 2 2 6 3、操作スイッチ 2 2 6 4、第 2 の表示部 2 2 6 5、バッテリー 2 2 6 6 などによって構成されている。

【0287】

図 1 8 (F) は、テレビジョン装置を示す図である。テレビジョン装置 2 2 7 0 では、筐体 2 2 7 1 に表示部 2 2 7 3 が組み込まれている。表示部 2 2 7 3 により、映像を表示することが可能である。なお、ここでは、スタンド 2 2 7 5 により筐体 2 2 7 1 を支持した構成を示している。

【0288】

テレビジョン装置 2 2 7 0 の操作は、筐体 2 2 7 1 が備える操作スイッチや、別体のリモコン操作機 2 2 8 0 により行うことができる。リモコン操作機 2 2 8 0 が備える操作キー 2 2 7 9 により、チャンネルや音量の操作を行うことができ、表示部 2 2 7 3 に表示される映像を操作することができる。また、リモコン操作機 2 2 8 0 に、当該リモコン操作機 2 2 8 0 から出力する情報を表示する表示部 2 2 7 7 を設ける構成としてもよい。

【0289】

なお、テレビジョン装置 2 2 7 0 は、受信機やモデムなどを備えた構成とするのが好適である。受信機により、一般のテレビ放送の受信を行うことができる。また、モデムを介

10

20

30

40

50

して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことが可能である。

【符号の説明】

【0290】

1 0	画素部	
1 1	走査線駆動回路	
1 2	信号線駆動回路	
1 5	画素	
1 6	バックライトユニット	10
3 0	画素部	
3 1	走査線駆動回路	
3 2	信号線駆動回路	
3 3	走査線	
1 1 1	シフトレジスタ	
1 1 2	シフトレジスタ	
1 1 3	シフトレジスタ	
1 2 0	シフトレジスタ	
1 2 1	トランジスタ	
1 2 2	トランジスタ	20
1 2 3	トランジスタ	
1 3 1	走査線	
1 3 2	走査線	
1 3 3	走査線	
1 4 1	信号線	
1 4 2	信号線	
1 4 3	信号線	
1 5 1	トランジスタ	
1 5 2	トランジスタ	
1 5 3	トランジスタ	30
1 5 4	容量素子	
1 5 5	液晶素子	
3 0 1	領域	
3 0 2	領域	
3 0 3	領域	
3 1 1	シフトレジスタ	
3 1 2	シフトレジスタ	
3 1 3	シフトレジスタ	
3 2 0	シフトレジスタ	
3 2 1	トランジスタ	40
3 2 2	トランジスタ	
3 2 3	トランジスタ	
3 4 1	信号線	
3 4 2	信号線	
3 4 3	信号線	
3 5 1	画素	
3 5 2	画素	
3 5 3	画素	
5 0 0	基板	
5 0 1	絶縁層	50

5 0 2	半 導 体 層	
5 0 3	半 導 体 層	
5 0 4	半 導 体 層	
5 0 5	ト ラ ン ジ ス タ	
5 0 6	ト ラ ン ジ ス タ	
5 0 7	ゲ ー ト 絶 縁 層	
5 0 8	導 電 膜	
5 0 9	導 電 膜	
5 1 0	ゲ ー ト 層	
5 1 1	ゲ ー ト 層	10
5 1 2	絶 縁 膜	
5 1 3	絶 縁 膜	
5 1 4	導 電 膜	
5 1 5	導 電 膜	
5 1 6	導 電 膜	
5 1 7	導 電 膜	
6 0 0	ボ ン ド 基 板	
6 0 1	絶 縁 層	
6 0 2	脆 化 層	
6 0 3	ベ ー ス 基 板	20
6 0 4	半 導 体 層	
6 1 0	半 導 体 層	
6 1 1	半 導 体 層	
6 1 2	半 導 体 層	
6 1 3	ゲ ー ト 絶 縁 層	
6 1 4	ゲ ー ト 層	
6 1 5	不 純 物 領 域	
6 1 6	不 純 物 領 域	
6 1 7	サ イ ド ウ ォ ー ル	
6 1 8	高 濃 度 不 純 物 領 域	30
6 1 9	低 濃 度 不 純 物 領 域	
6 2 0	チャネル形成領域	
6 2 1	高 濃 度 不 純 物 領 域	
6 2 2	低 濃 度 不 純 物 領 域	
6 2 3	チャネル形成領域	
6 2 4	ト ラ ン ジ ス タ	
6 2 5	ト ラ ン ジ ス タ	
6 2 6	絶 縁 膜	
6 2 7	絶 縁 膜	
6 2 8	導 電 膜	40
6 2 9	導 電 膜	
9 0 0	基 板	
9 0 1	基 板	
9 0 3	接 着 剤	
9 0 4	端 子	
9 0 5	ワ イ ヤ	
9 0 6	ト ラ ン ジ ス タ	
9 0 7	パ ッ ド	
9 1 0	基 板	
9 1 1	基 板	50

9 1 2	パッド	
9 1 3	ソルダーボール	
9 1 4	トランジスタ	
9 1 6	端子	
9 2 0	基板	
9 2 1	基板	
9 2 2	パッド	
9 2 4	トランジスタ	
9 2 6	端子	
9 2 7	導電性樹脂	10
1 4 0 1	トランジスタ	
1 4 0 2	半導体層	
1 4 0 3	ゲート絶縁層	
1 4 0 4	ゲート層	
1 4 0 5	不純物領域	
1 4 0 6	導電膜	
1 4 0 7	導電膜	
1 4 0 8	絶縁層	
1 4 0 9	画素電極	
1 4 1 1	配向膜	20
1 4 1 3	対向電極	
1 4 1 4	配向膜	
1 4 1 5	液晶	
1 4 1 6	シール材	
1 4 1 7	スペーサ	
1 4 2 0	対向基板	
1 6 0 1	パネル	
1 6 0 2	拡散板	
1 6 0 3	プリズムシート	
1 6 0 4	拡散板	30
1 6 0 5	導光板	
1 6 0 7	バックライトパネル	
1 6 0 8	回路基板	
1 6 0 9	C O F テープ	
1 6 1 0	F P C	
1 6 1 1	基板	
1 6 1 2	バックライト	
1 6 2 0	タッチパネル	
1 6 2 1	パネル	
1 6 2 2	位置検出部	40
1 6 2 3	画素部	
1 6 3 0	第 1 電極	
1 6 3 1	第 2 電極	
1 6 4 0	第 1 電極	
1 6 4 1	第 2 電極	
1 6 4 2	導電膜	
1 6 4 3	導電膜	
1 6 4 4	絶縁層	
1 6 5 0	画素部	
1 6 5 1	画素	50

1 6 5 2	フォトセンサ	
1 6 5 3	フォトダイオード	
1 6 5 4	トランジスタ	
1 6 5 5	トランジスタ	
1 6 5 6	リセット信号線	
1 6 5 7	基準信号線	
1 6 5 8	ゲート信号線	
1 6 5 9	出力信号線	
2 2 0 1	本体	
2 2 0 2	筐体	10
2 2 0 3	表示部	
2 2 0 4	キーボード	
2 2 1 1	本体	
2 2 1 2	スタイラス	
2 2 1 3	表示部	
2 2 1 4	操作ボタン	
2 2 1 5	外部インターフェイス	
2 2 2 0	電子書籍	
2 2 2 1	筐体	
2 2 2 3	筐体	20
2 2 2 5	表示部	
2 2 2 7	表示部	
2 2 3 1	電源ボタン	
2 2 3 3	操作キー	
2 2 3 5	スピーカー	
2 2 3 7	軸部	
2 2 4 0	筐体	
2 2 4 1	筐体	
2 2 4 2	表示パネル	
2 2 4 3	スピーカー	30
2 2 4 4	マイクロフォン	
2 2 4 5	操作キー	
2 2 4 6	ポインティングデバイス	
2 2 4 7	カメラ用レンズ	
2 2 4 8	外部接続端子	
2 2 4 9	太陽電池セル	
2 2 5 0	外部メモリスロット	
2 2 6 1	本体	
2 2 6 3	接眼部	
2 2 6 4	操作スイッチ	40
2 2 6 5	表示部	
2 2 6 6	バッテリー	
2 2 6 7	表示部	
2 2 7 0	テレビジョン装置	
2 2 7 1	筐体	
2 2 7 3	表示部	
2 2 7 5	スタンド	
2 2 7 7	表示部	
2 2 7 9	操作キー	
2 2 8 0	リモコン操作機	50

3 5 1 1	トランジスタ	
3 5 1 2	容量素子	
3 5 1 4	液晶素子	
3 5 2 1	トランジスタ	
3 5 3 1	トランジスタ	
4 0 0 1	基板	
4 0 0 2	画素部	
4 0 0 3	信号線駆動回路	
4 0 0 4	走査線駆動回路	
4 0 0 5	シール材	10
4 0 0 6	対向基板	
4 0 0 7	液晶	
4 0 0 9	トランジスタ	
4 0 1 0	トランジスタ	
4 0 1 1	液晶素子	
4 0 1 4	引き回し配線	
4 0 1 5	引き回し配線	
4 0 1 6	接続端子	
4 0 1 8	F P C	
4 0 1 9	異方性導電膜	20
4 0 2 1	基板	
4 0 2 2	トランジスタ	
4 0 3 0	画素電極	
4 0 3 1	対向電極	
4 0 3 5	スペーサ	
5 0 0 1	基板	
5 0 0 2	画素部	
5 0 0 3	信号線駆動回路	
5 0 0 4	走査線駆動回路	
5 0 0 5	シール材	30
5 0 0 6	対向基板	
5 0 0 7	液晶	
5 0 0 9	トランジスタ	
5 0 1 0	トランジスタ	
5 0 1 1	液晶素子	
5 0 1 4	引き回し配線	
5 0 1 5	引き回し配線	
5 0 1 6	接続端子	
5 0 1 8	F P C	
5 0 1 9	異方性導電膜	40
5 0 2 1	基板	
5 0 2 2	トランジスタ	
5 0 3 0	画素電極	
5 0 3 1	対向電極	
5 0 3 5	スペーサ	
6 0 0 1	基板	
6 0 0 2	画素部	
6 0 0 3	走査線駆動回路	
6 0 0 4	基板	
6 0 0 5	F P C	50

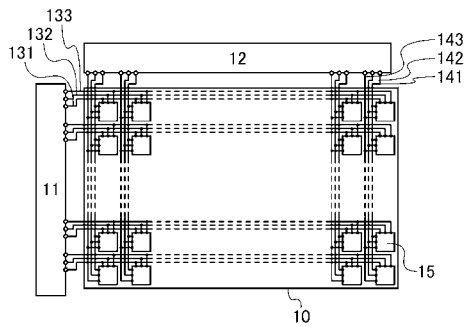
6 0 0 6	対向基板
6 1 0 1	基板
6 1 0 2	画素部
6 1 0 3	走査線駆動回路
6 1 0 4	基板
6 1 0 5	F P C
6 1 0 6	対向基板
6 2 0 1	基板
6 2 0 2	画素部
6 2 0 3	走査線駆動回路
6 2 0 4	基板
6 2 0 5	F P C
6 2 0 6	対向基板
6 2 0 7	信号線駆動回路の一部
6 3 0 1	基板
6 3 0 2	画素部
6 3 0 3	走査線駆動回路
6 3 0 4	信号線駆動回路
6 3 0 5	F P C
6 3 0 6	対向基板

10

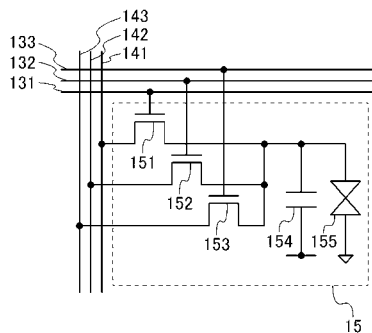
20

【図 1】

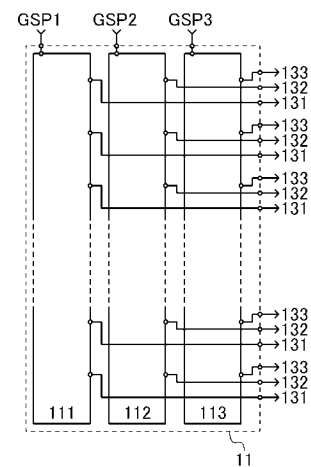
(A)



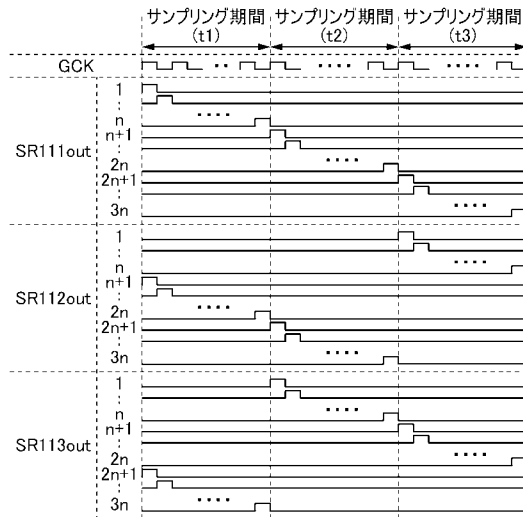
(B)



【図 2】

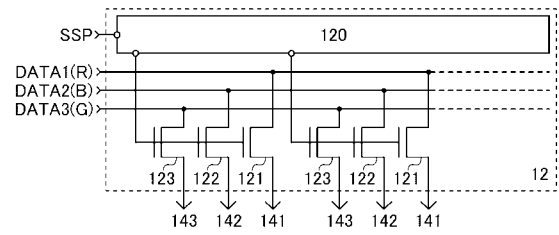


【図 3】

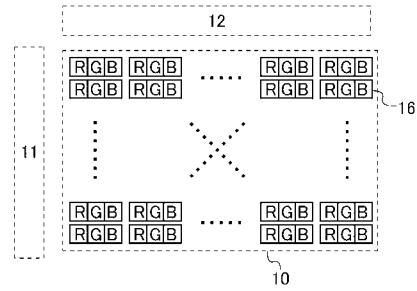


【図 4】

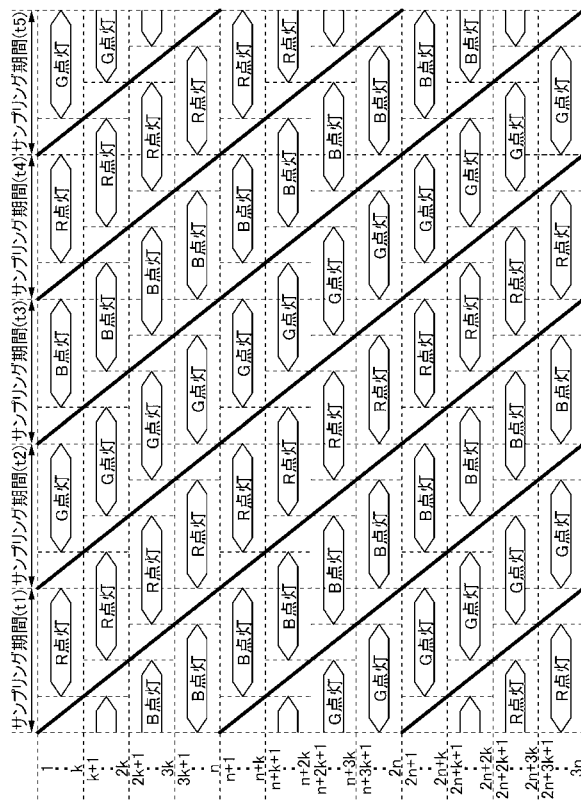
(A)



(B)

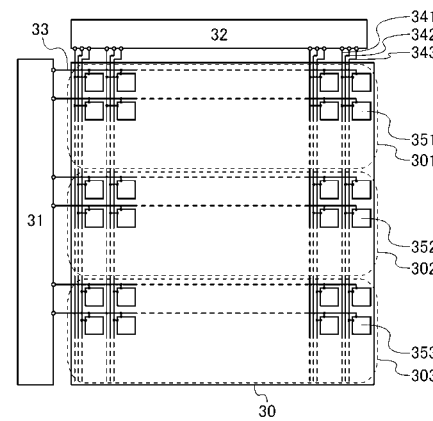


【図 5】

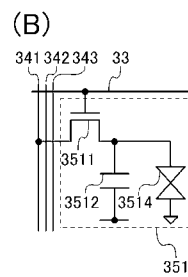


【図 6】

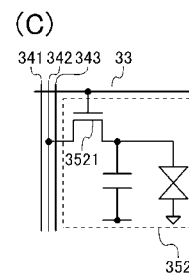
(A)



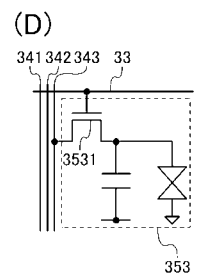
(B)



(C)

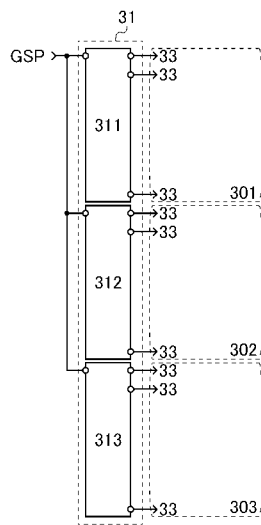


(D)

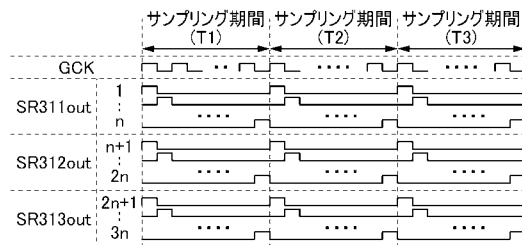


【図 7】

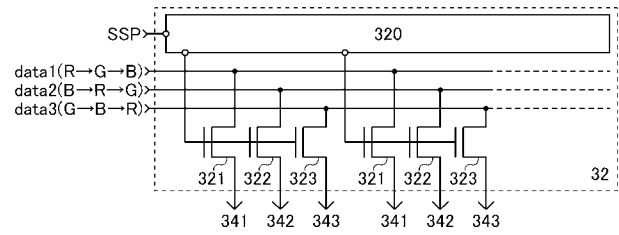
(A)



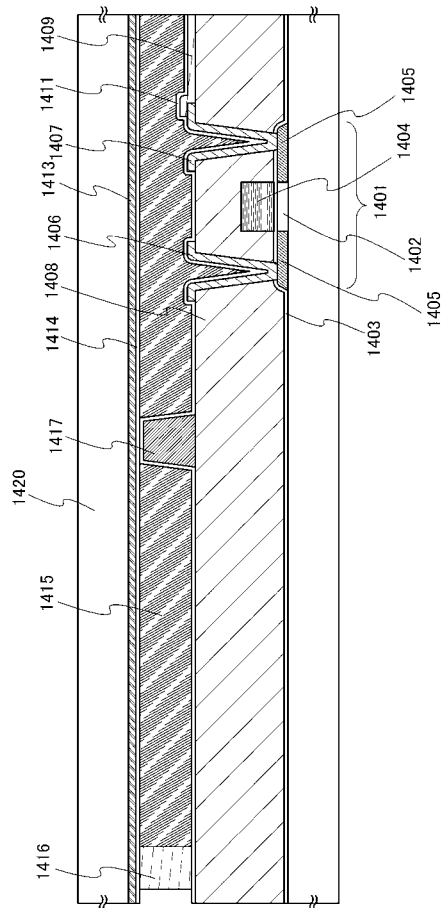
(B)



【図 8】

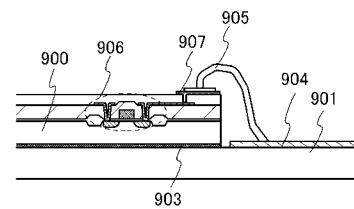


【図 9】

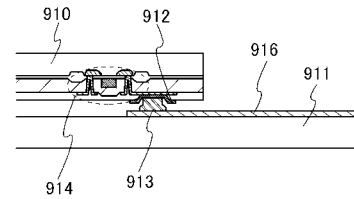


【図 10】

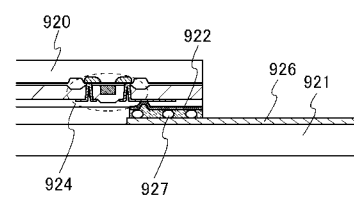
(A)



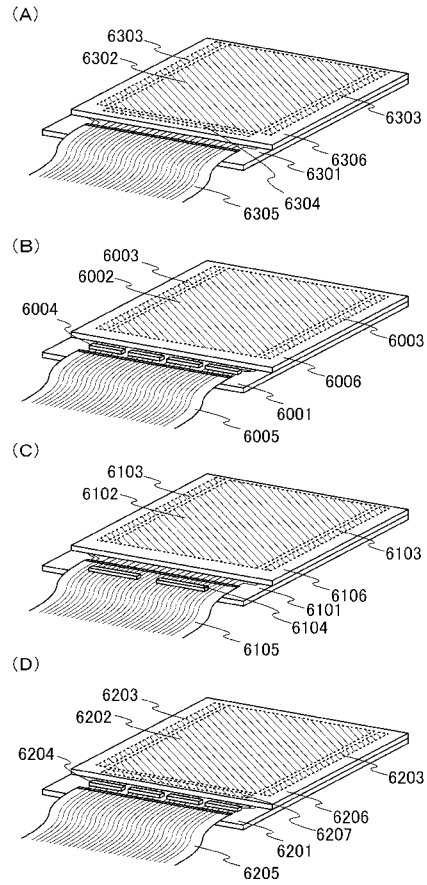
(B)



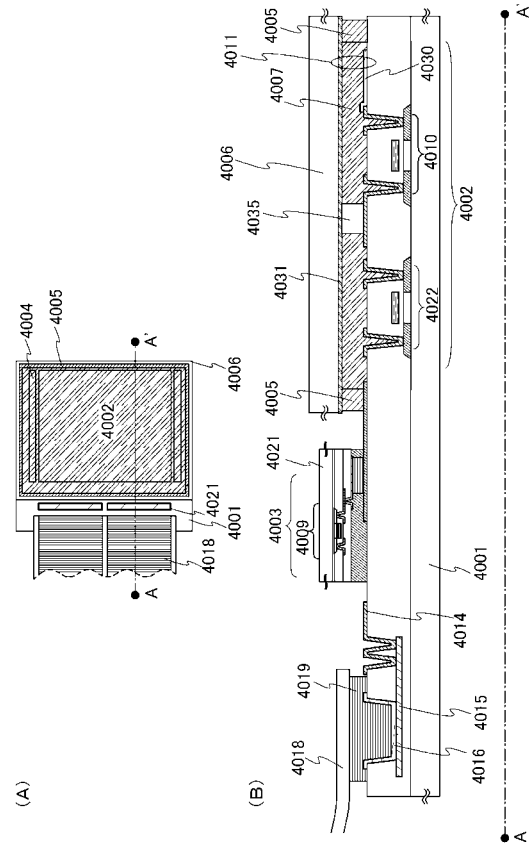
(C)



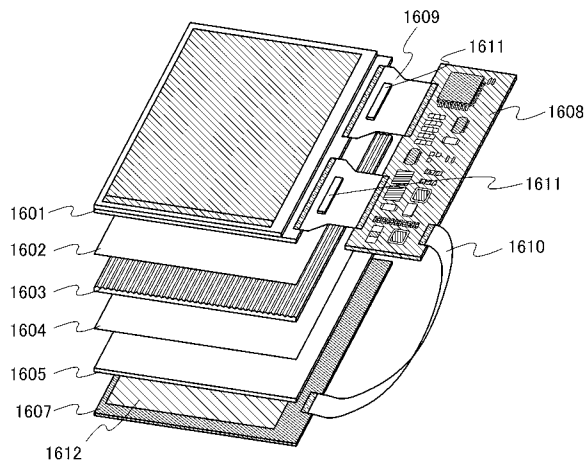
【図 1 1】



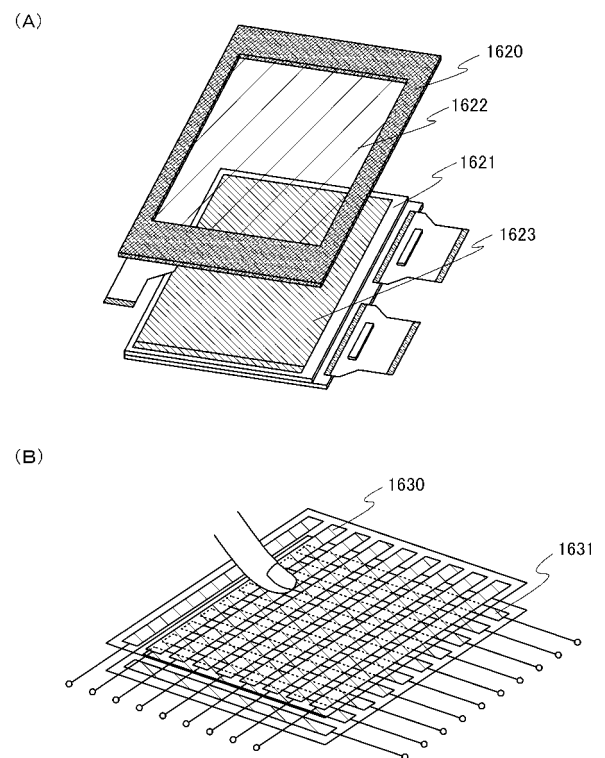
【図 1 2】



【図 1 3】

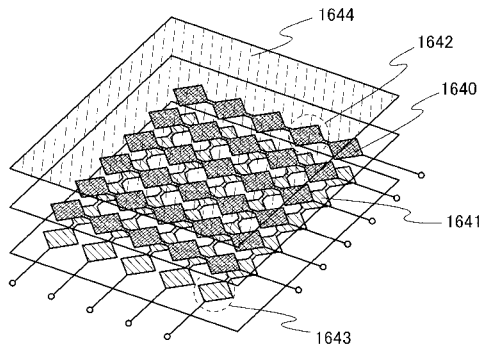


【図 1 4】

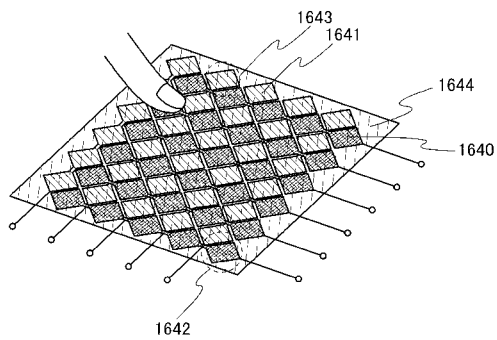


【図 15】

(A)

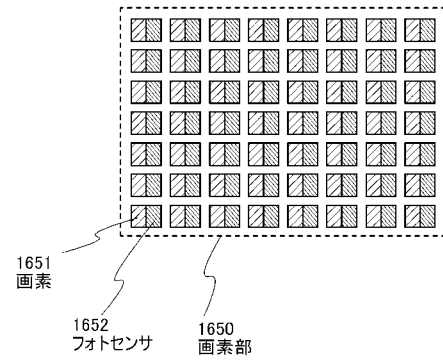


(B)

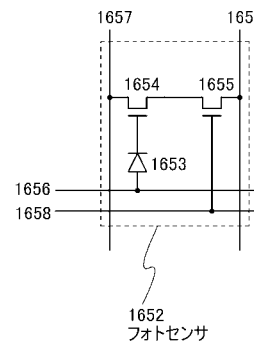


【図 16】

(A)

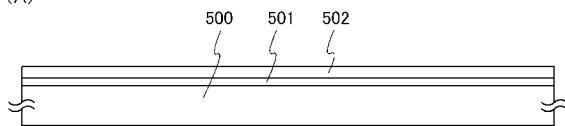


(B)



【図 17】

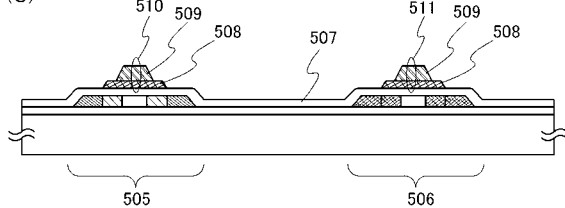
(A)



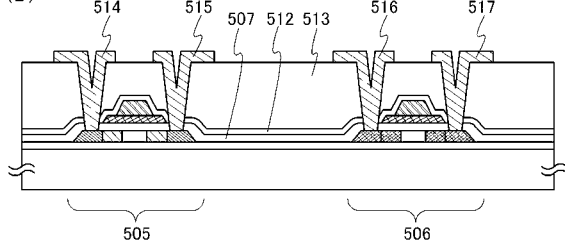
(B)



(C)

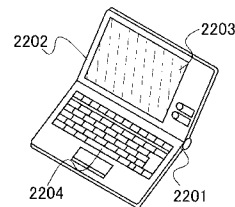


(D)

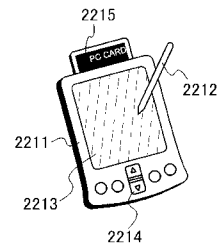


【図 18】

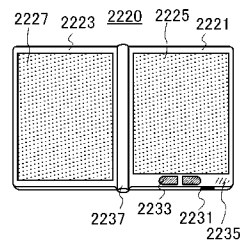
(A)



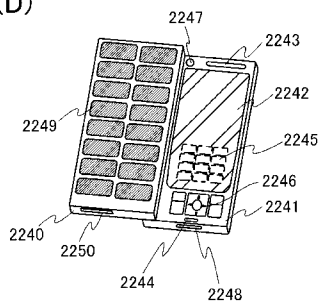
(B)



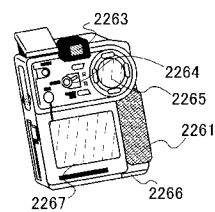
(C)



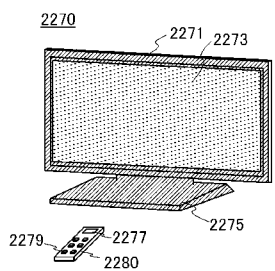
(D)



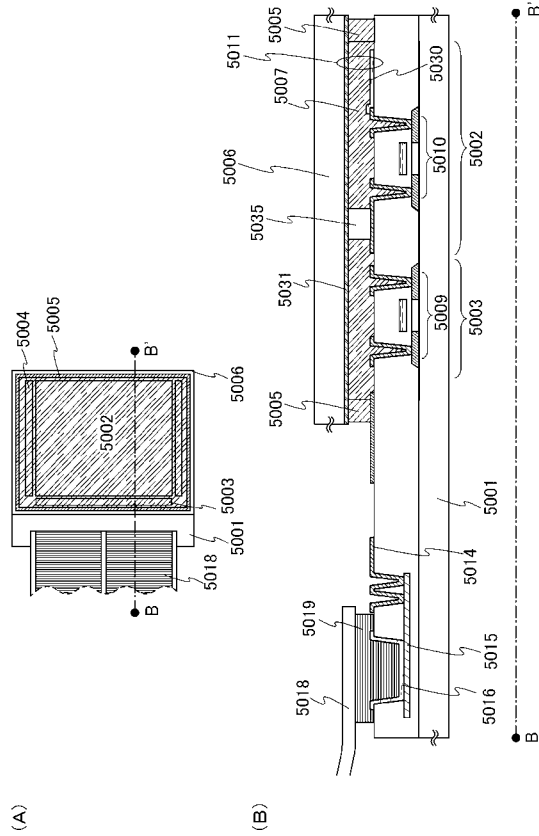
(E)



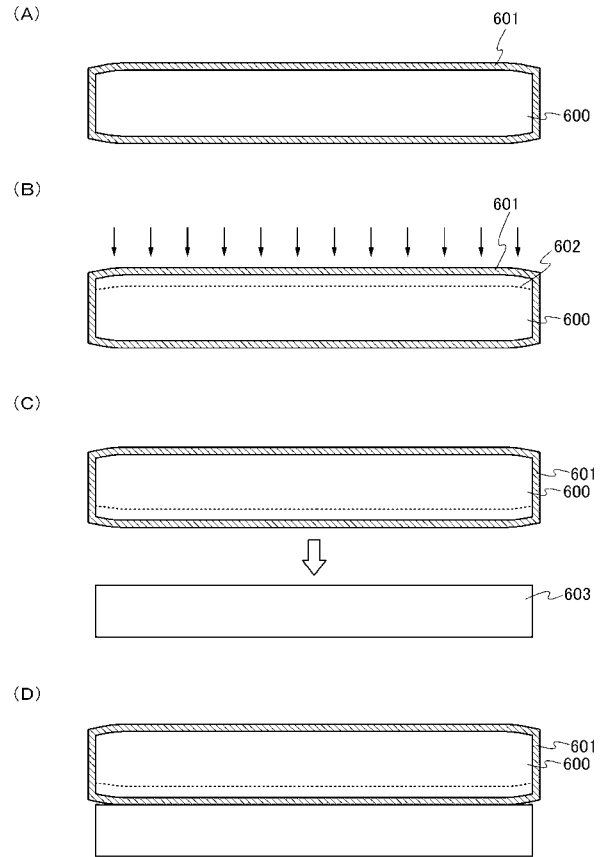
(F)



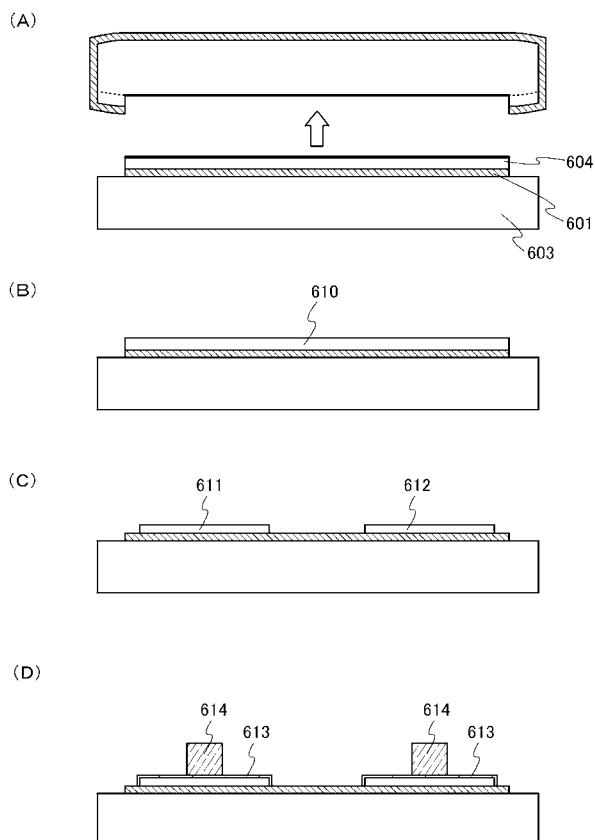
【図 19】



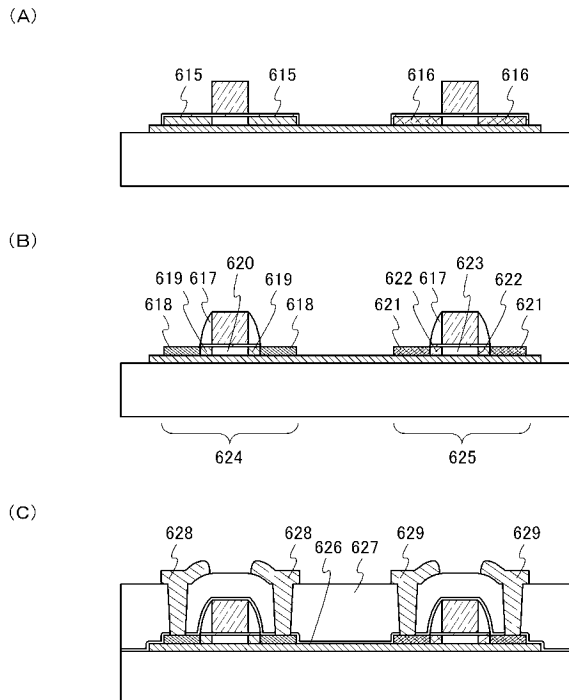
【図 20】



【図 21】



【図 22】



フロントページの続き

(51)Int.Cl.			F I			テーマコード (参考)	
G 0 2 F	1/1335	(2006.01)	G 0 2 F	1/1335	5 0 5	5 C 0 8 0	
G 0 9 G	3/20	(2006.01)	G 0 9 G	3/20	6 2 2 D		
G 0 9 G	3/34	(2006.01)	G 0 9 G	3/20	6 2 2 E		
			G 0 9 G	3/20	6 2 2 Q		
			G 0 9 G	3/20	6 2 1 F		
			G 0 9 G	3/20	6 2 3 U		
			G 0 9 G	3/20	6 4 1 R		
			G 0 9 G	3/20	6 4 1 E		
			G 0 9 G	3/20	6 2 2 K		
			G 0 9 G	3/20	6 2 4 B		
			G 0 9 G	3/20	6 2 3 D		
			G 0 9 G	3/34	J		

Fターム(参考)	2H092	JA24	JA28	JA34	JA37	JA41	JB13	JB22	JB31	JB42	KA03
		KA04	KA12	KA18	LA03	LA08	LA16	MA05	MA08	MA13	MA17
		MA22	MA30	NA01	PA06	PA13	RA10				
	2H189	AA17	JA05	JA10	JA14	LA08	LA10	LA20	LA28	LA30	MA13
	2H191	FA08Y	FA09Y	FA22X	FA22Z	FA81Z	FD16	GA17	GA19	GA20	HA06
		HA11	HA15	LA21							
	2H193	ZA04	ZA05	ZA19	ZC25	ZC39	ZD16	ZD17	ZE04	ZF22	ZF23
		ZF32	ZF35	ZF36	ZF42	ZF43	ZF44	ZG03	ZG27	ZG28	ZG34
		ZJ02	ZQ06	ZQ11	ZQ16						
	5C006	AA14	AA22	AC23	AF41	AF42	AF44	AF71	BB16	BC03	BC06
		BF03	EA01	EC05	FA12	FA16	FA29				
	5C080	AA10	BB05	CC03	DD02	DD08	EE29	EE30	FF11	FF12	JJ02
		JJ03	JJ04	JJ06	KK01	KK07	KK43	KK47			

专利名称(译)	液晶显示装置的驱动方法		
公开(公告)号	JP2012003237A5	公开(公告)日	2014-03-06
申请号	JP2011083270	申请日	2011-04-05
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	小山潤 三宅博之 山崎舜平		
发明人	小山 潤 三宅 博之 山崎 舜平		
IPC分类号	G09G3/36 G02F1/133 G02F1/1368 G02F1/1333 G02F1/13357 G02F1/1335 G09G3/20 G09G3/34		
CPC分类号	G09G3/3607 G02F1/13452 G06F3/042 G06F3/044 G06F3/047 G09G3/3413 G09G3/3426 G09G3/3659 G09G3/3677 G09G3/3688 G09G2300/0426 G09G2300/0814 G09G2310/0205 G09G2310/0235 G09G2310/024 G09G2320/0242		
FI分类号	G09G3/36 G02F1/133.550 G02F1/1368 G02F1/1333 G02F1/13357 G02F1/1335.505 G09G3/20.622.D G09G3/20.622.E G09G3/20.622.Q G09G3/20.621.F G09G3/20.623.U G09G3/20.641.R G09G3/20.641.E G09G3/20.622.K G09G3/20.624.B G09G3/20.623.D G09G3/34.J		
F-TERM分类号	2H092/JA24 2H092/JA28 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JB13 2H092/JB22 2H092/JB31 2H092/JB42 2H092/KA03 2H092/KA04 2H092/KA12 2H092/KA18 2H092/LA03 2H092/LA08 2H092/LA16 2H092/MA05 2H092/MA08 2H092/MA13 2H092/MA17 2H092/MA22 2H092/MA30 2H092/NA01 2H092/PA06 2H092/PA13 2H092/RA10 2H189/AA17 2H189/JA05 2H189/JA10 2H189/JA14 2H189/LA08 2H189/LA10 2H189/LA20 2H189/LA28 2H189/LA30 2H189/MA13 2H191/FA08Y 2H191/FA09Y 2H191/FA22X 2H191/FA22Z 2H191/FA81Z 2H191/FD16 2H191/GA17 2H191/GA19 2H191/GA20 2H191/HA06 2H191/HA11 2H191/HA15 2H191/LA21 2H193/ZA04 2H193/ZA05 2H193/ZA19 2H193/ZC25 2H193/ZC39 2H193/ZD16 2H193/ZD17 2H193/ZE04 2H193/ZF22 2H193/ZF23 2H193/ZF32 2H193/ZF35 2H193/ZF36 2H193/ZF42 2H193/ZF43 2H193/ZF44 2H193/ZG03 2H193/ZG27 2H193/ZG28 2H193/ZG34 2H193/ZJ02 2H193/ZQ06 2H193/ZQ11 2H193/ZQ16 5C006/AA14 5C006/AA22 5C006/AC23 5C006/AF41 5C006/AF42 5C006/AF44 5C006/AF71 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BF03 5C006/EA01 5C006/EC05 5C006/FA12 5C006/FA16 5C006/FA29 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD02 5C080/DD08 5C080/EE29 5C080/EE30 5C080/FF11 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK01 5C080/KK07 5C080/KK43 5C080/KK47 2H192/AA24 2H192/BC31 2H192/CB02 2H192/CB22 2H192/CC24 2H192/CC64 2H192/DA12 2H192/FB03 2H192/GB71 2H192/GD61 2H192/HA82 2H192/JA06 2H192/JA64 2H291/FA08Y 2H291/FA09Y 2H291/FA22X 2H291/FA22Z 2H291/FA81Z 2H291/FD16 2H291/GA17 2H291/GA19 2H291/GA20 2H291/HA06 2H291/HA11 2H291/HA15 2H291/LA21 2H391/AA18 2H391/AB14 2H391/AC13 2H391/AC23 2H391/CB08 2H391/EB08		
优先权	2010090938 2010-04-09 JP 2010090944 2010-04-09 JP 2010114445 2010-05-18 JP 2010114440 2010-05-18 JP		
其他公开文献	JP5774893B2 JP2012003237A		
摘要(译)			

解决的问题：从设计的观点来看，在通过场序系统执行显示的液晶显示装置等中，提高图像质量。以矩阵方式排列液晶显示装置的像素部分，在该像素部分中，其图像信号输入由在沟道形成区域中包括多晶半导体或单晶半导体的晶体管控制的像素以矩阵形式排列。图像信号被同时提供给在像素中布置成多行的像素。这使得可以改善液晶显示装置的图像质量。[选型图]图1