

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-3236

(P2012-3236A)

(43) 公開日 平成24年1月5日(2012.1.5)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/133 (2006.01)	G02F 1/133 550	2H092
G02F 1/1368 (2006.01)	G02F 1/133 535	2H193
G09G 3/20 (2006.01)	G02F 1/1368	5C006
G09G 3/36 (2006.01)	G09G 3/20 622E	5C080
G09G 3/34 (2006.01)	G09G 3/20 624B	

審査請求 未請求 請求項の数 6 O L (全 50 頁) 最終頁に続く

(21) 出願番号 特願2011-83269 (P2011-83269)
 (22) 出願日 平成23年4月5日 (2011.4.5)
 (31) 優先権主張番号 特願2010-90934 (P2010-90934)
 (32) 優先日 平成22年4月9日 (2010.4.9)
 (33) 優先権主張国 日本国 (JP)
 (31) 優先権主張番号 特願2010-90936 (P2010-90936)
 (32) 優先日 平成22年4月9日 (2010.4.9)
 (33) 優先権主張国 日本国 (JP)
 (31) 優先権主張番号 特願2010-114431 (P2010-114431)
 (32) 優先日 平成22年5月18日 (2010.5.18)
 (33) 優先権主張国 日本国 (JP)
 (31) 優先権主張番号 特願2010-114429 (P2010-114429)
 (32) 優先日 平成22年5月18日 (2010.5.18)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 小山 潤
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 三宅 博之
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 Fターム(参考) 2H092 JA26 JA28 JA47 JB22 JB31
 JB42 JB69 KA04 KA05

最終頁に続く

(54) 【発明の名称】 液晶表示装置及びその駆動方法

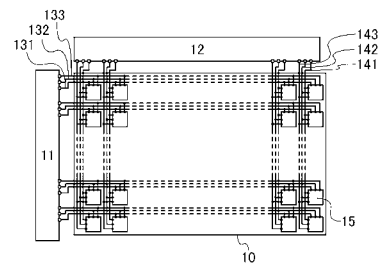
(57) 【要約】

【課題】 フィールドシーケンシャル方式によって表示を行う液晶表示装置などにおいて、設計の観点から画像信号の入力頻度の増加を図ること。

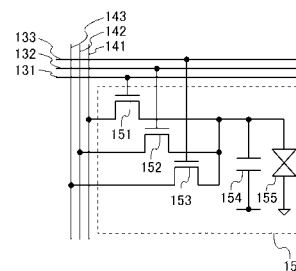
【解決手段】 非晶質半導体または微結晶半導体をチャネル形成領域に含むトランジスタによって画像信号の入力が制御される画素がマトリクス状に配設された液晶表示装置の画素部において、マトリクス状に配設された画素のうち、複数行に配設された画素に対して同時に画像信号を供給する。これにより、当該液晶表示装置が有するトランジスタなどの応答速度を変化させることなく、各画素に対する画像信号の入力頻度を増加させることが可能になる。

【選択図】 図1

(A)



(B)



【特許請求の範囲】

【請求項 1】

第 1 の信号線及び第 2 の信号線と、

第 1 の走査線、第 2 の走査線、第 3 の走査線、及び第 4 の走査線と、

第 1 の画素及び第 2 の画素と、

前記第 1 の走査線及び前記第 3 の走査線に選択信号を供給する機能を有する第 1 のシフトレジスタ、並びに前記第 2 の走査線及び前記第 4 の走査線に選択信号を供給する機能を有する第 2 のシフトレジスタと、を有し、

前記第 1 の画素は、ゲートが前記第 1 の走査線に電氣的に接続され、ソース及びドレインの一方が前記第 1 の信号線に電氣的に接続された第 1 のトランジスタと、ゲートが前記第 2 の走査線に電氣的に接続され、ソース及びドレインの一方が前記第 2 の信号線に電氣的に接続された第 2 のトランジスタと、一方の電極が前記第 1 のトランジスタのソース及びドレインの他方並びに前記第 2 のトランジスタのソース及びドレインの他方に電氣的に接続された第 1 の液晶素子と、を有し、

10

前記第 2 の画素は、ゲートが前記第 3 の走査線に電氣的に接続され、ソース及びドレインの一方が前記第 1 の信号線に電氣的に接続された第 3 のトランジスタと、ゲートが前記第 4 の走査線に電氣的に接続され、ソース及びドレインの一方が前記第 2 の信号線に電氣的に接続された第 4 のトランジスタと、一方の電極が前記第 3 のトランジスタのソース及びドレインの他方並びに前記第 4 のトランジスタのソース及びドレインの他方に電氣的に接続された第 2 の液晶素子と、を有し、

20

前記第 1 のトランジスタ乃至前記第 4 のトランジスタのチャンネル形成領域に非晶質半導体又は微結晶半導体が含まれ、

前記第 1 の信号線は、第 1 のサンプリング期間に含まれる水平走査期間において第 1 の画像信号が供給され、且つ第 2 のサンプリング期間に含まれる水平走査期間において第 2 の画像信号が供給され、

第 2 の信号線は、前記第 1 のサンプリング期間に含まれる水平走査期間において第 3 の画像信号が供給され、且つ前記第 2 のサンプリング期間に含まれる水平走査期間において第 4 の画像信号が供給され、

前記第 1 のサンプリング期間に含まれる水平走査期間において、前記第 1 の走査線と前記第 4 の走査線に選択信号が供給され、且つ前記第 2 の走査線と前記第 3 の走査線に非選択信号が供給され、

30

前記第 2 のサンプリング期間に含まれる水平走査期間において、前記第 2 の走査線と前記第 3 の走査線に選択信号が供給され、且つ前記第 1 の走査線と前記第 4 の走査線に非選択信号が供給される液晶表示装置。

【請求項 2】

第 1 の信号線、第 2 の信号線、及び第 3 の信号線と、

第 1 の走査線、第 2 の走査線、第 3 の走査線、第 4 の走査線、第 5 の走査線、第 6 の走査線、第 7 の走査線、第 8 の走査線、及び第 9 の走査線と、

第 1 の画素、第 2 の画素、及び第 3 の画素と、

前記第 1 の走査線、前記第 4 の走査線、及び前記第 7 の走査線に選択信号を供給する機能を有する第 1 のシフトレジスタ、前記第 2 の走査線、前記第 5 の走査線、及び前記第 8 の走査線に選択信号を供給する機能を有する第 2 のシフトレジスタ、並びに、前記第 3 の走査線、前記第 6 の走査線、及び前記第 9 の走査線に選択信号を供給する機能を有する第 3 のシフトレジスタと、を有し、

40

前記第 1 の画素は、ゲートが前記第 1 の走査線に電氣的に接続され、ソース及びドレインの一方が前記第 1 の信号線に電氣的に接続された第 1 のトランジスタと、ゲートが前記第 2 の走査線に電氣的に接続され、ソース及びドレインの一方が前記第 2 の信号線に電氣的に接続された第 2 のトランジスタと、ゲートが前記第 3 の走査線に電氣的に接続され、ソース及びドレインの一方が前記第 3 の信号線に電氣的に接続された第 3 のトランジスタと、一方の電極が前記第 1 のトランジスタのソース及びドレインの他方、前記第 2 のトラ

50

ンジスタのソース及びドレインの他方並びに前記第3のトランジスタのソース及びドレインの他方に電氣的に接続された第1の液晶素子と、を有し、

前記第2の画素は、ゲートが前記第4の走査線に電氣的に接続され、ソース及びドレインの一方が前記第1の信号線に電氣的に接続された第4のトランジスタと、ゲートが前記第5の走査線に電氣的に接続され、ソース及びドレインの一方が前記第2の信号線に電氣的に接続された第5のトランジスタと、ゲートが前記第6の走査線に電氣的に接続され、ソース及びドレインの一方が前記第3の信号線に電氣的に接続された第6のトランジスタと、一方の電極が前記第4のトランジスタのソース及びドレインの他方、前記第5のトランジスタのソース及びドレインの他方並びに前記第6のトランジスタのソース及びドレインの他方に電氣的に接続された第2の液晶素子と、を有し、

10

前記第3の画素は、ゲートが前記第7の走査線に電氣的に接続され、ソース及びドレインの一方が前記第1の信号線に電氣的に接続された第7のトランジスタと、ゲートが前記第8の走査線に電氣的に接続され、ソース及びドレインの一方が前記第2の信号線に電氣的に接続された第8のトランジスタと、ゲートが前記第9の走査線に電氣的に接続され、ソース及びドレインの一方が前記第3の信号線に電氣的に接続された第9のトランジスタと、一方の電極が前記第7のトランジスタのソース及びドレインの他方、前記第8のトランジスタのソース及びドレインの他方並びに前記第9のトランジスタのソース及びドレインの他方に電氣的に接続された第3の液晶素子と、を有し、

前記第1のトランジスタ乃至前記第9のトランジスタのチャンネル形成領域に非晶質半導体又は微結晶半導体が含まれ、

20

前記第1の信号線は、第1のサンプリング期間に含まれる水平走査期間において第1の画像信号が供給され、且つ第2のサンプリング期間に含まれる水平走査期間において第2の画像信号が供給され、且つ第3のサンプリング期間に含まれる水平走査期間において第3の画像信号が供給され、

前記第2の信号線は、前記第1のサンプリング期間に含まれる水平走査期間において第4の画像信号が供給され、且つ前記第2のサンプリング期間に含まれる水平走査期間において第5の画像信号が供給され、且つ前記第3のサンプリング期間に含まれる水平走査期間において第6の画像信号が供給され、

第3の信号線は、前記第1のサンプリング期間に含まれる水平走査期間において第7の画像信号が供給され、且つ前記第2のサンプリング期間に含まれる水平走査期間において第8の画像信号が供給され、且つ前記第3のサンプリング期間に含まれる水平走査期間において第9の画像信号が供給され、

30

前記第1のサンプリング期間に含まれる水平走査期間において、前記第1の走査線、前記第5の走査線、及び前記第9の走査線に選択信号が供給され、且つ前記第2の走査線、前記第3の走査線、前記第4の走査線、前記第6の走査線、前記第7の走査線、及び前記第8の走査線に非選択信号が供給され、

前記第2のサンプリング期間に含まれる水平走査期間において、前記第3の走査線、前記第4の走査線、及び前記第8の走査線に選択信号が供給され、且つ前記第1の走査線、前記第2の走査線、前記第5の走査線、前記第6の走査線、前記第7の走査線、及び前記第9の走査線に非選択信号が供給され、

40

前記第3のサンプリング期間に含まれる水平走査期間において、前記第2の走査線、前記第6の走査線、及び前記第7の走査線に選択信号が供給され、且つ前記第1の走査線、前記第3の走査線、前記第4の走査線、前記第5の走査線、前記第8の走査線、及び前記第9の走査線に非選択信号が供給される液晶表示装置。

【請求項3】

第1の信号線及び第2の信号線と、

第1の走査線及び第2の走査線と、

第1の画素及び第2の画素と、

前記第1の走査線に選択信号を供給する機能を有する第1のシフトレジスタ、及び前記第2の走査線に選択信号を供給する機能を有する第2のシフトレジスタと、を有し、

50

前記第 1 の画素は、ゲートが前記第 1 の走査線に電氣的に接続され、ソース及びドレインの一方が前記第 1 の信号線に電氣的に接続された第 1 のトランジスタと、一方の電極が前記第 1 のトランジスタのソース及びドレインの他方に電氣的に接続された第 1 の液晶素子と、を有し、

前記第 2 の画素は、ゲートが前記第 2 の走査線に電氣的に接続され、ソース及びドレインの一方が前記第 2 の信号線に電氣的に接続された第 2 のトランジスタと、一方の電極が前記第 2 のトランジスタのソース及びドレインの他方に電氣的に接続された第 2 の液晶素子と、を有し、

前記第 1 のトランジスタ及び前記第 2 のトランジスタのチャンネル形成領域に非晶質半導体又は微結晶半導体が含まれ、

前記第 1 の信号線は、第 1 のサンプリング期間に含まれる水平走査期間において第 1 の画像信号が供給され、且つ第 2 のサンプリング期間に含まれる水平走査期間において第 2 の画像信号が供給され、

前記第 2 の信号線は、前記第 1 のサンプリング期間に含まれる水平走査期間において第 3 の画像信号が供給され、且つ前記第 2 のサンプリング期間に含まれる水平走査期間において第 4 の画像信号が供給され、

前記第 1 のサンプリング期間に含まれる水平走査期間及び前記第 2 のサンプリング期間に含まれる水平走査期間において、前記第 1 の走査線及び前記第 2 の走査線に選択信号が供給される液晶表示装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、

前記第 1 のシフトレジスタ及び前記第 2 のシフトレジスタが、チャンネル形成領域に非晶質半導体又は微結晶半導体が含まれるトランジスタを用いて構成される液晶表示装置。

【請求項 5】

チャンネル形成領域に非晶質半導体又は微結晶半導体が含まれる第 1 のトランジスタ及び第 2 のトランジスタを有する画素がマトリクス状に配設された画素部に対して、異なる色を呈する光を発光する複数の光源が順次発光し、且つ前記画素毎にそれぞれの色を呈する光の透過を制御することで前記画素部に画像を形成する液晶表示装置の駆動方法であって、

第 1 の走査線を起点として第 n の走査線 (n は、3 以上の自然数) までに対して順次選択信号をシフトすることで 1 行目乃至 n 行目に配設された複数の画素の各々に設けられた第 1 のトランジスタを介して前記 1 行目乃至 n 行目に配設された複数の画素の各々に画像信号を入力し且つ第 $(n + 1)$ の走査線を起点として第 $2n$ の走査線までに対して順次選択信号をシフトすることで $(n + 1)$ 行目乃至 $2n$ 行目に配設された複数の画素の各々に設けられた第 2 のトランジスタを介して前記 $(n + 1)$ 行目乃至 $2n$ 行目に配設された複数の画素に画像信号を入力するサンプリング期間内において、前記第 1 の走査線乃至第 k の走査線 (k は、2 以上 n 未満の自然数) 及び前記第 $(n + 1)$ の走査線乃至第 $(n + k)$ の走査線に対する選択信号のシフトが終了した後に 1 行目乃至 k 行目用光源及び $(n + 1)$ 行目乃至 $(n + k)$ 行目用光源を発光させ、1 行目乃至 k 行目に配設された複数の画素のそれぞれにおいて前記 1 行目乃至 k 行目用光源から発光される光の透過を制御し且つ $(n + 1)$ 行目乃至 $(n + k)$ 行目に配設された複数の画素のそれぞれにおいて前記 $(n + 1)$ 行目乃至 $(n + k)$ 行目用光源から発光される光の透過を制御する液晶表示装置の駆動方法。

【請求項 6】

前記サンプリング期間内において、前記 1 行目乃至 k 行目用光源が呈する光の色と、前記 $(n + 1)$ 行目乃至 $(n + k)$ 行目用光源が呈する光の色とが異なる請求項 5 に記載の液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

10

20

30

40

50

本発明は、液晶表示装置及びその駆動方法に関する。特に、フィールドシーケンシャル方式によって表示を行う液晶表示装置及びその駆動方法に関する。

【背景技術】

【0002】

液晶表示装置の表示方法として、カラーフィルター方式及びフィールドシーケンシャル方式が知られている。前者によって表示を行う液晶表示装置では、各画素に、特定色を呈する波長の光のみを透過するカラーフィルター（例えば、R（赤）、G（緑）、B（青））を有する複数の副画素が設けられる。そして、副画素毎に白色光の透過を制御し、且つ画素毎に複数の色を混色することで所望の色を形成している。一方、後者によって表示を行う液晶表示装置では、それぞれが異なる色を呈する光を発光する複数の光源（例えば、R（赤）、G（緑）、B（青））が設けられる。そして、当該複数の光源が順次発光し、且つ画素毎にそれぞれの色を呈する光の透過を制御することで所望の色を形成している。すなわち、前者は、特定色を呈する光毎に一画素の面積を分割することで所望の色を形成する方式であり、後者は、特定色を呈する光毎に表示期間を時間分割することで所望の色を形成する方式である。

10

【0003】

フィールドシーケンシャル方式によって表示を行う液晶表示装置は、カラーフィルター方式によって表示を行う液晶表示装置と比較し、以下の利点を有する。まず、フィールドシーケンシャル方式によって表示を行う液晶表示装置では、各画素に副画素を設ける必要がない。そのため、開口率を向上させること又は画素数を増加させることが可能である。加えて、フィールドシーケンシャル方式によって表示を行う液晶表示装置では、カラーフィルターを設ける必要がない。つまり、カラーフィルターにおける光吸収による光の損失がない。そのため、透過率を向上させること及び消費電力を低減することが可能である。

20

【0004】

特許文献1では、フィールドシーケンシャル方式によって表示を行う液晶表示装置が開示されている。具体的には、各画素に、画像信号の入力を制御するトランジスタと、該画像信号を保持する信号保持容量と、該信号保持容量から表示画素容量への電荷の移動を制御するトランジスタとが設けられた液晶表示装置が開示されている。当該構成を有する液晶表示装置は、信号保持容量に対する画像信号の書き込みと、表示画素容量が保持する電荷に応じた表示とを並行して行うことが可能である。

30

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2009-42405号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

フィールドシーケンシャル方式によって表示を行う液晶表示装置は、各画素に対する画像信号の入力頻度を増加させる必要がある。例えば、R（赤）、G（緑）、B（青）の3色を呈する光を発光する光源を備えたフィールドシーケンシャル方式によって表示を行う液晶表示装置は、カラーフィルター方式によって表示を行う液晶表示装置と比較し、各画素に対する画像信号の入力頻度を少なくとも3倍にする必要がある。具体的に述べると、フレーム周波数が60Hzである場合、カラーフィルター方式によって表示を行う液晶表示装置では各画素に対する画像信号の入力を1秒間に60回行う必要があるのに対し、R（赤）、G（緑）、B（青）の3色を呈する光を発光する光源を備えたフィールドシーケンシャル方式によって表示を行う液晶表示装置では各画素に対する画像信号の入力を1秒間に180回行う必要がある。

40

【0007】

ただし、画像信号の入力頻度の増加に付随して、各画素に設けられる素子の高速応答性が要求される。具体的には、各画素に設けられるトランジスタの移動度の向上などが要求

50

される。しかしながら、トランジスタなどの特性を向上させることは容易ではない。

【0008】

そこで、本発明の一態様は、設計の観点から画像信号の入力頻度の増加を図ることを課題の一とする。

【課題を解決するための手段】

【0009】

上述した課題は、液晶表示装置の画素部において、マトリクス状に配設された画素のうち、複数行に配設された画素に対して同時に画像信号を供給することによって解決することができる。

【0010】

すなわち、本発明の一態様は、第1の信号線及び第2の信号線と、第1の走査線、第2の走査線、第3の走査線、及び第4の走査線と、第1の画素及び第2の画素と、第1の走査線及び第3の走査線に選択信号を供給する機能を有する第1のシフトレジスタ、並びに第2の走査線及び第4の走査線に選択信号を供給する機能を有する第2のシフトレジスタと、を有し、第1の画素は、ゲートが第1の走査線に電氣的に接続され、ソース及びドレインの一方が第1の信号線に電氣的に接続された第1のトランジスタと、ゲートが第2の走査線に電氣的に接続され、ソース及びドレインの一方が第2の信号線に電氣的に接続された第2のトランジスタと、一方の電極が第1のトランジスタのソース及びドレインの他方並びに第2のトランジスタのソース及びドレインの他方に電氣的に接続された第1の液晶素子と、を有し、第2の画素は、ゲートが第3の走査線に電氣的に接続され、ソース及びドレインの一方が第1の信号線に電氣的に接続された第3のトランジスタと、ゲートが第4の走査線に電氣的に接続され、ソース及びドレインの一方が第2の信号線に電氣的に接続された第4のトランジスタと、一方の電極が第3のトランジスタのソース及びドレインの他方並びに第4のトランジスタのソース及びドレインの他方に電氣的に接続された第2の液晶素子と、を有し、第1のトランジスタ乃至第4のトランジスタのチャンネル形成領域に非晶質半導体又は微結晶半導体が含まれる液晶表示装置である。さらに、第1の信号線には、第1のサンプリング期間に含まれる水平走査期間において第1の画像信号が供給され、第2のサンプリング期間に含まれる水平走査期間において第2の画像信号が供給されている。また、第2の信号線には、第1のサンプリング期間に含まれる水平走査期間において第3の画像信号が供給され、第2のサンプリング期間に含まれる水平走査期間において第4の画像信号が供給されている。さらに、第1のサンプリング期間に含まれる水平走査期間において、第1の走査線及び第4の走査線に選択信号が供給され、第2の走査線及び第3の走査線に非選択信号が供給されている。また、第2のサンプリング期間に含まれる水平走査期間において、第2の走査線及び第3の走査線に選択信号が供給され、第1の走査線及び第4の走査線に非選択信号が供給されている。

【0011】

また、本発明の一態様は、第1の信号線、第2の信号線、及び第3の信号線と、第1の走査線、第2の走査線、第3の走査線、第4の走査線、第5の走査線、第6の走査線、第7の走査線、第8の走査線、及び第9の走査線と、第1の画素、第2の画素、及び第3の画素と、第1の走査線、第4の走査線、及び第7の走査線に選択信号を供給する機能を有する第1のシフトレジスタ、第2の走査線、第5の走査線、及び第8の走査線に選択信号を供給する機能を有する第2のシフトレジスタ、並びに、第3の走査線、第6の走査線、及び第9の走査線に選択信号を供給する機能を有する第3のシフトレジスタと、を有し、第1の画素は、ゲートが第1の走査線に電氣的に接続され、ソース及びドレインの一方が第1の信号線に電氣的に接続された第1のトランジスタと、ゲートが第2の走査線に電氣的に接続され、ソース及びドレインの一方が第2の信号線に電氣的に接続された第2のトランジスタと、ゲートが第3の走査線に電氣的に接続され、ソース及びドレインの一方が第3の信号線に電氣的に接続された第3のトランジスタと、一方の電極が第1のトランジスタのソース及びドレインの他方、第2のトランジスタのソース及びドレインの他方、並びに第3のトランジスタのソース及びドレインの他方に電氣的に接続された第1の液晶素

10

20

30

40

50

子と、を有し、第 2 の画素は、ゲートが第 4 の走査線に電氣的に接続され、ソース及びドレインの一方が第 1 の信号線に電氣的に接続された第 4 のトランジスタと、ゲートが第 5 の走査線に電氣的に接続され、ソース及びドレインの一方が第 2 の信号線に電氣的に接続された第 5 のトランジスタと、ゲートが第 6 の走査線に電氣的に接続され、ソース及びドレインの一方が第 3 の信号線に電氣的に接続された第 6 のトランジスタと、一方の電極が第 4 のトランジスタのソース及びドレインの他方、第 5 のトランジスタのソース及びドレインの他方、並びに第 6 のトランジスタのソース及びドレインの他方に電氣的に接続された第 2 の液晶素子と、を有し、第 3 の画素は、ゲートが第 7 の走査線に電氣的に接続され、ソース及びドレインの一方が第 1 の信号線に電氣的に接続された第 7 のトランジスタと、ゲートが第 8 の走査線に電氣的に接続され、ソース及びドレインの一方が第 2 の信号線に電氣的に接続された第 8 のトランジスタと、ゲートが第 9 の走査線に電氣的に接続され、ソース及びドレインの一方が第 3 の信号線に電氣的に接続された第 9 のトランジスタと、一方の電極が第 7 のトランジスタのソース及びドレインの他方、第 8 のトランジスタのソース及びドレインの他方、並びに第 9 のトランジスタのソース及びドレインの他方に電氣的に接続された第 3 の液晶素子と、を有し、第 1 のトランジスタ乃至第 9 のトランジスタのチャンネル形成領域に非晶質半導体又は微結晶半導体が含まれる液晶表示装置である。さらに、第 1 の信号線には、第 1 のサンプリング期間に含まれる水平走査期間において第 1 の画像信号が供給され、第 2 のサンプリング期間に含まれる水平走査期間において第 2 の画像信号が供給され、第 3 のサンプリング期間に含まれる水平走査期間において第 3 の画像信号が供給されている。また、第 2 の信号線には、第 1 のサンプリング期間に含まれる水平走査期間において第 4 の画像信号が供給され、第 2 のサンプリング期間に含まれる水平走査期間において第 5 の画像信号が供給され、第 3 のサンプリング期間に含まれる水平走査期間において第 6 の画像信号が供給されている。また、第 3 の信号線には、第 1 のサンプリング期間に含まれる水平走査期間において第 7 の画像信号が供給され、第 2 のサンプリング期間に含まれる水平走査期間において第 8 の画像信号が供給され、第 3 のサンプリング期間に含まれる水平走査期間において第 9 の画像信号が供給されている。さらに、第 1 のサンプリング期間に含まれる水平走査期間において、第 1 の走査線、第 5 の走査線、及び第 9 の走査線に選択信号が供給され、第 2 の走査線、第 3 の走査線、第 4 の走査線、第 6 の走査線、第 7 の走査線、及び第 8 の走査線に非選択信号が供給されている。また、第 2 のサンプリング期間に含まれる水平走査期間において、第 3 の走査線、第 4 の走査線、及び第 8 の走査線に選択信号が供給され、第 1 の走査線、第 2 の走査線、第 5 の走査線、第 6 の走査線、第 7 の走査線、及び第 9 の走査線に非選択信号が供給されている。また、第 3 のサンプリング期間に含まれる水平走査期間において、第 2 の走査線、第 6 の走査線、及び第 7 の走査線に選択信号が供給され、第 1 の走査線、第 3 の走査線、第 4 の走査線、第 5 の走査線、第 8 の走査線、及び第 9 の走査線に非選択信号が供給されている。

【 0 0 1 2 】

また、本発明の一態様は、第 1 の信号線及び第 2 の信号線と、第 1 の走査線及び第 2 の走査線と、第 1 の画素及び第 2 の画素と、第 1 の走査線に選択信号を供給する機能を有する第 1 のシフトレジスタ、及び第 2 の走査線に選択信号を供給する機能を有する第 2 のシフトレジスタと、を有し、第 1 の画素は、ゲートが第 1 の走査線に電氣的に接続され、ソース及びドレインの一方が第 1 の信号線に電氣的に接続された第 1 のトランジスタと、一方の電極が第 1 のトランジスタのソース及びドレインの他方に電氣的に接続された第 1 の液晶素子と、を有し、第 2 の画素は、ゲートが第 2 の走査線に電氣的に接続され、ソース及びドレインの一方が第 2 の信号線に電氣的に接続された第 2 のトランジスタと、一方の電極が第 2 のトランジスタのソース及びドレインの他方に電氣的に接続された第 2 の液晶素子と、を有し、第 1 のトランジスタ及び第 2 のトランジスタのチャンネル形成領域に非晶質半導体又は微結晶半導体が含まれる液晶表示装置である。さらに、第 1 の信号線には、第 1 のサンプリング期間に含まれる水平走査期間において第 1 の画像信号が供給され、第 2 のサンプリング期間に含まれる水平走査期間において第 2 の画像信号が供給されている。

。また、第2の信号線には、第1のサンプリング期間に含まれる水平走査期間において第3の画像信号が供給され、第2のサンプリング期間に含まれる水平走査期間において第4の画像信号が供給されている。さらに、第1のサンプリング期間に含まれる水平走査期間において、第1の走査線及び第2の走査線に選択信号が供給されている。また、第2のサンプリング期間に含まれる水平走査期間において、第1の走査線及び第2の走査線に選択信号が供給されている。

【0013】

また、本発明の一態様に係る液晶表示装置では、シリコンまたはゲルマニウムなどの非晶質半導体または微結晶半導体をチャンネル形成領域を含むトランジスタを用いる。非晶質半導体または微結晶半導体を用いたトランジスタを画素部に有する液晶表示装置は、第5世代（横1100mm×縦1300mm）以上のガラス基板に対応できるため、生産性が高く、コストが低いという利点を有する。

10

【0014】

具体的に、本発明の一態様に係る液晶表示装置は、非晶質半導体または微結晶半導体をチャンネル形成領域を含むトランジスタを画素部に用い、駆動回路は単結晶半導体をチャンネル形成領域を含むトランジスタを用いることができる。

【0015】

なお、微結晶半導体とは、非晶質と結晶構造（単結晶、多結晶を含む）の中間的な構造の半導体である。微結晶半導体は、自由エネルギー的に安定な第3の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質な半導体であり、結晶粒径が2nm以上200nm以下、好ましくは10nm以上80nm以下、より好ましくは、20nm以上50nm以下の柱状結晶または針状結晶が基板表面に対して法線方向に成長している。このため、柱状結晶または針状結晶の界面には、結晶粒界が形成される場合もある。

20

【0016】

微結晶半導体をチャンネル形成領域を含むトランジスタは、非晶質半導体をチャンネル形成領域を含むトランジスタに比べて移動度が高く、液晶表示装置の画素部とその周辺の駆動回路の一部を同一基板上に一体形成できるという利点を有している。

【0017】

したがって、本発明の一態様に係る液晶表示装置は、微結晶半導体をチャンネル形成領域を含むトランジスタを用いて、画素部と共に駆動回路の一部を、一の基板に形成することもできる。

30

【0018】

駆動回路の一部を画素部と同じ基板上に形成することで、外部に設ける駆動回路等の部品数が減るので、液晶表示装置の小型化のみならず、組立工程や検査工程の削減によるコストダウンを図ることができる。また、駆動回路と画素部の間を接続する端子数を減らすことができるので、駆動回路と画素部の接続不良に起因する歩留まり低下を防ぎ、接続箇所における機械的強度の低さにより信頼性が低下するのを防ぐことができる。

【発明の効果】

【0019】

本発明の一態様の液晶表示装置は、マトリクス状に配設された画素のうち、複数行に配設された画素に対して同時に画像信号を供給することが可能である。これにより、当該液晶表示装置が有するトランジスタなどの応答速度を変化させることなく、各画素に対する画像信号の入力頻度を増加させることが可能になる。

40

【図面の簡単な説明】

【0020】

【図1】(A)液晶表示装置の構成例を示す図、(B)画素の構成例を示す図。

【図2】走査線駆動回路の構成例を示す図。

【図3】シフトレジスタの出力信号を示す図。

【図4】(A)信号線駆動回路の構成例を示す図、(B)バックライトの構成例を示す図

50

- 【図 5】液晶表示装置の動作例を説明する図。
- 【図 6】(A)液晶表示装置の構成例を示す図、(B)～(D)画素の構成例を示す図。
- 【図 7】(A)走査線駆動回路の構成例を示す図、(B)シフトレジスタの出力信号を示す図。
- 【図 8】信号線駆動回路の構成例を示す図。
- 【図 9】画素の具体例を示す断面図。
- 【図 10】(A)～(C)端子間の接続の具体例を示す図。
- 【図 11】(A)、(B)液晶表示装置の具体例を示す斜視図。
- 【図 12】液晶表示装置の具体例を示す(A)上面図、及び(B)断面図。
- 【図 13】液晶表示装置の具体例を示す斜視図。 10
- 【図 14】(A)、(B)タッチパネルの具体例を示す図。
- 【図 15】(A)、(B)タッチパネルの具体例を示す図。
- 【図 16】(A)フォトセンサを有する画素部の具体例を示す図、(B)フォトセンサの具体例を示す図。
- 【図 17】(A)、(B)トランジスタの具体例を示す断面図、(C)、(D)半導体層の具体例を示す断面図。
- 【図 18】(A)～(C)トランジスタの具体例を示す上面図。
- 【図 19】(A)、(B)トランジスタの具体例を示す断面図。
- 【図 20】(A)～(C)トランジスタの作製工程の具体例を示す断面図。
- 【図 21】(A)～(D)トランジスタの作製工程の具体例を示す断面図。 20
- 【図 22】(A)～(F)電子機器の一例を示す図。
- 【図 23】(A)～(C)液晶表示装置の具体例を示す斜視図。
- 【図 24】液晶表示装置の具体例を示す(A)上面図、及び(B)断面図。
- 【発明を実施するための形態】

【0021】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0022】

(実施の形態 1)

本実施の形態では、フィールドシーケンシャル方式によって表示を行う液晶表示装置の一例について図 1～図 5 を参照して説明する。

【0023】

<液晶表示装置の構成例>

図 1 (A) は、液晶表示装置の構成例を示す図である。図 1 (A) に示す液晶表示装置は、画素部 10 と、走査線駆動回路 11 と、信号線駆動回路 12 と、各々が平行又は略平行に配設され、且つ走査線駆動回路 11 によって電位が制御される、 $3n$ 本 (n は、2 以上の自然数) の走査線 131、 $3n$ 本の走査線 132、及び $3n$ 本の走査線 133 と、各々が平行又は略平行に配設され、且つ信号線駆動回路 12 によって電位が制御される、 m 本 (m は、2 以上の自然数) の信号線 141、 m 本の信号線 142、及び m 本の信号線 143 と、を有する。 40

【0024】

さらに、画素部 10 は、マトリクス状 ($3n$ 行 m 列) に配設された複数の画素 15 を有する。なお、各走査線 131、132、133 は、マトリクス状 ($3n$ 行 m 列) に配設された複数の画素 15 のうち、いずれかの行に配設された m 個の画素 15 に電氣的に接続される。また、各信号線 141、142、143 は、マトリクス状 ($3n$ 行 m 列) に配設された複数の画素 15 のうち、いずれかの列に配設された $3n$ 個の画素 15 に電氣的に接続される。

【0025】

なお、走査線駆動回路 1 1 には、外部から走査線駆動回路用スタート信号 (G S P 1 ~ G S P 3)、走査線駆動回路用クロック信号 (G C K)、及び高電源電位 (V D D)、低電源電位 (V S S) などの駆動用電源が入力される。また、信号線駆動回路 1 2 には、外部から信号線駆動回路用スタート信号 (S S P)、信号線駆動回路用クロック信号 (S C K)、画像信号 (D A T A 1 ~ D A T A 3) などの信号、及び高電源電位、低電源電位などの駆動用電源が入力される。

【 0 0 2 6 】

図 1 (B) は、画素 1 5 の回路構成例を示す図である。図 1 (B) に示す画素 1 5 は、ゲートが走査線 1 3 1 に電氣的に接続され、ソース及びドレインの一方が信号線 1 4 1 に電氣的に接続されたトランジスタ 1 5 1 と、ゲートが走査線 1 3 2 に電氣的に接続され、ソース及びドレインの一方が信号線 1 4 2 に電氣的に接続されたトランジスタ 1 5 2 と、ゲートが走査線 1 3 3 に電氣的に接続され、ソース及びドレインの一方が信号線 1 4 3 に電氣的に接続されたトランジスタ 1 5 3 と、一方の電極がトランジスタ 1 5 1 ~ 1 5 3 のソース及びドレインの他方に電氣的に接続され、他方の電極が容量電位を供給する配線に電氣的に接続された容量素子 1 5 4 と、一方の電極がトランジスタ 1 5 1 ~ 1 5 3 のソース及びドレインの他方並びに容量素子 1 5 4 の一方の電極に電氣的に接続され、他方の電極が対向電位を供給する配線に電氣的に接続された液晶素子 1 5 5 と、を有する。

【 0 0 2 7 】

< 走査線駆動回路 1 1 の構成例 >

図 2 は、図 1 (A) に示す液晶表示装置が有する走査線駆動回路 1 1 の構成例を示す図である。図 2 に示す走査線駆動回路 1 1 は、 $3n$ 個の出力端子を有する 3 つのシフトレジスタ 1 1 1 ~ 1 1 3 を有する。なお、シフトレジスタ 1 1 1 が有する出力端子のそれぞれは、画素部 1 0 に配設された $3n$ 本の走査線 1 3 1 のいずれかに電氣的に接続され、シフトレジスタ 1 1 2 が有する出力端子のそれぞれは、画素部 1 0 に配設された $3n$ 本の走査線 1 3 2 のいずれかに電氣的に接続され、シフトレジスタ 1 1 3 が有する出力端子のそれぞれは、画素部 1 0 に配設された $3n$ 本の走査線 1 3 3 のいずれかに電氣的に接続される。すなわち、シフトレジスタ 1 1 1 は、走査線 1 3 1 を駆動するシフトレジスタであり、シフトレジスタ 1 1 2 は、走査線 1 3 2 を駆動するシフトレジスタであり、シフトレジスタ 1 1 3 は、走査線 1 3 3 を駆動するシフトレジスタである。具体的には、シフトレジスタ 1 1 1 は、外部から入力される第 1 の走査線駆動回路用スタート信号 (G S P 1) をきっかけとして、1 行目に配設された走査線 1 3 1 を起点として順次選択信号をシフト (走査線 1 3 1 を走査線駆動回路用クロック信号 (G C K) 1 / 2 周期毎に順次選択) する機能を有し、シフトレジスタ 1 1 2 は、外部から入力される第 2 の走査線駆動回路用スタート信号 (G S P 2) をきっかけとして、1 行目に配設された走査線 1 3 2 を起点として順次選択信号をシフトする機能を有し、シフトレジスタ 1 1 3 は、外部から入力される第 3 の走査線駆動回路用スタート信号 (G S P 3) をきっかけとして、1 行目に配設された走査線 1 3 3 を起点として順次選択信号をシフトする機能を有する。

【 0 0 2 8 】

< 走査線駆動回路 1 1 の動作例 >

上述した走査線駆動回路 1 1 の動作例について図 3 を参照して説明する。なお、図 3 には、走査線駆動回路用クロック信号 (G C K)、シフトレジスタ 1 1 1 が有する $3n$ 個の出力端子から出力される信号 (S R 1 1 1 o u t)、シフトレジスタ 1 1 2 が有する $3n$ 個の出力端子から出力される信号 (S R 1 1 2 o u t)、及びシフトレジスタ 1 1 3 が有する $3n$ 個の出力端子から出力される信号 (S R 1 1 3 o u t) を示している。ここで、サンプリング期間とは、全ての行 (1 行目乃至 $3n$ 行目) に配設された全ての画素に対して何らかの画像信号が入力されるのに要する期間である。

【 0 0 2 9 】

サンプリング期間 (t_1) において、シフトレジスタ 1 1 1 では、1 行目に配設された走査線 1 3 1 を起点として n 行目に配設された走査線 1 3 1 までハイレベルの電位が 1 / 2 クロック周期 (水平走査期間) 毎に順次シフトし、シフトレジスタ 1 1 2 では、($n +$

1) 行目に配設された走査線 132 を起点として 2n 行目に配設された走査線 132 までハイレベルの電位が 1/2 クロック周期 (水平走査期間) 毎に順次シフトし、シフトレジスタ 113 では、(2n+1) 行目に配設された走査線 133 を起点として 3n 行目に配設された走査線 133 までハイレベルの電位が 1/2 クロック周期 (水平走査期間) 毎に順次シフトする。そのため、走査線駆動回路 11 は、走査線 131 を介して 1 行目に配設された m 個の画素 15 から n 行目に配設された m 個の画素 15 を順次選択するとともに、走査線 132 を介して (n+1) 行目に配設された m 個の画素 15 から 2n 行目に配設された m 個の画素 15 を順次選択し、走査線 133 を介して (2n+1) 行目に配設された m 個の画素 15 から 3n 行目に配設された m 個の画素 15 を順次選択することになる。すなわち、走査線駆動回路 11 は、水平走査期間毎に異なる 3 行に配設された 3m 個の画素 15 に対して選択信号を供給することが可能である。

10

【0030】

サンプリング期間 (t2) において、シフトレジスタ 111 ~ 113 のそれぞれの出力信号はサンプリング期間 (t1) と異なるが、シフトレジスタ 111 ~ 113 のいずれか一 (サンプリング期間 (t2) においては、シフトレジスタ 113) が 1 行目に配設された m 個の画素 15 から n 行目に配設された m 個の画素 15 を順次選択し、前述のシフトレジスタ 111 ~ 113 のいずれか一と異なるシフトレジスタ 111 ~ 113 のいずれか一 (サンプリング期間 (t2) においては、シフトレジスタ 111) が (n+1) 行目に配設された m 個の画素 15 から 2n 行目に配設された m 個の画素 15 を順次選択し、シフトレジスタ 111 ~ 113 のうち前述の 2 つと異なる一 (サンプリング期間 (t2) においては、シフトレジスタ 112) が (2n+1) 行目に配設された m 個の画素 15 から 3n 行目に配設された m 個の画素 15 を順次選択する点は、同じである。すなわち、走査線駆動回路 11 は、サンプリング期間 (t1) と同様に、水平走査期間毎に特定の 3 行に配設された 3m 個の画素 15 に対して選択信号を供給することが可能である。

20

【0031】

< 信号線駆動回路 12 の構成例 >

図 4 (A) は、図 1 (A) に示す液晶表示装置が有する信号線駆動回路 12 の構成例を示す図である。図 4 (A) に示す信号線駆動回路 12 は、m 個の出力端子を有するシフトレジスタ 120 と、m 個のトランジスタ 121 と、m 個のトランジスタ 122 と、m 個のトランジスタ 123 と、を有する。なお、トランジスタ 121 のゲートは、シフトレジスタ 120 が有する j 番目 (j は、1 以上 m 以下の自然数) の出力端子に電氣的に接続され、ソース及びドレインの一方が第 1 の画像信号 (DATA1) を供給する配線に電氣的に接続され、ソース及びドレインの他方が画素部 10 において j 列目に配設された信号線 141 に電氣的に接続される。また、トランジスタ 122 のゲートは、シフトレジスタ 120 が有する j 番目の出力端子に電氣的に接続され、ソース及びドレインの一方が第 2 の画像信号 (DATA2) を供給する配線に電氣的に接続され、ソース及びドレインの他方が画素部 10 において j 列目に配設された信号線 142 に電氣的に接続される。また、トランジスタ 123 のゲートは、シフトレジスタ 120 が有する j 番目の出力端子に電氣的に接続され、ソース及びドレインの一方が第 3 の画像信号 (DATA3) を供給する配線に電氣的に接続され、ソース及びドレインの他方が画素部 10 において j 列目に配設された信号線 143 に電氣的に接続される。

30

40

【0032】

なお、ここでは、第 1 の画像信号 (DATA1) として、赤 (R) の画像信号 (赤 (R) を呈する光の透過を制御するための画像信号) を信号線 141 に供給し、第 2 の画像信号 (DATA2) として、青 (B) の画像信号 (赤 (R) を呈する光の透過を制御するための画像信号) を信号線 142 に供給し、第 3 の画像信号 (DATA3) として、緑 (G) の画像信号 (緑 (G) を呈する光の透過を制御するための画像信号) を信号線 143 に供給することとする。

【0033】

< バックライトの構成例 >

50

図4(B)は、図1(A)に示す液晶表示装置の画素部10の後方に設けられるバックライトの構成例を示す図である。図4(B)に示すバックライトは、赤(R)、緑(G)、青(B)の3色を呈する光源を備えたバックライトユニット16を複数有する。なお、複数のバックライトユニット16は、マトリクス状に配設されており、且つ特定の領域毎に点灯を制御することが可能である。ここでは、3n行m列に配設された複数の画素15に対するバックライトとして、少なくともk行m列毎(ここでは、kは、n/4とする)にバックライトユニット群が設けられ、それらのバックライトユニット群の点滅を独立に制御できることとする。すなわち、当該バックライトが、少なくとも1行目乃至k行目用バックライトユニット群~(3n-k+1)行目乃至3n行目用バックライトユニット群を有し、それぞれのバックライトユニット群の点滅を独立に制御できることとする。

10

【0034】

<液晶表示装置の動作例>

図5は、上述した液晶表示装置において、バックライトが有する1行目乃至k行目用バックライトユニット群~(3n-k+1)行目乃至3n行目用バックライトユニット群において点灯される光のタイミング、及び画素部10において1行目に配設されたm個の画素乃至3n行目に配設されたm個の画素に対する画像信号の供給が行われるタイミングを示す図である。具体的には、図5において、1乃至3nは、行数を表し、実線は、該当する行において画像信号が入力されるタイミングを表している。当該液晶表示装置は、サンプリング期間(t1)において、1行目に配設されたm個の画素15からn行目に配設されたm個の画素15を順次選択し、且つ(n+1)行目に配設されたm個の画素15から2n行目に配設されたm個の画素15を順次選択し、且つ(2n+1)行目に配設されたm個の画素15から3n行目に配設されたm個の画素15を順次選択することで、各画素に画像信号を入力することが可能である。具体的に述べると、当該液晶表示装置は、サンプリング期間(t1)において、走査線131を介して1行目に配設されたm個の画素15が有するトランジスタ151からn行目に配設されたm個の画素15が有するトランジスタ151を順次オン状態とすることで、信号線141を介して赤(R)の画像信号を各画素に順次入力することが可能であり、走査線132を介して(n+1)行目に配設されたm個の画素15が有するトランジスタ152から2n行目に配設されたm個の画素15が有するトランジスタ152を順次オン状態とすることで、信号線142を介して青(B)の画像信号を各画素に順次入力することが可能であり、走査線133を介して(2n+1)行目に配設されたm個の画素15が有するトランジスタ153から3n行目に配設されたm個の画素15が有するトランジスタ153を順次オン状態とすることで、信号線143を介して緑(G)の画像信号を各画素に順次入力することが可能である。

20

30

【0035】

さらに、当該液晶表示装置では、サンプリング期間(t1)内において、1行目に配設されたm個の画素15からk行目に配設されたm個の画素15に対して赤(R)の画像信号の入力が終了した後に1行目乃至k行目用バックライトユニット群において赤(R)を点灯させ、且つ(n+1)行目に配設されたm個の画素15から(n+k)行目に配設されたm個の画素15に対して青(B)の画像信号の入力が終了した後に(n+1)行目乃至(n+k)行目用バックライトユニット群において青(B)を点灯させ、且つ(2n+1)行目に配設されたm個の画素15から(2n+k)行目に配設されたm個の画素15に対して緑(G)の画像信号の入力が終了した後に(2n+1)行目乃至(2n+k)行目用バックライトユニット群において緑(G)を点灯させることが可能である。すなわち、当該液晶表示装置では、領域(1行目乃至n行目、(n+1)行目乃至2n行目、及び(2n+1)行目乃至3n行目)毎に、選択信号の供給と、特定色を呈する光の供給とを並行して行うことが可能である。

40

【0036】

<本明細書で開示される液晶表示装置について>

本明細書で開示される液晶表示装置は、マトリクス状に配設された画素のうち、複数行に配設された画素に対して同時に画像信号を供給することが可能である。これにより、当

50

該液晶表示装置が有するトランジスタなどの応答速度を変化させることなく、各画素に対する画像信号の入力頻度を増加させることが可能になる。具体的に述べると、上述した液晶表示装置では、走査線駆動回路のクロック周波数などを変化させることなく、各画素に対する画像信号の入力頻度を3倍にすることが可能である。すなわち、当該液晶表示装置は、フィールドシーケンシャル方式によって表示を行う液晶表示装置、又は倍速駆動を行う液晶表示装置として好適である。

【0037】

さらに、フィールドシーケンシャル方式によって表示を行う液晶表示装置として本明細書で開示される液晶表示装置を適用することは、以下の点で好ましい。上述したように、フィールドシーケンシャル方式によって表示を行う液晶表示装置では特定色を呈する光毎に表示期間が時間分割される。そのため、利用者の瞬きなど短時間の表示の遮りに起因して特定の表示情報が欠落することによって、当該利用者に視認される表示が本来の表示情報に基づく表示から変化(劣化)すること(カラーブレイク、色割れともいう)がある。ここで、カラーブレイクの抑制には、フレーム周波数を高くすることが効果的である。一方、フィールドシーケンシャル方式によって表示を行うためには、フレーム周波数よりも高い頻度で各画素に対して画像信号を入力する必要がある。そのため、従来の液晶表示装置においてフィールドシーケンシャル方式且つ高フレーム周波数駆動によって表示を行う場合、当該液晶表示装置を構成する素子の性能(高速応答性)に対する要求が非常に厳しくなる。これに対し、本明細書で開示される液晶表示装置は、素子の特性に制約されることなく各画素に対する画像信号の入力頻度を増加させることが可能である。そのため、フィールドシーケンシャル方式によって表示を行う液晶表示装置におけるカラーブレイクの抑制を容易に行うことが可能である。

10

20

【0038】

加えて、フィールドシーケンシャル方式によって表示を行う場合、図5に示すように領域毎に異なる色を呈する光を供給することは、以下の点で好ましい。全画面共通で同一の光を供給する場合、特定の瞬間において画素部には特定の色に関する色情報のみが存在することになる。そのため、利用者の瞬きなどによる特定の期間の表示情報の欠落が特定の色情報の欠落とイコールになる。これに対し、領域毎に異なる色を呈する光を供給する場合、特定の瞬間において画素部にはそれぞれの色に関する色情報が存在することになる。そのため、利用者の瞬きなどによる特定の期間の表示情報の欠落が特定の色情報の欠落とイコールにはならない。つまり、領域毎に異なる色を呈する光を供給することで、カラーブレイクを軽減することが可能である。さらに、図5に示すようにバックライトユニット群を点灯する場合、隣接するバックライトユニット群が異なる色を呈することがない。具体的には、サンプリング期間(t_1)内において、($n+1$)行目に配設された m 個の画素15から($n+k$)行目に配設された m 個の画素15に対して青(B)の画像信号の入力が終了した後に($n+1$)行目乃至($n+k$)行目用バックライトユニット群において青(B)を点灯させる際に、($3k+1$)行目乃至 n 行目用バックライトユニット群及び($n+k+1$)行目乃至($n+2k$)行目用バックライトユニット群においては、青(B)が点灯される又は点灯自体が行われない(赤(R)、緑(G)が点灯されることがない)。そのため、特定の色の画像情報が入力された画素を、当該特定の色と異なる色を呈する光が透過する確率を低減することが可能である。

30

40

【0039】

<変形例>

上述した構成を有する液晶表示装置は、本発明の一態様であり、当該液晶表示装置と異なる点を有する液晶表示装置も本発明には含まれる。

【0040】

例えば、上述した液晶表示装置においては、画素部10の特定の3行に配設された $3m$ 個の画素に対して同期内に並行して画像信号を供給する構成について示したが、本発明の液晶表示装置は、当該構成に限定されない。すなわち、本発明の液晶表示装置では、画素部10の特定の複数行に配設された複数の画素に対して同期内に並行して画像信号を

50

供給する構成とすることが可能である。なお、自明ではあるが、当該行数を変化させる場合、当該行数と同数のシフトレジスタなどを設ける必要があることを付記する。

【0041】

また、上述した液晶表示装置においては、等間隔に配設された特定の3行に配設された画素に対して同期内に並行して画像信号を供給する構成（画像信号が供給される行の間隔が、画素 n 行分）について示したが、本発明の液晶表示装置は、当該構成に限定されない。すなわち、本発明の液晶表示装置は、非等間隔に配設された特定の3行に配設された画素に対して同期内に並行して画像信号を供給する構成とすることが可能である。具体的には、1行目に配設された m 個の画素、 $(a+1)$ 行目（ a は、自然数）に配設された m 個の画素、及び $(a+b+1)$ 行目（ b は、 a と異なる自然数）に配設された m 個の画素に同期内に並行して画像信号を供給する構成とすることが可能である。

10

【0042】

また、上述した液晶表示装置においては、走査線駆動回路がシフトレジスタを用いて構成される液晶表示装置について示したが、当該シフトレジスタを同等の機能を有する回路に置換することが可能である。例えば、当該シフトレジスタをデコーダに置換することが可能である。

【0043】

また、上述した液晶表示装置においては、複数の光源として赤（R）、緑（G）、青（B）の3色を呈する光を発光する光源を用いる構成について示したが、本発明の液晶表示装置は、当該構成に限定されない。すなわち、本発明の液晶表示装置では、任意の色を呈する光を発光する光源を組み合わせる用いることが可能である。例えば、赤（R）、緑（G）、青（B）、白（W）の4種の光源を組み合わせる用いること、又はシアン、マゼンタ、イエローの3種の光源を組み合わせる用いることなどが可能である。さらに、淡色の赤（R）、緑（G）、及び青（B）、並びに濃色の赤（R）、緑（G）、及び青（B）の6種の光源を組み合わせる用いること、又は赤（R）、緑（G）、青（B）、シアン、マゼンタ、イエローの6種の光源を組み合わせる用いることなども可能である。このように、より多種の色を呈する光を発光する光源を組み合わせることで、当該液晶表示装置において表現できる色域を拡大し、画質を向上させることが可能である。

20

【0044】

また、上述した液晶表示装置においては、液晶素子に印加される電圧を保持するための容量素子が設けられる構成（図1（B）参照）について示したが、当該容量素子を設けない構成とすることも可能である。

30

【0045】

また、上述した液晶表示装置においては、バックライトユニットとして赤（R）、緑（G）、青（B）の3色を呈する光を発光する光源を横に直線的に並べる構成（図4（B）参照）について示したが、バックライトユニットの構成は、当該構成に限定されない。例えば、当該3色を呈する光を発光する光源を3角配置しても良いし、当該3色を呈する光を発光する光源を縦に直線的に並べてもよいし、赤（R）を呈する光を発光する光源、緑（G）を呈する光を発光する光源、及び青（B）を呈する光を発光する光源を別途設けても良い。また、上述した液晶表示装置においては、バックライトとして直下型方式のバックライトを適用する構成（図4（B）参照）について示したが、当該バックライトとしてエッジライト方式のバックライトを適用することも可能である。

40

【0046】

（実施の形態2）

本実施の形態では、実施の形態1とは異なる構成を有する、フィールドシーケンシャル方式によって表示を行う液晶表示装置の一例について図6～図8を参照して説明する。

【0047】

<液晶表示装置の構成例>

図6（A）は、液晶表示装置の構成例を示す図である。図6（A）に示す液晶表示装置は、画素部30と、走査線駆動回路31と、信号線駆動回路32と、各々が平行又は略平

50

行に配設され、且つ走査線駆動回路 3 1 によって電位が制御される $3n$ 本 (n は、2 以上の自然数) の走査線 3 3 と、各々が平行又は略平行に配設され、且つ信号線駆動回路 3 2 によって電位が制御される、 m 本 (m は、2 以上の自然数) の信号線 3 4 1、 m 本の信号線 3 4 2、及び m 本の信号線 3 4 3 と、を有する。

【0048】

さらに、画素部 3 0 は、3 つの領域 (領域 3 0 1 ~ 領域 3 0 3) に分割され、領域毎にマトリクス状 ($3n$ 行 m 列) に配設された複数の画素を有する。なお、各走査線 3 3 は、画素部 3 0 においてマトリクス状 ($3n$ 行 m 列) に配設された複数の画素のうち、いずれかの行に配設された m 個の画素に電氣的に接続される。また、各信号線 3 4 1 は、領域 3 0 1 においてマトリクス状 (n 行 m 列) に配設された複数の画素のうち、いずれかの列に配設された n 個の画素に電氣的に接続される。また、各信号線 3 4 2 は、領域 3 0 2 においてマトリクス状 (n 行 m 列) に配設された複数の画素のうち、いずれかの列に配設された n 個の画素に電氣的に接続される。また、各信号線 3 4 3 は、領域 3 0 3 においてマトリクス状 (n 行 m 列) に配設された複数の画素のうち、いずれかの列に配設された n 個の画素に電氣的に接続される。

10

【0049】

なお、走査線駆動回路 3 1 には、外部から走査線駆動回路用スタート信号 (GSP)、走査線駆動回路用クロック信号 (GCK)、及び高電源電位、低電源電位などの駆動用電源が入力される。また、信号線駆動回路 3 2 には、外部から信号線駆動回路用スタート信号 (SSP)、信号線駆動回路用クロック信号 (SCK)、画像信号 (data1 ~ data3) などの信号、及び高電源電位、低電源電位などの駆動用電源が入力される。

20

【0050】

図 6 (B) ~ (D) は、画素の回路構成例を示す図である。具体的には、図 6 (B) は、領域 3 0 1 に配設された画素 3 5 1 の回路構成例を示す図であり、図 6 (C) は、領域 3 0 2 に配設された画素 3 5 2 の回路構成例を示す図であり、図 6 (D) は、領域 3 0 3 に配設された画素 3 5 3 の回路構成例を示す図である。図 6 (B) に示す画素 3 5 1 は、ゲートが走査線 3 3 に電氣的に接続され、ソース及びドレインの一方が信号線 3 4 1 に電氣的に接続されたトランジスタ 3 5 1 1 と、一方の電極がトランジスタ 3 5 1 1 のソース及びドレインの他方に電氣的に接続され、他方の電極が容量電位を供給する配線に電氣的に接続された容量素子 3 5 1 2 と、一方の電極がトランジスタ 3 5 1 1 のソース及びドレインの他方並びに容量素子 3 5 1 2 の一方の電極に電氣的に接続され、他方の電極が対向電位を供給する配線に電氣的に接続された液晶素子 3 5 1 4 と、を有する。

30

【0051】

図 6 (C) に示す画素 3 5 2 及び図 6 (D) に示す画素 3 5 3 も回路構成自体は、図 6 (B) に示す画素 3 5 1 と同一である。ただし、図 6 (C) に示す画素 3 5 2 では、トランジスタ 3 5 2 1 のソース及びドレインの一方が信号線 3 4 1 ではなく信号線 3 4 2 に電氣的に接続される点が図 6 (B) に示す画素 3 5 1 と異なり、図 6 (D) に示す画素 3 5 3 では、トランジスタ 3 5 3 1 のソース及びドレインの一方が信号線 3 4 1 ではなく信号線 3 4 3 に電氣的に接続される点が図 6 (B) に示す画素 3 5 1 と異なる。

40

【0052】

< 走査線駆動回路 3 1 の構成例 >

図 7 (A) は、図 6 (A) に示す液晶表示装置が有する走査線駆動回路 3 1 の構成例を示す図である。図 7 (A) に示す走査線駆動回路 3 1 は、 n 個の出力端子を有するシフトレジスタ 3 1 1 ~ 3 1 3 を有する。なお、シフトレジスタ 3 1 1 が有する出力端子のそれぞれは、領域 3 0 1 に配設された n 本の走査線 3 3 のいずれかに電氣的に接続され、シフトレジスタ 3 1 2 が有する出力端子のそれぞれは、領域 3 0 2 に配設された n 本の走査線 3 3 のいずれかに電氣的に接続され、シフトレジスタ 3 1 3 が有する出力端子のそれぞれは、領域 3 0 3 に配設された n 本の走査線 3 3 のいずれかに電氣的に接続される。すなわち、シフトレジスタ 3 1 1 は、領域 3 0 1 において選択信号を供給するシフトレジスタであり、シフトレジスタ 3 1 2 は、領域 3 0 2 において選択信号を供給するシフトレジスタ

50

であり、シフトレジスタ313は、領域303において選択信号を供給するシフトレジスタである。具体的には、シフトレジスタ311は、外部から入力される走査線駆動回路用スタート信号(GSP)をきっかけとして、1行目に配設された走査線33を起点として順次選択信号をシフト(走査線33を走査線駆動回路用クロック信号(GCK)1/2周期毎に順次選択)する機能を有し、シフトレジスタ312は、外部から入力される走査線駆動回路用スタート信号(GSP)をきっかけとして、(n+1)行目に配設された走査線33を起点として順次選択信号をシフトする機能を有し、シフトレジスタ313は、外部から入力される走査線駆動回路用スタート信号(GSP)をきっかけとして、(2n+1)行目に配設された走査線33を起点として順次選択信号をシフトする機能を有する。

【0053】

< 走査線駆動回路31の動作例 >

上述した走査線駆動回路31の動作例について図7(B)を参照して説明する。なお、図7(B)には、走査線駆動回路用クロック信号(GCK)、シフトレジスタ311が有するn個の出力端子から出力される信号(SR311out)、シフトレジスタ312が有するn個の出力端子から出力される信号(SR312out)、及びシフトレジスタ313が有するn個の出力端子から出力される信号(SR313out)を示している。

【0054】

サンプリング期間(T1)において、シフトレジスタ311では、1行目に配設された走査線33を起点としてn行目に配設された走査線33までハイレベルの電位が1/2クロック周期(水平走査期間)毎に順次シフトし、シフトレジスタ312では、(n+1)行目に配設された走査線33を起点として2n行目に配設された走査線33までハイレベルの電位が1/2クロック周期(水平走査期間)毎に順次シフトし、シフトレジスタ313では、(2n+1)行目に配設された走査線33を起点として3n行目に配設された走査線33までハイレベルの電位が1/2クロック周期(水平走査期間)毎に順次シフトする。そのため、走査線駆動回路31は、走査線33を介して、1行目に配設されたm個の画素351からn行目に配設されたm個の画素351を順次選択するとともに、(n+1)行目に配設されたm個の画素352から2n行目に配設されたm個の画素352を順次選択し、(2n+1)行目に配設されたm個の画素353から3n行目に配設されたm個の画素353を順次選択することになる。すなわち、走査線駆動回路31は、水平走査期間毎に異なる3行に配設された3m個の画素に対して選択信号を供給することが可能である。

【0055】

サンプリング期間(T2)及びサンプリング期間(T3)において、シフトレジスタ311~313の動作は、サンプリング期間(T1)と同じである。すなわち、走査線駆動回路31は、サンプリング期間(T1)と同様に、水平走査期間毎に特定の3行に配設された3m個の画素に対して選択信号を供給することが可能である。

【0056】

< 信号線駆動回路32の構成例 >

図8は、図6(A)に示す液晶表示装置が有する信号線駆動回路32の構成例を示す図である。図8に示す信号線駆動回路32は、m個の出力端子を有するシフトレジスタ320と、m個のトランジスタ321と、m個のトランジスタ322と、m個のトランジスタ323と、を有する。なお、トランジスタ321のゲートは、シフトレジスタ320が有するj番目(jは、1以上m以下の自然数)の出力端子に電氣的に接続され、ソース及びドレインの一方が第1の画像信号(data1)を供給する配線に電氣的に接続され、ソース及びドレインの他方が画素部30においてj列目に配設された信号線341に電氣的に接続される。また、トランジスタ322のゲートは、シフトレジスタ320が有するj番目の出力端子に電氣的に接続され、ソース及びドレインの一方が第2の画像信号(data2)を供給する配線に電氣的に接続され、ソース及びドレインの他方が画素部30においてj列目に配設された信号線342に電氣的に接続される。また、トランジスタ323のゲートは、シフトレジスタ320が有するj番目の出力端子に電氣的に接続され、ソ

10

20

30

40

50

ース及びドレインの一方が第3の画像信号 (d a t a 3) を供給する配線に電氣的に接続され、ソース及びドレインの他方が画素部 3 0 において j 列目に配設された信号線 3 4 3 に電氣的に接続される。

【 0 0 5 7 】

なお、ここでは、第1の画像信号 (d a t a 1) として、サンプリング期間 (T 1) において、赤 (R) の画像信号 (赤 (R) を呈する光の透過を制御するための画像信号) を信号線 3 4 1 に供給し、サンプリング期間 (T 2) において、緑 (G) の画像信号 (緑 (G) を呈する光の透過を制御するための画像信号) を信号線 3 4 1 に供給し、サンプリング期間 (T 3) において、青 (B) の画像信号 (青 (B) を呈する光の透過を制御するための画像信号) を信号線 3 4 1 に供給することとする。また、第2の画像信号 (d a t a 2) として、サンプリング期間 (T 1) において、青 (B) の画像信号を信号線 3 4 2 に供給し、サンプリング期間 (T 2) において、赤 (R) の画像信号を信号線 3 4 2 に供給し、サンプリング期間 (T 3) において、緑 (G) の画像信号を信号線 3 4 2 に供給することとする。また、第3の画像信号 (d a t a 3) として、サンプリング期間 (T 1) において、緑 (G) の画像信号を信号線 3 4 3 に供給し、サンプリング期間 (T 2) において、青 (B) の画像信号を信号線 3 4 3 に供給し、サンプリング期間 (T 3) において、赤 (R) の画像信号を信号線 3 4 3 に供給することとする。

10

【 0 0 5 8 】

< バックライトの構成例 >

本実施の形態の液晶表示装置のバックライトとして、実施の形態 1 に示したバックライトを適用することが可能である。そのため、ここでは前述の説明を援用することとする。

20

【 0 0 5 9 】

< 液晶表示装置の動作例 >

本実施の形態の液晶表示装置は、実施の形態 1 に示した液晶表示装置と同様の動作 (図 5 参照) を行うことが可能である。すなわち、本実施の形態の液晶表示装置は、サンプリング期間 (T 1) において、1行目に配設された m 個の画素 3 5 1 から n 行目に配設された m 個の画素 3 5 1 を順次選択し、且つ (n + 1) 行目に配設された m 個の画素 3 5 2 から 2 n 行目に配設された m 個の画素 3 5 2 を順次選択し、且つ (2 n + 1) 行目に配設された m 個の画素 3 5 3 から 3 n 行目に配設された m 個の画素 3 5 3 を順次選択することで、各画素に画像信号を入力することが可能である。

30

【 0 0 6 0 】

また、本実施の形態の液晶表示装置では、実施の形態 1 に示した液晶表示装置と同様に、領域 (1 行目乃至 n 行目、 (n + 1) 行目乃至 2 n 行目、及び (2 n + 1) 行目乃至 3 n 行目) 毎に、選択信号の供給と、特定色を呈する光の供給とを並行して行うことが可能である。

【 0 0 6 1 】

< 本実施の形態の液晶表示装置について >

本実施の形態の液晶表示装置は、実施の形態 1 に示した液晶表示装置と同様の作用を有する液晶表示装置である。さらに、本実施の形態の液晶表示装置は、実施の形態 1 に示した液晶表示装置と比較して、画素部に配設される走査線の本数及び各画素に設けられるトランジスタの数を低減することができ、開口率をさらに向上させることが可能である。また、画素部に配設される走査線の本数が低減されることで信号線と走査線とが重畳することによって生じる寄生容量を低減することができるため、信号線を高速駆動することが可能である。また、走査線駆動回路の回路面積を縮小すること、及び走査線駆動回路の動作に必要とされる信号を低減すること (複数のシフトレジスタに別々の走査線駆動回路用スタート信号を入力する必要がない) が可能である。

40

【 0 0 6 2 】

< 変形例 >

本実施の形態の液晶表示装置は、本発明の一態様であり、当該液晶表示装置と異なる点を有する液晶表示装置も本発明には含まれる。例えば、本実施の形態の液晶表示装置の構

50

成を、実施の形態 1 の変形例に示した構成に変更することが可能である。具体的には、本実施の形態の液晶表示装置が有するシフトレジスタを同等の機能を有する回路（デコーダなど）に置換することなどが可能である。

【0063】

また、本実施の形態の液晶表示装置においては、画素部 30 を 3 つの領域に分割する構成について示したが、本実施の形態の液晶表示装置は、当該構成に限定されない。すなわち、本実施の形態の液晶表示装置では、画素部 30 を任意の複数領域に分割する構成とすることが可能である。なお、自明ではあるが、当該領域数を変化させる場合、当該領域数と同数のシフトレジスタなどを設ける必要があることを付記する。

【0064】

また、本実施の形態の液晶表示装置においては、3 つの領域に含まれる画素数が同一である構成（全ての領域において n 行 m 列の画素が含まれる構成）について示したが、本実施の形態の液晶表示装置では、領域毎に含まれる画素数を変化させることが可能である。具体的には、第 1 の領域には c 行 m 列（ c は、自然数）の画素が含まれ、第 2 の領域には d 行 m 列（ d は、 c と異なる自然数）の画素が含まれる構成とすることが可能である。

【0065】

（実施の形態 3）

本実施の形態では、実施の形態 1 又は 2 に示した液晶表示装置の具体的な構成について、説明する。

【0066】

< 画素の断面の具体例 >

図 9 に、本発明の一態様に係る液晶表示装置の、画素の断面図を一例として示す。ただし、図 9 では、微結晶半導体を用いたトランジスタを一例として挙げているが、非晶質半導体を用いたトランジスタであっても良い。

【0067】

図 9 に示すトランジスタ 1401 は、絶縁表面上に形成されたゲート層 1402 と、ゲート層 1402 上のゲート絶縁層 1403 と、ゲート絶縁層 1403 上においてゲート層 1402 と重なっている、微結晶半導体を含む半導体層 1404 と、半導体層 1404 上に積層するように形成され、ソース層またはドレイン層として機能する導電膜 1405 及び導電膜 1406 とを有する。さらに、トランジスタ 1401 は、半導体層 1404 上に形成された絶縁層 1407 を、その構成要素に含めても良い。絶縁層 1407 は、ゲート層 1402 と、ゲート絶縁層 1403 と、半導体層 1404 と、導電膜 1405 及び導電膜 1406 とを覆うように形成されている。

【0068】

絶縁層 1407 上には絶縁層 1408 が形成されている。絶縁層 1407、絶縁層 1408 の一部には開口部が設けられており、該開口部において導電膜 1406 と接するように、画素電極 1410 が形成されている。

【0069】

また、絶縁層 1408 上には、液晶素子のセルギャップを制御するためのスペーサ 1417 が形成されている。スペーサ 1417 は絶縁層を所望の形状にエッチングすることで形成することが可能であるが、球状スペーサを絶縁層 1408 上に散布することでセルギャップを制御するようにしても良い。

【0070】

そして、画素電極 1410 上には、配向膜 1411 が形成されている。また、対向基板 1420 には、画素電極 1410 と対峙する対向電極 1413 が設けられており、対向電極 1413 の画素電極 1410 に近い側には配向膜 1414 が形成されている。配向膜 1411、配向膜 1414 は、ポリイミド、ポリビニルアルコールなどの有機樹脂を用いて形成することができ、その表面には、液晶分子を一定方向に配列させるためのラビングなどの配向処理が施されている。ラビングは、配向膜に接して、ナイロンなどの布を巻いたローラーを回転させて、上記配向膜の表面を一定方向に擦ることで行うことができる。な

10

20

30

40

50

お、酸化珪素などの無機材料を用い、配向処理を施すことなく蒸着法などの方法で配向特性を有する配向膜 1 4 1 1、配向膜 1 4 1 4 を直接形成することも可能である。

【0071】

そして、画素電極 1 4 1 0 と、対向電極 1 4 1 3 の間においてシール材 1 4 1 6 に囲まれた領域には、液晶 1 4 1 5 が設けられている。液晶 1 4 1 5 の注入は、ディスペンサ式（滴下式）を用いても良いし、ディップ式（汲み上げ式）を用いても良い。なお、シール材 1 4 1 6 にはフィラーが混入されていても良い。

【0072】

また、画素間における液晶 1 4 1 5 の配向の乱れに起因するディスクリネーションが視認されるのを防ぐために、画素間に、光を遮蔽することができる遮蔽膜を形成しても良い。遮蔽膜には、カーボンブラック、低原子価酸化チタンなどの黒色顔料を含む有機樹脂を用いることができる。または、クロムを用いた膜で、遮蔽膜を形成することも可能である。

10

【0073】

画素電極 1 4 1 0 と対向電極 1 4 1 3 は、例えば、酸化珪素を含む酸化インジウムスズ（ITO）、酸化インジウムスズ（ITO）、酸化亜鉛（ZnO）、酸化インジウム亜鉛（IZO）、ガリウムを添加した酸化亜鉛（GZO）などの透明導電材料を用いることができる。

【0074】

なお、ここでは、液晶表示装置として、TN（Twisted Nematic）型を示したが、VA（Vertical Alignment）型、OCB（Optically Compensated Birefringence）型、IPS（In-Plane Switching）型、MVA（Multi-domain Vertical Alignment）型等の、その他の液晶表示装置であっても良い。

20

【0075】

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、カイラル剤や紫外線硬化樹脂を添加して温度範囲を改善する。具体的には、5重量%以上のカイラル剤を混合させた液晶組成物を液晶 1 4 1 5 に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答時間が 10 μ sec. 以上 100 μ sec. 以下と短く、これを用いた液晶表示装置では配向膜が不要であり、視野角依存性が小さい。このような特性を有する液晶は、上述した液晶表示装置（画像を形成するために複数回の画像信号を各画素に入力することが必要な液晶表示装置）が有する液晶として特に好ましい。

30

【0076】

なお、図 9 では、画素電極 1 4 1 0 と対向電極 1 4 1 3 の間に液晶 1 4 1 5 が挟まれている構造を有する液晶素子を例に挙げて説明したが、本発明の一態様に係る液晶表示装置はこの構成に限定されない。IPS 型の液晶素子やブルー相を示す液晶を用いた液晶素子のように、一对の電極が共に一の基板に形成されていても良い。

【0077】

<画素部と駆動回路間の接続の具体例>

次いで、画素部の形成された基板に、駆動回路が形成された基板を直接実装する場合の、端子間の接続の仕方について説明する。

40

【0078】

図 10 (A) に、ワイヤボンディング法を用いた場合の、駆動回路が形成された基板 900 と、画素部が形成された基板 901 の接続部分の断面図を示す。基板 900 は基板 901 上に、接着剤 903 により貼り付けられている。基板 900 には、駆動回路を構成するトランジスタ 906 が設けられている。そして、トランジスタ 906 は、基板 900 において表面に露出するように形成された、端子として機能するパッド 907 と電気的に接続されている。そして、図 10 (A) に示す基板 901 上には端子 904 が形成されてお

50

り、ワイヤ905によってパッド907と端子904とが接続されている。

【0079】

次に、図10(B)に、フリップチップ法を用いた場合の、画素部の形成された基板911と、駆動回路が形成された基板910の、接続部分の断面図を示す。図10(B)では、基板910において表面に露出するよう形成されたパッド912に、溶剤ボール913が接続されている。よって、基板910に形成された駆動回路を構成するトランジスタ914は、パッド912を介して溶剤ボール913と電氣的に接続されている。そして、溶剤ボール913は、基板911上に形成された端子916と接続されている。

【0080】

なお、溶剤ボール913と、端子916との接続は、熱圧着や、超音波による振動を加えた熱圧着等様々な方法を用いることができる。なお、基板910と基板911との間にアンダーフィルを設け、圧着後の溶剤ボール間の隙間を埋めるようにし、接続部分の機械的強度や、基板911において発生した熱の拡散などの効率を高めるようにしても良い。アンダーフィルは必ずしも用いる必要はないが、基板910と基板911の熱膨張係数のミスマッチから生ずる応力により、接続不良が起こるのを防ぐことができる。超音波を加えて圧着する場合、単に熱圧着する場合に比べて接続不良を抑えることができる。

【0081】

フリップチップ法の場合、接続するべきパッドの数が増加しても、ワイヤボンディング法に比べて、比較的パッド間のピッチを広く確保することができるので、端子数の多い場合の接続に向いている。

【0082】

なお、溶剤ボールの形成に、金属のナノ粒子が分散された分散液を吐出する液滴吐出法を用いても良い。

【0083】

次に、図10(C)に、異方性の導電性樹脂を用いた場合の、画素部の形成された基板921と、駆動回路が形成された基板920の、接続部分の断面図を示す。図10(C)では、基板920において表面に露出するよう形成されたパッド922が、基板920に形成された駆動回路を構成するトランジスタ924と電氣的に接続されている。そして、パッド922は、基板921上に形成された端子926と、異方性の導電性樹脂927を介して接続されている。

【0084】

なお、接続方法は図10に示した方法に限定されない。ワイヤボンディング法とフリップチップ法を組み合わせ、接続を行うようにしても良い。

【0085】

<画素部を有する基板に実装される駆動回路の具体例1>

次いで、駆動回路を有する基板(ICチップともいう)の実装方法について説明する。

【0086】

図11(A)に示す液晶表示装置は、基板6301に画素部6302が形成されている。対向基板6306は、画素部6302を覆うように、基板6301と重なっている。そして、走査線駆動回路が形成された基板6303と、信号線駆動回路が形成された基板6304とが、基板6301に直接実装されている。具体的には、基板6303に形成された走査線駆動回路と、基板6304に形成された信号線駆動回路とが、基板6301に貼り合わされ、画素部6302と電氣的に接続されている。また、画素部6302と、基板6303に形成された走査線駆動回路と、基板6304に形成された信号線駆動回路とに、それぞれ電源電位、各種信号等が、FPC6305またはFPC6307を介して供給される。

【0087】

図11(B)に示す液晶表示装置は、基板6401に画素部6402が形成されている

10

20

30

40

50

。対向基板 6 4 0 6 は、画素部 6 4 0 2 を覆うように、基板 6 4 0 1 と重なっている。そして、走査線駆動回路が形成された基板 6 4 0 3 が、基板 6 4 0 1 に接続された F P C 6 4 0 7 に実装されている。信号線駆動回路が形成された基板 6 4 0 4 が、基板 6 4 0 1 に接続された F P C 6 4 0 5 に実装されている。また、画素部 6 4 0 2 と、基板 6 4 0 3 に形成された走査線駆動回路と、基板 6 4 0 4 に形成された信号線駆動回路とに、それぞれ電源電位、各種信号等が、F P C 6 4 0 5 または F P C 6 4 0 7 を介して供給される。

【 0 0 8 8 】

基板の実装方法は、特に限定されるものではなく、公知の C O G 方法やワイヤボンディング方法、或いは T A B 方法などを用いることができる。また、I C チップを実装する位置は、電気的な接続が可能であるならば、図 1 1 に示した位置に限定されない。また、コントローラ、C P U、メモリ等を I C チップで形成し、画素部の形成された基板に実装するようにしても良い。

10

【 0 0 8 9 】

< 画素部を有する基板に実装される駆動回路の具体例 2 >

次いで、図 1 1 に示した駆動回路を有する基板の実装方法とは異なる駆動回路を有する基板の実装方法について図 2 3 を参照して説明する。具体的には、画素部と、走査線駆動回路、又は走査線駆動回路及び信号線駆動回路の一部とが形成される基板上に、信号線駆動回路又はその一部が形成された基板を実装する方法について図 2 3 を参照して説明する。端的に述べると、図 2 3 に示す構成は、画素部が形成されている基板上に、走査線駆動回路、又は走査線駆動回路及び信号線駆動回路の一部が形成されている点が図 1 1 に示す構成とは異なる。この場合、製造工程の観点から画素部に含まれるトランジスタと、走査線駆動回路、又は走査線駆動回路及び信号線駆動回路の一部に含まれるトランジスタとが同一構成を有するトランジスタであることが好ましい。また、走査線駆動回路、又は走査線駆動回路及び信号線駆動回路の一部に含まれるトランジスタとしては、高速応答性が要求される。したがって、図 2 3 に示す構成においては、画素部に含まれるトランジスタ及び走査線駆動回路、又は走査線駆動回路及び信号線駆動回路の一部に含まれるトランジスタとして、微結晶半導体を用いたトランジスタを適用することが好ましい。

20

【 0 0 9 0 】

図 2 3 (A) に示す液晶表示装置は、基板 6 0 0 1 に、画素部 6 0 0 2 と、走査線駆動回路 6 0 0 3 とが形成されている。対向基板 6 0 0 6 は、画素部 6 0 0 2 と走査線駆動回路 6 0 0 3 を覆うように、基板 6 0 0 1 と重なっている。そして、信号線駆動回路が形成されている基板 6 0 0 4 が、基板 6 0 0 1 に直接実装されている。具体的には、基板 6 0 0 4 に形成された信号線駆動回路が、基板 6 0 0 1 に貼り合わされ、画素部 6 0 0 2 と電氣的に接続されている。また、画素部 6 0 0 2 と、走査線駆動回路 6 0 0 3 と、基板 6 0 0 4 に形成された信号線駆動回路とには、それぞれ電源電位、各種信号等が、F P C 6 0 0 5 を介して供給される。

30

【 0 0 9 1 】

図 2 3 (B) に示す液晶表示装置は、基板 6 1 0 1 に、画素部 6 1 0 2 と、走査線駆動回路 6 1 0 3 とが形成されている。対向基板 6 1 0 6 は、画素部 6 1 0 2 と走査線駆動回路 6 1 0 3 を覆うように、基板 6 1 0 1 と重なっている。そして、信号線駆動回路が形成された基板 6 1 0 4 は、基板 6 1 0 1 に接続された F P C 6 1 0 5 に実装されている。また、画素部 6 1 0 2 と、走査線駆動回路 6 1 0 3 と、基板 6 1 0 4 に形成された信号線駆動回路とに、それぞれ電源電位、各種信号等が、F P C 6 1 0 5 を介して供給される。

40

【 0 0 9 2 】

図 2 3 (C) に示す液晶表示装置は、基板 6 2 0 1 に、画素部 6 2 0 2 と、走査線駆動回路 6 2 0 3 と、信号線駆動回路の一部 6 2 0 7 が形成されている。対向基板 6 2 0 6 は、画素部 6 2 0 2、走査線駆動回路 6 2 0 3、及び信号線駆動回路の一部 6 2 0 7 を覆うように、基板 6 2 0 1 と重なっている。そして、信号線駆動回路の別の一部が形成された基板 6 2 0 4 は、基板 6 2 0 1 に直接実装されている。具体的には、基板 6 2 0 4 に形成された信号線駆動回路の別の一部が、基板 6 2 0 1 に貼り合わされ、信号線駆動回路の一

50

部 6 2 0 7 と電氣的に接続されている。また、画素部 6 2 0 2 と、走査線駆動回路 6 2 0 3 と、信号線駆動回路の一部 6 2 0 7 と、基板 6 2 0 4 に形成された信号線駆動回路の別の一部とに、それぞれ電源電位、各種信号等が、F P C 6 2 0 5 を介して供給される。

【 0 0 9 3 】

基板の実装方法は、特に限定されるものではなく、公知の C O G 方法やワイヤボンディング方法、或いは T A B 方法などを用いることができる。また、I C チップを実装する位置は、電氣的な接続が可能であるならば、図 2 3 に示した位置に限定されない。また、コントローラ、C P U、メモリ等を I C チップで形成し、画素部の形成された基板に実装するようにしても良い。

【 0 0 9 4 】

< 液晶表示装置の具体例 >

次いで、本発明の一態様に係る液晶表示装置のパネルの外観について、図 1 2 を用いて説明する。図 1 2 (A) は、基板 4 0 0 1 と対向基板 4 0 0 6 とをシール材 4 0 0 5 によって接着させたパネルの上面図であり、図 1 2 (B) は、図 1 2 (A) の破線 A - A ' における断面図に相当する。

【 0 0 9 5 】

基板 4 0 0 1 上に設けられた画素部 4 0 0 2 を囲むように、シール材 4 0 0 5 が設けられている。また、画素部 4 0 0 2 上に対向基板 4 0 0 6 が設けられている。よって、画素部 4 0 0 2 は、基板 4 0 0 1 とシール材 4 0 0 5 と対向基板 4 0 0 6 とによって、液晶 4 0 0 7 と共に封止されている。

【 0 0 9 6 】

また、基板 4 0 0 1 上のシール材 4 0 0 5 によって囲まれている領域とは異なる領域に、信号線駆動回路 4 0 0 3 が形成された基板 4 0 2 1 と、走査線駆動回路が形成された基板 4 0 0 4 とが、実装されている。図 1 2 (B) では、信号線駆動回路 4 0 0 3 に含まれるトランジスタ 4 0 0 9 を例示している。

【 0 0 9 7 】

また、基板 4 0 0 1 上に設けられた画素部 4 0 0 2 は、トランジスタを複数有している。図 1 2 (B) では、画素部 4 0 0 2 に含まれるトランジスタ 4 0 1 0、トランジスタ 4 0 2 2 を例示している。トランジスタ 4 0 1 0、トランジスタ 4 0 2 2 は、非晶質半導体または微結晶半導体をチャネル形成領域に含んでいる。

【 0 0 9 8 】

また、液晶素子 4 0 1 1 が有する画素電極 4 0 3 0 は、トランジスタ 4 0 1 0 と電氣的に接続されている。そして、液晶素子 4 0 1 1 の対向電極 4 0 3 1 は、対向基板 4 0 0 6 に形成されている。画素電極 4 0 3 0 と対向電極 4 0 3 1 と液晶 4 0 0 7 とが重なっている部分が、液晶素子 4 0 1 1 に相当する。

【 0 0 9 9 】

また、スペーサ 4 0 3 5 が、画素電極 4 0 3 0 と対向電極 4 0 3 1 との間の距離（セルギャップ）を制御するために設けられている。なお、図 1 2 (B) では、スペーサ 4 0 3 5 が、絶縁膜をパターンングすることで形成されている場合を例示しているが、球状スペーサを用いても良い。

【 0 1 0 0 】

また、信号線駆動回路 4 0 0 3、走査線駆動回路、画素部 4 0 0 2 に与えられる各種信号及び電位は、引き回し配線 4 0 1 4 及び 4 0 1 5 を介して、接続端子 4 0 1 6 から供給されている。接続端子 4 0 1 6 は、F P C 4 0 1 8 が有する端子と、異方性導電膜 4 0 1 9 を介して電氣的に接続されている。

【 0 1 0 1 】

なお、基板 4 0 0 1、対向基板 4 0 0 6、基板 4 0 2 1 には、ガラス、セラミックス、プラスチックを用いることができる。プラスチックには、FRP (F i b e r g l a s s - R e i n f o r c e d P l a s t i c s) 板、P V F (ポリビニルフルオライド) フィルム、ポリエステルフィルムまたはアクリル樹脂フィルムなどが含まれる。

10

20

30

40

50

【0102】

但し、液晶素子4011を透過した光の取り出し方向に位置する基板には、ガラス板、プラスチック、ポリエステルフィルムまたはアクリルフィルムのような透光性を有する材料を用いる。

【0103】

図24は、図12に示した液晶表示装置とは異なるパネルの外観を示す図である。なお、図24(A)は、基板5001と対向基板5006とをシール材5005によって接合させたパネルの上面図であり、図24(B)は、図24(A)の破線B-B'における断面図に相当する。図24に示す液晶表示装置は、基板5001上に画素部5002のみならず走査線駆動回路5004が形成されている点が図12に示す液晶表示装置と異なる。

10

【0104】

図24に示す液晶表示装置においては、基板5001上に設けられた画素部5002と、走査線駆動回路5004とを囲むように、シール材5005が設けられている。また、画素部5002、走査線駆動回路5004の上に対向基板5006が設けられている。よって、画素部5002と走査線駆動回路5004は、基板5001とシール材5005と対向基板5006とによって、液晶5007と共に封止されている。

【0105】

また、基板5001上のシール材5005によって囲まれている領域とは異なる領域に、信号線駆動回路5003が形成された基板5021が、実装されている。図24(B)では、信号線駆動回路5003に含まれるトランジスタ5009を例示している。

20

【0106】

また、基板5001上に設けられた画素部5002、走査線駆動回路5004は、トランジスタを複数有している。図24(B)では、画素部5002に含まれるトランジスタ5010、トランジスタ5022を例示している。トランジスタ5010、トランジスタ5022は、微結晶半導体をチャンネル形成領域に含んでいる。

【0107】

また、液晶素子5011が有する画素電極5030は、トランジスタ5010と電氣的に接続されている。そして、液晶素子5011の対向電極5031は、対向基板5006に形成されている。画素電極5030と対向電極5031と液晶5007とが重なっている部分が、液晶素子5011に相当する。

30

【0108】

また、スペーサ5035が、画素電極5030と対向電極5031との間の距離(セルギャップ)を制御するために設けられている。なお、図24(B)では、スペーサ5035が、絶縁膜をパターンングすることで形成されている場合を例示しているが、球状スペーサを用いても良い。

【0109】

また、信号線駆動回路5003、走査線駆動回路5004、画素部5002に与えられる各種信号及び電位は、引き回し配線5014及び5015を介して、接続端子5016から供給されている。接続端子5016は、FPC5018が有する端子と、異方性導電膜5019を介して電氣的に接続されている。

40

【0110】

なお、基板5001、対向基板5006、基板5021には、ガラス、セラミックス、プラスチックを用いることができる。プラスチックには、FRP(Fiber glass-Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、ポリエステルフィルムまたはアクリル樹脂フィルムなどが含まれる。

【0111】

但し、液晶素子5011を透過した光の取り出し方向に位置する基板には、ガラス板、プラスチック、ポリエステルフィルムまたはアクリルフィルムのような透光性を有する材料を用いる。

【0112】

50

図13は、本発明の一態様に係る液晶表示装置の構造を示す、斜視図の一例である。図13に示す液晶表示装置は、画素部を有するパネル1601と、第1の拡散板1602と、プリズムシート1603と、第2の拡散板1604と、導光板1605と、バックライトパネル1607と、回路基板1608と、信号線駆動回路の形成された基板1611とを有している。

【0113】

パネル1601と、第1の拡散板1602と、プリズムシート1603と、第2の拡散板1604と、導光板1605と、バックライトパネル1607とは、順に積層されている。バックライトパネル1607は、複数のバックライトユニットで構成されたバックライト1612を有している。導光板1605内部に拡散されたバックライト1612からの光は、第1の拡散板1602、プリズムシート1603及び第2の拡散板1604によって、パネル1601に照射される。

10

【0114】

なお、ここでは、第1の拡散板1602と第2の拡散板1604とを用いているが、拡散板の数はこれに限定されず、単数であっても3以上であっても良い。そして、拡散板は導光板1605とパネル1601の間に設けられていれば良い。よって、プリズムシート1603よりもパネル1601に近い側にのみ拡散板が設けられていても良いし、プリズムシート1603よりも導光板1605に近い側にのみ拡散板が設けられていても良い。

【0115】

また、プリズムシート1603は、図13に示した断面が鋸歯状の形状に限定されず、導光板1605からの光をパネル1601側に集光できる形状を有していれば良い。

20

【0116】

回路基板1608には、パネル1601に入力される各種信号を生成する回路、またはこれら信号に処理を施す回路などが設けられている。そして、図13では、回路基板1608とパネル1601とが、COFテープ1609を介して接続されている。また、信号線駆動回路の形成された基板1611が、COF(Chip On Film)法を用いてCOFテープ1609に接続されている。

【0117】

図13では、バックライト1612の駆動を制御する制御系の回路が回路基板1608に設けられており、該制御系の回路とバックライトパネル1607とがFPC1610を介して接続されている例を示している。ただし、上記制御系の回路はパネル1601に形成されていても良く、この場合はパネル1601とバックライトパネル1607とがFPCなどにより接続されるようにする。

30

【0118】

<タッチパネルを用いた液晶表示装置の具体例>

本発明の一態様に係る液晶表示装置は、タッチパネルと呼ばれる位置入力装置を有している。図14(A)に、タッチパネル1620と、パネル1621とを重ね合わせている様子を示す。

【0119】

タッチパネル1620は、透光性を有する位置検出部1622において、指またはスタイラスなどが触れた位置を検出し、その位置情報を含む信号を生成することができる。よって、位置検出部1622がパネル1621の画素部1623に重なるようにタッチパネル1620を設けることで、液晶表示装置のユーザーが画素部1623のどの位置を指し示したかを情報として得ることができる。

40

【0120】

位置検出部1622における位置の検出は、抵抗膜方式、静電容量方式など、様々な方式を用いて行うことができる。図14(B)に、抵抗膜方式を用いた位置検出部1622の斜視図を示す。抵抗膜方式の位置検出部1622は、複数の第1電極1630と複数の第2電極1631とが、間隔をおいて対峙するように設けられている。指などで複数の第1電極1630のいずれかに押圧が加えられると、当該第1電極1630が複数の第2電

50

極 1 6 3 1 のいずれかに接触する。そして、複数の各第 1 電極 1 6 3 0 の両端の電圧の値と、複数の各第 2 電極 1 6 3 1 の両端の電圧の値とをモニターすると、いずれの第 1 電極 1 6 3 0 と第 2 電極 1 6 3 1 が接触したのかを特定することができるので、指が触れた位置を検出することができる。

【 0 1 2 1 】

第 1 電極 1 6 3 0 と第 2 電極 1 6 3 1 は、透光性を有する導電材料、例えば、酸化珪素を含む酸化インジウムスズ (I T S O)、酸化インジウムスズ (I T O)、酸化亜鉛 (Z n O)、酸化インジウム亜鉛 (I Z O)、ガリウムを添加した酸化亜鉛 (G Z O) など、形成することができる。

【 0 1 2 2 】

また、図 1 5 (A) に、静電容量方式のうち、投影静電容量方式を用いた位置検出部 1 6 2 2 の斜視図を示す。投影静電容量方式の位置検出部 1 6 2 2 は、複数の第 1 電極 1 6 4 0 と複数の第 2 電極 1 6 4 1 とが重なるように設けられている。各第 1 電極 1 6 4 0 は、矩形形状の導電膜 1 6 4 2 が複数接続された構成を有しており、各第 2 電極 1 6 4 1 は、矩形形状の導電膜 1 6 4 3 が複数接続された構成を有している。なお、第 1 電極 1 6 4 0 と第 2 電極 1 6 4 1 の形状はこの構成に限定されない。

【 0 1 2 3 】

また、図 1 5 (A) では、複数の第 1 電極 1 6 4 0 と複数の第 2 電極 1 6 4 1 の上に、誘電体として機能する絶縁層 1 6 4 4 が重なっている。図 1 5 (B) に、図 1 5 (A) に示した複数の第 1 電極 1 6 4 0 と、複数の第 2 電極 1 6 4 1 と、絶縁層 1 6 4 4 とが重なり合っている様子を示す。図 1 5 (B) に示すように、複数の第 1 電極 1 6 4 0 と複数の第 2 電極 1 6 4 1 は、矩形形状の導電膜 1 6 4 2 と矩形形状の導電膜 1 6 4 3 の位置が互いにずれるように、重なり合っている。

【 0 1 2 4 】

絶縁層 1 6 4 4 に指などが接触すると、複数の第 1 電極 1 6 4 0 のいずれかと、指との間に容量が形成される。また、複数の第 2 電極 1 6 4 1 のいずれかと、指との間にも容量が形成される。よって、静電容量の変化をモニターすることで、いずれの第 1 電極 1 6 4 0 と第 2 電極 1 6 4 1 に指が最も近づいたのかを特定することができるので、指が触れた位置を検出することができる。

【 0 1 2 5 】

< フォトセンサを有する液晶表示装置の具体例 >

本発明の一態様に係る液晶表示装置は、フォトセンサを画素部に有していても良い。図 1 6 (A) に、フォトセンサを有する画素部の構造の一例を、模式的に示す。

【 0 1 2 6 】

図 1 6 (A) に示す画素部 1 6 5 0 は、画素 1 6 5 1 と、該画素 1 6 5 1 に対応したフォトセンサ 1 6 5 2 とを有する。フォトセンサ 1 6 5 2 は、フォトダイオードなど、受光することで電気信号を発する機能を有する受光素子と、トランジスタとを有する。なお、フォトセンサ 1 6 5 2 が受光する光は、バックライトからの光が被検出物に照射された際の反射光を利用することができる。

【 0 1 2 7 】

図 1 6 (B) に、フォトセンサ 1 6 5 2 の構成を一例として示す。図 1 6 (B) に示すフォトセンサ 1 6 5 2 は、フォトダイオード 1 6 5 3、トランジスタ 1 6 5 4 及びトランジスタ 1 6 5 5 を有する。フォトダイオード 1 6 5 3 は、一方の電極がリセット信号線 1 6 5 6 に、他方の電極がトランジスタ 1 6 5 4 のゲートに接続されている。トランジスタ 1 6 5 4 は、ソース及びドレインの一方が、基準信号線 1 6 5 7 に、他方がトランジスタ 1 6 5 5 のソース及びドレインの一方に接続されている。トランジスタ 1 6 5 5 は、ゲートがゲート信号線 1 6 5 8 に、ソース及びドレインの他方が出力信号線 1 6 5 9 に接続されている。

【 0 1 2 8 】

< トランジスタの一例 >

10

20

30

40

50

次いで、トランジスタの構造について、図17を参照して説明する。ここでは、微結晶半導体と非晶質半導体を共に半導体層に含んでいるn型のトランジスタを例に挙げて、その構成について説明する。

【0129】

図17に、トランジスタの断面図の一例を示す。図17(A)に示すトランジスタは、基板601上に、ゲート層603と、半導体層633と、ゲート層603及び半導体層633の間に設けられるゲート絶縁層605と、半導体層633に接するソース領域及びドレイン領域として機能する不純物半導体層631a、631bと、不純物半導体層631a、631bに接する配線629a、629bとを有する。また、トランジスタの半導体層633、不純物半導体層631a、631b、配線629a、629bを覆う絶縁層637が形成される。

10

【0130】

半導体層633は、微結晶半導体領域633a及び一对の非晶質半導体領域633bを有する。微結晶半導体領域633aは、第1の面においてゲート絶縁層605に接し、第1の面と対向する第2の面において一对の非晶質半導体領域633b及び絶縁層637に接する。非晶質半導体領域633bは絶縁層637で分離されており、第1の面において微結晶半導体領域633aに接し、第1の面と対向する第2の面において、一对の不純物半導体層631a、631bに接する。即ち、半導体層633のゲート層603と重畳する領域において、微結晶半導体領域633aがゲート層603に接するゲート絶縁層605、及び絶縁層637に接する。

20

【0131】

図17(B)に示すトランジスタは、デュアルゲート型のトランジスタであり、図17(A)に示すトランジスタを覆う絶縁層637と、絶縁層637上において、半導体層633と重畳する電極とを有する。なお、ここでは、絶縁層637を介して半導体層633と対向する電極をバックゲート層639と示す。

【0132】

デュアルゲート型のトランジスタは、ゲート層603と、バックゲート層639との各々に印加する電位を変えることができる。このため、トランジスタのしきい値電圧を制御することができる。または、ゲート層603及びバックゲート層639に同じ電位を印加することができる。このため、微結晶半導体領域633aの第1の面及び第2の面にチャンネルが形成される。

30

【0133】

図17(B)に示すデュアルゲート型のトランジスタは、チャンネル形成領域が微結晶半導体領域633aのゲート絶縁層605側の界面近傍と、絶縁層637側の界面近傍との2箇所となるため、キャリアの移動量が増加し、オン電流及び電界効果移動度を高めることができる。このため、トランジスタの面積を小さくすることが可能であり、駆動回路の高集積化が可能である。よって、液晶表示装置の駆動回路に図17(B)に示すトランジスタを用いることで、駆動回路の面積を低減できるため、狭額縁化が可能である。

【0134】

次に、トランジスタの各構成について、以下に説明する。

40

【0135】

基板601としては、ガラス基板、セラミック基板の他、処理温度に耐えうる程度の耐熱性を有するプラスチック基板等を用いることができる。ガラス基板としては、例えば、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス若しくはアルミノケイ酸ガラス等の無アルカリガラス基板を用いるとよい。また、基板601として、第3世代(例えば、550mm×650mm)、第3.5世代(例えば、600mm×720mm、または620mm×750mm)、第4世代(例えば、680mm×880mm、または730mm×920mm)、第5世代(例えば、1100mm×1300mm)、第6世代(例えば、1500mm×1800mm)、第7世代(例えば、1900mm×2200mm)、第8世代(例えば、2160mm×2460mm)、第9世代(例えば、2400mm

50

× 2 8 0 0 m m)、第 1 0 世 代 (例 え ば、2 8 5 0 m m × 3 0 5 0 m m) 等 の ガ ラ ス 基 板 を 用 い る こ と が で き る。

【 0 1 3 6 】

ゲート層 6 0 3 は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジウム、スカンジウム、ニッケル等の金属材料またはこれらを主成分とする合金材料を用いて、単層でまたは積層して形成することができる。また、リン等の不純物元素をドーピングした多結晶シリコンに代表される半導体、A g P d C u 合金、A l - N d 合金、A l - N i 合金などを用いてもよい。

【 0 1 3 7 】

例えば、ゲート層 6 0 3 の二層の積層構造としては、アルミニウム層上にモリブデン層が積層した二層構造、または銅層上にモリブデン層を積層した二層構造、または銅層上に窒化チタン層若しくは窒化タンタル層を積層した二層構造、窒化チタン層とモリブデン層とを積層した二層構造、銅 - マグネシウム - 酸素合金層と銅層とを積層した二層構造、銅 - マンガン - 酸素合金層と銅層とを積層した二層構造、銅 - マンガン合金層と銅層とを積層した二層構造などとするのが好ましい。三層の積層構造としては、タングステン層または窒化タングステン層と、アルミニウムとシリコンの合金層またはアルミニウムとチタンの合金層と、窒化チタン層またはチタン層とを積層した三層構造とすることが好ましい。電氣的抵抗が低い層上にバリア層として機能する金属層が積層されることで、電氣的抵抗を低く、且つ金属層から半導体層への金属元素の拡散を防止することができる。

【 0 1 3 8 】

ゲート絶縁層 6 0 5 は、C V D 法またはスパッタリング法を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層または窒化酸化シリコン層を単層でまたは積層して形成することができる。また、ゲート絶縁層 6 0 5 を酸化シリコン層または酸化窒化シリコン層により形成することで、トランジスタの閾値電圧の変動を低減することができる。

【 0 1 3 9 】

なお、ここでは、酸化窒化シリコンとは、その組成として、窒素よりも酸素の含有量が多いものであって、好ましくは、ラザフォード後方散乱法 (R B S : R u t h e r f o r d B a c k s c a t t e r i n g S p e c t r o m e t r y) 及び水素前方散乱法 (H F S : H y d r o g e n F o r w a r d s c a t t e r i n g S p e c t r o m e t r y) を用いて測定した場合に、組成範囲として酸素が 5 0 ~ 7 0 原子%、窒素が 0 . 5 ~ 1 5 原子%、シリコンが 2 5 ~ 3 5 原子%、水素が 0 . 1 ~ 1 0 原子%の範囲で含まれるものをいう。また、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多いものであって、好ましくは、R B S 及び H F S を用いて測定した場合に、組成範囲として酸素が 5 ~ 3 0 原子%、窒素が 2 0 ~ 5 5 原子%、シリコンが 2 5 ~ 3 5 原子%、水素が 1 0 ~ 3 0 原子%の範囲で含まれるものをいう。ただし、酸化窒化シリコンまたは窒化酸化シリコンを構成する原子の合計を 1 0 0 原子%としたとき、窒素、酸素、シリコン及び水素の含有比率が上記の範囲内に含まれるものとする。

【 0 1 4 0 】

半導体層 6 3 3 は、微結晶半導体領域 6 3 3 a と、非晶質半導体領域 6 3 3 b とが積層されることを特徴とする。また、ここでは、微結晶半導体領域 6 3 3 a が凹凸状であることを特徴とする。

【 0 1 4 1 】

ここで、半導体層 6 3 3 の詳細な構造について説明する。ここでは、図 1 7 (A) に示すトランジスタのゲート絶縁層 6 0 5 と、ソース領域またはドレイン領域として機能する不純物半導体層 6 3 1 a との間の拡大図を、図 1 7 (C) 及び図 1 7 (D) に示す。

【 0 1 4 2 】

図 1 7 (C) に示すように、微結晶半導体領域 6 3 3 a は凹凸状であり、凸部はゲート絶縁層 6 0 5 から非晶質半導体領域 6 3 3 b に向かって、先端が狭まる (凸部の先端が鋭角である) 凸状 (錐形状) である。なお、ゲート絶縁層 6 0 5 から非晶質半導体領域 6 3

10

20

30

40

50

3 b に向かって幅が広がる凸状（逆錐形状）であってもよい。

【0143】

微結晶半導体領域 6 3 3 a は、微結晶半導体で形成される。

【0144】

微結晶半導体の代表例である微結晶シリコンは、そのラマンスペクトルのピークが単結晶シリコンを示す 520 cm^{-1} よりも低波数側に、シフトしている。即ち、単結晶シリコンを示す 520 cm^{-1} と非晶質シリコンを示す 480 cm^{-1} の間に微結晶シリコンのラマンスペクトルのピークがある。また、未結合手（ダングリングボンド）を終端するため水素またはハロゲンを少なくとも 1 原子% またはそれ以上含んでいる。さらに、ヘリウム、アルゴン、クリプトン、またはネオンなどの希ガス元素を含ませて格子歪みをさら

10

【0145】

微結晶半導体領域 6 3 3 a の厚さ、即ち、ゲート絶縁層 6 0 5 との界面から、微結晶半導体領域 6 3 3 a の突起（凸部）の先端までの距離を、3 nm 以上 410 nm 以下、好ましくは 20 nm 以上 100 nm 以下とすることで、トランジスタのオフ電流を低減することができる。

【0146】

また、半導体層 6 3 3 に含まれる酸素及び窒素の二次イオン質量分析法によって計測される濃度を、 $1 \times 10^{18}\text{ atoms/cm}^3$ 未満とすることで、微結晶半導体領域 6 3 3 a の結晶性を高めることができるため好ましい。

20

【0147】

非晶質半導体領域 6 3 3 b は、窒素を有する非晶質半導体で形成される。窒素を有する非晶質半導体に含まれる窒素は、例えば NH 基または NH_2 基として存在していてもよい。非晶質半導体としては、非晶質シリコンを用いて形成する。

【0148】

窒素を含む非晶質半導体は、従来の非晶質半導体と比較して、CPM (Constant Photocurrent Method) やフォトルミネッセンス分光測定で測定される Urbach 端のエネルギーが小さく、欠陥吸収スペクトル量が少ない半導体である。即ち、窒素を含む非晶質半導体は、従来の非晶質半導体と比較して、欠陥が少なく、価電子帯のバンド端における準位のテール（裾）の傾きが急峻である秩序性の高い半導体

30

【0149】

さらに、窒素を含む非晶質半導体は、低温フォトルミネッセンス分光によるスペクトルのピーク領域が、 1.31 eV 以上 1.39 eV 以下である。なお、微結晶半導体、代表的には微結晶シリコンを低温フォトルミネッセンス分光により測定したスペクトルのピーク領域は、 0.98 eV 以上 1.02 eV 以下であり、窒素を含む非晶質半導体は、微結

40

【0150】

また、非晶質半導体領域 6 3 3 b の他に、微結晶半導体領域 6 3 3 a にも、NH 基または NH_2 基を有してもよい。

【0151】

また、図 17 (D) に示すように、非晶質半導体領域 6 3 3 b に、粒径が 1 nm 以上 10 nm 以下、好ましくは 1 nm 以上 5 nm 以下の分散した半導体結晶粒 6 3 3 c を含ませることで、オン電流と電界効果移動度を高めることが可能である。

【0152】

ゲート絶縁層 6 0 5 から非晶質半導体領域 6 3 3 b に向かって、先端が狭まる凸状（錐

50

形状)の微結晶半導体領域633a、または幅が広がる凸状の微結晶半導体領域633aは、微結晶半導体が堆積する条件で微結晶半導体層を形成した後、結晶成長を低減する条件で当該微結晶半導体層を結晶成長させると共に、非晶質半導体を堆積することで、形成することができる。

【0153】

図17に示すトランジスタの微結晶半導体領域633aは、錐形状または逆錐形状であるため、オン状態でソース層及びドレイン層の間に電圧が印加されたときの縦方向(膜厚方向)における抵抗、即ち、半導体層633の抵抗を下げるのが可能である。また、微結晶半導体領域633aと不純物半導体層631a、631bとの間に、欠陥が少なく、価電子帯のバンド端における準位のテール(裾)の傾きが急峻である秩序性の高い、窒素を含む非晶質半導体を有するため、トンネル電流が流れにくくなる。以上のことから、図17に示すトランジスタは、オン電流及び電界効果移動度を高めるとともに、オフ電流を低減することができる。

10

【0154】

不純物半導体層631a、631bは、リングが添加された非晶質シリコン、リングが添加された微結晶シリコン等で形成する。また、リングが添加された非晶質シリコン及びリングが添加された微結晶シリコンの積層構造とすることもできる。なお、トランジスタとして、pチャネル型トランジスタを形成する場合は、不純物半導体層631a、631bは、ボロンが添加された微結晶シリコン、ボロンが添加された非晶質シリコン等で形成する。なお、半導体層633と、配線629a、629bとがオーミックコンタクトをする場合は、不純物半導体層631a、631bを形成しなくともよい。

20

【0155】

また、不純物半導体層631a、631bを、リングが添加された微結晶シリコン、またはボロンが添加された微結晶シリコンで形成する場合は、半導体層633と、不純物半導体層631a、631bとの間に、微結晶半導体層、代表的には微結晶シリコン層を形成することで、界面の特性を向上させることができる。この結果、不純物半導体層631a、631bと、半導体層633との界面に生じる抵抗を低減することができる。この結果、トランジスタのソース領域、半導体層、及びドレイン領域を流れる電流量を増加させ、オン電流の増加及び電界効果移動度の向上が可能となる。

【0156】

配線629a、629bは、アルミニウム、銅、チタン、ネオジム、スカンジウム、モリブデン、クロム、タンタル若しくはタングステン等により単層で、または積層して形成することができる。または、ヒロック防止元素が添加されたアルミニウム合金(ゲート層603に用いることができるAl-Nd合金等)により形成してもよい。ドナーとなる不純物元素を添加した結晶性シリコンを用いてもよい。ドナーとなる不純物元素が添加された結晶性シリコンと接する側の層を、チタン、タンタル、モリブデン、タングステンまたはこれらの元素の窒化物により形成し、その上にアルミニウムまたはアルミニウム合金を形成した積層構造としてもよい。更には、アルミニウムまたはアルミニウム合金の上面及び下面を、チタン、タンタル、モリブデン、タングステンまたはこれらの元素の窒化物で挟んだ積層構造としてもよい。

30

40

【0157】

絶縁層637は、ゲート絶縁層605と同様に形成することができる。また、絶縁層637は、有機樹脂層を用いて形成することができる。有機樹脂層としては、例えばアクリル、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテンなどを用いることができる。また、シロキサンポリマーを用いることができる。

【0158】

図17(B)に示すバックゲート層639は、配線629a、629bと同様に形成することができる。また、バックゲート層639は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物、インジウム亜鉛酸化物

50

、または酸化シリコンを添加したインジウム錫酸化物等を用いて形成することができる。

【0159】

また、バックゲート層639は、透光性を有する導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。バックゲート層639は、シート抵抗が10000 / 以下であって、且つ波長550nmにおける透光率が70%以上であることが好ましい。シート抵抗は、より低いことが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が0.1・cm以下であることが好ましい。

【0160】

導電性高分子としては、いわゆる電子共役系導電性高分子を用いることができる。例えば、ポリアニリン若しくはその誘導体、ポリピロール若しくはその誘導体、ポリチオフェン若しくはその誘導体、またはアニリン、ピロール及びチオフェンの2種以上の共重合体若しくはその誘導体等が挙げられる。

10

【0161】

なお、図17では、半導体層633が、微結晶半導体領域633aと非晶質半導体領域633bを含んでいるトランジスタの構成を示しているが、本発明の一態様に係る液晶表示装置が有するトランジスタは、上記構成に限定されない。半導体層が非晶質半導体で構成されていても良い。

【0162】

例えば、珪素を有する非晶質半導体は、珪素を含む気体をグロー放電分解することにより得ることができる。珪素を含む気体としては、 SiH_4 、 Si_2H_6 が挙げられる。珪素を含む気体を、水素、水素及びヘリウムで希釈して用いても良い。具体的には、モノシラン、水素を、それぞれ25sccm、25sccmの流量とし、反応圧力40Pa、基板温度250、高周波(60MHz)として、プラズマCVD法で、珪素を有する非晶質半導体を用いた半導体層を形成することができる。

20

【0163】

次に、トランジスタの平面図である図18を用いて、バックゲート層の形状について説明する。

【0164】

図18(A)に示すように、バックゲート層639は、ゲート層603と平行に形成することができる。この場合、バックゲート層639に印加する電位と、ゲート層603に印加する電位とを、それぞれ任意に制御することが可能である。このため、トランジスタのしきい値電圧を制御することができる。

30

【0165】

また、図18(B)に示すように、バックゲート層639は、ゲート層603に接続させることができる。即ち、ゲート絶縁層605及び絶縁層637に形成した開口部650において、ゲート層603及びバックゲート層639が接続する構造とすることができる。この場合、バックゲート層639に印加する電位と、ゲート層603に印加する電位とは、等しい。この結果、半導体層において、キャリアが流れる領域、即ちチャネルが、微結晶半導体領域のゲート絶縁層605側、及び絶縁層637側に形成されるため、トランジスタのオン電流を高めることができる。

40

【0166】

さらには、図18(C)に示すように、バックゲート層639は、絶縁層637を介して配線629a、629bと重畳してもよい。ここでは、図18(A)に示す構造のバックゲート層639を用いて示したが、図18(B)に示すバックゲート層639も同様に配線629a、629bと重畳してもよい。

【0167】

次に、図17に示す半導体層と異なる構造の半導体層を有するトランジスタについて、図19を用いて説明する。

【0168】

図19(A)に示すトランジスタは、基板601上に、ゲート層603と、半導体層6

50

43と、ゲート層603及び半導体層643の間に設けられるゲート絶縁層605と、半導体層643に接するソース領域及びドレイン領域として機能する不純物半導体層631a、631bと、不純物半導体層631a、631bに接する配線629a、629bとを有する。また、トランジスタの半導体層643、不純物半導体層631a、631b、配線629a、629bを覆う絶縁層637が形成される。

【0169】

半導体層643は、微結晶半導体領域643a及び非晶質半導体領域643bを有する。微結晶半導体領域643aは、第1の面においてゲート絶縁層605に接し、第1の面と対向する第2の面において非晶質半導体領域643bに接する。非晶質半導体領域643bは、第1の面において微結晶半導体領域643aに接し、第1の面と対向する第2の面において、一对の不純物半導体層631a、631b及び絶縁層637に接する。

10

【0170】

図19(B)に示すトランジスタは、デュアルゲート型のトランジスタであり、図19(A)に示すトランジスタを覆う絶縁層637と、絶縁層637上において、半導体層643と重畳するバックゲート層639とを有する。即ち、半導体層643において、ゲート層603と重畳する領域において、微結晶半導体領域643aがゲート層603に接するゲート絶縁層605に接し、非晶質半導体領域643bがバックゲート層639に接する絶縁層637に接する。

【0171】

微結晶半導体領域643aは、図17に示す微結晶半導体領域633aと同様の材料で形成される。また、非晶質半導体領域643bは図17に示す非晶質半導体領域633bと同様の材料で形成される。図17に示すトランジスタと比較して、図19に示すトランジスタでは、非晶質半導体領域643bが分離されておらず、微結晶半導体領域643aの一方の面がゲート絶縁層605に接し、他方の面が非晶質半導体領域643bに接する点が異なる。

20

【0172】

図19に示すトランジスタは、ゲート絶縁層605に接する微結晶半導体領域643aと、欠陥が少なく、価電子帯のバンド端における準位のテール(裾)の傾きが急峻である秩序性の高い窒素を含む非晶質半導体領域643bとで構成され、絶縁層637側が非晶質半導体領域643bである半導体層643を有する。このため、図17に示すトランジスタと比較してオフ電流が低く、オン電流及び電界効果移動度が高い。よって、液晶表示装置において当該トランジスタを画素に設けられるトランジスタとして適用することで、コントラストが高く、画質の良好な液晶表示装置を得ることができる。

30

【0173】

また、図17及び図19に示すトランジスタにおいて、半導体層633、643は、ゲート層603より面積が狭く、且つ全ての領域がゲート層603と重畳してもよい。更には、半導体層633、643の側壁、即ち、半導体層633、643と配線629a、629bの間に障壁領域である絶縁領域を有してもよい。障壁領域である絶縁領域は、半導体層633、643の一部を窒化または酸化して形成される領域であり、代表的には、半導体窒化物または半導体酸化物で形成される。半導体窒化物としては、窒化シリコン、窒化酸化シリコン等があり、半導体酸化物としては、酸化シリコン、酸化窒化シリコン等がある。なお、絶縁領域を構成する半導体窒化物及び半導体酸化物は、必ずしも化学量論比を満たす必要はない。

40

【0174】

半導体層633、643の側壁、即ち、半導体層633、643と配線629a、629bの間に障壁領域である絶縁領域を有することで、配線629a、629bから半導体層633、643へのホールの注入を抑制することが可能であり、トランジスタのオフ電流を低減することができる。以上のことから、光リーク電流が小さく、且つオフ電流が小さいトランジスタを得ることができる。

【0175】

50

<トランジスタの作製方法の一例>

次に、トランジスタの作製方法の一例について述べる。ここでは、図17に示すトランジスタを例に挙げて、その作製方法について、図20及び図21を用いて示す。ここでは、n型のトランジスタの作製方法について説明する。

【0176】

図20(A)に示すように、基板601上にゲート層603を形成する。次に、ゲート層603を覆うゲート絶縁層605、微結晶半導体層607を形成する。

【0177】

ゲート層603は、上述した材料を適宜用いて形成する。ゲート層603は、基板601上に、スパッタリング法または真空蒸着法を用いて上記した材料により導電層を形成し、該導電層上にフォトリソグラフィ法またはインクジェット法等によりマスクを形成し、該マスクを用いて導電層をエッチングして形成することができる。また、銀、金または銅等の導電性ペーストをインクジェット法により基板上に吐出し、焼成することで形成することもできる。なお、ゲート層603と、基板601との密着性向上を目的として、上記の金属材料の窒化物層を、基板601と、ゲート層603との間に設けてもよい。ここでは、基板601上に導電層を形成し、フォトマスクを用いて形成したレジストマスクを用いて導電層をエッチングしてゲート層603を形成する。

【0178】

なお、ゲート層603の側面は、テーパ形状とすることが好ましい。後の工程で、ゲート層603上には、絶縁層、半導体層及び配線層を形成するので、これらに段差箇所において断線を生じさせないためである。ゲート層603の側面をテーパ形状にするためには、レジストマスクを後退させつつエッチングを行えばよい。

【0179】

また、ゲート層603を形成する工程によりゲート配線(走査線)及び容量配線も同時に形成することができる。なお、走査線とは画素を選択する配線をいい、容量配線とは画素の保持容量の一方の電極に接続された配線をいう。ただし、これに限定されず、ゲート配線及び容量配線の一方または双方と、ゲート層603とは別に設けてもよい。

【0180】

ゲート絶縁層605は、CVD法またはスパッタリング法等を用いて、上述した材料を用いて形成することができる。ゲート絶縁層605のCVD法による形成工程においてグロー放電プラズマの生成は、3MHzから30MHz、代表的には13.56MHz、27.12MHzのHF帯の高周波電力、または30MHzより大きく300MHz程度までのVHF帯の高周波電力、代表的には60MHzを印加することで行われる。また、1GHz以上のマイクロ波の高周波電力を印加することで行われる。VHF帯やマイクロ波の高周波電力を用いることで、成膜速度を高めることが可能である。なお、高周波電力がパルス状に印加されるパルス発振や、連続的に印加される連続発振とすることができる。また、HF帯の高周波電力と、VHF帯の高周波電力を重畳させることで、大面積基板においてもプラズマのムラを低減し、均一性を高めることができると共に、堆積速度を高めることができる。また、周波数が1GHz以上であるマイクロ波プラズマCVD装置を用いてゲート絶縁層605を形成すると、ゲート層と、ドレイン層及びソース層との間の耐圧を向上させることができるため、信頼性の高いトランジスタを得ることができる。

【0181】

また、ゲート絶縁層605として、有機シランガスを用いたCVD法により酸化シリコン層を形成することで、後に形成する半導体層の結晶性を高めることが可能であるため、トランジスタのオン電流及び電界効果移動度を高めることができる。有機シランガスとしては、珪酸エチル(TEOS:化学式 $\text{Si}(\text{OC}_2\text{H}_5)_4$)、テトラメチルシラン(TMS:化学式 $\text{Si}(\text{CH}_3)_4$)、テトラメチルシクロテトラシロキサン(TMCTS)、オクタメチルシクロテトラシロキサン(OMCTS)、ヘキサメチルジシラザン(HMDS)、トリエトキシシラン($\text{SiH}(\text{OC}_2\text{H}_5)_3$)、トリスジメチルアミノシラン($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$)等のシリコン含有化合物を用いることができる。

【0182】

微結晶半導体層607としては、微結晶半導体層、代表的には、微結晶シリコン層、微結晶シリコンゲルマニウム層、微結晶ゲルマニウム層等を用いて形成する。微結晶半導体層607の厚さは、3~100nmとすることが好ましく、より好ましくは5~50nmとする。これは、微結晶半導体層607の厚さが薄すぎると、トランジスタのオン電流が低減し、また、微結晶半導体層607の厚さが厚すぎると、トランジスタが高温で動作する際に、オフ電流が上昇してしまうためである。微結晶半導体層607の厚さを3~100nm、好ましくは5~50nmとすることで、トランジスタのオン電流及びオフ電流を制御することができる。

【0183】

微結晶半導体層607は、プラズマCVD装置の反応室内において、シリコンまたはゲルマニウムを含む堆積性気体と、水素とを混合し、グロー放電プラズマにより形成する。または、シリコンまたはゲルマニウムを含む堆積性気体と、水素と、ヘリウム、ネオン、クリプトン等の希ガスとを混合し、グロー放電プラズマにより形成する。シリコンまたはゲルマニウムを含む堆積性気体の流量に対して、水素の流量を10~2000倍、好ましくは10~200倍にして堆積性気体を希釈して、微結晶シリコン、微結晶シリコンゲルマニウム、微結晶ゲルマニウム等を形成する。このときの堆積温度は、室温~300とすることが好ましく、より好ましくは200~280とする。

【0184】

シリコンまたはゲルマニウムを含む堆積性気体の代表例としては、 SiH_4 、 Si_2H_6 、 GeH_4 、 Ge_2H_6 等がある。

【0185】

なお、ゲート絶縁層605を窒化シリコン層で形成すると、微結晶半導体層607の堆積初期において非晶質半導体領域が形成されやすく、微結晶半導体層607の結晶性が低く、トランジスタの電気特性が悪い。このため、ゲート絶縁層605を窒化シリコン層で形成する場合は、微結晶半導体層607を、シリコンまたはゲルマニウムを含む堆積性気体の希釈率の高い条件、または低温条件で堆積することが好ましい。代表的には、シリコンまたはゲルマニウムを含む堆積性気体の流量に対して、水素の流量を200~2000倍、好ましくは250~400倍とする高希釈率条件が好ましい。また、微結晶半導体層607の堆積温度を200~250とする低温条件が好ましい。高希釈率条件または低温条件により、初期核発生密度が高まり、ゲート絶縁層605上に形成される非晶質成分が低減し、微結晶半導体層607の結晶性が向上する。また、窒化シリコン層で形成したゲート絶縁層605の表面を酸化処理することで、微結晶半導体層607の密着性が向上する。酸化処理としては、酸化気体への暴露、酸化ガス雰囲気でのプラズマ処理等がある。

【0186】

微結晶半導体層607の原料ガスとして、ヘリウム、アルゴン、ネオン、クリプトン、キセノン等の希ガスを用いることで、微結晶半導体層607の成膜速度が高まる。また、成膜速度が高まることで、微結晶半導体層607に混入される不純物量が低減するため、微結晶半導体層607の結晶性を高めることができる。このため、トランジスタのオン電流及び電界効果移動度が高まると共に、スループットを高めることができる。

【0187】

微結晶半導体層607を形成する際の、グロー放電プラズマの生成は、3MHzから30MHz、代表的には13.56MHz、27.12MHzのHF帯の高周波電力、または30MHzより大きく300MHz程度までのVHF帯の高周波電力、代表的には、60MHzを印加することで行われる。また、1GHz以上のマイクロ波の高周波電力を印加することで行われる。なお、高周波電力がパルス状に印加されるパルス発振や、連続的に印加される連続発振とすることができる。また、HF帯の高周波電力と、VHF帯の高周波電力を重畳させることで、大面積基板においてもプラズマのムラを低減し、均一性を高めることができると共に、堆積速度を高めることができる。

【0188】

10

20

30

40

50

次に、図20(B)に示すように、微結晶半導体層607上に半導体層611を形成する。半導体層611は、微結晶半導体領域611a及び非晶質半導体領域611bで構成される。次に、半導体層611上に、不純物半導体層613を形成する。次に、不純物半導体層613上にレジストマスク615を形成する。

【0189】

微結晶半導体層607を種結晶として、部分的に結晶成長させる条件(結晶成長を低減させる条件)で、微結晶半導体領域611a及び非晶質半導体領域611bを有する半導体層611を形成することができる。

【0190】

半導体層611は、プラズマCVD装置の処理室内において、シリコンまたはゲルマニウムを含む堆積性気体と、水素と、窒素を含む気体とを混合し、グロー放電プラズマにより形成する。窒素を含む気体としては、アンモニア、窒素、フッ化窒素、塩化窒素、クロロアミン、フルオロアミン等がある。グロー放電プラズマの生成は、微結晶半導体層607と同様にすることができる。

10

【0191】

このとき、シリコンまたはゲルマニウムを含む堆積性気体と、水素との流量比は、微結晶半導体層607と同様に微結晶半導体層を形成する流量比を用い、さらに原料ガスに窒素を含む気体を用いる条件とすることで、微結晶半導体層607の堆積条件よりも、結晶成長を低減することができる。具体的には、半導体層611の堆積初期においては、原料ガスに窒素を含む気体が含まれるため、部分的に、結晶成長が抑制され、錐形状の微結晶半導体領域が成長すると共に、非晶質半導体領域が形成される。さらに、堆積中期または後期では、錐形状の微結晶半導体領域の結晶成長が停止し、非晶質半導体領域のみが堆積される。この結果、半導体層611において、微結晶半導体領域611a、及び欠陥が少なく、価電子帯のバンド端における準位のテール(裾)の傾きが急峻である秩序性の高い半導体層で形成される非晶質半導体領域611bを形成することができる。

20

【0192】

ここでは、半導体層611を形成する条件の代表例は、シリコンまたはゲルマニウムを含む堆積性気体の流量に対する水素の流量が10~2000倍、好ましくは10~200倍である。なお、通常非晶質半導体層を形成する条件の代表例は、シリコンまたはゲルマニウムを含む堆積性気体の流量に対する水素の流量は0~5倍である。

30

【0193】

また、半導体層611の原料ガスに、ヘリウム、ネオン、アルゴン、キセノン、またはクリプトン等の希ガスを導入することで、成膜速度を高めることができる。

【0194】

半導体層611の厚さは、厚さ50~350nmとすることが好ましく、さらに好ましくは120~250nmとする。

【0195】

ここでは、半導体層611の原料ガスに窒素を含む気体を含ませて、微結晶半導体領域611a及び非晶質半導体領域611bを有する半導体層611を形成したが、他の半導体層611の形成方法として、窒素を含む気体に微結晶半導体層607の表面を曝して、微結晶半導体層607の表面に窒素を吸着させた後、シリコンまたはゲルマニウムを含む堆積性気体及び水素を原料ガスとして半導体層611を形成することで、微結晶半導体領域611a及び非晶質半導体領域611bを有する半導体層611を形成することができる。

40

【0196】

不純物半導体層613は、プラズマCVD装置の反応室内において、シリコンを含む堆積性気体と、水素と、ホスフィン(水素希釈またはシラン希釈)とを混合し、グロー放電プラズマにより形成する。シリコンを含む堆積性気体を水素で希釈して、リンが添加された非晶質シリコン、またはリンが添加された微結晶シリコンを形成する。なお、p型のトランジスタを作製する場合は、不純物半導体層613として、ホスフィンの代わりに、ジ

50

ボランを用いて、グロー放電プラズマにより形成すればよい。

【0197】

レジストマスク615はフォトリソグラフィ工程により形成することができる。

【0198】

次に、レジストマスク615を用いて、微結晶半導体層607、半導体層611、及び不純物半導体層613をエッチングする。この工程により、微結晶半導体層607、半導体層611、及び不純物半導体層613を素子毎に分離し、半導体層617、不純物半導体層621を形成する。なお、半導体層617は、微結晶半導体層607及び半導体層611の一部であり、微結晶半導体領域617a、及び非晶質半導体領域617bを有する(図20(C)参照)。

10

【0199】

この後、レジストマスク615を残存させたまま、酸化ガスまたは窒化ガス雰囲気でプラズマを発生させて、半導体層617をプラズマに曝してもよい。酸化ガスまたは窒化ガス雰囲気でプラズマを発生させることで、酸素ラジカルまたは窒素ラジカルが発生する。当該ラジカルは半導体層617と反応し、半導体層617の側面に障壁領域である絶縁領域を形成することができる。

【0200】

次に、不純物半導体層621上に導電層627を形成する(図21(A)参照)。導電層627は、図17、図18、及び図19に示す配線629a、629bと同様の材料を適宜用いることができる。導電層627は、CVD法、スパッタリング法または真空蒸着法を用いて形成する。また、導電層627は、銀、金または銅等の導電性ナノペーストを用いてスクリーン印刷法またはインクジェット法等を用いて吐出し、焼成することで形成しても良い。

20

【0201】

次に、フォトリソグラフィ工程によりレジストマスクを形成し、当該レジストマスクを用いて導電層627をエッチングして、ソース層及びドレイン層として機能する配線629a、629bを形成する(図21(B)参照)。導電層627のエッチングはドライエッチングまたはウエットエッチングを用いることができる。なお、配線629a、629bの一方は、ソース層またはドレイン層のみならず信号線としても機能する。ただし、これに限定されず、信号線とソース層及びドレイン層とは別に設けてもよい。

30

【0202】

次に、不純物半導体層621及び半導体層617の一部をエッチングして、ソース領域及びドレイン領域として機能する一对の不純物半導体層631a、631bを形成する。また、微結晶半導体領域633a及び一对の非晶質半導体領域633bを有する半導体層633を形成する。このとき、微結晶半導体領域633aが露出されるように半導体層617をエッチングすることで、配線629a、629bで覆われる領域では微結晶半導体領域633a及び非晶質半導体領域633bが積層され、配線629a、629bで覆われず、かつゲート層603と重なる領域においては、微結晶半導体領域633aが露出する半導体層633となる(図21(C)参照)。

【0203】

ここでは、エッチングにおいてドライエッチングを用いているため、配線629a、629bの端部と、不純物半導体層631a、631bの端部とが揃っているが、導電層627をウエットエッチングし、不純物半導体層621をドライエッチングすると、配線629a、629bの端部と、不純物半導体層631a、631bの端部とがずれ、断面において、配線629a、629bの端部が、不純物半導体層631a、631bの端部より内側に位置する。

40

【0204】

次に、ドライエッチングを行ってもよい。ドライエッチングの条件は、露出している微結晶半導体領域633a及び非晶質半導体領域633bにダメージが入らず、且つ微結晶半導体領域633a及び非晶質半導体領域633bに対するエッチングレートが低い条件

50

を用いる。つまり、露出している微結晶半導体領域 6 3 3 a 及び非晶質半導体領域 6 3 3 b 表面にほとんどダメージを与えず、且つ露出している微結晶半導体領域 6 3 3 a 及び非晶質半導体領域 6 3 3 b の厚さがほとんど減少しない条件を用いる。エッチングガスとしては、代表的には Cl_2 、 CF_4 、または N_2 等を用いる。また、エッチング方法については特に限定はなく、誘導結合型プラズマ (ICP: Inductively Coupled Plasma) 方式、容量結合型プラズマ (CCP: Capacitively Coupled Plasma) 方式、電子サイクロトン共鳴プラズマ (ECR: Electron Cyclotron Resonance) 方式、反応性イオンエッチング (RIE: Reactive Ion Etching) 方式等を用いることができる。

10

【0205】

上記したように、微結晶半導体領域 6 3 3 a 及び非晶質半導体領域 6 3 3 b を形成した後、微結晶半導体領域 6 3 3 a 及び非晶質半導体領域 6 3 3 b にダメージを与えない条件で更なるドライエッチングを行うことで、露出した微結晶半導体領域 6 3 3 a 及び非晶質半導体領域 6 3 3 b 上に存在する残渣などの不純物を除去することができる。

【0206】

次に、微結晶半導体領域 6 3 3 a 及び非晶質半導体領域 6 3 3 b の表面にプラズマ処理、代表的には水プラズマ処理、酸素プラズマ処理、アンモニアプラズマ処理、窒素プラズマ処理等を行ってもよい。

【0207】

水プラズマ処理は、水蒸気 (H_2O 蒸気) に代表される、水を主成分とするガスを反応空間に導入し、プラズマを生成して、行うことができる。この後、レジストマスクを除去する。なお、当該レジストマスクの除去はドライエッチング前に行ってもよい。

20

【0208】

上記したように、ドライエッチングに続けて水プラズマ処理を行うことで、レジストマスクの残渣を除去することができる。また、プラズマ処理を行うことで、ソース領域とドレイン領域との間の絶縁を確実なものにすることができ、完成するトランジスタのオフ電流を低減し、電気的特性のばらつきを低減することができる。

【0209】

以上の工程により、図 17 (A) に示すような、チャンネル形成領域が微結晶半導体層で形成されるトランジスタを作製することができる。また、オフ電流が低く、オン電流及び電界効果移動度が高いトランジスタを生産性高く作製することができる。

30

【0210】

次に、絶縁層 6 3 7 を形成する。絶縁層 6 3 7 は、ゲート絶縁層 6 0 5 と同様に形成することができる。

【0211】

次に、フォトリソグラフィ工程により形成したレジストマスクを用いて絶縁層 6 3 7 に開口部を形成した後、バックゲート層 6 3 9 を形成する (図 21 (D) 参照)。

【0212】

バックゲート層 6 3 9 は、スパッタリング法により、上述した材料を用いた薄膜を形成した後、フォトリソグラフィ工程によって形成したレジストマスクを用いて上記薄膜をエッチングすることで、形成できる。また、透光性を有する導電性高分子を含む導電性組成物を塗布または印刷した後、焼成して形成することができる。

40

【0213】

以上の工程により、図 17 (B) に示すようなデュアルゲート型のトランジスタを作製することができる。

【0214】

なお、図 21 (C) における半導体層 6 1 7 及び不純物半導体層 6 2 1 のエッチング量を制御することで、図 19 (A) 及び図 19 (B) に示すトランジスタを作製することができる。

50

【 0 2 1 5 】

< 液晶表示装置を搭載した各種電子機器について >

以下では、本明細書で開示される液晶表示装置を搭載した電子機器の例について図 2 2 を参照して説明する。

【 0 2 1 6 】

図 2 2 (A) は、ノート型のパーソナルコンピュータを示す図であり、本体 2 2 0 1、筐体 2 2 0 2、表示部 2 2 0 3、キーボード 2 2 0 4 などによって構成されている。

【 0 2 1 7 】

図 2 2 (B) は、携帯情報端末 (P D A) を示す図であり、本体 2 2 1 1 には表示部 2 2 1 3 と、外部インターフェイス 2 2 1 5 と、操作ボタン 2 2 1 4 等が設けられている。また、操作用の付属品としてスタイラス 2 2 1 2 がある。

10

【 0 2 1 8 】

図 2 2 (C) は、電子ペーパーの一例として、電子書籍 2 2 2 0 を示す図である。電子書籍 2 2 2 0 は、筐体 2 2 2 1 および筐体 2 2 2 3 の 2 つの筐体で構成されている。筐体 2 2 2 1 および筐体 2 2 2 3 は、軸部 2 2 3 7 により一体とされており、該軸部 2 2 3 7 を軸として開閉動作を行うことができる。このような構成により、電子書籍 2 2 2 0 は、紙の書籍のように用いることが可能である。

【 0 2 1 9 】

筐体 2 2 2 1 には表示部 2 2 2 5 が組み込まれ、筐体 2 2 2 3 には表示部 2 2 2 7 が組み込まれている。表示部 2 2 2 5 および表示部 2 2 2 7 は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部 (図 2 2 (C) では表示部 2 2 2 5) に文章を表示し、左側の表示部 (図 2 2 (C) では表示部 2 2 2 7) に画像を表示することができる。

20

【 0 2 2 0 】

また、図 2 2 (C) では、筐体 2 2 2 1 に操作部などを備えた例を示している。例えば、筐体 2 2 2 1 は、電源ボタン 2 2 3 1、操作キー 2 2 3 3、スピーカー 2 2 3 5などを備えている。操作キー 2 2 3 3 により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子 (イヤホン端子、 U S B 端子、または A C アダプタおよび U S B ケーブルなどの各種ケーブルと接続可能な端子など)、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍 2 2 2 0 は、電子辞書としての機能を持たせた構成としてもよい。

30

【 0 2 2 1 】

また、電子書籍 2 2 2 0 は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【 0 2 2 2 】

なお、電子ペーパーは、情報を表示するものであればあらゆる分野に適用することが可能である。例えば、電子書籍以外にも、ポスター、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示などに適用することができる。

40

【 0 2 2 3 】

図 2 2 (D) は、携帯電話機を示す図である。当該携帯電話機は、筐体 2 2 4 0 および筐体 2 2 4 1 の 2 つの筐体で構成されている。筐体 2 2 4 1 は、表示パネル 2 2 4 2、スピーカー 2 2 4 3、マイクロフォン 2 2 4 4、ポインティングデバイス 2 2 4 6、カメラ用レンズ 2 2 4 7、外部接続端子 2 2 4 8などを備えている。また、筐体 2 2 4 0 は、当該携帯電話機の充電を行う太陽電池セル 2 2 4 9、外部メモリスロット 2 2 5 0などを備えている。また、アンテナは筐体 2 2 4 1 内部に内蔵されている。

【 0 2 2 4 】

表示パネル 2 2 4 2 はタッチパネル機能を備えており、図 2 2 (D) には映像表示されている複数の操作キー 2 2 4 5 を点線で示している。なお、当該携帯電話は、太陽電池セ

50

ル 2 2 4 9 から出力される電圧を各回路に必要な電圧に昇圧するための昇圧回路を実装している。また、上記構成に加えて、非接触 IC チップ、小型記録装置などを内蔵した構成とすることもできる。

【 0 2 2 5 】

表示パネル 2 2 4 2 は、使用形態に応じて表示の方向が適宜変化する。また、表示パネル 2 2 4 2 と同一面上にカメラ用レンズ 2 2 4 7 を備えているため、テレビ電話が可能である。スピーカー 2 2 4 3 およびマイクロフォン 2 2 4 4 は音声通話に限らず、テレビ電話、録音、再生などが可能である。さらに、筐体 2 2 4 0 と筐体 2 2 4 1 はスライドし、図 2 2 (D) のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。

10

【 0 2 2 6 】

外部接続端子 2 2 4 8 は A C アダプタや U S B ケーブルなどの各種ケーブルと接続可能であり、充電やデータ通信が可能になっている。また、外部メモリスロット 2 2 5 0 に記録媒体を挿入し、より大量のデータの保存および移動に対応できる。また、上記機能に加えて、赤外線通信機能、テレビ受信機能などを備えたものであってもよい。

【 0 2 2 7 】

図 2 2 (E) は、デジタルカメラを示す図である。当該デジタルカメラは、本体 2 2 6 1、第 1 の表示部 2 2 6 7、接眼部 2 2 6 3、操作スイッチ 2 2 6 4、第 2 の表示部 2 2 6 5、バッテリー 2 2 6 6 などによって構成されている。

20

【 0 2 2 8 】

図 2 2 (F) は、テレビジョン装置を示す図である。テレビジョン装置 2 2 7 0 では、筐体 2 2 7 1 に表示部 2 2 7 3 が組み込まれている。表示部 2 2 7 3 により、映像を表示することが可能である。なお、ここでは、スタンド 2 2 7 5 により筐体 2 2 7 1 を支持した構成を示している。

【 0 2 2 9 】

テレビジョン装置 2 2 7 0 の操作は、筐体 2 2 7 1 が備える操作スイッチや、別体のリモコン操作機 2 2 8 0 により行うことができる。リモコン操作機 2 2 8 0 が備える操作キー 2 2 7 9 により、チャンネルや音量の操作を行うことができ、表示部 2 2 7 3 に表示される映像を操作することができる。また、リモコン操作機 2 2 8 0 に、当該リモコン操作機 2 2 8 0 から出力する情報を表示する表示部 2 2 7 7 を設ける構成としてもよい。

30

【 0 2 3 0 】

なお、テレビジョン装置 2 2 7 0 は、受信機やモデムなどを備えた構成とするのが好適である。受信機により、一般のテレビ放送の受信を行うことができる。また、モデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことが可能である。

【 符号の説明 】

【 0 2 3 1 】

1 0	画素部
1 1	走査線駆動回路
1 2	信号線駆動回路
1 5	画素
1 6	バックライトユニット
3 0	画素部
3 1	走査線駆動回路
3 2	信号線駆動回路
3 3	走査線
1 1 1	シフトレジスタ
1 1 2	シフトレジスタ
1 1 3	シフトレジスタ

40

50

1 2 0	シフトレジスタ	
1 2 1	トランジスタ	
1 2 2	トランジスタ	
1 2 3	トランジスタ	
1 3 1	走査線	
1 3 2	走査線	
1 3 3	走査線	
1 4 1	信号線	
1 4 2	信号線	
1 4 3	信号線	10
1 5 1	トランジスタ	
1 5 2	トランジスタ	
1 5 3	トランジスタ	
1 5 4	容量素子	
1 5 5	液晶素子	
3 0 1	領域	
3 0 2	領域	
3 0 3	領域	
3 1 1	シフトレジスタ	
3 1 2	シフトレジスタ	20
3 1 3	シフトレジスタ	
3 2 0	シフトレジスタ	
3 2 1	トランジスタ	
3 2 2	トランジスタ	
3 2 3	トランジスタ	
3 4 1	信号線	
3 4 2	信号線	
3 4 3	信号線	
3 5 1	画素	
3 5 2	画素	30
3 5 3	画素	
6 0 1	基板	
6 0 3	ゲート層	
6 0 5	ゲート絶縁層	
6 0 7	微結晶半導体層	
6 1 1	半導体層	
6 1 1 a	微結晶半導体領域	
6 1 1 b	非晶質半導体領域	
6 1 3	不純物半導体層	
6 1 5	レジストマスク	40
6 1 7	半導体層	
6 1 7 a	微結晶半導体領域	
6 1 7 b	非晶質半導体領域	
6 2 1	不純物半導体層	
6 2 7	導電層	
6 2 9 a	配線	
6 2 9 b	配線	
6 3 1 a	不純物半導体層	
6 3 1 b	不純物半導体層	
6 3 3	半導体層	50

6 3 3 a	微結晶半導体領域	
6 3 3 b	非晶質半導体領域	
6 3 3 c	半導体結晶粒	
6 3 7	絶縁層	
6 3 9	バックゲート層	
6 4 3	半導体層	
6 4 3 a	微結晶半導体領域	
6 4 3 b	非晶質半導体領域	
6 5 0	開口部	
9 0 0	基板	10
9 0 1	基板	
9 0 3	接着剤	
9 0 4	端子	
9 0 5	ワイヤ	
9 0 6	トランジスタ	
9 0 7	パッド	
9 1 0	基板	
9 1 1	基板	
9 1 2	パッド	
9 1 3	ソルダーボール	20
9 1 4	トランジスタ	
9 1 6	端子	
9 2 0	基板	
9 2 1	基板	
9 2 2	パッド	
9 2 4	トランジスタ	
9 2 6	端子	
9 2 7	導電性樹脂	
1 4 0 1	トランジスタ	
1 4 0 2	ゲート層	30
1 4 0 3	ゲート絶縁層	
1 4 0 4	半導体層	
1 4 0 5	導電膜	
1 4 0 6	導電膜	
1 4 0 7	絶縁層	
1 4 0 8	絶縁層	
1 4 1 0	画素電極	
1 4 1 1	配向膜	
1 4 1 3	対向電極	
1 4 1 4	配向膜	40
1 4 1 5	液晶	
1 4 1 6	シール材	
1 4 1 7	スペーサ	
1 4 2 0	対向基板	
1 6 0 1	パネル	
1 6 0 2	拡散板	
1 6 0 3	プリズムシート	
1 6 0 4	拡散板	
1 6 0 5	導光板	
1 6 0 7	バックライトパネル	50

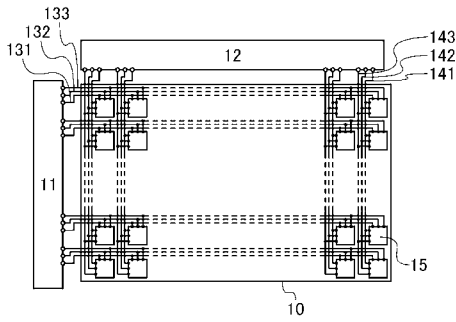
1 6 0 8	回路基板	
1 6 0 9	C O F テ ー プ	
1 6 1 0	F P C	
1 6 1 1	基板	
1 6 1 2	バックライト	
1 6 2 0	タッチパネル	
1 6 2 1	パネル	
1 6 2 2	位置検出部	
1 6 2 3	画素部	
1 6 3 0	第 1 電 極	10
1 6 3 1	第 2 電 極	
1 6 4 0	第 1 電 極	
1 6 4 1	第 2 電 極	
1 6 4 2	導電膜	
1 6 4 3	導電膜	
1 6 4 4	絶縁層	
1 6 5 0	画素部	
1 6 5 1	画素	
1 6 5 2	フォトセンサ	
1 6 5 3	フォトダイオード	20
1 6 5 4	トランジスタ	
1 6 5 5	トランジスタ	
1 6 5 6	リセット信号線	
1 6 5 7	基準信号線	
1 6 5 8	ゲート信号線	
1 6 5 9	出力信号線	
2 2 0 1	本体	
2 2 0 2	筐体	
2 2 0 3	表示部	
2 2 0 4	キーボード	30
2 2 1 1	本体	
2 2 1 2	スタイラス	
2 2 1 3	表示部	
2 2 1 4	操作ボタン	
2 2 1 5	外部インターフェイス	
2 2 2 0	電子書籍	
2 2 2 1	筐体	
2 2 2 3	筐体	
2 2 2 5	表示部	
2 2 2 7	表示部	40
2 2 3 1	電源ボタン	
2 2 3 3	操作キー	
2 2 3 5	スピーカー	
2 2 3 7	軸部	
2 2 4 0	筐体	
2 2 4 1	筐体	
2 2 4 2	表示パネル	
2 2 4 3	スピーカー	
2 2 4 4	マイクロフォン	
2 2 4 5	操作キー	50

2 2 4 6	ポインティングデバイス	
2 2 4 7	カメラ用レンズ	
2 2 4 8	外部接続端子	
2 2 4 9	太陽電池セル	
2 2 5 0	外部メモリスロット	
2 2 6 1	本体	
2 2 6 3	接眼部	
2 2 6 4	操作スイッチ	
2 2 6 5	表示部	
2 2 6 6	バッテリー	10
2 2 6 7	表示部	
2 2 7 0	テレビジョン装置	
2 2 7 1	筐体	
2 2 7 3	表示部	
2 2 7 5	スタンド	
2 2 7 7	表示部	
2 2 7 9	操作キー	
2 2 8 0	リモコン操作機	
3 5 1 1	トランジスタ	
3 5 1 2	容量素子	20
3 5 1 4	液晶素子	
3 5 2 1	トランジスタ	
3 5 3 1	トランジスタ	
4 0 0 1	基板	
4 0 0 2	画素部	
4 0 0 3	信号線駆動回路	
4 0 0 4	基板	
4 0 0 5	シール材	
4 0 0 6	対向基板	
4 0 0 7	液晶	30
4 0 0 9	トランジスタ	
4 0 1 0	トランジスタ	
4 0 1 1	液晶素子	
4 0 1 4	引き回し配線	
4 0 1 5	引き回し配線	
4 0 1 6	接続端子	
4 0 1 8	F P C	
4 0 1 9	異方性導電膜	
4 0 2 1	基板	
4 0 2 2	トランジスタ	40
4 0 3 0	画素電極	
4 0 3 1	対向電極	
4 0 3 5	スペーサ	
5 0 0 1	基板	
5 0 0 2	画素部	
5 0 0 3	信号線駆動回路	
5 0 0 4	走査線駆動回路	
5 0 0 5	シール材	
5 0 0 6	対向基板	
5 0 0 7	液晶	50

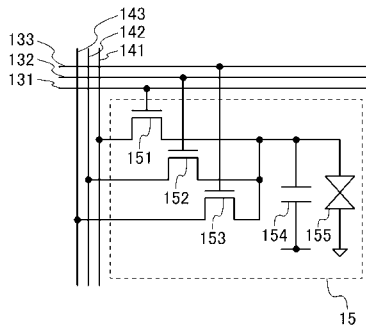
5 0 0 9	トランジスタ	
5 0 1 0	トランジスタ	
5 0 1 1	液晶素子	
5 0 1 4	引き回し配線	
5 0 1 5	引き回し配線	
5 0 1 6	接続端子	
5 0 1 8	F P C	
5 0 1 9	異方性導電膜	
5 0 2 1	基板	
5 0 2 2	トランジスタ	10
5 0 3 0	画素電極	
5 0 3 1	対向電極	
5 0 3 5	スペーサ	
6 0 0 1	基板	
6 0 0 2	画素部	
6 0 0 3	走査線駆動回路	
6 0 0 4	基板	
6 0 0 5	F P C	
6 0 0 6	対向基板	
6 1 0 1	基板	20
6 1 0 2	画素部	
6 1 0 3	走査線駆動回路	
6 1 0 4	基板	
6 1 0 5	F P C	
6 1 0 6	対向基板	
6 2 0 1	基板	
6 2 0 2	画素部	
6 2 0 3	走査線駆動回路	
6 2 0 4	基板	
6 2 0 5	F P C	30
6 2 0 6	対向基板	
6 2 0 7	信号線駆動回路の一部	
6 3 0 1	基板	
6 3 0 2	画素部	
6 3 0 3	基板	
6 3 0 4	基板	
6 3 0 5	F P C	
6 3 0 6	対向基板	
6 3 0 7	F P C	
6 4 0 1	基板	40
6 4 0 2	画素部	
6 4 0 3	基板	
6 4 0 4	基板	
6 4 0 5	F P C	
6 4 0 6	対向基板	
6 4 0 7	F P C	

【 図 1 】

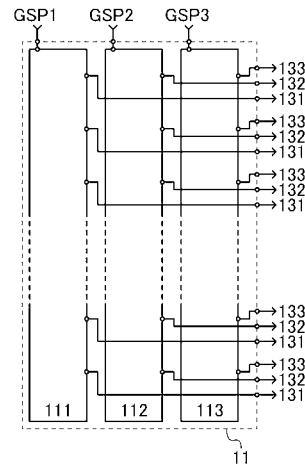
(A)



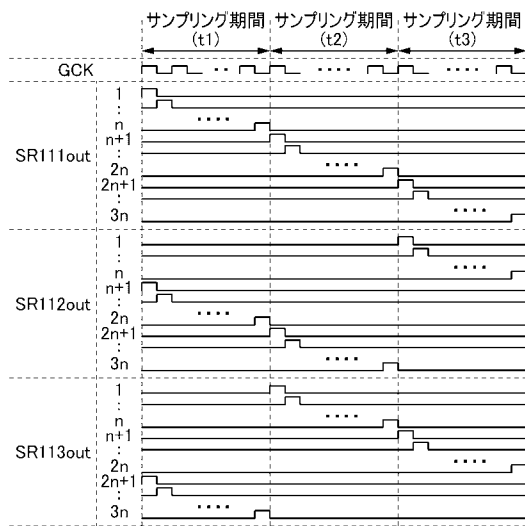
(B)



【 図 2 】

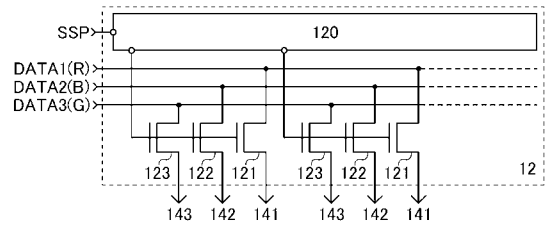


【 図 3 】

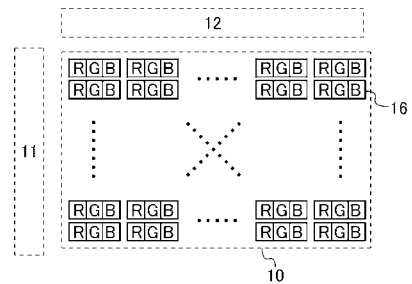


【 図 4 】

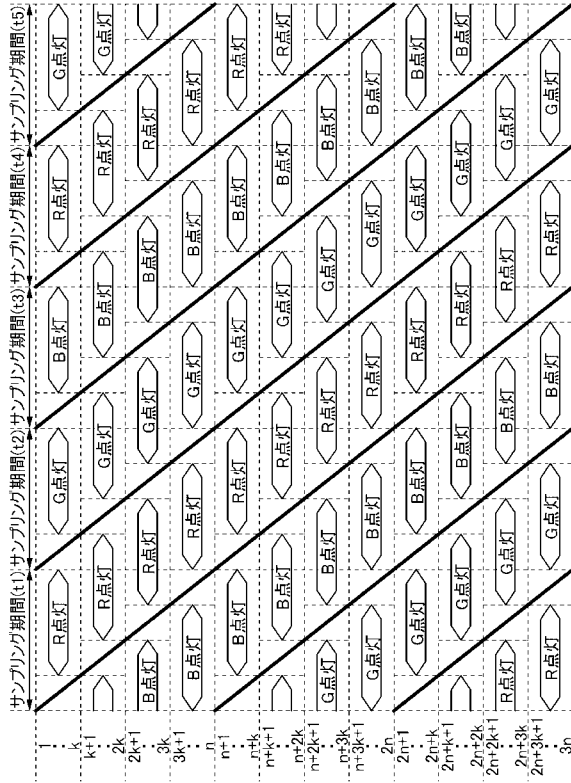
(A)



(B)

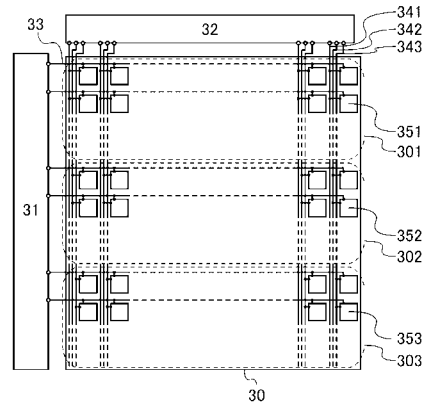


【 図 5 】

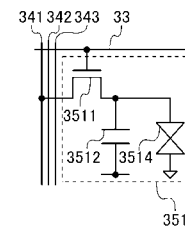


【 図 6 】

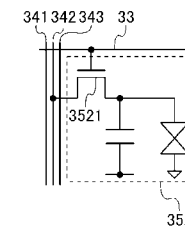
(A)



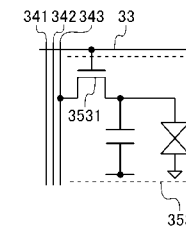
(B)



(C)

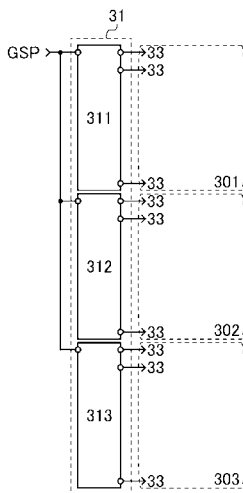


(D)

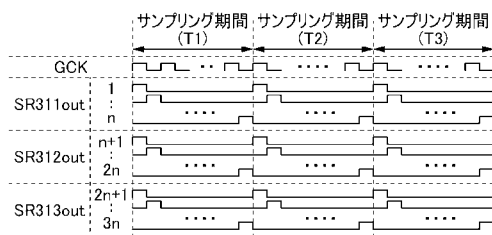


【 図 7 】

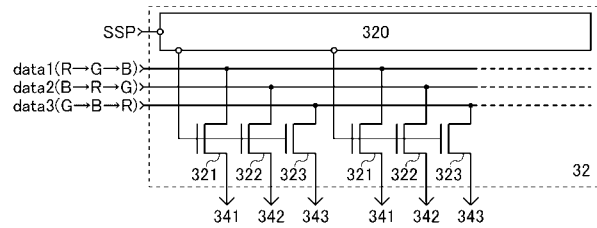
(A)



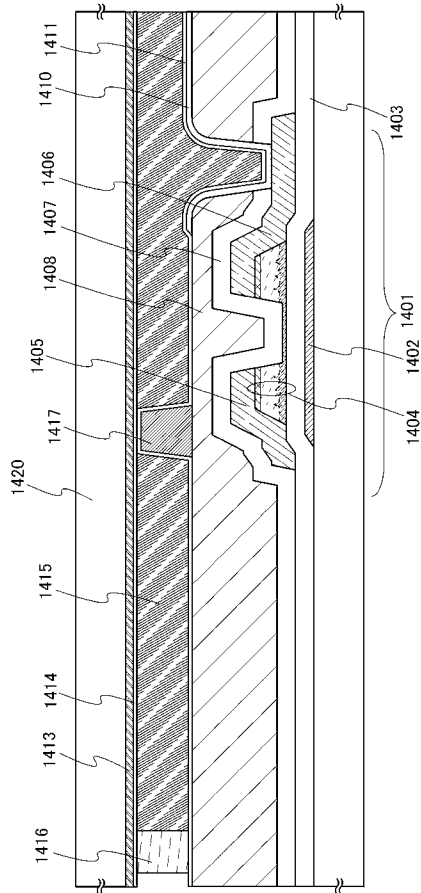
(B)



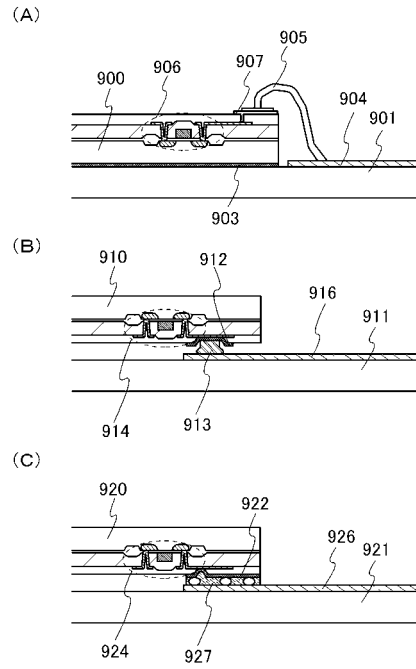
【 図 8 】



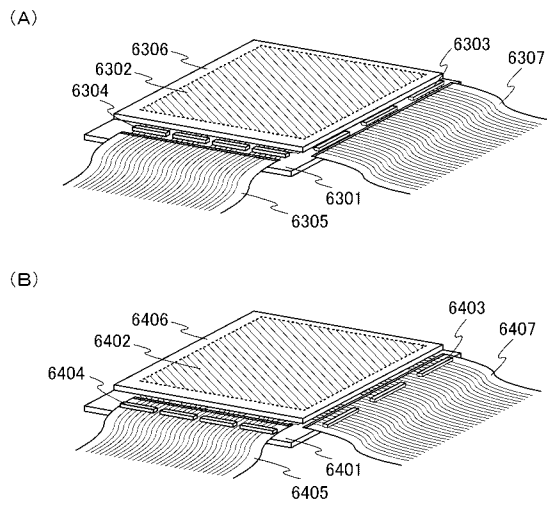
【 図 9 】



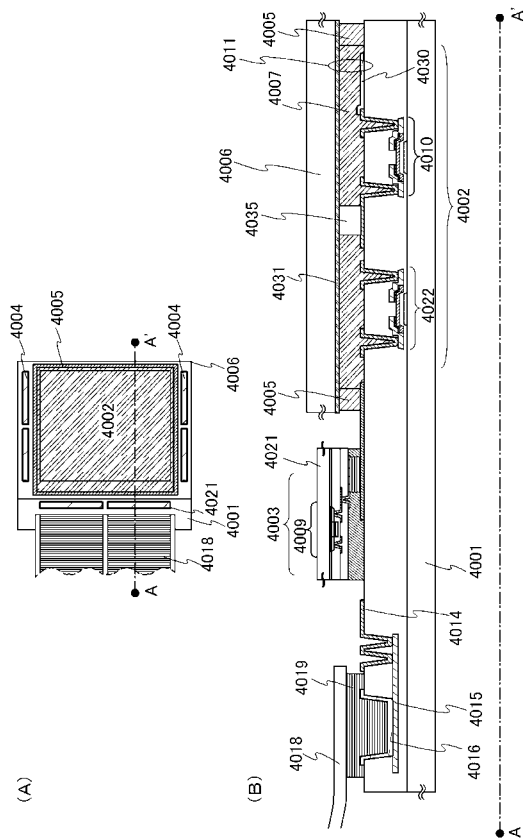
【 図 10 】



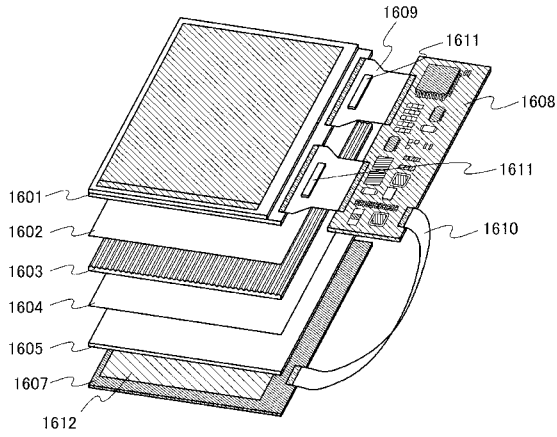
【 図 11 】



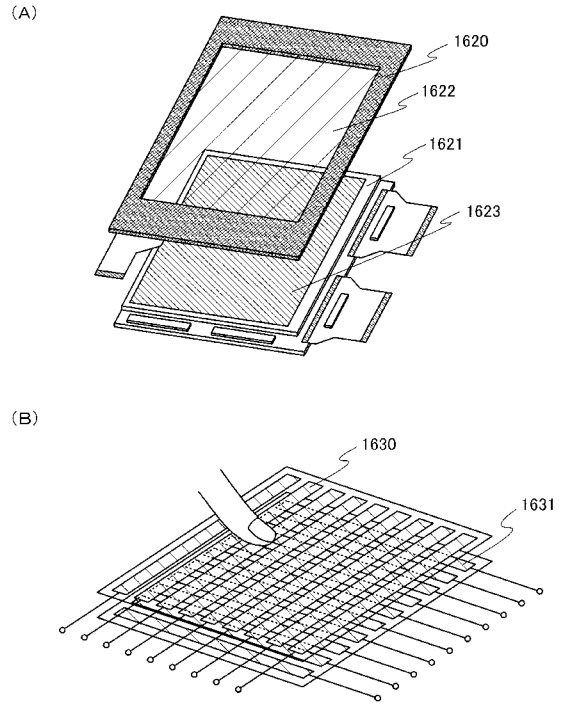
【 図 12 】



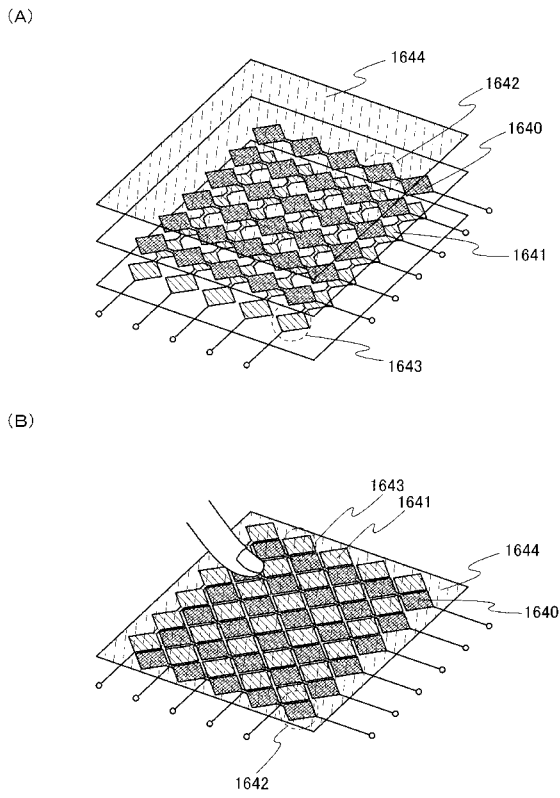
【図 13】



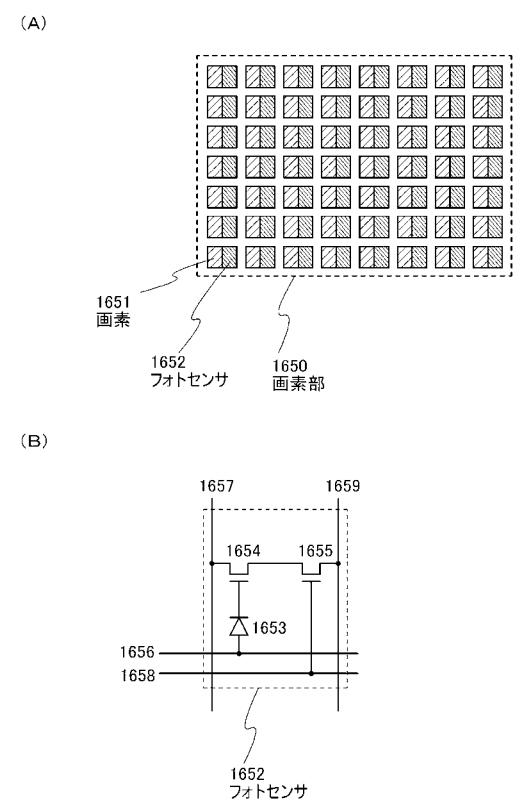
【図 14】



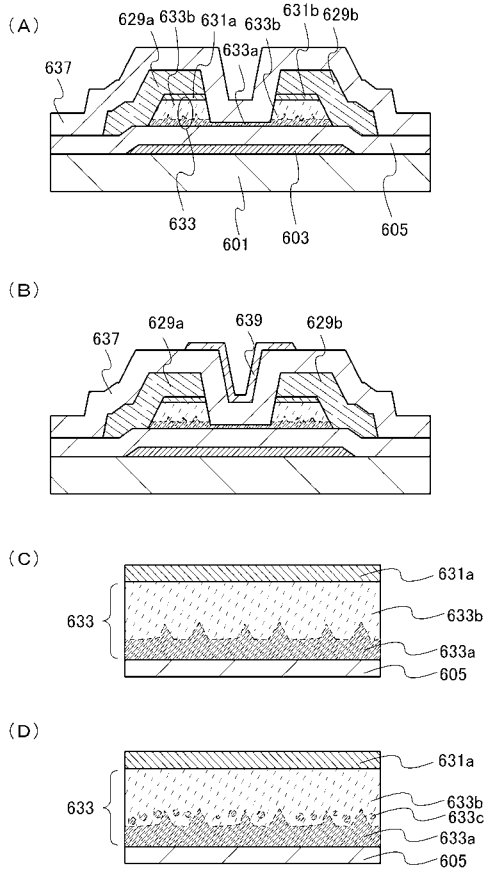
【図 15】



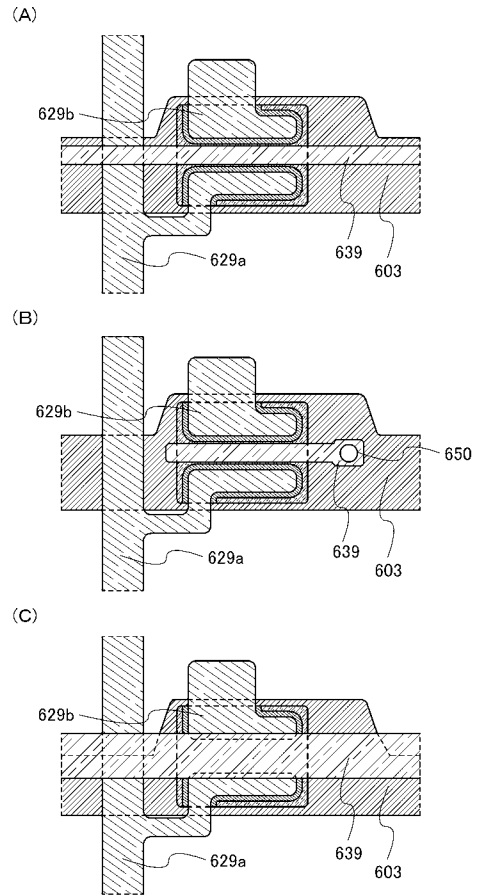
【図 16】



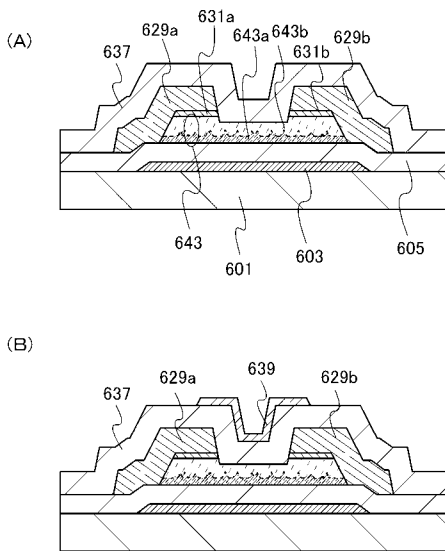
【 図 1 7 】



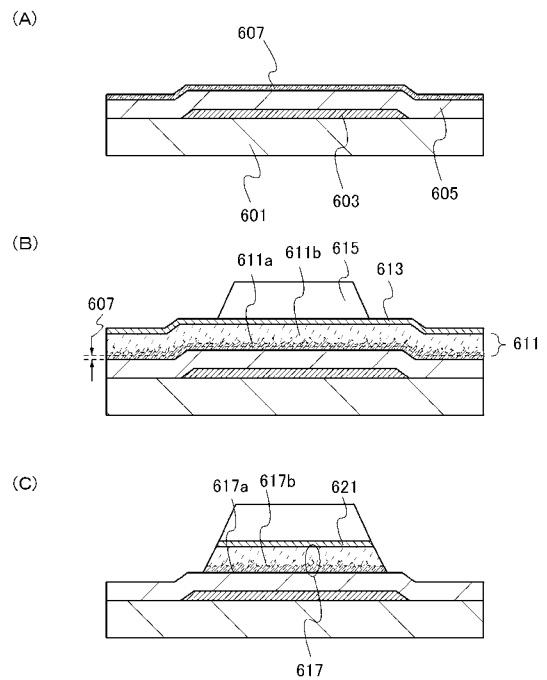
【 図 1 8 】



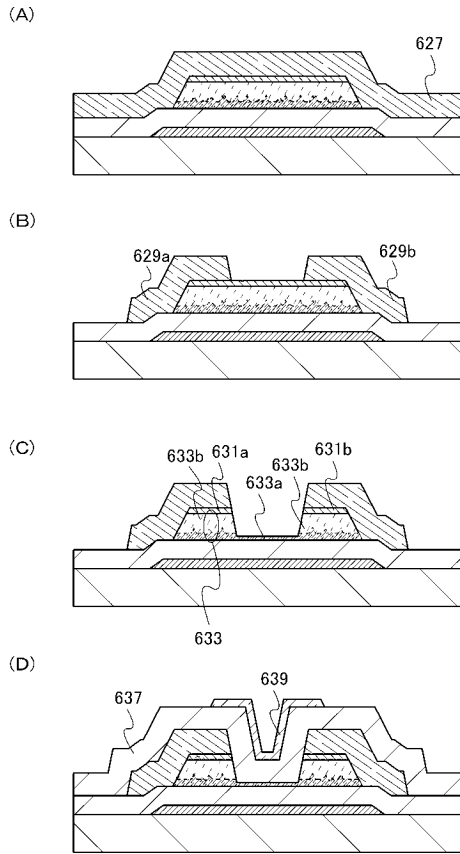
【 図 1 9 】



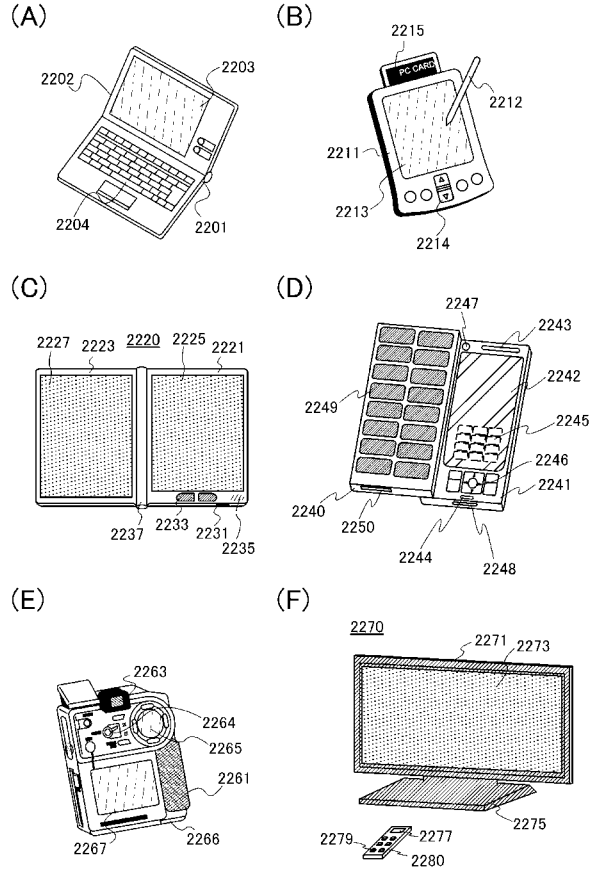
【 図 2 0 】



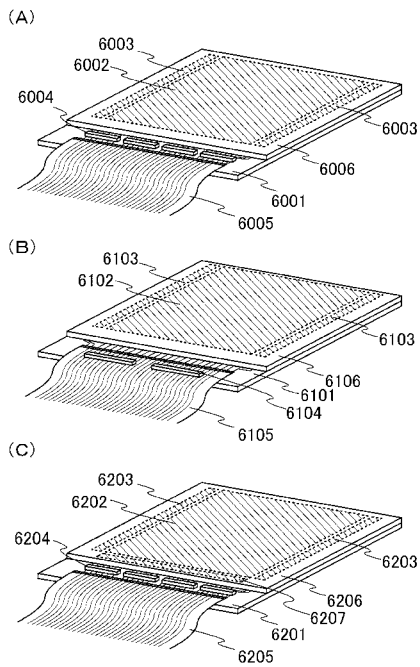
【 図 2 1 】



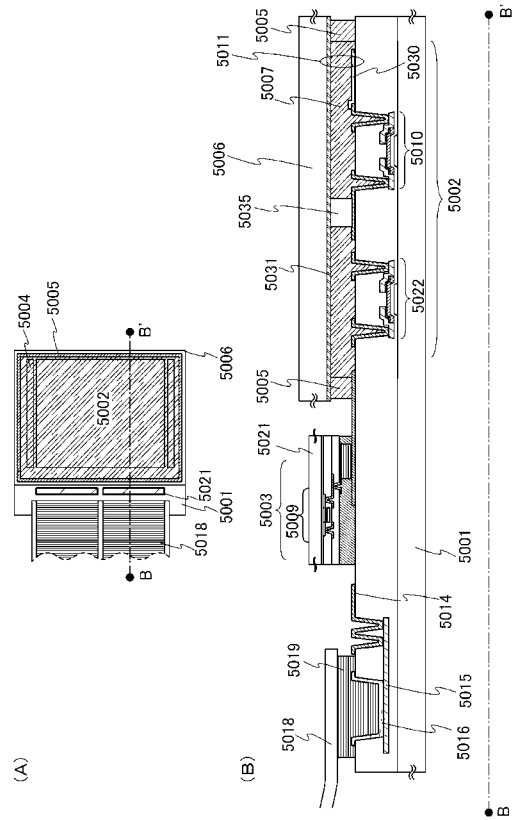
【 図 2 2 】



【 図 2 3 】



【 図 2 4 】



 フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 2 K
G 0 9 G	3/20	6 2 3 D
G 0 9 G	3/20	6 4 1 E
G 0 9 G	3/20	6 2 1 F
G 0 9 G	3/36	
G 0 9 G	3/20	6 4 2 J
G 0 9 G	3/34	J

F ターム(参考)	2H193	ZA04	ZA07	ZA08	ZA19	ZE04	ZF23	ZF32	ZF36	ZF51	ZG34
	5C006	AA16	AA21	AC21	AC23	AF42	AF43	AF50	BA19	BB16	BC03
		BC06	BC20	BF01	BF03	BF15	BF36	BF38	BF39	BF44	BF45
		BF46	EA01	EB05	FA12	FA29	FA42	FA43	FA51	FA56	
	5C080	AA10	BB05	CC03	DD01	DD08	DD22	DD23	DD25	DD28	EE29
		EE30	FF03	FF09	FF11	FF12	GG11	JJ02	JJ03	JJ04	JJ06
		KK07	KK08	KK43	KK47						

专利名称(译)	液晶显示装置的驱动方法		
公开(公告)号	JP2012003236A5	公开(公告)日	2014-03-13
申请号	JP2011083269	申请日	2011-04-05
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	小山潤 三宅博之 山崎舜平		
发明人	小山潤 三宅博之 山崎舜平		
IPC分类号	G02F1/133 G02F1/1368 G09G3/20 G09G3/36 G09G3/34		
CPC分类号	H01L27/1266 G02F1/13454 G02F1/13624 G02F1/136286 G02F1/1368 G02F2202/103 G02F2202/104 G09G3/342 G09G3/3659 G09G3/3677 G09G2300/0443 G09G2300/0814 G09G2310/0205 G09G2310 /0235 H01L27/1214 H01L29/04 H01L29/78696		
FI分类号	G02F1/133.550 G02F1/133.535 G02F1/1368 G09G3/20.622.E G09G3/20.624.B G09G3/20.622.K G09G3/20.623.D G09G3/20.641.E G09G3/20.621.F G09G3/36 G09G3/20.642.J G09G3/34.J		
F-TERM分类号	2H092/JA26 2H092/JA28 2H092/JA47 2H092/JB22 2H092/JB31 2H092/JB42 2H092/JB69 2H092 /KA04 2H092/KA05 2H193/ZA04 2H193/ZA07 2H193/ZA08 2H193/ZA19 2H193/ZE04 2H193/ZF23 2H193/ZF32 2H193/ZF36 2H193/ZF51 2H193/ZG34 5C006/AA16 5C006/AA21 5C006/AC21 5C006 /AC23 5C006/AF42 5C006/AF43 5C006/AF50 5C006/BA19 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC20 5C006/BF01 5C006/BF03 5C006/BF15 5C006/BF36 5C006/BF38 5C006/BF39 5C006 /BF44 5C006/BF45 5C006/BF46 5C006/EA01 5C006/EB05 5C006/FA12 5C006/FA29 5C006/FA42 5C006/FA43 5C006/FA51 5C006/FA56 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD01 5C080 /DD08 5C080/DD22 5C080/DD23 5C080/DD25 5C080/DD28 5C080/EE29 5C080/EE30 5C080/FF03 5C080/FF09 5C080/FF11 5C080/FF12 5C080/GG11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK07 5C080/KK08 5C080/KK43 5C080/KK47 2H192/AA24 2H192/BC31 2H192/CB05 2H192 /CB08 2H192/CB22 2H192/CC24 2H192/CC64 2H192/FB03 2H192/GB02 2H192/GB71 2H192/GD61 2H192/JA06 2H192/JA64		
优先权	2010090934 2010-04-09 JP 2010090936 2010-04-09 JP 2010114431 2010-05-18 JP 2010114429 2010-05-18 JP		
其他公开文献	JP2012003236A JP5647931B2		

摘要(译)

要解决的问题：从通过场序方法进行显示的液晶显示装置的设计的观点来增加图像信号的输入频率。解决方案：在具有像素的液晶显示装置的像素部分中以矩阵形式排列，其中图像信号的输入由其沟道形成区包括非晶半导体或微晶半导体的晶体管控制，图像信号被同时提供给以矩阵排列的像素中的多行中的像素。这可以增加图像信号相对于每个像素的输入频率，而不改变包括在液晶显示装置中的晶体管等的响应速度。

