

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-271701

(P2010-271701A)

(43) 公開日 平成22年12月2日(2010.12.2)

(51) Int.Cl.

G02F 1/1368 (2006.01)

F I

G02F 1/1368

テーマコード(参考)

2H092

審査請求 未請求 請求項の数 23 O L (全 36 頁)

(21) 出願番号 特願2010-80949 (P2010-80949)  
 (22) 出願日 平成22年3月31日(2010.3.31)  
 (31) 優先権主張番号 10-2009-0043720  
 (32) 優先日 平成21年5月19日(2009.5.19)  
 (33) 優先権主張国 韓国(KR)

(71) 出願人 390019839  
 三星電子株式会社  
 SAMSUNG ELECTRONICS  
 CO., LTD.  
 大韓民国京畿道水原市靈通区梅灘洞416  
 416, Maetan-dong, Yeongtong-gu, Suwon-si,  
 Gyeonggi-do 442-742  
 (KR)

(74) 代理人 100094145  
 弁理士 小野 由己男

(74) 代理人 100106367  
 弁理士 稲積 朋子

最終頁に続く

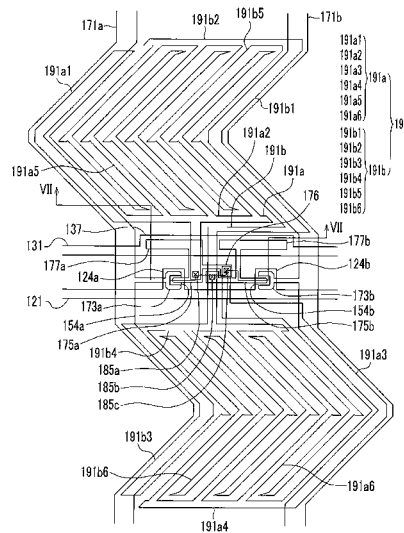
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】液晶表示装置の高いコントラスト比と広視野角を同時に確保でき、液晶分子の応答速度を速くすることができ、高い開口率を有すると同時に信号線と画素電極との間の寄生容量増加によるクロストーク不良を防止して、良い表示特性を有する液晶表示装置を提供する。

【解決手段】液晶表示装置は、第1基板及び第2基板の間に介在して液晶分子を含む液晶層、ゲート信号を伝達するゲート線、極性が互いに異なる第1データ電圧及び第2データ電圧を各々伝達する第1データ線及び第2データ線、ゲート線及び第1データ線と接続されている第1スイッチング素子、ゲート線及び第2データ線と接続されている第2スイッチング素子、第1スイッチング素子と第2スイッチング素子に各々接続されている第1画素電極及び第2画素電極を含み、第1画素電極は第1データ線及び第2データ線と重畳し、第2画素電極は第1データ線及び第2データ線と重畳し、第1画素電極及び第2画素電極は複数の枝電極を含み、第1画素電極の枝電極と第2画素電極の枝電極は交互に配置される。

【選択図】 図6



## 【特許請求の範囲】

## 【請求項 1】

互いに対向する第 1 基板及び第 2 基板と、  
 前記第 1 基板及び第 2 基板の間に介在し液晶分子を含む液晶層と、  
 前記第 1 基板上に形成されて、ゲート信号を伝達するゲート線と、  
 前記第 1 基板上に形成されて、極性が互いに異なる第 1 データ電圧及び第 2 データ電圧  
 を各々伝達する第 1 データ線及び第 2 データ線と、  
 前記ゲート線及び前記第 1 データ線と接続されている第 1 スイッチング素子と、  
 前記ゲート線及び前記第 2 データ線と接続されている第 2 スイッチング素子と、  
 前記第 1 スイッチング素子と接続された第 1 画素電極と、  
 前記第 2 スイッチング素子と接続された第 2 画素電極と、  
 を含み、前記第 1 画素電極は前記第 1 データ線及び第 2 データ線と重畳し、前記第 2 画  
 素電極は前記第 1 データ線及び第 2 データ線と重畳し、  
 前記第 1 画素電極及び第 2 画素電極は複数の枝電極を含み、前記第 1 画素電極の枝電極  
 と前記第 2 画素電極の枝電極は交互に配置されていることを特徴とする、液晶表示装置。

10

## 【請求項 2】

前記第 1 画素電極が前記第 1 データ線と重畳する面積と前記第 1 画素電極が前記第 2 デ  
 ータ線と重畳する面積は互いに同一であり、  
 前記第 2 画素電極が前記第 1 データ線と重畳する面積と前記第 2 画素電極が前記第 2 デ  
 ータ線と重畳する面積は互いに同一であることを特徴とする、請求項 1 に記載の液晶表示  
 装置。

20

## 【請求項 3】

前記第 1 画素電極と前記第 2 画素電極は、それぞれ前記ゲート線を挟む第 1 領域部分及  
 び第 2 領域部分を含み、  
 前記第 1 画素電極が前記第 1 データ線と重畳する部分は前記第 1 画素電極の第 1 領域部  
 分及び第 2 領域部分のうちいずれか一方に含まれ、前記第 1 画素電極が前記第 2 データ  
 線と重畳する部分は前記第 1 画素電極の第 1 領域部分及び第 2 領域部分のうち他方に含  
 まれ、  
 前記第 2 画素電極が前記第 1 データ線と重畳する部分は前記第 2 画素電極の第 1 領域部  
 分及び第 2 領域部分のうちいずれか一方に含まれ、前記第 2 画素電極が前記第 2 データ  
 線と重畳する部分は前記第 2 画素電極の第 1 領域部分及び第 2 領域部分のうち他方に含  
 まれることを特徴とする、請求項 2 に記載の液晶表示装置。

30

## 【請求項 4】

前記第 1 スイッチング素子及び前記第 2 スイッチング素子と、前記第 1 画素電極及び前  
 記第 2 画素電極の間に配置されている保護膜をさらに含み、  
 前記保護膜は、前記第 1 スイッチング素子の出力端子を露出する第 1 コンタクトホール  
 と前記第 2 スイッチング素子の出力端子を露出する第 2 コンタクトホールを有し、  
 前記第 1 画素電極の第 1 領域部分及び第 2 領域部分は互いに接続されており、前記第 1  
 コンタクトホールを通して前記第 1 スイッチング素子と接続され、前記第 2 画素電極の第  
 1 領域部分及び第 2 領域部分は互いに接続されており、前記第 2 コンタクトホールを通し  
 て前記第 2 スイッチング素子と接続されていることを特徴とする、請求項 3 に記載の液晶  
 表示装置。

40

## 【請求項 5】

前記第 1 画素電極はその第 1 領域部分と第 2 領域部分とが互いに分離されたパターンで  
 形成され、  
 前記保護膜は前記第 1 スイッチング素子の出力端子を露出する第 3 コンタクトホールを  
 有し、  
 前記第 1 画素電極の第 1 領域部分及び第 2 領域部分のうちいずれか一方は前記第 1 コ  
 ンタクトホールを通して前記第 1 スイッチング素子と接続され、前記第 1 画素電極の第 1  
 領域部分及び第 2 領域部分のうち他方は前記第 3 コンタクトホールを通して前記第 1 ス

50

スイッチング素子の出力端子と接続されていることを特徴とする、請求項 3 に記載の液晶表示装置。

【請求項 6】

前記ゲート線と同一の層に形成された維持電極と、  
前記第 1 スwitchング素子の出力端子から延長されている第 1 維持導電体と、  
前記第 2 スwitchング素子の出力端子から拡張されている第 2 維持導電体と、  
をさらに含み、前記第 1 維持導電体及び第 2 維持導電体は前記維持電極と重畳して、第 1 ストレージキャパシタ及び第 2 ストレージキャパシタを構成することを特徴とする、請求項 2 に記載の液晶表示装置。

【請求項 7】

前記第 1 維持導電体と前記維持電極との間、及び第 2 維持導電体と前記維持電極との間に配置されている絶縁膜及び半導体層をさらに含むことを特徴とする、請求項 6 に記載の液晶表示装置。

【請求項 8】

前記第 1 維持導電体と前記維持電極が重畳する面積と前記第 2 維持導電体と前記維持電極が重畳する面積は互いに同一であることを特徴とする、請求項 7 に記載の液晶表示装置。

【請求項 9】

前記第 1 画素電極と前記第 2 画素電極は、それぞれ前記ゲート線を挟む第 1 領域部分と第 2 領域部分とを含み、

前記第 1 画素電極が前記第 1 データ線と重畳する部分と前記第 1 画素電極が前記第 2 データ線と重畳する部分は、前記第 1 画素電極の第 1 領域部分及び第 2 領域部分のうちのいずれか一方に含まれ、

前記第 2 画素電極が前記第 1 データ線と重畳する部分と前記第 2 画素電極が前記第 2 データ線と重畳する部分は、前記第 2 画素電極の第 1 領域部分及び第 2 領域部分のうちの他方に含まれることを特徴とする、請求項 2 に記載の液晶表示装置。

【請求項 10】

前記第 1 スwitchング素子及び前記第 2 スwitchング素子と前記第 1 画素電極及び前記第 2 画素電極の間に配置されている保護膜をさらに含み、

前記保護膜は前記第 1 スwitchング素子の出力端子を露出する第 1 コンタクトホールと前記第 2 スwitchング素子の出力端子を露出する第 2 コンタクトホールを有し、

前記第 1 画素電極の第 1 領域部分及び第 2 領域部分は互いに接続されており、前記第 1 コンタクトホールを通して前記第 1 スwitchング素子と接続され、前記第 2 画素電極の第 1 領域部分及び第 2 領域部分は互いに接続されており、前記第 2 コンタクトホールを通して前記第 2 スwitchング素子と接続されていることを特徴とする、請求項 9 に記載の液晶表示装置。

【請求項 11】

前記ゲート線と同一の層に形成された維持電極と

前記第 1 スwitchング素子の出力端子から延長されている第 1 維持導電体と、

前記第 2 スwitchング素子の出力端子から拡張されている第 2 維持導電体と、

をさらに含み、前記第 1 維持導電体及び第 2 維持導電体は、前記維持電極と重畳して、第 1 ストレージキャパシタ及び第 2 ストレージキャパシタを構成することを特徴とする、請求項 10 に記載の液晶表示装置。

【請求項 12】

前記第 1 コンタクトホールは前記第 1 維持導電体上に配置されて、前記第 2 コンタクトホールは前記第 2 維持導電体上に配置されていることを特徴とする、請求項 11 に記載の液晶表示装置。

【請求項 13】

前記第 1 維持導電体と前記維持電極との間、及び第 2 維持導電体と前記維持電極との間に配置されている絶縁膜及び半導体層をさらに含むことを特徴とする、請求項 11 に記載

10

20

30

40

50

の液晶表示装置。

【請求項 14】

前記第 1 維持導電体と前記維持電極が重畳する面積と前記第 2 維持導電体と前記維持電極が重畳する面積は互いに同一であることを特徴とする、請求項 11 に記載の液晶表示装置。

【請求項 15】

前記液晶層は正の誘電率異方性を有し、  
前記液晶層の液晶は垂直配向されていることを特徴とする、請求項 2 に記載の液晶表示装置。

【請求項 16】

前記第 1 画素電極及び第 2 画素電極の複数の枝電極は前記ゲート線に対して斜めに形成されていることを特徴とする、請求項 2 に記載の液晶表示装置。

10

【請求項 17】

前記第 1 画素電極及び第 2 画素電極は同一層に形成されていることを特徴とする、請求項 2 に記載の液晶表示装置。

【請求項 18】

互に対向する第 1 基板及び第 2 基板と、  
前記第 1 基板及び第 2 基板の間に介在し、液晶分子を含む液晶層と、  
前記第 1 基板上に形成されており、ゲート信号を伝達するゲート線と、  
前記第 1 基板上に形成されており、共通電圧を伝達する共通電圧線と、  
前記第 1 基板上に形成されており、データ電圧を伝達する第 1 データ線と、  
前記ゲート線及び前記第 1 データ線と接続されている第 1 スイッチング素子と、  
前記ゲート線及び前記共通電圧線と接続されている第 2 スイッチング素子と、  
前記第 1 スイッチング素子と第 2 スイッチング素子に各々接続されていて互いに分離されている第 1 画素電極及び第 2 画素電極と、  
を含み、

20

前記第 1 画素電極は前記第 1 データ線と重畳し、  
前記第 2 画素電極は前記第 1 データ線と重畳し、  
前記第 1 画素電極及び第 2 画素電極は複数の枝電極を含み、前記第 1 画素電極の枝電極と前記第 2 画素電極の枝電極は交互に配置されており、  
前記第 1 画素電極が前記第 1 データ線と重畳する面積と前記第 2 画素電極が前記第 1 データ線と重畳する面積は互いに同一であることを特徴とする、液晶表示装置。

30

【請求項 19】

前記第 1 基板上に形成されてデータ電圧を伝達する第 2 データ線をさらに含み、  
前記第 1 画素電極は前記第 2 データ線と重畳し、前記第 2 画素電極は前記第 1 データ線と重畳することを特徴とする、請求項 18 に記載の液晶表示装置。

【請求項 20】

前記第 1 画素電極が前記第 2 データ線と重畳する面積と前記第 2 画素電極が前記第 2 データ線と重畳する面積は互いに同一であることを特徴とする、請求項 19 に記載の液晶表示装置。

40

【請求項 21】

前記ゲート線と同一の層に形成された維持電極と、  
前記第 1 スイッチング素子の出力端子から延長されている第 1 維持導電体及び前記第 2 スイッチング素子の出力端子から延長されている第 2 維持導電体と、  
をさらに含み、

前記第 1 維持導電体及び前記第 2 維持導電体は前記維持電極と重畳して、第 1 ストレージキャパシタ及び第 2 ストレージキャパシタを形成し、

前記第 1 維持導電体及び第 2 維持導電体は前記共通電圧線と重畳して、第 3 ストレージキャパシタ及び第 4 ストレージキャパシタを構成することを特徴とする、請求項 18 に記載の液晶表示装置。

50

**【請求項 2 2】**

前記第 1 維持導電体と前記維持電極との間、前記第 2 維持導電体と前記維持電極との間、前記第 1 維持導電体と前記共通電圧線との間、前記第 2 維持導電体と前記共通電圧線との間に配置されている絶縁膜及び半導体層をさらに含むことを特徴とする、請求項 2 1 に記載の液晶表示装置。

**【請求項 2 3】**

前記第 1 維持導電体と前記維持電極が重畳する面積と前記第 2 維持導電体と前記維持電極が重畳する面積は互いに同一であり、

前記第 1 維持導電体と前記共通電圧線が重畳する面積と前記第 2 維持導電体と前記共通電圧線が重畳する面積は互いに同一であることを特徴とする、請求項 2 2 に記載の液晶表示装置。

10

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は液晶表示装置に関する。

**【背景技術】****【0002】**

液晶表示装置は、現在最も幅広く使用されている平板表示装置のうちの 1 つであり、画素電極と共通電極などの電場生成電極が形成されている 2 枚の基板と、その間に挿入されている液晶層で構成され、電場生成電極に電圧を印加して液晶層に電場を生成し、これを通して液晶層の液晶分子の配向を決定して入射光の偏光を制御することによって映像を表示する。

20

**【0003】**

液晶表示装置の表示品質を高めるために、高いコントラスト比 (contrast ratio) と優れた広視野角、速い応答速度を有する液晶表示装置を実現する必要がある。

**【0004】**

また、液晶表示装置の開口率を高めるために、画素電極を信号線に重畳して形成すると、信号線と画素電極との間の寄生容量 (parasitic capacitance) が増加して、クロストークによる画面表示品質が低下する。

30

**【発明の概要】****【発明が解決しようとする課題】****【0005】**

本発明の目的は、液晶表示装置の高いコントラスト比と広視野角を同時に確保でき、液晶分子の応答速度を速くすることができ、高い開口率を有すると同時に信号線と画素電極との間の寄生容量増加によるクロストーク不良を防止して、表示特性を向上させた液晶表示装置を提供することである。

**【課題を解決するための手段】****【0006】**

本発明の第 1 実施形態による液晶表示装置は、互いに対向する第 1 基板及び第 2 基板、前記第 1 基板及び第 2 基板の間に介在し、液晶分子を含む液晶層、前記第 1 基板上に形成されてゲート信号を伝達するゲート線、前記第 1 基板上に形成されて極性が互いに異なる第 1 データ電圧及び第 2 データ電圧を各々伝達する第 1 データ線及び第 2 データ線、前記ゲート線及び前記第 1 データ線と接続されている第 1 スイッチング素子、前記ゲート線及び前記第 2 データ線と接続されている第 2 スイッチング素子、そして前記第 1 スイッチング素子と接続された第 1 画素電極、及び前記第 2 スイッチング素子と接続されている第 2 画素電極を含み、前記第 1 画素電極は、前記第 1 データ線及び第 2 データ線と重畳し、前記第 2 画素電極は前記第 1 データ線及び第 2 データ線と重畳し、前記第 1 画素電極及び第 2 画素電極は複数の枝電極を含み、前記第 1 画素電極の枝電極と前記第 2 画素電極の枝電極とは交互に配置されている。

40

50

## 【 0 0 0 7 】

前記第 1 画素電極が前記第 1 データ線と重畳する面積と、前記第 1 画素電極が前記第 2 データ線と重畳する面積とは、同一であり、前記第 2 画素電極が前記第 1 データ線と重畳する面積と、前記第 2 画素電極が前記第 2 データ線と重畳する面積とは同一であることが好ましい。

## 【 0 0 0 8 】

前記第 1 画素電極と前記第 2 画素電極は前記ゲート線を挟む第 1 領域部分及び第 2 領域部分を含み、前記第 1 画素電極が前記第 1 データ線と重畳する部分は前記第 1 画素電極の第 1 領域部分及び第 2 領域部分のうちいずれか一方に含まれ、前記第 1 画素電極が前記第 2 データ線と重畳する部分は前記第 1 画素電極の第 1 領域部分及び第 2 領域部分のうち 10  
の他方に含まれ、前記第 2 画素電極が前記第 1 データ線と重畳する部分は前記第 2 画素電極の第 1 領域部分及び第 2 領域部分のうちいずれか一方に含まれ、前記第 2 画素電極が前記第 2 データ線と重畳する部分は前記第 2 画素電極の第 1 領域部分及び第 2 領域部分のうち他方に含まれる。

## 【 0 0 0 9 】

前記第 1 スイッチング素子及び前記第 2 スイッチング素子と前記第 1 画素電極及び前記第 2 画素電極との間に配置されている保護膜をさらに含み、前記保護膜は前記第 1 スイッチング素子の出力端子を露出する第 1 コンタクトホールと、前記第 2 スイッチング素子の出力端子を露出する第 2 コンタクトホールを有し、前記第 1 画素電極の第 1 領域部分及び第 2 領域部分は互いに接続されており、前記第 1 コンタクトホールを通して前記第 1 スイッチング素子と接続され、前記第 2 画素電極の第 1 領域部分及び第 2 領域部分は互いに接続されており、前記第 2 コンタクトホールを通して前記第 2 スイッチング素子と接続される。 20

## 【 0 0 1 0 】

前記第 1 画素電極はその第 1 領域部分及び第 2 領域部分が互いに分離されたパターンで形成され、前記保護膜は前記第 1 スイッチング素子の出力端子を露出する第 3 コンタクトホールを有し、前記第 1 画素電極の第 1 領域部分及び第 2 領域部分のうちいずれか一方は前記第 1 コンタクトホールを通して前記第 1 スイッチング素子と接続され、前記第 1 画素電極の第 1 領域部分及び第 2 領域部分のうち他方は前記第 3 コンタクトホールを通して前記第 1 スイッチング素子の出力端子と接続される。 30

## 【 0 0 1 1 】

前記ゲート線と同一の層に形成されている維持電極、そして前記第 1 スイッチング素子の出力端子から延長されている第 1 維持導電体、及び前記第 2 スイッチング素子の出力端子から延長されている第 2 維持導電体をさらに含み、前記第 1 維持導電体及び第 2 維持導電体は前記維持電極と重畳して、第 1 ストレージキャパシタ及び第 2 ストレージキャパシタを形成することが好ましい。

## 【 0 0 1 2 】

前記第 1 維持導電体と前記維持電極との間、及び第 2 維持導電体と前記維持電極との間に配置されている絶縁膜及び半導体層をさらに含むことが好ましい。

## 【 0 0 1 3 】

前記第 1 維持導電体と前記維持電極が重畳する面積と前記第 2 維持導電体と前記維持電極が重畳する面積は互いに同一であることが好ましい。 40

## 【 0 0 1 4 】

前記第 1 画素電極と前記第 2 画素電極は前記ゲート線を挟む第 1 領域部分及び第 2 領域部分を含み、前記第 1 画素電極が前記第 1 データ線と重畳する部分と前記第 1 画素電極が前記第 2 データ線と重畳する部分は、前記第 1 画素電極の第 1 領域部分及び第 2 領域部分のうちいずれか一方に含まれ、前記第 2 画素電極が前記第 1 データ線と重畳する部分と前記第 2 画素電極が前記第 2 データ線と重畳する部分は、前記第 2 画素電極の第 1 領域部分と第 2 領域部分のうちいずれか一方に含まれる。

## 【 0 0 1 5 】

10

20

30

40

50

前記第1スイッチング素子及び前記第2スイッチング素子と、前記第1画素電極及び前記第2画素電極の間に配置されている保護膜をさらに含み、前記保護膜は前記第1スイッチング素子の出力端子を露出する第1コンタクトホールと前記第2スイッチング素子の出力端子を露出する第2コンタクトホールを有し、前記第1画素電極の第1領域部分及び第2領域部分は互いに接続されており、前記第1コンタクトホールを通して前記第1スイッチング素子と接続され、前記第2画素電極の第1領域部分及び第2領域部分は互いに接続されており、前記第2コンタクトホールを通して前記第2スイッチング素子と接続される。

【0016】

前記ゲート線と同一の層に形成された維持電極、そして前記第1スイッチング素子の出力端子から延長されている第1維持導電体及び前記第2スイッチング素子の出力端子から延長されている第2維持導電体をさらに含み、前記第1維持導電体及び第2維持導電体は前記維持電極と重畳して、第1ストレージキャパシタ及び第2ストレージキャパシタを形成することが好ましい。

10

【0017】

前記第1コンタクトホールを前記第1維持導電体上に配置し、前記第2コンタクトホールを前記第2維持導電体上に配置することが好ましい。

【0018】

前記第1維持導電体と前記維持電極との間、及び第2維持導電体と前記維持電極との間に配置されている絶縁膜及び半導体層をさらに含むことが好ましい。

20

【0019】

前記第1維持導電体と前記維持電極が重畳する面積と前記第2維持導電体と前記維持電極が重畳する面積は同一であることが好ましい。

【0020】

前記液晶層は正の誘電率異方性を有し、前記液晶層の液晶が垂直配向型であることが好ましい。

【0021】

前記第1画素電極及び第2画素電極の複数の枝電極は、前記ゲート線に対して斜めに形成されていることが好ましい。

【0022】

前記第1画素電極及び第2画素電極は同一層に形成することが好ましい。

30

【0023】

本発明の第1実施形態による液晶表示装置は、互いに対向する第1基板及び第2基板、前記第1基板及び第2基板の間に介在する液晶分子を含む液晶層、前記第1基板上に形成されてゲート信号を伝達するゲート線、前記第1基板上に形成されて共通電圧を伝達する共通電圧線、前記第1基板上に形成されてデータ電圧を伝達する第1データ線、前記ゲート線及び前記第1データ線と接続されている第1スイッチング素子、前記ゲート線及び前記共通電圧線と接続されている第2スイッチング素子、そして前記第1スイッチング素子と第2スイッチング素子に各々接続されて互いに分離されている第1画素電極及び第2画素電極を含み、前記第1画素電極は前記第1データ線と重畳し、前記第2画素電極は前記第1データ線と重畳し、前記第1画素電極及び第2画素電極は複数の枝電極を含み、前記第1画素電極の枝電極と前記第2画素電極の枝電極は交互に配置されて、前記第1画素電極が前記第1データ線と重畳する面積と前記第2画素電極が前記第1データ線と重畳する面積は互いに同一であることが好ましい。

40

【0024】

前記液晶表示装置は前記第1基板上に形成されており、データ電圧を伝達する第2データ線をさらに含み、前記第1画素電極は前記第2データ線と重畳し、前記第2画素電極は前記第1データ線と重畳されていることが好ましい。

【0025】

前記第1画素電極が前記第2データ線と重畳する面積と前記第2画素電極が前記第2デ

50

ータ線と重畳する面積は互いに同一であることが好ましい。

【0026】

前記ゲート線と同一の層に形成された維持電極、そして前記第1スイッチング素子の出力端子から延長されている第1維持導電体、及び前記第2スイッチング素子の出力端子から延長されている第2維持導電体をさらに含み、前記第1維持導電体及び第2維持導電体は前記維持電極と重畳して、第1ストレージキャパシタ及び第2ストレージキャパシタを形成し、前記第1維持導電体及び第2維持導電体は前記共通電圧線と重畳して、第3ストレージキャパシタ及び第4ストレージキャパシタを形成することが好ましい。

【0027】

前記第1維持導電体と前記維持電極との間、前記第2維持導電体と前記維持電極との間、前記第1維持導電体と前記共通電圧線との間、前記第2維持導電体と前記共通電圧線との間に配置されている絶縁膜及び半導体層をさらに含むことが好ましい。

10

【0028】

前記第1維持導電体と前記維持電極が重畳する面積と前記第2維持導電体と前記維持電極が重畳する面積は互いに同一であり、前記第1維持導電体と前記共通電圧線が重畳する面積と前記第2維持導電体と前記共通電圧線が重畳する面積は互いに同一であることが好ましい。

【発明の効果】

【0029】

本発明により、液晶表示装置の高いコントラスト比と広視野角を同時に確保でき、液晶分子の応答速度を速くすることができるだけでなく、高い開口率を有すると共に信号線と画素電極との間の寄生容量増加によるクロストーク不良を防止して、良い表示特性を有することができる。

20

【図面の簡単な説明】

【0030】

【図1】本発明の第1実施形態による液晶表示装置のブロック図である。

【図2】本発明の第1実施形態による液晶表示装置の構造と共に1つの画素を示した等価回路図である。

【図3】本発明の第1実施形態による液晶表示装置の1つの画素に対する等価回路図である。

30

【図4】本発明の第1実施形態による液晶表示装置の簡略な断面図である。

【図5】本発明の第1実施形態による液晶表示装置のデータ線に印加される電圧と画素を示す図面である。

【図6】本発明の第1実施形態による液晶表示板組立体の配置図である。

【図7】図6の液晶表示板組立体をV I I - V I I線に沿って切断して示した断面図である。

【図8】本発明の第2実施形態による液晶表示板組立体の配置図である。

【図9】図8の液晶表示板組立体をI X - I X線に沿って切断して示した断面図である。

【図10】本発明の第3実施形態による液晶表示板組立体の配置図である。

【図11】図10の液晶表示板組立体をX I - X I線に沿って切断して示した断面図である。

40

【図12】本発明の第4実施形態による液晶表示装置の1つの画素に対する等価回路図である。

【図13】本発明の第5実施形態による液晶表示板組立体の配置図である。

【図14】図13の液晶表示板組立体をX I V - X I V線に沿って切断して示した断面図である。

【図15】本発明の第6実施形態による液晶表示板組立体の配置図である。

【図16】図15の液晶表示板組立体をX V I - X V I線に沿って切断して示した断面図である。

【発明を実施するための形態】

50

## 【0031】

以下、添付図面を参照して、本発明の実施形態について本発明が属する技術分野において通常の知識を有する者が容易に実施できるように詳しく説明する。本発明は、多様な形態に具現することができ、以下に説明する実施形態に限定されるものではない。

## 【0032】

図面では、複数の層及び領域を明確に表現するために、厚さを拡大して表示した。明細書全体にわたって類似する部分については同一図面符号を付けた。層、膜、領域、板などの部分がある部分の「上」にあるという時、これはある部分の「直上」にある場合だけでなく、その中間にまた他の部分がある場合も含む。一方、ある部分が他の部分の「直上」にあるという時には中間に他の部分がないことを意味する。

10

## 【0033】

本発明の第1実施形態による液晶表示装置について図面を参照して詳細に説明する。

## 【0034】

図1は本発明の第1実施形態による液晶表示装置のブロック図であり、図2は本発明の第1実施形態による液晶表示装置の構造と共に1つの画素を示した等価回路図であり、図3は本発明の第1実施形態による液晶表示装置の1つの画素に対する等価回路図である。

## 【0035】

図1に示すように、本発明の第1実施形態による液晶表示装置は、液晶表示板組立体 (liquid crystal panel assembly) 300、ゲート駆動部 (gate driver) 400、データ駆動部 (data driver) 500、階調電圧生成部 (gray voltage generator) 800及び信号制御部 (signal controller) 600を含む。

20

## 【0036】

図1及び図3に示すように、液晶表示板組立体300は等価回路から見ると、複数の信号線 (signal line) ( $G_i$ 、 $D_j$ 、 $D_{j+1}$ ) とこれと接続されていて略行列状に配列された複数の画素 (pixel) ( $PX$ ) を含む。一方、図2に示した構造から見ると、液晶表示板組立体300は、互いに対向する下部基板100及び上部基板200と、その間に挿入されている液晶層3を含む。

## 【0037】

信号線 ( $G_i$ 、 $D_j$ 、 $D_{j+1}$ ) は、ゲート信号 (「走査信号」とも言う) を伝達する複数のゲート線 ( $G_i$ ) と、データ電圧を伝達する複数対のデータ線 ( $D_j$ 、 $D_{j+1}$ ) を含む。ゲート線 ( $G_i$ ) は、略行方向に延びて互いに平行であり、データ線 ( $D_j$ 、 $D_{j+1}$ ) は略列方向に延びて互いに平行である。

30

## 【0038】

各画素 ( $PX$ )、例えば、 $i$  番目 ( $i=1, 2, \dots, n$ ) のゲート線 ( $G_i$ ) と、 $j$  番目及び  $j+1$  番目 ( $j=1, 2, \dots, m$ ) のデータ線 ( $D_j$ 、 $D_{j+1}$ ) と接続された画素 ( $PX$ ) は、信号線 ( $G_i$ 、 $D_j$ 、 $D_{j+1}$ ) と接続された第1スイッチング素子 ( $Qa$ ) 及び第2スイッチング素子 ( $Qb$ ) と、これと接続された液晶キャパシタ (liquid crystal capacitor) ( $Clc$ )、第1ストレージキャパシタ (storage capacitor) ( $Csta$ ) 及び第2ストレージキャパシタ ( $Cstb$ ) を含み、そしてデータ線 ( $D_j$ 、 $D_{j+1}$ ) と第1スイッチング素子 ( $Qa$ ) と接続されている第1補助キャパシタ ( $Cdpa1$ ) 及び第2補助キャパシタ ( $Cdpb1$ )、データ線 ( $D_j$ 、 $D_{j+1}$ ) と第2スイッチング素子 ( $Qb$ ) と接続されている第3補助キャパシタ ( $Cdpa2$ )、及び第4補助キャパシタ ( $Cdpb2$ ) を含む。第1ストレージキャパシタ ( $Csta$ ) 及び第2ストレージキャパシタ ( $Cstb$ ) は必要により省略してもよい。第1補助キャパシタ ( $Cdpa1$ ) 及び第2補助キャパシタ ( $Cdpb1$ ) の容量は互いに同一であってもよく、第3補助キャパシタ ( $Cdpa2$ ) 及び第4補助キャパシタ ( $Cdpb2$ ) の容量は互いに同一であってもよい。

40

## 【0039】

第1スイッチング素子 ( $Qa$ ) 及び第2スイッチング素子 ( $Qb$ ) は、下部基板100

50

に設けられている薄膜トランジスタなどの三端子素子であって、その制御端子はゲート線 ( $G_i$ ) と接続されており、入力端子はデータ線 ( $D_j$ 、 $D_{j+1}$ ) と接続されており、出力端子は液晶キャパシタ ( $C_{lc}$ )、第1ストレージキャパシタ ( $C_{sta}$ ) 及び第2ストレージキャパシタ ( $C_{stb}$ ) と接続されている。

【0040】

図2及び図3に示すように、液晶キャパシタ ( $C_{lc}$ ) は下部基板100の第1画素電極 ( $PEa$ ) と第2画素電極 ( $PEb$ ) を2つの端子とし、第1画素電極 ( $PEa$ ) と第2画素電極 ( $PEb$ ) との間の液晶層3は誘電体として機能する。第1画素電極 ( $PEa$ ) は第1スイッチング素子 ( $Qa$ ) と接続され、第2画素電極 ( $PEb$ ) は第2スイッチング素子 ( $Qb$ ) と接続されている。液晶層3は誘電率異方性を有し、液晶層3の液晶分子は電場がない状態でその長軸が2つの基板の表面に対して垂直に配向されている。液晶層3は、正の誘電率異方性を有する液晶材料を用いることができる。

10

【0041】

第1画素電極 ( $PEa$ ) と第2画素電極 ( $PEb$ ) を含む画素電極 ( $PE$ ) は、互いに異なる層に形成することができ、同じ層に形成することもできる。液晶キャパシタ ( $C_{lc}$ ) の補助的な役割を果たす第1ストレージキャパシタ ( $C_{sta}$ ) 及び第2ストレージキャパシタ ( $C_{stb}$ ) は、下部基板100に設けられた別途の電極 (図示せず) が第1画素電極 ( $PEa$ ) 及び第2画素電極 ( $PEb$ ) 各々と絶縁体を間において重畳して形成される。

【0042】

一方、色表示を実現するためには、各画素 ( $PX$ ) が基本色 (*primary color*) のうちの1つを固有に表示する空間分割方式、各画素 ( $PX$ ) が時間により交互に基本色を表示する時間分割方式などを採用することができ、これらの基本色の空間的、時間的な表示の合計により所定の色が認識されるようにする。基本色の例としては、赤色、緑色、青色などの三原色が挙げられる。図2は空間分割の一例として、各画素 ( $PX$ ) が第1画素電極 ( $PEa$ ) 及び第2画素電極 ( $PEb$ ) に対応する上部基板200の領域に、基本色のうちの1つを表示するカラーフィルター ( $CF$ ) を設けることを示している。図2に示す例とは異なって、カラーフィルター ( $CF$ ) は下部基板100の第1画素電極 ( $PEa$ ) 及び第2画素電極 ( $PEb$ ) 上または下に位置して形成することもできる。

20

【0043】

液晶表示板組立体300には少なくとも1つの偏光子 (図示せず) が設けられている。

30

【0044】

図4及び図5と共に図2及び図3を参照して、本発明の第1実施形態による液晶表示装置の駆動方法の一例について詳細に説明する。

【0045】

図4は本発明の第1実施形態による液晶表示装置の簡略な断面図であり、図5は本発明の第1実施形態による液晶表示装置のデータ線に印加される電圧と画素を示した図面である。

【0046】

図2及び図3に示すように、データ線 ( $D_j$ 、 $D_{j+1}$ ) にデータ電圧が印加されると、導通した第1スイッチング素子 ( $Qa$ ) 及び第2スイッチング素子 ( $Qb$ ) を通して当該画素 ( $PX$ ) に印加される。つまり、第1画素電極 ( $PEa$ ) には第1スイッチング素子 ( $Qa$ ) を通して第1データ線 ( $D_j$ ) に流れるデータ電圧が印加され、第2画素電極 ( $PEb$ ) には第2スイッチング素子 ( $Qb$ ) を通して第2データ線 ( $D_{j+1}$ ) に流れるデータ電圧が印加される。この時、第1画素電極 ( $PEa$ ) 及び第2画素電極 ( $PEb$ ) に印加されるデータ電圧は、画素 ( $PX$ ) が表示しようとする輝度に対応するデータ電圧であり、基準電圧 ( $V_{ref}$ ) に対して各々極性が互いに反対となる。例えば、液晶表示装置が利用できる最低電圧が0Vで最高電圧は14Vである場合、基準電圧 ( $V_{ref}$ ) を7Vとし、第1データ線 ( $D_j$ ) に流れるデータ電圧を0V~7Vとし、第2データ線 ( $D_{j+1}$ ) に流れるデータ電圧を7V~14Vとすることができ、その反対に、第1

40

50

データ線 ( $D_j$ ) に流れるデータ電圧を  $7V \sim 14V$  とし、第2データ線 ( $D_{j+1}$ ) に流れるデータ電圧を  $0V \sim 7V$  とすることができる。

【0047】

このように第1画素電極 ( $PEa$ ) 及び第2画素電極 ( $PEb$ ) に印加された極性が互いに異なる2つのデータ電圧の差は、液晶キャパシタ ( $Clc$ ) の充電電圧、つまり、画素電圧として現れる。液晶キャパシタ ( $Clc$ ) の両端に電位差が生じると、図4に示すように、基板100、200の表面と平行な電場が、第1画素電極 ( $PEa$ ) 及び第2画素電極 ( $PEb$ ) との間の液晶層3に生成される。液晶分子31が正の誘電率異方性を有する場合、液晶分子31はその長軸が電場の方向に平行になるように傾き、その傾く程度は画素電圧の大きさにより異なる。このような液晶層3をEOC (electrically-induced optical compensation) モードという。また、液晶分子31の傾いた程度により液晶層3を通過する光の偏光の変化程度が変わる。このような偏光の変化は偏光子によって光の透過率変化に現れ、これによって画素 ( $PX$ ) は所定の輝度を表示することができる。

10

【0048】

図5は、本発明の第1実施形態による液晶表示装置において、利用できる最低電圧が  $0V$ 、最高電圧が  $14V$  であり、隣接する4つの画素の液晶キャパシタの充電電圧が  $14V$ 、 $10V$ 、 $5V$  及び  $1V$  である場合に、各データ線に印加される電圧の例を示した。

【0049】

図5に示すように、各画素は2つのデータ線 ( $D_j$  及び  $D_{j+1}$ 、 $D_{j+2}$  及び  $D_{j+3}$ 、 $D_{j+4}$  及び  $D_{j+5}$ 、 $D_{j+6}$  及び  $D_{j+7}$ ) と接続されている。1つの画素と接続された2つのデータ線 ( $D_j$  及び  $D_{j+1}$ 、 $D_{j+2}$  及び  $D_{j+3}$ 、 $D_{j+4}$  及び  $D_{j+5}$ 、 $D_{j+6}$  及び  $D_{j+7}$ ) には、基準電圧 ( $V_{ref}$ ) に対して互いに異なる極性を有する互いに異なるデータ電圧が印加されて、2つのデータ電圧の差が各画素 ( $PX$ ) での画素電圧となる。例えば、基準電圧 ( $V_{ref}$ ) が  $7V$  である場合、最初の画素の目標画素電圧は  $14V$  であるため、第1及び第2データ線 ( $D_j$ 、 $D_{j+1}$ ) には各々  $14V$  及び  $0V$  が印加され、第2画素の目標画素電圧は  $10V$  であるため、第3及び第4データ線 ( $D_{j+2}$ 、 $D_{j+3}$ ) には各々  $12V$  及び  $2V$  が印加され、第3画素の目標画素電圧は  $5V$  であるため、第5及び第6データ線 ( $D_{j+4}$ 、 $D_{j+5}$ ) には各々  $9.5V$  及び  $4.5V$  が印加され、第4画素の目標画素電圧は  $1V$  であるため、7番目及び8番目データ線 ( $D_{j+6}$ 、 $D_{j+7}$ ) には各々  $7.5V$  及び  $6.5V$  が印加される。

20

30

【0050】

このように1つの画素 ( $PX$ ) に基準電圧 ( $V_{ref}$ ) に対する極性が互いに異なる2つのデータ電圧を印加することによって、駆動電圧を高めることができ、液晶分子の応答速度を速くすることができ、液晶表示装置の透過率を高めることができる。また、1つの画素 ( $PX$ ) に印加される2つのデータ電圧の極性が互いに反対であるため、データ駆動部500における反転形態が列反転または行反転の場合にも、点反転駆動と同様にフリッカー (flicker) による画質劣化を防ぐことができる。

【0051】

また、1つの画素 ( $PX$ ) において第1スイッチング素子 ( $Qa$ ) 及び第2スイッチング素子 ( $Qb$ ) が遮断される時、第1画素電極 ( $PEa$ ) 及び第2画素電極 ( $PEb$ ) に印加される電圧が、各々のキックバック電圧 (kickback voltage) と同程度下降するため、画素 ( $PX$ ) の充電電圧には殆ど変化がない。従って、液晶表示装置の表示特性を向上させることができる。

40

【0052】

また、極性が互いに異なる2つのデータ電圧を印加する2つのデータ線 ( $D_j$ 、 $D_{j+1}$ ) と、第1スイッチング素子 ( $Qa$ ) と接続されている第1画素電極 ( $PEa$ ) によって形成される第1補助キャパシタ ( $Cdpa1$ ) 及び第2補助キャパシタ ( $Cdpb1$ ) の容量は、互いに同一であってもよく、2つのデータ線 ( $D_j$ 、 $D_{j+1}$ ) と第2スイッチング素子 ( $Qb$ ) と接続されている第2画素電極 ( $PEb$ ) によって形成される第3補

50

助キャパシタ ( C d p a 2 ) 及び第 4 補助キャパシタ ( C d p b 2 ) の容量は互いに同一であってもよい。従って、第 1 画素電極 ( P E a ) 及び第 2 画素電極 ( P E b ) と互いに異なる極性の電圧が印加される 2 つのデータ線 ( D j 、 D j + 1 ) が形成する寄生容量の大きさの差を小さくして、第 1 画素電極 ( P E a ) 及び第 2 画素電極 ( P E b ) と 2 つのデータ線 ( D j 、 D j + 1 ) との間の寄生容量偏差によって発生するクロストークの不良を防止することができる。

【 0 0 5 3 】

次に図 6 及び図 7 を参照して、前述した液晶表示板組立体の一例について詳細に説明する。

【 0 0 5 4 】

図 6 は本発明の第 1 実施形態による液晶表示板組立体の配置図であり、図 7 は図 6 の液晶表示板組立体を V I I - V I I 線に沿って切断して示した断面図である。

【 0 0 5 5 】

図 6 及び図 7 に示すように、本発明の第 1 実施形態による液晶表示板組立体は、互に対向する下部基板 1 0 0 と上部基板 2 0 0 及びこれら 2 つの基板 1 0 0 、 2 0 0 の間に挿入されている液晶層 3 を含む。

【 0 0 5 6 】

まず、下部基板 1 0 0 について説明する。

【 0 0 5 7 】

絶縁基板 1 1 0 上に複数のゲート線 ( g a t e l i n e ) 1 2 1 と複数の維持電極線 ( s t o r a g e e l e c t r o d e l i n e ) 1 3 1 を含む複数のゲート導電体が形成されている。

【 0 0 5 8 】

ゲート線 1 2 1 はゲート信号を伝達するものであって、主に図 6 の横方向に延びて、各ゲート線 1 2 1 は上部に突出した複数対の第 1 ゲート電極 ( g a t e e l e c t r o d e ) 1 2 4 a 及び第 2 ゲート電極 1 2 4 b を含む。

【 0 0 5 9 】

維持電極線 1 3 1 は、主に図 6 の横方向に延びて、維持電極 1 3 7 を構成する複数の突出部を含む。維持電極線 1 3 1 には共通電圧 V c o m などの所定の電圧が印加される。

【 0 0 6 0 】

ゲート線 1 2 1 と維持電極線 1 3 1 は画素の中央部に配置されている。

【 0 0 6 1 】

ゲート導電体 1 2 1 、 1 3 1 は単一膜または多重膜構造を備える構成とすることができる。

【 0 0 6 2 】

ゲート導電体 1 2 1 、 1 3 1 上には、窒化ケイ素 ( S i N x ) または酸化ケイ素 ( S i O x ) など構成されたゲート絶縁膜 ( g a t e i n s u l a t i n g l a y e r ) 1 4 0 が形成されている。

【 0 0 6 3 】

ゲート絶縁膜 1 4 0 上には、水素化非晶質または多結晶シリコンなどで形成された複数対の第 1 線状半導体 1 5 1 a 及び第 2 線状半導体 1 5 1 b が形成されている。

【 0 0 6 4 】

第 1 線状半導体 1 5 1 a 及び第 2 線状半導体 1 5 1 b は、主に図 6 の縦方向に延びて、周期的に屈曲している。第 1 線状半導体 1 5 1 a は、第 1 ゲート電極 1 2 4 a に向かって延びて突出する第 1 突出部 ( p r o j e c t i o n ) 1 5 4 a を含み、第 2 線状半導体 1 5 1 b は第 2 ゲート電極 1 2 4 b に向かって延びて突出する第 2 突出部 1 5 4 b を含む。第 1 線状半導体 1 5 1 a は、第 1 突出部 1 5 4 a から接続された第 1 拡張部 1 5 6 をさらに含む。第 1 線状半導体 1 5 1 a 及び第 2 線状半導体 1 5 1 b は、第 1 突出部 1 5 4 a 及び第 2 突出部 1 5 4 b から拡張されて、維持電極 1 3 7 上に配置されている第 2 拡張部 1 5 7 a 及び第 3 拡張部 1 5 7 b をさらに含む。

10

20

30

40

50

## 【0065】

第1線状半導体151a、第1突出部154a、第1拡張部156、第2拡張部157a上には、複数の線状及び島型抵抗性接触部材(ohmic contact)161a、163a、165a、166、167aが形成されており、第2線状半導体151b、第2突出部154b、第3拡張部157b上には、複数の線状及び島型抵抗性接触部材161b、163b、165b、167bが形成されている。抵抗性接触部材161a、161b、163a、163b、165a、165b、166、167a、167bは、リンなどのn型不純物が高濃度にドーピングされているn+水素化非晶質シリコンなどの物質で形成されるか、またはシリサイド(silicide)で形成される。

## 【0066】

抵抗性接触部材161a、161b、163a、163b、165a、165b、166、167a、167b及びゲート絶縁膜140上には、複数対の第1データ線(data line)171a及び第2データ線171b、複数対の第1ドレイン電極(drain electrode)175a及び第2ドレイン電極175b、複数対の第1維持導電体177a及び第2維持導電体177bを含むデータ導電体が形成されている。

## 【0067】

第1データ線171a及び第2データ線171bは、データ信号を伝達するものであり、主に図6の縦方向に延長されており、ゲート線121及び維持電極線131と交差するように形成されている。第1データ線171a及び第2データ線171bは、交互に接続されている複数の屈曲部(curved portion)と複数の縦部(longitudinal portion)を含み、周期的に屈曲している。屈曲部は互いに接続されてシェvron形状(chevron)を成す一对の斜線部を含み、斜線部はゲート線121と約45°の角度を成す。縦部はゲート線121と交差し、第1ゲート電極124a及び第2ゲート電極124bに向かって延びている複数対の第1ソース電極(source electrode)173a及び第2ソース電極173bを含む。屈曲部は2回以上屈曲していてもよい。

## 【0068】

第1維持導電体177a及び第2維持導電体177bは、第1ドレイン電極175a及び第2ドレイン電極175bから拡張されて、維持電極137の一部と重畳される。第1ドレイン電極175aはこれから延びている拡張部176をさらに含む。

## 【0069】

このような下部基板100を本発明の第1実施形態により製造する方法では、データ導電体171a、171b、175a、175b、176、177a、177b、半導体151a、151b、154a、154b、156、157a、157b及び抵抗性接触部材161a、161b、163a、163b、165a、165b、166、167a、167bを1回の写真工程で形成する。

## 【0070】

このような写真工程で使用する感光膜は位置によって厚さが異なり、特に厚さが薄くなる順に第1部分と第2部分を含む。第1部分はデータ線171a、171b及びドレイン電極175a、175b、第1維持導電体177a及び第2維持導電体177b、そして拡張部176が占める配線領域に位置し、第2部分は薄膜トランジスタのチャンネル領域に位置する。

## 【0071】

位置によって感光膜の厚さを異ならせる方法としては多数あるが、例えば、光マスクに透光領域(light transmitting area)及び遮光領域(light blocking area)の他に半透明領域(translucent area)を設ける方法がある。光マスクの一部にスリット(split)パターンを形成することで、光マスクの半透明領域を構成することができる。また、光マスクの一部に格子パターン(lattice pattern)を形成することで、光マスクの半透明領域を構成することが可能である。さらに、光マスクの一部の光透過率を、透光領域と遮光領域の

10

20

30

40

50

中間になるように構成するか、あるいは、その厚さが透光領域と遮光領域の中間の厚さになるように構成することで、光マスクの半透明領域を構成することができる。スリットパターンを用いる時には、スリットの幅やスリットの間隔が写真工程に使用される露光器の分解能 (resolution) より小さいことが好ましい。他の例としては、リフローが可能な感光膜を使用する方法がある。つまり、透光領域と遮光領域だけを有している通常の露光マスクでリフロー可能な感光膜を形成した後にリフローさせて、感光膜が残留しない領域に流れるようにすることによって膜厚の薄い部分を形成する。

【0072】

このように半透明領域を有する光マスクを用いることにより、一回の写真工程を減少させることができ、製造方法を簡素化することができる。

10

【0073】

第1ゲート電極124a、第1ソース電極173a及び第1ドレイン電極175aは、半導体154aと共に第1薄膜トランジスタ(TFT)(Qa)を形成し、第2ゲート電極124b、第2ソース電極173b及び第2ドレイン電極175bは、第1/第2半導体154bと共に第2薄膜トランジスタ(Qb)を形成する。第1薄膜トランジスタ(Qa)のチャンネルは、第1ソース電極173aと第1ドレイン電極175aとの間の半導体154aに形成され、第2薄膜トランジスタ(Qb)のチャンネルは第2ソース電極173bと第2ドレイン電極175bとの間の半導体154bに形成される。

【0074】

データ導電体171a、171b、175a、175b、176、177a、177bは、単一膜構造で形成することができ、また多重膜構造とすることも可能である。

20

【0075】

抵抗性接触部材161a、161b、163a、163b、165a、165b、166、167a、167bは、その下の半導体151a、151b、154a、154b、156、157a、157bとその上のデータ導電体171a、171b、175a、175b、176、177a、177bとの間にだけ存在し、これらの間の接触抵抗を低くする。半導体154a、154bには、ソース電極173a、173bとドレイン電極175a、175bとの間をはじめ、データ導電体171a、171b、175a、175bにより覆われないで露出されている部分がある。

【0076】

データ導電体171a、171b、175a、175b、及び露出された半導体154a、154b部分の上には、無機絶縁物または有機絶縁物などで形成された保護膜(passivation layer)180が形成されている。

30

【0077】

保護膜180には、各々第1ドレイン電極175a、第2ドレイン電極175b、及び第1ドレイン電極175aの拡張部176を露出する第1コンタクトホール(contact hole)185a、第2コンタクトホール185b、及び第3コンタクトホール185cが形成されている。

【0078】

保護膜180上にはITO(indium tin oxide)またはIZO(indium zinc oxide)等の透明な導電物質やアルミニウム、銀、クロムまたはその合金などの反射性金属で形成された複数対の第1画素電極(pixel electrode)191a及び第2画素電極191bを含む複数の画素電極191が形成されている。

40

【0079】

図6に示したように、1つの画素電極191の全体的な外見は、データ線171a、171bの屈曲部とほぼ平行に形成された一对の屈曲辺(curved edge)と、ゲート線121ほぼ平行に形成された複数の横辺及びデータ線171a、171bの縦部ほぼ平行に形成された縦辺を有しており、シェブロン形状を有している。各画素を図6に示すように平面視した場合、ゲート線121及び維持電極線131を中心として図の上と下

50

に配置されている上部領域と下部領域とを含み、画素電極の上部領域と下部領域は、各々全体的に仮想的な横中央線上の中心点を中心として点対称を成して上下の2つの副領域に区別される。

【0080】

以下、画素電極の平面的な構造に関して、図6の上下左右方向を採用して説明する。

【0081】

第1画素電極191aは、第1データ線171aの屈曲部とほぼ平行に形成された屈曲辺を有し、画素の上部に配置されており、第1データ線171aと重畳する上部縦幹部191a1と、上部縦幹部191a1と接続されている上部横幹部191a2、第2データ線171bの屈曲部とほぼ平行に形成された屈曲辺を有し、画素の下部に配置されており、第2データ線171bと重畳する下部縦幹部191a3、下部縦幹部191a3と接続されている下部横幹部191a4、上部横幹部191a2から上部縦幹部191a1と平行に延びている複数の上部枝部191a5、そして下部横幹部191a4から下部縦幹部191a3と平行に延びている複数の下部枝部191a6を含む。枝部191a5、191a6がゲート線121と成す角度は約45度である。

10

【0082】

第1データ線171aと第1画素電極191aの上部縦幹部191a1との重畳面積は、第2データ線171bと第1画素電極191aの下部縦幹部191a3との重畳面積と同一であることが好ましい。

【0083】

第2画素電極191bは第2データ線171bの屈曲部とほぼ平行に形成された屈曲辺を有し、画素の上部に配置されており、第2データ線171bと重畳する上部縦幹部191b1と、上部縦幹部191b1と接続されている上部横幹部191b2、第1データ線171aの屈曲部とほぼ平行に形成された屈曲辺を有し、画素の下部に配置されており、第1データ線171aと重畳する下部縦幹部191b3、下部縦幹部191b3と接続されている下部横幹部191b4、上部横幹部191b2から上部縦幹部191b1と平行に延びている複数の上部枝部191b5、そして下部横幹部191b4から下部縦幹部191b3と平行に延びている複数の下部枝部191b6を含む。

20

【0084】

第2データ線171bと第2画素電極191bの上部縦幹部191b1との重畳面積は、第1データ線171aと第2画素電極191bの下部縦幹部191b3との重畳面積と同一であることが好ましい。

30

【0085】

第1画素電極191aの枝部及び第2画素電極191bの枝部は、一定の間隔をおいて互いに噛み合っ交互に配置されて櫛目形状を成す。

【0086】

第1画素電極191aの上部横幹部191a2は、第1コンタクトホール185aを通して第1ドレイン電極175aと物理的、電氣的に接続されており、第1画素電極191aの下部縦幹部191a3は、第1ドレイン電極175aの拡張部176を露出する第3コンタクトホール185cを通して拡張部176と接続され、第1ドレイン電極175aと物理的、電氣的に接続されて、第1ドレイン電極175aからデータ電圧が印加される。

40

【0087】

第2画素電極191bの上部縦幹部191b1と下部横幹部191b4は互いに接続されて、第2コンタクトホール185bを通して第2ドレイン電極175bと物理的、電氣的に接続されており、第2ドレイン電極175bからデータ電圧が印加される。

【0088】

第1ドレイン電極175aの拡張部176は、第2ドレイン電極175b付近まで拡張されており、第1ドレイン電極175aとその拡張部176を露出する第1コンタクトホール185aと第3コンタクトホール185cは、第2ドレイン電極175bを露出する

50

第2コンタクトホール185bを中心に両側に配置されている。

【0089】

第1画素電極191aが第1ドレイン電極175a及びその拡張部176と重畳する面積と、第2画素電極191bが第2ドレイン電極175bと重畳する面積は互いに同一であることが好ましい。

【0090】

極性が互いに異なる2つのデータ電圧を印加する第1データ線171a及び第2データ線171bと、第1画素電極191aの上部縦幹部191a1及び第1画素電極191aの下部縦幹部191a3との間の重畳面積は互いにほぼ同一であり、これによる寄生容量の大きさも互いにほぼ同一である。従って、第1画素電極191aと互いに異なる極性の電圧が印加される2つのデータ線171a、171bの間の寄生容量偏差によって発生するクロストーク不良を防止することができる。また、第1画素電極191aと2つのデータ線171a、171bとを重畳形成することによって、液晶表示装置の開口率を高めることができる。

10

【0091】

同様に、極性が互いに異なる2つのデータ電圧を印加する第1データ線171a及び第2データ線171bと、第2画素電極191bの下部縦幹部191b3及び第2画素電極191bの上部縦幹部191b1の間の重畳面積が互いにほぼ同一で、これによる寄生容量の大きさも互いにほぼ同一である。従って、第2画素電極191bと互いに異なる極性の電圧が印加される2つのデータ線171a、171bの間の寄生容量偏差によって発生するクロストーク不良を防止することができる。また、第2画素電極191bと2つのデータ線171a、171bとを重畳形成することにより、液晶表示装置の開口率を高めることができる。

20

【0092】

第1副画素電極191a及び第2副画素電極191bは、その間の液晶層3部分と共に液晶キャパシタ(C1c)を形成し、第1薄膜トランジスタ(Qa)及び第2薄膜トランジスタ(Qb)が遮断された後にも印加された電圧を維持する。

【0093】

第1副画素電極191a及び第2副画素電極191bと接続された第1ドレイン電極175a及び第2ドレイン電極175bの第1維持導電体177a及び第2維持導電体177bは、ゲート絶縁膜140、半導体層157a、157b、167a、167bを間において維持電極137と重畳し、第1ストレージキャパシタ(Csta)及び第2ストレージキャパシタ(Cstb)を構成し、第1ストレージキャパシタ(Csta)及び第2ストレージキャパシタ(Cstb)は液晶キャパシタ(C1c)の電圧維持能力を強化する。

30

【0094】

第1ストレージキャパシタ(Csta)を構成する維持電極137と第1維持導電体177aとの重畳面積は、第2ストレージキャパシタ(Cstb)を構成する維持電極137と第2維持導電体177bとの重畳面積と互いにほぼ同一であることが好ましい。

【0095】

このように、維持電極137と第1維持導電体177a及び第2維持導電体177bは、ゲート絶縁膜140と半導体層157a、157b、167a、167bを間において互いに重畳して、第1ストレージキャパシタ(Csta)及び第2ストレージキャパシタ(Cstb)を形成する。このように、第1ストレージキャパシタ(Csta)及び第2ストレージキャパシタ(Cstb)をゲート導電体とデータ導電体を利用して形成することによって、第1ストレージキャパシタ(Csta)及び第2ストレージキャパシタ(Cstb)を形成するための追加工程が不要となり、液晶表示装置の製造工程を簡単化することができる。第1ストレージキャパシタ(Csta)及び第2ストレージキャパシタ(Cstb)の2つの電極の間にゲート絶縁膜140と半導体層157a、157b、167a、167bだけが存在して、2つの電極の間に保護膜180が存在する場合に比べて、

40

50

第1ストレージキャパシタ(Cst a)及び第2ストレージキャパシタ(Cst b)の静電容量が大きくなる。

【0096】

また、第1ストレージキャパシタ(Cst a)を構成する維持電極137と第1維持導電体177aとの重畳面積は、第2ストレージキャパシタ(Cst b)を構成する維持電極137と第2維持導電体177bとの重畳面積とほぼ同じで、第1ストレージキャパシタ(Cst a)及び第2ストレージキャパシタ(Cst b)の静電容量は基準電圧に対して互いに対称な値となる。従って、第1ストレージキャパシタ(Cst a)及び第2ストレージキャパシタ(Cst b)は、それぞれフレーム毎に互いに異なる極性の電圧が印加される第1維持導電体177a及び第2維持導電体177bと維持電極137とが半導体層157a、157b、167a、167bを介して重畳して構成されているが、反転が行われるフレーム毎に第1ストレージキャパシタ(Cst a)及び第2ストレージキャパシタ(Cst b)の静電容量は基準電圧に対して互いに対称な値となり、液晶キャパシタ(Clc)の電圧を一定に維持することができる。

10

【0097】

下部基板100の内側面には下部配向膜(alignment layer)11が塗布されており、下部配向膜11は垂直配向膜であってもよい。

【0098】

次に上部基板200について説明する。

【0099】

透明なガラスまたはプラスチックなどで形成された絶縁基板210上に遮光部材(light blocking member)220が形成される。遮光部材220は画素電極191の間の光漏れを防止し、画素電極191と対向して配置され、開口領域を定義する。

20

【0100】

基板210及び遮光部材220上には、また、複数のカラーフィルター230が形成されている。カラーフィルター230は遮光部材220に囲まれた領域内に大部分存在し、画素電極191列に沿って長く延長される。各カラーフィルター230は、赤色、緑色及び青色の三原色など基本色(primary color)のうちの1つを表示する。

【0101】

カラーフィルター230及び遮光部材220上には蓋膜(overcoat)250が形成されている。蓋膜250は(有機)絶縁物で形成でき、カラーフィルター230が露出されることを防止し、平坦面を提供する。この蓋膜250は省力することもできる。

30

【0102】

上部基板200の内側面には上部配向膜12が塗布されている。この上部配向膜12は垂直配向膜とすることができる。

【0103】

下部基板100及び上部基板200の外側面には偏光子(polarizer)(図示せず)が設けられている。

【0104】

下部基板100と上部基板200との間に挿入されている液晶層3は、正の誘電率異方性を有する液晶分子31を含み、液晶分子31は電場がない状態でその長軸が2つの基板100、200の表面に対して垂直に配向される。

40

【0105】

第1画素電極191aと第2画素電極191bに極性が互いに異なるデータ電圧を印加すると、下部基板100、上部基板200の表面に対してほぼ水平方向の電場(electrical field)が生成される。そして、初期に下部基板100、上部基板200の表面に対して垂直に配向されていた液晶層3の液晶分子が、生成された電場に応答してその長軸が電場方向に対して水平方向に傾き、液晶分子が傾いた程度によって液晶層3に入射光の偏光の変化程度が変わる。このような偏光の変化は偏光子によって透過率変化と

50

して現れ、これを通して液晶表示装置は映像を表示する。

【0106】

このように垂直配向された液晶分子31を使用すると、液晶表示装置のコントラスト比 (contrast ratio) を大きくすることができ、広視野角を実現することができる。また、1つの画素 (PX) に基準電圧 (Vref) に対する極性が互いに異なる2つのデータ電圧を印加することによって、駆動電圧を高めて応答速度を速くすることができる。また前述したように、キックバック電圧の影響がなくなって、フリッカー現象などを防止することができる。

【0107】

さらには、下部基板100、上部基板200に対して垂直配向された液晶分子31を使用する場合、液晶表示装置のコントラスト比 (contrast ratio) を大きくすることができ、広視野角を実現することができる。また、正の誘電率異方性を有する液晶分子31は負の誘電率異方性を有する液晶分子に比べて、誘電率異方性が大きくて回転粘度が低くて速い応答速度を得ることができる。

10

【0108】

以下、図8及び図9を参照して、本発明の第2実施形態による液晶表示板組立体について説明する。

【0109】

図8は本発明の第2実施形態による液晶表示板組立体の配置図であり、図9は図8の液晶表示板組立体をIX-IX線に沿って切断して示した断面図である。

20

【0110】

本実施形態による液晶表示板組立体は、互いに対向する下部基板100と上部基板200、及びこれら2つの基板100、200の間に挿入されている液晶層3を含む。

【0111】

本実施形態による液晶表示板組立体は、層状構造は図6及び図7に示したのと殆ど同一である。

【0112】

下部基板100について説明すると、基板110上に複数のゲート線121及び複数の維持電極線131が形成されている。ゲート線121は第1ゲート電極124a及び第2ゲート電極124bを含み、維持電極線131は維持電極137を含み、ゲート線121及び維持電極線131は画素の中央部に配置される。

30

【0113】

ゲート線121及び維持電極線131上には、ゲート絶縁膜140、突出部154a、154b、及び拡張部157a、157bを含む複数の線状半導体151a、151b、突出部163a、163bを含む複数の線状抵抗性接触部材161a、161b、及び複数の島型抵抗性接触部材165a、165b、167a、167bが順に形成されている。

【0114】

抵抗性接触部材161a、161b、165a、165b、167a、167bの上には第1ソース電極173a及び第2ソース電極173bを含む複数の第1データ線171a及び第2データ線171b、複数の第1ドレイン電極175a及び第2ドレイン電極175b、そして複数対の第1維持導電体177a及び第2維持導電体177bが形成されており、その上に保護膜180が形成されている。

40

【0115】

第1データ線171a及び第2データ線171bは、交互に接続されている複数の屈曲部と縦部を含み、周期的に屈曲している。屈曲部は互いに接続されてシェブロン形状になる一对の斜線部を含み、斜線部はゲート線121と約45°の角度を成す。

【0116】

保護膜180には複数の第1コンタクトホール185a及び第2コンタクトホール185bが形成されている。保護膜180上には、複数対の第1画素電極 (pixel el

50

electrode) 191a及び第2画素電極191bを含む複数の画素電極191が形成されている。

【0117】

しかし、画素電極191の形態とドレイン電極175a、175bとの接続関係が図6及び図7に示した下部基板100とは異なる。

【0118】

図8に示したように、1つの画素電極191の全体的な外見は、データ線171a、171bの屈曲部とほぼ平行に形成された一对の屈曲辺(curved edge)と、ゲート線121とほぼ平行に形成された複数の横辺、及びデータ線171a、171bの縦部とほぼ平行に形成された縦辺を有してシェブロン形状である。各画素は、図8に示すように平面視した場合に、ゲート線121及び維持電極線131を中心にして上下に配置されている上部領域と下部領域とを含み、画素電極の上部領域と下部領域は、各々全体的に仮想的な横中央線の中心点を中心として点対称に形成されて上下の2つの副領域に分けられる。

10

【0119】

以下、画素電極の平面的な構造に関して、図8の上下左右方向を採用して説明する。

【0120】

第1画素電極191aは、第1データ線171a及び第2データ線171bの屈曲部とほぼ平行に形成された屈曲辺を有し、画素の下部に配置され、第1データ線171aと重畳する第1縦幹部191a1及び第2データ線171bと重畳する第2縦幹部191a3、縦幹部191a1、191a3を互いに接続する下部横幹部191a2、画素の上部に配置されている上部横幹部191a4、下部横幹部191a2から縦幹部191a1、191a3と平行に延びている複数の下部枝部191a5、そして、上部横幹部191a4から第1データ線171a及び第2データ線171bと平行に延びている複数の上部枝部191a6を含む。

20

【0121】

第1データ線171aと第1画素電極191aの第1縦幹部191a1との重畳面積は、第2データ線171bと第1画素電極191aの第2縦幹部191a3との重畳面積とほぼ同一であることが好ましい。

【0122】

第2画素電極191bは、第2データ線171bの屈曲部とほぼ平行に形成された屈曲辺を有し、画素の上部に配置され、第2データ線171bと重畳する第1縦幹部191b1、第1データ線171aの屈曲部とほぼ平行に形成された屈曲辺を有し、画素の上部に配置され、第1データ線171aと重畳する第2縦幹部191b3、縦幹部191b1、191b3を互いに接続する上部横幹部191b2、画素の下部に配置されている下部横幹部191b4、上部横幹部191b2から縦幹部191b1、191b3と平行に延びている複数の上部枝部191b5、そして、下部横幹部191b4から第1データ線171a及び第2データ線171bと平行に延びている複数の下部枝部191b6を含む。

30

【0123】

第2データ線171bと第2画素電極191bの第1縦幹部191b1との重畳面積は、第1データ線171aと第2画素電極191bの第2縦幹部191b3との重畳面積とほぼ同一であることが好ましい。

40

【0124】

第1画素電極191aの枝部及び第2画素電極191bの枝部は、一定の間隔をおいて互いに噛み合っ互いに交互に配置されて櫛目形状を成す。

【0125】

第1画素電極191aの上部横幹部191a4と下部の第1縦幹部191a1は互いに接続されており、第1コンタクトホール185aを通して第1ドレイン電極175aと物理的、電氣的に接続されており、第1ドレイン電極175aからデータ電圧が印加される。第2画素電極191bの第1縦幹部191b1と下部の横幹部191b4は互いに接続

50

されていて、第2コンタクトホール185bを通して第2ドレイン電極175bと物理的、電氣的に接続されており、第2ドレイン電極175bからデータ電圧が印加される。

【0126】

本実施形態による液晶表示装置において、第1コンタクトホール185a及び第2コンタクトホール185bは、不透明な金属で形成される第1維持導電体177a及び第2維持導電体177b上に配置され、コンタクトホール185a、185bの形成による開口率減少を減らすことができる。

【0127】

前述した実施形態と同様に、本実施形態による液晶表示装置において、極性が互いに異なる2つのデータ電圧を印加する第1データ線171a及び第2データ線171bと、第1画素電極191aの第1縦幹部191a1及び第2縦幹部191a3の間の重畳面積は互いにほぼ同一であり、これによる寄生容量の大きさも互いにほぼ同一である。従って、互いに異なる極性の電圧が印加される2つのデータ線171a、171bと第1画素電極191aとの間の寄生容量偏差によって発生するクロストーク不良を防止することができる。また、第1画素電極191aと2つのデータ線171a、171bを重畳形成することによって、液晶表示装置の開口率を高めることができる。

10

【0128】

また、極性が互いに異なる2つのデータ電圧を印加する第1データ線171a及び第2データ線171bと、第2画素電極191bの第1縦幹部191b3及び第2縦幹部191b1の間の重畳面積が互いにほぼ同一であり、これによる寄生容量の大きさも互いにほぼ同一にすることができる。従って、第2画素電極191bと互いに異なる極性の電圧が印加される2つのデータ線171a、171bの間の寄生容量偏差によって発生するクロストーク不良を防止することができる。また、第2画素電極191bと2つのデータ線171a、171bとを重畳形成することによって、液晶表示装置の開口率を高めることができる。

20

【0129】

また、維持電極137と第1維持導電体177a及び第2維持導電体177bは、ゲート絶縁膜140と半導体層157a、157b、167a、167bを間において互いに重畳して、第1ストレージキャパシタ(Csta)及び第2ストレージキャパシタ(Cstb)を形成する。第1ストレージキャパシタ(Csta)を構成する維持電極137と第1維持導電体177aとの重畳面積は、第2ストレージキャパシタ(Cstb)を構成する維持電極137と第2維持導電体177bとの重畳面積と互いにほぼ同一であることが好ましい。

30

【0130】

このように、第1ストレージキャパシタ(Csta)及び第2ストレージキャパシタ(Cstb)を、ゲート導電体とデータ導電体を利用して形成することによって、第1ストレージキャパシタ(Csta)及び第2ストレージキャパシタ(Cstb)を形成するための追加工程が不要となり、液晶表示装置の製造工程を簡略化することができる。第1ストレージキャパシタ(Csta)及び第2ストレージキャパシタ(Cstb)の2つの電極の間にゲート絶縁膜140と半導体層157a、157b、167a、167bだけが存在することにより、2つの電極の間に保護膜180が存在する場合に比べて、第1ストレージキャパシタ(Csta)及び第2ストレージキャパシタ(Cstb)の静電容量が大きくなる。

40

【0131】

また、第1ストレージキャパシタ(Csta)を構成する維持電極137と第1維持導電体177aの重畳面積は、第2ストレージキャパシタ(Cstb)を構成する維持電極137と第2維持導電体177bの重畳面積とほぼ同一であり、第1ストレージキャパシタ(Csta)及び第2ストレージキャパシタ(Cstb)の静電容量は基準電圧に対して互いに対称な値となる。従って、第1ストレージキャパシタ(Csta)及び第2ストレージキャパシタ(Cstb)は、それぞれフレーム毎に互いに異なる極性の電圧が印加

50

される第1維持導電体177a及び第2維持導電体177bと維持電極137とが半導体層157a、157b、167a、167bを介して重畳して形成されており、反転が行われるフレーム毎に第1ストレージキャパシタ(Csta)及び第2ストレージキャパシタ(Cstb)の静電容量は基準電圧に対して互いに対称な値となり、液晶キャパシタ(Clc)の電圧を一定に維持することができる。

【0132】

以下、図10及び図11を参照して、本発明の第3実施形態による液晶表示装置について説明する。

【0133】

図10は本発明の第3実施形態による液晶表示板組立体の配置図であり、図11は図10の液晶表示板組立体をX I-X I線に沿って切断して示した断面図である。

10

【0134】

本実施形態による液晶表示板組立体は、互いに対向する下部基板100と上部基板200、及びこれら2つの基板100、200の間に挿入されている液晶層3を含む。

【0135】

本実施形態による液晶表示板組立体は、層状構造は図6及び図7に示したものとほぼ同一である。

【0136】

下部基板100について説明すると、基板110上に複数のゲート線121及び複数の維持電極線131が形成されている。ゲート線121は第1ゲート電極124a及び第2ゲート電極124bを含み、維持電極線131は維持電極137を含み、ゲート線121及び維持電極線131は画素の中央部に配置される。

20

【0137】

ゲート線121及び維持電極線131上にはゲート絶縁膜140、突出部154a、154b及び拡張部156、157a、157bを含む複数の線状半導体151a、151b、突出部163a、163bを含む複数の線状抵抗性接触部材161a、161b及び複数の島型抵抗性接触部材165a、165b、166、167a、167bが順に形成されている。

【0138】

抵抗性接触部材161a、161b、165a、165b、166、167a、167bの上には、第1ソース電極173a及び第2ソース電極173bを含む複数の第1データ線171a及び第2データ線171b、拡張部176を含む複数の第1ドレイン電極175a、複数の第2ドレイン電極175b、及び複数対の第1維持導電体177a及び第2維持導電体177bが形成されており、さらにその上に保護膜180が形成されている。

30

【0139】

保護膜180には各々第1ドレイン電極175a、第2ドレイン電極175b、そして第1ドレイン電極175aの拡張部176を露出する第1コンタクトホール185a、第2コンタクトホール185b、そして第3コンタクトホール185cが形成されている。保護膜180上には複数対の第1画素電極191a及び第2画素電極191bを含む複数の画素電極191が形成されている。

40

【0140】

この第3実施形態において、データ線171a、171bは屈曲部を含まず、画素電極191の全体的な外見は四角形であり、第1画素電極191a及び第2画素電極191bは全体的にゲート線121及び維持電極線131を境界にして、点対称形の2つの副領域に分けられる。

【0141】

以下、画素電極の平面的な構造に関して、図10の上下左右方向を採用して説明する。

【0142】

第1画素電極191aは、画素の上部に配置され、第1データ線171aと重畳する上

50

部縦幹部 191a1、上部縦幹部 191a1 と接続されている上部横幹部 191a2、画素の下部に配置されて、第2データ線 171b と重畳する下部縦幹部 191a3、下部縦幹部 191a3 と接続されている下部横幹部 191a4、上部縦幹部 191a1 及び上部横幹部 191a2 から右上方に斜めに延びている複数の上部枝部 191a5、下部縦幹部 191a3 及び下部横幹部 191a4 から左上方に斜めに延びている複数の下部枝部 191a6 を含む。枝部 191a5、191a6 がゲート線 121 と形成する角度は略45度である。

【0143】

第1データ線 171a と第1画素電極 191a の上部縦幹部 191a1 との重畳面積は、第2データ線 171b と第1画素電極 191a の下部縦幹部 191a3 との重畳面積とほぼ同一であることが好ましい。

10

【0144】

第2画素電極 191b は、画素の上部に配置され、第2データ線 171b と重畳する上部縦幹部 191b1、上部縦幹部 191b1 と接続されている上部横幹部 191b2、画素の下部に配置され、第1データ線 171a と重畳する下部縦幹部 191b3、下部縦幹部 191b3 と接続されている下部横幹部 191b4、上部縦幹部 191b1 及び上部横幹部 191b2 から左下方に斜めに延びている複数の上部枝部 191b5、下部縦幹部 191b3 及び下部横幹部 191b4 から右下方に斜めに延びている複数の下部枝部 191b6 を含む。枝部 191b5、191b6 がゲート線 121 と成す角度は約45度である。

20

【0145】

第2データ線 171b と第2画素電極 191b の上部縦幹部 191b1 との重畳面積は、第1データ線 171a と第2画素電極 191b の下部縦幹部 191b3 との重畳面積とほぼ同一であることが好ましい。

【0146】

第1画素電極 191a の枝部及び第2画素電極 191b の枝部は、一定の間隔をおいて互いに噛み合せて交互に配置されて櫛目形状を成す。

【0147】

第1画素電極 191a の上部横幹部 191a2 は、第1コンタクトホール 185a を通して第1ドレイン電極 175a と物理的、電氣的に接続されており、第1画素電極 191a の下部縦幹部 191a3 は、第1ドレイン電極 175a の拡張部 176 を露出する第3コンタクトホール 185c を通して拡張部 176 と接続され、第1ドレイン電極 175a と物理的、電氣的に接続されて第1ドレイン電極 175a からデータ電圧が印加される。

30

【0148】

前述した実施形態と同様に、本実施形態による液晶表示装置において、極性が互いに異なる2つのデータ電圧を印加する第1データ線 171a 及び第2データ線 171b と、第1画素電極 191a の上部縦幹部 191a1 及び第1画素電極 191a の下部縦幹部 191a3 の間の重畳面積は互いにほぼ同一であり、これによる寄生容量の大きさも互いにほぼ同一である。従って、第1画素電極 191a と互いに異なる極性の電圧が印加される2つのデータ線 171a、171b の間の寄生容量偏差によって発生するクロストーク不良を防止することができる。また、第1画素電極 191a と2つのデータ線 171a、171b とを重畳形成することによって、液晶表示装置の開口率を高めることができる。

40

【0149】

同様に、極性が互いに異なる2つのデータ電圧を印加する第1データ線 171a 及び第2データ線 171b と、第2画素電極 191b の下部縦幹部 191b3 及び第2画素電極 191b の上部縦幹部 191b1 との間の重畳面積が互いにほぼ同一であり、これによる寄生容量の大きさも互いにほぼ同一である。従って、第2画素電極 191b と互いに異なる極性の電圧が印加される2つのデータ線 171a、171b の間の寄生容量偏差によって発生するクロストーク不良を防止することができる。また、第2画素電極 191b と2つのデータ線 171a、171b とを重畳形成することによって、液晶表示装置の開口率

50

を高めることができる。

【0150】

また、維持電極137と第1維持導電体177a及び第2維持導電体177bは、それぞれゲート絶縁膜140と半導体層157a、157b、167a、167bを介して互いに重畳されており、第1ストレージキャパシタ(Csta)及び第2ストレージキャパシタ(Cstb)を形成する。第1ストレージキャパシタ(Csta)を構成する維持電極137と第1維持導電体177aとの重畳面積は、第2ストレージキャパシタ(Cstb)を構成する維持電極137と第2維持導電体177bとの重畳面積と互いにほぼ同一であることが好ましい。

【0151】

このように、ゲート導電体とデータ導電体を利用して、第1ストレージキャパシタ(Csta)及び第2ストレージキャパシタ(Cstb)を形成することによって、第1ストレージキャパシタ(Csta)及び第2ストレージキャパシタ(Cstb)を形成するための追加工程が不要となり、液晶表示装置の製造工程を簡略化することができ、第1ストレージキャパシタ(Csta)及び第2ストレージキャパシタ(Cstb)の2つの電極の間にゲート絶縁膜140と半導体層157a、157b、167a、167bだけが存在することにより、2つの電極の間に保護膜180が存在する場合に比べて、第1ストレージキャパシタ(Csta)及び第2ストレージキャパシタ(Cstb)の静電容量が大きくなる。

【0152】

また、第1ストレージキャパシタ(Csta)を構成する維持電極137と第1維持導電体177aとの重畳面積は、第2ストレージキャパシタ(Cstb)を構成する維持電極137と第2維持導電体177bとの重畳面積とほぼ同じであり、第1ストレージキャパシタ(Csta)及び第2ストレージキャパシタ(Cstb)の静電容量が基準電圧に対して互いに対称な値となる。従って、第1ストレージキャパシタ(Csta)及び第2ストレージキャパシタ(Cstb)は、それぞれフレーム毎に互いに異なる極性の電圧が印加される第1維持導電体177a及び第2維持導電体177bと、維持電極137とが、半導体層157a、157b、167a、167bを介して重畳形成されており、反転が行われるフレーム毎に第1ストレージキャパシタ(Csta)及び第2ストレージキャパシタ(Cstb)の静電容量は基準電圧に対して互いに対称な値となり、液晶キャパシタ(Clc)の電圧を一定に維持することができる。

【0153】

以下、図2と共に図12を参照して、本発明の第4実施形態による液晶表示装置について説明する。図12は本発明の第4実施形態による液晶表示装置の1つの画素に対する等価回路図である。図12に示すように、本実施形態による液晶表示装置は、複数の信号線(Gi、Vcom、Dj、Dj+1)とこれと接続されている複数の画素(PX)を含む。

信号線(Gi、Vcom、Dj、Dj+1)は、ゲート信号(「走査信号」とも言う)を伝達する複数のゲート線(Gi)、共通電圧Vcomを伝達する複数の共通電圧線(Ci)、そしてデータ電圧を伝達する複数のデータ線(Dj、Dj+1)を含む。複数の共通電圧線(Ci)は互いに接続される。データ線(Dj)に入力されるデータ電圧と共通電圧線(Ci)に印加される共通電圧Vcomは、基準電圧(Vref)に対して周期的に反転し、互いに位相が反対となる。

【0154】

各画素(PX)は、ゲート線(Gi)及びデータ線(Dj)と接続された第1スイッチング素子(Qa)、ゲート線(Gi)及び共通電圧線(Ci)と接続された第2スイッチング素子(Qb)、第1スイッチング素子(Qa)及び第2スイッチング素子(Qb)と接続された液晶キャパシタ(Clc)、第1ストレージキャパシタ(Csta1)、第2ストレージキャパシタ(Csta2)、第3ストレージキャパシタ(Cstb1)及び第4ストレージキャパシタ(Cstb2)を含む。第2ストレージキャパシタ(Csta2

10

20

30

40

50

）及び第4ストレージキャパシタ（ $C_{stb2}$ ）は、第1スイッチング素子（ $Q_a$ ）及び第2スイッチング素子（ $Q_b$ ）と共通電圧線（ $C_i$ ）と接続されている。また、各画素（ $P_X$ ）は隣接する2つのデータ線（ $D_j$ 、 $D_{j+1}$ ）と第1スイッチング素子（ $Q_a$ ）と接続されている第1補助キャパシタ（ $C_{dpa1}$ ）及び第2補助キャパシタ（ $C_{dpb1}$ ）、2つのデータ線（ $D_j$ 、 $D_{j+1}$ ）と第2スイッチング素子（ $Q_b$ ）と接続されている第3補助キャパシタ（ $C_{dpa2}$ ）及び第4補助キャパシタ（ $C_{dpb2}$ ）を含む。第1補助キャパシタ（ $C_{dpa1}$ ）及び第3補助キャパシタ（ $C_{dpa2}$ ）の容量は同一とすることができ、第2補助キャパシタ（ $C_{dpb1}$ ）及び第4補助キャパシタ（ $C_{dpb2}$ ）の容量も同一とすることができる。

【0155】

10

第1スイッチング素子（ $Q_a$ ）及び第2スイッチング素子（ $Q_b$ ）は、下部基板100に備えられている薄膜トランジスタなどの三端子素子として、第1スイッチング素子（ $Q_a$ ）の制御端子はゲート線（ $G_i$ ）と接続されており、入力端子はデータ線（ $D_j$ ）と接続されており、出力端子は液晶キャパシタ（ $C_{lc}$ ）、第1ストレージキャパシタ（ $C_{sta1}$ ）及び第2ストレージキャパシタ（ $C_{sta2}$ ）と接続されており、第2スイッチング素子（ $Q_b$ ）の制御端子はゲート線（ $G_i$ ）と接続されており、入力端子は共通電圧線（ $C_i$ ）と接続されており、出力端子は液晶キャパシタ（ $C_{lc}$ ）、第3ストレージキャパシタ（ $C_{stb1}$ ）及び第4ストレージキャパシタ（ $C_{stb2}$ ）と接続されている。

【0156】

20

図2及び図12を参照すると、液晶キャパシタ（ $C_{lc}$ ）は下部基板100の第1画素電極（ $PE_a$ ）と第2画素電極（ $PE_b$ ）を2つの端子とし、第1画素電極（ $PE_a$ ）と第2画素電極（ $PE_b$ ）との間の液晶層3は誘電体として機能する。第1画素電極（ $PE_a$ ）は第1スイッチング素子（ $Q_a$ ）と接続され、第2画素電極（ $PE_b$ ）は第2スイッチング素子（ $Q_b$ ）と接続されている。液晶層3は誘電率異方性を有し、液晶層3の液晶分子は電場がない状態でその長軸が2つの基板の表面に対して垂直配向される。液晶層3は正の誘電率異方性を有するものを採用することもできる。

【0157】

データ線（ $D_j$ ）にデータ電圧が印加され、共通電圧線（ $C_i$ ）に共通電圧 $V_{com}$ が印加されると、第1画素電極（ $PE_a$ ）には第1スイッチング素子（ $Q_a$ ）を通してデータ線（ $D_j$ ）に流れるデータ電圧が印加され、第2画素電極（ $PE_b$ ）には第2スイッチング素子（ $Q_b$ ）を通して共通電圧線（ $C_i$ ）に流れる共通電圧 $V_{com}$ が印加される。この時、第1画素電極（ $PE_a$ ）及び第2画素電極（ $PE_b$ ）に印加される電圧は、画素（ $P_X$ ）が表示しようとする輝度に対応する電圧であり、基準電圧（ $V_{ref}$ ）に対して各々極性が互いに反対となる。データ線（ $D_j$ ）に入力されるデータ電圧及び共通電圧線（ $C_i$ ）に印加される共通電圧 $V_{com}$ は、基準電圧（ $V_{ref}$ ）に対して周期的に反転する。例えば、液晶表示装置が利用できる最低電圧が0V、最高電圧が14Vの場合、基準電圧（ $V_{ref}$ ）が7Vであり、第1データ線（ $D_j$ ）に流れるデータ電圧は0V～7V、共通電圧線（ $C_i$ ）に流れる共通電圧は7V～14Vとすることができ、電位が反転した場合にはその反対になる。

30

40

【0158】

このように第1画素電極（ $PE_a$ ）及び第2画素電極（ $PE_b$ ）に印加された極性が互いに異なる2つのデータ電圧の差は、液晶キャパシタ（ $C_{lc}$ ）の充電電圧、つまり、画素電圧として現れる。

【0159】

前述した実施形態とは異なり、本実施形態による液晶表示装置における第1画素電極（ $PE_a$ ）には、第1スイッチング素子（ $Q_a$ ）を通してデータ線（ $D_j$ ）に流れるデータ電圧が印加され、第2画素電極（ $PE_b$ ）には第2スイッチング素子（ $Q_b$ ）を通して共通電圧線（ $C_i$ ）に流れる共通電圧 $V_{com}$ が印加される。

【0160】

50

一般に、本発明の実施形態のように、1つの画素を2つの画素電極（PE a、PE b）に分割して、互いに異なるスイッチング素子を利用して、互いに異なる極性を有する電圧を印加し、液晶キャパシタ（Clc）に所定の大きさの電圧を充電するために、1つの画素は1つのゲート線と互いに異なる2つのデータ線と接続される。つまり、各画素の第1及び第2画素電極と接続されている第1及び第2スイッチング素子は同じゲート線と接続されているが、各々互いに異なるデータ線に接続され、互いに異なるデータ線を通してデータ電圧が印加される。

【0161】

本実施形態による液晶表示装置の1つの画素は、互いに対となる2つのゲート線と、1つのデータ線、そして1つの共通電圧線と接続される。従って、データ線の数が増え、液晶表示装置の駆動部の費用を低減することができる。本実施形態による液晶表示装置の信号線及び画素配置によれば、共通電圧線が追加されるが、各共通電圧線は互いに接続されて同一の大きさの共通電圧が印加されるため、共通電圧を印加するための簡単な駆動部だけを追加すれば良く、駆動方法が簡単で製造コストを低減できる。

10

【0162】

以下、図13及び図14を参照して、図12を用いて説明した液晶表示装置の一例について詳細に説明する。

【0163】

図13は本発明の第5実施形態による液晶表示板組立体の配置図であり、図14は図13の液晶表示板組立体をXIV-XIV線に沿って切断して示した断面図である。

20

【0164】

本実施形態による液晶表示板組立体は、互いに対向する下部基板100と上部基板200、及びこれら2つの基板100、200の間に挿入されている液晶層3を含む。

【0165】

本実施形態による液晶表示板組立体は、層状構造は前述した実施形態と類似している。

【0166】

下部基板100について説明すると、基板110上に複数のゲート線121、複数の維持電極線131a及び複数の共通電圧線131bが形成されている。ゲート線121は第1ゲート電極124a及び第2ゲート電極124bを含み、維持電極線131は第1維持電極137a及び第2維持電極137bを含み、共通電圧線131bは維持電極線131a側に拡張された共通電極138を含む。

30

【0167】

ゲート線121、維持電極線131a、及び共通電圧線131bの上にはゲート絶縁膜140、突出部154a及び拡張部157aを含む複数の線状半導体151、拡張部158、157bを含む複数の島型半導体154b、突出部163aを含む複数の線状抵抗性接触部材161及び拡張部168、167a、167bを含む複数の島型抵抗性接触部材165a、163b、165bが順に形成されている。

【0168】

抵抗性接触部材161、163b、165a、165b、168、167a、167bの上には、第1ソース電極173aを含む複数の第1データ線171、第1データ線171に隣接する第2データ線172、第1維持導電体177aを含む複数の第1ドレイン電極175a、拡張部178を含む第2ソース電極173b、及び第2維持導電体177bを含む複数の第2ドレイン電極175bが形成されており、その上に保護膜180が形成されている。

40

【0169】

ゲート絶縁膜140及び保護膜180には、共通電極138を露出するコンタクトホール141が形成されており、保護膜180には各々第1ドレイン電極175a、第2ドレイン電極175b、そして第2ソース電極173bの拡張部178を露出する第1コンタクトホール185a、第2コンタクトホール185b、及び第3コンタクトホール188が形成されている。

50

## 【0170】

保護膜180上には複数対の第1画素電極191a及び第2画素電極191bを含む複数の画素電極191、及び複数の接続部材198が形成されている。

## 【0171】

画素電極191を図13に示すように平面視した場合の全体的な外見は四角形状である。図13に示すように画素を平面視した場合に、画素電極の構造を以下に示す。ここでは、図13における上下左右方向を用いて、画素電極の各部の配置を説明する。

## 【0172】

第1画素電極191aは、画素の上部に配置されており、第1データ線171と重畳する第1縦幹部191a1、画素の上部に配置されており、第2データ線172と重畳する第2縦幹部191a3、第1縦幹部191a1及び第2縦幹部191a3と接続されている横幹部191a2、第1縦幹部191a1から右下方に斜めに延びている斜線幹部191a4、第1縦幹部191a1、横幹部191a2及び第2縦幹部191a3から延びている複数の第1枝部191a5、斜線幹部191a4から延びている複数の第2枝部191a6を含む。斜線幹部191a4、第1枝部191a5及び第2枝部191a6がゲート線121と形成する角度は約45度とすることができる。

10

## 【0173】

第2画素電極191bは、画素の下部に配置されており、第1データ線171と重畳する第1縦幹部191b1、画素の下部に配置されており、第2データ線172と重畳する第2縦幹部191b3、第1縦幹部191b1及び第2縦幹部191b3と接続されている横幹部191b2、第1縦幹部191b1から左上方に斜めに延びている斜線幹部191b4、第1縦幹部191b1、横幹部191b2及び第2縦幹部191b3から延びている複数の第1枝部191b5、斜線幹部191b4から延びている複数の第2枝部191b6を含む。斜線幹部191b4、第1枝部191b5及び第2枝部191b6がゲート線121と形成する角度は約45度とすることができる。

20

## 【0174】

第1データ線171と第1画素電極191aの第1縦幹部191a1との重畳面積は、第1データ線171と第2画素電極191bの第1縦幹部191b1との重畳面積と同一であることが好ましく、第2データ線172と第1画素電極191aの第2縦幹部191a3との重畳面積は、第2データ線172と第2画素電極191bの第2縦幹部191b3との重畳面積と同一であることが好ましい。

30

## 【0175】

第1画素電極191aの枝部及び第2画素電極191bの斜線幹部及び枝部は、一定間隔をおいて互いに噛み合っ交互に配置されて櫛目形状を成す。

## 【0176】

第1画素電極191aは第1コンタクトホール185aを通して第1ドレイン電極175aと物理的、電氣的に接続されており、第1ドレイン電極175aからデータ電圧が印加される。第2画素電極191bは第2コンタクトホール185bを通して第2ドレイン電極175bと接続されており、さらに接続部材198を介して共通電極138と接続されている第2ソース電極173bから伝えられる共通電圧Vcomが印加される。

40

## 【0177】

本実施形態による液晶表示装置において、第1データ線171と第1画素電極191aの第1縦幹部191a1との重畳面積及び第1データ線171と第2画素電極191bの第1縦幹部191b1との重畳面積が互いにほぼ同一であり、第1画素電極191aと第2画素電極191bが第1データ線171と形成する寄生容量が互いに同一である。従って、第1データ線171にフレーム毎に極性が異なるデータ電圧が印加されても、第1画素電極191aと第2画素電極191bが第1データ線171と形成する寄生容量による第1画素電極191aと第2画素電極191bの充電電圧低下量が互いに同一となる。これから、第1画素電極191aと第2画素電極191bとの間の電圧の大きさは一定となり、一定の充電電圧が維持される。

50

## 【0178】

同様に、第2データ線172と第1画素電極191aの第2縦幹部191a3との重畳面積、及び第2データ線172と第2画素電極191bの第2縦幹部191b3との重畳面積が互いにほぼ同一であり、第1画素電極191aと第2画素電極191bが第2データ線172と形成する寄生容量が互いに同一である。従って、第2データ線172にフレーム別に極性が異なるデータ電圧が印加されても、第1画素電極191aと第2画素電極191bが第2データ線172と形成する寄生容量による第1画素電極191aと第2画素電極191bの充電電圧低下量が互いに同一であって、第1画素電極191aと第2画素電極191bとの間の電圧の大きさは一定となり、一定の充電電圧が維持される。

## 【0179】

また、第1画素電極191a及び第2画素電極191bと2つのデータ線171、172とを重畳形成することにより、液晶表示装置の開口率を高めることができる。

## 【0180】

また、第1維持電極137a及び第2維持電極137bと、第1維持導電体177a及び第2維持導電体177bは、ゲート絶縁膜140と半導体層157a、157b、167a、167bを間において互いに重畳して、第1ストレージキャパシタ(Cst a1)及び第3ストレージキャパシタ(Cst b1)を形成し、共通電圧線131bと第1維持導電体177a及び第2維持導電体177bは、ゲート絶縁膜140と半導体層157a、157b、167a、167bを間において互いに重畳して、第2ストレージキャパシタ(Cst a2)及び第4ストレージキャパシタ(Cst b2)を形成する。第1ストレージキャパシタ(Cst a1)を構成する第1維持電極137aと第1維持導電体177aとの重畳面積は、第3ストレージキャパシタ(Cst b1)を構成する第2維持電極137aと第2維持導電体177bとの重畳面積と互いに同一であることが好ましく、第2ストレージキャパシタ(Cst a2)を構成する共通電圧線131bと第1維持導電体177aとの重畳面積は第4ストレージキャパシタ(Cst b2)を構成する共通電圧線131bと第2維持導電体177bとの重畳面積と同一であることが望ましい。

## 【0181】

このように、第1ストレージキャパシタ(Cst a1)、第2ストレージキャパシタ(Cst a2)、第3ストレージキャパシタ(Cst b1)及び第4ストレージキャパシタ(Cst b2)をゲート導電体とデータ導電体を利用して形成することによって、ストレージキャパシタを形成するための追加工程が不要となり、液晶表示装置の製造工程を簡単化することができ、ストレージキャパシタの2つの電極の間にゲート絶縁膜140と半導体層157a、157b、167a、167bだけが存在して、2つの電極の間に保護膜180が存在する場合に比べて、ストレージキャパシタの静電容量が大きくなる。

## 【0182】

また、第1ストレージキャパシタ(Cst a1)を構成する第1維持電極137aと第1維持導電体177aとの重畳面積は、第3ストレージキャパシタ(Cst b1)を構成する第2維持電極137aと第2維持導電体177bとの重畳面積と互いにほぼ同一であり、第2ストレージキャパシタ(Cst a2)を構成する共通電圧線131bと第1維持導電体177aとの重畳面積は、第4ストレージキャパシタ(Cst b2)を構成する共通電圧線131bと第2維持導電体177bとの重畳面積とほぼ同一であり、静電容量が基準電圧に対して互に対称な値となる。従って、フレーム毎に互いに異なる極性の電圧が印加される第1維持導電体177a及び第2維持導電体177bが半導体層157a、157b、167a、167bを間において第1維持電極137a及び第2維持電極137b、及び共通電圧線131bと重畳して、ストレージキャパシタを形成しても、ストレージキャパシタの静電容量は基準電圧に対して互に対称な値となり、液晶キャパシタ(C1c)の電圧が一定に維持される。

## 【0183】

前述した全ての実施形態による液晶表示装置の特徴は、本実施形態による液晶表示装置にも適用可能である。

10

20

30

40

50

## 【0184】

以下、図15及び図16を参照して、本発明の第6実施形態による液晶表示装置について説明する。

## 【0185】

図15は本発明の第6実施形態による液晶表示板組立体の配置図であり、図16は図15の液晶表示板組立体をXVI-XVI線に沿って切断して示した断面図である。

## 【0186】

本実施形態による液晶表示板組立体は、互いに対向する下部基板100と上部基板200、及びこれら2つの基板100、200の間に挿入されている液晶層3を含む。

## 【0187】

本実施形態による液晶表示板組立体は、層状構造は図13及び図14に示したものとほぼ同一である。

## 【0188】

下部基板100について説明すると、基板110上に複数のゲート線121、複数の維持電極線131a及び複数の共通電圧線131bが形成されている。

## 【0189】

ゲート線121、維持電極線131a、及び共通電圧線131b上にはゲート絶縁膜140、突出部154a及び拡張部157aを含む複数の線状半導体151、拡張部158、157bを含む複数の島型半導体154b、突出部163aを含む複数の線状抵抗性接触部材161、及び拡張部168、167a、167bを含む複数の島型抵抗性接触部材165a、163b、165bが順に形成されている。

## 【0190】

抵抗性接触部材161、163b、165a、165b、168、167a、167bの上には、第1ソース電極173aを含む複数の第1データ線171、第1データ線171に隣接する第2データ線172、第1維持導電体177aを含む複数の第1ドレイン電極175a、拡張部178を含む第2ソース電極173b、及び第2維持導電体177bを含む複数の第2ドレイン電極175bが形成されており、さらにその上に保護膜180が形成されている。

## 【0191】

ゲート絶縁膜140及び保護膜180には共通電極138を露出するコンタクトホール141が形成されており、保護膜180には各々第1ドレイン電極175a、第2ドレイン電極175b、そして第2ソース電極173bの拡張部178を露出する第1コンタクトホール185a、第2コンタクトホール185b、そして第3コンタクトホール188が形成されている。

## 【0192】

保護膜180上には複数対の第1画素電極191a及び第2画素電極191bを含む複数の画素電極191、及び複数の接続部材198が形成されている。

## 【0193】

図13及び図14に示した実施形態とは異なって、第1データ線171及び第2データ線172は、それぞれ交互に接続された複数の屈曲部と縦部を含み、これら屈曲部及び縦部が周期的に配列される。

## 【0194】

屈曲部は互いに接続されてシェブロン形状になる一对の斜線部を含み、斜線部はゲート線121と約45度の角度を成す。

## 【0195】

また、図15に示したように、1つの画素電極191の全体的な外見は、データ線171、172の屈曲部とほぼ並行な一对の屈曲辺(curved edge)とゲート線121とほぼ平行な複数の横辺及びデータ線171、172の縦部とほぼ平行な縦辺を有しており、の鋸歯状に形成される。

## 【0196】

10

20

30

40

50

図15に示すように画素を平面視した場合に、画素電極の構造を以下に示す。ここでは、図15における上下左右方向を用いて、画素電極の各部の配置を説明する。第1画素電極191aは、画素の上部に配置されており、第1データ線171と重畳する第1縦幹部191a1、画素の上部に配置されており、第2データ線172と重畳する第2縦幹部191a3、第1縦幹部191a1及び第2縦幹部191a3と接続されている横幹部191a2、第2縦幹部191a3から左下方に斜めに延びている斜線幹部191a4、横幹部191a2から延びている複数の第1枝部191a5、斜線幹部191a4から延びている複数の第2枝部191a6を含む。斜線幹部191a4、第1枝部191a5及び第2枝部191a6がゲート線121と成す角度は約45度とすることができる。

【0197】

第2画素電極191bは、画素の下部に配置されており、第1データ線171と重畳する第1縦幹部191b1、画素の下部に配置されており、第2データ線172と重畳する第2縦幹部191b3、第1縦幹部191b1及び第2縦幹部191b3と接続されている横幹部191b2、第1縦幹部191b1から右上方に斜めに延びている斜線幹部191b4、横幹部191b2から延びている複数の第1枝部191b5、斜線幹部191b4から延びている複数の第2枝部191b6を含む。斜線幹部191b4、第1枝部191b5及び第2枝部191b6がゲート線121と成す角度は約45度とすることができる。

【0198】

第1画素電極191aは、第1コンタクトホール185aを通して第1ドレイン電極175aと物理的、電氣的に接続されており、第1ドレイン電極175aからデータ電圧が印加される。第2画素電極191bは、第2コンタクトホール185bを通して第2ドレイン電極175bと接続されており、接続部材198を通して共通電極138と接続されている第2ソース電極173bから伝達される共通電圧Vcomが印加される。

【0199】

第1データ線171と第1画素電極191aの第1縦幹部191a1との重畳面積は、第1データ線171と第2画素電極191bの第1縦幹部191b1との重畳面積と同一であることが好ましく、第2データ線172と第1画素電極191aの第2縦幹部191a3との重畳面積は、第2データ線172と第2画素電極191bの第2縦幹部191b3との重畳面積と同一であることが好ましい。

【0200】

また、第1維持電極137a及び第2維持電極137bと第1維持導電体177a及び第2維持導電体177bは、ゲート絶縁膜140と半導体層157a、157b、167a、167bを間において互いに重畳され、第1ストレージキャパシタ(Cst a1)及び第3ストレージキャパシタ(Cst b1)を形成し、共通電圧線131bと第1維持導電体177a及び第2維持導電体177bは、ゲート絶縁膜140と半導体層157a、157b、167a、167bを間において互いに重畳され、第2ストレージキャパシタ(Cst a2)及び第4ストレージキャパシタ(Cst b2)を形成する。第1ストレージキャパシタ(Cst a1)を構成する第1維持電極137aと第1維持導電体177aとの重畳面積は、第3ストレージキャパシタ(Cst b1)を構成する第2維持電極137bと第2維持導電体177bとの重畳面積と互いに同じであることが好ましく、第2ストレージキャパシタ(Cst a2)を構成する共通電圧線131bと第1維持導電体177aとの重畳面積は、第4ストレージキャパシタ(Cst b2)を構成する共通電圧線131bと第2維持導電体177bとの重畳面積と同じであることが好ましい。

【0201】

前述した実施形態と同様に、本実施形態による液晶表示装置において、第1データ線171と第1画素電極191aの第1縦幹部191a1との重畳面積、及び第1データ線171と第2画素電極191bの第1縦幹部191b1との重畳面積が互いにほぼ同一であることから、第1画素電極191aと第2画素電極191bが第1データ線171と形成する寄生容量が互いに同一である。従って、第1データ線171にフレーム別に極性が異

10

20

30

40

50

なるデータ電圧が印加されても、第1画素電極191aと第2画素電極191bとがそれぞれ第1データ線171と形成する寄生容量による第1画素電極191aと第2画素電極191bの充電電圧低下量が互いに同一であって、第1画素電極191aと第2画素電極191bとの間の電圧の大きさは一定となり、一定の充電電圧が維持される。

【0202】

同様に、第2データ線172と第1画素電極191aの第2縦幹部191a3との重畳面積、及び第2データ線172と第2画素電極191bの第2縦幹部191b3との重畳面積が互いにほぼ同一であり、第1画素電極191aと第2画素電極191bが第2データ線172と形成する寄生容量が互いに同一である。従って、第2データ線172にフレーム別に極性が異なるデータ電圧が印加されても、第1画素電極191aと第2画素電極191bとがそれぞれ第2データ線172と形成する寄生容量による第1画素電極191aと第2画素電極191bの充電電圧低下量が互いに同一であって、第1画素電極191aと第2画素電極191bとの間の電圧の大きさは一定となり、一定の充電電圧が維持される。

【0203】

また、第1画素電極191a及び第2画素電極191bと2つのデータ線171、172が重畳形成されていることから、液晶表示装置の開口率を高めることができる。

【0204】

ゲート導電体とデータ導電体を利用して、第1ストレージキャパシタ(Cst a1)、第2ストレージキャパシタ(Cst a2)、第3ストレージキャパシタ(Cst b1)及び第4ストレージキャパシタ(Cst b2)を形成していることから、ストレージキャパシタを形成するための追加工程が不要となり、液晶表示装置の製造工程を簡単化することができ、ストレージキャパシタの2つの電極の間にゲート絶縁膜140と半導体層157a、157b、167a、167bだけが存在することから、2つの電極の間に保護膜180が存在する場合に比べて、ストレージキャパシタの静電容量が大きくなる。

【0205】

また、第1ストレージキャパシタ(Cst a1)を構成する第1維持電極137aと第1維持導電体177aとの重畳面積は、第3ストレージキャパシタ(Cst b1)を構成する第2維持電極137aと第2維持導電体177bとの重畳面積と互いにほぼ同じであり、第2ストレージキャパシタ(Cst a2)を構成する共通電圧線131bと第1維持導電体177aとの重畳面積は、第4ストレージキャパシタ(Cst b2)を構成する共通電圧線131bと第2維持導電体177bとの重畳面積とほぼ同じであり、静電容量が基準電圧に関して互いに対称な電圧値となる。従って、フレーム毎に互いに異なる極性の電圧が印加される第1維持導電体177a及び第2維持導電体177bが、半導体層157a、157b、167a、167bを間において第1維持電極137a及び第2維持電極137b、及び共通電圧線131bと重畳して、ストレージキャパシタを形成しても、ストレージキャパシタの静電容量は基準電圧に関して互いに対称な電圧値となり、液晶キャパシタ(C1c)の電圧が一定に維持される。

【0206】

前述した全ての実施形態による液晶表示装置の特徴は、本実施形態による液晶表示装置にも適用可能である。

【0207】

以上、本発明の望ましい実施形態について詳細に説明したが、本発明の権利範囲はこれに限定されるのではなく、特許請求の範囲で定義している本発明の基本概念を利用した当業者の多様な変形及び改良形態も、本発明の権利範囲に属する。

【符号の説明】

【0208】

100、200 基板  
110 絶縁基板  
121 ゲート線

10

20

30

40

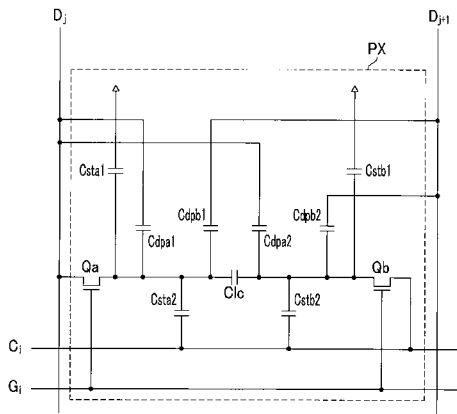
50



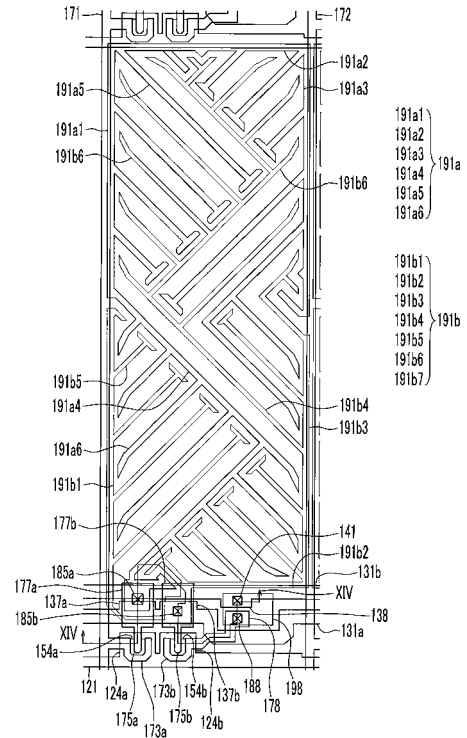




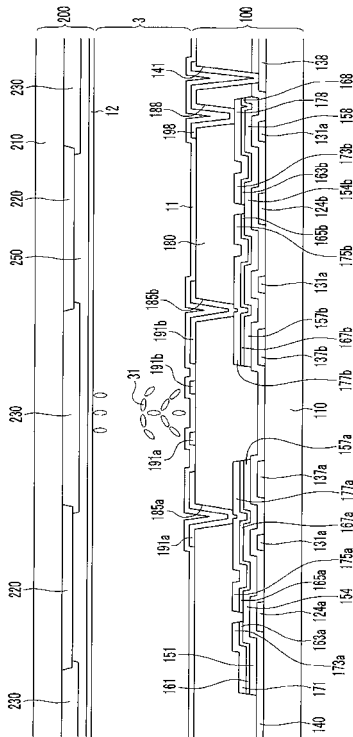
【 図 1 2 】



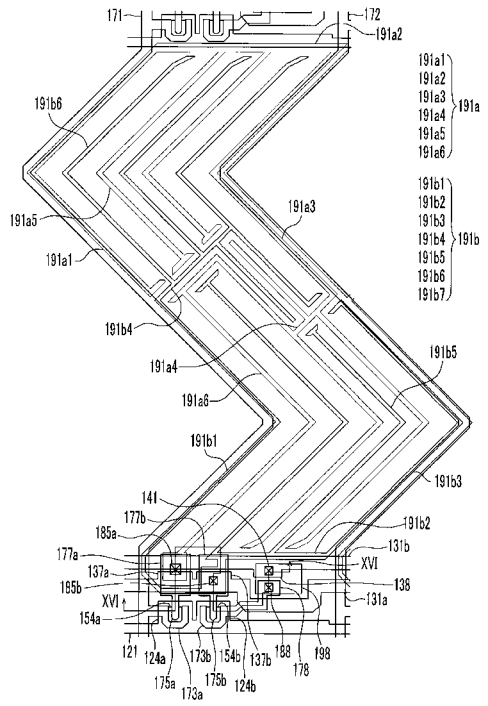
【 図 1 3 】



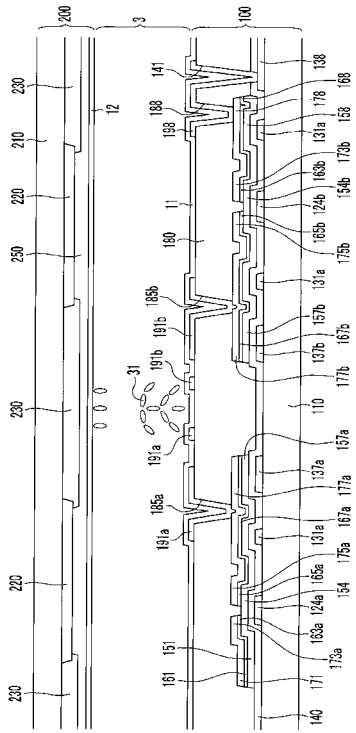
【 図 1 4 】



【 図 1 5 】



【図 16】



## フロントページの続き

- (72)発明者 金 成 雲  
大韓民国京畿道水原市靈通区靈通洞 9 9 1 - 1 0 番地 2 0 2 号
- (72)発明者 金 熙 燮  
大韓民国京畿道華城市半月洞 8 6 5 - 1 番地 シンヨントン現代アパート 1 1 0 棟 3 0 4 号
- (72)発明者 金 香 律  
大韓民国京畿道華城市陵洞 1 1 3 4 番地 プルンマウルポスコザシャップアパート 9 0 7 棟 9 0 1 号
- (72)発明者 章 珠 寧  
大韓民国慶尚北道慶山市正坪洞 1 3 8 - 6 番地 慶山ウバンマンション 1 0 2 棟 1 0 2 号
- (72)発明者 蔡 鍾 哲  
大韓民国ソウル市麻浦区鹽里洞 エルジザイアパート 1 0 6 棟 1 9 0 2 号
- (72)発明者 鄭 美 惠  
大韓民国京畿道水原市長安区亭子洞 大林進興アパート 8 2 4 棟 1 4 0 2 号
- (72)発明者 禹 和 成  
大韓民国京畿道水原市靈通区梅灘 1 洞 住公 4 団地アパート 4 1 9 棟 1 0 7 号
- (72)発明者 辛 哲  
大韓民国京畿道華城市陵洞 ウナムファーストビル 2 次アパート 2 0 1 棟 2 0 3 号
- (72)発明者 申 東 哲  
大韓民国ソウル市恩平区佛光 3 洞 4 3 1 - 2 番地

Fターム(参考) 2H092 GA11 JA24 JA41 JA46 JB22 JB31 PA02

专利名称(译)	液晶表示装置		
公开(公告)号	<a href="#">JP2010271701A</a>	公开(公告)日	2010-12-02
申请号	JP2010080949	申请日	2010-03-31
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	金成雲 金熙燮 金香律 章珠寧 蔡鍾哲 鄭美惠 禹和成 辛哲 申東哲		
发明人	金成雲 金熙燮 金香律 章珠寧 蔡鍾哲 鄭美惠 禹和成 辛哲 申東哲		
IPC分类号	G02F1/1368		
CPC分类号	G02F1/134309 G02F1/136213 G02F1/13624 G02F1/136286 G02F2201/124		
FI分类号	G02F1/1368		
F-TERM分类号	2H092/GA11 2H092/JA24 2H092/JA41 2H092/JA46 2H092/JB22 2H092/JB31 2H092/PA02 2H092/GA14 2H092/JB32 2H092/JB41 2H192/AA24 2H192/BB03 2H192/BB54 2H192/BB91 2H192/BC12 2H192/BC31 2H192/CB05 2H192/CB46 2H192/CC04 2H192/CC55 2H192/DA12 2H192/DA65 2H192/DA74 2H192/EA22 2H192/EA42 2H192/EA43 2H192/HA44 2H192/HA47 2H192/JA34		
优先权	1020090043720 2009-05-19 KR		
其他公开文献	JP2010271701A5 JP5616666B2		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

要解决的问题：提供一种液晶显示装置，其能够确保液晶显示装置的高对比度和宽视角，提高液晶分子的响应速度，并且具有高孔径比以及防止由于信号线和像素电极之间的寄生电容的增加导致的串扰缺陷，从而表现出良好的显示特性。解决方案：液晶显示装置包括：液晶层，插入在第一基板和第二基板之间并包含液晶分子；栅极线，传输栅极信号；第一数据线和第二数据线分别传输第一数据电压和a第二数据电压彼此具有相反的极性；第一开关元件，连接到栅极线和第一数据线；第二开关元件，连接到栅极线和第二数据线；第一像素电极和第二像素电极分别连接到第一开关元件和第二开关元件。第一像素电极与第一数据线和第二数据线重叠，第二像素电极与第一数据线和第二数据线重叠，第一像素电极和第二像素电极包括多个分支电极和分支电极第一像素电极和第二像素电极的分支电极交替地连接安排。

