

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-231209

(P2010-231209A)

(43) 公開日 平成22年10月14日(2010.10.14)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G09G 3/36 (2006.01)</b>	G09G 3/36	2H193
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 622E	5C006
<b>G02F 1/133 (2006.01)</b>	G09G 3/20 611A	5C080
	G09G 3/20 621F	
	G02F 1/133 550	

審査請求 未請求 請求項の数 8 O L (全 13 頁) 最終頁に続く

(21) 出願番号 特願2010-75418 (P2010-75418)  
 (22) 出願日 平成22年3月29日 (2010. 3. 29)  
 (31) 優先権主張番号 200910081003.1  
 (32) 優先日 平成21年3月27日 (2009. 3. 27)  
 (33) 優先権主張国 中国 (CN)

(71) 出願人 507134301  
 北京京東方光電科技有限公司  
 中華人民共和国北京經濟技術開發區西環中路8號  
 (74) 代理人 100108453  
 弁理士 村山 靖彦  
 (74) 代理人 100089037  
 弁理士 渡邊 隆  
 (74) 代理人 100110364  
 弁理士 実広 信哉  
 (72) 発明者 商 廣良  
 中華人民共和国100176北京經濟技術開發區西環中路8號  
 Fターム(参考) 2H193 ZA04 ZC24 ZD31 ZF23 ZF32

最終頁に続く

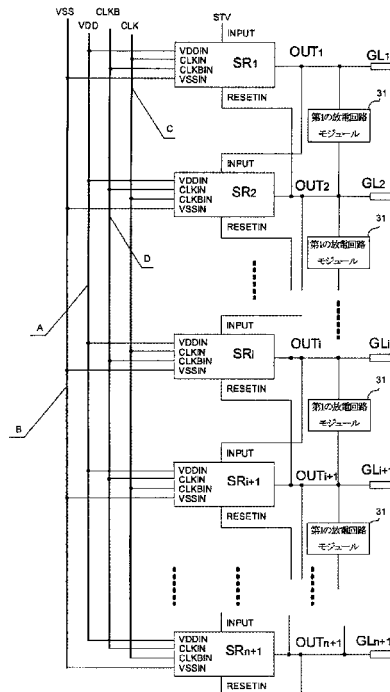
(54) 【発明の名称】 液晶ディスプレイゲート駆動装置

(57) 【要約】

【課題】 各段のシフトレジスタ部から出力されたゲート駆動信号の遅延を減少することができ、かつ消費電力が小さい液晶ディスプレイゲート駆動装置を提供する。

【解決手段】 装置は、それぞれの段にも信号出力端が含まれる複数段のシフトレジスタ部と、前記複数段のシフトレジスタ部にゲート駆動信号を生成させるように、それぞれのクロック信号ラインも前記複数段のシフトレジスタ部に接続される複数のクロック信号ラインと、を備え、i段目のシフトレジスタ部の信号出力端とi+1段目のシフトレジスタ部の信号出力端との間に、前記のシフトレジスタ部の信号出力端から出力されたハイレベル信号の電荷を前記i+1段目のシフトレジスタ部の信号出力端に放電するための第1の放電回路モジュールが接続される。ここで、1 i 複数段のシフトレジスタ部の段数-1とする。

【選択図】 図2



## 【特許請求の範囲】

## 【請求項 1】

それぞれの段にも信号出力端が含まれる複数段のシフトレジスタ部と、前記複数段のシフトレジスタ部にゲート駆動信号を生成させるように、それぞれのクロック信号ラインが前記複数段のシフトレジスタ部に接続される複数のクロック信号ラインと、を備える液晶ディスプレイゲート駆動装置であって、

i 段目のシフトレジスタ部の信号出力端と i+1 段目のシフトレジスタ部の信号出力端との間に、前記 i 段目のシフトレジスタ部の信号出力端から出力されたハイレベル信号の電荷を前記 i+1 段目のシフトレジスタ部の信号出力端に放電するための第 1 の放電回路モジュールが接続され、ここで、 $1 \leq i \leq n$  複数段のシフトレジスタ部の段数-1 とすることを特徴とする液晶ディスプレイゲート駆動装置。

10

## 【請求項 2】

前記第 1 の放電回路モジュールは第 1 の薄膜トランジスタと第 2 の薄膜トランジスタを含み、

前記第 1 の薄膜トランジスタのゲートとドレインがそれぞれ前記 i 段目のシフトレジスタ部の信号出力端に接続され、

前記第 2 の薄膜トランジスタのドレインが、前記第 1 の薄膜トランジスタのソースに接続され、前記第 2 の薄膜トランジスタのソースが、前記 i+1 段目のシフトレジスタ部の信号出力端に接続され、前記第 2 の薄膜トランジスタのゲートが、前記複数のクロック信号ラインのうちの一つに接続されることを特徴とする請求項 1 に記載の液晶ディスプレイゲート駆動装置。

20

## 【請求項 3】

前記複数のクロック信号ラインは、第 1 のクロック信号ラインと第 2 のクロック信号ラインを含み、前記第 1 のクロック信号ラインに入力されたクロック信号と前記第 2 のクロック信号ラインに入力されたクロック信号は、互いに反転の信号であり、

前記複数段のシフトレジスタ部のうち奇数段目のシフトレジスタ部について、前記第 2 の薄膜トランジスタのゲートが前記第 2 のクロック信号ラインに接続され、前記複数段のシフトレジスタ部のうち偶数段目のシフトレジスタ部について、前記第 2 の薄膜トランジスタのゲートが前記第 1 のクロック信号ラインに接続されることを特徴とする請求項 2 に記載の液晶ディスプレイゲート駆動装置。

30

## 【請求項 4】

第 2 の放電回路モジュールをさらに備え、

前記第 1 のクロック信号ラインは、互いに並列に接続される第 1 のクロック信号プライマリラインと第 1 のクロック信号セカンダリラインを含み、

前記第 2 のクロック信号ラインは、互いに並列に接続される第 2 のクロック信号プライマリラインと第 2 のクロック信号セカンダリラインを含み、

前記第 1 のクロック信号ラインと前記第 2 のクロック信号ラインとの間に、前記第 1 のクロック信号プライマリラインでのハイレベル信号の電荷を前記第 2 のクロック信号プライマリラインに放電させる、或いは、前記第 2 のクロック信号プライマリラインでのハイレベル信号の電荷を前記第 1 のクロック信号プライマリラインに放電させるための第 2 の放電回路モジュールが接続されることを特徴とする請求項 3 に記載の液晶ディスプレイゲート駆動装置。

40

## 【請求項 5】

前記第 2 の放電回路モジュールは、第 3 の薄膜トランジスタと第 4 の薄膜トランジスタを備え、

前記複数段のシフトレジスタ部のうち奇数段目のシフトレジスタ部について、第 3 の薄膜トランジスタのゲートとドレインがそれぞれ第 1 のクロック信号プライマリラインに接続され、第 4 の薄膜トランジスタのドレインが第 3 の薄膜トランジスタのソースに接続され、第 4 の薄膜トランジスタのソースが第 2 のクロック信号プライマリラインに接続され、第 4 の薄膜トランジスタのゲートが第 2 のクロック信号セカンダリラインに接続され、

50

第2の薄膜トランジスタのゲートが第2のクロック信号セカンダリラインに接続され、

前記複数段のシフトレジスタ部のうち偶数段目のシフトレジスタ部について、第3の薄膜トランジスタのゲートとドレインがそれぞれ第2のクロック信号プライマリラインに接続され、第4の薄膜トランジスタのドレインが第3の薄膜トランジスタのソースに接続され、第4の薄膜トランジスタのソースが第1のクロック信号プライマリラインに接続され、第4の薄膜トランジスタのゲートが第1のクロック信号セカンダリラインに接続され、第2の薄膜トランジスタのゲートが第1のクロック信号セカンダリラインに接続されることを特徴とする請求項4に記載の液晶ディスプレイゲート駆動装置。

【請求項6】

複数段のシフトレジスタ部と、前記複数段のシフトレジスタ部にゲート駆動信号を生成させるように、それぞれのクロック信号ラインが前記複数段のシフトレジスタ部に接続される複数のクロック信号ラインと、を備える液晶ディスプレイゲート駆動装置であって、

前記複数のクロック信号ラインのそれぞれは、互いに並列に接続されるクロック信号プライマリラインとクロック信号セカンダリラインを含み、

前記複数のクロック信号ライン内の二つのクロック信号ラインの間に、前記二つのクロック信号ラインのうち一つのクロック信号プライマリラインのハイレベル信号の電荷を前記二つのクロック信号ラインのうち他の一つのクロック信号プライマリラインに放電させる放電回路モジュールが接続されていることを特徴とする液晶ディスプレイゲート駆動装置。

【請求項7】

前記放電回路モジュールは、第1の薄膜トランジスタと第2の薄膜トランジスタを含み、第1の薄膜トランジスタのゲートとドレインがそれぞれ前記二つのクロック信号ラインのうち一つのクロック信号プライマリラインに接続され、第2の薄膜トランジスタのドレインが第1の薄膜トランジスタのソースに接続され、第2の薄膜トランジスタのソースが前記二つのクロック信号ラインのうち他の一つのクロック信号プライマリラインに接続され、第2の薄膜トランジスタのゲートが前記二つのクロック信号ラインのうち他の一つのクロック信号セカンダリラインに接続されることを特徴とする請求項6に記載の液晶ディスプレイゲート駆動装置。

【請求項8】

前記二つのクロック信号ラインは、互いに並列に接続される第1のクロック信号プライマリラインと第1のクロック信号セカンダリラインを含む第1のクロック信号ラインと、互いに並列に接続される第2のクロック信号プライマリラインと第2のクロック信号セカンダリラインを含む第2のクロック信号ラインであり、

前記複数段のシフトレジスタ部のうち奇数段目のシフトレジスタ部について、第1の薄膜トランジスタのゲートとドレインがそれぞれ第1のクロック信号プライマリラインに接続され、第2の薄膜トランジスタのドレインが第1の薄膜トランジスタのソースに接続され、第2の薄膜トランジスタのソースが第2のクロック信号プライマリラインに接続され、第2の薄膜トランジスタのゲートが第2のクロック信号セカンダリラインに接続され、

前記複数段のシフトレジスタ部のうち偶数段目のシフトレジスタ部について、第1の薄膜トランジスタのゲートとドレインも、第2のクロック信号プライマリラインに接続され、第2の薄膜トランジスタのドレインが第1の薄膜トランジスタのソースに接続され、第2の薄膜トランジスタのソースが第1のクロック信号プライマリラインに接続され、第2の薄膜トランジスタのゲートが第1のクロック信号セカンダリラインに接続されることを特徴とする請求項7に記載の液晶ディスプレイゲート駆動装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は液晶表示の技術分野に関し、特に液晶ディスプレイゲート駆動装置に関する。

【背景技術】

## 【 0 0 0 2 】

液晶ディスプレイゲート駆動装置はゲートラインに駆動信号を提供するものであり、複数段のシフトレジスタ部を備える。図1aは従来技術に係る液晶ディスプレイゲート駆動装置の構成を示す模式図であり、図1bは従来技術に係るシフトレジスタ部のシーケンス図である。中には、各段のシフトレジスタ部（Shift Register, SRと略称する）のそれぞれは、高電圧信号入力端（VDDIN）、低電圧信号入力端（VSSIN）、第1のクロック信号入力端（CLKIN）、第2のクロック信号入力端（CLKBIN）、ゲート駆動信号出力端（OUT）、信号入力端（INPUT）、及びリセット信号入力端（RESETIN）を備える。また、1段目のシフトレジスタ部（SR<sub>1</sub>）と最後段目のシフトレジスタ部（SR<sub>n+1</sub>）を除き、各段のシフトレジスタ部のそれぞれのゲート駆動信号出力端は、それ自身に隣接する前段のシフトレジスタ部のリセット信号入力端、及びそれ自身に隣接する後段のシフトレジスタ部の信号入力端に接続され、1段目のシフトレジスタ部の信号入力端（INPUT）には、フレームスタート信号（STV）が入力され、最後段目のシフトレジスタ部（SR<sub>n+1</sub>）の信号出力端（OUT<sub>n+1</sub>）は、それ自身に隣接する前段のシフトレジスタ部（SR<sub>n</sub>）のリセット信号入力端（RESETIN）及びそれ自身のリセット信号入力端（RESETIN）に接続される。各段のシフトレジスタ部のそれぞれの信号出力端が一つのゲートライン（GL）に接続され、ゲート駆動信号を該ゲートラインに提供するためのものである。各段のシフトレジスタ部のそれぞれの高電圧信号入力端（VDDIN）は、高電圧信号（ADD）が入力された高電圧信号ラインAに接続され、低電圧信号の入力端（VSSIN）は、低電圧信号（VSS）が入力された低電圧信号ラインBに接続され、第1のクロック信号入力端（CLKIN）は、第1のクロック信号（CLK）が入力された第1のクロック信号ラインCに接続され、第2のクロック信号の入力端（CLKBIN）は、第2のクロック信号（CLKB）が入力された第2のクロック信号ラインDに接続される。

10

20

## 【 0 0 0 3 】

図1bにおいて、各段のシフトレジスタ部それぞれの信号出力端（OUT）は、1フレームの期間おきに、一つのハイレベルを出力して、該当する行の薄膜トランジスタ（TFT）がオンとなるように制御して、これにより、液晶ディスプレイの順次走査を実現する。最後段目のシフトレジスタ部（SR<sub>n+1</sub>）から出力されたハイレベルが同時にそれ自身と前段のシフトレジスタ部（SR<sub>n</sub>）のリセット信号として使用される。従来技術において、ゲート駆動信号の遅延が大きい。図1cは図1bにおける信号出力端（OUT<sub>n</sub>）から出力されたゲート駆動信号と第2のクロック信号の対比を示す模式図である。図1cから分かるように、n段目のシフトレジスタ部（SR<sub>n</sub>）の信号出力端（OUT<sub>n</sub>）から出力されたゲート駆動信号の立ち上がりと第2のクロック信号（CLKB）の立ち上がりとの間に、大きい遅延が存在する。t<sub>d</sub>は、第2のクロック信号（CLKB）の立ち上がりの50%と信号出力端（OUT<sub>n</sub>）から出力されたゲート駆動信号の立ち上がりの50%との間の時間差である。また、従来技術において、各信号出力端は、電源によりハイレベルまで充電した直後に、ローレベルまで放電するので、電荷の充放電の量は大きく、各信号出力端から出力されたハイレベル信号が十分に利用されないため、ゲート駆動装置の消費電力が大きいというような問題が存在する。

30

40

## 【 発明の概要 】

## 【 発明が解決しようとする課題 】

## 【 0 0 0 4 】

本発明は、従来技術において存在する問題に鑑みてなされたものであり、その目的は、各段のシフトレジスタ部から出力されたゲート駆動信号の遅延を減少することができ、しかも、消費電力が小さい液晶ディスプレイゲート駆動装置を提供することにある。

## 【 課題を解決するための手段 】

## 【 0 0 0 5 】

上記の目的を達成するために、本発明は、それぞれの段にも信号出力端が含まれる複数段のシフトレジスタ部と、前記複数段のシフトレジスタ部にゲート駆動信号を生成させる

50

ように、それぞれのクロック信号ラインが前記複数段のシフトレジスタ部に接続される複数のクロック信号ラインと、を備え、 $i$ 段目のシフトレジスタ部の信号出力端と $i+1$ 段目のシフトレジスタ部の信号出力端との間に、前記 $i$ 段目のシフトレジスタ部の信号出力端から出力されたハイレベル信号の電荷を前記 $i+1$ 段目のシフトレジスタ部の信号出力端に放電するための第1の放電回路モジュールが接続され、ここで、 $1 \sim i$  複数段のシフトレジスタ部の段数-1とする液晶ディスプレイゲート駆動装置を提供する。

【0006】

本発明は、複数段のシフトレジスタ部と、前記複数段のシフトレジスタ部にゲート駆動信号を生成させるように、それぞれのクロック信号ラインが前記複数段のシフトレジスタ部に接続される複数のクロック信号ラインと、を備え、前記複数のクロック信号ラインのそれぞれは、互いに並列に接続されるクロック信号プライマリラインとクロック信号セカンダリラインを含み、複数のクロック信号ライン内の二つのクロック信号ラインの間に、前記二つのクロック信号ラインのうち一つのクロック信号プライマリラインのハイレベル信号の電荷を前記二つのクロック信号ラインのうち他の一つのクロック信号プライマリラインに放電させる放電回路モジュールが接続されている液晶ディスプレイゲート駆動装置をさらに提供する。

10

【0007】

本発明が提供する液晶ディスプレイゲート駆動装置は、 $i$ 段目のシフトレジスタ部の信号出力端と $i+1$ 段目のシフトレジスタ部の信号出力端との間に、第1の放電回路モジュールが接続されることにより、 $i$ 段目のシフトレジスタ部の信号出力端から出力されたハイレベル信号の電荷を $i+1$ 段目のシフトレジスタ部の信号出力端に放電させ、これにより、 $i+1$ 段目のシフトレジスタ部から出力されたゲート駆動信号の遅延を減少することができ、シフトレジスタ部から出力されたハイレベル信号を効率的に利用するので、消費電力を減少することができる。二つのクロック信号ラインの間に第2の放電回路モジュールを設置することにより、一つのクロック信号プライマリラインのクロック信号が下降する場合、ハイレベル信号の電荷を他の一つのクロック信号プライマリラインのクロック信号に放電することができ、これにより、前記他の一つのクロック信号プライマリラインのクロック信号のレベルが速く上昇し、立ち上がりの遅延を減少し、シフトレジスタ部から出力されたゲート駆動信号の遅延を減少する。

20

【0008】

これからは、図面と実施例により、本発明の技術方案をさらに詳しく説明する。

30

【図面の簡単な説明】

【0009】

【図1a】従来技術に係る液晶ディスプレイゲート駆動装置の構成を示す模式図である。

【図1b】従来技術に係るシフトレジスタ部のシーケンス図である。

【図1c】図1bにおける信号出力端( $OUT_n$ )から出力されたゲート駆動信号と第2のクロック信号の対比を示す模式図である。

【図2】本発明に係る液晶ディスプレイゲート駆動装置の第1実施例の構成を示す模式図である。

【図3】本発明に係る液晶ディスプレイゲート駆動装置の第2実施例の構成を示す模式図である。

40

【図4】図3における $i$ 段目のシフトレジスタ部( $SR_i$ )と $i+1$ 段目のシフトレジスタ部( $SR_{i+1}$ )のシーケンス図である。

【図5】本発明に係る液晶ディスプレイゲート駆動装置の第3実施例の構成を示す模式図である。

【図6a】図5における $i$ 段目のシフトレジスタ部( $SR_i$ )と $i+1$ 段目のシフトレジスタ部( $SR_{i+1}$ )のシーケンス図である。

【図6b】図6aにおける $CLK$ 、 $CLK'$ 、 $CLKB$ と $CLKB'$ の対比を示す拡大模式図である。

【図7】本発明に係る液晶ディスプレイゲート駆動装置の第4実施例の構成を示す模式図

50

である。

【発明を実施するための形態】

【0010】

図2は本発明に係る液晶ディスプレイゲート駆動装置の第1実施例の構成を示す模式図である。該液晶ディスプレイゲート駆動装置は、複数段のシフトレジスタ部を備える。各段のシフトレジスタ部のそれぞれは、信号入力端と信号出力端を備え、 $i$ 段目のシフトレジスタ部の信号出力端と $i+1$ 段目のシフトレジスタ部の信号出力端との間に、 $i$ 段目のシフトレジスタ部の信号出力端から出力されたハイレベル信号の電荷を $i+1$ 段目のシフトレジスタ部の信号出力端に放電させるための第1の放電回路モジュール31が接続されている。本発明が提供する液晶ディスプレイゲート駆動装置は、 $i$ 段目のシフトレジスタ部の信号出力端から出力されたハイレベル信号の電荷を、第1の放電回路モジュール31により、 $i+1$ 段目のシフトレジスタ部の信号出力端に印加することができるように、 $i$ 段目のシフトレジスタ部の信号出力端と $i+1$ 段目のシフトレジスタ部の信号出力端との間に、該第1の放電回路モジュール31を設置し、これにより、各段のシフトレジスタ部から出力されたゲート駆動信号の遅延を減少することができる。

10

【0011】

図3は本発明に係る液晶ディスプレイゲート駆動装置の第2実施例の構成を示す模式図である。図3において、第1の放電回路モジュール31は二つの薄膜トランジスタを含む。また、 $i$  ( $i$ は自然数であり、 $0 < i < n+1$ ) 段目のシフトレジスタ部について、第1の薄膜トランジスタ ( $T_{i1}$ ) のドレインとゲートがそれぞれ $i$ 段目のシフトレジスタ部 ( $SR_i$ ) の信号出力端 ( $OUT_i$ ) に接続され、第2の薄膜トランジスタ ( $T_{i2}$ ) は、ソースが $i+1$ 段目のシフトレジスタ部 ( $SR_{i+1}$ ) の信号出力端 ( $OUT_{i+1}$ ) に接続され、ドレインが、第1の薄膜トランジスタ ( $T_{i1}$ ) のソースに接続される。 $i$ が奇数である場合、第2の薄膜トランジスタ ( $T_{i2}$ ) のゲートが、第2のクロック信号ラインに接続され、また、 $i$ が偶数である場合、第2の薄膜トランジスタ ( $T_{i2}$ ) のゲートが、第1のクロック信号ラインに接続される。 $n+1$ 段目のシフトレジスタ部の ( $SR_{n+1}$ ) は、ゲートラインを駆動することに用いられず、 $n$ 段目のシフトレジスタ部にリセット信号を提供するので、その中、第1の薄膜トランジスタと第2の薄膜トランジスタを加えないことができる。

20

【0012】

図4は図3における $i$ 段目のシフトレジスタ部 ( $SR_i$ ) と $i+1$ 段目のシフトレジスタ部 ( $SR_{i+1}$ ) のシーケンス図である。次は、図3と図4を結合して、本発明の第2の実施例の動作原理を説明する。

30

【0013】

$i$ 段目のシフトレジスタ部 ( $SR_i$ ) の信号出力端 ( $OUT_i$ ) から出力されたゲート駆動信号のレベルが低くなると、 $i+1$ 段目のシフトレジスタ部 ( $SR_{i+1}$ ) の信号出力端 ( $OUT_{i+1}$ ) から出力されたゲート駆動信号が、相変わらずローレベルであり、第2のクロック信号 (CLKB) が立ち上がり状態にあるので、第2の薄膜トランジスタ ( $T_{i2}$ ) がオンされる。また、 $i$ 段目のシフトレジスタ部 ( $SR_i$ ) の信号出力端 ( $OUT_i$ ) から出力されたゲート駆動信号のレベルは、ハイレベルとなり、 $i+1$ 段目のシフトレジスタ部の ( $SR_{i+1}$ ) の信号出力端 ( $OUT_{i+1}$ ) から出力されたゲート駆動信号のレベルは、相変わらずローレベルであるので、第1の薄膜トランジスタ ( $T_{i1}$ ) がオンされる。このようにして、 $i$ 段目のシフトレジスタ部 ( $SR_i$ ) の信号出力端 ( $OUT_i$ ) から出力されたハイレベル信号の電荷は、第1の薄膜トランジスタ ( $T_{i1}$ ) と第2の薄膜トランジスタ ( $T_{i2}$ ) により、 $i+1$ 段目のシフトレジスタ部 ( $SR_{i+1}$ ) の信号出力端 ( $OUT_{i+1}$ ) に放電し、これにより、 $i+1$ 段目のシフトレジスタ部 ( $SR_{i+1}$ ) から出力されたゲート駆動信号の遅延を減少することができる。 $i$ 段目のシフトレジスタ部 ( $SR_i$ ) の信号出力端 ( $OUT_i$ ) から出力された信号のレベルは、 $i+1$ 段目のシフトレジスタ部 ( $SR_{i+1}$ ) の信号出力端 ( $OUT_{i+1}$ ) から出力された信号のレベルよりも小さいである場合、第1の薄膜トランジスタ ( $T_{i1}$ ) がオフとなる。この場合、 $i$

40

50

段目のシフトレジスタ部 ( $SR_i$ ) の信号出力端 ( $OUT_i$ ) から出力された信号は、もう、 $i+1$ 段目のシフトレジスタ部 ( $SR_{i+1}$ ) の信号出力端 ( $OUT_{i+1}$ ) から出力された信号に影響を与えなくなる。

【0014】

図3において、隣接する二つ段のシフトレジスタの間に、二つの薄膜トランジスタが接続されることにより、各段のシフトレジスタ部の信号出力端から出力されたハイレベル信号が、ゲートラインを駆動することに加え、信号の電荷も、隣接する次段のシフトレジスタ部の信号出力端に放電できるようになり、これにより、隣接する次段のシフトレジスタ部の信号出力端から出力された信号の遅延を減少することができ、そして、各段のシフトレジスタ部の信号出力端から出力されたハイレベル信号が効率的に利用されるようになり、無駄に消費されることに至らない。

10

【0015】

図3に示される実施例において、液晶ディスプレイゲート駆動装置は、入力されたクロック信号のそれぞれが互いに反転信号である二つのクロック信号ラインを含む。該分野において、液晶ディスプレイゲート駆動装置は、二つ以上のクロック信号ラインを含んでもいい。液晶ディスプレイゲート駆動装置は二つ以上のクロック信号ラインを含む場合に、第1の放電回路モジュールにおける第2の薄膜トランジスタのゲートは、二つ以上のクロック信号ラインのうちの一つに接続され、具体的にどのクロック信号ラインに接続されるべきかは、入力されたクロック信号の特性によって確定することができる。具体的な実現方式は前述の各実施例と類似して、当業者は、本発明の前述の各実施例の説明に基づき、該当する実現方式を得ることができ、ここで、重複な説明を省略する。

20

【0016】

図5は本発明に係る液晶ディスプレイゲート駆動装置の第3実施例の構成を示す模式図である。図5に示される装置は図3に示される装置と比べて、図5において、第1のクロック信号ラインが、互いに並列に接続される第1のクロック信号プライマリライン(primary line)  $C_1$  と第1のクロック信号セカンダリライン(secondary line)  $C_2$  を含む点で異なる。第2のクロック信号ラインは、互いに並列に接続される第2のクロック信号プライマリライン  $D_1$  と第2のクロック信号セカンダリライン  $D_2$  を含む。第1のクロック信号プライマリライン  $C_1$  と第2のクロック信号プライマリライン  $D_1$  は、各段のシフトレジスタ部にクロック信号を提供するものである。図5が提供される装置は、図3に示される装置を基に、第1のクロック信号プライマリライン  $C_1$  と第2のクロック信号プライマリライン  $D_1$  との間に、第3の薄膜トランジスタと第4の薄膜トランジスタを含む第2の放電回路モジュール32が接続されるものである。 $i$ 段目のシフトレジスタ部について、第3の薄膜トランジスタ ( $T_{i3}$ ) のソースが、第4の薄膜トランジスタ ( $T_{i4}$ ) のドレインに接続される。 $i$ が奇数である場合、第3の薄膜トランジスタ ( $T_{i3}$ ) のゲートとソースが、第1のクロック信号プライマリライン  $C_1$  に接続され、第4の薄膜トランジスタ ( $T_{i4}$ ) のゲートとソースがそれぞれ、第2のクロック信号セカンダリライン  $D_2$  と第2のクロック信号プライマリライン  $D_1$  に接続され、第2の薄膜トランジスタ ( $T_{i2}$ ) のゲートが第2のクロック信号セカンダリライン  $D_2$  に接続され、第2の薄膜トランジスタ ( $T_{i2}$ ) のソース、ドレイン及び第1の薄膜トランジスタ ( $T_{i1}$ ) のゲート、ソースの間のそれぞれの接続関係は、図2と同じである。 $i$ が偶数である場合、第3の薄膜トランジスタ ( $T_{i3}$ ) のゲートとドレインが第2のクロック信号プライマリライン  $D_1$  に接続され、第4の薄膜トランジスタ ( $T_{i4}$ ) のゲートとソースがそれぞれ、第1のクロック信号セカンダリライン  $C_2$  と第1のクロック信号プライマリライン  $C_1$  に接続され、第2の薄膜トランジスタ ( $T_{i2}$ ) のゲートが、第1のクロック信号セカンダリライン  $C_2$  に接続され、第2の薄膜トランジスタ ( $T_{i2}$ ) のソース、ドレイン及び第1の薄膜トランジスタ ( $T_{i1}$ ) のゲート、ソース、ドレインの間のそれぞれの接続関係は図3と同じである。

30

40

【0017】

第3実施例の動作原理について、次は、 $i$ 段目のシフトレジスタ部と第 $i+1$ 段目のシフ

50

トレジスタ部を例に説明する。図 6 a は図 5 における  $i$  段目のシフトレジスタ部 ( $SR_i$ ) と  $i+1$  段目のシフトレジスタ部 ( $SR_{i+1}$ ) のシーケンス図である。第 1 のクロック信号プライマリライン C 1 と第 2 のクロック信号プライマリライン D 1 はシフトレジスタ部にクロック信号を提供するものであり、前記二つのクロック信号プライマリラインには一般的にサイズが大きい薄膜トランジスタが接続され、前記二つのクロック信号プライマリラインの立ち上がり立ち下りの遅延は、二つのクロック信号セカンダリラインのクロック信号の立ち上がり立ち下げりの遅延よりも大きい。第 1 のクロック信号プライマリライン C 1 に入力されたのは第 1 のクロック信号 (CLK) であり、第 1 のクロック信号セカンダリライン C 2 に入力されたのは第 1 のクロック信号 (CLK') であり、第 2 のクロック信号プライマリライン D 1 に入力されたのは第 2 のクロック信号 (CLKB) であり、第 2 のクロック信号セカンダリライン D 2 に入力されたのは第 2 のクロック信号 (CLKB') である。図 6 b は図 6 a における CLK、CLK'、CLKB と CLKB' の対比を示す拡大モード図である。次は、図 5、図 6 a と図 6 b を結合して、本発明の第 3 実施例の動作原理を詳しく説明する。図 6 b において、第 1 段階で、第 1 のクロック信号セカンダリライン (C 2) の第 1 のクロック信号 (CLK') が低くなったばかりであるとき、第 1 のクロック信号プライマリライン C 1 の第 1 のクロック信号 (CLK) が相変わらずハイレベルであり、従って、図 5 の第 3 の薄膜トランジスタ ( $T_{i3}$ ) がオンされた。また、第 2 のクロック信号セカンダリライン D 2 の第 2 のクロック信号 CLKB' の上昇が速いので、第 2 のクロック信号セカンダリライン D 2 の第 2 のクロック信号 (CLKB') が、より高いレベルとなり、第 4 の薄膜トランジスタ ( $T_{i4}$ ) もオンされた。このとき、第 1 のクロック信号プライマリライン C 1 の第 1 のクロック信号 (CLK) を利用して、第 3 の薄膜トランジスタ ( $T_{i3}$ ) と第 4 の薄膜トランジスタ ( $T_{i4}$ ) により、電荷を第 2 のクロック信号プライマリライン D 1 の信号に放電し、これによって、第 2 の信号プライマリライン D 1 の第 2 のクロック信号 (CLKB) のレベルが速く上昇し、立ち上がりの遅延を減少し、さらにシフトレジスタ部から出力されたゲート駆動信号の遅延を減少すると共に、立ち下げりの遅延を減少することもできる。第 2 の段階で、第 2 のクロック信号プライマリライン D 1 の第 2 のクロック信号 (CLKB) のレベルが第 1 のクロック信号プライマリライン C 1 の第 1 のクロック信号 (CLK) のレベルより高くなると、第 3 の薄膜トランジスタ ( $T_{i3}$ ) が逆方向にオフされるので、第 1 のクロック信号プライマリライン C 1 の第 1 のクロック信号 (CLK) は、もう、第 2 のクロック信号プライマリライン D 1 に放電することができなるとともに、CLKB の電荷も第 1 のクロック信号プライマリライン C 1 に放電することができない。これによって、電荷が第 1 のクロック信号と第 2 のクロック信号の間で共有されることが達成することができる。

【0018】

類似した原理に基づき、第 2 のクロック信号プライマリラインの第 2 のクロック信号 (CLKB) が低くなったときにも、第 3 の薄膜トランジスタと第 4 の薄膜トランジスタにより、電荷を第 1 のクロック信号プライマリラインに放電し、これによって、第 1 のクロック信号プライマリラインの第 1 のクロック信号 (CLK) が速く上昇し、立ち上がりの遅延を減少し、それで、シフトレジスタ部から出力されたゲート駆動信号の遅延を減少する。

【0019】

第 3 の薄膜トランジスタと第 4 の薄膜トランジスタを加えることにより、第 1 のクロック信号 (CLK) と第 2 のクロック信号 (CLKB) の間で、電荷を共有することができ、電源から供給される電荷量を減少することもでき、それで、液晶ディスプレイゲート駆動装置の消費電力を減少する。

【0020】

図 5 において、各段のシフトレジスタ部が、加えた第 1 の薄膜トランジスタと第 2 の薄膜トランジスタにより、信号出力端から出力されたゲート駆動信号の電荷を隣接する後段のシフトレジスタ部に放電する原理は、図 3 と類似して、ここで、重複な説明を省略する。

。

10

20

30

40

50

## 【 0 0 2 1 】

図 7 は本発明に係る液晶ディスプレイゲート駆動装置の第 4 実施例の構成を示す模式図である。該液晶ディスプレイゲート駆動装置は、図 5 に示される実施例と比べて、図 7 に、第 1 の放電回路モジュール 3 1 を含まず、第 2 の放電回路モジュール 3 2 のみを含み、これに対して、図 5 に第 1 の放電回路モジュール 3 1 と第 2 の放電回路モジュール 3 2 を共に含む点で異なる。図 7 に第 2 の放電回路モジュール 3 2 の動作原理は、図 5 と類似して、ここで、重複な説明を省略する。

## 【 0 0 2 2 】

図 5 と図 7 に示される実施例で、液晶ディスプレイゲート駆動装置は、入力されたクロック信号は互いに反転信号である二つのクロック信号ラインを含む。本分野において、液晶ディスプレイゲート駆動装置は、二つ以上のクロック信号ラインを含むこともできる。液晶ディスプレイゲート駆動装置は二つ以上のクロック信号ラインを含む場合に、第 2 の放電回路モジュールがそのうちの二つのクロック信号ラインの間に接続されることができ、これによって、前記二つのクロック信号ラインのうちの、一つのクロック信号プライマリラインのハイレベル信号の電荷を他の一つのクロック信号プライマリラインに放電させる。第 2 の放電回路モジュールにおける第 3 の薄膜トランジスタのゲートとドレインがそれぞれ、二つのクロック信号ライン内の、一つのクロック信号プライマリラインに接続され、第 4 の薄膜トランジスタのドレインが第 3 の薄膜トランジスタのソースに接続され、第 4 の薄膜トランジスタのソースが前記二つのクロック信号ライン内の、他の一つのクロック信号プライマリラインに接続され、第 4 の薄膜トランジスタのゲートが前記二つのクロック信号ライン内の、他の一つのクロック信号ラインのクロック信号セカンダリラインに接続される。具体的な実現方式は、前述の各実施例と類似して、ここで、重複な説明を省略する。

## 【 0 0 2 3 】

本発明が提供する液晶ディスプレイゲート駆動装置は、 $i$  段目のシフトレジスタ部の信号出力端と  $i+1$  段目のシフトレジスタ部の信号出力端との間に、第 1 の放電回路モジュールが接続されることにより、 $i$  段目のシフトレジスタ部の信号出力端から出力されたハイレベル信号の電荷を  $i+1$  段目のシフトレジスタ部の信号出力端に放電させ、 $i+1$  段目のシフトレジスタ部から出力されたゲート駆動信号の遅延を減少することができ、シフトレジスタ部から出力されたハイレベル信号を効率的に利用するので、消費電力を減少することができる。二つのクロック信号ラインの間に第 2 の放電回路モジュールを設置することにより、一つのクロック信号プライマリラインのクロック信号が下降すると、ハイレベル信号の電荷を他の一つのクロック信号プライマリラインのクロック信号に放電することができ、これにより、前記他の一つのクロック信号プライマリラインのクロック信号のレベルが速く上昇し、立ち上がりエッジの遅延を減少し、それで、シフトレジスタ部から出力されたゲート駆動信号の遅延を減少する。

## 【 0 0 2 4 】

最後に説明すべきは、以上の実施例は本発明の技術的方案を説明するためのものだけで、制限の目的はない。前記の実施例にしたがって本発明を詳しく説明したが、前述の各実施例に記載の技術的方案を改定したり、その部分的な技術的特徴を同等に取り替えたりすることができ、その改定や取替えは該当する技術的方案の本質が本発明の実施例の技術的方案の趣旨と範囲を脱出することに繋がらないことは当業者にとって理解するところである。

## 【 符号の説明 】

## 【 0 0 2 5 】

3 1	放電回路モジュール
S R	シフトレジスタ部
G L	ゲートライン
C L K	第 1 のクロック信号
C L K B	第 2 のクロック信号

10

20

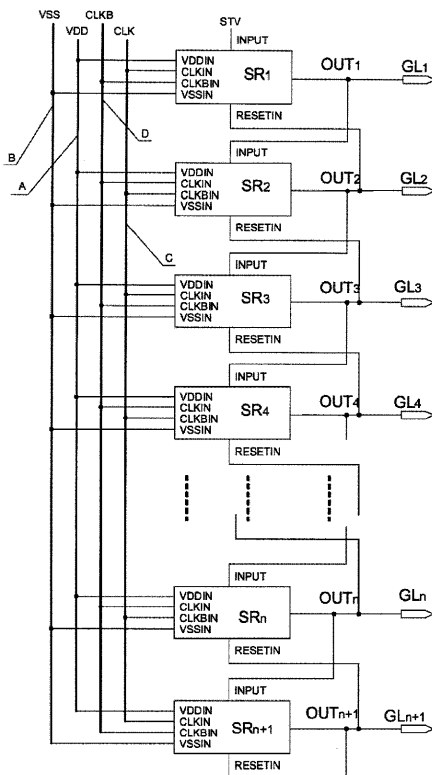
30

40

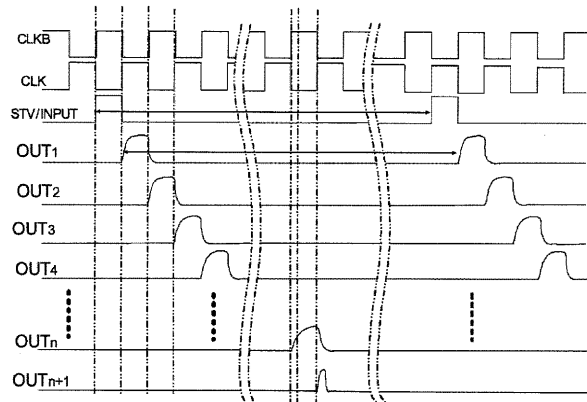
50

VSSIN 低電圧信号入力端  
VDDIN 高電圧信号入力端  
STV フレームスタート信号

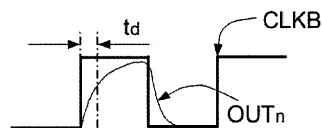
【図1 a】



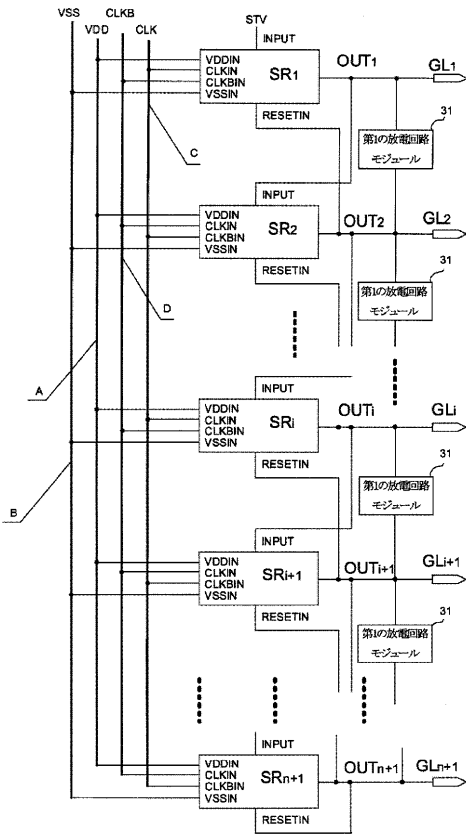
【図1 b】



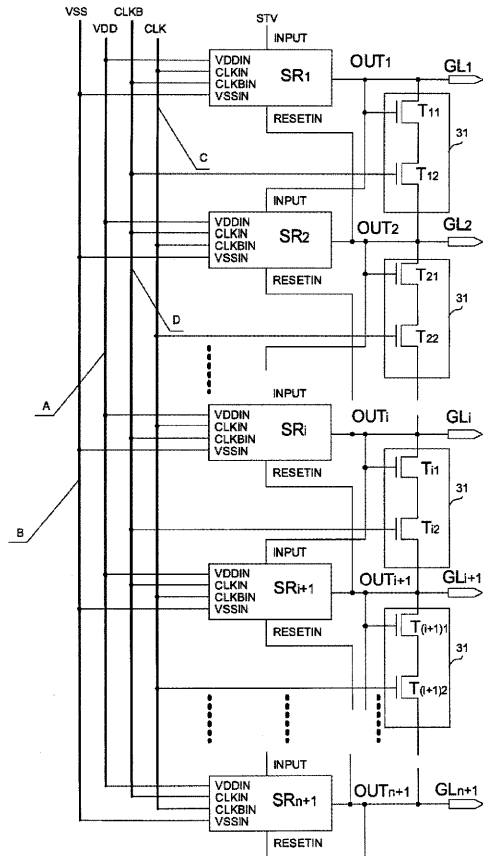
【図1 c】



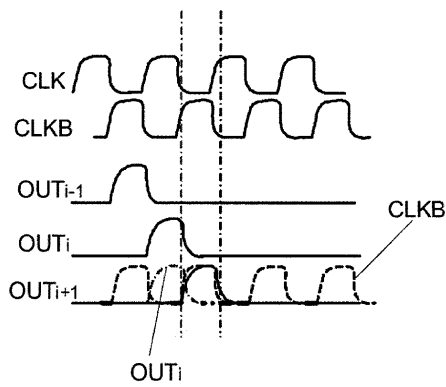
【図2】



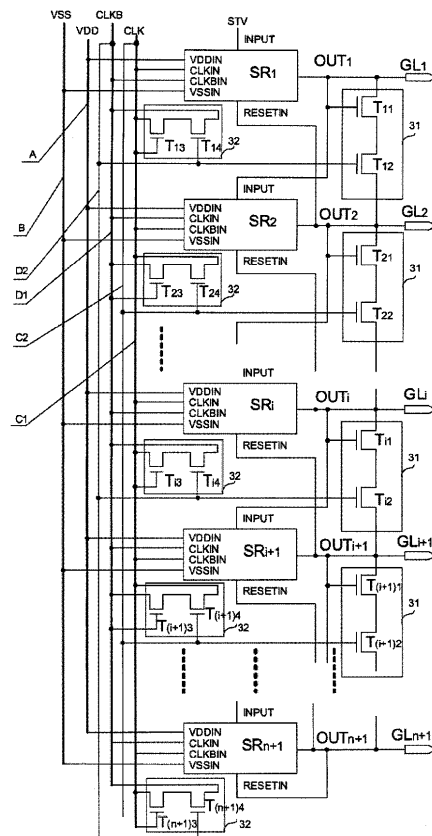
【図3】



【図4】



【図5】





---

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 2 1 G

Fターム(参考) 5C006 AF72 BC03 BF03 BF34 FA14 FA47  
5C080 AA10 BB05 DD08 DD26 FF01 FF11 JJ02 JJ03 JJ04

专利名称(译)	液晶显示门驱动单元		
公开(公告)号	<a href="#">JP2010231209A</a>	公开(公告)日	2010-10-14
申请号	JP2010075418	申请日	2010-03-29
[标]申请(专利权)人(译)	北京京东方光电科技有限公司		
申请(专利权)人(译)	北京京东方光电科技有限公司		
[标]发明人	商廣良		
发明人	商 廣良		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3677 G09G2310/0286 G11C19/28		
FI分类号	G09G3/36 G09G3/20.622.E G09G3/20.611.A G09G3/20.621.F G02F1/133.550 G09G3/20.621.G		
F-TERM分类号	2H193/ZA04 2H193/ZC24 2H193/ZD31 2H193/ZF23 2H193/ZF32 5C006/AF72 5C006/BC03 5C006/BF03 5C006/BF34 5C006/FA14 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD08 5C080/DD26 5C080/FF01 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04		
代理人(译)	村山彦 渡边 隆		
优先权	200910081003.1 2009-03-27 CN		
其他公开文献	JP5729747B2		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题：提供用于液晶显示器的栅极驱动器件，其减少从每级的移位寄存器输出的栅极驱动信号的延迟，并且消耗更少的功率。解决方案：栅极驱动装置包括多级移位寄存器，每个移位寄存器包括信号输出端子，以及连接到多级移位寄存器的多个时钟信号线，以便在多级移位寄存器中产生栅极驱动信号。在第i个移位寄存器的信号输出端和第i + 1个移位寄存器的信号输出端之间，连接第一放电电路模块以对从移位寄存器的信号输出端输出的高电平信号放电单元，到第i + 1个移位寄存器的信号输出端。满足 $1 \leq i \leq (\text{多级移位寄存器的级数}) - 1$ 。

