

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-224555

(P2010-224555A)

(43) 公開日 平成22年10月7日(2010.10.7)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H092
G02F 1/1368 (2006.01)	G02F 1/1368	2H193
G02F 1/133 (2006.01)	G02F 1/133 550	5C006
G09G 3/20 (2006.01)	G09G 3/20 623C	5C080
	G09G 3/20 623D	
審査請求 有 請求項の数 3 O L (全 29 頁) 最終頁に続く		

(21) 出願番号	特願2010-107337 (P2010-107337)	(71) 出願人	504011210
(22) 出願日	平成22年5月7日 (2010.5.7)		エーユー オプトロニクス コーポレイシ ョン
(62) 分割の表示	特願2000-373599 (P2000-373599) の分割		AU Optronics Corp. 台湾 シンチュウ, サイエンス・ベイスト インダストリアル パーク, リーシン ロード 2, ナンバー 1
原出願日	平成12年12月7日 (2000.12.7)	(74) 代理人	100104880 弁理士 古部 次郎
		(74) 代理人	100118201 弁理士 千田 武
		(72) 発明者	古立 学 神奈川県大和市下鶴間1623番地14 日本アイ・ビー・エム株式会社 大和事業 所内
		最終頁に続く	

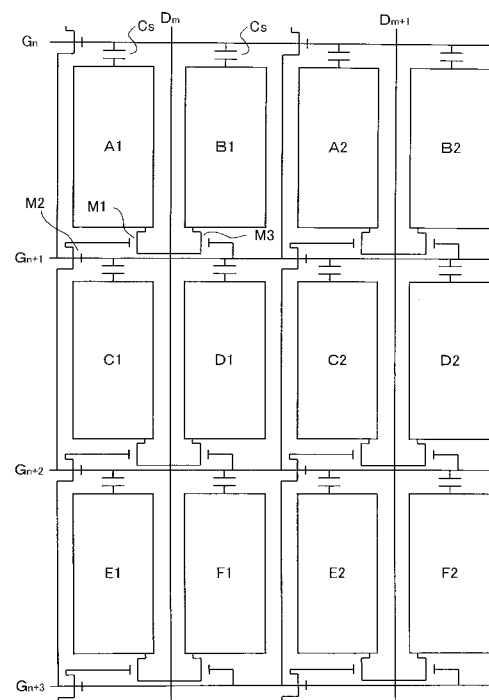
(54) 【発明の名称】 画像表示装置

(57) 【要約】

【課題】スイッチング素子の大きさを大きくすることなくデータ線、ひいてはデータ・ドライバの数を1/2以下に低減することができる液晶表示素子を提供する。

【解決手段】画素電極A1への表示信号の供給を制御する第1のTFT M1と、第1のTFT M1に接続される第2のTFT M2と、データ線Dmに接続され、かつ画素電極B1への表示信号の供給を制御する第3のTFT M3とを備える。そして、第2のTFT M2および第3のTFT M3をゲート線Gn+1に、また第1のTFT M1をゲート線Gn+2に接続する。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

画素を $M \times N$ (M , N は任意の正の整数) のマトリックス状に配列して画像表示部を形成した画像表示装置であって、

表示信号を供給する信号線駆動回路と、

走査信号を供給する走査線駆動回路と、

前記信号線駆動回路から延びる複数の信号線と、

前記走査線駆動回路から延びる複数の走査線と、

n (n は N 以下の正の整数) 番目の走査線と $n+1$ 番目の走査線との間に配設され、かつ同一の所定の信号線からの表示信号が供給される第1の画素電極、第2の画素電極および第3の画素電極と、

前記所定の信号線からの表示信号の前記第1の画素電極への供給を制御し、かつ $n+3$ 番目の走査線からの走査信号により駆動されるTFTからなる第1のスイッチング素子と、

前記 $n+1$ 番目の走査線からの走査信号により駆動され、かつ前記第1のスイッチング素子のオン・オフを制御するTFTからなる第2のスイッチング素子と、

前記所定の信号線からの表示信号の前記第2の画素電極への供給を制御し、かつ前記 $n+1$ 番目の走査線からの走査信号により駆動するTFTからなる第3のスイッチング素子と、

前記所定の信号線からの表示信号の前記第3の画素電極への供給を制御し、かつ $n+2$ 番目の走査線からの走査信号により駆動されるTFTからなる第4のスイッチング素子と、

前記 $n+1$ 番目の走査線からの走査信号により駆動され、かつ前記第4のスイッチング素子のオン・オフを制御するTFTからなる第5のスイッチング素子と、
を備えたことを特徴とする画像表示装置。

【請求項 2】

前記信号線駆動回路は、前記所定の信号線に対して、前記第1の画素電極に与えられる電位を持った表示信号、前記第2の画素電極に与えられる電位を持った表示信号および前記第3の画素電極に与えられる電位を持った表示信号を順次供給することを特徴とする請求項1に記載の画像表示装置。

【請求項 3】

画素を $M \times N$ (M , N は任意の正の整数) のマトリックス状に配列して画像表示部を形成した画像表示装置であって、

表示信号を供給する信号線駆動回路と、

走査信号を供給する走査線駆動回路と、

前記信号線駆動回路から延びる複数の信号線と、

前記走査線駆動回路から延びる複数の走査線と、

同一の所定の信号線からの表示信号が供給されかつ同一の表示ラインに配列される第1の画素電極、第2の画素電極および第3の画素電極と、を備え、

前記第1の画素電極、前記第2の画素電極および前記第3の画素電極は、異なる走査線からの走査信号により駆動されることを特徴とする画像表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は画像表示装置、特に液晶表示装置の高精細化に寄与する技術に関するものである。

【背景技術】

【0002】

CRTディスプレイにおいて進歩の遅かったディスプレイの高解像度化は、液晶をはじめとする新たな技術の導入とともに飛躍的な進歩を遂げようとしている。つまり、液晶表

10

20

30

40

50

示装置は微細加工を施すことによりC R Tディスプレイに比べて高精細化が比較的容易である。

液晶表示装置として、スイッチング素子としてのT F T (Thin Film Transistor、薄膜トランジスタ)を用いたアクティブマトリックス方式の液晶表示装置が知られている。このアクティブマトリックス方式の液晶表示装置は、走査線と信号線とをマトリックス状に配設し、その交点に薄膜トランジスタが配設されたT F Tアレイ基板と、その基板と所定の間隙を隔てて配置される対向基板との間に液晶材料を封入し、この液晶材料に与える電圧を薄膜トランジスタにより制御して、液晶の電気光学的効果を利用して表示を可能としている。

図27はT F Tアレイ基板の等価回路図を示す。図27に示すように、信号線30と走査線40とがマトリックス状に配設され、信号線30と走査線40とで囲まれた領域が単一の画素を形成する。単一の画素は、画素電極20と、これに接続したT F T 10を備えている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開平6-138851号公報

【特許文献2】特開平6-148680号公報

【特許文献3】特開平11-2837号公報

【特許文献4】特開平5-265045号公報

【特許文献5】特開平5-188395号公報

【特許文献6】特開平5-303114号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

アクティブマトリックス方式の液晶表示装置の高精細化に伴う画素数の増大につれて以下のような問題が提起されている。すなわち、画素数の増大に伴う信号線および走査線の数量が非常に多くなり、駆動I Cの数も膨大となり、コストの上昇を招いている。また、駆動I Cとアレイ基板における接続のための電極ピッチが狭くなり、接続が困難になるとともに接続作業の歩留まりを低下させる。

この問題を同時に解決するために、隣接する2つの画素に1本の信号線から時分割で電位を与えることで、必要な駆動I Cの数を減らし、接続端子のピッチを大きくする提案がこれまで数多くなされている。例えば、特許文献1乃至特許文献6である。この中で特許文献1には、画素マトリックスの外側にマルチプレクサ回路を設け、1つのデータ・ドライバ出力から複数の信号線に電位を供給する構造が示されている。

また、特許文献2では、N行、M列の画素からなるマトリクスパネルにおいて各列行毎の隣接するT F T薄膜のドレイン電極をt個単位(但し、tは任意)でまとめて共通に接続して1本の信号線で形成するとともに共通に接続された各々のT F Tを独立に制御できるように各行毎につきt本の信号線を形成する提案がなされている。

さらに特許文献3では、画素1行に対して2本ずつ割り当てられた走査線と画素2列に対して1本ずつ割り当てられた信号線と、共通電極に接続する共通線を持ち、2本の走査線のうちの一方の走査線により選択されるT F Tを介して駆動される第1群の画素と、他方の走査線により選択されるT F Tを介して駆動される第2群の画素を有する画素アレイ配置を行い、さらに第1群の画素と第2群の画素が共通電極の一部を共有するように構成する提案がなされている。

【0005】

しかし、特許文献1の提案によれば、マルチプレクサ回路に用いるトランジスタが、数 μ sから数十 μ sといった所定の短い時間内に、信号線の容量に電荷を貯めるために巨大なものとなってしまう、製造歩留まりが低下してしまう問題がある。また、特許文献2、特許文献3の提案によれば、巨大なマルチプレクサ回路を必要としないかわりに、ゲート

10

20

30

40

50

・ドライバ出力数および走査線数が倍になってしまう問題がある。

【0006】

これら提案に対して、特許文献4、特許文献5、特許文献6に開示された提案は、以上のような問題を有しない特許文献4に開示された提案の1つを図28に示すが、2つの画素がTFTP1～P3を介して1本の信号線に接続された構造をなしている。したがって、信号線の本数は従来の半分で足りるから、データ・ドライバの出力数も従来の半分にすることができる。ところが、現在までこの技術が実用化されたという情報はない。

したがって本発明は、巨大なマルチプレクサの存在あるいは走査線の本数を増大することなく信号線の本数を従来の半分に低減することができる画像表示素子の提供を課題とする。

【課題を解決するための手段】

【0007】

本発明者は図28に示す回路について検討したところ、以下のことを知見した。図28に示す回路は、TFTP1とTFTP2とを直列に接続しているために、所望する電流を得るためにTFTP1およびTFTP2を2倍の大きさにしなければならない。TFTPの大きさが大きくなれば、その分だけ画素の面積が減少するから、画素開口率が小さくなってしまふ。また、図28に示す回路において、画素電極に必要な蓄積容量を、画素電極と2本の走査線のいずれとの間に設ける場合も、画素電極に信号線から電位が供給された直後に走査線電位が選択電位から非選択電位に大きく変動するため、画素電位が大きく変動してしまい、画素電位を精度良く制御できない。これは、画質上大きな問題となる。以上の問題点から、特許文献4等を開示された提案がこれまで実用化されなかったものと推察される。

本発明は以上の知見に基づきなされたものであって、表示信号を供給するための複数の信号線と、走査信号を供給するための複数の走査線と、所定の信号線から表示信号が供給される第1の画素電極および第2の画素電極と、前記所定の信号線と前記第1の画素電極との間に配設され、かつ前記表示信号の供給を制御するゲート電極を備えた第1のスイッチング素子と、前記第1のスイッチング素子の前記ゲート電極と所定の走査線との間に配設される第2のスイッチング素子と、前記所定の信号線に接続され、かつ前記第2の画素電極への前記表示信号の供給を制御する第3のスイッチング素子と、を備えることを特徴とする画像表示素子である。

本発明の画像表示素子は、第1の画素電極および第2の画素電極に対して、共通する所定の信号線から表示信号を供給することができる。したがって、M列の画素が存在する場合に、信号線、つまりデータ・ドライバの本数を $M/2$ にすることができる。

また本発明の画像表示素子は、第1の画素電極と所定の信号線との間に配設された第1のスイッチング素子のゲート電極と所定の走査線との間に第2のスイッチング素子を配設する構成を採用した。つまり、第1の画素電極と所定の信号線との間に2つのスイッチング素子を直列に配置することがない。したがって、TFTPに代表されるスイッチング素子を大型化する必要がない。一方、第2の画素電極には第3のスイッチング素子が接続されており、この第3のスイッチング素子がオンになったときに信号線からの表示信号を第2の画素電極に供給することができる。

なお、ここでは第1の画素電極および第2の画素電極と2つの画素電極について述べた。しかし、以上の本発明の趣旨は、3つ以上の画素電極が1本の信号線を共有する形態にも適用することができる。本発明はもちろんこの形態をも包含している。

【0008】

本発明の画像表示素子によれば、前記第1の画素電極および前記第2の画素電極の駆動にかかわらない走査線と、前記第1の画素電極および前記第2の画素電極との間に蓄積容量を形成することができる。したがって、画質の劣化を防ぐことができる。より具体的な形態として、第1の画素電極および第2の画素電極より前段側に位置する所定の走査線と第1の画素電極および第2の画素電極との間に蓄積容量を形成することができる。ここで、前段とは走査方向と逆の方向を、また後段とは走査方向を意味するものとする。

【0009】

また本発明は、表示信号を供給するための信号線と、前記信号線を挟んで配設される第1の画素電極および第2の画素電極と、前記信号線に接続され、かつ前記第1の画素電極への前記表示信号の供給を制御する第1のスイッチング素子と、前記第1のスイッチング素子に接続される第2のスイッチング素子と、前記信号線に接続され、かつ前記第2の画素電極への前記表示信号の供給を制御する第3のスイッチング素子と、前記第2のスイッチング素子および前記第3のスイッチング素子に対して走査信号を供給する第1の走査線と、前記第1のスイッチング素子に対して走査信号を供給する第2の走査線と、を備えたことを特徴とする画像表示素子を提供する。

本発明の画像表示素子は、第1の画素電極および第2の画素電極に対して、この2つの画素電極に共通する信号線から表示信号を供給することができる。したがって、M列の画素が存在する場合に、信号線、つまりデータ・ドライバの数を $M/2$ にすることができる。

また本発明の画像表示素子は、第1の画素電極に、第1のスイッチング素子と第2のスイッチング素子とが接続されており、この2つのスイッチング素子がオンになったときに信号線からの表示信号を第1の画素電極に供給する。ここで、第1のスイッチング素子は信号線に接続され、かつ第2のスイッチング素子は第1のスイッチング素子に接続されるとともに第1の走査線に接続される。つまり、第1の画素電極と信号線との間に2つのスイッチング素子を直列に配置する形態をとる必要がない。より直接的な表現をすれば、本発明の画像表示素子は、第1のスイッチング素子は第1の画素電極と信号線とを直接接続している。したがって、TFTに代表されるスイッチング素子を大型化する必要がない。一方、第2の画素電極には第3のスイッチング素子が接続されており、この第3のスイッチング素子がオンになったときに信号線からの表示信号を第2の画素電極に供給することができる。

【0010】

本発明の画像表示素子において、第1の走査線を第1の画素電極および第2の画素電極より後段側に配設し、第2の走査線を第1の走査線より後段側に配設することができる。そうすると、第1の画素電極および第2の画素電極は、自身より後段側に位置する走査線により駆動されることになる。そしてこの場合には、第1の画素電極および第2の画素電極より前段側に位置する走査線を第3の走査線とすると、第1の画素電極および第2の画素電極と第3の走査線との間に蓄積容量を形成することができる。第3の走査線は、第1の画素電極および第2の画素電極の動作には直接かかわらないから、第1の画素電極および第2の画素電極と第3の走査線との間に蓄積容量を形成しても、画質劣化の原因とはならない。

もっとも本発明の画像表示素子によれば、第1の走査線を第1の画素電極および第2の画素電極の前段側に配設し、第2の走査線を第1の画素電極および第2の画素電極の後段側に配設することもできる。この場合でも、第1の画素電極と信号線との間に2つのスイッチング素子を直列に配置する形態をとる必要がない、という本発明の利益を享受することができる。

さらに本発明の画像表示素子は、第3のスイッチング素子に接続され、かつ第2の走査線から走査信号が供給される第4のスイッチング素子を備えることができる。第1の画素電極および第2の画素電極に各々接続されるスイッチング素子の数を等しくすることにより、各画素間の電気的な特性の均一性を向上することができる。

【0011】

また本発明は、表示信号を供給する複数の信号線と走査信号を供給する複数の走査線とがマトリックス状に配置された画像表示素子であって、 n (n は正の整数) 番目の走査線と $n+1$ 番目の走査線との間に配設され、かつ所定の信号線からの表示信号が供給される第1の画素電極および第2の画素電極と、前記 $n+1$ 番目の走査線および $n+m$ (m は0, 1を除く整数) 番目の走査線がともに選択されている際に前記第1の画素電極に走査信号の通過を許容する第1のスイッチング機構と、前記 $n+1$ 番目の走査線が選択されている際に前記第2の画素電極に走査信号の通過を許容する第2のスイッチング機構と、を備

えたことを特徴とする画像表示素子を提供する。

本発明の画像表示素子は、第1の画素電極および第2の画素電極が、所定の信号線を共有して、その信号線から表示信号が供給される。また本発明の画像表示素子は、第1の画素電極に対して $n+1$ 番目の走査線および $n+m$ (m は0, 1を除く整数) 番目の走査線がともに選択されている際に走査信号が供給され、かつ第2の画素電極に対して $n+1$ 番目の走査線が選択されている際に走査信号が供給される。したがって、 m を選択することにより、第1の画素電極および第2の画素電極の駆動に関与しない前段の走査線との間に蓄積容量を形成することができる。

本発明の画像表示素子において、第1のスイッチング機構は、所定の信号線に接続され、かつ $n+1$ 番目の走査線から供給される走査信号により駆動される第1のスイッチング素子と、第1のスイッチング素子に接続され、かつ $n+m$ 番目の走査線から供給される走査信号により駆動される第2のスイッチング素子と、から構成することができる。

【0012】

さらに本発明は、表示信号を供給する複数の信号線と、走査信号を供給する複数の走査線と、 n (n は正の整数) 番目の走査線と $n+1$ 番目の走査線との間に配設され、かつ所定の信号線に接続された第1の画素電極と、前記所定の信号線に接続された第2の画素電極と、を備え、前記第1の画素電極は、 $n+1$ 番目の走査線からの第1の走査信号および $n+m$ (m は0, 1を除く整数) 番目の走査線からの第2の走査信号に基づき駆動され、前記第2の画素電極は前記 $n+1$ 番目の走査線からの走査信号により駆動されることを特徴とする画像表示素子を提供する。

【0013】

以上の本発明の画像表示素子を用いた下記の画像表示装置を本発明は提供する。すなわち本発明の画像表示装置は、画素を $M \times N$ (M , N は任意の正の整数) のマトリックス状に配列して画像表示部を形成した画像表示装置であって、表示信号を供給する信号線駆動回路と、走査信号を供給する走査線駆動回路と、前記信号線駆動回路から延びる複数の信号線と、前記走査線駆動回路から延びる複数の走査線と、 n (n は N 以下の正の整数) 番目の走査線と $n+1$ 番目の走査線との間に配設され、かつ所定の信号線を挟んで隣接する第1の画素電極および第2の画素電極と、前記所定の信号線からの表示信号の前記第1の画素電極への供給を制御し、かつ $n+2$ 番目の走査線からの走査信号により駆動される第1のスイッチング素子と、前記 $n+1$ 番目の走査線からの走査信号により駆動され、かつ前記第1のスイッチング素子のオン・オフを制御する第2のスイッチング素子と、前記所定の信号線からの表示信号の前記第2の画素電極への供給を制御し、かつ前記 $n+1$ 番目の走査線からの走査信号により駆動される第3のスイッチング素子と、を備えたことを特徴とする。

本発明の画像表示装置は、 M 個の画素列に対して $M/2$ 本の信号線で回路を構成することができるので、低コスト化、高精細化にとって好ましい。また本発明の画像表示装置は、以上の回路構成を採用しているから、第1の画素電極と所定の信号線との間に2つのスイッチング素子を直列に配置する必要がない。加えて、第1の画素電極と第2の画素電極の駆動は、自身よりも後段側の $n+1$ 番目の走査線および $n+2$ 番目の走査線に基づきなされるから、自身よりも前段の走査線との間に蓄積容量を形成することができる。

本発明の画像表示装置において、 $n+2$ 番目の走査線からの走査信号により駆動され、かつ第3のスイッチング素子のオン・オフを制御する第4のスイッチング素子を備えることができる。そうすれば、第1の画素電極および第2の画素電極に各々接続されるスイッチング素子の数を等しくすることにより、各画素間の電気的な特性の均一性を向上することができる。

【0014】

また本発明は、画素を $M \times N$ (M , N は任意の正の整数) のマトリックス状に配列して画像表示部を形成した画像表示装置であって、表示信号を供給する信号線駆動回路と、走査信号を供給する走査線駆動回路と、前記信号線駆動回路から延びる複数の信号線と、前記走査線駆動回路から延びる複数の走査線と、 n (n は N 以下の正の整数) 番目の走査線

と $n + 1$ 番目の走査線との間に配設され、かつ所定の信号線を挟んで隣接する第 1 の画素電極および第 2 の画素電極と、前記所定の信号線からの表示信号の前記第 1 の画素電極への供給を制御し、かつ $n + 1$ 番目の走査線からの走査信号により駆動される第 1 のスイッチング素子と、 $n + 2$ 番目の走査線からの走査信号により駆動され、かつ前記第 1 のスイッチング素子と前記第 1 の画素電極との間に配設される第 2 のスイッチング素子と、前記所定の信号線からの表示信号の前記第 2 の画素電極への供給を制御し、かつ前記 $n + 1$ 番目の走査線からの走査信号により駆動する第 3 のスイッチング素子と、を備えたことを特徴とする画像表示装置を提供する。

本発明の画像表示装置は、やはり M 個の画素列に対して $M / 2$ 本の信号線で回路を構成することができる、低コスト化、高精細化にとって好ましい。また本発明の画像表示装置は、以上の回路構成を採用しているから、第 1 の画素電極と第 2 の画素電極の駆動は、自身よりも後段側の $n + 1$ 番目の走査線および $n + 2$ 番目の走査線に基づきなされるから、自身よりも前段の走査線、つまり n 番目の走査線との間に蓄積容量を形成することができる。

【0015】

これまで 1 本の信号線を 2 つの画素電極が共有することを前提に本発明を説明してきた。しかし、本発明が 2 つの画素電極を 1 本の信号線を共有する場合に限定されるものではない。少なくとも 2 つの画素電極が 1 本の信号線を共有すると解釈すべきであり、本発明は 3 つ以上の画素電極を 1 本の画素電極で共有することもできる。すなわち本発明は、画素を $M \times N$ (M , N は任意の正の整数) のマトリックス状に配列して画像表示部を形成した画像表示装置であって、表示信号を供給する信号線駆動回路と、走査信号を供給する走査線駆動回路と、前記信号線駆動回路から延びる複数の信号線と、前記走査線駆動回路から延びる複数の走査線と、 n (n は N 以下の正の整数) 番目の走査線と $n + 1$ 番目の走査線との間に配設され、かつ所定の信号線からの表示信号が供給される第 1 の画素電極、第 2 の画素電極および第 3 の画素電極と、前記所定の信号線からの表示信号の前記第 1 の画素電極への供給を制御し、かつ $n + 3$ 番目の走査線からの走査信号により駆動される第 1 のスイッチング素子と、前記 $n + 1$ 番目の走査線からの走査信号により駆動され、かつ前記第 1 のスイッチング素子のオン・オフを制御する第 2 のスイッチング素子と、前記所定の信号線からの表示信号の前記第 2 の画素電極への供給を制御し、かつ前記 $n + 1$ 番目の走査線からの走査信号により駆動する第 3 のスイッチング素子と、前記所定の信号線からの表示信号の前記第 3 の画素電極への供給を制御し、かつ $n + 2$ 番目の走査線からの走査信号により駆動される第 4 のスイッチング素子と、前記 $n + 1$ 番目の走査線からの走査信号により駆動され、かつ前記第 4 のスイッチング素子のオン・オフを制御する第 5 のスイッチング素子と、を備えたことを特徴とする画像表示装置を提供する。

本発明の画像表示装置は、 M 個の画素列に対して $M / 3$ 本の信号線で回路を構成することができるから、低コスト化、高精細化にとって好ましい。また本発明の画像表示装置は、以上の回路構成を採用しているから、第 1 の画素電極と所定の信号線との間、第 3 の画素電極と所定の信号線との間に 2 つのスイッチング素子を直列に配置する必要がない。加えて、第 1 の画素電極～第 3 の画素電極の駆動は、自身よりも後段側の $n + 1$ 番目の走査線～ $n + 3$ 番目の走査線に基づきなされるから、自身よりも前段の走査線との間に蓄積容量を形成することができる。

本発明の画像表示装置において、信号線駆動回路は、所定の信号線に対して、第 1 の画素電極に与えられる電位を持った表示信号、第 2 の画素電極に与えられる電位を持った表示信号および第 3 の画素電極に与えられる電位を持った表示信号を順次供給することができる。つまり、3 つの画素電極に対して所定の信号線から時分割で所定の電位が与えられる。

【0016】

以上で説明した本発明の画像表示装置によれば、各画素電極は異なる走査線により供給される走査信号によって駆動される点に特徴がある。したがって本発明は、画素を $M \times N$ (M , N は任意の正の整数) のマトリックス状に配列して画像表示部を形成した画像表示

装置であって、表示信号を供給する信号線駆動回路と、走査信号を供給する走査線駆動回路と、前記信号線駆動回路から延びる複数の信号線と、前記走査線駆動回路から延びる複数の走査線と、所定の信号線からの表示信号が供給されかつ同一の表示ラインに配列される第1の画素電極、第2の画素電極および第3の画素電極と、を備え、前記第1の画素電極、前記第2の画素電極および前記第3の画素電極は、異なる走査線からの走査信号により駆動されることを特徴とする画像表示装置を提供する。

【0017】

さらに本発明は、画素を $M \times N$ (M , N は任意の正の整数)のマトリックス状に配列して画像表示部を形成した画像表示装置であって、表示信号を供給する信号線駆動回路と、走査信号を供給する走査線駆動回路と、前記信号線駆動回路から延びる複数の信号線と、前記走査線駆動回路から延びる複数の走査線と、 n (n は N 以下の正の整数)番目の走査線と $n+1$ 番目の走査線との間に配設され、かつ所定の信号線を挟んで隣接する第1の画素電極および第2の画素電極と、前記所定の信号線からの表示信号の前記第1の画素電極への供給を制御し、かつ $n+1$ 番目の走査線からの走査信号により駆動される第1のスイッチング素子と、前記 n 番目の走査線からの走査信号により駆動され、かつ前記第1のスイッチング素子のオン・オフを制御する第2のスイッチング素子と、前記所定の信号線からの表示信号の前記第2の画素電極への供給を制御し、かつ前記 n 番目の走査線からの走査信号により駆動する第3のスイッチング素子と、を備えたことを特徴とする画像表示装置を提供する。

本発明の画像表示装置は、 M 個の画素列に対して $M/2$ 本の信号線で回路を構成することができるから、低コスト化、高精細化にとって好ましい。また本発明の画像表示装置は、以上の回路構成を採用しているから、第1の画素電極と所定の信号線との間に2つのスイッチング素子を直列に配置する必要がない。

【0018】

本発明はまた、画素を $M \times N$ (M , N は任意の正の整数)のマトリックス状に配列して画像表示部を形成した画像表示装置であって、表示信号を供給する信号線駆動回路と、走査信号を供給する走査線駆動回路と、前記信号線駆動回路から延びる複数の信号線と、前記走査線駆動回路から延びる複数の走査線と、 n (n は N 以下の正の整数)番目の走査線と $n+1$ 番目の走査線との間に配設され、かつ所定の信号線を挟んで隣接する第1の画素電極および第2の画素電極と、前記所定の信号線からの表示信号の前記第1の画素電極への供給を制御し、かつ $n+2$ 番目の走査線からの走査信号により駆動される第1のスイッチング素子と、前記 $n+1$ 番目の走査線からの走査信号により駆動され、かつ前記第1のスイッチング素子のオン・オフを制御する第2のスイッチング素子と、前記所定の信号線からの表示信号の前記第2の画素電極への供給を制御し、かつ前記 $n+1$ 番目の走査線からの走査信号により駆動する第3のスイッチング素子と、前記 $n+2$ 番目の走査線からの走査信号により駆動され、かつ前記第1のスイッチング素子のオン・オフを制御する第4のスイッチング素子と、前記第3のスイッチング素子に接続され、かつ前記第3のスイッチング素子に与えられた電荷を保持し得る電荷容量と、を備えたことを特徴とする画像表示装置が提供される。

本発明の画像表示装置は、 M 個の画素列に対して $M/2$ 本の信号線で回路を構成することができるから、低コスト化、高精細化にとって好ましい。また本発明の画像表示装置は、以上の回路構成を採用しているから、第1の画素電極と所定の信号線との間に2つのスイッチング素子を直列に配置する必要がない。加えて、第1の画素電極と第2の画素電極の駆動は、自身よりも後段側の $n+1$ 番目の走査線および $n+2$ 番目の走査線に基づきなされるから、自身よりも前段の走査線との間に蓄積容量を形成することができる。さらに、本発明の画像表示装置は、第1の画素電極と第2の画素電極に接続されるスイッチング素子の数を等しくすることができる。したがって、各画素電極間の電極的特性を均一にすることができる。

【0019】

以上では本発明の画像表示装置について、2つの画素電極を対象として説明してきたが

、第1の画素電極部分のみで新規性を有していることは明らかである。したがって、本発明は、表示信号を供給する複数の信号線と、走査信号を供給する複数の走査線と、所定の信号線からの表示信号が供給される画素電極と、前記画素電極に隣接する走査線のいずれか一方の走査線と前記画素電極との間に配設される蓄積容量と、前記画素電極に接続された第1のスイッチング素子と、前記第1のスイッチング素子のオン・オフを制御する第2のスイッチング素子と、を備えたことを特徴とする画像表示装置を提供する。また本発明は、表示信号を供給する信号線と、走査信号を供給する走査線と、所定の信号線からの表示信号が供給される画素電極と、前記画素電極に隣接する走査線のいずれか一方の走査線と前記画素電極との間に配設される蓄積容量と、を備え、前記いずれか一方の走査線を除く少なくとも2つの走査線から供給される走査信号に基づき前記画素電極が駆動されることを特徴とする画像表示装置を提供する。

10

【0020】

本発明は以上説明した画像表示素子の駆動方法を提供する。すなわち本発明画像表示素子の駆動方法は、表示信号を供給する複数の信号線と、走査信号を供給する複数の走査線と、 n (n は任意の正の整数) 番目の走査線と $n+1$ 番目の走査線との間に配設され、かつ所定の信号線に接続された第1の画素電極と、前記 n 番目の走査線と前記 $n+1$ 番目の走査線との間に配設され、かつ前記第1の画素電極と前記所定の信号線を挟んで配設される第2の画素電極と、を備えた画像表示素子の駆動方法であって、前記 $n+1$ 番目の走査線および $n+m$ (m は0, 1を除く整数) 番目の走査線が選択電位となつてから前記 $n+m$ 番目の走査線が非選択電位となるまでの間に、前記第1の画素電極に与えるべき第1の電位を持った第1の表示信号を前記所定の信号線に供給することにより、前記第1の画素電極および前記第2の画素電極に前記第1の電位を付与するステップと、前記 $n+m$ 番目の走査線が非選択電位となった後に、前記第2の画素電極に与えるべき第2の電位を持った第2の表示信号を前記所定の信号線に供給することにより、前記第2の画素電極に前記第2の電位を付与するステップと、を備えたことを特徴とする。

20

【図面の簡単な説明】

【0021】

【図1】本発明による液晶表示装置の構成概略を示す図である。

【図2】第1の実施形態による液晶表示装置のアレイ基板Aの構成を示す図である。

【図3】第1の実施形態による液晶表示装置のアレイ基板Aの動作を示す図である。

30

【図4】第1の実施形態による液晶表示装置のアレイ基板Aの動作を示す図である。

【図5】第1の実施形態による液晶表示装置のアレイ基板Aの動作を示す図である。

【図6】第1の実施形態による液晶表示装置のアレイ基板Aの動作を示す図である。

【図7】第1の実施形態による液晶表示装置の走査信号のタイミングチャートを示す図である。

【図8】第2の実施形態による液晶表示装置のアレイ基板Aの構成を示す図である。

【図9】第3の実施形態による液晶表示装置のアレイ基板Aの構成を示す図である。

【図10】第4の実施形態による液晶表示装置のアレイ基板Aの構成を示す図である。

【図11】第4の実施形態による液晶表示装置のアレイ基板Aの動作を示す図である。

【図12】第4の実施形態による液晶表示装置のアレイ基板Aの動作を示す図である。

40

【図13】第4の実施形態による液晶表示装置のアレイ基板Aの動作を示す図である。

【図14】第4の実施形態による液晶表示装置の走査信号のタイミングチャートを示す図である。

【図15】第5の実施形態による液晶表示装置のアレイ基板Aの構成を示す図である。

【図16】第5の実施形態による液晶表示装置のアレイ基板Aの動作を示す図である。

【図17】第5の実施形態による液晶表示装置のアレイ基板Aの動作を示す図である。

【図18】第5の実施形態による液晶表示装置の走査信号のタイミングチャートを示す図である。

【図19】第6の実施形態による液晶表示装置のアレイ基板Aの構成を示す図である。

【図20】第6の実施形態による液晶表示装置のアレイ基板Aの動作を示す図である。

50

【図 2 1】第 6 の実施形態による液晶表示装置のアレイ基板 A の動作を示す図である。
【図 2 2】第 6 の実施形態による液晶表示装置のアレイ基板 A の動作を示す図である。
【図 2 3】第 6 の実施形態による液晶表示装置のアレイ基板 A の動作を示す図である。
【図 2 4】第 6 の実施形態による液晶表示装置のアレイ基板 A の動作を示す図である。
【図 2 5】第 6 の実施形態による液晶表示装置のアレイ基板 A の動作を示す図である。
【図 2 6】第 6 の実施形態による液晶表示装置の走査信号のタイミングチャートを示す図である。

【図 2 7】従来の TFT アレイ基板の等価回路図である。

【図 2 8】特開平 5-265045 号公報に開示されたアレイ基板の回路構成を示す図である。

10

【発明を実施するための形態】

【0022】

(第 1 の実施形態)

以下本発明の画像表示装置を液晶表示装置に関する実施形態に基づき説明する。

図 1 は本実施の形態にかかる画像表示素子としてのアレイ基板 A の主要構成を示す概略図、図 2 はアレイ基板 A の回路構成を示す図、図 3 ~ 図 6 はアレイ基板 A の動作を示す図、図 7 は走査信号のタイミングチャートである。

本実施の形態にかかる液晶表示装置は、1 つの信号線を挟んで隣接する 2 つの画素が当該信号線を共有することにより、信号線の本数を半減するところに特徴を有している。もちろん、液晶表示装置としては、アレイ基板に対向するカラーフィルタ基板、バックライトユニット等他の要素も備える必要があるが、本発明の特徴部分ではないことからその説明は省略する。

20

【0023】

図 1 に示すように、アレイ基板 A は、信号線 30 を介して表示領域 S 内に配置される画素電極に表示信号を供給、つまり電圧を印加するための信号線駆動回路 SD と、走査線 40 を介して薄膜トランジスタのオン・オフを制御する走査信号を供給する走査線駆動回路 GD を備えている。アレイ基板 A には画素が $M \times N$ (M , N は任意の正の整数) の数だけマトリックス状に配列してある。

図 2 において、信号線 D_m を挟んで隣接する画素電極 A1 および B1 について、第 1 の TFT M1、第 2 の TFT M2 および第 3 の TFT M3 と 3 つの TFT が以下のように配置される。

30

まず、第 1 の TFT M1 は、そのソース電極が信号線 D_m に、またそのドレイン電極が画素電極 A1 に接続する。また、第 1 の TFT M1 のゲート電極は第 2 の TFT M2 のソース電極に接続している。ここで、TFT は 3 端子のスイッチング素子であり、液晶表示装置において、信号線に接続される側をソース電極と、また画素電極に接続される側をドレイン電極と呼ぶ例があるが、逆の例もある。つまり、ゲート電極を除く 2 つの電極のいずれをソース電極と、またドレイン電極と呼ぶかは一義的に定まっていな。そこで以下では、ゲート電極を除く 2 つの電極をともにソース／ドレイン電極と呼ぶことにする。

次に、第 2 の TFT M2 は、そのソース／ドレイン電極が第 1 の TFT M1 のゲート電極に、またそのドレイン電極が走査線 G_{n+2} に接続されている。したがって、第 1 の TFT M1 のゲート電極は第 2 の TFT M2 を介して走査線 G_{n+2} に接続されることになる。また、第 2 の TFT M2 のゲート電極は走査線 G_{n+1} に接続される。したがって、隣接する 2 本の走査線 G_{n+1} と G_{n+2} が同時に選択電位になっている期間にのみ、第 1 の TFT M1 がオンになり信号線 D_m の電位が画素電極 A1 に供給される。このことは、第 2 の TFT M2 が第 1 の TFT M1 のオン・オフを制御することを示唆している。

40

第 3 の TFT M3 は、そのソース／ドレイン電極が信号線 D_m に、またそのドレイン電極が画素電極 B1 に接続されている。また、第 3 の TFT M3 のゲート電極は走査線 G_{n+1} に接続されている。したがって、 G_{n+1} が選択電位になっているときに、第 3 の TFT M3 がオンになり信号線 D_m の電位が画素電極 B1 に供給される。

【0024】

50

以上では第1のTFM1～第3のTFM3からみたアレイ基板Aの回路構成を説明したが、画素電極A1および画素電極B1からみたアレイ基板Aの回路構成を説明する。

画素電極A1および画素電極B1は単一の信号線Dmから表示信号が供給される。つまり、信号線Dmは、画素電極A1および画素電極B1に対して共通の信号線Dmということができる。したがって、画素がM×Nのマトリックス状に配列されているのに対して、信号線DmはM/2本となる。

画素電極A1には第1のTFM1および第2のTFM2が接続されており、第1のTFM1は信号線Dmに接続されるとともに、第2のTFM2に接続される。第2のTFM2のゲート電極は画素電極A1の後段の走査線Gn+1に接続され、また第2のTFM2のドレイン電極は走査線Gn+1の後段の走査線Gn+2に接続されている。ここで、画素電極A1に信号線Dmの電位を供給するためには、第1のTFM1がオンされる必要がある。そして、第1のTFM1のゲート電極は第2のTFM2のソース/ドレイン電極に接続され、かつ第2のTFM2のゲート電極は自己の走査線Gn+1に、またソース/ドレイン電極は後段の走査線Gn+2に接続されているから、第1のTFM1をオンするためには、第2のTFM2がオンされ、かつ走査線Gn+2が選択される必要がある。第2のTFM2がオンされるためには、走査線Gn+1が選択されている必要がある。したがって、第1のTFM1および第2のTFM2は、走査線Gn+1および走査線Gn+2がともに選択されている際に走査信号の通過を許容するスイッチング機構を構成する。かくして、画素電極A1は、走査線Gn+1からの走査信号および走査線Gn+2からの走査信号に基づき駆動され、信号線Dmからの電位を受ける。

画素電極B1には第3のTFM3が接続されており、そのゲート電極は走査線Gn+1に接続されている。したがって、画素電極A2は自己の走査線Gn+1が選択されると信号線Dmから電位を供給される。

以上では画素電極A1および画素電極B1について説明したが、画素電極A2および画素電極B2、画素電極C1および画素電極D1、画素電極C2および画素電極D2、さらに他の画素についても同様の構成をなしている。

【0025】

次に、図3～図6の回路図および図7に示す走査信号のタイミングチャートを参照しつつ、走査線Gn+1～Gn+3の選択、非選択による画素電極A1～画素電極D1の動作について説明する。

図7に示すDm(1)およびDm(2)は、信号線Dmにより供給されるデータ信号の電位であり、データ信号が変化するタイミングを示している。このDm(1)およびDm(2)は、極性、階調の変化を含んでいる。したがって、極性の変化と捉えれば、Dm(1)による動作の場合には画素電極A1および画素電極B1の極性は異なり、画素電極A1および画素電極C1の極性は同じになる。一方、Dm(2)による動作の場合には、画素電極A1および画素電極B1の極性が同じになり、画素電極A1および画素電極C1の極性は異なることになる。

また、図7において、走査線Gn～Gn+3の線図は、走査線Gn～Gn+3の選択、非選択を示している。具体的には、この線図が立ち上がっている部分は当該走査線が選択され、そうでない部分は当該走査線が非選択の状態を示している。

図3および図7に示すように走査線Gn+1と走査線Gn+2の両方が選択されてから走査線Gn+2が非選択電位になるまでの期間(t1)には、第1のTFM1～第3のTFM3がオンされる。なお、図3において走査線Gn+1と走査線Gn+2が選択されていることを、当該線図を太線で示している。図3に示すように画素電極A1、画素電極B1および画素電極D1に、信号線Dmから画素電極A1に与えるべき電位Va1が供給される。ここで画素電極A1の電位Va1が決まる。

【0026】

走査線Gn+2が非選択電位になった後に、信号線Dmから供給される電位は画素電極

B 1 に与えるべき電位 V_{b1} に変わる。

図 7 に示すように、走査線 G_{n+2} が非選択電位になった後の期間 (t_2) も引き続き走査線 G_{n+1} を選択電位にしておくことで、図 4 に示すように画素電極 B 1 には電位 V_{b1} が供給され、画素電極 B 1 の電位が決まる。このように、信号線 D_m の電位が時分割で画素電極 A 1 および画素電極 B 1 に供給される。

走査線 G_{n+1} が非選択電位になった後に、信号線 D_m の電位は画素電極 C 1 に与えるべき電位 V_{c1} に変わる。

【0027】

また、図 7 に示すように、走査線 G_{n+1} が非選択電位になった後の期間 (t_3) に、走査線 G_{n+2} が再び選択電位になるとともに走査線 G_{n+3} が選択電位になると、図 5 に示すように画素電極 C 1、画素電極 D 1 および画素電極 F 1 に電位 V_{c1} が供給される。ここで画素電極 C 1 の電位 V_{c1} が決まる。

走査線 G_{n+3} が非選択電位になった後に、信号線 D_m から供給される電位は画素電極 D 1 に与えるべき電位 V_{d1} に変わる。

図 7 に示すように、走査線 G_{n+3} が非選択電位になった後の期間 (t_4) も引き続き走査線 G_{n+2} を選択電位にしておくことで、図 6 に示すように画素電極 D 1 には電位 V_{d1} が供給され、画素電極 D 1 の電位が決まる。

【0028】

第 1 の実施形態による液晶表示装置は、1 つの信号線、例えば信号線 D_m からこれを挟んで隣接する 2 つの画素電極 A 1 および画素電極 B 1 に駆動電位を供給する構成を採用している。したがって、画素と信号線が一对一で対応していた従来の液晶表示装置に比べて、信号線、つまりデータ・ドライバの数を半減することができる。しかも第 1 の実施形態による液晶表示装置は、画素電極 A 1 に接続される第 1 の TFT M 1 および画素電極 B 1 に接続される第 3 の TFT M 3 は、共通の信号線 D_m に直接接続されている。したがって、例えば図 28 に示す特開平 5-265045 号公報の回路構成のように信号線と画素電極との間に 2 つの TFT を直列に接続したもののようにより、所望の電流を確保するために TFT を大きく設計する必要がない。つまり、第 1 の実施形態によれば、特開平 5-265045 号公報に開示された液晶表示装置に比べてスイッチング素子としての第 1 の TFT M 1 および第 3 の TFT M 3 を小寸法にすることができる。

【0029】

第 1 の実施形態による液晶表示装置は、蓄積容量 C_s を前段の走査線との間に設置している。つまり、図 2 に示すように、画素電極 A 1、B 1、A 2 および B 2 の蓄積容量 C_s は走査線 G_n との間に設けてあり、また画素電極 C 1、D 1、C 2 および D 2 の蓄積容量 C_s は走査線 G_{n+1} との間に設けてある。走査線 G_n は画素電極 A 1、B 1、A 2 および B 2 の駆動に関与せず、また走査線 G_{n+1} は画素電極 C 1、D 1、C 2 および D 2 の駆動に関与しない。ここで、画素電極 A 1、B 1、A 2 および B 2 に対して信号線 D_m 、 D_{m+1} から電位の供給がなされている期間およびその直後には、走査線 G_n の電位が変動することがない。したがって、画素電極 A 1、B 1、A 2 および B 2 における画素電位の変動が避けられるから、画素電位を精度良く制御することができることを意味する。これは、画質上大きな優位点となり、高品質の画像を提供することができる。この蓄積容量 C_s を前段の走査線との間に設置できるという本実施の形態の特徴は、本発明の第 2 の実施形態として示すように、信号線と画素との間に 2 つの TFT を直列に接続した場合であっても享受することができる。

図 28 に示す特開平 5-265045 号公報の回路構成は、2 つの TFT のうちの一方の TFT が前段の走査線に接続されている。したがって、特開平 5-265045 号公報の回路構成では、前段の走査線との間に蓄積容量を配置すると当該画素に信号線から電位の供給がなされている期間に前段の走査線の電位が変動することになるから、当該画素電位に変動が生じてしまう。

画素電位の変動を回避するためには、蓄積容量として走査線の一部を利用する形態ではなく、独立した蓄積容量を形成すればよい。ところが、独立した蓄積容量を形成すれば画

10

20

30

40

50

素の開口率を低下させる要因となるし、アレイ基板作成上のプロセス変更や追加が必要となる場合もある。したがって、第1の実施形態は、開口率の観点および製造プロセスの観点から望ましい形態といえることができる。もっとも本発明において独立した蓄積容量Csの形成を否定するものではない。

【0030】

(第2の実施形態)

以下本発明の第2の実施形態について説明する。

第2の実施形態は、画素電極A11に対する第1のTF TM11および第2のTF TM12の接続の仕方が相違する以外は第1の実施形態による液晶表示装置と同様である。したがって、この相違点を中心に説明する。

図8は第2の実施形態によるアレイ基板Aの回路構成を示している。

信号線Dmを挟んで隣接する画素電極A11およびB11について、第1のTF TM11、第2のTF TM12および第3のTF TM13と3つのTF Tが以下のように配置される。

【0031】

まず、第1のTF TM11は、そのソース／ドレイン電極が信号線Dmに、またそのソース／ドレイン電極が第2のTF TM12のソース／ドレイン電極に接続されている。また、第1のTF TM11のゲート電極は走査線Gn+1に接続されている。

次に、第2のTF TM12は、そのソース／ドレイン電極が第1のTF TM11に、またそのソース／ドレイン電極が画素電極A11に接続されている。また、第2のTF TM12のゲート電極は走査線Gn+2に接続されている。したがって、隣接する2本の走査線Gn+1とGn+2が同時に選択電位になっている期間にのみ、第1のTF TM11および第2のTF TM12がオンになり信号線Dmの電位が画素電極A11に供給される。このことは、画素電極A11へのデータ電位を供給する経路上に第1のTF TM11および第2のTF TM12を設けており、かつ画素電極A11より後段に位置する2つの走査線Gn+1およびGn+2が選択電位となったときに第1のTF TM11のゲート電極と第2のTF TM12のゲート電極とがオンとなることを意味している。そして、第1のTF TM11のゲート電極と第2のTF TM12のゲート電極とがオンになると、信号線Dmからのデータ電位が画素電極A11に供給される。

第3のTF TM13は、そのソース／ドレイン電極が信号線Dmと、またそのソース／ドレイン電極が画素電極B11と接続されている。また、第3のTF TM13のゲート電極は走査線Gn+1に接続されている。したがって、Gn+1が選択電位になっているときに、第3のTF TM13がオンになり信号線Dmの電位が画素電極B11に供給される。この点は第1の実施形態と同様である。

【0032】

第2の実施形態においても、1つの信号線、例えば信号線Dmからこれを挟んで隣接する2つの画素電極A11および画素電極B11に駆動電位を供給する構成を採用している。したがって、画素と信号線が一对一で対応していた従来の液晶表示装置に比べて、信号線、つまりデータ・ドライバの数を半減することができる。

しかも第2の実施形態による液晶表示装置も、蓄積容量Csを前段の走査線との間に設置している。つまり、図8に示すように、画素電極A11、B11の蓄積容量Csは走査線Gnとの間に設けてある。したがって、第2の実施形態の液晶表示装置においても高品質の画像を提供することができる。

【0033】

(第3の実施形態)

以下本発明の第3の実施形態について説明する。第3の実施形態は、画素電極A21、B21…の後段に位置する画素電極C21、D21に対する第1のTF TM21および第2のTF TM22の接続の仕方が相違する以外は第1の実施形態による液晶表示装置と同様である。

第1の実施形態は、第1のTF TM1および第2のTF TM2の接続の仕方を含めた

画素電極 A 1 と同様の構成をなす画素が同列に配列されていた。ところが第 3 の実施形態は、図 9 に示すように、画素電極 A 2 1 と同様の構成をなす画素を画素電極 C 2 1 で示す位置および画素電極 E 2 1 で示す位置に配置する。また、画素電極 B 2 1 と同様の構成をなす画素を画素電極 D 2 1 で示す位置および画素電極 F 2 1 で示す位置に配置する。つまり第 1 の実施形態では同様の構成をなす画素が同一の列に連続的に配置されているのに対して、第 3 の実施形態では同様の構成をなす画素は同一の列および同一の行に断続的に配置されている。

【0034】

第 3 の実施形態においても第 1 の実施形態と同様に、1 つの信号線 D m を挟んで隣接する 2 つの画素電極 A 2 1 および画素電極 B 2 1 に駆動電位を供給する構成を採用している

10

【0035】

第 3 の実施形態は、第 1 の実施形態と同様の効果を奏する他に、以下の 2 つの効果をも奏する。

1 つ目の効果は、画素の開口部以外の占有面積を最小化する画像表示素子の設計が可能になるということである。ここで、画素電極 A 2 1 が存在する画素と画素電極 B 2 1 が存在する画素とを比べると、前者は第 1 の T F T M 2 1 および第 2 の T F T M 2 2 の 2 つの T F T が形成されているから、T F T が 1 つの後者に比べて、混み合った画素となっている。この混み合った画素は、各画素の面積を大きくする要因となる。第 1 の実施形態は、この混み合った画素が同一の列に連続的に配列されているから、その傾向は大きくなる。ところが、第 3 の実施形態のように、混み合った画素とそうでない画素が列方向に順次配列されていれば、混み合った画素の分をそうでない画素が吸収することができる。つまり、画素の開口部以外の占有面積を最小化することができる。

20

他の効果は、液晶表示パネルの均一性が向上するという効果である。画素電極 A 2 1 と画素電極 B 2 1 とはその画素の構成が相違しているため、その電気的な特性が相違する。第 1 の実施形態の画素電極 A 1, B 1 … の配置によれば、電気的な特性が相違する画素列が交互に配列されることになる。したがって、そのような液晶表示パネルに映し出された画像は、電気的な特性の相違が目立つことになる。ところが、第 3 の実施形態のように電気的な特性の異なる画素が格子状に配置されている場合には、映し出された画像は電気的な特性の相違が目立たない。

30

【0036】

(第 4 の実施形態)

以下本発明の第 4 の実施形態について説明する。

第 4 の実施形態は、第 1 ～ 第 3 の実施形態が 2 つの画素が 1 つの信号線 D m を共有していたのに対して、3 つの画素が 1 つの信号線 D m を共有する形態を示している。したがって、第 4 の実施形態は、画素と信号線が一对一で対応していた従来の液晶表示装置に比べて、信号線、つまりデータ・ドライバの数を $1/3$ に減らすことが可能である。

40

【0037】

第 4 の実施形態による液晶表示装置のアレイ基板 A の構成を図 10 に示す。

第 4 の実施形態は、信号線 D m を画素電極 A 3 1 (画素電極 D 3 1、画素電極 G 3 1 …)、画素電極 B 3 1 (画素電極 E 3 1、画素電極 H 3 1 …) および画素電極 C 3 1 (画素電極 F 3 1、画素電極 I 3 1 …) の 3 つの画素が共有する。そして、画素電極 A 3 1 は、走査線 G n + 1 および走査線 G n + 3 の両者が選択電位となったときに、信号線 D m のデータ電位が供給される。画素電極 B 3 1 は、走査線 G n + 1 および走査線 G n + 2 が選択電位となったときに、信号線 D m のデータ電位が供給される。画素電極 C 3 1 は、走査線 G n + 1 が選択電位となったときに、信号線 D m のデータ電位が供給される。

50

以上のような動作を行うために、第4の実施形態ではスイッチング素子としての第1のTF TM 3 1～第5のTF T M 3 5の配置を以下説明するように設定している。

【0038】

まず、第1のTF TM 3 1は、そのソース／ドレイン電極が画素電極A 3 1に、またそのソース／ドレイン電極が信号線D mに接続する。また、第1のTF TM 3 1のゲート電極は第2のTF TM 3 2のソース／ドレイン電極に接続している。

次に、第2のTF TM 3 2は、そのソース／ドレイン電極が走査線G n + 3に、またそのソース／ドレイン電極が第1のTF TM 3 1のゲート電極に接続されている。したがって、第1のTF TM 3 1のゲート電極は第2のTF TM 3 2を介して走査線G n + 3に接続されることになる。また、第2のTF TM 3 2のゲート電極は走査線G n + 1に接続される。したがって、2本の走査線G n + 1とG n + 3が同時に選択電位になっている期間にのみ、第1のTF TM 3 1がオンになり信号線D mの電位が画素電極A 3 1に供給される。このことは、第2のTF TM 3 2が第1のTF T M 3 1のオン・オフを制御するスイッチング素子であることを示している。

第3のTF TM 3 3は、そのソース／ドレイン電極が信号線D mに、そのソース／ドレイン電極が画素電極C 3 1に接続されている。また、第3のTF TM 3 3のゲート電極は走査線G n + 1に接続している。

第4のTF TM 3 4は、そのソース／ドレイン電極が信号線D mに、そのソース／ドレイン電極が画素電極B 3 1に接続されている。また、第4のTF TM 3 4のゲート電極は第5のTF TM 3 5のソース／ドレイン電極に接続している。

次に、第5のTF TM 3 5は、そのソース／ドレイン電極が走査線G n + 2に、またそのソース／ドレイン電極が第4のTF TM 3 4のゲート電極に接続されている。したがって、第4のTF TM 3 4のゲート電極は第5のTF TM 3 5を介して走査線G n + 2に接続されることになる。また、第5のTF TM 3 5のゲート電極は走査線G n + 1に接続される。したがって、2本の走査線G n + 1とG n + 2が同時に選択電位になっている期間にのみ、第4のTF TM 3 4がオンになり信号線D mの電位が画素電極B 3 1に供給される。このことは、第5のTF TM 3 5が第4のTF T M 3 4のオン・オフを制御するスイッチング素子であることを示している。

【0039】

以上では第1のTF TM 3 1～第5のTF T M 3 5からみたアレイ基板Aの回路構成であるが、画素電極A 3 1～画素電極C 3 1からみたアレイ基板Aの回路構成を説明する。

画素電極A 3 1～画素電極C 3 1は単一の信号線D mから表示信号が供給される。したがって、信号線D mは、画素電極A 3 1～画素電極C 3 1に対して共通の信号線D mといえることができる。

画素電極A 3 1には第1のTF TM 3 1および第2のTF T M 3 2が接続されており、第1のTF T M 3 1は信号線D mに接続されるとともに、第2のTF TM 3 2に接続される。第2のTF TM 3 2のゲート電極は自己の走査線G n + 1に接続され、また第2のTF TM 3 2のソース／ドレイン電極は後段の走査線G n + 3に接続されている。ここで、画素電極A 3 1に信号線D mの電位を供給するためには、第1のTF TM 3 1がオンされる必要がある。そして、第1のTF TM 3 1のゲート電極は第2のTF TM 3 2のソース／ドレイン電極に接続され、かつ第2のTF TM 3 2のゲート電極は画素電極A 3 1および画素電極B 3 1よりも後段に位置する走査線G n + 1に、またソース／ドレイン電極は走査線G n + 1よりも後段の走査線G n + 3に接続されているから、第1のTF TM 3 1をオンするためには、第2のTF TM 3 2がオンされ、かつ走査線G n + 3が選択される必要がある。第2のTF TM 3 2がオンされるためには、走査線G n + 1が選択電位となる必要がある。かくして、画素電極A 3 1は、走査線G n + 1からの走査信号および走査線G n + 3からの走査信号に基づき駆動され、信号線D mからの電位を受ける。

【0040】

画素電極B 3 1には第4のTF TM 3 4および第5のTF T M 3 5が接続されており

、第4のTF T M 3 4は信号線D mに接続されるとともに、第5のTF T M 3 5に接続される。第5のTF T M 3 5のゲート電極は走査線G n + 1に接続され、また第5のTF T M 3 5のソース／ドレイン電極は走査線G n + 2に接続されている。ここで、画素電極B 3 1に信号線D mの電位を供給するためには、第4のTF T M 3 4がオンされる必要がある。そして、第4のTF T M 3 4のゲート電極は第5のTF T M 3 5のソース／ドレイン電極に接続され、かつ第5のTF T M 3 5のゲート電極は走査線G n + 1に、またソース／ドレイン電極は走査線G n + 2に接続されているから、第4のTF T M 3 4をオンするためには、第5のTF T M 3 5がオンされ、かつ走査線G n + 2が選択される必要がある。第5のTF T M 3 5がオンされるためには、走査線G n + 1が選択電位となる必要がある。かくして、画素電極B 3 1は、自身より後段に位置する走査線G n + 1および後段の走査線G n + 2が選択電位となったときにのみ信号線D mからの電位が供給される。 10

画素電極C 3 1には第3のTF T M 3 3が接続されており、そのゲート電極は走査線G n + 1に接続されている。したがって、画素電極C 3 1は走査線G n + 1が選択されると信号線D mから電位が供給される。

以上では画素電極A 3 1～画素電極C 3 1について説明したが、画素電極D 3 1～画素電極F 3 1および画素電極G 3 1～画素電極I 3 1、さらに他の画素についても同様の構成をなしている。

【0041】

次に、図11～図13の回路図および図14に示す走査信号のタイミングチャートを参照しつつ、走査線G n + 1～G n + 3の選択、非選択による画素電極A 3 1～画素電極C 3 1の動作について説明する。なお、図11～図13および図14の記載様式は、第1の実施形態で説明した図3～図6および図7と同様である。 20

図11および図14に示すように走査線G n + 1と走査線G n + 3の両方が選択されてから走査線G n + 3が非選択電位になるまでの期間（t 1）には、第1のTF T M 3 1～第3のTF T M 3 3がオンされる。したがって、図11に示すように画素電極A 3 1、画素電極C 3 1および画素電極I 3 1に、信号線D mから画素電極A 3 1に与えるべき電位V a 1が供給される。ここで画素電極A 3 1の電位V a 1が決まる。

走査線G n + 3が非選択電位になった後に、信号線D mから供給される電位は画素電極B 3 1に与えるべき電位V b 1に変わる。

図12および図14に示すように、走査線G n + 3が非選択電位になった後に、走査線G n + 1および走査線G n + 2が選択されている期間（t 2）には、第2のTF T M 3 2はオンであり、G n + 3の電位（オフ電位）を第1のTF T M 3 1のゲート電極に供給することで第1のTF T M 3 1がオフになる。また第3のTF T M 3 3～第5のTF T M 3 5はオンされる。したがって、画素電極B 3 1、画素電極C 3 1および画素電極F 3 1に電位V b 1が与えられる。このとき、画素電極B 3 1の電位が決まる。 30

【0042】

次に、走査線G n + 2が非選択電位になった後に、信号線D mから供給される電位は画素電極C 3 1に与えるべき電位V c 1に変わる。

図13および図14に示すように、走査線G n + 2が非選択電位となり、走査線G n + 1のみが選択電位となり、さらに走査線G n + 1が非選択電位となるまでの期間（t 3）に、第3のTF T M 3 3を通じて画素電極C 3 1に信号線D mの電位が与えられ、その電位が決まる。 40

次に、走査線G n + 1が非選択電位となった後にも信号線D mからは画素電極D 3 1に与えるべき電位V d 1に変わり、以上と同様にして、画素電極D 3 1～画素電極F 3 1の電位が時分割で決まる。

【0043】

第4の実施形態による液晶表示装置は、1つの信号線、例えば信号線D mから3つの画素電極A 3 1～C 3 1にデータ電位を供給する構成を採用している。したがって、画素と信号線が一对一で対応していた従来の液晶表示装置に比べて、信号線、つまりデータ・ドライバの数を1／3に減ずることができる。 50

また、画素電極 A 3 1 に接続される第 1 の T F T M 3 1、画素電極 B 3 1 に接続される第 4 の T F T M 3 4 および画素電極 C 3 1 に接続される第 3 の T F T M 3 3 は、共通の信号線 D m に直接接続されているから、第 1 の実施形態と同様に高開口率の液晶表示パネル実現に寄与する。さらに、第 4 の実施形態においても蓄積容量 C s を前段の走査線との間に設置しているから、画素電位を精度良く制御することができ、ひいては高品質の画像を提供することができる。

【0044】

(第 5 の実施形態)

以下本発明の第 5 の実施形態について説明する。

第 5 の実施形態は、第 1 ～第 4 の実施形態が走査線を利用して蓄積容量 C s を形成していたのに対して、独立した容量電極を形成する場合に適した回路構成を提供するものである。

10

第 5 の実施形態による液晶表示装置のアレイ基板 A の構成を図 1 5 に示す。

第 5 の実施形態は、画素電極 A 4 1 (画素電極 C 4 1 …)、画素電極 B 4 1 (画素電極 D 4 1 …) の 2 つの画素が信号線 D m を共有する。そして、画素電極 A 4 1 は、走査線 G n + 1 および走査線 G n + 2 の両者が選択電位となったときに、信号線 D m のデータ電位が供給される。画素電極 B 4 1 は、走査線 G n + 1 が選択電位となったときに、信号線 D m のデータ電位が供給される。

以上の動作を行うために、第 5 の実施形態ではスイッチング素子としての第 1 の T F T M 4 1 ～第 3 の T F T M 4 3 の配置を以下説明するように設定している。

20

まず、第 1 の T F T M 4 1 は、そのソース／ドレイン電極が画素電極 A 4 1 に、またそのソース／ドレイン電極が信号線 D m に接続する。また、第 1 の T F T M 4 1 のゲート電極は第 2 の T F T M 4 2 のソース／ドレイン電極に接続している。

次に、第 2 の T F T M 4 2 は、そのソース／ドレイン電極が走査線 G n + 2 に、またそのソース／ドレイン電極が第 1 の T F T M 4 1 のゲート電極に接続されている。したがって、第 1 の T F T M 4 1 のゲート電極は第 2 の T F T M 4 2 を介して走査線 G n + 2 に接続されることになる。また、第 2 の T F T M 4 2 のゲート電極は走査線 G n + 1 に接続される。したがって、2 本の走査線 G n + 1 および走査線 G n + 2 とが同時に選択電位になっている期間にのみ、第 1 の T F T M 4 1 がオンになり信号線 D m の電位が画素電極 A 4 1 に供給される。このことは、第 1 の T F T M 4 1 が第 2 の T F T M 4 2 のオン・オフに連動してオン・オフされるスイッチング素子であることを示している。

30

第 3 の T F T M 4 3 は、そのソース／ドレイン電極が信号線 D m に、またそのソース／ドレイン電極が画素電極 B 4 1 に接続されている。また、第 3 の T F T M 4 3 のゲート電極は走査線 G n + 1 に接続されている。したがって、走査線 G n + 1 が選択電位になっているときに、第 3 の T F T M 4 3 がオンになり信号線 D m の電位が画素電極 B 4 1 に供給される。

【0045】

以上では第 1 の T F T M 4 1 ～第 3 の T F T M 4 3 からみたアレイ基板 A の回路構成を説明したが、画素電極 A 4 1 および画素電極 B 4 1 からみたアレイ基板 A の回路構成を説明する。なお、蓄積容量の記載は省略している。

40

画素電極 A 4 1 および画素電極 B 4 1 は単一の信号線 D m から表示信号が供給される。したがって、信号線 D m は、画素電極 A 4 1 および画素電極 B 4 1 に対して共通の信号線 D m といえることができる。

画素電極 A 4 1 には第 1 の T F T M 4 1 および第 2 の T F T M 4 2 が接続されており、第 1 の T F T M 4 1 は信号線 D m に接続されるとともに、第 2 の T F T M 4 2 に接続される。第 2 の T F T M 4 2 のゲート電極は画素電極 A 4 1 および画素電極 B 4 1 よりも前段の走査線 G n + 1 に接続され、また第 2 の T F T M 4 2 のソース／ドレイン電極は画素電極 A 4 1 および画素電極 B 4 1 よりも後段の走査線 G n + 2 に接続されている。ここで、画素電極 A 4 1 に信号線 D m の電位を供給するためには、第 1 の T F T M 4 1 がオンされる必要がある。そして、第 1 の T F T M 4 1 のゲート電極は第 2 の T F T M 4 2 のソ

50

ース／ドレイン電極に接続され、かつ第2のTFMT42のゲート電極は走査線 G_{n+1} に、またソース／ドレイン電極は走査線 G_{n+2} に接続されているから、第1のTFMT41をオンするためには、第2のTFMT42がオンされ、かつ走査線 G_{n+2} が選択される必要がある。第2のTFMT42がオンされるためには、走査線 G_{n+1} が選択電位となる必要がある。かくして、画素電極A41は、自身より前段の走査線 G_{n+1} および自身より後段の走査線 G_{n+2} が選択電位となったときにのみ信号線Dmからの電位が供給される。

【0046】

画素電極B41には第3のTFMT43が接続されており、そのゲート電極は走査線 G_{n+1} に接続されている。したがって、画素電極A42は走査線 G_{n+1} が選択されると信号線Dmから電位が供給される。

10

以上では画素電極A41および画素電極B41について説明したが、画素電極A42および画素電極B42、画素電極C41および画素電極D41、画素電極C42および画素電極D42、さらに他の画素についても同様の構成をなしている。

次に、図16～図17の回路構成図および図18に示す走査信号のタイミングチャートを参照しつつ、走査線 G_{n+1} 、 G_{n+2} の選択、非選択による画素電極A41および画素電極B41の動作について説明する。なお、図16～図17および図18の記載様式は、第1の実施形態で説明した図3～図6および図7と同様である。

【0047】

図16および図18に示すように走査線 G_{n+1} と走査線 G_{n+2} の両方が選択されてから走査線 G_{n+2} が非選択電位になるまでの期間(t_1)には、第1のTFMT41～第3のTFMT43がオンされる。したがって、図16に示すように画素電極A41、画素電極B41および画素電極D41に、信号線Dmから画素電極A41に与えるべき電位 V_{a1} が供給される。ここで画素電極A41の電位 V_{a1} が決まる。

20

走査線 G_{n+2} が非選択電位になった後に、信号線Dmから供給される電位は画素電極B41に与えるべき電位 V_{b1} に変わる。

次に図18に示すように、走査線 G_{n+2} が非選択電位になった後の期間(t_2)も引き続き走査線 G_{n+1} を選択電位にしておくことで、図17に示すように画素電極B41には電位 V_{b1} が引き続き供給され、画素電極B41の電位が決まる。

【0048】

次に、走査線 G_{n+1} が非選択電位となった後にも信号線Dmからは画素電極C41に与えるべき電位 V_{c1} に変わり、以上と同様にして、画素電極C41～画素電極D41の電位が時分割で決まる。

30

【0049】

第5の実施形態においても、1つの信号線、例えば信号線Dmからこれを挟んで隣接する2つの画素電極A41および画素電極B41に駆動電位を供給する構成を採用している。したがって、画素と信号線が一对一で対応していた従来の液晶表示装置に比べて、信号線、つまりデータ・ドライバの数を半減することができる。

また、第5の実施形態は、走査線を利用した蓄積容量を形成するのではなく、独立した容量電極を形成することができる。独立した蓄積容量は、走査線を利用する蓄積容量の場合にくらべて、ゲート線の時定数が小さく、不安定要素が減るという利点がある。

40

【0050】

(第6の実施形態)

以下本発明の第6の実施形態について説明する。第1の実施形態は、隣接する画素に接続するTFMTの数が異なっていた。例えば画素電極A1には2つのTFMTが、また画素電極B1には1つのTFMTが接続されていた。第6の実施形態は、各画素電極に接続されるTFMTの数を等しくしようというものである。

第6の実施形態による液晶表示装置のアレイ基板Aの構成を図19に示す。

第6の実施形態は、画素電極A51(画素電極C51…)、画素電極B51(画素電極D51…)の2つの画素が信号線Dmを共有する。そして、画素電極A51は、走査線G

50

$n+1$ および走査線 G_{n+2} の両者が選択電位となったときに、信号線 D_m のデータ電位が供給される。画素電極 B_{51} は、走査線 G_{n+2} が非選択となった後に再び走査線 G_{n+2} が選択電位となるまでの間に、信号線 D_m のデータ電位が供給される。

【0051】

以上の動作を行うために、第6の実施形態ではスイッチング素子としての第1の TFTM51～第4の TFTM54 の配置を以下説明するように設定している。

まず、第1の TFTM51 は、そのソース／ドレイン電極が画素電極 A_{51} に、またそのソース／ドレイン電極が信号線 D_m に接続されている。また、第1の TFTM51 のゲート電極は第2の TFTM52 のソース／ドレイン電極に接続されている。

次に、第2の TFTM52 は、そのソース／ドレイン電極が走査線 G_{n+2} に、またそのソース／ドレイン電極が第1の TFTM51 のゲート電極に接続されている。したがって、第1の TFTM51 のゲート電極は第2の TFTM52 を介して走査線 G_{n+2} に接続されることになる。また、第2の TFTM52 のゲート電極は走査線 G_{n+1} に接続される。したがって、2本の走査線 G_{n+1} と G_{n+2} が同時に選択電位になっている期間にのみ、第1の TFTM51 がオンになり信号線 D_m の電位が画素電極 A_{51} に供給される。このことは、第1の TFTM51 が第2の TFTM52 のオン・オフに連動してオン・オフされるスイッチング素子であることを示している。

第3の TFTM53 は、そのソース／ドレイン電極が信号線 D_m に、そのソース／ドレイン電極が画素電極 B_{51} に接続されている。また、第3の TFTM53 のゲート電極は第4の TFTM54 のソース／ドレイン電極に接続されている。さらに、第3の TFTM53 のゲート電極には、電荷容量 C が接続されている。この電荷容量 C は、第3の TFTM53 のゲート電極に与えられた電荷を保持するのに足りる容量を有している。

次に、第4の TFTM54 は、そのソース／ドレイン電極が走査線 G_{n+1} に、またそのソース／ドレイン電極が第3の TFTM53 のゲート電極に接続されている。さらに第4の TFTM54 のゲート電極は、走査線 G_{n+2} に接続されている。したがって、第3の TFTM53 のゲート電極は第4の TFTM54 を介して走査線 G_{n+1} に接続されることになる。

【0052】

以上では第1の TFTM51～第4の TFTM54 からみたアレイ基板 A の回路構成を説明したが、画素電極 A_{51} および画素電極 B_{51} からみたアレイ基板 A の回路構成を説明する。

画素電極 A_{51} および画素電極 B_{51} は単一の信号線 D_m から表示信号が供給される。したがって、信号線 D_m は、画素電極 A_{51} および画素電極 B_{51} に対して共通の信号線 D_m といえることができる。

画素電極 A_{51} には第1の TFTM51 および第2の TFTM52 が接続されており、第1の TFTM51 は信号線 D_m に接続されるとともに、第2の TFTM52 に接続される。第2の TFTM52 のゲート電極は画素電極 A_{51} よりも後段の走査線 G_{n+1} に接続され、また第2の TFTM52 のソース／ドレイン電極は走査線 G_{n+1} よりも後段の走査線 G_{n+2} に接続されている。ここで、画素電極 A_{51} に信号線 D_m の電位を供給するためには、第1の TFTM51 がオンされる必要がある。そして、第1の TFTM51 のゲート電極は第2の TFTM52 のソース／ドレイン電極に接続され、かつ第2の TFTM52 のゲート電極は走査線 G_{n+1} に、またソース／ドレイン電極は走査線 G_{n+2} に接続されているから、第1の TFTM51 をオンするためには、第2の TFTM52 がオンされ、かつ走査線 G_{n+2} が選択される必要がある。第2の TFTM52 がオンされるためには、走査線 G_{n+1} が選択電位となる必要がある。かくして、画素電極 A_{51} は、走査線 G_{n+1} および走査線 G_{n+2} が選択電位となったときにのみ信号線 D_m からの電位が供給される。

画素電極 B_{51} には第3の TFTM53 および第4の TFTM54 が接続されており、第3の TFTM53 は信号線 D_m に接続されるとともに、第4の TFTM54 に接続される。そして、第4の TFTM54 のソース／ドレイン電極は第3の TFTM53 のゲ

ート電極に、またそのソース／ドレイン電極は走査線 G_{n+1} に接続される。また、第4のTFMTM54のゲート電極は走査線 G_{n+2} に接続されている。さらに画素電極A51が選択されているときに第3のTFMTM53のゲートに与えられた電荷を、走査線 G_{n+2} が非選択電位になってからも保持するための十分な電荷容量Cが第3のTFMTM53のゲート電極に接続されている。そのため、後述するように、走査線 G_{n+2} が再び選択電位になり、第3のTFMTM53のゲートの電荷が移動して第3のTFMTM53がオフとなるまでの期間に、信号線Dmの電位が画素電極B51に供給される。

以上では画素電極A51および画素電極B51について説明したが、画素電極A52および画素電極B52、画素電極C51および画素電極D51、画素電極C52および画素電極D52、さらに他の画素についても同様の構成をなしている。

10

【0053】

次に、図20～図25の回路図および図26に示す走査信号のタイミングチャートを参照しつつ、走査線 $G_{n+1} \sim G_{n+3}$ の選択による画素電極A51～画素電極D51の動作について説明する。なお、図20～図25および図26の記載様式は、第1の実施形態で説明した図3～図6および図7と同様である。図20および図26に示すように走査線 G_{n+1} と走査線 G_{n+2} の両方が選択されてから走査線 G_{n+2} が非選択電位になるまでの期間 (t_1) には、第1のTFMTM51～第4のTFMTM54がオンされる。したがって、図20に示すように画素電極A51、画素電極B51に、信号線Dmから画素電極A51に与えるべき電位 V_{a1} が供給される。ここで画素電極A51の電位 V_{a1} が決まる。

20

走査線 G_{n+2} が非選択電位になった後に、信号線Dmから供給される電位は画素電極B51に与えるべき電位 V_{b1} になる。

図21および図26に示すように、走査線 G_{n+2} が非選択電位になった後の期間 (t_2)、電荷容量Cの存在により、第3のTFMTM53は選択電位が維持される。したがって、画素電極B51には電位 V_{b1} が供給される。その後、図22および図26に示すように、期間 t_2 において、走査線 G_{n+1} が非選択電位となった後に走査線 G_{n+2} が再び選択電位となると、第3のTFMTM53は遮断され、画素電極B51の電位 V_{b1} が決定される。

次に、図23および図26に示すように、走査線 G_{n+2} と走査線 G_{n+3} の両方が選択されてから走査線 G_{n+3} が非選択電位になるまでの期間 (t_3) には、第1のTFMTM51～第4のTFMTM54がオンされる。したがって、図23に示すように画素電極C51、画素電極D51に、信号線Dmから画素電極C51に与えるべき電位 V_{c1} が供給される。ここで画素電極C51の電位 V_{c1} が決まる。

30

走査線 G_{n+3} が非選択電位になった後に、信号線Dmから供給される電位は画素電極D51に与えるべき電位 V_{d1} になる。

図24および図26に示すように、走査線 G_{n+3} が非選択電位になった後の期間 (t_4)、電荷容量Cの存在により、画素電極D51の第3のTFMTM53は選択電位が維持される。したがって、画素電極D51には電位 V_{d1} が供給される。その後、図25および図26に示すように、期間 t_4 において、走査線 G_{n+2} が非選択電位となった後に走査線 G_{n+3} が再び選択電位となると、画素電極D51の第3のTFMTM53は遮断され、画素電極D51の電位 V_{d1} が決定される。

40

以後は同様にして画素電極E51、画素電極F51等の電位が順次決定される。

【0054】

第6の実施形態においても、1つの信号線、例えば信号線Dmからこれを挟んで隣接する2つの画素電極A51および画素電極B51に駆動電位を供給する構成を採用している。したがって、画素と信号線が一对一で対応していた従来の液晶表示装置に比べて、信号線、つまりデータ・ドライバの数を半減することができる。

しかも第6の実施形態による液晶表示装置も、蓄積容量 C_s を前段の走査線との間に設置している。つまり、図19に示すように、画素電極A51、B51の蓄積容量 C_s は走査線 G_n との間に設けてある。したがって、第6の実施形態の液晶表示装置においても高

50

品質の画像を提供することができる。

さらに第 6 の実施形態によれば、画素電極 A 5 1 および画素電極 B 5 1 に接続される T F T の数を各々 2 つとし、しかも信号線 D_m と接続する第 1 の T F T M 5 1 および第 3 の T F T M 5 3 のゲート電極が、いずれも走査線に間接的に接続されている。したがって、画素電極 A 5 1 と画素電極 B 5 1 との電気的特性を合わせることができ、また、同時に走査線の信号遅延に起因する表示特性の面内分布の低下を防ぐことができる。

【0055】

以上説明したように、本発明によれば、スイッチング素子の大きさを大きくすることなく信号線、ひいてはデータ・ドライバの数を $1/2$ 以下に低減することができる。また本発明は、蓄積容量として走査線を利用する形態の画像表示素子において、データ・ドライバの数を $1/2$ 以下に低減することができる。したがって、本発明を適用した画像表示装置、典型的には液晶表示装置は、高精細化に対応できる。

【符号の説明】

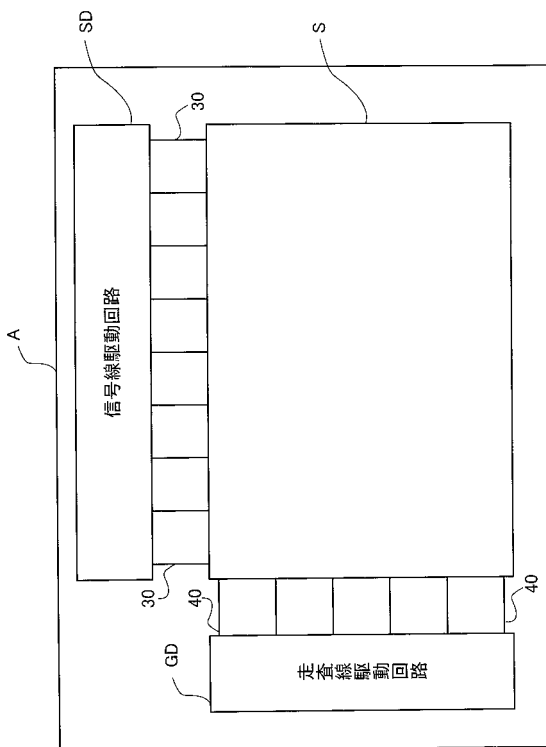
【0056】

A…アレイ基板、S D…信号線駆動回路、G D…走査線駆動回路、3 0…信号線、4 0…走査線、A 1, A 1 1, A 2 1, A 3 1, A 4 1, A 5 1…画素電極、B 1, B 1 1, B 2 1, B 3 1, B 4 1, B 5 1…画素電極、C 1, C 1 1, C 2 1, C 3 1, C 4 1, C 5 1…画素電極、D 1, D 1 1, D 2 1, D 3 1, D 4 1, D 5 1…画素電極、M 1, M 2, M 3, M 1 1, M 1 2, M 1 3, M 2 1, M 2 2, M 2 3, M 3 1, M 3 2, M 3 3, M 3 4, M 3 5, M 4 1, M 4 2, M 4 3, M 5 1, M 5 2, M 5 3, M 5 4…T F T、C s…蓄積容量、C…電荷容量

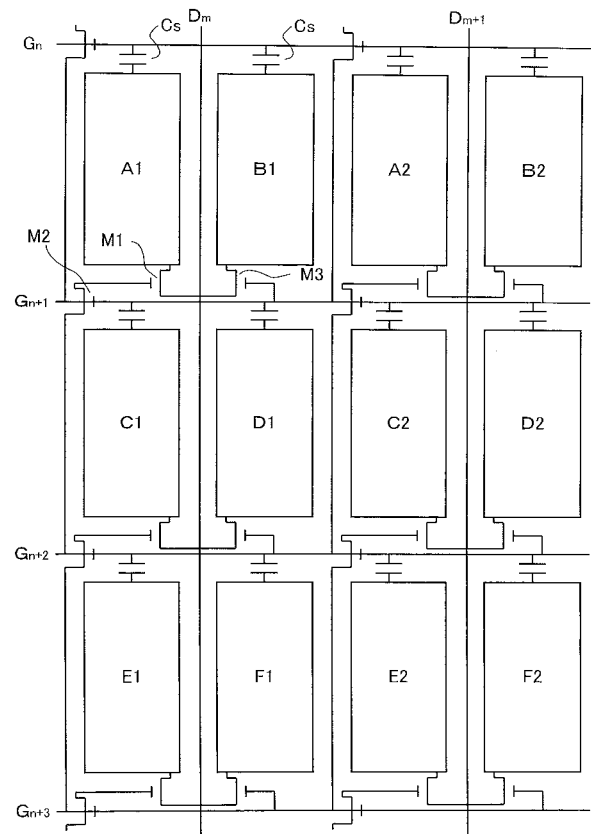
10

20

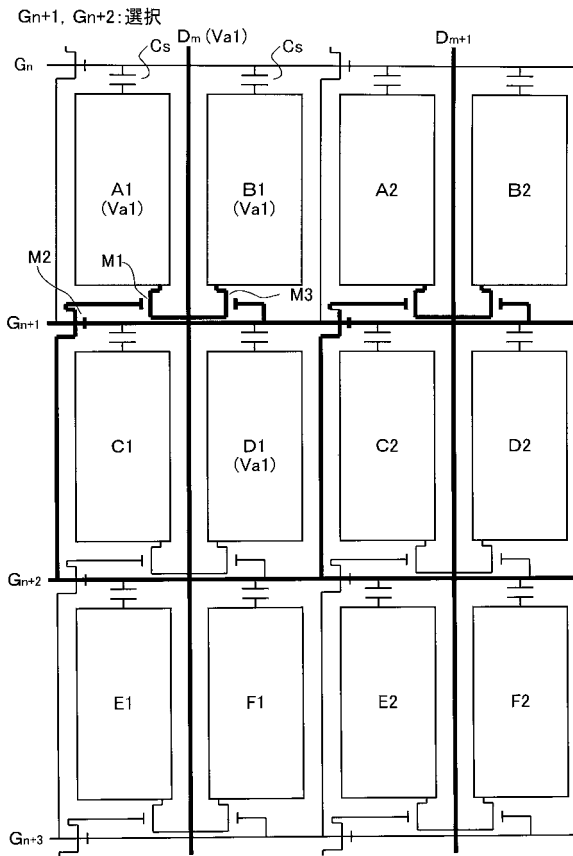
【図 1】



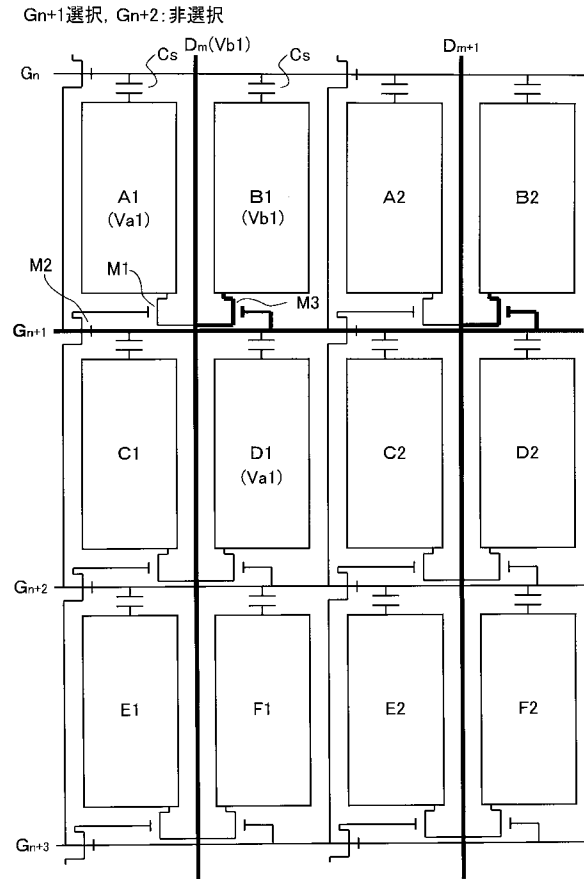
【図 2】



【図 3】

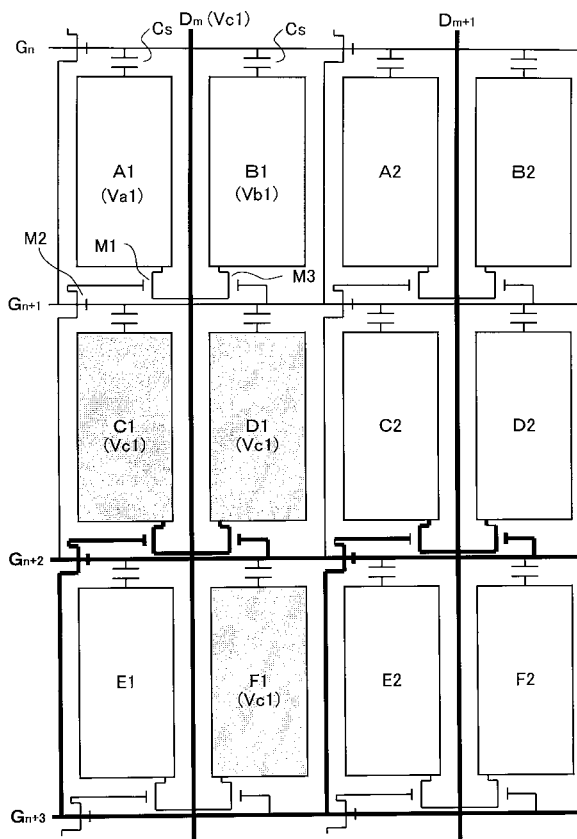


【図 4】



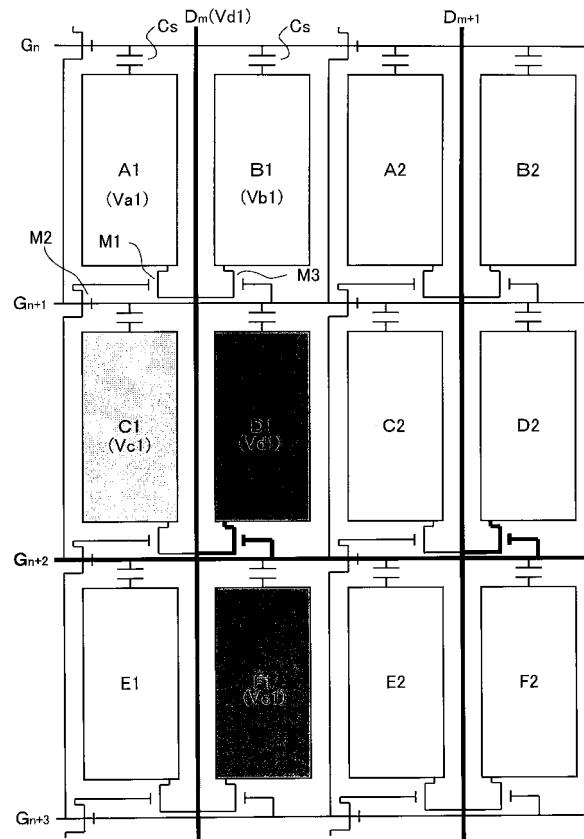
【図 5】

Gn+2, Gn+3: 選択

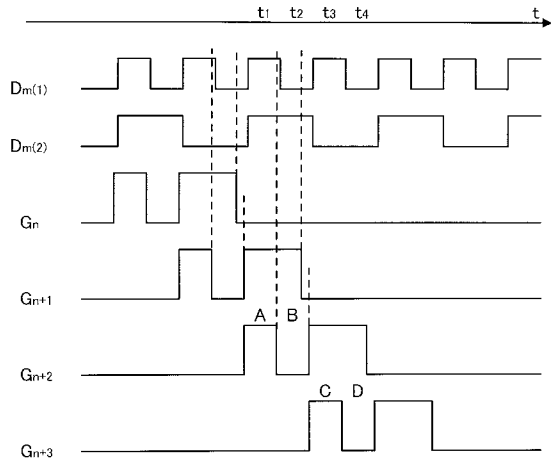


【図 6】

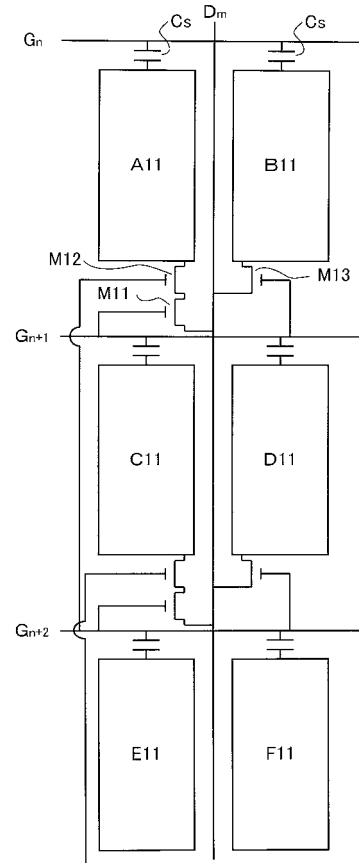
Gn+2 選択, Gn+3: 非選択



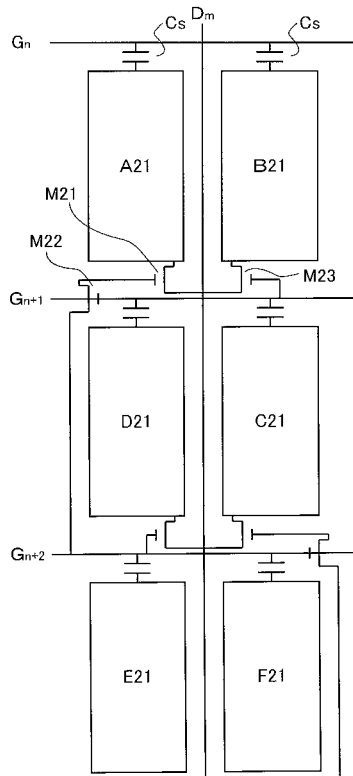
【図 7】



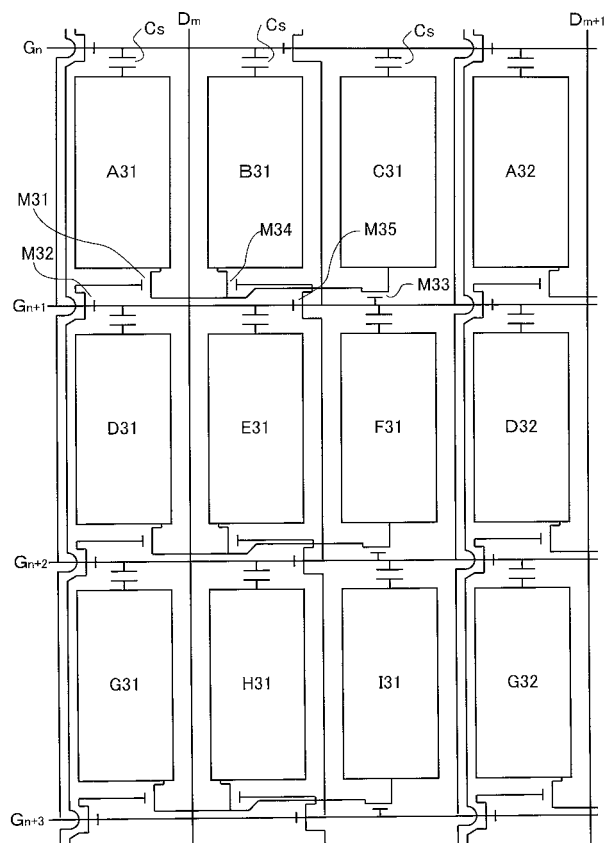
【図 8】



【図 9】

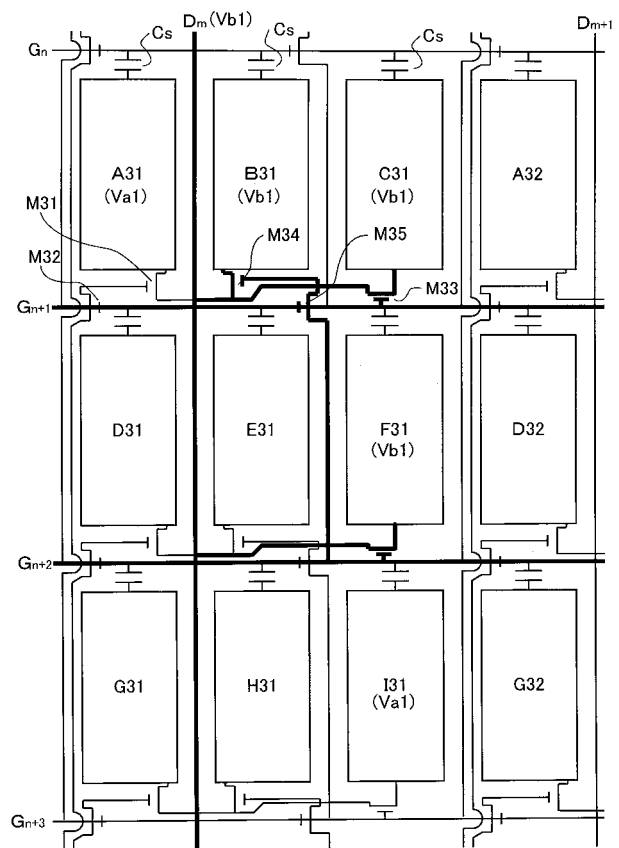


【図 10】



【図 1 2】

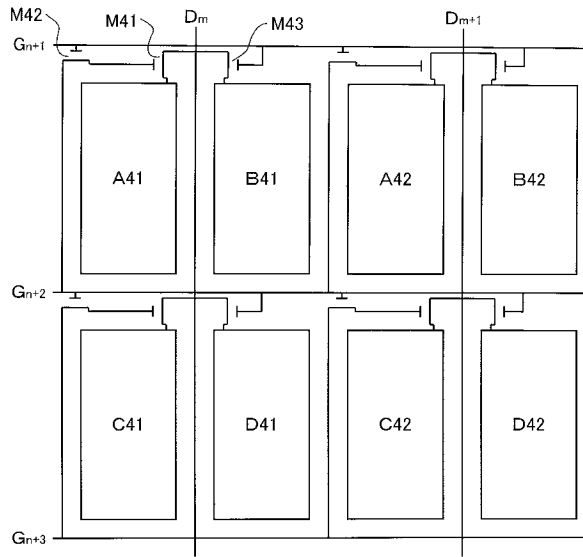
G_{n+1}, G_{n+2} :選択, G_{n+3} :選択



【図 14】

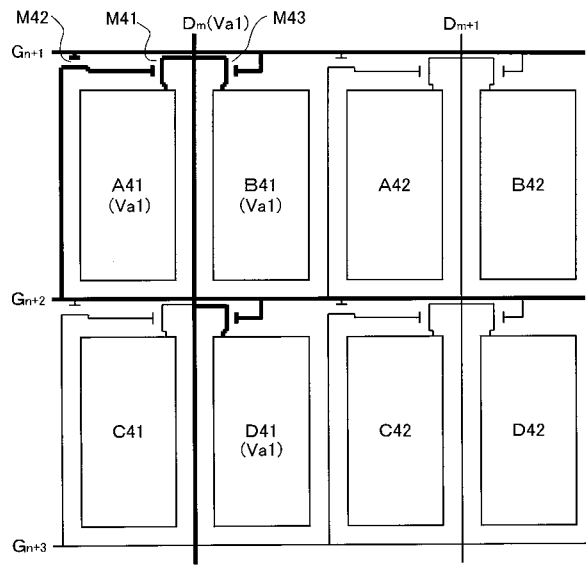
Timing diagram for a 4-bit ripple-carry adder. The diagram shows the propagation of a carry signal G_n through four full adders (G_{n+1} , G_{n+2} , G_{n+3} , G_{n+4}) over time steps t_1 to t_6 . The carry signal G_n is active from t_1 to t_3 . The carry signal G_{n+1} is active from t_1 to t_4 . The carry signal G_{n+2} is active from t_2 to t_5 . The carry signal G_{n+3} is active from t_3 to t_6 . The carry signal G_{n+4} is active from t_4 to t_6 . The diagram is labeled with A, B, C, D, E, and F at various points in time.

【図 15】



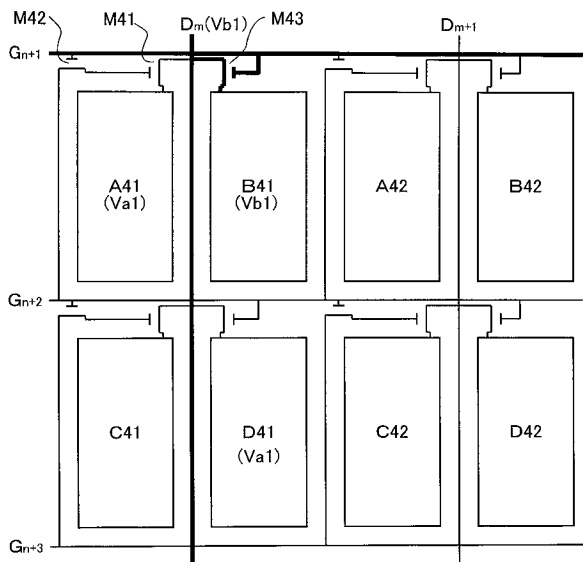
【図 16】

Gn+1選択, Gn+2:選択

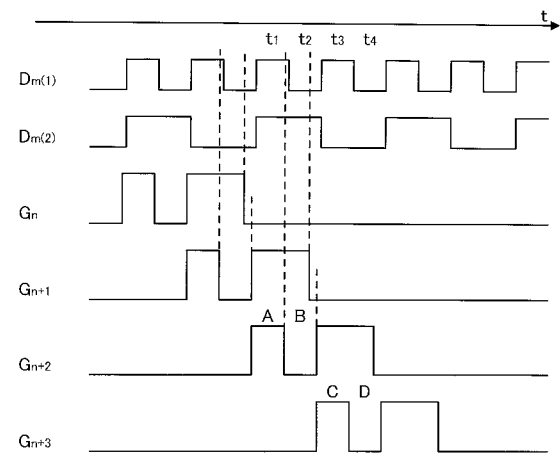


【図 17】

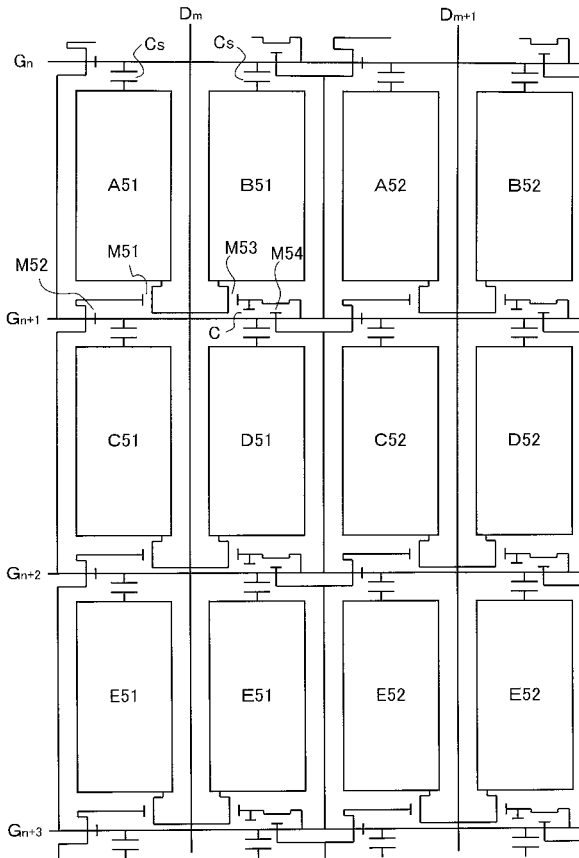
Gn+1選択, Gn+2:非選択



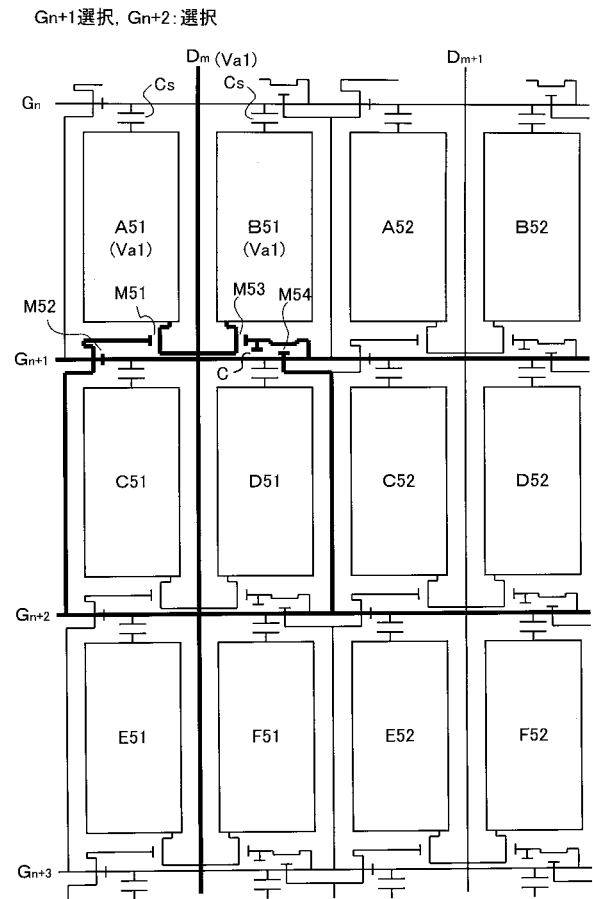
【図 18】



【図 19】

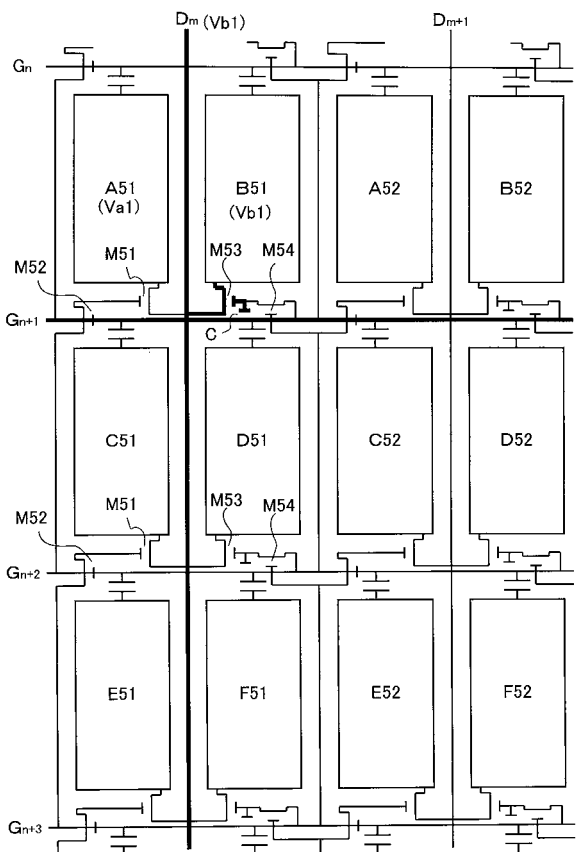


【図 20】



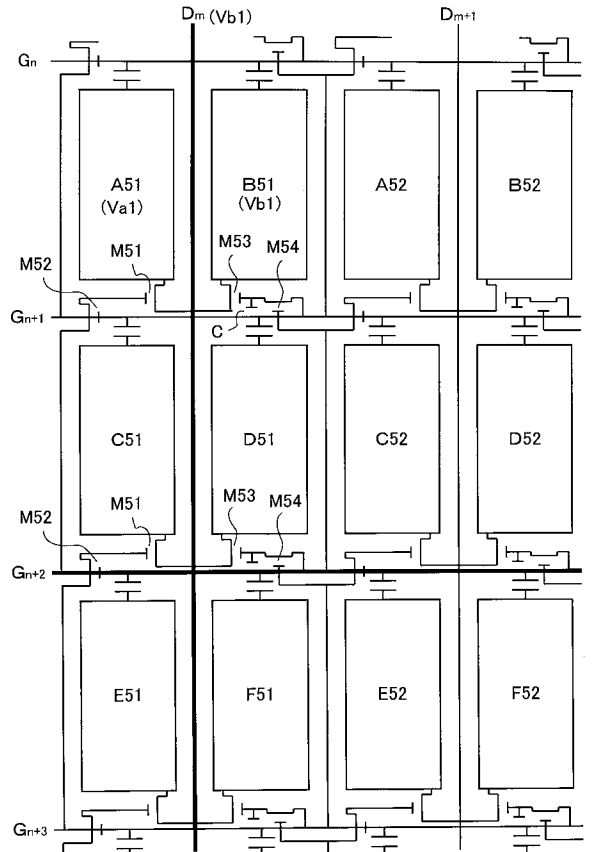
【図 21】

Gn+1:選択, Gn+2:非選択



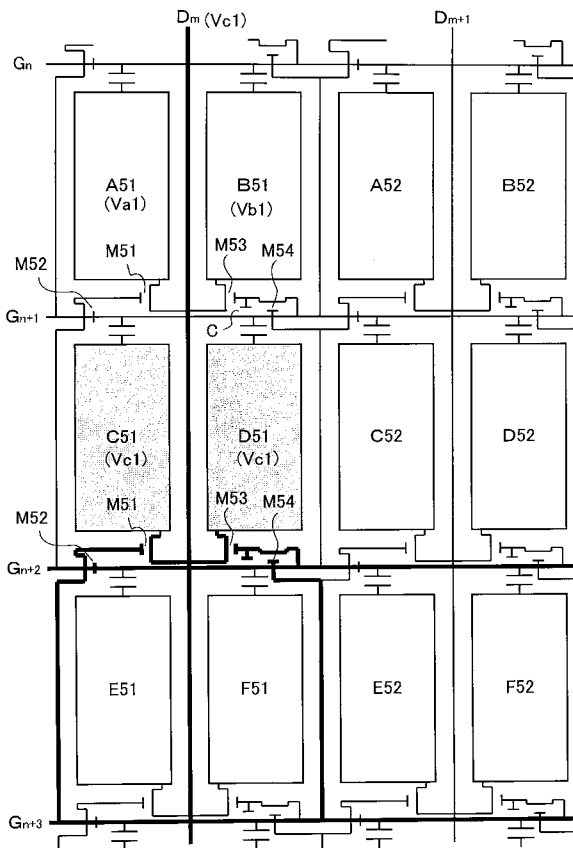
【図 22】

Gn+1:非選択, Gn+2:選択



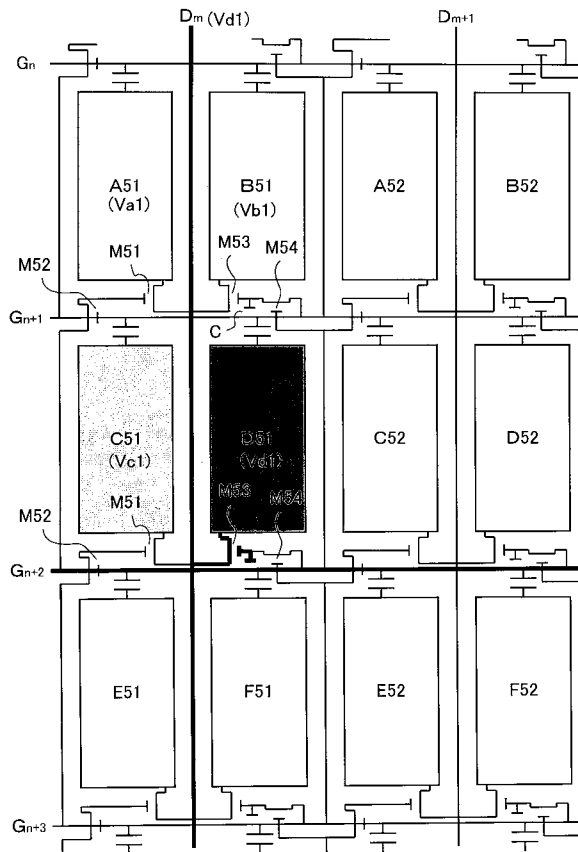
【図 2 3】

Gn+2:選択, Gn+3:選択



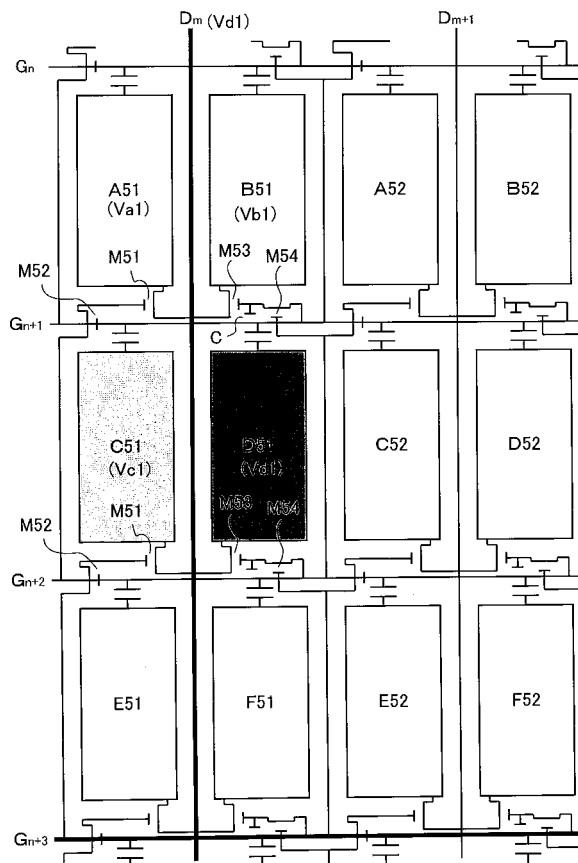
【図 2 4】

Gn+2:選択, Gn+3:非選択

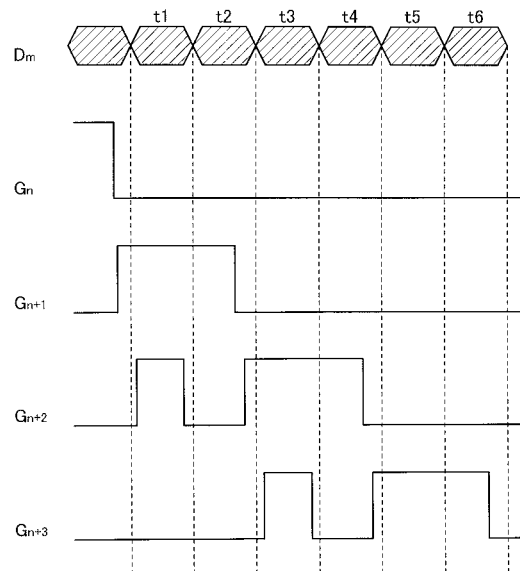


【図 2 5】

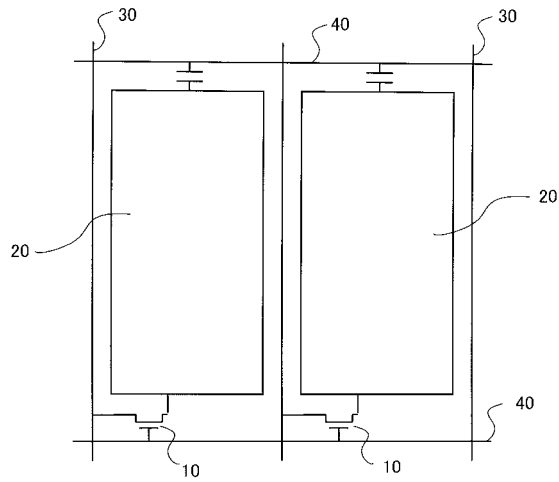
Gn+2:非選択, Gn+3:選択



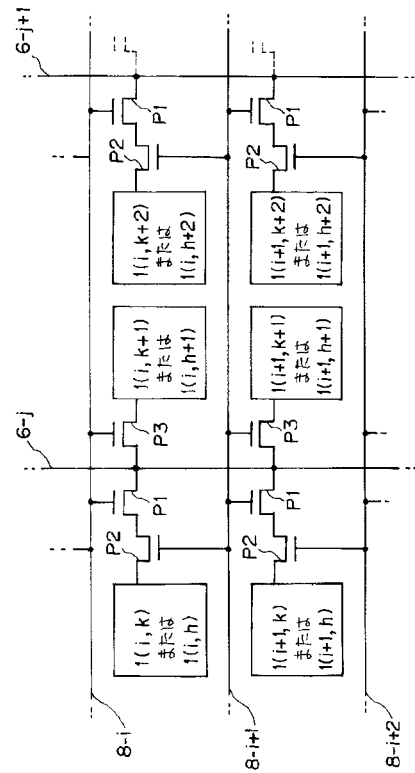
【図 2 6】



【図 27】



【図 28】



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 2 3 U
	G 0 9 G 3/20	6 2 2 C
	G 0 9 G 3/20	6 2 2 D
	G 0 9 G 3/20	6 2 4 B
	G 0 9 G 3/20	6 2 1 M
	G 0 9 G 3/20	6 8 0 G

(72)発明者 カイ・シュロイペン

神奈川県大和市下鶴間 1 6 2 3 番地 1 4 日本アイ・ビー・エム株式会社 大和事業所内

F ターム (参考) 2H092 GA59 JA24 JB22 JB31 JB42 JB64 NA27 NA29 PA06

2H193 ZA06 ZC01 ZC24 ZC35 ZD23 ZP03

5C006 AC24 BB16 BC23 FA42 FA43

5C080 AA10 BB05 DD07 DD22 DD23 DD27 FF09 JJ02 JJ04 JJ06

专利名称(译)	画像表示装置		
公开(公告)号	JP2010224555A	公开(公告)日	2010-10-07
申请号	JP2010107337	申请日	2010-05-07
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股份有限公司		
[标]发明人	古立学 カイシュロイベン		
发明人	古立 学 カイ・シュロイベン		
IPC分类号	G09G3/36 G02F1/1368 G02F1/133 G09G3/20		
FI分类号	G09G3/36 G02F1/1368 G02F1/133.550 G09G3/20.623.C G09G3/20.623.D G09G3/20.623.U G09G3/20.622.C G09G3/20.622.D G09G3/20.624.B G09G3/20.621.M G09G3/20.680.G		
F-TERM分类号	2H092/GA59 2H092/JA24 2H092/JB22 2H092/JB31 2H092/JB42 2H092/JB64 2H092/NA27 2H092/NA29 2H092/PA06 2H193/ZA06 2H193/ZC01 2H193/ZC24 2H193/ZC35 2H193/ZD23 2H193/ZP03 5C006/AC24 5C006/BB16 5C006/BC23 5C006/FA42 5C006/FA43 5C080/AA10 5C080/BB05 5C080/DD07 5C080/DD22 5C080/DD23 5C080/DD27 5C080/FF09 5C080/JJ02 5C080/JJ04 5C080/JJ06 2H192/AA24 2H192/CB12 2H192/CB13 2H192/CC22 2H192/CC62 2H192/DA02 2H192/GD61		
代理人(译)	森达武		
其他公开文献	JP5081946B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够在不增加开关元件尺寸的情况下减少数据线数量并因此减少数据驱动器数量 $\leq 1/2$ 的液晶显示元件。

ŽSOLUTION：该图像显示装置具有：第一TFT M1，其控制向像素电极A1提供显示信号；第二TFT M2，连接到第一TFT M1；第三TFT M3连接到数据线Dm，并控制向像素电极B1提供显示信号。然后，第二TFT M2和第三TFT M3连接到栅极线Gn + 1，第一TFT M1连接到栅极线Gn + 2。

Ž

