

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-211187  
(P2010-211187A)

(43) 公開日 平成22年9月24日(2010.9.24)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G09G 3/36 (2006.01)</b>	G09G 3/36	2H193
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 642K	5C006
<b>G02F 1/133 (2006.01)</b>	G09G 3/20 621B	5C080
	G09G 3/20 611E	
	G09G 3/20 612L	

審査請求 有 請求項の数 17 O L (全 20 頁) 最終頁に続く

(21) 出願番号 特願2009-290280 (P2009-290280)  
 (22) 出願日 平成21年12月22日 (2009.12.22)  
 (31) 優先権主張番号 10-2009-0020658  
 (32) 優先日 平成21年3月11日 (2009.3.11)  
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 501426046  
 エルジー ディスプレイ カンパニー リ  
 ミテッド  
 大韓民国 ソウル, ヨンドゥンポーク, ヨ  
 イドードン 20  
 (74) 代理人 100064447  
 弁理士 岡部 正夫  
 (74) 代理人 100094112  
 弁理士 岡部 譲  
 (74) 代理人 100085176  
 弁理士 加藤 伸晃  
 (74) 代理人 100104352  
 弁理士 朝日 伸光  
 (74) 代理人 100128657  
 弁理士 三山 勝巳

最終頁に続く

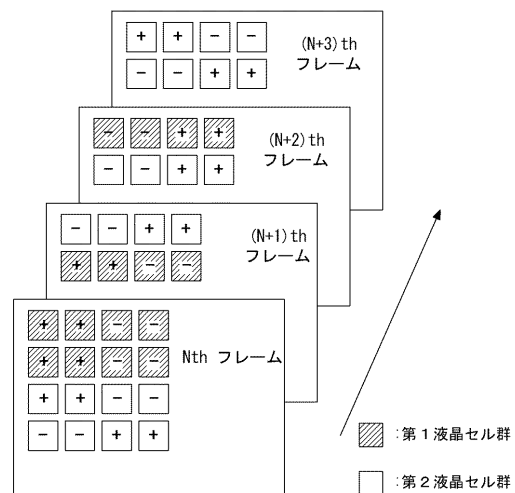
(54) 【発明の名称】 液晶表示装置とその駆動方法

(57) 【要約】

【課題】本発明は液晶表示装置とその駆動方法を提供する。

【解決手段】本発明の液晶表示装置とその駆動方法は複数のデータライン、前記データラインと交差される複数のゲートライン、及び複数の液晶セルを含み、赤色サブピクセル、緑色サブピクセル、青色サブピクセル及び白色サブピクセルが一つのピクセルを構成するクォータタイプピクセル構造を有する液晶表示パネルと、それぞれ3水平期間ごとに論理が反転され、位相が互いに異なる複数の極性制御信号を順次に出力するロジック回路と、前記ロジック回路から入力される極性制御信号に応答してデータ電圧の極性を反転させ前記データラインに供給するデータ駆動回路と、前記ゲートラインにゲートパルスを順次に供給するゲート駆動回路を備える。

【選択図】 図13



## 【特許請求の範囲】

## 【請求項 1】

複数のデータライン、前記データラインと交差される複数のゲートライン、及び複数の液晶セルを含み、赤色サブピクセル、緑色サブピクセル、青色サブピクセル及び白色サブピクセルが一つのピクセルを構成するクォードタイプピクセル構造を有する液晶表示パネルと、

それぞれ 3 水平期間ごとに論理が反転されて位相が互いに異なる複数の極性制御信号を順次に出力するロジック回路と、

前記ロジック回路から入力される極性制御信号に応答してデータ電圧の極性を反転させて前記データラインに供給するデータ駆動回路と、

前記ゲートラインにゲートパルスを順次に供給するゲート駆動回路を備えることを特徴とする液晶表示装置。

## 【請求項 2】

前記液晶セルは、垂直 3 ドット及び水平 2 ドットインバージョン方式で反転されるデータ電圧を充電することを特徴とする、請求項 1 記載の液晶表示装置。

## 【請求項 3】

前記ロジック回路は、

$N$  ( $N$  は正の整数) 番目フレーム期間の間、前記 3 水平期間ごとに論理が反転される第 1 極性制御信号を前記データ駆動回路に供給した後、

$N + 1$  番目フレーム期間の間、前記 3 水平期間ごとに論理が反転され、前記第 1 極性制御信号対比 1 水平期間位相が遅延された第 2 極性制御信号を、前記データ駆動回路に供給した後、

$N + 2$  番目フレーム期間の間、前記 3 水平期間ごとに論理が反転され、前記第 2 極性制御信号対比 2 水平期間位相が遅延された第 1 反転極性制御信号を、前記データ駆動回路に供給した後、

$N + 3$  番目フレーム期間の間、前記 3 水平期間ごとに論理が反転され、前記第 1 反転極性制御信号対比 1 水平期間位相が遅延された第 2 反転極性制御信号を、前記データ駆動回路に供給することを特徴とする、請求項 1 記載の液晶表示装置。

## 【請求項 4】

前記ロジック回路は、

前記第 1 極性制御信号を反転させて前記第 1 反転極性制御信号を発生する第 1 インバーターと、

前記第 2 極性制御信号を反転させて前記第 2 反転極性制御信号を発生する第 2 インバーターと、

前記フレーム期間をカウントして、選択信号を発生するフレームコントローラと、

前記選択信号に応答して前記第 1 極性制御信号、前記第 2 極性制御信号、前記第 1 反転極性制御信号及び前記第 2 反転極性制御信号の順で前記データ駆動回路に供給される極性制御信号を選択するマルチフレクサーを備えることを特徴とする、請求項 3 記載の液晶表示装置。

## 【請求項 5】

前記液晶表示パネルは、

$6j$  ( $j$  は正の整数) + 1 番目乃至  $6j + 6$  番目表示ラインを含み、

前記  $N$  番目フレーム期間の間、前記  $6j + 1$  及び  $6j + 4$  番目表示ラインの液晶セルは、 $N - 1$  番目フレーム期間に充電したデータ電圧の極性と同一な極性のデータ電圧を充電する第 1 液晶セル群に駆動する反面、 $6j + 2$ 、 $6j + 3$ 、 $6j + 5$  及び  $6j + 6$  番目表示ラインの液晶セルは、前記  $N - 1$  番目フレーム期間に充電したデータ電圧の極性とは相反した極性のデータ電圧を充電する第 2 液晶セル群に駆動することを特徴とする、請求項 3 記載の液晶表示装置。

## 【請求項 6】

前記  $N + 1$  番目フレーム期間の間、前記  $6j + 2$ 、前記  $6j + 3$ 、前記  $6j + 5$  及び前

10

20

30

40

50

記 6 j + 6 番目表示ラインの液晶セルは、前記 N 番目フレーム期間に充電したデータ電圧の極性と同一な極性のデータ電圧を充電する第 1 液晶セル群に駆動する反面、前記 6 j + 1 及び前記 6 j + 4 番目表示ラインの液晶セルは、前記 N 番目フレーム期間に充電したデータ電圧の極性とは相反した極性のデータ電圧を充電する第 2 液晶セル群に駆動することを特徴とする、請求項 5 記載の液晶表示装置。

【請求項 7】

前記 N+2 番目フレーム期間の間、前記 6 j + 1 及び前記 6 j + 4 番目表示ラインの液晶セルは、前記 N + 1 番目フレーム期間に充電したデータ電圧の極性と同一な極性のデータ電圧を充電する第 1 液晶セル群に駆動する反面、前記 6 j + 2、前記 6 i + 3、前記 6 i + 5 及び前記 6 j + 6 番目表示ラインの液晶セルは、前記 N + 1 番目フレーム期間に充電したデータ電圧の極性とは相反した極性のデータ電圧を充電する第 2 液晶セル群に駆動することを特徴とする、請求項 6 記載の液晶表示装置。

10

【請求項 8】

前記 N+3 番目フレーム期間の間、前記 6 j + 2、前記 6 j + 3、前記 6 j + 5 及び前記 6 j + 6 番目表示ラインの液晶セルは、前記 N + 1 番目フレーム期間に充電したデータ電圧の極性と同一な極性のデータ電圧を充電する第 1 液晶セル群に駆動する反面、前記 6 j + 1 及び前記 6 i + 4 番目表示ラインの液晶セルは、前記 N+2 番目フレーム期間に充電したデータ電圧の極性とは相反した極性のデータ電圧を充電する第 2 液晶セル群に駆動することを特徴とする、請求項 7 記載の液晶表示装置。

【請求項 9】

前記液晶表示パネルは、前記液晶セルが横方向に配列された表示ラインと前記液晶セルが列方向に配列された複数のコラムを含み、

20

同一な前記表示ラインと同一なコラムに存在する同じ色のサブピクセルの前記液晶セルには、相反した極性のデータ電圧を充電することを特徴とする、請求項 1 記載の液晶表示装置。

【請求項 10】

複数のデータライン、前記データラインと交差される複数のゲートライン、及び複数の液晶セルを含み、赤色サブピクセル、緑色サブピクセル、青色サブピクセル及び白色サブピクセルが一つのピクセルを構成するクォードタイプピクセル構造を有する液晶表示パネルを有する液晶表示装置の駆動方法において、

30

それぞれ 3 水平期間ごとに論理が反転されて、位相が互いに異なる複数の極性制御信号を順次に出力する段階と、

前記極性制御信号に応答してデータ電圧の極性を反転させて前記データラインに供給する段階と、

前記ゲートラインにゲートパルスを順次に供給する段階を含むことを特徴とする液晶表示装置の駆動方法。

【請求項 11】

前記液晶セルは、垂直 3 ドット及び水平 2 ドットインバージョン方式で反転されるデータ電圧を充電することを特徴とする、請求項 10 記載の液晶表示装置の駆動方法。

【請求項 12】

40

前記極性制御信号を順次に出力する段階は、

N (N は正の整数) 番目フレーム期間の間、前記 3 水平期間ごとに論理が反転される第 1 極性制御信号を、前記データラインに前記データ電圧を供給するデータ駆動回路に供給する段階と、

N + 1 番目フレーム期間の間、前記 3 水平期間ごとに論理が反転され、前記第 1 極性制御信号対比 1 水平期間位相が遅延された第 2 極性制御信号を、前記データ駆動回路に供給する段階と、

N+2 番目フレーム期間の間、前記 3 水平期間ごとに論理が反転され、前記第 2 極性制御信号対比 2 水平期間位相が遅延された第 1 反転極性制御信号を、前記データ駆動回路に供給する段階と、

50

N+3 番目フレーム期間の間、前記 3 水平期間ごとに論理が反転され、前記第 1 反転極性制御信号対比 1 水平期間位相が遅延された第 2 反転極性制御信号を、前記データ駆動回路に供給する段階を含むことを特徴とする、請求項 10 記載の液晶表示装置の駆動方法。

【請求項 13】

前記液晶表示パネルは、

6 j (j は正の整数) + 1 番目乃至 6 j + 6 番目表示ラインを含み、

前記 N 番目フレーム期間の間、前記 6 j + 1 及び 6 j + 4 番目表示ラインの液晶セルは、N - 1 番目フレーム期間に充電したデータ電圧の極性と同一な極性のデータ電圧を充電する第 1 液晶セル群に駆動する反面、6 j + 2、6 j + 3、6 j + 5 及び 6 j + 6 番目表示ラインの液晶セルは、前記 N - 1 番目フレーム期間に充電したデータ電圧の極性とは相反した極性のデータ電圧を充電する第 2 液晶セル群に駆動することを特徴とする、請求項 12 記載の液晶表示装置の駆動方法。

10

【請求項 14】

前記 N + 1 番目フレーム期間の間、前記 6 j + 2、前記 6 j + 3、前記 6 j + 5 及び前記 6 j + 6 番目表示ラインの液晶セルは、前記 N 番目フレーム期間に充電したデータ電圧の極性と同一な極性のデータ電圧を充電する第 1 液晶セル群に駆動する反面、前記 6 j + 1 及び前記 6 j + 4 番目表示ラインの液晶セルは、前記 N 番目フレーム期間に充電したデータ電圧の極性とは相反した極性のデータ電圧を充電する第 2 液晶セル群に駆動することを特徴とする、請求項 13 記載の液晶表示装置の駆動方法。

20

【請求項 15】

前記 N+2 番目フレーム期間の間、前記 6 j + 1 及び前記 6 j + 4 番目表示ラインの液晶セルは、前記 N + 1 番目フレーム期間に充電したデータ電圧の極性と同一な極性のデータ電圧を充電する第 1 液晶セル群に駆動する反面、前記 6 j + 2、前記 6 i + 3、前記 6 i + 5 及び前記 6 j + 6 番目表示ラインの液晶セルは、前記 N + 1 番目フレーム期間に充電したデータ電圧の極性とは相反した極性のデータ電圧を充電する第 2 液晶セル群に駆動することを特徴とする、請求項 14 記載の液晶表示装置の駆動方法。

30

【請求項 16】

前記 N+3 番目フレーム期間の間、前記 6 j + 2、前記 6 j + 3、前記 6 j + 5 及び前記 6 j + 6 番目表示ラインの液晶セルは、前記 N + 1 番目フレーム期間に充電したデータ電圧の極性と同一な極性のデータ電圧を充電する第 1 液晶セル群に駆動する反面、前記 6 j + 1 及び前記 6 i + 4 番目表示ラインの液晶セルは、前記 N+2 番目フレーム期間に充電したデータ電圧の極性とは相反した極性のデータ電圧を充電する第 2 液晶セル群に駆動することを特徴とする、請求項 15 記載の液晶表示装置の駆動方法。

40

【請求項 17】

前記液晶表示パネルは、前記液晶セルが横方向に配列された表示ラインと前記液晶セルが列方向に配列された複数のコラムを含み、

同一な前記表示ラインと同一な前記コラムに存在する同じ色のサブピクセルの前記液晶セルには、相反した極性のデータ電圧を充電することを特徴とする、請求項 10 記載の液晶表示装置の駆動方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、赤色サブピクセル、緑色サブピクセル、青色サブピクセル及び白色サブピクセルを含むピクセル構造を有するクォードタイプ(Quad type)液晶表示装置とその駆動方法に関する。

【背景技術】

【0002】

アクティブマトリクス(Active Matrix)駆動方式の液晶表示装置はスイッチング素子として薄膜トランジスタ-(Thin Film Transistor: 以下“TF T”とする)を利用して動画を表示している。この液晶表示装置は陰極線管(Cathode Ray Tube、CRT)に比べ

50

て小型化が可能でポータブル情報機器、事務機器、コンピューターなどで標示器に応用されることは勿論、テレビにも応用されて、陰極線管に急速に取って代わっている。

【0003】

液晶表示装置は図1のように、液晶セルC1cごとに形成された薄膜トランジスターを利用して、液晶セルに供給されるデータ電圧をスイッチングしてデータを能動的に制御するため、動画像の表示品質を高めることができる。図1において、図面符号“Cst”は液晶セルC1cに充電されたデータ電圧を維持するためのストレージキャパシター(Storage Capacitor、Cst)、『DL』はデータ電圧が供給されるデータライン、そして『GL』はスキャン電圧が供給されるゲートラインをそれぞれ意味する。

【0004】

このような液晶表示装置は、直流オフセット成分を減少させて液晶の劣化を減らすために、隣合う液晶セルの間から極性が反転されてフレーム期間単位で極性が反転されるインバージョン(Inversion)方式で駆動される。ところで、データ電圧の二つの極性の中、一極性が長期間優勢的(dominant)に供給されると液晶表示装置で残像が発生する。以下、このような残像を、液晶セルに同一極性の電圧が繰り返しの充電されるため、“直流化残像(DC Image sticking)”と定義する。このような例の一つは、液晶表示装置にインターレース(Interlace)方式のデータ電圧が供給される場合である。インターレース方式は、奇数フレーム期間の間には、奇数水平ラインの液晶セルに表示される奇数ラインデータ電圧のみを含み、偶数フレーム期間の間には、偶数水平ラインの液晶セルに表示されるデータ電圧のみを含む。

【0005】

図2は第1乃至第4フレーム期間の間、同一な液晶セルC1cに供給されるインターレース方式のデータ電圧例を示す波形図である。

【0006】

図2を参照すれば、液晶セルC1cには、奇数フレーム期間の間正極性電圧が供給され、偶数フレーム期間の間負極性電圧が供給される。インターレース方式において、奇数水平ラインに配置された液晶セルC1cには、奇数フレーム期間の間にだけ高い正極性データ電圧が供給されるため、第1乃至第4フレーム期間の間、ボックス内の波形のように正極性データ電圧が負極性データ電圧に比べて優勢的になり、直流化残像が現われるようになる。図3はインターレースデータによって現われる直流化残像の実験結果を示すイメージである。図3の左側イメージのようなオリジナルイメージ(Original image)を、インターレース方式で液晶表示パネルに一定時間間供給すれば、液晶セルに充電されるデータ電圧が図2のように変わり、その結果、一定時間後に全画面の液晶セルC1cに中間階調、例えば127階調のデータ電圧を供給すれば、右側イメージのようにオリジナルイメージのパターンがかすかに見える直流化残像が現われる。

【0007】

直流化残像の他の例として、同一な画像を一定な速度で移動またはスクロール(scroll)させれば、スクロールされる絵の大きさとスクロール速度(移動速度)の相関関係によって、液晶セルC1cに同一極性の電圧が繰り返しの蓄積されるため、直流化残像が現われる。このような実例を図4に示す。

図4は斜線パターンと文字パターンを一定な速度に移動させる時現われる直流化残像の実験結果を示すイメージである。

【発明の概要】

【発明が解決しようとする課題】

【0008】

本発明は、前述した問題点に鑑みてなされたものであり、本発明の目的とするところは、直流化残像を防止して表示品質を高めるようにした液晶表示装置とその駆動方法を提供するのにある。

【課題を解決するための手段】

【0009】

10

20

30

40

50

前記課題を解決するために、本発明に係る液晶表示装置は複数のデータライン、前記データラインと交差される複数のゲートライン、及び複数の液晶セルを含み、赤色サブピクセル、緑色サブピクセル、青色サブピクセル及び白色サブピクセルが一つのピクセルを構成するクォードタイプピクセル構造を有する液晶表示パネルと、それぞれ3水平期間ごとに論理が反転されて位相が互いに異なる複数の極性制御信号を順次に出力するロジック回路と、前記ロジック回路から入力される極性制御信号に応答して、データ電圧の極性を反転させて前記データラインに供給するデータ駆動回路と、前記ゲートラインにゲートパルスを順次に供給するゲート駆動回路を備える。

【0010】

前記液晶表示装置の駆動方法は、それぞれ3水平期間ごとに論理が反転されて位相が互いに異なる複数の極性制御信号を順次に出力する段階と、前記極性制御信号に応答してデータ電圧の極性を反転させて前記データラインに供給する段階と、前記ゲートラインにゲートパルスを順次に供給する段階を含む。

10

【発明の効果】

【0011】

本発明によれば、クォードタイプのピクセル構造を有する液晶表示装置に供給されるデータ電圧の極性を、垂直3ドット及び水平2ドットインバージョン方式で制御して、その極性を制御するための制御信号の位相を1フレーム期間単位に変更し、直流化残像、色歪曲及びフリッカー現象無しにビデオデータを表示することができる。

【図面の簡単な説明】

20

【0012】

【図1】液晶表示装置の液晶セルを示す等価回路図である。

【図2】インターレースデータの一例を示す波形図である。

【図3】インターレースデータによる直流化残像を示す実験結果画面である。

【図4】スクロールデータによる直流化残像を示す実験結果画面である。

【図5】本発明の実施の形態に係る液晶表示装置を示すブロック図である。

【図6】図5に示された液晶表示パネルの画素アレイで下部基板に形成されるクォードタイプピクセルを示す等価回路図である。

【図7】図5に示されたロジック回路を詳しく示すブロック図である。

【図8】図7に示されたPOL選択回路を詳しく示すブロック図である。

30

【図9】図8に示された極性制御信号の一例を示す波形図である。

【図10】図5に示されたデータ駆動回路のICを詳しく示すブロック図である。

【図11】図10に示されたデジタル-アナログ変換器を詳しく示す回路図である。

【図12】図5に示されたゲートドライブICを詳しく示す回路図である。

【図13】本発明の実施の形態に係る液晶表示装置の駆動方法を適用する時、スクロールデータで直流化残像が現われない原理を説明するための図である。

【図14】インターレースデータに対する液晶の直流化抑制効果を示す波形図である。

【図15】クォードタイプのピクセル構造を有する液晶表示装置に、垂直2ドット及び水平1ドットインバージョン方式で極性が反転されるデータ電圧が供給される例を示す図である。

40

【図16】クォードタイプのピクセル構造を有する液晶表示装置に、垂直1ドット及び水平2ドットインバージョン方式で極性が反転されるデータ電圧が供給される例を示す図である。

【図17a】N番目フレーム期間乃至N+3番目フレーム期間の間、図5に示された液晶表示パネルの液晶セルに充電されるデータ電圧の極性変化を示す図である。

【図17b】N番目フレーム期間乃至N+3番目フレーム期間の間、図5に示された液晶表示パネルの液晶セルに充電されるデータ電圧の極性変化を示す図である。

【図17c】N番目フレーム期間乃至N+3番目フレーム期間の間、図5に示された液晶表示パネルの液晶セルに充電されるデータ電圧の極性変化を示す図である。

【図17d】N番目フレーム期間乃至N+3番目フレーム期間の間、図5に示された液晶

50

表示パネルの液晶セルに充電されるデータ電圧の極性変化を示す図である。

【発明を実施するための形態】

【0013】

以下に図5乃至図17dを参照しながら、本発明の好適な実施の形態について詳細に説明する。

【0014】

図5乃至図12は本発明の実施の形態に係る液晶表示装置を示す。

【0015】

図5及び図6を参照すれば、本発明の実施の形態に係る液晶表示装置は、液晶表示パネル10、ビデオソース15、データ変換回路16、タイミングコントローラ11、ロジック回路12、データ駆動回路13、及びゲート駆動回路14を備える。

10

【0016】

液晶表示パネル10は、二枚のガラス基板の間に液晶層が形成される。この液晶表示パネル10の下部ガラス基板には、 $m$  ( $m$ は正の整数)個のデータライン( $D1$ 乃至 $Dm$ )と、 $n$  ( $n$ は正の整数)個のゲートライン( $G1$ 乃至 $Gn$ )が交差される。データライン( $D1$ 乃至 $Dm$ )と $n$ 個のゲートライン( $G1$ 乃至 $Gn$ )の交差構造によって、液晶表示パネル10にはマトリクス形態に配置された $m \times n$ 個の液晶セル $C1c$ を含む。液晶表示パネル10の下部ガラス基板には、データライン( $D1$ 乃至 $Dm$ )、ゲートライン( $G1$ 乃至 $Gn$ )、TFT、TFTに接続された液晶セル $C1c$ の画素電極1、及びストレージキャパシター $Cst$ などが形成される。ストレージキャパシター $Cst$ は、 $N$ 番目ゲート

20

【0017】

液晶表示パネル10の上部ガラス基板には、ブラックマトリクス、カラーフィルター及び共通電極2が形成される。共通電極2は、TN(Twisted Nematic)モードとVA(Vertical Alignment)モードのような垂直電界駆動方式で上部ガラス基板上に形成され、IPS(In Plane Switching)モードとFFS(Fringe Field Switching)モードのような水平電界駆動方式で画素電極1と共に下部ガラス基板上に形成される。液晶表示パネル10の上部ガラス基板と下部ガラス基板それぞれには、光軸が直交する偏光版が附着して液晶と接する内面に液晶のフリーチルト角を設定するための配向膜が形成される。

30

【0018】

液晶表示パネル10の画素アレイは、図6のようにマトリクス形態に配置されたクォードタイプピクセル(Quad type Pixels、QPXL)を含む。図6で‘PE’は液晶セル $C1c$ の画素電極である。クォードタイプピクセル(QPXL)それぞれは、奇数番目表示ラインに配置されたGサブピクセル及びBサブピクセル、偶数番目表示ラインに配置されたWサブピクセル及びRサブピクセルを含む。サブピクセルそれぞれは、図5で破線円の中に描かれた等価回路のような構成を有する。Gサブピクセルには緑色光を透過する緑色カラーフィルターが形成され、Bサブピクセルには青色光を透過する青色カラーフィルターが形成される。そして、Rサブピクセルには赤色光を透過する赤色カラーフィルターが形成される。Wサブピクセルにはカラーフィルターが形成されない。Wサブピクセルには、カラーフィルターの代わりに、すべての波長の光を透過させる有/無機透明層が形成されることができる。

40

【0019】

Gサブピクセルは奇数番目データライン $D1$ 、 $D3$ からの緑色データ電圧を充電する液晶セルを含み、Bサブピクセルは偶数番目データライン $D2$ 、 $D4$ からの青色データ電圧を充電する液晶セルを含む。Wサブピクセルは奇数番目データライン $D1$ 、 $D3$ からの白

50

色データ電圧を充電する液晶セルを含み、Rサブピクセルは偶数番目データラインD2、D4からの赤色データ電圧を充電する液晶セルを含む。したがって、液晶表示パネル10の画素アレイの奇数表示ラインには、奇数番目データラインD1、D3からの緑色データ電圧を充電するGサブピクセルと、偶数番目データラインD2、D4からの青色データ電圧を充電するBサブピクセルが交互に配置される。そして液晶表示パネル10の画素アレイの偶数表示ラインには、奇数番目データラインD1、D3からの白色データ電圧を充電するWサブピクセルと、偶数番目データラインD2、D4からの赤色データ電圧を充電するRサブピクセルが交互に配置される。

#### 【0020】

ビデオソース15は、放送信号受信回路、外部機器インターフェース回路、グラフィック処理回路、ラインメモリーなどを含み、放送信号や外部機器から入力される映像ソースからビデオデータを抽出し、そのビデオデータをデジタルに変換してタイミングコントローラ11に供給する。ビデオソース15で受信されるインターレースデータは、ラインメモリーに貯蔵された後、LVDS (Low Voltage Differential Signaling) インターフェース、TMDS (Transition Minimized Differential Signaling) インターフェースなどのインターフェースを通じて、データ変換部16に供給される。インターレースイメージ信号は、奇数フレーム期間に奇数ラインにだけ存在し、偶数フレーム期間に偶数ラインにだけ存在する。したがって、ビデオソース15は、放送信号受信回路を通じてインターレースデータを受信すると、ラインメモリーに貯蔵された以前データの平均値またはブラックデータ値でデータが入力されない奇数フレーム期間の偶数ラインデータ、及び偶数フレームの奇数ラインデータを発生する。また、ビデオソース15で生成される垂直同期信号Vsync、水平同期信号Hsync、データイネーブル信号(Data Enable、DE)、クロック信号CLKなどのタイミング信号は、LVDS インターフェース、TMDS インターフェースなどのインターフェースを通じてタイミングコントローラ11に供給される。

#### 【0021】

データ変換回路16は、ビデオソース15から入力される赤色、緑色及び青色のデジタルビデオデータを含む3原色データを利用した所定のホワイトゲイン算出アルゴリズムで白色データのゲインを算出して白色データを生成する。そしてデータ変換回路16は、赤色、緑色、青色及び白色のデジタルビデオデータ(以下、RGBWデータだとする)をタイミングコントローラ11に供給する。ホワイトゲイン算出アルゴリズムは公知技術のいずれでも可能である。例えば、本願出願人によって既に出願された大韓民国特許出願第10-2005-0039728(2005.05.12)、大韓民国特許出願第10-2005-0052906(2005.06.20)、大韓民国特許出願第10-2005-0066429(2007.07.21)、大韓民国特許出願第10-2006-0011292(2006.02.06)などで提案されたホワイトゲイン算出アルゴリズムが適用可能である。

#### 【0022】

タイミングコントローラ11は、デジタルビデオデータの送信周波数を低くするために、データ変換部16から入力されるRGBWデータRGBWを、奇数画素データRGBW<sub>odd</sub>と偶数画素データRGBW<sub>even</sub>に分離する。そしてタイミングコントローラ11は、データ駆動回路13とゲート駆動回路14の動作タイミングを制御するためのタイミング制御信号と同期されるように、6個のデータバスを通じて、mini LVDSインターフェース方式で、データ(RGBW<sub>odd</sub>、RGBW<sub>even</sub>)をデータ駆動回路13に供給する。タイミングコントローラ11は、ビデオソース15から入力される垂直/水平同期信号Vsync、Hsync、データイネーブル(Data Enable)、クロック信号CLKなどのタイミング信号の入力を受けて、データ駆動回路13、ゲート駆動回路14及びロジック回路12の動作タイミングを制御するためのタイミング制御信号を発生する。タイミングコントローラ11によって生成される制御信号は、ゲート駆動回路14の動作タイミングを制御するためのゲートタイミング制御信号と、データ駆動回路13の動作タイミングを制御するためのデータタイミング制御信号とを含む。ゲートタイミング制御

10

20

30

40

50

信号は、ゲートスタートパルス(Gate Start Pulse : G S P)、ゲートシフトクロック信号(Gate Shift Clock : G S C)、ゲート出力イネーブル信号(Gate Output Enable : G O E)などを含む。ゲートスタートパルスG S Pは、一画面が表示される1垂直期間の中でスキャンが始まる開始水平ラインを制御する。ゲートシフトクロック信号G S Cは、ゲート駆動回路14内のシフトレジスタに入力され、ゲートスタートパルスG S Pを順次にシフトさせるためのクロック信号である。ゲート出力イネーブル信号G O Eは、ゲート駆動回路14の出力タイミングを制御する。データタイミング制御信号は、ソーススタートパルス(Source Start Pulse : S S P)、ソースサンプリングクロック(Source Sampling Clock : S S C)、ソース出力イネーブル信号(Source Output Enable : S O E)、第1及び第2極性制御信号(Polarity : P O L 1、P O L 2)を含む。ソーススタートパルスS S Pは、データが表示される1水平ラインで開始画素を制御する。ソースサンプリングクロックS S Cは、ライジング(Rising)またはフォールリング(Falling)エッジに基準して、データ駆動回路13内でデータのラッチ動作を制御する。ソース出力イネーブル信号S O Eは、データ駆動回路13の出力タイミングを制御する。第1及び第2極性制御信号P O L 1、P O L 2のそれぞれは、隣合う3個の表示ラインの液晶セルに同一な極性のデータ電圧が順次に供給されるように、また、3個の表示ライン単位で液晶セルに充電されるデータ電圧の極性が反転されるように液晶セルC l cに供給されるデータ電圧の極性を制御する。このため、第1及び第2極性制御信号P O L 1、P O L 2のそれぞれは、図9のようにおおよそ3水平期間単位で論理が反転されておおよそ1水平期間位の位相差を有する。

10

20

#### 【0023】

ロジック回路12は、ゲートスタートパルスG S Pを入力受け、現在表示される映像のフレーム期間を判断し、図9、図17a乃至図17dのように論理反転周期が同一し、位相が互いに異なる複数の極性制御信号P O L 1、P O L 2、/ P O L 1、/ P O L 2を順次に出力する。

#### 【0024】

データ変換部16とロジック回路12はタイミングコントローラ11に内蔵することができる。

#### 【0025】

データ駆動回路13は、図10及び図11のような回路構成を持ち、従属的に接続された複数のデータドライブ集積回路(Integrated Circuit、I C)を含む。データ駆動回路13は、タイミングコントローラ11の制御の下にR G B WデータR G B W o d d、R G B W e v e nをラッチしてそのR G B WデータR G B W o d d、R G B W e v e nをアナログ正極性ガンマ補償電圧と負極性ガンマ補償電圧に変換して、正極性アナログデータ電圧と負極性アナログデータ電圧を発生する。そしてデータ駆動回路13は、ロジック回路12からの極性制御信号P O Lに応答してデータ電圧の極性を変換して、R G B W正極性データ電圧とR G B W負極性データ電圧をデータラインD 1乃至D mに供給する。

30

#### 【0026】

ゲート駆動回路14は、図12のような回路構成を持ち、従属的に接続された複数のゲートドライブI Cを含む。このゲート駆動回路14は、タイミングコントローラ11の制御の下におおよそ1水平期間のパルス幅を有するゲートパルス(またはスキャンパルス)を順次に出力する。したがって、液晶表示パネル10のゲートラインG 1~G nにはゲート駆動回路14からゲートパルスが順次に供給される。液晶表示パネル10の画素アレイに形成されたT F Tのそれぞれは、ゲートラインG 1~G nからのゲートパルスに反応してターン-オンされ、データラインD 1~D mからのデータ電圧を画素電極1に供給する。このために、T F Tのゲート電極は、ゲートラインG 1~G nに接続され、T F Tのソース電極とドレーン電極は、それぞれデータラインD 1~D mと画素電極1に接続される。

40

#### 【0027】

本発明で適用可能な液晶表示装置はT Nモード、V Aモード、I P Sモード、F F Sモードだけではなく、いずれの液晶モードでも具現されることができる。また、本発明の液

50

晶表示装置は、透過型液晶表示装置、半透過型液晶表示装置、反射型液晶表示装置などいずれの形態でも具現されることができる。透過型液晶表示装置と半透過型液晶表示装置は図面で省略されたバックライトユニットが必要である。

【0028】

図7及び図8はロジック回路12を詳しく示す回路図である。

【0029】

図7及び図8を参照すれば、ロジック回路12はフレームカウンタ71、及びPOL選択回路73を備える。

【0030】

フレームカウンタ71は、1フレーム期間の間1回発生されて1フレーム期間の開始と同時に発生されるゲートスタートパルスGSPに应答して、液晶表示パネル10に表示される画像のフレーム数を指示するフレームカウント情報Fcntを出力する。

10

【0031】

POL選択回路73は、フレームカウント情報Fcntによって4個のフレーム期間単位の循環される4個の極性制御信号POL1、POL2、/POL1、/POL2を順次に出力する。極性制御信号POL1、POL2、/POL1、/POL2は、N(Nは正の整数)番目フレーム期間の間、データ駆動回路13から出力されるデータ電圧の極性を制御する第1極性制御信号POL1、N+1番目フレーム期間の間データ駆動回路13から出力されるデータ電圧の極性を制御する第2極性制御信号POL2、N+2番目フレーム期間の間データ駆動回路13から出力されるデータ電圧の極性を制御する第1反転極性制御信号/POL1、及びN+3番目フレーム期間の間データ駆動回路13から出力されるデータ電圧の極性を制御する第2反転極性制御信号/POL2を含む。このような極性制御信号は、図6のようなクォードタイプピクセル構造の液晶表示パネルで直流化残像、フリッカー及び色歪曲が発生しないように、液晶セルに供給されるデータ電圧の極性を制御してクォードタイプピクセル構造の液晶表示パネルに対する繰り返し実験結果選択された最適の位相で発生される。このような実験を基礎に最適化された極性制御信号を具体的に説明すると、図9のように第1極性制御信号POL1に引き継いで発生される第2極性制御信号POL2は、第1極性制御信号POL1対比おおよそ1水平期間位相が遅延された信号であり、第2極性制御信号POL2に引き継いで発生される第1反転極性制御信号/POL1は、第2極性制御信号POL2対比おおよそ2水平期間位相が遅延された信号である。第1反転極性制御信号/POL1に引き継いで発生される第2反転極性制御信号/POL2は、第1反転極性制御信号/POL1対比おおよそ1水平期間位相が遅延された信号である。そして第2反転極性制御信号/POL2に引き継いでまた発生される第1極性制御信号POL1は、第2反転極性制御信号/POL2対比おおよそ2水平期間位相が遅延された信号である。

20

30

【0032】

POL選択回路73は、第1及び第2インバータ81、82、フレームコントローラ83及びマルチフレクサ84などを具備して図9、図17a乃至図17dのような極性制御信号を発生する。

【0033】

第1インバータ81は、第1極性制御信号POL1を反転させて第1極性制御信号POL1の逆位相である第1反転極性制御信号/POL1を発生する。第2インバータ82は、第2極性制御信号POL2を反転させて第2極性制御信号(POL12)の逆位相である第2反転極性制御信号/POL2を発生する。

40

【0034】

フレームコントローラ83は、フレームカウンタ71からのフレームカウンタ情報Fcntの入力を受けて、現在表示される映像のフレーム期間を判断する。そしてフレームコントローラ83は、フレーム期間の判断結果によってマルチフレクサ84を制御するための選択信号を発生する。

【0035】

50

マルチフレクサ-84は、フレームコントローラ83の制御の下に図17a乃至図17dのようにN番目フレーム期間に第1極性制御信号POL1をデータ駆動回路13に供給した後、N+1番目フレーム期間に第2極性制御信号POL2をデータ駆動回路13に供給する。引き継いで、マルチフレクサ-84は、N+2番目フレーム期間に第1反転極性制御信号/POL1をデータ駆動回路13に供給した後、N+3番目フレーム期間に第2反転極性制御信号/POL2をデータ駆動回路13に供給する。

【0036】

図10及び図11はデータ駆動回路IC13Aを詳しく示す回路図である。

【0037】

図10及び図11を参照すれば、データドライブIC13Aそれぞれは、 $k$  ( $k$ は $m$ より小さな正の整数)個のデータラインを駆動して、シフトレジスタ-101、データ復元部102、第1ラッチアレイ103、第2ラッチアレイ104、デジタル-アナログ変換器(以下、“DAC”とする)105、チャージシェア回路(Charge Share Circuit)106及び出力回路107を含む。

10

【0038】

データ復元部102は、タイミングコントローラ11からのデジタルビデオデータRGBWodd、RGBEvenをminiLVDS方式でデータを修復し、第1ラッチアレイ103に供給する。

【0039】

シフトレジスタ-101は、ソースサンプリングクロックSSCによってサンプリング信号をシフトさせる。また、シフトレジスタ-101は、第1ラッチアレイ103のラッチ数を超過するデータが供給される時に、キャリア信号(Carry signal、CAR)を発生する。

20

【0040】

第1ラッチアレイ103は、シフトレジスタ-101から順次に入力されるサンプリング信号に回答してデータ復元部102からのデジタルビデオデータRGBWodd、RGBEvenをサンプリングしてラッチした後、同時に出力する。

【0041】

第2ラッチアレイ104は、第1ラッチアレイ103から入力されるデータをラッチした後、ソース出力イネーブル信号SOEのロー論理期間の間、他のデータドライブIC13Aの第2ラッチアレイ104と同時にラッチされたデータを同時に出力する。

30

【0042】

DAC105は、図11のように正極性ガンマ補償電圧GHが供給されるP-デコーダ-PDEC111、負極性ガンマ補償電圧GLが供給されるN-デコーダ-NDEC112、P-デコーダ-111の出力とN-デコーダ-112の出力を選択するマルチフレクサ-1131、1132、1141、1142を含む。

【0043】

P-デコーダ-111は、第2ラッチアレイ104から入力されるデータをデコードし、そのデータの階調値にあたる正極性ガンマ補償電圧GHを出力し、N-デコーダ-112は、第2ラッチアレイ104から入力されるデータをデコードし、そのデータの階調値にあたる負極性ガンマ補償電圧GLを出力する。

40

【0044】

マルチフレクサ-1131、1132、1141、1142は、 $4i$  ( $i$ は正の整数)+1番目データライン(D1、D5...D $m-3$ )に供給されるデータ電圧を選択する第1マルチフレクサ-1131、 $4i+2$ 番目データライン(D2、D6...D $m-2$ )に供給されるデータ電圧を選択する第2マルチフレクサ-1132、 $4i+3$ 番目データライン(D3、D7...D $m-1$ )に供給されるデータ電圧を選択する第3マルチフレクサ-1141、及び $4i+4$ 番目データライン(D4、D8...D $m$ )に供給されるデータ電圧を選択する第4マルチフレクサ-1142を備える。第1及び第2マルチフレクサ-1131、1132の制御端子には、ロジック回路12から入力される極性制

50

御信号 P O L がそのまま入力される一方、第 3 及び第 4 マルチフレクサー 1 1 4 1、1 1 4 2 の制御端子には、ロジック回路 1 2 から入力される極性制御信号 P O L が反転されて入力される。したがって、第 1 及び第 2 マルチフレクサー 1 1 3 1、1 1 3 2 は、極性制御信号 P O L に応答して、P - デコーダ 1 1 1 と N - デコーダ 1 1 2 から出力される正極性データ電圧と負極性データ電圧を、おおよそ 3 水平期間単位で交互に選択する。これに対して、第 3 及び第 4 マルチフレクサー 1 1 4 1、1 1 4 2 は、反転された極性制御信号 P O L に応答して、P - デコーダ 1 1 1 と N - デコーダ 1 1 2 から出力される正極性データ電圧と負極性データ電圧を、おおよそ 3 水平期間単位で交互に選択する。その結果、 $4i + 1$  及び  $4i + 2$  番目データラインに供給されるデータ電圧の極性は、 $4i + 3$  及び  $4i + 4$  番目データラインに供給されるデータ電圧の極性と相反する。

10

## 【0045】

チャージシェア回路 1 0 6 は、ソース出力イネーブル信号 S O E ハイ論理期間の間隣合うデータ出力チャンネルを短絡(short)させて、隣合うデータ電圧の平均値をチャージシェア電圧に出力したり、ソース出力イネーブル信号 S O E のハイ論理期間の間データ出力チャンネルに共通電圧 V c o m を供給して、データライン D 1 ~ D m に供給される正極性データ電圧と負極性データ電圧との間の急激なスイング幅変化を減らす。出力回路 1 0 7 は、バッファーを利用してデータライン D 1 ~ D m に供給されるデータ電圧の信号減衰を最小化する。

## 【0046】

図 1 2 はゲートドライブ I C 1 4 A を示す。

20

## 【0047】

図 1 2 を参照すれば、ゲートドライブ I C 1 4 A は、シフトレジスタ 1 2 0、レベルシフト 1 2 2、シフトレジスタ 1 2 0 とレベルシフト 1 2 2 の間に接続された複数の論理積ゲート(以下、“AND ゲート”だとする) 1 2 1、及びゲート出力イネーブル信号 G O E を反転させるためのインバーター 1 2 3 を備える。

## 【0048】

シフトレジスタ 1 2 0 は、従属的に接続された複数の D - フリップフロップを利用して、ゲートスタートパルス G S P をゲートシフトクロック G S C によって順次にシフトさせる。AND ゲート 1 2 1 それぞれは、シフトレジスタ 1 2 0 の出力信号とゲート出力イネーブル信号 G O E の反転信号を論理積して出力を発生する。インバーター 1 2 3 は、ゲート出力イネーブル信号 G O E を反転させて AND ゲート 1 2 1 に供給する。したがって、ゲートドライブ I C 1 4 A は、ゲート出力イネーブル信号 G O E のロー論理区間である時、ゲートパルスのハイ論理電圧を出力する。

30

## 【0049】

レベルシフト 1 2 2 は、液晶表示パネル 1 0 の画素アレイ内に形成された T F T の動作電圧範囲位 AND ゲート 1 2 1 の出力電圧スイング幅をシフトさせる。レベルシフト 1 2 2 の出力信号 ( G 1 乃至 G k ) は、k ( k は定数 ) 個のゲートライン G 1 ~ G n に順次に供給される。一方、レベルシフト 1 2 2 はシフトレジスタ 1 2 0 の前段に配置されて、シフトレジスタ 1 2 0 は画素アレイの T F T とともに液晶表示パネル 1 0 のガラス基板に直接形成されることができる。

40

## 【0050】

図 1 3 及び図 1 4 は、本発明の実施の形態に係る液晶表示装置で液晶の直流化残像とフリッカーを抑制する原理を説明するための図である。

## 【0051】

図 1 3 及び図 1 4 を参照すれば、本発明は、図 9 のような極性制御信号 P O L を利用して隣合う液晶セルに充電されるデータ電圧の極性反転時点を行き違うように制御する。液晶セル C 1 c は、以前フレーム期間に充電したデータ電圧の極性と同一な極性のデータ電圧を現在フレーム期間に充電する第 1 液晶セル群と、以前フレーム期間に充電したデータ電圧の極性とは相反した極性のデータ電圧を現在フレーム期間に充電する第 2 液晶セル群を含む。したがって、2 フレーム期間内で、第 1 液晶セル群の液晶セルに充電されるデー

50

タ電圧の極性は同一に制御される一方、第2液晶セル群の液晶セルに充電されるデータ電圧の極性は一度反転される。第1液晶セル群の液晶セルと第2液晶セル群の液晶セルの位置は図17a乃至図17dのように変わる。

【0052】

インターレース方式のビデオ信号が液晶表示パネルに供給される時、液晶セルに充電されるデータ電圧の極性は図14のようである。

【0053】

奇数フレーム期間の間、液晶セルに高いデータ電圧が供給されるインターレースデータを液晶表示装置に表示する時、図14のように第1及び第2液晶セル群の液晶セルには2フレーム期間周期に極性が反転されるデータ電圧が供給される。ここでは、ボックス内の波形のようにN番目及びN+1番目フレーム期間の間液晶セルに供給される正極性データ電圧と、N+2番目及びN+3番目フレーム期間の間同一な液晶セルに供給される負極性データ電圧が中和され、その液晶セルに偏向された極性の電圧が蓄積されない。したがって、本発明の液晶表示装置は、インターレースデータが供給される時、液晶の直流化を抑制して直流化残像を防止することができる。

10

【0054】

記号や文字をフレーム当り8ピクセル(pixel)の速度に移動させるスクロールデータでも液晶セルの電圧が2フレーム期間単位に反転される。したがって、本発明は、一定な速度で記号や文字が移動するスクロールデータで液晶セルC1cに充電される電圧の極性が周期的に反転されることで、同一極性の電圧が累積して現われる直流化残像を予防することができる。

20

【0055】

第1液晶セル群は直流化残像を予防することができるが、同一極性のデータ電圧が二つのフレーム期間周期に液晶セルC1cに供給されるので、フリッカーが現われる。第2液晶セル群の液晶セルC1cには、肉眼でフリッカーがほとんど感じられない1フレーム期間周期に、極性が反転されるデータ電圧が印加されて第1液晶セル群によるフリッカー現象を最小化する。これは人間の肉眼は、変化に敏感であるから駆動周波数が互いに異なる第1液晶セル群と第2液晶セル群が共存する液晶表示装置を見れば、駆動周波数が高い第2液晶セル群の駆動周波数で第1液晶セル群の駆動周波数を認識するからである。

30

【0056】

一方、一般的な3原色ピクセル構造の液晶表示パネルのインバージョン方式では、水平及び垂直方向でフリッカーと色歪曲が一番小さいため、水平1ドット及び垂直1ドットインバージョン方式が望ましい。しかし、本発明の液晶表示装置のようにクォードタイプの液晶表示装置では、極性制御信号の位相を図9の例のように1フレーム期間単位に変更しても、水平1ドットインバージョンまたは垂直1ドットインバージョン方式でデータ電圧の極性を変換すれば、データ電圧の極性の偏りによってフリッカーと色歪曲が現われる。これを図15及び図16で説明する。

【0057】

液晶セルは、TFTの寄生用量によって発生されるキックバック電圧(kick back voltage)のため、同一階調の正極性データ電圧と負極性データ電圧を充電する時にデータ電圧の充電量が変わる。一般的に液晶セルは、キックバック電圧によって正極性データ電圧を充電する時より、負極性データ電圧を充電する時のデータ電圧の充電量が多い。このような傾向を考慮すると、クォードタイプのピクセル構造を有する液晶表示パネルの液晶セルに、図15のような垂直2ドット及び水平1ドットインバージョン方式で極性が反転されるデータ電圧が供給されれば、図15でLine#1、Line#2、Line#5、Line#6等の表示ラインは青色と赤色が相対的に強く見えるマゼンタ(magenta)色合いで映像が再現される一方、Line#3、Line#4等の表示ラインでは緑色と白色が相対的に強く見える緑色調(greenish)に映像が再現されて色歪曲が現われる。また、図15でLine#3、Line#4等の表示ラインは緑色と白色が相対的に強く見えるので、Line#1、Line#2、Line#5、Line#6等の表示ラインに比べ

40

50

て輝度が相対的に高くなるようになり、2個の表示ライン単位でフリッカーが感じられる。このような現象は、同一な表示ラインで同一な色のサブピクセルの液晶セルに充電される電圧の極性がある一極性で同一であることためである。

【0058】

クォードタイプのピクセル構造を有する液晶表示パネルの液晶セルに、図16のような垂直1ドット及び水平2ドットインバージョン方式で極性が反転されるデータ電圧が供給されれば、図15において、同一なコラムで同一な色のサブピクセルの液晶セルに充電されるデータ電圧の極性が皆同一になる。その結果、奇数コラムでは緑色調で映像が再現される反面、偶数コラムではマゼンタ色合いで映像が再現されるため、色歪曲が現われ、2個のコラム単位でフリッカーが感じられる。

10

【0059】

直流化残像を防止しながら図15及び図16のような色歪曲とフリッカーを同時に解決するために、本発明は、図9のような極性制御信号POL1、POL2、/POL1、/POL2を利用してクォードタイプのピクセル構造を有する液晶表示装置に供給されるデータ電圧の極性を、図17a乃至図17dのように制御する。

【0060】

図17aを参照すれば、N番目フレーム期間の間、ロジック回路12は第1極性制御信号POL1をデータ駆動回路13に供給する。その結果、データ駆動回路13は、N番目フレーム期間の間図17aのような極性パターンで、クォードタイプのピクセル構造を有する液晶表示装置のデータラインD1~Dmに供給されるデータ電圧の極性を制御する。

20

【0061】

液晶セルに供給されるデータ電圧の極性は、垂直3ドット及び水平2ドットインバージョン方式で反転される。この液晶セルに供給されるデータ電圧の極性は、図7Dのような極性パターンから図7aのような極性パターンに変わる。したがって、図7a及び図7Dの比較を通じて分かるように、N番目フレーム期間の間、 $6j$  ( $j$ は正の整数)+1及び $6j+4$ 番目表示ライン(Line#1、Line#4)の液晶セルは、第1液晶セル群に駆動する反面、 $6j+2$ 、 $6j+3$ 、 $6j+5$ 及び $6j+6$ 番目表示ライン(Line#2、Line#3、Line#5、Line#6)の液晶セルは、第2液晶セル群に駆動する。同一ラインと同一コラムで同じ色のサブピクセルの液晶セルには、図17aのように相反した極性のデータ電圧が供給されて極性の偏りがほとんどない。したがって、クォードタイプのピクセル構造を有する液晶表示装置は、直流化残像、色歪曲及びフリッカー現象なしにビデオデータを表示することができる。

30

【0062】

図17bを参照すれば、N+1番目フレーム期間の間、ロジック回路12は第2極性制御信号POL2をデータ駆動回路13に供給する。その結果、データ駆動回路13はN+1番目フレーム期間の間、図17bのような極性パターンでクォードタイプのピクセル構造を有する液晶表示装置のデータラインD1~Dmに供給されるデータ電圧の極性を制御する。

【0063】

液晶セルに供給されるデータ電圧の極性は、垂直3ドット及び水平2ドットインバージョン方式で反転される。この液晶セルに供給されるデータ電圧の極性は図7aのような極性パターンから図7Bのような極性パターンに変わる。したがって、図7a及び図7Bの比較を通じて分かるように、N+1番目フレーム期間の間、 $6j+2$ 、 $6j+3$ 、 $6j+5$ 及び $6j+6$ 番目表示ライン(Line#2、Line#3、Line#5、Line#6)の液晶セルは第1液晶セル群に駆動する反面、 $6j+1$ 及び $6j+4$ 番目表示ライン(Line#1、Line#4)の液晶セルは第2液晶セル群に駆動する。同一ラインと同一コラムで同じ色のサブピクセルの液晶セルには、図17bのように相反した極性のデータ電圧が供給されて極性の偏りがほとんどない。したがって、クォードタイプのピクセル構造を有する液晶表示装置は、直流化残像、色歪曲及びフリッカー現象なしにビデオデータを表示することができる。

40

50

## 【 0 0 6 4 】

図 1 7 c を参照すれば、 $N+2$  番目フレーム期間の間、ロジック回路 1 2 は第 1 反転極性制御信号 / P O L 1 をデータ駆動回路 1 3 に供給する。その結果、データ駆動回路 1 3 は、 $N+2$  番目フレーム期間の間、図 1 7 c のような極性パターンでクォードタイプのピクセル構造を有する液晶表示装置のデータライン  $D 1 \sim D m$  に供給されるデータ電圧の極性を制御する。

## 【 0 0 6 5 】

液晶セルに供給されるデータ電圧の極性は垂直 3 ドット及び水平 2 ドットインバージョン方式で反転される。この液晶セルに供給されるデータ電圧の極性は図 7 B のような極性パターンから図 7 C のような極性パターンに変わる。したがって、図 7 B 及び図 7 C の比較を通じて分かるように、 $N+2$  番目フレーム期間の間、 $6 j + 1$  及び  $6 j + 4$  番目表示ライン ( L i n e # 1、L i n e # 4 ) の液晶セルは第 1 液晶セル群に駆動する反面、 $6 j + 2$ 、 $6 i + 3$ 、 $6 i + 5$  及び  $6 j + 6$  番目表示ライン ( L i n e # 2、L i n e # 3、L i n e # 5、L i n e # 6 ) の液晶セルは第 2 液晶セル群に駆動する。同一ラインと同一コラムで同じ色のサブピクセルの液晶セルには、図 1 7 c のように相反した極性のデータ電圧が供給されて極性の偏りがほとんどない。したがって、クォードタイプのピクセル構造を有する液晶表示装置は、直流化残像、色歪曲及びフリッカー現象なしにビデオデータを表示することができる。

10

## 【 0 0 6 6 】

図 1 7 d を参照すれば、 $N+3$  番目フレーム期間の間、ロジック回路 1 2 は第 2 反転極性制御信号 / P O L 2 をデータ駆動回路 1 3 に供給する。その結果、データ駆動回路 1 3 は、 $N+3$  番目フレーム期間の間、図 1 7 d のような極性パターンでクォードタイプのピクセル構造を有する液晶表示装置のデータライン  $D 1 \sim D m$  に供給されるデータ電圧の極性を制御する。

20

## 【 0 0 6 7 】

液晶セルに供給されるデータ電圧の極性は、垂直 3 ドット及び水平 2 ドットインバージョン方式で反転される。この液晶セルに供給されるデータ電圧の極性は、図 1 7 c のような極性パターンから図 1 7 d のような極性パターンに変わる。したがって、図 1 7 c 及び図 1 7 d の比較を通じて分かるように、 $N+3$  番目フレーム期間の間、 $6 j + 2$ 、 $6 j + 3$ 、 $6 j + 5$  及び  $6 j + 6$  番目表示ライン ( L i n e # 2、L i n e # 3、L i n e # 5、L i n e # 6 ) の液晶セルは第 1 液晶セル群に駆動する反面、 $6 j + 1$  及び  $6 i + 4$  番目表示ライン ( L i n e # 1、L i n e # 4 ) の液晶セルは第 2 液晶セル群に駆動する。同一ラインと同一コラムで同じ色のサブピクセルの液晶セルには、図 1 7 d のように相反した極性のデータ電圧が供給されて極性の偏りがほとんどない。したがって、クォードタイプのピクセル構造を有する液晶表示装置は直流化残像、色歪曲及びフリッカー現象なしにビデオデータを表示することができる。

30

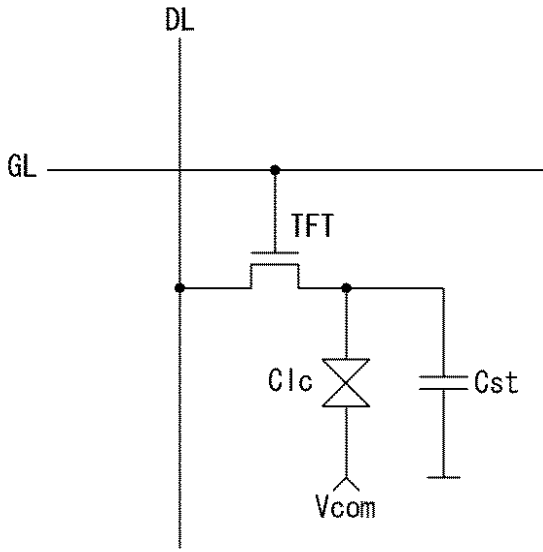
## 【 0 0 6 8 】

以上説明した内容を通じて当業者なら本発明の技術思想を逸脱しない範囲で多様な変更及び修正が可能であることが分かる。したがって、本発明の技術的範囲は明細書の詳細な説明に記載した内容に限定されるのではなく特許請求の範囲によって決められなければならない。

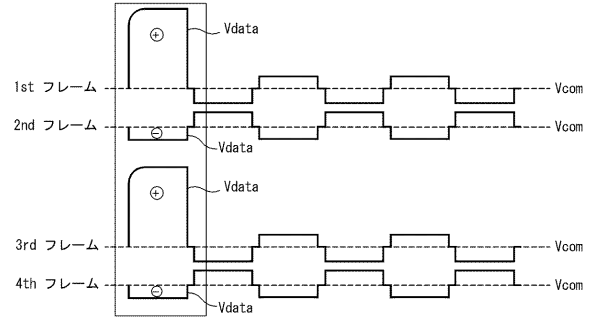
40

【 図 1 】

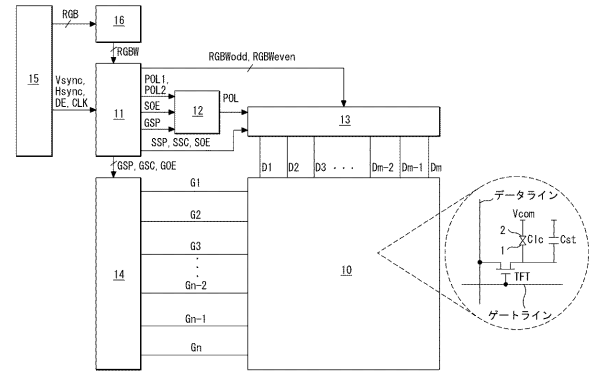
従来技術



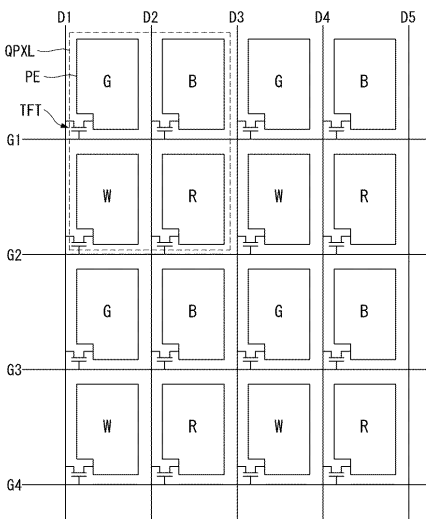
【 図 2 】



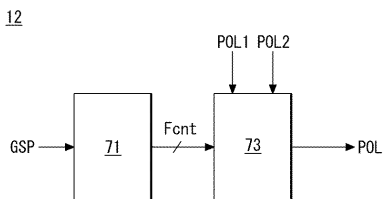
【 図 5 】



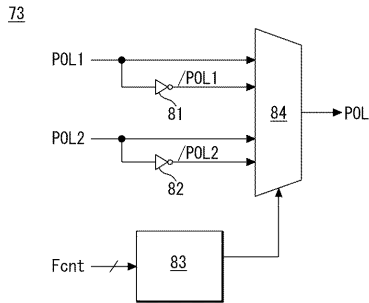
【 図 6 】



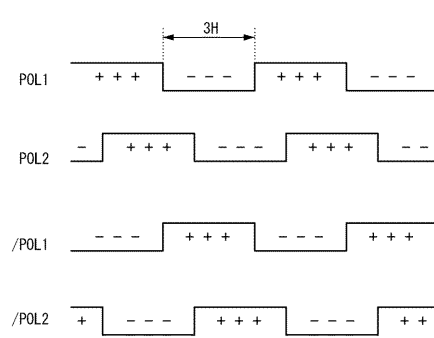
【 図 7 】



【 図 8 】

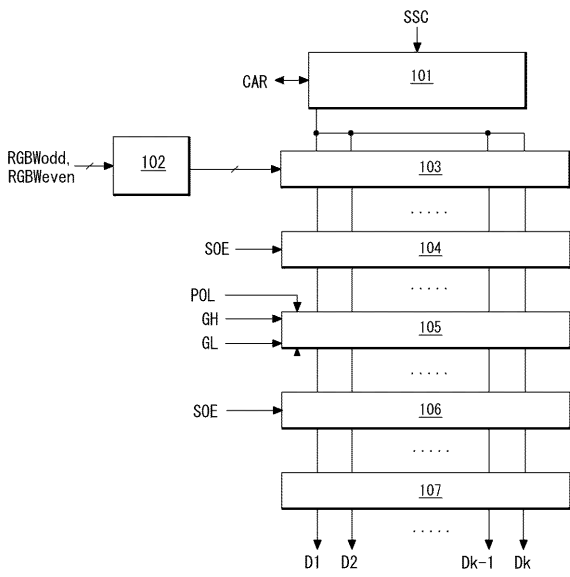


【 図 9 】



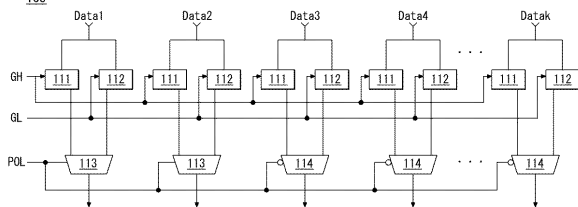
【図 1 0】

13A

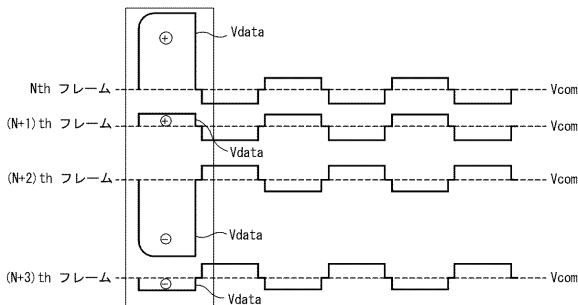


【図 1 1】

105



【図 1 4】

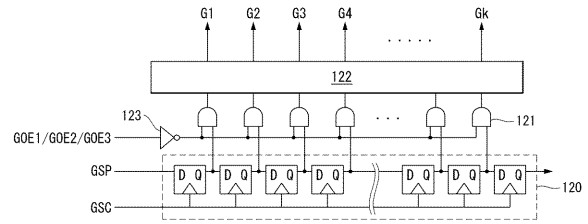


【図 1 5】

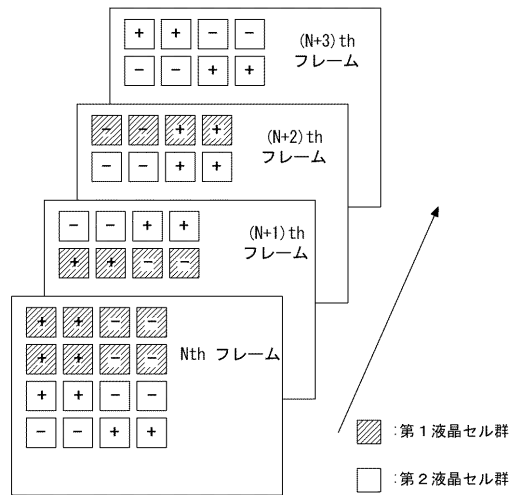
ライン#1	G+	B-	G+	B-	G+	B-	G+	B-
ライン#2	W+	R-	W+	R-	W+	R-	W+	R-
ライン#3	G-	B+	G-	B+	G-	B+	G-	B+
ライン#4	W-	R+	W-	R+	W-	R+	W-	R+
ライン#5	G+	B-	G+	B-	G+	B-	G+	B-
ライン#6	W+	R-	W+	R-	W+	R-	W+	R-

【図 1 2】

14A



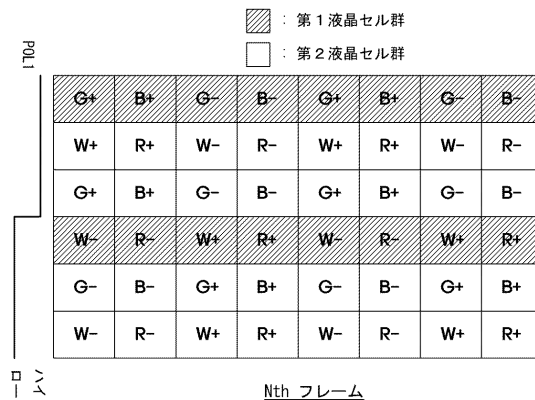
【図 1 3】



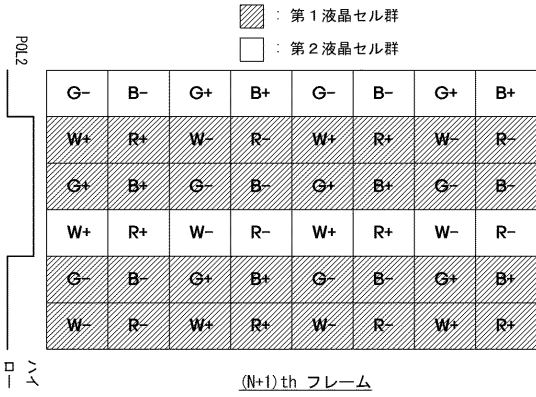
【図 1 6】

ライン#1	G+	B+	G-	B-	G+	B+	G-	B-
ライン#2	W-	R-	W+	R+	W-	R-	W+	R+
ライン#3	G+	B+	G-	B-	G+	B+	G-	B-
ライン#4	W-	R-	W+	R+	W-	R-	W+	R+
ライン#5	G+	B+	G-	B-	G+	B+	G-	B-
ライン#6	W-	R-	W+	R+	W-	R-	W+	R+

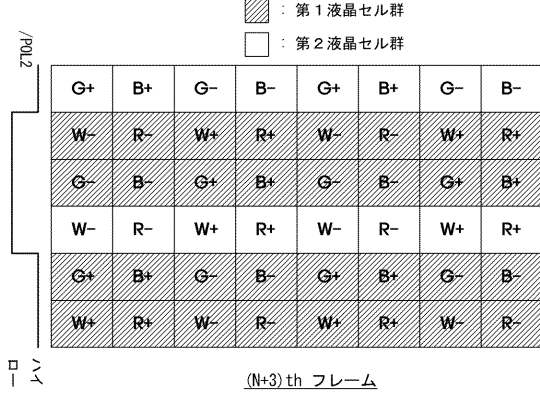
【図 1 7 a】



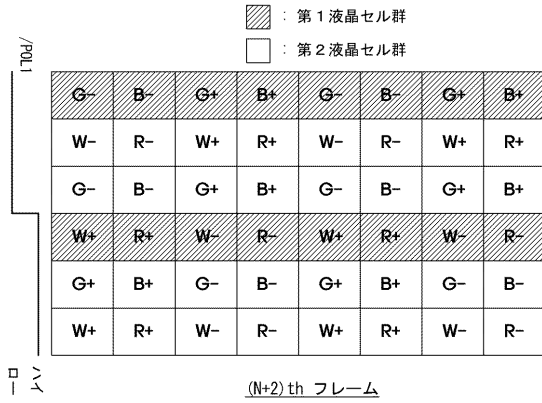
【 図 1 7 b 】



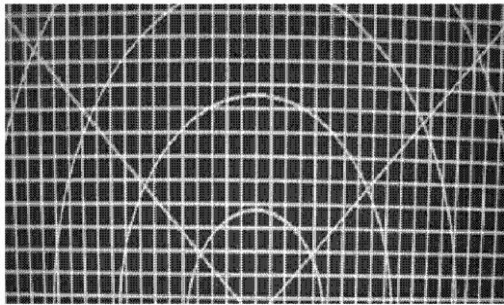
【 図 1 7 d 】



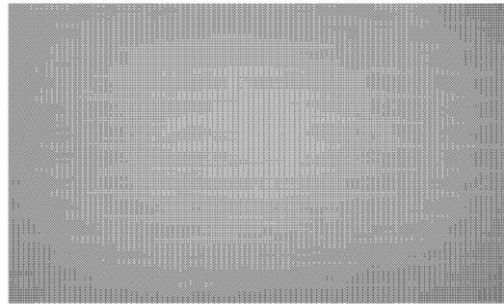
【 図 1 7 c 】



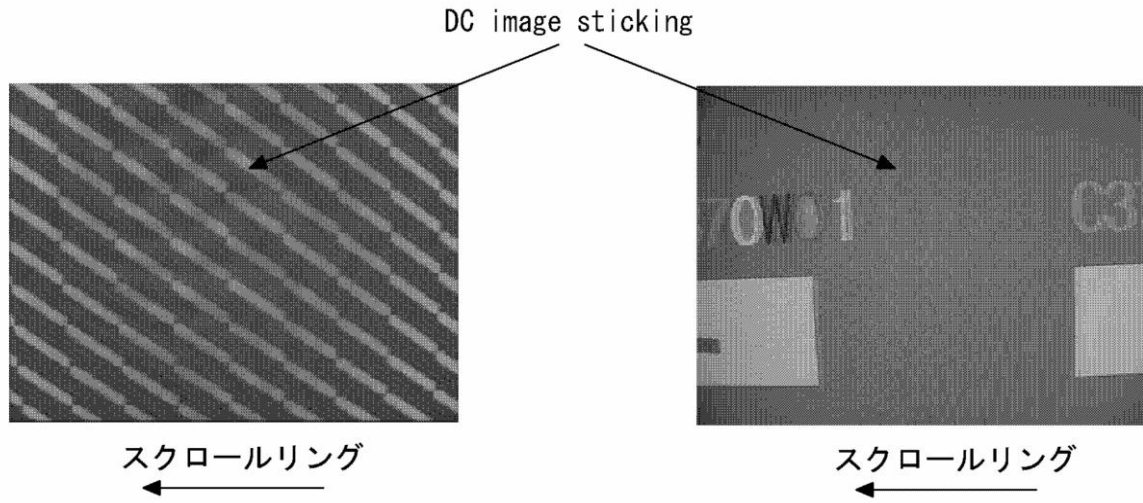
【 図 3 】



直流化残像



【 図 4 】



## フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20 6 2 3 C	
	G 0 9 G 3/20 6 2 2 N	
	G 0 2 F 1/133 5 5 0	
	G 0 9 G 3/20 6 8 0 F	
	G 0 9 G 3/20 6 6 0 B	
	G 0 2 F 1/133 5 1 0	
	G 0 2 F 1/133 5 2 5	

(74)代理人 100160967

弁理士 濱 口 岳久

(72)発明者 ミン ウンキ

大韓民国 デグ ブック ドンチェンドン 8 9 1 ドンワ ゴールデン ヴィラ 1 0 3 - 1 2  
0 5

(72)発明者 ソン ホンスン

大韓民国 キョンブック クミシ グピョンドン 4 7 4 - 7 プヨン アpartment 8 0 3  
- 7 0 6

(72)発明者 イ トンガク

大韓民国 キョンブック クミシ ジンピユンドン 6 4 2 - 3 エルジー ディ스플레이 ファ  
クトリー

F ターム(参考) 2H193 ZA04 ZC15 ZF21 ZF31 ZF32 ZF34 ZQ06 ZQ16  
5C006 AB01 AC11 AC21 AC27 AC29 AF42 AF44 AF71 AF83 AF85  
BB16 BF03 BF04 BF22 BF24 FA15 FA23 FA34 FA47  
5C080 AA10 BB05 CC03 DD05 DD06 EE04 EE29 EE30 FF07 FF11  
JJ01 JJ02 JJ03 JJ04

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	<a href="#">JP2010211187A</a>	公开(公告)日	2010-09-24
申请号	JP2009290280	申请日	2009-12-22
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	ミンウンキ ソンホンスン イトンガク		
发明人	ミン ウンキ ソン ホンスン イトンガク		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3648 G09G3/3607 G09G3/3614 G09G3/3688 G09G2300/0452		
FI分类号	G09G3/36 G09G3/20.642.K G09G3/20.621.B G09G3/20.611.E G09G3/20.612.L G09G3/20.623.C G09G3/20.622.N G02F1/133.550 G09G3/20.680.F G09G3/20.660.B G02F1/133.510 G02F1/133.525		
F-TERM分类号	2H193/ZA04 2H193/ZC15 2H193/ZF21 2H193/ZF31 2H193/ZF32 2H193/ZF34 2H193/ZQ06 2H193/ZQ16 5C006/AB01 5C006/AC11 5C006/AC21 5C006/AC27 5C006/AC29 5C006/AF42 5C006/AF44 5C006/AF71 5C006/AF83 5C006/AF85 5C006/BB16 5C006/BF03 5C006/BF04 5C006/BF22 5C006/BF24 5C006/FA15 5C006/FA23 5C006/FA34 5C006/FA47 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD06 5C080/EE04 5C080/EE29 5C080/EE30 5C080/FF07 5C080/FF11 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04		
代理人(译)	朝日 伸光 ▲濱▼口 岳久		
优先权	1020090020658 2009-03-11 KR		
其他公开文献	JP5373587B2		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题：提供一种液晶显示装置及其驱动方法。解决方案：液晶显示装置及其驱动方法包括液晶显示面板，该液晶显示面板包括多条数据线，与数据线交叉的多条栅极线，以及多个液晶单元并具有四元型像素红色，绿色，蓝色和白色子像素构成一个像素的结构，逻辑电路依次输出具有相互不同相位的多个极性控制信号，逻辑每三个周期反转一次，数据驱动电路反转数据的极性响应于要从逻辑电路输入的极性控制信号以将具有反转极性的数据电压提供给数据线的电压，以及顺序地向栅极线提供栅极脉冲的栅极驱动电路。

