

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-301010

(P2009-301010A)

(43) 公開日 平成21年12月24日(2009.12.24)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1368 (2006.01)	G02F 1/1368	2H092
G02F 1/133 (2006.01)	G02F 1/133 550	2H093
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 624B	5C006
	G09G 3/20 623C	5C080
審査請求 未請求 請求項の数 64 O L (全 68 頁) 最終頁に続く		

(21) 出願番号 特願2009-46737 (P2009-46737)
 (22) 出願日 平成21年2月27日 (2009.2.27)
 (31) 優先権主張番号 10-2008-0056321
 (32) 優先日 平成20年6月16日 (2008.6.16)
 (33) 優先権主張国 韓国 (KR)
 (31) 優先権主張番号 10-2008-0057043
 (32) 優先日 平成20年6月17日 (2008.6.17)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839
 三星電子株式会社
 SAMSUNG ELECTRONICS
 CO., LTD.
 大韓民国京畿道水原市靈通区梅灘洞416
 416, Maetan-dong, Yeongtong-gu, Suwon-si,
 Gyeonggi-do 442-742
 (KR)

(74) 代理人 100094145
 弁理士 小野 由己男

(74) 代理人 100106367
 弁理士 稲積 朋子

最終頁に続く

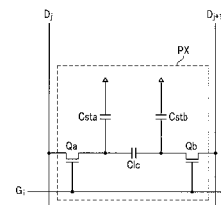
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】データ駆動部等を交換することなく液晶表示装置が利用できる画素電圧範囲を増加させて、透過率を向上させることができ、駆動部の製造費用を節減し、表示板の開口率を向上させることができる液晶表示装置を提供する。

【解決手段】液晶表示装置は、互いに対向する第1基板及び第2基板と、第1基板及び第2基板の間に配置され液晶分子を含む液晶層と、第1基板上に形成されゲート信号を伝達するゲート線と、第1基板上に形成され異なる極性の第1データ電圧及び第2データ電圧をそれぞれ伝達する第1及び第2データ線と、ゲート線及び第1データ線に接続される第1スイッチング素子と、ゲート線及び第2データ線に接続される第2スイッチング素子と、第1スイッチング素子及び第2スイッチング素子に各々接続され、互いに分離されている第1画素電極及び第2画素電極とを有し、液晶層は正の誘電率異方性を有する液晶分子を含む。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

互いに対向する第 1 基板及び第 2 基板と、
前記第 1 基板及び第 2 基板の間に配置され液晶分子を含む液晶層と、
前記第 1 基板上に形成されゲート信号を伝達するゲート線と、
前記第 1 基板上に形成され異なる極性の第 1 及び第 2 データ電圧をそれぞれ伝達する第 1 データ線及び第 2 データ線と、
前記ゲート線及び前記第 1 データ線に接続される第 1 スイッチング素子と
前記ゲート線及び前記第 2 データ線に接続される第 2 スイッチング素子と、
前記第 1 スイッチング素子及び第 2 スイッチング素子に各々接続され、互いに分離されている第 1 画素電極及び第 2 画素電極と、
を有し、前記液晶層に含まれる液晶分子は正の誘電率異方性を有することを特徴とする液晶表示装置。

【請求項 2】

前記第 1 基板上に形成され、反対極性の第 3 データ電圧及び第 4 データ電圧をそれぞれ伝達する第 3 及び第 4 データ線と、
前記ゲート線及び前記第 3 データ線に接続される第 3 スイッチング素子と、
前記ゲート線及び前記第 4 データ線に接続される第 4 スイッチング素子と、
前記第 3 スイッチング素子に接続される第 3 画素電極と、
前記第 3 画素電極と分離されており、前記第 4 スイッチング素子に接続される第 4 画素電極と、
をさらに有することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記第 1 基板上に形成され、第 3 データ電圧を伝達する第 3 データ線と、
前記ゲート線及び前記第 2 データ線に接続される第 3 スイッチング素子と、
前記ゲート線及び前記第 3 データ線に接続される第 4 スイッチング素子と、
前記第 3 スイッチング素子に接続される第 3 画素電極と、
前記第 3 画素電極と分離されており、前記第 4 スイッチング素子に接続される第 4 画素電極と、
をさらに有し、前記第 2 データ電圧と前記第 3 データ電圧の極性がそれぞれ異なることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 4】

前記第 1 画素電極及び第 2 画素電極は同一層に形成されることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 5】

前記第 1 画素電極及び第 2 画素電極はそれぞれ異なる層に形成されることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 6】

前記第 1 基板上に形成され、共通電圧が印加される共通電極をさらに有することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 7】

前記第 2 基板上に形成され、共通電圧が印加される共通電極をさらに有することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 8】

前記第 1 画素電極及び第 2 画素電極はそれぞれ複数の枝電極を含み、前記第 1 画素電極の枝電極と前記第 2 画素電極の枝電極は交互に配置されることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 9】

隣接する前記第 1 画素電極の枝電極と前記第 2 画素電極の枝電極との間の距離は位置に応じて同一であることを特徴とする請求項 8 に記載の液晶表示装置。

10

20

30

40

50

【請求項 10】

隣接する前記第 1 画素電極の枝電極と前記第 2 画素電極の枝電極との間の距離は位置に応じて異なることを特徴とする請求項 8 に記載の液晶表示装置。

【請求項 11】

前記第 1 画素電極及び第 2 画素電極の枝電極は 1 または複数回折曲された形状であることを特徴とする請求項 8 に記載の液晶表示装置。

【請求項 12】

前記第 1 画素電極及び第 2 画素電極の複数の枝電極は、前記ゲート線に対して斜めに形成されることを特徴とする請求項 8 に記載の液晶表示装置。

【請求項 13】

前記第 1 画素電極及び第 2 データ線は 1 または複数回折曲された形状であることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 14】

前記第 1 基板上に形成される維持電極線をさらに有し、前記第 1 スイッチング素子は、前記第 1 画素電極に接続される第 1 ドレイン電極を有し、前記第 2 スイッチング素子は、前記第 2 画素電極に接続される第 2 ドレイン電極を含み、前記第 1 画素電極、前記第 2 画素電極、前記第 1 ドレイン電極、及び前記第 2 ドレイン電極のうちの少なくともいずれか 1 つは前記維持電極線とオーバーラップすることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 15】

前記第 1 画素電極又は前記第 1 画素電極に接続される電極は、前記第 2 画素電極とオーバーラップすることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 16】

互いに対向する第 1 基板及び第 2 基板と、
前記第 1 基板及び第 2 基板の間に配置され液晶分子を含む液晶層と、
前記第 1 基板上に形成されてゲート信号を伝達するゲート線と、
前記第 1 基板上に形成されてそれぞれ異なる第 1 データ電圧及び第 2 データ電圧を伝達する第 1 データ線及び第 2 データ線と、
前記ゲート線及び前記第 1 データ線に接続される第 1 スイッチング素子及び第 2 スイッチング素子と、
前記ゲート線及び前記第 2 データ線に接続される第 3 スイッチング素子及び第 4 スイッチング素子と、
前記第 1 スイッチング素子、第 2 スイッチング素子、第 3 スイッチング素子及び第 4 スイッチング素子に各々接続される第 1 画素電極、第 2 画素電極、第 3 画素電極及び第 4 画素電極と、
を有し、前記液晶層に含まれる液晶分子は正の誘電率異方性を有することを特徴とする液晶表示装置。

【請求項 17】

前記液晶層に含まれる液晶分子は垂直配向型又は水平配向型であることを特徴とする請求項 16 に記載の液晶表示装置。

【請求項 18】

前記第 1 基板上に形成されてそれぞれ異なる第 3 データ電圧及び第 4 データ電圧をそれぞれ伝達する第 3 データ線及び第 4 データ線と、

前記ゲート線及び前記第 3 データ線に接続される第 5 スイッチング素子及び第 6 スイッチング素子と、

前記第 1 ゲート線及び前記第 4 データ線に接続される第 7 スイッチング素子及び第 8 スイッチング素子と、

前記第 5 スイッチング素子、第 6 スイッチング素子、第 7 スイッチング及び第 8 スイッチング素子に各々接続される第 5 画素電極、第 6 画素電極、第 7 画素電極及び第 8 画素電極と、

10

20

30

40

50

をさらに有することを特徴とする請求項 16 に記載の液晶表示装置。

【請求項 19】

前記第 1 基板上に形成されて第 3 データ電圧を伝達する第 3 データ線と、

前記ゲート線及び前記第 2 データ線に接続される第 5 スイッチング素子及び第 6 スイッチング素子と、

前記ゲート線及び前記第 3 データ線に接続される第 7 スイッチング素子及び第 8 スイッチング素子と、

前記第 5 スイッチング素子、第 6 スイッチング素子、第 7 スイッチング素子及び第 8 スイッチング素子に各々接続される第 5 画素電極、第 6 画素電極、第 7 画素電極及び第 8 画素電極と、

をさらに有し、前記第 2 データ電圧と前記第 3 データ電圧はそれぞれ異なることを特徴とする請求項 16 に記載の液晶表示装置。

【請求項 20】

前記第 1 スイッチング素子、第 2 スイッチング素子、第 3 スイッチング素子及び第 4 スイッチング素子は、各々第 1 ゲート電極、第 2 ゲート電極、第 3 ゲート電極及び第 4 ゲート電極と、第 1 ドレイン電極、第 2 ドレイン電極、第 3 ドレイン電極及び第 4 ドレイン電極を含み、

前記第 1 ドレイン電極、第 2 ドレイン電極、第 3 ドレイン電極及び第 4 ドレイン電極は、各々前記第 1 画素電極、第 2 画素電極、第 3 画素電極及び第 4 画素電極に接続されており、

前記第 1 ゲート電極と前記第 1 ドレイン電極がオーバーラップする面積を第 1 面積、前記第 2 ゲート電極と前記第 2 ドレイン電極がオーバーラップする面積を第 2 面積、前記第 3 ゲート電極と前記第 3 ドレイン電極がオーバーラップする面積を第 3 面積、そして前記第 4 ゲート電極と前記第 4 ドレイン電極がオーバーラップする面積を第 4 面積とする場合、前記第 1 ～ 第 4 面積のうちの少なくとも 1 つは他と異なっていることを特徴とする請求項 16 に記載の液晶表示装置。

【請求項 21】

前記第 1 面積が前記第 3 面積より大きいか、前記第 4 面積が前記第 3 面積より大きいことを特徴とする請求項 20 に記載の液晶表示装置。

【請求項 22】

前記第 1 ～ 第 4 画素電極は、各々複数の枝電極を有し、

前記第 1 画素電極の枝電極と前記第 3 画素電極の枝電極が交互に配置され、

前記第 2 画素電極の枝電極と前記第 4 画素電極の枝電極が交互に配置されることを特徴とする請求項 16 に記載の液晶表示装置。

【請求項 23】

前記第 1 ～ 第 4 画素電極の枝電極は、前記ゲート線に斜めに形成されることを特徴とする請求項 22 に記載の液晶表示装置。

【請求項 24】

前記第 1 基板上に形成される維持電極線をさらに有することを特徴とする請求項 16 に記載の液晶表示装置。

【請求項 25】

互いに対向する第 1 基板及び第 2 基板と、

前記第 1 基板及び第 2 基板の間に配置され液晶分子を含む液晶層と、

前記第 1 基板上に形成されてゲート信号を伝達するゲート線と、

前記第 1 基板上に形成されてそれぞれ異なる第 1 データ電圧、第 2 データ電圧、第 3 データ電圧及び第 4 データ電圧をそれぞれ伝達する第 1 データ線、第 2 データ線、第 3 データ線及び第 4 データ線と、

前記ゲート線及び前記第 1 データ線に接続される第 1 スイッチング素子と、

前記ゲート線及び前記第 2 データ線に接続される第 2 スイッチング素子と、

前記ゲート線及び前記第 3 データ線に接続される第 3 スイッチング素子と、

10

20

30

40

50

前記ゲート線及び前記第４データ線に接続される第４スイッチング素子と、

前記第１スイッチング素子、第２スイッチング素子、第３スイッチング素子及び第４スイッチング素子に各々接続される第１副画素電極、第２副画素電極、第３副画素電極及び第４副画素電極と、

を有し、前記第１～第４副画素電極は１つの画像情報から得たそれぞれ異なる電圧が印加され、前記液晶層に含まれる液晶分子は正の誘電率異方性を有することを特徴とする液晶表示装置。

【請求項２６】

前記第１基板上に形成される維持電極線をさらに有する請求項２５に記載の液晶表示装置。

10

【請求項２７】

互いに対向する第１基板及び第２基板と、

前記第１基板及び第２基板の間に配置され液晶分子を含む液晶層と、

前記第１基板上に形成される第１ゲート線及び第２ゲート線と、

前記第１基板上に形成されてそれぞれ異なる第１データ電圧及び第２データ電圧をそれぞれ伝達する第１データ線及び第２データ線と、

前記第１ゲート線及び前記第１データ線に接続される第１スイッチング素子と、

前記第１ゲート線及び前記第２データ線に接続される第２スイッチング素子と、

前記第２ゲート線及び前記第１データ線に接続される第３スイッチング素子と、

前記第２ゲート線及び前記第２データ線に接続される第４スイッチング素子と、

20

前記第１スイッチング素子、第２スイッチング素子、第３スイッチング素子及び第４スイッチング素子に各々接続される第１副画素電極、第２副画素電極、第３副画素電極及び第４副画素電極と、

を含み、前記第１～第４副画素電極は、１つの画像情報から得たそれぞれ異なる電圧が印加され、前記液晶層に含まれる液晶分子は正の誘電率異方性を有することを特徴とする液晶表示装置。

【請求項２８】

前記第１基板上に形成される維持電極線をさらに有することを特徴とする請求項２７に記載の液晶表示装置。

30

【請求項２９】

第１副画素及び第２副画素、結合キャパシタを含む画素と、

基板上に形成されてゲート信号を伝達するゲート線と、

前記基板上に形成されてそれぞれ異なる第１データ電圧及び第２データ電圧を伝達する第１データ線及び第２データ線と、

を含み、

前記第１副画素は、前記ゲート線及び前記第１データ線に接続される第１スイッチング素子、前記ゲート線及び前記第２データ線に接続される第２スイッチング素子、並びに前記第１スイッチング素子及び第２スイッチング素子に接続される第１液晶キャパシタを含み、

前記結合キャパシタは前記第１スイッチング素子に接続されており、

40

前記第２副画素は、前記第２スイッチング素子、前記結合キャパシタ及び前記第２スイッチング素子に接続される第２液晶キャパシタを有し、

前記第１及び第２液晶キャパシタは、正の誘電率異方性を有する液晶層を挟持することを特徴とする液晶表示装置。

【請求項３０】

前記第１基板上に形成される維持電極線をさらに有することを特徴とする請求項２９に記載の液晶表示装置。

【請求項３１】

第１副画素及び第２副画素、昇圧部を含む複数の画素と、

基板上に形成されてゲート信号を伝達する第１ゲート線及び第２ゲート線と、

50

前記基板上に形成されてそれぞれ異なる第 1 データ電圧及び第 2 データ電圧を伝達する第 1 データ線及び第 2 データ線と、
を有し、

前記第 1 副画素は、前記第 1 ゲート線及び前記第 1 データ線に接続される第 1 スイッチング素子、前記第 1 ゲート線及び前記第 2 データ線に接続される第 2 スイッチング素子、前記第 1 スイッチング素子及び第 2 スイッチング素子に接続される第 1 液晶キャパシタを有し、

前記第 2 副画素は、前記第 1 ゲート線及び前記第 1 データ線に接続される第 3 スイッチング素子、前記第 2 スイッチング素子、前記第 2 スイッチング素子及び第 3 スイッチング素子に接続される第 2 液晶キャパシタを有し、

10

前記昇圧部は、前記第 1 スイッチング素子に接続される昇圧キャパシタと、前記第 1 ゲート線のゲート信号によって制御され、前記昇圧キャパシタ及び共通電圧の間に接続される第 4 スイッチング素子と、前記第 2 ゲート線のゲート信号によって制御され、前記昇圧キャパシタと前記第 2 液晶キャパシタの間に接続される第 5 スイッチング素子とを有し、

前記第 2 ゲート線には、前記第 1 ゲート線より遅れてゲートオン電圧が印加され、前記第 1 液晶キャパシタ及び第 2 液晶キャパシタは正の誘電率異方性を有する液晶層を挟持することを特徴とする液晶表示装置。

【請求項 3 2】

隣接する 2 つの画素を第 1 画素及び第 2 画素とする場合、前記第 1 画素の前記第 2 データ線が伝達する前記第 2 データ電圧と、前記第 2 画素の前記第 2 データ線が伝達する前記第 2 データ電圧とが同一であることを特徴とする請求項 3 1 に記載の液晶表示装置。

20

【請求項 3 3】

前記第 1 副画素は、前記第 1 スイッチング素子に接続される第 1 ストレージキャパシタ及び前記第 2 スイッチング素子に接続される第 2 ストレージキャパシタをさらに含み、前記第 2 副画素は、前記第 3 スイッチング素子に接続される第 3 ストレージキャパシタ及び前記第 2 ストレージキャパシタをさらに含むことを特徴とする請求項 3 1 に記載の液晶表示装置。

【請求項 3 4】

前記第 1 副画素は、前記第 1 及び第 2 スイッチング素子に接続される第 1 ストレージキャパシタをさらに含み、前記第 2 副画素は、前記第 2 スイッチング素子及び第 3 スイッチング素子に接続される第 2 ストレージキャパシタをさらに含むことを特徴とする請求項 3 1 に記載の液晶表示装置。

30

【請求項 3 5】

互いに対向する第 1 基板及び第 2 基板と、

前記第 1 基板及び第 2 基板の間に配置され液晶分子を含む液晶層と、

前記第 1 基板上に形成されてゲート信号を伝達するゲート線と、

前記第 1 基板上に形成されて各々第 1 データ電圧、第 2 データ電圧及び第 3 データ電圧を伝達する第 1 データ線、第 2 データ線及び第 3 データ線と、

前記ゲート線及び前記第 1 データ線に接続される第 1 スイッチング素子と、

前記ゲート線及び前記第 2 データ線に接続される第 2 スイッチング素子と、

40

前記ゲート線及び前記第 2 データ線に接続される第 3 スイッチング素子と、

前記ゲート線及び前記第 3 データ線に接続される第 4 スイッチング素子と、

前記第 1 スイッチング素子、第 2 スイッチング素子、第 3 スイッチング素子及び第 4 スイッチング素子に各々接続される第 1 画素電極、第 2 画素電極、第 3 画素電極及び第 4 画素電極と、

を有することを特徴とする液晶表示装置。

【請求項 3 6】

前記第 2 データ電圧は、第 1 レベル及び第 2 レベルに一定の周期で変動することを特徴とする請求項 3 5 に記載の液晶表示装置。

【請求項 3 7】

50

前記第 1 レベルは、前記液晶表示装置が利用できる最高電圧であり、前記第 2 レベルは、前記液晶表示装置が利用できる最低電圧であることを特徴とする請求項 3 6 に記載の液晶表示装置。

【請求項 3 8】

前記周期は 1 フレームであることを特徴とする請求項 3 6 に記載の液晶表示装置。

【請求項 3 9】

前記第 1 ～ 第 3 データ線は同一層に形成されることを特徴とする請求項 3 6 に記載の液晶表示装置。

【請求項 4 0】

前記第 2 データ線は前記ゲート線と同一層に形成されることを特徴とする請求項 3 6 に記載の液晶表示装置。

10

【請求項 4 1】

前記第 1 基板上に形成される維持電極線をさらに有することを特徴とする請求項 3 5 に記載の液晶表示装置。

【請求項 4 2】

前記第 1 画素電極及び第 2 画素電極は複数の枝電極を含み、前記第 1 画素電極の枝電極と前記第 2 画素電極の枝電極は交互に配置されることを特徴とする請求項 3 5 に記載の液晶表示装置。

【請求項 4 3】

隣接する前記第 1 画素電極の枝電極と前記第 2 画素電極の枝電極の間の距離は位置によって異なることを特徴とする請求項 4 2 に記載の液晶表示装置。

20

【請求項 4 4】

第 1 副画素及び第 2 副画素を含む画素と、基板上に形成されるゲート線と、前記基板上に形成される第 1 データ線、第 2 データ線及び第 3 データ線とを有し、

前記第 1 副画素は、前記ゲート線及び前記第 1 データ線に接続される第 1 スイッチング素子、前記ゲート線及び前記第 2 データ線に接続される第 2 スイッチング素子、前記第 1 及び第 2 スイッチング素子に接続される液晶キャパシタを有し、

前記第 2 副画素は、前記ゲート線及び前記第 2 データ線に接続される第 3 スイッチング素子、前記ゲート線及び前記第 3 データ線に接続される第 4 スイッチング素子、前記第 3 スイッチング素子及び第 4 スイッチング素子に接続される液晶キャパシタを有し、

30

前記第 1 副画素と前記第 2 副画素は、1 つの画像情報から得られたそれぞれ異なるデータ電圧が印加されることを特徴とする液晶表示装置。

【請求項 4 5】

前記第 2 データ線に印加される電圧は第 1 レベル及び第 2 レベルに一定の周期で変動することを特徴とする請求項 4 4 に記載の液晶表示装置。

【請求項 4 6】

前記第 1 ～ 第 3 データ線は同一層に形成されることを特徴とする請求項 4 5 に記載の液晶表示装置。

【請求項 4 7】

前記第 2 データ線は前記ゲート線と同一層に形成されることを特徴とする請求項 4 5 に記載の液晶表示装置。

40

【請求項 4 8】

前記基板上に形成される維持電極線をさらに有することを特徴とする請求項 4 4 に記載の液晶表示装置。

【請求項 4 9】

マトリクス状に配列されて、第 1 副画素及び第 2 副画素を含む複数の画素と、基板上に形成される複数の第 1 ゲート線及び第 2 ゲート線と、前記基板上に形成される複数の第 1 データ線及び第 2 データ線とを有し、

前記第 1 副画素は、前記第 1 ゲート線及び前記第 1 データ線に接続される第 1 スイッチング素子、前記第 1 ゲート線及び前記第 2 データ線に接続される第 2 スイッチング素子、

50

前記第 1 及び第 2 スイッチング素子に接続される第 1 液晶キャパシタを含み、

前記第 2 副画素は、前記第 2 ゲート線及び前記第 1 データ線に接続される第 3 スイッチング素子、前記第 2 ゲート線及び前記第 2 データ線に接続される第 4 スイッチング素子、前記第 3 及び第 4 スイッチング素子に接続される第 2 液晶キャパシタを含み、

前記第 1 副画素及び前記第 2 副画素には、1 つの画像情報から得られたそれぞれ異なるデータ電圧が印加されることを特徴とする液晶表示装置。

【請求項 50】

前記第 2 データ線に印加される電圧は第 1 レベル及び第 2 レベルに一定の周期で変動することを特徴とする請求項 49 に記載の液晶表示装置。

【請求項 51】

前記第 2 データ線は前記第 1 ゲート線及び第 2 ゲート線と同一層に形成されることを特徴とする請求項 49 に記載の液晶表示装置。

【請求項 52】

前記基板上に形成される複数の第 3 データ線をさらに有し、

前記複数の画素のうち隣接する 2 つの画素を第 1 画素及び第 2 画素とする場合、前記第 2 画素の第 1 副画素は、前記第 1 ゲート線及び前記第 3 データ線に接続される第 5 スイッチング素子、前記第 1 ゲート線及び前記第 2 データ線に接続される第 6 スイッチング素子、前記第 5 スイッチング素子及び第 6 スイッチング素子に接続される第 3 液晶キャパシタを含み、

前記第 2 画素の第 2 副画素は、前記第 2 ゲート線及び前記第 3 データ線に接続される第 7 スイッチング素子、前記第 2 ゲート線及び前記第 2 データ線に接続される第 8 スイッチング素子、前記第 7 スイッチング素子及び第 8 スイッチング素子に接続される第 4 液晶キャパシタを含み、

前記第 2 画素の前記第 1 副画素及び第 2 副画素には、1 つの画像情報から得られたそれぞれ異なるデータ電圧が印加されることを特徴とする請求項 49 に記載の液晶表示装置。

【請求項 53】

前記基板上に形成される維持電極線をさらに有することを特徴とする請求項 49 に記載の液晶表示装置。

【請求項 54】

結合キャパシタ、第 1 副画素及び第 2 副画素を各々含んで隣接する第 1 画素及び第 2 画素と、基板上に形成されるゲート線と、前記基板上に形成される第 1 データ線、第 2 データ線及び第 3 データ線とを有し、

前記第 1 画素の第 1 副画素は、前記第 1 ゲート線及び前記第 1 データ線に接続される第 1 スイッチング素子、前記第 1 ゲート線及び前記第 2 データ線に接続される第 2 スイッチング素子、前記第 1 スイッチング素子及び第 2 スイッチング素子に接続される第 1 液晶キャパシタを含み、

前記第 1 画素の結合キャパシタは、前記第 1 スイッチング素子に接続されており、前記第 1 画素の第 2 副画素は、前記第 2 スイッチング素子、前記結合キャパシタ及び前記第 2 スイッチング素子の間に接続される第 2 液晶キャパシタを含み、

前記第 2 画素の第 1 副画素は、前記第 1 ゲート線及び前記第 2 データ線に接続される第 3 スイッチング素子、前記第 1 ゲート線及び前記第 3 データ線に接続される第 4 スイッチング素子、前記第 3 スイッチング素子及び第 4 スイッチング素子に接続される第 3 液晶キャパシタを含み、

前記第 2 画素の結合キャパシタは、前記第 4 スイッチング素子に接続されており、前記第 2 画素の第 2 副画素は、前記第 3 スイッチング素子、及び、前記結合キャパシタ及び前記第 3 スイッチング素子の間に接続される第 4 液晶キャパシタを含むことを特徴とする液晶表示装置。

【請求項 55】

前記第 2 データ線に印加される電圧は第 1 レベル及び第 2 レベルに一定の周期で変動す

10

20

30

40

50

ることを特徴とする請求項 5 4 に記載の液晶表示装置。

【請求項 5 6】

前記第 1 ～ 第 3 データ線は同一層に形成されることを特徴とする請求項 5 4 に記載の液晶表示装置。

【請求項 5 7】

前記第 2 データ線は前記ゲート線と同一層に形成されることを特徴とする請求項 5 4 に記載の液晶表示装置。

【請求項 5 8】

マトリクス状配列されている複数の画素と、基板上に形成されてゲート信号を伝達する複数のゲート線と、前記基板上に形成されて第 1 データ電圧及び第 2 データ電圧を伝達する複数の第 1 データ線及び第 2 データ線とを有し、

前記画素は、前記ゲート線及び前記第 1 データ線に接続される第 1 スイッチング素子、前記ゲート線及び前記第 2 データ線に接続される第 2 スイッチング素子、前記第 1 スイッチング素子及び第 2 スイッチング素子に接続される液晶キャパシタを含み、

前記液晶キャパシタは、第 1 画素電極、第 2 画素電極、前記第 1 画素電極及び第 2 画素電極の間に位置し、正の誘電率異方性を有する液晶層を含み、

前記液晶層は垂直配向型であり、前記各画素は、1 つ以上のフレーム期間において画像を表示した後、低階調の画像を少なくとも 1 フレーム間表示することを特徴とする液晶表示装置。

【請求項 5 9】

前記複数の画素は同一フレーム期間において低階調の画像を表示することを特徴とする請求項 5 8 に記載の液晶表示装置。

【請求項 6 0】

前記低階調の画像は 1 フレーム期間に表示されることを特徴とする請求項 5 9 に記載の液晶表示装置。

【請求項 6 1】

前記複数の画素のうちの少なくとも 1 つの画素行又は少なくとも 1 つの画素列は、同一フレーム期間において低階調の画像を表示し、その他の画素は前記同一フレーム期間において前記画像を表示することを特徴とする請求項 5 9 に記載の液晶表示装置。

【請求項 6 2】

隣接する 2 つの画素行又は隣接する 2 つの画素列は、連続する 2 フレーム期間に順次に低階調の画像を表示することを特徴とする請求項 6 1 に記載の液晶表示装置。

【請求項 6 3】

前記低階調の画像を表示する少なくとも 1 つの画素行は、同一フレーム期間において同時に低階調の画像を表示することを特徴とする請求項 6 1 に記載の液晶表示装置。

【請求項 6 4】

前記低階調のデータ電圧は前記画像のデータ電圧の $2/3$ 以下であることを特徴とする請求項 5 8 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に関するものである。

【背景技術】

【0002】

液晶表示装置は、現在最も広く使用されている平板表示装置（フラットパネルディスプレイ）のうちの 1 つであって、画素電極と共通電極等電場生成電極が形成されている 2 枚の表示板とその間に挟持された液晶層とからなり、電場生成電極に電圧を印加して液晶層に電場を生成し、これを通じて液晶層の液晶分子の配向を決定し、入射光の偏光を制御することによって画像を表示する。

【0003】

また、液晶表示装置は、各画素電極に接続されるスイッチング素子及びスイッチング素子を制御して画素電極に電圧を印加するためのゲート線とデータ線等の複数の信号線を含む。

このような液晶表示装置は、外部のグラフィック制御器から入力画像信号を受信し、入力画像信号は、各画素の輝度情報を含み、各輝度は決められた数を有する。各画素は、所望の輝度情報に対応するデータ電圧が印加される。画素に印加されたデータ電圧は、共通電圧の差に応じて画素電圧として表れ、画素電圧に応じて各画素は画像信号の階調が示す輝度を表示する。この場合、液晶表示装置が利用できる画素電圧の範囲は駆動部によって決定されている。

【 0 0 0 4 】

一方、液晶表示装置の駆動部は、多数の集積回路チップの形態で表示板に直接取り付けるか、フレキシブル回路膜等に装着されて表示板に取り付けられる。このような集積回路チップは液晶表示装置の製造費用の高い比率を占めている。

また液晶表示板組立体に形成されるゲート線又はデータ線等の配線が多くなるほど表示装置の開口率が著しく減少する。

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 5 】

そこで、本発明の目的は、駆動部を交換することなく、液晶表示装置が利用できる画素電圧の範囲を増大させて透過率を高め、かつ駆動部の製造費用を節減し、表示板の開口率を向上させることである。

本発明の他の目的は、液晶表示装置の高いコントラスト比と広視野角を同時に確保し、液晶分子の応答速度を高めることである。

【 0 0 0 6 】

本発明の他の目的は、外部からの圧力等の影響に関係なく、液晶表示装置の表示特性を向上させることである。

【 課題を解決するための手段 】

【 0 0 0 7 】

本発明の一実施例に係る液晶表示装置は、互いに対向する第 1 基板及び第 2 基板と、前記第 1 基板及び第 2 基板の間に配置され液晶分子を含む液晶層と、前記第 1 基板上に形成されゲート信号を伝達するゲート線と、前記第 1 基板上に形成され異なる極性の第 1 データ電圧及び第 2 データ電圧をそれぞれ伝達する第 1 データ線及び第 2 データ線と、前記ゲート線及び前記第 1 データ線に接続される第 1 スwitchング素子と、前記ゲート線及び前記第 2 データ線に接続される第 2 スwitchング素子と、前記第 1 スwitchング素子及び第 2 スwitchング素子に各々接続され、互いに分離されている第 1 画素電極及び第 2 画素電極とを有し、前記液晶層に含まれる液晶分子は正の誘電率異方性を有することを特徴とする。

【 0 0 0 8 】

前記液晶層に含まれる液晶分子は垂直配向型であってもよい。また、前記液晶層に含まれる液晶分子は水平配向型であってもよい。

前記第 1 基板上に形成され、反対極性の第 3 データ電圧及び第 4 データ電圧をそれぞれ伝達する第 3 データ線及び第 4 データ線と、前記ゲート線及び前記第 3 データ線に接続される第 3 スwitchング素子と、前記ゲート線及び前記第 4 データ線に接続される第 4 スwitchング素子と、前記第 3 スwitchング素子に接続される第 3 画素電極と、前記第 3 画素電極と分離されており、前記第 4 スwitchング素子に接続される第 4 画素電極をさらに有してもよい。

【 0 0 0 9 】

前記第 1 基板上に形成され、第 3 データ電圧を伝達する第 3 データ線と、前記ゲート線及び前記第 2 データ線に接続される第 3 スwitchング素子と、前記ゲート線及び前記第 3 データ線に接続される第 4 スwitchング素子と、前記第 3 スwitchング素子に接続される

10

20

30

40

50

第3画素電極と、前記第3画素電極と分離されており、前記第4スイッチング素子に接続される第4画素電極とをさらに有し、前記第2データ電圧と前記第3データ電圧の極性が互いに異なる構成とすることができる。

【0010】

前記第1データ電圧及び第2データ電圧の極性は、フレーム毎に周期的に変更されるように構成できる。

前記第1画素電極及び第2画素電極は同一層に形成することができる。また、前記第1画素電極及び第2画素電極はそれぞれ異なる層に形成することも可能である。

前記第1基板上に形成されて共通電圧が印加される共通電極をさらに有し、前記第2基板上に形成されて共通電圧が印加される共通電極をさらに有する構成とすることができる。

10

【0011】

前記第1画素電極及び第2画素電極は複数の枝電極を含み、前記第1画素電極の枝電極と前記第2画素電極の枝電極は交互に配置されるように構成できる。

隣接する前記第1画素電極の枝電極と前記第2画素電極の枝電極との間の距離は、位置によって同じであってもよい。また、隣接する前記第1画素電極の枝電極と前記第2画素電極の枝電極との間の距離は位置によって異なるように構成できる。

【0012】

前記第1画素電極及び第2画素電極の枝電極は1または複数回折曲された形状とすることができる。

20

前記第1画素電極及び第2画素電極の複数の枝電極は、前記ゲート線に対して斜めに形成することができる。

前記第1データ線及び第2データ線は1または複数回折曲された形状とすることができる。

【0013】

前記第1基板上に形成される維持電極線をさらに含み、前記第1スイッチング素子は、前記第1画素電極に接続される第1ドレイン電極を含み、前記第2スイッチング素子は、前記第2画素電極に接続される第2ドレイン電極を含み、前記第1画素電極、前記第2画素電極、前記第1ドレイン電極、及び前記第2ドレイン電極のうちの少なくともいずれかが1つが前記維持電極線とオーバーラップ（重畳）することを特徴とする液晶表示装置を構成できる。

30

【0014】

また、前記第1画素電極や前記第1画素電極に接続される電極が前記第2画素電極とオーバーラップ（重畳）するように構成できる。

本発明の他の実施例に係る液晶表示装置は、互いに対向する第1基板及び第2基板と、前記第1基板及び第2基板の間に配置され液晶分子を含む液晶層と、前記第1基板上に形成されてゲート信号を伝達するゲート線と、前記第1基板上に形成されてそれぞれ異なる第1データ電圧及び第2データ電圧を伝達する第1データ線及び第2データ線と、前記ゲート線及び前記第1データ線に接続される第1スイッチング素子及び第2スイッチング素子と、前記ゲート線及び前記第2データ線に接続される第3スイッチング素子及び第4スイッチング素子と、前記第1スイッチング素子、第2スイッチング素子、第3スイッチング素子及び第4スイッチング素子に各々接続される第1画素電極、第2画素電極、第3画素電極及び第4画素電極とを有し、前記液晶層に含まれる液晶分子は正の誘電率異方性を有することを特徴とする。

40

【0015】

前記第1データ電圧と前記第2データ電圧の極性は、互いに反対極性であってもよい。

前記液晶層に含まれる液晶分子は垂直配向型又は水平配向型であってもよい。

前記第1基板上に形成されてそれぞれ異なる第3データ電圧及び第4データ電圧をそれぞれ伝達する第3データ線及び第4データ線と、前記ゲート線及び前記第3データ線に接続される第5スイッチング素子及び第6スイッチング素子と、前記第1ゲート線及び前記

50

第4データ線に接続される第7スイッチング素子及び第8スイッチング素子と、前記第5スイッチング素子、第6スイッチング素子、第7スイッチング素子及び第8スイッチング素子に各々接続される第5画素電極、第6画素電極、第7画素電極及び第8画素電極をさらに有するように構成できる。

【0016】

前記第1基板上に形成されて第3データ電圧を伝達する第3データ線と、前記ゲート線及び前記第2データ線に接続される第5スイッチング素子及び第6スイッチング素子と、前記ゲート線及び前記第3データ線に接続される第7スイッチング素子及び第8スイッチング素子と、前記第5スイッチング素子、第6スイッチング素子、第7スイッチング素子及び第8スイッチング素子に各々接続される第5画素電極、第6画素電極、第7画素電極及び第8画素電極とをさらに有し、前記第2データ電圧と前記第3データ電圧は互いに異なるように構成できる。

10

【0017】

前記第1スイッチング素子、第2スイッチング素子、第3スイッチング素子及び第4スイッチング素子は、各々第1ゲート電極、第2ゲート電極、第3ゲート電極及び第4ゲート電極と、第1ドレイン電極、第2ドレイン電極、第3ドレイン電極及び第4ドレイン電極を含み、前記第1ドレイン電極、第2ドレイン電極、第3ドレイン電極及び第4ドレイン電極は、各々前記第1画素電極、第2画素電極、第3画素電極及び第4画素電極に接続されており、前記第1ゲート電極と前記第1ドレイン電極がオーバーラップする面積を第1面積、前記第2ゲート電極と前記第2ドレイン電極がオーバーラップする面積を第2面積、前記第3ゲート電極と前記第3ドレイン電極がオーバーラップする面積を第3面積、そして前記第4ゲート電極と前記第4ドレイン電極がオーバーラップする面積を第4面積とする場合、前記第1～第4面積のうちの少なくとも1つは他と異なるように構成できる。

20

【0018】

この場合、前記第1面積が前記第3面積より大きくなるように構成することができ、また前記第4面積が前記第3面積より大きくなるように構成することもできる。

前記第1～第4画素電極は、各々複数の枝電極を有し、前記第1画素電極の枝電極と前記第3画素電極の枝電極を交互に配置し、前記第2画素電極の枝電極と前記第4画素電極の枝電極を交互に配置することもできる。

30

【0019】

前記第1～第4画素電極の枝電極は、前記ゲート線に対して斜めに形成することもできる。

前記第1基板上に形成される維持電極線をさらに有する構成とすることもできる。

本発明の他の実施例に係る液晶表示装置は、互いに対向する第1基板及び第2基板と、前記第1基板及び第2基板の間に配置され液晶分子を含む液晶層と、前記第1基板上に形成されてゲート信号を伝達するゲート線と、前記第1基板上に形成されてそれぞれ異なる第1データ電圧、第2データ電圧、第3データ電圧及び第4データ電圧をそれぞれ伝達する第1データ線、第2データ線、第3データ線及び第4データ線と、前記ゲート線及び前記第1データ線に接続される第1スイッチング素子と、前記ゲート線及び前記第2データ線に接続される第2スイッチング素子と、前記ゲート線及び前記第3データ線に接続される第3スイッチング素子と、前記ゲート線及び前記第4データ線に接続される第4スイッチング素子と、前記第1スイッチング素子、第2スイッチング素子、第3スイッチング素子及び第4スイッチング素子に各々接続される第1副画素電極、第2副画素電極、第3副画素電極及び第4副画素電極を有し、前記第1～第4副画素電極は1つの画像情報から得たそれぞれ異なる電圧が印加され、前記液晶層に含まれる液晶分子は正の誘電率異方性を有することを特徴とする。

40

【0020】

前記第1データ電圧と前記第2データ電圧の極性は互いに逆極性であり、前記第3データ電圧と前記第4データ電圧の極性は互いに逆極性であってもよい。

50

前記液晶層に含まれる液晶分子は垂直配向型又は水平配向型であってもよい。

前記第1基板上に形成される維持電極線をさらに有する構成とすることができる。

本発明の他の実施例に係る液晶表示装置は、互いに対向する第1基板及び第2基板と、前記第1基板及び第2基板の間に配置され液晶分子を含む液晶層と、前記第1基板上に形成される第1ゲート線及び第2ゲート線と、前記第1基板上に形成されてそれぞれ異なる第1データ電圧及び第2データ電圧をそれぞれ伝達する第1データ線及び第2データ線と、前記第1ゲート線及び前記第1データ線に接続される第1スイッチング素子と、前記第1ゲート線及び前記第2データ線に接続される第2スイッチング素子と、前記第2ゲート線及び前記第1データ線に接続される第3スイッチング素子と、前記第2ゲート線及び前記第2データ線に接続される第4スイッチング素子と、前記第1スイッチング素子、第2
10 10
スイッチング素子、第3スイッチング素子及び第4スイッチング素子に各々接続される第1副画素電極、第2副画素電極、第3副画素電極及び第4副画素電極とを含み、前記第1～第4副画素電極は、1つの画像情報から得たそれぞれ異なる電圧が印加され、前記液晶層に含まれる液晶分子は正の誘電率異方性を有することを特徴とする。

【0021】

前記第1データ電圧と前記第2データ電圧の極性は互いに逆極性であってもよい。

前記液晶層に含まれる液晶分子は垂直配向型又は水平配向型であってもよい。

前記第1基板上に形成される維持電極線をさらに有する構成とすることができる。

本発明の他の実施例に係る液晶表示装置は、第1副画素及び第2副画素、結合キャパシタを含む画素、基板上に形成されてゲート信号を伝達するゲート線、前記基板上に形成されてそれぞれ異なる第1データ電圧及び第2データ電圧を伝達する第1データ線及び第2データ線を含み、前記第1副画素は、前記ゲート線及び前記第1データ線に接続される第1スイッチング素子、前記ゲート線及び前記第2データ線に接続される第2スイッチング素子、並びに前記第1スイッチング素子及び第2スイッチング素子に接続される第1液晶
20 20
キャパシタを含み、前記結合キャパシタは前記第1スイッチング素子に接続されており、前記第2副画素は、前記第2スイッチング素子、前記結合キャパシタ及び前記第2スイッチング素子に接続される第2液晶キャパシタを有し、前記第1液晶キャパシタ及び第2液晶キャパシタは、正の誘電率異方性を有する液晶分子を含む液晶層を挟持することを特徴とする。

【0022】

前記第1データ電圧と前記第2データ電圧の極性は互いに逆極性であってもよい。

前記液晶層に含まれる液晶分子は垂直配向型又は水平配向型であってもよい。

前記第1基板上に形成される維持電極線をさらに有する構成とすることができる。

本発明の他の実施例に係る液晶表示装置は、第1副画素及び第2副画素、昇圧部を含む複数の画素、基板上に形成されてゲート信号を伝達する第1ゲート線及び第2ゲート線、及び、前記基板上に形成されてそれぞれ異なる第1データ電圧及び第2データ電圧を伝達する第1データ線及び第2データ線を有し、前記第1副画素は、前記第1ゲート線及び前記第1データ線に接続される第1スイッチング素子、前記第1ゲート線及び前記第2データ線に接続される第2スイッチング素子、前記第1スイッチング素子及び第2スイッチング素子に接続される第1液晶キャパシタを有し、前記第2副画素は、前記第1ゲート線及び前記第1データ線に接続される第3スイッチング素子、前記第2スイッチング素子、前記第2スイッチング素子及び第3スイッチング素子に接続される第2液晶キャパシタを有し、前記昇圧部は、前記第1スイッチング素子に接続される昇圧キャパシタ、前記第1ゲート線のゲート信号によって制御され、前記昇圧キャパシタ及び共通電圧の間に接続される第4スイッチング素子、前記第2ゲート線のゲート信号によって制御され、前記昇圧キャパシタと前記第2液晶キャパシタの間に接続される第5スイッチング素子を有し、前記第2ゲート線には、前記第1ゲート線より遅れてゲートオン電圧が印加され、前記第1液晶キャパシタ及び第2液晶キャパシタは正の誘電率異方性を有する液晶分子を含む液晶層を挟持することを特徴とする。

【0023】

10

20

30

40

50

前記第 1 データ電圧と前記第 2 データ電圧の極性は互いに逆極性であってもよい。

前記液晶層に含まれる液晶分子は垂直配向型又は水平配向型であってもよい。

隣接する 2 つの画素を第 1 画素及び第 2 画素とする場合、前記第 1 画素の前記第 2 データ線が伝達する前記第 2 データ電圧と、前記第 2 画素の前記第 2 データ線が伝達する前記第 2 データ電圧とが同一であってもよい。

【0024】

前記第 1 副画素は、前記第 1 スイッチング素子に接続される第 1 ストレージキャパシタ及び前記第 2 スイッチング素子に接続される第 2 ストレージキャパシタをさらに含み、前記第 2 副画素は、前記第 3 スイッチング素子に接続される第 3 ストレージキャパシタ及び前記第 2 ストレージキャパシタをさらに含む構成とすることもできる。

10

前記第 1 副画素は、前記第 1 スイッチング素子及び第 2 スイッチング素子に接続される第 1 ストレージキャパシタをさらに含み、前記第 2 副画素は前記第 2 スイッチング素子及び第 3 スイッチング素子に接続される第 2 ストレージキャパシタをさらに含む構成とすることもできる。

【0025】

本発明の他の実施例に係る液晶表示装置は、互いに対向する第 1 基板及び第 2 基板と、前記第 1 基板及び第 2 基板の間に配置され液晶分子を含む液晶層と、前記第 1 基板上に形成されてゲート信号を伝達するゲート線と、前記第 1 基板上に形成されて各々第 1 データ電圧、第 2 データ電圧及び第 3 データ電圧を伝達する第 1 データ線、第 2 データ線及び第 3 データ線と、前記ゲート線及び前記第 1 データ線に接続される第 1 スイッチング素子と、前記ゲート線及び前記第 2 データ線に接続される第 2 スイッチング素子と、前記ゲート線及び前記第 2 データ線に接続される第 3 スイッチング素子と、前記ゲート線及び前記第 3 データ線に接続される第 4 スイッチング素子と、及び、前記第 1 スイッチング素子、第 2 スイッチング素子、第 3 スイッチング素子及び第 4 スイッチング素子に各々接続される第 1 画素電極、第 2 画素電極、第 3 画素電極及び第 4 画素電極を有することを特徴とする。

20

【0026】

前記液晶層に含まれる液晶分子は正の誘電率異方性を有してもよい。

前記液晶層に含まれる液晶分子は垂直配向型又は水平配向型であってもよい。

前記第 2 データ電圧は、第 1 レベル及び第 2 レベルに一定の周期で変動するように構成できる。

30

前記第 1 レベルは、前記液晶表示装置が利用できる最高電圧であり、前記第 2 レベルは、前記液晶表示装置が利用できる最低電圧とすることができる。

【0027】

前記周期は 1 フレームに対応するように構成できる。

前記第 1 ～ 第 3 データ線は同一層に形成することができる。

前記第 2 データ線は前記ゲート線と同一層に形成することができる。

前記第 1 基板上に形成される維持電極線をさらに有する構成とすることができる。

前記第 1 画素電極及び第 2 画素電極は複数の枝電極を含み、前記第 1 画素電極の枝電極と前記第 2 画素電極の枝電極は交互に配置することができる。

40

【0028】

隣接する前記第 1 画素電極の枝電極と前記第 2 画素電極の枝電極の間の距離は位置によって異なるように構成できる。

本発明の他の実施例に係る液晶表示装置は、第 1 副画素及び第 2 副画素を含む画素、基板上に形成されるゲート線、前記基板上に形成される第 1 データ線、第 2 データ線及び第 3 データ線を有し、前記第 1 副画素は、前記ゲート線及び前記第 1 データ線に接続される第 1 スイッチング素子、前記ゲート線及び前記第 2 データ線に接続される第 2 スイッチング素子、前記第 1 スイッチング素子及び第 2 スイッチング素子に接続される液晶キャパシタを有し、前記第 2 副画素は、前記ゲート線及び前記第 2 データ線に接続される第 3 スイッチング素子、前記ゲート線及び前記第 3 データ線に接続される第 4 スイッチング素子、

50

前記第 3 スイッチング素子及び第 4 スイッチング素子に接続される液晶キャパシタを有し、前記第 1 副画素と前記第 2 副画素は、1 つの画像情報から得られたそれぞれ異なるデータ電圧が印加されることを特徴とする。

【0029】

前記液晶キャパシタは正の誘電率異方性を有する液晶分子を含む液晶層を挟持するように構成できる。

前記液晶層に含まれる液晶分子は垂直配向型又は水平配向型であってもよい。

前記第 2 データ線に印加される電圧は、第 1 レベル及び第 2 レベルに一定の周期で変動するように構成できる。

【0030】

前記第 1 ～ 第 3 データ線は同一層に形成することができる。

前記第 2 データ線は前記ゲート線と同一層に形成することができる。

前記基板上に形成される維持電極線をさらに有する構成とすることができる。

本発明の他の実施例に係る液晶表示装置は、マトリクス状に配列されて、第 1 副画素及び第 2 副画素を含む複数の画素と、基板上に形成される複数の第 1 ゲート線及び第 2 ゲート線と、前記基板上に形成される複数の第 1 データ線及び第 2 データ線とを有し、前記第 1 副画素は、前記第 1 ゲート線及び前記第 1 データ線に接続される第 1 スイッチング素子、前記第 1 ゲート線及び前記第 2 データ線に接続される第 2 スイッチング素子、前記第 1 スイッチング素子及び第 2 スイッチング素子に接続される第 1 液晶キャパシタを含み、前記第 2 副画素は、前記第 2 ゲート線及び前記第 1 データ線に接続される第 3 スイッチング素子、前記第 2 ゲート線及び前記第 2 データ線に接続される第 4 スイッチング素子、前記第 3 スイッチング素子及び第 4 スイッチング素子に接続される第 2 液晶キャパシタを含み、前記第 1 副画素及び前記第 2 副画素には、1 つの画像情報から得られたそれぞれ異なるデータ電圧が印加されることを特徴とする。

【0031】

前記液晶キャパシタは正の誘電率異方性を有する液晶分子を含む液晶層を挟持する構成とすることができる。

前記液晶層に含まれる液晶分子は垂直配向型又は水平配向型であってもよい。

前記第 2 データ線に印加される電圧は、第 1 レベル及び第 2 レベルに一定の周期で変動するように構成できる。

【0032】

前記第 2 データ線は、前記第 1 ゲート線及び第 2 ゲート線と同一層に形成することができる。

前記基板上に形成される複数の第 3 データ線をさらに有し、前記複数の画素のうち隣接する 2 つの画素を第 1 画素及び第 2 画素とする場合、前記第 2 画素の第 1 副画素は、前記第 1 ゲート線及び前記第 3 データ線に接続される第 5 スイッチング素子、前記第 1 ゲート線及び前記第 2 データ線に接続される第 6 スイッチング素子、前記第 5 スイッチング素子及び第 6 スイッチング素子に接続される第 3 液晶キャパシタを含み、前記第 2 画素の第 2 副画素は、前記第 2 ゲート線及び前記第 3 データ線に接続される第 7 スイッチング素子、前記第 2 ゲート線及び前記第 2 データ線に接続される第 8 スイッチング素子、前記第 7 スイッチング素子及び第 8 スイッチング素子に接続される第 4 液晶キャパシタを含み、前記第 2 画素の前記第 1 副画素及び第 2 副画素には、1 つの画像情報から得られたそれぞれ異なるデータ電圧が印加されることを特徴とする。

【0033】

前記基板上に形成される維持電極線をさらに有する構成とすることができる。

本発明の他の実施例に係る液晶表示装置は、結合キャパシタ、第 1 副画素及び第 2 副画素を各々含んで隣接する第 1 画素及び第 2 画素と、基板上に形成されるゲート線と、前記基板上に形成される第 1 データ線、第 2 データ線及び第 3 データ線とを有し、前記第 1 画素の第 1 副画素は、前記第 1 ゲート線及び前記第 1 データ線に接続される第 1 スイッチング素子、前記第 1 ゲート線及び前記第 2 データ線に接続される第 2 スイッチング素子、前

10

20

30

40

50

記第 1 スイッチング素子及び第 2 スイッチング素子に接続される第 1 液晶キャパシタを含み、前記第 1 画素の結合キャパシタは、前記第 1 スイッチング素子に接続されており、前記第 1 画素の第 2 副画素は、前記第 2 スイッチング素子、前記結合キャパシタ及び前記第 2 スイッチング素子の間に接続される第 2 液晶キャパシタを含み、前記第 2 画素の第 1 副画素は、前記第 1 ゲート線及び前記第 2 データ線に接続される第 3 スイッチング素子、前記第 1 ゲート線及び前記第 3 データ線に接続される第 4 スイッチング素子、前記第 3 スイッチング素子及び第 4 スイッチング素子に接続される第 3 液晶キャパシタを含み、前記第 2 画素の結合キャパシタは、前記第 4 スイッチング素子に接続されており、前記第 2 画素の第 2 副画素は、前記第 3 スイッチング素子、及び、前記結合キャパシタ及び前記第 3 スイッチング素子の間に接続される第 4 液晶キャパシタを含むことを特徴とする。

10

【0034】

前記第 1 ~ 第 4 液晶キャパシタは正の誘電率異方性を有する液晶分子を含む液晶層を挟持するように構成できる。

前記液晶層に含まれる液晶分子は垂直配向型又は水平配向型であってもよい。

前記第 2 データ線に印加される電圧は、第 1 レベル及び第 2 レベルに一定の周期で変動するように構成できる。

【0035】

前記第 1 ~ 第 3 データ線は同一層に形成することができる。

前記第 2 データ線は前記ゲート線と同一層に形成することができる。

本発明の他の実施例に係る液晶表示装置は、マトリクス状配列されている複数の画素と、基板上に形成されてゲート信号を伝達する複数のゲート線と、前記基板上に形成されて第 1 データ電圧及び第 2 データ電圧を伝達する複数の第 1 データ線及び第 2 データ線とを有し、前記画素は、前記ゲート線及び前記第 1 データ線に接続される第 1 スイッチング素子、前記ゲート線及び前記第 2 データ線に接続される第 2 スイッチング素子、前記第 1 スイッチング素子及び第 2 スイッチング素子に接続される液晶キャパシタを含み、前記液晶キャパシタは、第 1 画素電極、第 2 画素電極、前記第 1 画素電極及び第 2 画素電極の間に位置し、正の誘電率異方性を有する液晶分子を含む液晶層を含み、前記液晶層に含まれる液晶分子は垂直配向型であり、前記各画素は、1 つ以上のフレーム期間において画像を表示した後、低階調の画像を少なくとも 1 フレーム間表示することを特徴とする。

20

【0036】

前記複数の画素は、同一フレーム期間において低階調の画像を表示することができる。

前記低階調の画像は 1 フレーム期間に表示することができる。

前記複数の画素のうちの少なくとも 1 つの画素行又は少なくとも 1 つの画素列は同一フレーム期間において低階調の画像を表示し、その他の画素は前記同一フレーム期間において前記画像を表示することができる。

30

【0037】

隣接する 2 つの画素行又は隣接する 2 つの画素列は、連続する 2 フレーム期間において順次に低階調の画像を表示することができる。

前記低階調の画像を表示する少なくとも 1 つの画素行は、同一フレーム期間において同時に低階調の画像を表示することができる。

40

前記低階調のデータ電圧は、前記画像のデータ電圧の $2/3$ 以下であってもよい。

【発明の効果】**【0038】**

本発明によれば、データ駆動部等を変更しなくても液晶表示装置が利用できる画素電圧範囲を増加させて、透過率を向上させることができる。また駆動部の製造費用を節減し、表示板の開口率を向上させることができる。

また本発明の一実施例によれば、液晶表示装置の高いコントラスト比と広視野角を同時に確保し、液晶分子の応答速度を高めることができる。

【0039】

また液晶表示装置外部からの圧力等の影響に関係なく、好適な表示特性を得ることがで

50

きる。

【図面の簡単な説明】

【0040】

【図1】本発明の一実施例に係る液晶表示装置のブロック図である。

【図2】本発明の一実施例に係る液晶表示装置の構造とともに1つの画素を示す等価回路図である。

【図3】本発明の一実施例に係る液晶表示装置の1つの画素の等価回路図である。

【図4】本発明の一実施例に係る液晶表示装置の断面図である。

【図5】本発明の一実施例に係る液晶表示装置のデータ線に印加される電圧と画素を示す図である。

10

【図6】本発明の一実施例に係る液晶表示装置の画素電極とテクスチャ部分を示す図である。

【図7】本発明の一実施例に係る液晶表示装置の断面図である。

【図8】本発明の一実施例に係る液晶表示装置の駆動方法を示す図である。

【図9】本発明の一実施例に係る駆動方法を示す図である。

【図10】本発明の他の実施例に係る駆動方法を示す図である。

【図11】本発明の一実施例に係る液晶表示板組立体の配置図である。

【図12】図11の液晶表示板組立体のX I I - X I I 線による断面図である。

【図13】本発明の他の実施例に係る液晶表示板組立体の構造とともに1つの画素を示す等価回路図である。

20

【図14】本発明の他の実施例に係る液晶表示板組立体の構造とともに1つの画素を示す等価回路図である。

【図15】本発明の一実施例に係る液晶表示板組立体の配置図である。

【図16】図15の液晶表示板組立体のX V I - X V I 線に沿った断面図である。

【図17】本発明の一実施例に係る液晶表示板組立体の構造とともに1つの画素を示す等価回路図である。

【図18】本発明の一実施例に係る液晶表示板組立体の配置図である。

【図19】図18の液晶表示板組立体のX I X - X I X 線による断面図である。

【図20】本発明の一実施例に係る液晶表示板組立体の構造とともに1つの画素を示す等価回路図である。

30

【図21】本発明の一実施例に係る液晶表示板組立体の配置図である。

【図22】図21の液晶表示板組立体のX X I I - X X I I 線による断面図である。

【図23】各々本発明の一実施例に係る液晶表示板組立体の配置図である。

【図24】各々本発明の一実施例に係る液晶表示板組立体の配置図である。

【図25】各々本発明の一実施例に係る液晶表示板組立体の配置図である。

【図26】本発明の一実施例に係る液晶表示板組立体の構造とともに1つの画素を示す等価回路図である。

【図27】本発明の他の実施例に係る液晶表示板組立体の2つの副画素の等価回路図である。

【図28A】本発明の一実施例に係る液晶表示板組立体の配置図である。

40

【図28B】図28Aの液晶表示板組立体のスイッチング素子を拡大した配置図である。

【図29】本発明の他の実施例に係る液晶表示板組立体の2つの副画素の等価回路図である。

【図30】本発明の他の実施例に係る液晶表示板組立体の2つの副画素の等価回路図である。

【図31】本発明の他の実施例に係る液晶表示板組立体の2つの副画素の等価回路図である。

【図32】本発明の他の実施例に係る液晶表示板組立体の2つの副画素の等価回路図である。

【図33】本発明の他の実施例に係る液晶表示板組立体の2つの副画素の等価回路図であ

50

る。

【図 3 4】本発明の他の実施例に係る液晶表示板組立体の 2 つの副画素の等価回路図である。

【図 3 5】本発明の一実施例に係る液晶表示板組立体の配置図である。

【図 3 6】本発明の他の実施例に係る液晶表示板組立体の 2 つの副画素の等価回路図である。

【図 3 7】本発明の他の実施例に係る液晶表示板組立体の 2 つの画素の等価回路図である。

【図 3 8】本発明の一実施例に係る液晶表示装置において液晶表示装置が利用できる最低電圧が 0 V、最高電圧は 1 4 V であり、共通電圧 (V com) が 7 V である場合、各々連続する 2 フレームにおいて隣接する 4 つの画素の液晶キャパシタの充電電圧と各データ線に印加される電圧を示す図である。

10

【図 3 9】本発明の一実施例に係る液晶表示装置において液晶表示装置が利用できる最低電圧が 0 V、最高電圧は 1 4 V であり、共通電圧 (V com) が 7 V である場合、各々連続する 2 フレームにおいて隣接する 4 つの画素の液晶キャパシタの充電電圧と各データ線に印加される電圧を示す図である。

【図 4 0】本発明の他の実施例に係る液晶表示板組立体の 2 つの画素の等価回路図である。

【図 4 1】本発明の他の実施例に係る液晶表示板組立体の 2 つの画素の等価回路図である。

20

【図 4 2】本発明の他の実施例に係る液晶表示板組立体の 2 つの画素の等価回路図である。

【図 4 3】本発明の他の実施例に係る液晶表示板組立体の 2 つの画素の等価回路図である。

【図 4 4】各々本発明の一実施例に係る液晶表示板組立体の 2 つの画素 (PX_n 、 PX_{n+1}) に対する配置図である。

【図 4 5】各々本発明の一実施例に係る液晶表示板組立体の 2 つの画素 (PX_n 、 PX_{n+1}) に対する配置図である。

【図 4 6】各々本発明の一実施例に係る液晶表示板組立体の 2 つの画素 (PX_n 、 PX_{n+1}) に対する配置図である。

30

【図 4 7】各々本発明の一実施例に係る液晶表示板組立体の 2 つの画素 (PX_n 、 PX_{n+1}) に対する配置図である。

【図 4 8】本発明の他の実施例に係る液晶表示板組立体の構造とともに 1 つの画素を示す等価回路図である。

【図 4 9】各々本発明の他の実施例に係る液晶表示板組立体の 2 つの副画素の等価回路図である。

【図 5 0】各々本発明の他の実施例に係る液晶表示板組立体の 2 つの副画素の等価回路図である。

【図 5 1】各々本発明の他の実施例に係る液晶表示板組立体の 2 つの副画素の等価回路図である。

40

【図 5 2】各々本発明の他の実施例に係る液晶表示板組立体の 2 つの画素の等価回路図である。

【図 5 3】各々本発明の他の実施例に係る液晶表示板組立体の 2 つの画素の等価回路図である。

【図 5 4】各々本発明の他の実施例に係る液晶表示板組立体の 2 つの画素の等価回路図である。

【図 5 5】各々本発明の他の実施例に係る液晶表示板組立体の 2 つの画素の等価回路図である。

【図 5 6】各々本発明の他の実施例に係る液晶表示板組立体の 2 つの画素の等価回路図である。

50

【図 5 7】 各々本発明の他の実施例に係る液晶表示板組立体の 2 つの画素の等価回路図である。

【図 5 8】 各々本発明の他の実施例に係る液晶表示板組立体の 2 つの画素の等価回路図である。

【発明を実施するための形態】

【0041】

以下、添付した図面を用いながら、本発明の実施形態を、本発明が属する技術分野における通常の知識を有する者が容易に実施することができるように詳細に説明する。しかし、本発明は、多様な形態で実現することができ、ここで説明する実施形態に限定されない。

10

図面は、各種層及び領域を明確に表現するために、厚さを拡大して示している。明細書全体を通じて類似した部分については同一の参照符号を付けている。層、膜、領域、板等の部分が、他の部分の「上に」とするとき、これは他の部分の「すぐ上に」とある場合に限らず、その中間に更に他の部分がある場合も含む。逆に、ある部分が他の部分の「すぐ上に」とあるとき、これは中間に他の部分がない場合を意味する。

【0042】

本発明の一実施例による液晶表示装置について添付図を参照して詳細に説明する。

図 1 は本発明の一実施例に係る液晶表示装置のブロック図であり、図 2 は本発明の一実施例に係る液晶表示装置の構造とともに 1 つの画素を示す等価回路図であり、図 3 は本発明の一実施例に係る液晶表示装置の 1 つの画素の等価回路図である。

20

図 1 を参照すると、本発明の一実施例に係る液晶表示装置は、液晶表示板組立体 300、ゲート駆動部 400、データ駆動部 500、階調電圧生成部 800 及び信号制御部 600 を含む。

【0043】

図 1 及び図 3 を参照すると、液晶表示板組立体 300 は等価回路的に複数の信号線 (G_i 、 D_j 、 D_{j+1}) と、これに接続されてほぼマトリクス状配列された複数の画素 ($p_{i \times e l}$) (PX) を含む。これに対して、図 2 に示される構造において、液晶表示板組立体 300 は互いに対向する下部及び上部表示板 (100、200) とその間に挟持された液晶層 3 を有する。

【0044】

30

信号線 (G_i 、 D_j 、 D_{j+1}) はゲート信号 (走査信号とも言う) を伝達する複数のゲート線 (G_i) とデータ電圧を伝達する複数対のデータ線 (D_j 、 D_{j+1}) を含む。ゲート線 (G_i) はほぼ行方向に延長されて互いにほぼ平行であり、データ線 (D_j 、 D_{j+1}) はほぼ列方向に延長されて互いにほぼ平行である。

各画素 (PX)、例えば、 i 番目 ($i = 1, 2, \dots, n$) ゲート線 (G_i) と j 番目及び $j+1$ 番目 ($j = 1, 2, \dots, m$) データ線 (D_j 、 D_{j+1}) に接続される画素 (PX) は、信号線 (G_i 、 D_j 、 D_{j+1}) に接続される第 1 及び第 2 スイッチング素子 (Q_a 、 Q_b) とこれに接続される液晶キャパシタ (C_{lc}) 及び第 1 及び第 2 ストレージキャパシタ (C_{sta} 、 Q_{stb}) を含む。第 1 及び第 2 ストレージキャパシタ (C_{sta} 、 C_{stb}) は必要に応じて省略することができる。

40

【0045】

第 1 / 第 2 スイッチング素子 (Q_a / Q_b) は、下部表示板 100 に設けられた薄膜トランジスタ等の三端子素子とすることができ、その制御端子はゲート線 (G_i) に接続されており、入力端子はデータ線 (D_j / D_{j+1}) に接続されており、出力端子は液晶キャパシタ (C_{lc}) 及び第 1 / 第 2 ストレージキャパシタ (C_{sta} / C_{stb}) に接続されている。

【0046】

図 2 及び図 3 を参照すると、液晶キャパシタ (C_{lc}) は、下部表示板 100 の第 1 画素電極 (PE_a) と第 2 画素電極 (PE_b) を 2 端子とし、第 1 及び第 2 画素電極 (PE_a 、 PE_b) の間の液晶層 3 は誘電体として機能する。第 1 画素電極 (PE_a) は第 1 ス

50

スイッチング素子 (Q a) に接続され、第 2 画素電極 (P E b) は第 2 スwitching 素子 (Q b) に接続される。図 2 の構成と異なり、第 2 画素電極 (P E b) を上部表示板 2 0 0 に設けることも可能であり、この場合、第 2 画素電極 (P E b) はスイッチング素子に接続されずに別途の共通電圧 (V c o m) が印加される。液晶層 3 は誘電率異方性を有し、液晶層 3 の液晶分子は電場のない状態でその長軸が 2 つの表示板の表面に対して垂直をなすように配向される。

【0047】

第 1 及び第 2 画素電極 (P E a、P E b) を含む画素電極 (P E) 及び共通電極 (C E) はそれぞれ異なる層に形成されるか、同じ層に形成されている。液晶キャパシタ (C l c) の補助的な役割を果たす第 1 及び第 2 ストレージキャパシタ (C s t a、C s t b) は、下部表示板 1 0 0 に設けられた別途の電極 (図示せず) が第 1 及び第 2 画素電極 (P E a、P E b) の各々と絶縁体を介在してオーバーラップして形成される。

10

【0048】

一方、色表示を実現するために各画素 (P X) が基本色 (p r i m a r y c o l o r) のうちの 1 つを固有に表示する空間分割方式、各画素 (P X) が時間によって交互に基本色を表示する時間分割方式により、これら基本色の空間的、時間的作用で所望の色が認識されるようにする。基本色の例としては赤色、緑色、青色などの三原色がある。図 2 は空間分割の一例であって、各画素 (P X) が第 1 及び第 2 画素電極 (P E a、P E b) に対応する上部表示板 2 0 0 の領域に基本色のうちの 1 つを表示するカラーフィルタ (C F) を備えている。図 2 の構成とは異なり、カラーフィルタ (C F) を下部表示板 1 0 0 の第 1 及び第 2 画素電極 (P E a、P E b) の上又は下に形成することも可能である。

20

【0049】

液晶表示板組立体 3 0 0 には少なくとも 1 つの偏光子 (図示せず) が取り付けられている。

再び図 1 を参照すると、階調電圧生成部 8 0 0 は、画素 (P X) の透過率に係る全体階調電圧又は限定数の階調電圧 (以下、基準階調電圧という) を生成する。(基準) 階調電圧は、共通電圧 (V c o m) に対して正の値を有するものと、負の値を有するものを含む。

【0050】

ゲート駆動部 4 0 0 は、液晶表示板組立体 3 0 0 のゲート線に接続されてゲートオン電圧 (V o n) とゲートオフ電圧 (V o f f) の組み合わせからなるゲート信号をゲート線に印加する。

30

データ駆動部 5 0 0 は、液晶表示板組立体 3 0 0 のデータ線に接続されており、階調電圧生成部 8 0 0 からの階調電圧を選択し、これをデータ電圧としてデータ線に印加する。階調電圧生成部 8 0 0 が階調電圧を全て提供するのではなく、限定数の基準階調電圧のみを提供する場合には、データ駆動部 5 0 0 は基準階調電圧を分圧して所望のデータ電圧を生成するように構成できる。

【0051】

信号制御部 6 0 0 は、ゲート駆動部 4 0 0 及びデータ駆動部 5 0 0 等を制御する。

このような駆動装置 (4 0 0、5 0 0、6 0 0、8 0 0) の各々は、少なくとも 1 つの集積回路チップの形態で液晶表示板組立体 3 0 0 上に直接装着するか、フレキシブルプリント回路フィルム (図示せず) の上に装着して T C P (t a p e c a r r i e r p a c k a g e) の形態で液晶表示板組立体 3 0 0 に取り付けるか、別途の印刷回路基板 (図示せず) の上に取り付けられることもできる。また、これら駆動装置 (4 0 0、5 0 0、6 0 0、8 0 0) は、信号線及び薄膜トランジスタスイッチング素子等とともに液晶表示板組立体 3 0 0 に集積することもできる。さらに、駆動装置 (4 0 0、5 0 0、6 0 0、8 0 0) は単一チップで集積することもでき、この場合、これらの少なくとも 1 つ又はこれらを構成する少なくとも 1 つの回路素子は単一チップの外側に位置してもよい。

40

【0052】

次に、図 4 及び図 5、図 1 ~ 図 3 を参照して、本発明の一実施例に係る液晶表示装置の

50

駆動方法の一例を詳細に説明する。

図4は本発明の一実施例に係る液晶表示装置の断面図であり、図5は本発明の一実施例に係る液晶表示装置のデータ線に印加される電圧と画素を示す図である。

まず、図1を参照すると、信号制御部600は、外部のグラフィック制御部(図示せず)から入力画像信号(R、G、B)及びその表示を制御する入力制御信号を受信する。入力画像信号(R、G、B)は、各画素(PX)の輝度(luminance)情報を有しており、輝度は決められた数、例えば、1024($=2^{10}$)、256($=2^8$)又は64($=2^6$)個の階調(gray)を有する。入力制御信号の例としては、垂直同期信号(Vsync)と水平同期信号(Hsync)、メインクロック信号(MCLK)、データイネーブル信号(DE)等がある。

【0053】

信号制御部600は、入力画像信号(R、G、B)と入力制御信号に基づいて入力画像信号(R、G、B)を液晶表示板組立体300の動作条件に合うように適宜処理し、ゲート制御信号(CONT1)及びデータ制御信号(CONT2)等を生成した後、ゲート制御信号(CONT1)をゲート駆動部400に送信し、データ制御信号(CONT2)と処理した画像信号(DAT)をデータ駆動部500に送信する。

【0054】

信号制御部600からのデータ制御信号(CONT2)に従ってデータ駆動部500は1行の画素(PX)に対するデジタル画像信号(DAT)を受信し、各デジタル画像信号(DAT)に対応する階調電圧を選択することによってデジタル画像信号(DAT)をアナログデータ電圧に変換した後、これを当該データ線に印加する。

ゲート駆動部400は、信号制御部600からのゲート制御信号(CONT1)に従ってゲートオン電圧(Von)をゲート線(G_i)に印加し、このゲート線(G_i)に接続された第1及び第2スイッチング素子(Qa、Qb)をターンオンさせる。するとデータ線(D_j、D_{j+1})に印加されたデータ電圧がターンオンした第1及び第2スイッチング素子(Qa、Qb)を介して当該画素(PX)に印加される。即ち、第1画素電極(PEa)には第1スイッチング素子(Qa)を介して第1データ線(D_j)に流れるデータ電圧が印加され、第2画素電極(PEb)には第2スイッチング素子(Qb)を介して第2データ線(D_{j+1})に流れるデータ電圧が印加される。この場合、第1及び第2画素電極(PEa、PEb)に印加されるデータ電圧は、画素(PX)が表示しようとする輝度に対応するデータ電圧であり、共通電圧(Vcom)に対して各々極性が反対である。

【0055】

このように第1及び第2画素電極(PEa、PEb)に印加された極性がそれぞれ異なる2つのデータ電圧の差は、液晶キャパシタ(Clc)の充電電圧、つまり、画素電圧として現れる。液晶キャパシタ(Clc)の両端に電位差が生じると、図4に示したように、表示板(100、200)の表面に平行な電場が第1及び第2画素電極(PEa、PEb)の間の液晶層3に生成される。液晶分子31が正の誘電率異方性を有する場合、液晶分子31はその長軸が電場方向と平行するように傾き、その傾いた程度は画素電圧の大きさによって異なる。このような液晶層3をEOC(electrically-induced optical compensation)モードという。また液晶分子31らの傾斜程度に応じて液晶層3を通過する光の偏光の変化が変わる。このような偏光の変化は、偏光子によって光透過率の変化として現れ、これによって画素(PX)は画像信号(DAT)の階調が示す輝度を表示する。

【0056】

1水平周期(1Hともいい、水平同期信号Hsync及びデータイネーブル信号DEの一周期と同じである)を単位として、このような過程を繰り返すことによって、すべてのゲート線に対して順次にゲートオン電圧(Von)を印加し、すべての画素(PX)にデータ電圧を印加して、1フレームの画像を表示する。

1フレームが終了すれば次のフレームが開始され、各画素(PX)に印加されるデータ電圧の極性が直前フレームでの極性と逆になるようにデータ駆動部500に印加される反

10

20

30

40

50

転信号 (RVS) の状態が制御される (フレーム反転)。この場合、1 フレーム期間内でも反転信号 (RVS) の特性に応じて 1 つのデータ線を介して流れるデータ電圧の極性が周期的に変化するように構成することができ (例: 行反転、ドット反転)、また 1 つの画素行に印加されるデータ電圧の極性がそれぞれ異なるように構成することができる (例: 列反転、ドット反転)。

【0057】

図 5 は本発明の一実施例に係る液晶表示装置において隣接する 4 つの画素の液晶キャパシタの充電電圧が 14 V、10 V、5 V 及び 1 V であり、液晶表示装置が利用できる最低電圧は 0 V、最高電圧は 14 V である場合、各データ線に印加される電圧を表示した図である。

図 5 を参照すると、各画素は 2 つのデータ線 (D_j 、 D_{j+1} / D_{j+2} 、 D_{j+3} / D_{j+4} 、 D_{j+5} / D_{j+6} 、 D_{j+7}) に接続されている。1 つの画素に接続された 2 つのデータ線 (D_j 、 D_{j+1} / D_{j+2} 、 D_{j+3} / D_{j+4} 、 D_{j+5} / D_{j+6} 、 D_{j+7}) には共通電圧 (Vcom) に対してそれぞれ異なる極性を有するそれぞれ異なるデータ電圧が印加され、2 つのデータ電圧の差が各画素 (PX) における画素電圧になる。例えば、共通電圧 (Vcom) が 7 V の場合、第 1 画素の目標画素電圧は 14 V であるので、第 1 及び第 2 データ線 (D_j 、 D_{j+1}) には各々 14 V 及び 0 V が印加され、第 2 画素の目標画素電圧は 10 V であるので、第 3 及び第 4 データ線 (D_{j+2} 、 D_{j+3}) には各々 12 V 及び 2 V が印加され、第 3 画素の目標画素電圧は 5 V であるので、第 5 及び第 6 データ線 (D_{j+4} 、 D_{j+5}) には各々 9.5 V 及び 4.5 V が印加され、第 4 画素の目標画素電圧は 1 V であるので、第 7 及び第 8 のデータ線 (D_{j+6} 、 D_{j+7}) には各々 7.5 V 及び 6.5 V が印加される。

【0058】

このように 1 画素 (PX) に共通電圧 (Vcom) に対する極性がそれぞれ異なる 2 つのデータ電圧を印加することによって駆動電圧を高め、液晶分子の応答速度を高くすることができ、液晶表示装置の透過率を向上させることができる。また 1 画素 (PX) に印加される 2 つのデータ電圧の極性が互いに逆であるので、データ駆動部 500 における反転形態が列反転又は行反転である場合にも、ドット反転駆動と同様にフリッカー (flicker) による画質劣化を防止できる。

【0059】

また 1 画素 (PX) における第 1 及び第 2 スイッチング素子 (Qa、Qb) がターンオフする場合、第 1 及び第 2 画素電極 (PEa、PEb) に印加される電圧はいずれも各々のキックバック電圧だけ下降するので、画素 (PX) の充電電圧の変化が殆どない。これによって液晶表示装置の表示特性を向上させることができる。

さらに、表示板 (100、200) に対して垂直配向する液晶分子 31 を使用する場合、液晶表示装置のコントラスト比を高くすることができ、広視野角を実現することができる。また正の誘電率異方性を有する液晶分子 31 は、負の誘電率異方性を有する液晶分子に比べて誘電率異方性が大きく、回転粘度が低くて、速い応答速度が得られ、液晶分子 31 の傾斜方向が電場の方向によって確実に定義されるため、外部の影響による液晶分子 31 の配列に乱れが生じても速やかに再整列して良好な表示特性を示すことができる。

【0060】

次に、図 6 ~ 図 10、図 1 ~ 図 5 を参照して、本発明の一実施例に係る液晶表示装置の駆動方法の他の例を詳細に説明する。

図 6 は本発明の一実施例に係る液晶表示装置の画素電極とテクスチャ部分を示す図であり、図 7 は本発明の一実施例に係る液晶表示装置の断面図であり、図 8 は本発明の一実施例に係る液晶表示装置の駆動方法の示す図であり、図 9 は本発明の一実施例に係る駆動方法を示す図であり、図 10 は本発明の他の実施例に係る駆動方法を示す図である。

【0061】

まず図 6 及び図 7 を参照すると、本実施例による液晶表示板組立体も同様に、図 2 に示す液晶表示板組立体のように、互いに対向する下部及び上部表示板 (100、200) と

10

20

30

40

50

その間に挟持された液晶層 3 を含み、下部表示板 1 0 0 には第 1 及び第 2 画素電極 (1 9 1 a、1 9 1 b) を有する。

液晶層 3 の液晶分子 3 1 は電場のない状態でその長軸が 2 つの表示板 (1 0 0、2 0 0) の表面に対して垂直をなすように配向されている。

【 0 0 6 2 】

第 1 及び第 2 画素電極 (1 9 1 a、1 9 1 b) に共通電圧 (V c o m) に対して極性がそれぞれ異なる 2 つのデータ電圧が印加されると、液晶層 3 の液晶分子 3 1 は図 7 に示すように、表示板 (1 0 0、2 0 0) と水平になるように傾く。しかし第 1 及び第 2 画素電極 (1 9 1 a、1 9 1 b) から同一距離に位置する液晶分子 3 1 は、ある一方に傾斜しない場合もあり、初期の垂直配向状態を維持して、図 6 及び図 7 に示すように、周りより輝度の低いテキスチャ (A) が 2 つの画素電極 (1 9 1 a、1 9 1 b) の間に発生し得る。

10

【 0 0 6 3 】

図 9 を参照すると、本実施例による液晶表示装置の駆動方法は、上記図 1 ~ 図 5 の液晶表示装置の駆動方法と同様に、一定時間内に表示しようとする N 個フレームの画像を表示する (例えば、6 0 H z 駆動の場合、1 秒に 6 0 個フレームの画像が表示される)。N 個フレームの画像を表示した後に、図 9 に示すように、1 フレームの低階調画像 (I g) をさらに表示し、その後、表示しようとする N 個フレームの画像を表示する。

【 0 0 6 4 】

液晶表示装置がホワイトのような高階調の輝度を表示する場合、図 8 に示すように、外部から圧力が加わると 2 つの画素電極 (1 9 1 a、1 9 1 b) の間のテキスチャ (A) 部分の液晶分子 3 1 が表示板 (1 0 0、2 0 0) に水平に配列される。これは液晶表示装置の透過率に寄与して、テキスチャ (A) 部分が黄色化 (y e l l o w i s h) したしみ (s t a i n または b r u i s i n g) として視認される。このようなしみは、外部からの圧力が除去されても液晶層 3 の強い電場によって液晶分子 3 1 が横になった状態を維持し、時間が経っても消えないこともある。

20

【 0 0 6 5 】

本実施例のように、一定数のフレームの画像を表示した後、低階調の 1 フレームの画像 (I g) を表示すると、テキスチャ (A) 部分で強い電場によって表示板 (1 0 0、2 0 0) に水平に配列された液晶分子 3 1 が、外部からの影響が消えると、再び表示板 (1 0 0、2 0 0) に垂直に復帰されて、図 8 に示すように、しみが無くなり本来のホワイトを表示する。この場合、低階調画像 (I g) の階調は、外部からの圧力等の影響が消えた後、高階調の画像におけるしみが消えるような階調、或いはそれ以下の階調であって、高階調に対するデータ電圧の 2 / 3 以下のデータ電圧に相当する階調とすることができる。

30

【 0 0 6 6 】

なお、他の実施例においては、追加される低階調フレームの画像 (I g) の数は 1 つ以上であってもよい。

次に、図 1 0 を参照して、本発明の他の実施例に係る液晶表示装置の駆動方法について説明する。

図 1 0 を参照すると、毎フレームの画像で 1 つの行又は複数行の画素が低階調を表示し、低階調の 1 つの行又は複数の行は、液晶表示装置が n 個フレームの画像を表示する間、表示画面の一端から他端までスクロールしながら移動する。この場合、低階調の行又は複数の行の階調も同様に、外部からの圧力等の影響が消えた後、高階調の画像におけるしみが無くなるような階調、或いはそれ以下の階調であって、高階調に対するデータ電圧の 2 / 3 以下のデータ電圧に相当する階調とすることができる。

40

【 0 0 6 7 】

図 1 0 の構成とは異なって、低階調の行は表示画面の下側から上側、左側から右側、或いは右側から左側にスクロールするように構成できる。

本実施例のように、毎フレームに外部から視認され難い低階調の行又は複数の行を追加して表示画面でスクロールすることによって、外部圧力等の影響によって横になった液晶分子 3 1 を強い電場から解放し、外部の圧力が無くなった後に元の状態に復帰させること

50

ができる。これによって黄色化等の表示不良を除去することができる。

【0068】

上記のように、垂直配向された液晶分子31を含む液晶表示装置で高階調の画像を表示する場合、低階調の画像又は行を追加することにより、外部からの圧力等の影響によって表示板(100、200)に水平に配列され、外部の影響が消えても強い電場のため横になっている液晶分子31を元に復帰させることができる。

次に、図11及び図12を参照して上記液晶表示板組立体の一例について詳細に説明する。

【0069】

図11は本発明の一実施例に係る液晶表示板組立体の配置図であり、図12は図11の液晶表示板組立体のX I I-X I I線による断面図である。

図11及び図12を参照すると、本発明の一実施例に係る液晶表示板組立体は、互いに対向する下部表示板100と上部表示板200及びこれら2つの表示板(100、200)の間に挟持された液晶層3を有する。

【0070】

まず、下部表示板100について説明する。絶縁基板110の上に複数のゲート線121と複数の維持電極線131を有する複数のゲート導電体が形成されている。ゲート線121はゲート信号を伝達し、主に図の横方向に延長され、各ゲート線121は上部に突出した複数対の第1及び第2ゲート電極(124a、124b)を有する。

維持電極線131は、共通電圧(Vcom)等の所定電圧が印加され、主に図の横方向に延長されている。各維持電極線131は、隣接する2つのゲート線121の間に位置し、上側のゲート線121との距離より下側のゲート線121との距離がより近い。各維持電極線131は、図の上下方向に長く延長された複数対の第1及び第2維持電極(133a、133b)と広い面積の維持拡張部137を有する。第1及び第2維持電極(133a、133b)は、下側ゲート線121の第1及び第2ゲート電極(124a、124b)付近から上側のゲート線121付近まで棒状に形成されている。維持拡張部137は、下側の2つ角部が切られたほぼ長方形であり、第1及び第2維持電極(133a、133b)の下端を互いに連結している。このような維持電極(133a、133b)及び維持拡張部137をはじめとする維持電極線131の形状及び配置は、図示したものに限定されるものではなく適宜変更することが可能である。

【0071】

ゲート導電体(121、131)は単一膜や多重膜構造を有する。ゲート導電体(121、131)の上には窒化シリコン(SiNx)又は酸化シリコン(SiOx)等からなるゲート絶縁膜140が形成されている。

ゲート絶縁膜140の上には水素化非晶質又は多結晶シリコン等からなる複数対の第1及び第2島状半導体(154a、154b)が形成されている。第1及び第2半導体(154a、154b)は、各々第1及び第2ゲート電極(124a、124b)の上に位置している。

【0072】

第1半導体154aの上には一対の島状オーミックコンタクト部材(163a、165a)が形成されており、第2半導体154bの上にも一対の島状オーミックコンタクト部材(図示せず)が形成されている。オーミックコンタクト部材(163a、165a)はリン等のn型不純物が高濃度にドーピングされているn+水素化非晶質シリコン等の物質からなるシリサイド(silicide)で形成される。

【0073】

オーミックコンタクト部材(163a、165a)及びゲート絶縁膜140の上には複数対の第1及び第2データ線(171a、171b)と複数対の第1及び第2ドレイン電極(175a、175b)を含むデータ導電体が形成されている。

第1及び第2データ線(171a、171b)はデータ信号を伝達し、主に図の縦方向に延長され、ゲート線121及び維持電極線131と交差する。第1及び第2データ線(

10

20

30

40

50

171a、171b)は、第1及び第2ゲート電極(124a、124b)に向かってU字状に折曲された複数対の第1及び第2ソース電極(173a、173b)を有する。

【0074】

第1/第2ドレイン電極(175a/175b)は、棒状の一端部と広い面積の第1/第2拡張部(177a/177b)を有する。第1/第2ドレイン電極(175a/175b)の棒状の一端部は、第1/第2ゲート電極(124a/124b)を中心に第1/第2ソース電極(173a/173b)と対向し、曲がっている第1/第2ソース電極(173a/173b)で一部覆われている。第1及び第2拡張部(177a、177b)の外部輪郭線は、下層の維持拡張部137の外部輪郭線とほぼ類似している。第1拡張部177aは維持拡張部137の左側半分とオーバーラップし、第2拡張部177bは維持拡張部137の右側半分とオーバーラップしている。

10

【0075】

第1/第2ゲート電極(124a/124b)、第1/第2ソース電極(173a/173b)及び第1/第2ドレイン電極(175a/175b)は、第1/第2半導体(154a、154b)とともに第1/第2薄膜トランジスタ(TFT)(Qa/Qb)を構成し、第1/第2薄膜トランジスタ(Qa/Qb)のチャンネルは、第1/第2ソース電極(173a/173b)と第1/第2ドレイン電極(175a/175b)の間の第1/第2半導体(154a/154b)に形成される。

【0076】

データ導電体(171a、171b、175a、175b)は単一膜や多重膜構造を有する。

20

オーミックコンタクト部材(163a、165a)は、その下記の半導体(154a、154b)とその上のデータ導電体(171a、171b、175a、175b)の間のみ存在して、これらの間の接触抵抗を低下させる。半導体(154a、154b)にはソース電極(173a、173b)とドレイン電極(175a、175b)の間をはじめとして、データ導電体(171a、171b、175a、175b)で覆われずに露出している部分がある。

【0077】

データ導電体(171a、171b、175a、175b)及び露出した半導体(154a、154b)部分の上には無機絶縁物又は有機絶縁物等からなる保護膜180が形成されている。

30

保護膜180には第1及び第2拡張部(177a、177b)を露出させる複数のコンタクトホール(接触孔)(185a、185b)が形成されている。保護膜180の上にはITO(indium tin oxide)又はIZO(indium zinc oxide)等の透明な導電物質やアルミニウム、銀、クロム又はその合金等の反射性金属からなる複数対の第1及び第2画素電極(191a、191b)を含む複数の画素電極191が形成されている。

【0078】

図11に示すように、1つの画素電極191の全体的外観は四角形状であり、第1及び第2画素電極(191a、191b)は間隙91を間において噛み合っている。第1及び第2画素電極(191a、191b)は全体的に仮想の横中央線(CL)を境にして上下対称をなし、上下2つの副領域に分けられる。

40

第1画素電極191aは、下端の突出部、左側の縦幹部、縦幹部の中央部から図の右側に延長された横幹部、さらに複数の枝部を有する。横中央線(CL)を基準に上部に位置する枝部は、縦幹部又は横幹部から図の右側上方に斜めに延長され、下部に位置する枝部は、縦幹部又は横幹部から図の右側下方に斜めに延長されている。枝部がゲート線121又は横中央線(CL)となす角度は約45度である。

【0079】

第2画素電極191bは、下端の突出部、右側の縦幹部、上端及び下端の横幹部と複数の枝部を含む。上端及び下端の横幹部は、各々縦幹部の上端及び下端から左側に横方向に

50

延長されている。横中央線（CL）を基準に上部に位置する枝部は、縦幹部又は上端の横幹部から図の左側下方に斜めに延長され、下部に位置する枝部は、縦幹部又は下端の横幹部から図の左側の上方に斜めに延長されている。第2画素電極191bの枝部もまた、ゲート線121や横中央線（CL）となす角度が約45度である。横中央線（CL）を中心に上部及び下部の枝部は互いに直角をなす。

【0080】

第1及び第2画素電極（191a、191b）の枝部は、一定の間隔をおいて互いに噛み合っ

て交互に配置されて櫛状をなす。
第1/第2画素電極（191a/191b）は、コンタクトホール（185a/185b）を介して、第1/第2ドレイン電極（175a/175b）と物理的、電氣的に接続されており、第1/第2ドレイン電極（175a/175b）からデータ電圧が印加される。第1及び第2副画素電極（191a、191b）は、その間の液晶層3部分と共に液晶キャパシタ（Clc）を構成し、第1及び第2薄膜トランジスタ（Qa、Qb）がターンオフした後も印加された電圧を維持する。

【0081】

第1/第2副画素電極（191a/191b）に接続された第1/第2ドレイン電極（175a/175b）の第1/第2拡張部（177a/177b）は、ゲート絶縁膜140を介在して維持拡張部137とオーバーラップし、第1/第2ストレージキャパシタ（Csta/Cstb）を構成し、第1/第2ストレージキャパシタ（Csta/Cstb）は液晶キャパシタ（Clc）の電圧維持能力を強化する。

【0082】

次に、上部表示板200について説明する。

透明なガラス又はプラスチック等からなる絶縁基板210の上に遮光部材220が形成されている。遮光部材220は、画素電極191間の光漏れを防止し、画素電極191と対向する開口領域を設定する。

基板210及び遮光部材220の上にはまた、複数のカラーフィルタ230が形成されている。カラーフィルタ230は、殆ど遮光部材220で覆われた領域内に設けられ、画素電極191列に沿って長く延長されている。各カラーフィルタ230は、赤色、緑色及び青色の三原色等、基本色のうちの1つを表示する。

【0083】

カラーフィルタ230及び遮光部材220の上には蓋膜（overcoat）250が形成されている。蓋膜250は（有機）絶縁物で形成され、カラーフィルタ230が露出するのを防止し、平坦面を提供する。蓋膜250は省略可能である。

表示板（100、200）の内側面には配向膜（11、21）が塗布されており、これらは垂直配向膜である。

【0084】

表示板（100、200）の外側面には偏光子（図示せず）が設けられている。

下部表示板100と上部表示板200の間に挟持された液晶層3は、正の誘電率異方性を有する液晶分子31を含み、液晶分子31は電場のない状態でその長軸が2つの表示板（100、200）の表面に対して垂直に配向されている。

第1及び第2画素電極（191a、191b）に互いに極性が異なるデータ電圧を印加すると、表示板（100、200）の表面に、ほぼ水平の電場（electric field）が生成される。これにより、初期に表示板（100、200）の表面に対して垂直に配向されていた液晶層3の液晶分子が電場に応答してその長軸が電場の方向に水平な方向に傾き、液晶分子が傾いた程度に応じて液晶層3の入射光の偏光変化の程度が変わる。このような偏光の変化は、偏光子によって透過率の変化として現れ、これによって液晶表示装置が画像を表示する。

【0085】

このように、垂直配向された液晶分子31を用いると、液晶表示装置のコントラスト比を大きくすることができ、広視野角を実現することができる。また、1つの画素（PX）

10

20

30

40

50

に共通電圧（ V_{com} ）に対する互いに極性の異なる２つのデータ電圧を印加することによって駆動電圧を高め、応答速度を高くすることができる。さらに、上記のように、キックバック電圧の影響がなくなり、フリッカー現象等を防止できる。

【００８６】

以下、図１３を参照して本発明の他の実施例に係る液晶表示板組立体について説明する。

図１３は本発明の他の実施例に係る液晶表示板組立体の構造とともに１つの画素を示す等価回路図である。

図１３に示すように、本実施例による液晶表示板組立体も同様に、複数のゲート線（ G_i ）、複数対のデータ線（ D_j 、 D_{j+1} ）を含む信号線とこれに接続される複数の画素（ PX ）を有する。液晶表示装置は構造的には、互いに対向する下部及び上部表示板（１００、２００）とその間に挟持された液晶層３を有する。

【００８７】

各画素（ PX ）は信号線（ G_i 、 D_j 、 D_{j+1} ）に接続された第１及び第２スイッチング素子（ Qa 、 Qb ）、液晶キャパシタ（ Clc ）とストレージキャパシタ（ Cst ）を含む。

本実施例では、図２及び図３に示される実施例と異なって、第１及び第２画素電極（ PEa 、 PEb ）が絶縁体を介在してオーバーラップして、１つのストレージキャパシタ（ Cst ）を構成する。このように各画素（ PX ）に１つのストレージキャパシタ（ Cst ）を形成すると、共通電圧（ V_{com} ）の伝達のための配線を別に形成しなくて済み、開口率が向上する。

【００８８】

なお、第１及び第２スイッチング素子（ Qa 、 Qb ）、液晶キャパシタ（ Clc ）、カラーフィルタ（ CF ）、偏光子（図示せず）、並びにこのような液晶表示板組立体を含む液晶表示装置の動作及び効果については、図１～図５と同様であるので詳細な説明は省略する。

以下、図１４を参照して、本発明の他の実施例に係る液晶表示板組立体について説明する。

【００８９】

図１４は本発明の一実施例に係る液晶表示板組立体の構造とともに１つの画素を示す等価回路図である。

図１４に示すように、本実施例による液晶表示板組立体も同様に、複数のゲート線（ G_i ）、複数対のデータ線（ D_j 、 D_{j+1} ）を含む信号線とこれに接続された複数の画素（ PX ）を有する。液晶表示装置は構造的には、互いに対向する下部及び上部表示板（１００、２００）とその間に挟持された液晶層３を有する。

【００９０】

各画素（ PX ）は、信号線（ G_i 、 D_j 、 D_{j+1} ）に接続された第１及び第２スイッチング素子（ Qa 、 Qb ）、液晶キャパシタ（ Clc ）と第１及び第２ストレージキャパシタ（ $Csta$ 、 $Cstb$ ）を含む。

第１／第２スイッチング素子（ Qa ／ Qb ）は、下部表示板１００に設けられた薄膜トランジスタ等の三端子素子とすることができ、その制御端子はゲート線（ G_i ）に接続されており、入力端子はデータ線（ D_j ／ D_{j+1} ）に接続されており、出力端子は液晶キャパシタ（ Clc ）及び第１／第２ストレージキャパシタ（ $Csta$ ／ $Cstb$ ）に接続される。

【００９１】

液晶キャパシタ（ Clc ）は、下部表示板１００の第１及び第２画素電極（ PEa 、 PEb ）を２端子とし、同時に第１画素電極（ PEa ）又は第２画素電極（ PEb ）と共通電極（ CE ）を２端子とすることができる。第１／第２画素電極（ PEa ／ PEb ）は、第１／第２スイッチング素子（ Qa ／ Qb ）に接続されており、共通電極（ CE ）は、下部表示板１００の１つの画素（ PX ）領域内の全面に形成され、第１及び第２画素電極（

PEa、PEb)を有する画素電極(PE)と異なる層に形成されている。共通電極(CE)には共通電圧(Vcom)等の決められた電圧が印加され、第1及び第2画素電極(PEa、PEb)には共通電圧(Vcom)を基準にそれぞれ異なる極性のデータ電圧が各々印加される。一方、液晶層3は正の誘電率異方性を有し、液晶層3の液晶分子は、電場のない状態でその長軸が2つの表示板の表面に対して垂直に配向されている。

【0092】

第1/第2ストレージキャパシタ(Csta/Cstb)は、第1/第2画素電極(PEa/PEb)が共通電極(CE)と絶縁体を介在してオーバーラップしてなる。これに対して、第1又は第2ストレージキャパシタ(Csta、Cstb)は、第1又は第2画素電極(PEa、PEb)が絶縁体を媒介にしてすぐ上の前段ゲート線(図示せず)や別個の信号線(図示せず)と各々オーバーラップするように構成できる。

10

【0093】

画素電極(PE)に対応する上部表示板200の領域には基本色中の1つを表示するカラーフィルタ230を備えている。図14の構成とは異なり、カラーフィルタ(CF)を下部表示板100の画素電極(PE)の上又は下に形成することも可能である。

液晶表示板組立体には少なくとも1つの偏光子(図示せず)が備えられている。

このような液晶表示板組立体を含む液晶表示装置の動作及び効果については、図1～図5と同様であるので詳細な説明は省略する。

【0094】

以下、図15及び図16を参照して図14に示す液晶表示板組立体の一例について説明する。

20

図15は本発明の一実施例に係る液晶表示板組立体の配置図であり、図16は図15の液晶表示板組立体のXVI-XVI線による断面図である。

本実施例による液晶表示板組立体の層状構造は、遮光部材とカラーフィルタ以外は、図11及び図12に示される液晶表示板組立体の層状構造とほぼ同じである。

【0095】

まず、下部表示板100について説明する。

絶縁基板110の上に複数対の第1及び第2ゲート電極(124a、124b)を有する複数のゲート線121及び複数の共通電圧線271が形成されている。

共通電圧線271は共通電圧(Vcom)を伝達し、ゲート線121とほぼ平行に図の横方向に延長されている。共通電圧線271は、隣接する2つのゲート線121の間に位置し、2つのゲート線121からほぼ同じ距離で離れている。

30

【0096】

基板110及び共通電圧線271の上には複数の共通電極270が形成されている。共通電極270は長方形でマトリクス状配列されており、ゲート線121の間の空間を殆ど充填している。共通電極270は、共通電圧線271に接続され、共通電圧(Vcom)が印加される。共通電極270は、ITOやIZO等の透明な導電物質からなる。

ゲート線121、共通電圧線271及び共通電極270の上にはゲート絶縁膜140が形成されている。ゲート絶縁膜140は、ゲート線121と共通電極270が互いに短絡するのを防止し、これらの上に形成される他の導電性薄膜との間の電氣的絶縁をはかる。

40

【0097】

ゲート絶縁膜140の上には複数対の第1及び第2島状半導体(154a、154b)、複数対の第1及び第2島状オーミックコンタクト部材(163a、165a)、複数対の第1及び第2データ線171と複数対の第1及び第2ドレイン電極(175a、175b)が順に形成されている。

第1及び第2データ線(171a、171b)、第1及び第2ドレイン電極(175a、175b)と、露出した第1及び第2半導体(154a、154b)部分の上には、窒化シリコンや酸化シリコン等からなる下部保護膜180pが形成されている。

【0098】

下部保護膜180pの上には所定間隔で分離されて、複数の開口部227を有する遮光

50

部材 220 が形成されている。遮光部材 220 は上下に長く形成された直線部と、薄膜トランジスタに対応する四角形部分を含み、光漏れを防止する。遮光部材 220 には第 1 及び第 2 ドレイン電極 (175a、175b) の上に位置する複数の貫通孔 (225a、225b) が形成されている。

【0099】

下部保護膜 180p 及び遮光部材 220 の上には複数のカラーフィルタ 230 が形成されている。カラーフィルタ 230 は、殆ど遮光部材 220 で覆われた領域内に設けられている。

ここで下部保護膜 180p は、カラーフィルタ 230 の顔料が露出した半導体 (154a、154b) 部分に流入するのを防止することができる。

【0100】

遮光部材 220 及びカラーフィルタ 230 の上には上部保護膜 180q が形成されている。上部保護膜 180q は、窒化シリコン又は酸化シリコン等の無機絶縁物質からなり、カラーフィルタ 230 が分離されるのを防止し、カラーフィルタ 230 から流入する溶剤 (solvent) のような有機物による液晶層 3 の汚染を抑えて画面駆動時の残像等の表示不良を防止する。

【0101】

遮光部材 220 及びカラーフィルタ 230 のうちの少なくとも 1 つは、上部表示板 200 に位置する構成であってもよく、この場合、下部表示板 100 の下部保護膜 180p と上部保護膜 180q のうちの 1 つは省略することができる。

上部保護膜 180q 及び下部保護膜 180p には第 1 及び第 2 ドレイン電極 (175a、175b) を露出させる複数のコンタクトホール (185a、185b) が形成されている。

【0102】

上部保護膜 180q の上には複数対の第 1 及び第 2 画素電極 (191a、191b) が形成されている。第 1 及び第 2 画素電極 (191a、191b) は、各々複数の枝電極とこれらを連結する縦連結部を有し、下部の共通電極 270 とオーバーラップしている。

第 1 画素電極 191a の縦連結部は、共通電極 270 の左側辺に沿って図の上下方向に長く延長されている。共通電圧線 271 の位置を基準に上部に位置する枝電極は、連結部から図の右側下方に斜めに延長されており、下部に位置する枝電極は、連結部から図の右側上方に斜めに延長されている。

【0103】

第 2 画素電極 191b の縦連結部は、共通電極 270 の右側辺に沿って図の上下方向に長く延長されている。共通電圧線 271 の位置を基準に上部に位置する枝電極は、連結部から図の左側上方に斜めに延長されており、下部に位置する枝電極は連結部から図の左側下方に斜めに延長されている。

第 1 及び第 2 画素電極 (191a、191b) の枝電極は、所定の間隔を置いて互いに噛み合っ て交互に配置されて櫛状をなす。

【0104】

下部表示板 100 と上部表示板 200 の間に挟持された液晶層 3 は、正の誘電率異方性を有する液晶分子 31 を含み、液晶分子 31 は電場のない状態でその長軸が 2 つの表示板 (100、200) の表面に対して垂直に配向されている。

第 1 / 第 2 ドレイン電極 175a / 175b からデータ電圧が印加される第 1 及び第 2 副画素電極 (191a、191b) は、その間の液晶層 3 部分と共に液晶キャパシタ (C1c) を構成し、第 1 及び第 2 薄膜トランジスタ (Qa、Qb) がターンオフした後も印加された電圧を維持する。

【0105】

第 1 / 第 2 画素電極 (191a / 191b) と共通電極 270 はまた、ゲート絶縁膜 140、下部及び上部保護膜 (180p、180q) を誘電体として第 1 / 第 2 ストレージキャパシタ (Csta / Cstb) を構成し、液晶キャパシタ (C1c) の電圧維持能力

10

20

30

40

50

を強化する。第 1 / 第 2 画素電極 (1 9 1 a / 1 9 1 b) と共通電極 2 7 0 の間に位置するカラーフィルタ 2 3 0 の一部は除去されて、第 1 / 第 2 ストレージキャパシタ (C s t a / C s t b) の保持容量を増加させる。

【 0 1 0 6 】

第 1 / 第 2 副画素電極 (1 9 1 a / 1 9 1 b) に接続された第 1 / 第 2 ドレイン電極 (1 7 5 a / 1 7 5 b) の第 1 / 第 2 拡張部 (1 7 7 a / 1 7 7 b) は、ゲート絶縁膜 1 4 0 を介在して維持拡張部 1 3 7 とオーバーラップして、第 1 / 第 2 ストレージキャパシタ (C s t a / C s t b) を構成し、第 1 / 第 2 ストレージキャパシタ (C s t a / C s t b) は、液晶キャパシタ (C l c) の電圧維持能力を強化する。

【 0 1 0 7 】

さらに、下部及び上部表示板 (1 0 0 、 2 0 0) の内側面には配向膜 1 1 、 2 1 が形成されている。2つの配向膜 (1 1 、 2 1) は水平配向膜である。

共通電極 2 7 0 に共通電圧 (V c o m) が印加され、第 1 及び第 2 画素電極 (1 9 1 a 、 1 9 1 b) には、共通電圧 (V c o m) を基準に互いに極性の異なる 2 つのデータ電圧が印加されると、表示板 (1 0 0 、 2 0 0) の表面にはほぼ水平の電場が液晶層 3 に生成される。これによって液晶層 3 の液晶分子 3 1 は、その長軸が電場に水平に傾き、傾斜程度によって入射光の偏光程度が変わる。なお、本実施例では第 1 及び第 2 画素電極 (1 9 1 a 、 1 9 1 b) の間の液晶層 3 に生成される電場以外に、共通電極 2 7 0 と第 1 及び第 2 画素電極 (1 9 1 a 、 1 9 1 b) の間の液晶層 3 に生成される電場によって液晶分子 3 1 の応答速度をさらに向上させることができ、液晶表示装置の透過率を一層高めることができる。一方、電場の水平成分は、第 1 及び第 2 画素電極 (1 9 1 a 、 1 9 1 b) の枝電極にほぼ垂直になり、図 1 5 に示すように、枝電極の傾いた方向が共通電圧線 2 7 1 を基準にそれぞれ異なるので、液晶分子 3 1 の傾いた方向を様々にして広視野角を得ることができる。

【 0 1 0 8 】

以下、図 1 7 に基づいて、本発明の他の実施例に係る液晶表示板組立体について説明する。

図 1 7 は本発明の一実施例に係る液晶表示板組立体の構造とともに 1 つの画素を示す等価回路図である。

図 1 7 に示すように、本実施例による液晶表示板組立体も図 1 4 に示す実施例と同様に、複数のゲート線 (G_i)、複数対のデータ線 (D_j 、 D_{j+1}) を含む信号線と、これに接続された複数の画素 (P X) を有する。

【 0 1 0 9 】

各画素 (P X) は、信号線 (G_i 、 D_j 、 D_{j+1}) に接続された第 1 及び第 2 スイッチング素子 (Q a 、 Q b)、液晶キャパシタ (C l c)、第 1 及び第 2 液晶キャパシタ (C l c a 、 C l c b) と、第 1 及び第 2 ストレージキャパシタ (C s t a 、 C s t b) を含む。

本実施例では、図 1 4 に示す実施例と異なって、共通電極 (C E) が上部表示板 2 0 0 の全面に形成され、第 1 / 第 2 液晶キャパシタ (C l c a / C l c b) は、下部表示板 1 0 0 の第 1 / 第 2 画素電極 (P E a / P E b) と上部表示板 2 0 0 の共通電極 (C E) を 2 端子とし、液晶キャパシタ (C l c) は、下部表示板 1 0 0 の第 1 及び第 2 画素電極 (P E a 、 P E b) を 2 端子とする。

【 0 1 1 0 】

また第 1 及び第 2 ストレージキャパシタ (C s t a 、 C s t b) は、第 1 及び第 2 画素電極 (P E a 、 P E b) を有する画素電極 (P E) と、別個の信号線 (図示せず) 又はすぐ上の前端ゲート線 (図示せず) が絶縁体を媒介としてオーバーラップしてなる。

本実施例では、それぞれ異なる極性のデータ電圧が印加される第 1 及び第 2 画素電極 (P E a 、 P E b) は、液晶層 3 に表示板 (1 0 0 、 2 0 0) に水平な電場を生成する。同時に下部表示板 1 0 0 の第 1 及び第 2 画素電極 (P E a 、 P E b) と上部表示板 2 0 0 の共通電極 (C E) も液晶層 3 に電場を生成し、第 1 及び第 2 画素電極 (P E a 、 P E b)

10

20

30

40

50

の周縁エッジ (e d g e) が共通電極 (C E) と共に電場を歪曲して、画素電極 (P E a 、 P E b) の周縁エッジに垂直の水平成分を作る。これによって正の誘電率異方性を有する液晶層 3 の液晶分子は、該電場に平行に傾き、傾斜程度によって液晶層 3 の入射光の偏光の変化程度が変わる。

【 0 1 1 1 】

なお、他の実施例においては、第 1 及び第 2 画素電極 (P E a 、 P E b) が絶縁体を介在して互いにオーバーラップして、1つのストレージキャパシタ (図示せず) を構成する。

以下、図 1 8 及び図 1 9 を参照して図 1 7 に示した液晶表示板組立体の一例について説明する。

【 0 1 1 2 】

図 1 8 は本発明の一実施例に係る液晶表示板組立体の配置図であり、図 1 9 は図 1 8 の液晶表示板組立体の X I X - X I X 線による断面図である。

本実施例による液晶表示板組立体の層状構造は、図 1 1 及び図 1 2 に示す液晶表示板組立体の層状構造とほぼ同様である。

まず、下部表示板 1 0 0 について説明する。絶縁基板 1 1 0 の上に複数対の第 1 及び第 2 ゲート電極 (1 2 4 a 、 1 2 4 b) を有する複数のゲート線 1 2 1 及び複数の維持電極線 1 3 1 が形成されており、その上にはゲート絶縁膜 1 4 0 が形成されている。ゲート絶縁膜 1 4 0 の上には複数対の第 1 及び第 2 線状半導体 (1 5 1 a 、 1 5 1 b) 、複数対の第 1 及び第 2 線状オーミックコンタクト部材 1 6 1 a と複数対の第 1 及び第 2 島状オーミックコンタクト部材 1 6 5 a 、並びに複数対の第 1 及び第 2 データ線 (1 7 1 a 、 1 7 1 b) と複数対の第 1 及び第 2 ドレイン電極 (1 7 5 a 、 1 7 5 b) が順に形成されている。その上には保護膜 1 8 0 、第 1 及び第 2 画素電極 (1 9 1 a 、 1 9 1 b) と配向膜 1 1 が順に形成されている。

【 0 1 1 3 】

次に、上部表示板 2 0 0 について説明する。絶縁基板 2 1 0 の上に遮光部材 2 2 0 、カラーフィルタ 2 3 0 、蓋膜 2 5 0 、共通電極 2 7 0 と配向膜 2 1 が順に形成されている。

本実施例では、図 1 1 及び図 1 2 に示す液晶表示板組立体と異なり、第 1 及び第 2 半導体 (1 5 1 a 、 1 5 1 b) が線状であり、ソース電極 (1 7 3 a 、 1 7 3 b) 及びドレイン電極 (1 7 5 a 、 1 7 5 b) に沿って突出した第 1 及び第 2 突出部 (1 5 4 a 、 1 5 4 b) を有する。また線状オーミックコンタクト部材 1 6 1 a もデータ線 (1 7 1 a 、 1 7 1 b) に沿って延長された線状であり、ソース電極 (1 7 3 a 、 1 7 3 b) に沿って突出した突出部 1 6 3 a を有する。線状半導体 (1 5 1 a 、 1 5 1 b) は、データ線 (1 7 1 a 、 1 7 1 b) 、ドレイン電極 (1 7 5 a 、 1 7 5 b) 及びその下部のオーミックコンタクト部材 (1 6 1 a 、 1 6 3 a 、 1 6 5 a) と実質的に同じ平面形状を有する。

【 0 1 1 4 】

このような下部表示板 1 0 0 を本発明の一実施例により製造する方法において、データ線 (1 7 1 a 、 1 7 1 b) とドレイン電極 (1 7 5 a 、 1 7 5 b) 、半導体 (1 5 1 a 、 1 5 1 b) 及びオーミックコンタクト部材 (1 6 1 a 、 1 6 3 a 、 1 6 5 a) を 1 度のフォトリソ工程により形成する。

また維持電極線 1 3 1 が隣接する 2 つのゲート線 1 2 1 の間に位置し、2 つのゲート線 1 2 1 からの距離がほぼ同一である。第 1 及び第 2 画素電極 (1 9 1 a 、 1 9 1 b) 各々がゲート絶縁膜 1 4 0 と保護膜 1 8 0 を介在して維持電極線 1 3 1 とオーバーラップして、第 1 及び第 2 ストレージキャパシタ (C s t a 、 C s t b) を構成する。この場合、第 1 及び第 2 画素電極 (1 9 1 a 、 1 9 1 b) と維持電極線 1 3 1 がオーバーラップする部分の保護膜 1 8 0 は除去してもよい。

【 0 1 1 5 】

第 1 及び第 2 画素電極 (1 9 1 a 、 1 9 1 b) は、各々横部と複数の縦部を有する。第 1 画素電極 1 9 1 a の横部は下端に位置し、複数の縦部は横部から図の上方に延長されている。第 2 画素電極 1 9 1 b の横部は上端に位置し、複数の縦部は横部から図の下方に延

10

20

30

40

50

長されている。第 1 及び第 2 画素電極 (1 9 1 a 、 1 9 1 b) の横部及び縦部は、互いにほぼ直角をなし、第 1 及び第 2 画素電極 (1 9 1 a 、 1 9 1 b) の縦部は交互に配置されている。

【 0 1 1 6 】

他にも図 1 ~ 図 5 、図 6 及び図 7 に示す液晶表示板組立体及びこれを含む液晶表示装置の様々な特徴は、図 1 8 及び図 1 9 に示す液晶表示板組立体にも適用できる。

以下、図 2 0 を参照して、本発明の他の実施例に係る液晶表示板組立体について説明する。

図 2 0 は本発明の一実施例に係る液晶表示板組立体の構造とともに 1 つの画素を示す等価回路図である。

【 0 1 1 7 】

図 2 0 に示すように、本実施例による液晶表示板組立体も図 8 に示す実施例と同様に、複数のゲート線 (G_i)、複数対のデータ線 (D_j 、 D_{j+1}) を有する信号線と、これに接続された複数の画素 (PX) を有する。

本実施例における各画素 (PX) は、信号線 (G_i 、 D_j 、 D_{j+1}) に接続された第 1 及び第 2 スイッチング素子 (Qa 、 Qb)、液晶キャパシタ (Clc) と第 1 及び第 2 ストレージキャパシタ ($Csta$ 、 $Cstb$) を含む。

【 0 1 1 8 】

第 1 / 第 2 スイッチング素子 (Qa / Qb) の制御端子は、ゲート線 (G_i) に接続されており、入力端子はデータ線 (D_j / D_{j+1}) に接続されており、出力端子は第 1 / 第 2 画素電極 (PEa / PEb) に接続される。液晶キャパシタ (Clc) は、下部表示板 1 0 0 の第 1 及び第 2 画素電極 (PEa 、 PEb) を 2 端子とする。液晶キャパシタ (Clc) は、第 1 及び第 2 画素電極 (PEa 、 PEb) を 2 端子とし、その間の液晶層 3 を誘電体として含む。第 1 及び第 2 画素電極 (PEa 、 PEb) の間の距離は位置によって距離が変わる。第 1 及び第 2 画素電極 (PEa 、 PEb) には共通電圧 ($Vcom$) を基準にそれぞれ異なる極性を有するデータ電圧が印加される。一方、液晶層 3 は正の誘電率異方性を有し、液晶層 3 の液晶分子は電場のない状態でその長軸が 2 つの表示板の表面に対して垂直に配向されている。

【 0 1 1 9 】

第 1 及び第 2 ストレージキャパシタ ($Csta$ 、 $Cstb$) は、第 1 及び第 2 画素電極 (PEa 、 PEb) と別個の信号線 (図示せず) やすぐ上の前端ゲート線 (図示せず) と絶縁体を媒介としてオーバーラップするように構成される。

なお、他の実施例として、第 1 及び第 2 画素電極 (PEa 、 PEb) が絶縁体を介在してオーバーラップして、1 つのストレージキャパシタ (図示せず) をなすように構成できる。

【 0 1 2 0 】

本実施例では、共通電圧 ($Vcom$) を基準にそれぞれ異なる極性のデータ電圧が印加される第 1 及び第 2 画素電極 (PEa 、 PEb) が表示板 (1 0 0 、 2 0 0) にほぼ水平な電場を液晶層 3 に生成し、第 1 及び第 2 画素電極 (PEa 、 PEb) の間の距離が短い場合、長い場合に比べてより強い電場が生成される。よって第 1 及び第 2 画素電極 (PEa 、 PEb) の間の距離が短い所に位置する液晶分子が、電場に平行な方向に対して傾く程度がさらに大きくなり、光透過率も向上する。このように、1 つの画素 (PX) において光透過率の異なる 2 つの領域が存在するので、第 1 及び第 2 画素電極 (PEa 、 PEb) の間の距離を適宜調整することによって、側面ガンマ曲線を正面ガンマ曲線に最も近くようにすることができ、その結果、側面視認性を向上させることができる。また第 1 及び第 2 画素電極 (PEa 、 PEb) の間の距離が長い部分と短い部分を混合することで、液晶表示装置の透過率を向上させることができる。

【 0 1 2 1 】

他に、カラーフィルタ (CF)、偏光子 (図示せず)、本実施例による液晶表示板組立体を含む液晶表示装置の動作及び効果については、図 1 ~ 図 5 と同様であるので詳細な説

10

20

30

40

50

明は省略する。

以下、図 2 1 及び図 2 2 を参照して図 2 0 に示す液晶表示板組立体の一例について説明する。

【0122】

図 2 1 は本発明の一実施例に係る液晶表示板組立体の配置図であり、図 2 2 は図 2 1 の液晶表示板組立体の X X I I - X X I I 線による断面図である。

本実施例による液晶表示板組立体の層状構造は、図 1 1 及び図 1 2 に示す液晶表示板組立体の層状構造とほぼ同様である。

まず、下部表示板 1 0 0 について説明する。絶縁基板 1 1 0 の上に複数対の第 1 及び第 2 ゲート電極 (1 2 4 a、1 2 4 b) を含む複数のゲート線 1 2 1 及び複数の維持電極線 1 3 1 が形成され、その上にはゲート絶縁膜 1 4 0 が形成されている。ゲート絶縁膜 1 4 0 の上には複数対の第 1 及び第 2 島状半導体 (1 5 4 a、1 5 4 b)、複数対の第 1 及び第 2 島状オーミックコンタクト部材 (1 6 3 a、1 6 5 a)、並びに複数対の第 1 及び第 2 データ線 (1 7 1 a、1 7 1 b) と複数対の第 1 及び第 2 ドレイン電極 (1 7 5 a、1 7 5 b) が順に形成されている。その上には保護膜 1 8 0、複数の枝部を含む第 1 及び第 2 画素電極 (1 9 1 a、1 9 1 b) と配向膜 1 1 が順に形成されている。第 1 及び第 2 画素電極 (1 9 1 a、1 9 1 b) の枝部はゲート線 1 2 1 又は維持電極線 1 3 1 とほぼ 4 5 度をなして図の斜め方向に延長されている。

【0123】

次に、上部表示板 2 0 0 について説明する。絶縁基板 2 1 0 の上に遮光部材 2 2 0、カラーフィルタ 2 3 0、蓋膜 2 5 0、共通電極 2 7 0 と配向膜 2 1 が順に形成されている。

本実施例では図 1 1 及び図 1 2 に示す実施例と異なり、第 1 及び第 2 画素電極 (1 9 1 a、1 9 1 b) の枝部間の間隔の広い低階調領域 (L A) と、間隔の狭い高階調領域 (低階調領域 (L A) を除いた残りの領域) が存在する。高階調領域は上部、下部及び中部の 3 部分に分けられ、低階調領域 (L A) は高階調領域の上部又は下部と中部との間に位置し、くの字形状をなしている。低階調領域 (L A) で第 1 及び第 2 画素電極 (1 9 1 a、1 9 1 b) の枝部間の間隔は $6\mu\text{m} \sim 20\mu\text{m}$ であり、高階調領域で第 1 及び第 2 画素電極 (1 9 1 a、1 9 1 b) の枝部間の間隔は $2\mu\text{m} \sim 5\mu\text{m}$ である。低階調領域 (L A) と高階調領域において、第 1 及び第 2 画素電極 (1 9 1 a、1 9 1 b) の枝部間の間隔と枝部の幅は変更可能である。

【0124】

このように 1 つの画素 (P X) で第 1 及び第 2 画素電極 (1 9 1 a、1 9 1 b) 間の間隔を様々にすることによって液晶分子 3 1 の傾斜角度を多様にすることができ、1 つの画像情報に対してそれぞれ異なる輝度で表示することができる。第 1 及び第 2 画素電極 (1 9 1 a、1 9 1 b) の枝部間の間隔を適宜調整することで、側面からの画像を正面からの画像に最大に近づくようにして側面視認性を向上させることができ、透過率が向上する。

【0125】

他に、維持電極線 1 3 1 が下方に突出した複数の維持電極 1 3 7 を有し、第 1 及び第 2 ドレイン電極 (1 7 5 a、1 7 5 b) の各々が維持電極 1 3 7 とオーバーラップして、第 1 及び第 2 ストレージキャパシタ (C s t a、C s t b) を構成する。

また第 1 及び第 2 データ線 (1 7 1 a、1 7 1 b) は、第 1 及び第 2 ゲート電極 (1 2 4 a、1 2 4 b) に向けて C 字形状又は逆 C 字形状に折曲された複数対の第 1 及び第 2 ソース電極 (1 7 3 a、1 7 3 b) を有する。

【0126】

さらに、図 1 ~ 図 5、図 6 及び図 7 に示す液晶表示板組立体及びこれを含む液晶表示装置の特徴は、図 2 1 及び図 2 2 に示す液晶表示板組立体にも適用できる。

以下、図 2 3 ~ 図 2 5 を参照して図 2 0 に示す液晶表示板組立体の他の例について説明する。

図 2 3 ~ 図 2 5 は各々本発明の一実施例に係る液晶表示板組立体の配置図である。

【0127】

10

20

30

40

50

まず、図 2 3 に示す液晶表示板組立体について説明する。

本実施例による液晶表示板組立体は、図 2 1 及び図 2 2 に示す液晶表示板組立体とほぼ同様である。

しかし下部表示板 1 0 0 又は上部表示板 2 0 0 に遮光部材 2 2 0 をさらに有し、遮光部材 2 2 0 は画素電極 1 9 1 間の光漏れを防止し、画素電極 1 9 1 と対向する開口領域を設定する。

【 0 1 2 8 】

また第 1 及び第 2 画素電極 (1 9 1 a 、 1 9 1 b) の間の間隔の長い低階調領域 (L A) が第 1 及び第 2 画素電極 (1 9 1 a 、 1 9 1 b) の間の間隔の短い高階調領域 (低階調領域 (L A) を除いた残りの領域) の上部及び下部に分けられて位置し、第 1 及び第 2 画素電極 (1 9 1 a 、 1 9 1 b) の間の間隔も図 2 1 と異なるように構成できる。低階調領域 (L A) における第 1 及び第 2 画素電極 (1 9 1 a 、 1 9 1 b) の枝部間の間隔は $6 \mu\text{m} \sim 20 \mu\text{m}$ であり、高階調領域における第 1 及び第 2 画素電極 (1 9 1 a 、 1 9 1 b) の枝部間の間隔は $2 \mu\text{m} \sim 5 \mu\text{m}$ である。

10

【 0 1 2 9 】

以下、図 2 4 に示す液晶表示板組立体について説明する。

本実施例による液晶表示板組立体の層状構造は、図 2 1 及び図 2 2 に示す液晶表示板組立体の層状構造とほぼ同様である。以下では図 2 1 及び図 2 2 に示す実施例と異なる点を中心に説明する。

まず、下部表示板 (図示せず) について説明する。絶縁基板 (図示せず) の上に複数対の第 1 及び第 2 ゲート電極 (1 2 4 a 、 1 2 4 b) を有する複数のゲート線 1 2 1 及び複数の維持電極線 1 3 1 を含む複数のゲート導電体が形成されている。

20

【 0 1 3 0 】

維持電極線 1 3 1 は複数対の第 1 及び第 2 維持電極 (1 3 3 a 、 1 3 3 b) を有する。第 1 及び第 2 維持電極 (1 3 3 a 、 1 3 3 b) は一定の距離を置いて位置し、各々図の上下に長く延長されて、下端に拡張部を有する。維持電極 (1 3 3 a 、 1 3 3 b) を含む維持電極線 1 3 1 は、上部の第 1 及び第 2 画素電極 (1 9 1 a 、 1 9 1 b) とオーバーラップして、第 1 及び第 2 ストレージキャパシタ (C s t a 、 C s t b) を形成する。

【 0 1 3 1 】

ゲート導電体 (1 2 1 、 1 3 1) の上にはゲート絶縁膜 (図示せず) 、複数対の第 1 及び第 2 島状半導体 (1 5 4 a 、 1 5 4 b) 、複数対の第 1 及び第 2 島状オーミックコンタクト部材 (図示せず) 、並びに複数対の第 1 及び第 2 データ線 (1 7 1 a 、 1 7 1 b) と複数対の第 1 及び第 2 ドレイン電極 (1 7 5 a 、 1 7 5 b) が順に形成されている。

30

第 1 / 第 2 データ線 (1 7 1 a / 1 7 1 b) は、第 1 / 第 2 ゲート電極 (1 2 4 a / 1 2 4 b) に向けて図の右側 / 左側に延長されて、W 字状に曲がる複数対の第 1 / 第 2 ソース電極 (1 7 3 a / 1 7 3 b) を有する。第 1 / 第 2 ドレイン電極 (1 7 5 a / 1 7 5 b) は、一对の棒状端部と面積の広い他側端部を有する。

【 0 1 3 2 】

第 1 及び第 2 データ線 (1 7 1 a 、 1 7 1 b) 、第 1 及び第 2 ドレイン電極 (1 7 5 a 、 1 7 5 b) 及び露出した半導体 (1 5 4 a 、 1 5 4 b) 部分の上には保護膜 1 8 0 が形成されており、その上に第 1 及び第 2 画素電極 (1 9 1 a 、 1 9 1 b) が形成されている。

40

第 1 画素電極 1 9 1 a は、縦部 1 9 2 a 、横部 1 9 3 a 、上部枝部 1 9 4 a 及び下部枝部 1 9 5 a を有する。横部 1 9 3 a は縦部 1 9 2 a をほぼ垂直二等分し、図の右側に延長されている。上部枝部 1 9 4 a は横部 1 9 3 a を基準に図の上側に位置し、縦部 1 9 2 a 又は横部 1 9 3 a から図の右側上方に斜めに延長されている。下部枝部 1 9 5 a は横部 1 9 3 a を基準に図の下側に位置し、縦部 1 9 2 a 又は横部 1 9 3 a から図の右側下方に斜めに延長されている。

【 0 1 3 3 】

第 2 画素電極 1 9 1 b は、縦部 1 9 2 b 、上部横部 1 9 3 b 1 、下部横部 1 9 3 b 2 、

50

上部枝部 194b 及び下部枝部 195b を有する。縦部 192b は、第 1 画素電極 191a の横部 193a を間に置いて縦部 192a と対向し、上部及び下部横部 (193b1、193b2) は、各々縦部 192b の上端及び下端から図の左側に延長されて縦部 192b とほぼ直角をなす。上部枝部 194b は、第 1 画素電極 191a の横部 193a を基準に図の上側に位置し、第 2 画素電極 191b の縦部 192b 又は上部横部 193b1 から図の左側下方に斜めに延長されている。下部枝部 195b は、第 1 画素電極 191a の横部 193a を基準に下側に位置し、第 2 画素電極 191b の縦部 192a 又は下部横部 193b2 から図の左側上方に斜めに延長されている。

【0134】

第 1 及び第 2 画素電極 (191a、191b) の枝部 (194a、194b、195a、195b) は、ゲート線 121 又は維持電極線 131 とほぼ 45 度をなす。

第 1 及び第 2 画素電極 (191a、191b) の上部及び下部枝部 (194a、194b、195a、195b) は交互に配置されており、隣接する第 1 及び第 2 画素電極 (191a、191b) 間の距離が長い部分と短い部分が交互に位置する。

【0135】

このように 1 つの画素において、第 1 画素電極 191a と第 2 画素電極 191b の間の距離が長い部分と短い部分を交互に一緒に位置させて、液晶層 3 に生成される電場の強さを多様にし、液晶分子 31 の傾斜角度も多様にすることができ、液晶表示装置の側面視認性を向上させ、透過率を向上させることができる。

なお、他の実施例においては、第 1 及び第 2 画素電極 (191a、191b) の間の間隔が短い部分に続いて間隔の長い部分が複数位置するように構成できる。又は第 1 及び第 2 画素電極 (191a、191b) の間の間隔の長い部分に続いて間隔の短い部分が複数位置するように構成できる。他に、第 1 及び第 2 画素電極 (191a、191b) の間の距離を調整するか、間隔の短い部分と長い部分の配置を調整して、透過率を最大にし、側面視認性を向上させることができる。

【0136】

また、保護膜 (図示せず) 及び画素電極 (191a、191b) の上には配向膜 (図示せず) が形成されている。

次に、上部表示板 (図示せず) について説明する。絶縁基板 (図示せず) の上に遮光部材 (図示せず)、カラーフィルタ (図示せず)、蓋膜 (図示せず) 及び配向膜 (図示せず) が順に形成されている。

【0137】

なお、図 21 及び図 22 に示す液晶表示板組立体の特徴は、図 24 に示す液晶表示板組立体にも適用できる。

以下、図 25 に示す液晶表示板組立体について説明する。

本実施例による液晶表示板組立体は図 24 に示す液晶表示板組立体とほぼ同様である。以下、図 24 に示す実施例と異なる点を中心に説明する。

【0138】

図 24 に示す液晶表示板組立体と異なって、本実施例では維持電極線 131 が隣接する 2 つのゲート線 121 のうち下側に位置するゲート線 121 に隣接し、上層の第 1 及び第 2 ドレイン電極 (175a、175b) と各々オーバーラップし、上方に突出した第 1 及び第 2 維持電極 (133a、133b) を有する構成とすることができる。このとき第 1 及び第 2 維持電極 (133a、133b) は、ゲート絶縁膜 140 を介在して第 1 及び第 2 ドレイン電極 (175a、175b) の広い面積の部分と各々オーバーラップして、第 1 及び第 2 ストレージキャパシタ (Cs1a、Cs1b) を形成するように構成できる。

【0139】

また本実施例による液晶表示板組立体は、保護膜 180 の上に第 1 及び第 2 画素電極 (191a、191b) を有し、第 1 及び第 2 画素電極 (191a、191b) の外周形状は全体的に長方形である。

第 1 画素電極 191a は図の上下に長く延長された左側縦部 192a、図の上下に短く

延長された右側縦部 198a、上部横部 193a、これら 192a、193a、198a から延長されている複数の屈曲枝部 195a 及び複数の直線枝部 197a、さらに、図の下から上まで長く延長されて 3 回曲がる一対の中央屈曲部 196a を有する。第 2 画素電極 191b は、図の上下に短く延長された左側縦部 198b、図の上下に長く延長された右側縦部 192b、下部横部 193b、これら 192b、193b、198b から延長されている複数の屈曲枝部 195b 及び複数の直線枝部 197b、さらに、図の下から上まで長く延長されて 3 回曲がる一対の中央屈曲部 196b を有する。

【0140】

第 1 画素電極 191a の屈曲枝部 195a、直線枝部 197a 及び中央屈曲部 196a は、第 2 画素電極 191b の屈曲枝部 195b、直線枝部 197b 及び中央屈曲部 196b とそれぞれ交互に配置されており、隣接する屈曲枝部 (195a、195b) の間又は直線枝部 (197a、197b) の間の距離は、隣接する中央屈曲部 (196a、196b) の間の距離より長い。従って中央屈曲部 (196a、196b) の間に生成される電場の強さが屈曲枝部 (195a、195b) 又は直線枝部 (197a、197b) の間に生成される電場の強さより強く、液晶層 (図示せず) の液晶分子が傾斜する角度がより大きい。このように 1 つの画素 (PX) における液晶分子の傾ける角度を異なるように構成することによって 1 つの画素 (PX) における輝度を多様にすることができ、画素電極 (191a、191b) の間の間隔を調節して、液晶表示装置の側面視認性を向上させることができる。

【0141】

以下、図 26 を参照して、本発明の他の実施例に係る液晶表示板組立体について説明する。

図 26 は本発明の一実施例に係る液晶表示板組立体の構造とともに 1 つの画素を示す等価回路図である。

図 26 に示すように、各画素 (PX) は一対の第 1 及び第 2 副画素 (PXh、PXl) を含む。第 1 / 第 2 副画素 (PXh / PXl) は、液晶キャパシタ (Clch / Clcl) 及びストレージキャパシタ (Csth / Cstl) を含む。第 1 及び第 2 副画素 (PXh、PXl) のうちの少なくとも 1 つはゲート線、データ線及び液晶キャパシタ (Clch、Clcl) に接続された 2 つのスイッチング素子 (図示せず) を含む。

【0142】

液晶キャパシタ (Clch / Clcl) は、下部表示板 100 の第 1 副画素電極 (PEha / PEla) と第 2 副画素電極 (PEhb / PElb) を 2 つの端子とし、第 1 副画素電極 (PEha / PEla) と第 2 副画素電極 (PEhb / PElb) の間の液晶層 3 は誘電体として機能する。第 2 副画素電極 (PEhb、PElb) は、各々別途のスイッチング素子 (図示せず) に接続されており、第 1 副画素電極 (PEha、PEla) のうちの少なくとも 1 つについても別途のスイッチング素子 (図示せず) に接続される。また、第 2 副画素電極 (PEhb、PElb) が上部表示板 200 に具備されてもよく、この場合、第 2 副画素電極 (PEhb、PElb) はスイッチング素子に接続されることなく別途の共通電圧 (Vcom) の印加を受けるように構成できる。一方液晶層 3 の液晶分子は、正の誘電率異方性を有し、表示板 (100、200) に垂直に配向されている。

【0143】

液晶キャパシタ (Clch / Clcl) の補助的な役割を果たすストレージキャパシタ (Csth / Cstl) は、下部表示板 100 の第 1 副画素電極 (PEha / PEla) と第 2 副画素電極 (PEhb / PElb) が絶縁体を介在してオーバーラップするように構成される。

なお、カラーフィルタ (CF) 及び偏光子 (図示せず) については、上記実施例と同様であるので詳細な説明は省略する。

【0144】

以下、図 27 を参照して図 26 に示す液晶表示板組立体の一例について詳細に説明する。

図 27 は本発明の他の実施例に係る液晶表示板組立体の 2 つの副画素の等価回路図である。

図 27 に示すように、本実施例による液晶表示板組立体は、ゲート線 (G_i)、隣接する第 1 及び第 2 データ線 (D_j 、 D_{j+1}) を含む信号線とこれに接続される画素 (PX) を有する。

【0145】

画素 (PX) は一対の第 1 及び第 2 副画素 (PX_h 、 PX_l) を含む。第 1 / 第 2 副画素 (PX_h / PX_l) は、各々ゲート線 (G_i) 及びデータ線 (D_j / D_{j+1}) に接続される第 1 及び第 2 スイッチング素子 (Q_{ha} 、 Q_{hb} / Q_{la} 、 Q_{lb}) とこれに接続される液晶キャパシタ (C_{lch} / C_{lc1})、並びに第 1 及び第 2 ストレージキャパシタ (C_{stha} 、 C_{sthb} / C_{stla} 、 C_{stlb}) を含む。

10

【0146】

第 1 及び第 2 データ線 (D_j 、 D_{j+1}) には共通電圧 (V_{com}) に対して反対極性のデータ電圧が印加される。

第 1 / 第 2 副画素 (PX_h / PX_l) の第 1 スイッチング素子 (Q_{ha} / Q_{la}) の制御端子及び入力端子は、各々ゲート線 (G_i) 及び第 1 データ線 (D_j) に接続されており、第 1 / 第 2 副画素 (PX_h / PX_l) の第 2 スイッチング素子 (Q_{hb} / Q_{lb}) の制御端子及び入力端子は、各々ゲート線 (G_i) 及び第 2 データ線 (D_{j+1}) に接続されている。また第 1 スイッチング素子 (Q_{ha} / Q_{la}) の出力端子は、液晶キャパシタ (C_{lch} / C_{lc1}) 及び第 1 ストレージキャパシタ (C_{stha} / C_{stla}) に接続されており、第 2 スイッチング素子 (Q_{hb} / Q_{lb}) の出力端子は液晶キャパシタ (C_{lch} / C_{lc1}) 及び第 2 ストレージキャパシタ (C_{sthb} / C_{stlb}) に接続される。

20

【0147】

また第 1 / 第 2 副画素 (PX_h / PX_l) の第 1 及び第 2 スイッチング素子 (Q_{ha} 、 Q_{hb} / Q_{la} 、 Q_{lb}) のドレイン電極とゲート電極は、第 1 及び第 2 寄生キャパシタ (C_{gdha} 、 C_{gdhb} / C_{gdla} 、 C_{gd1b}) を形成する。

本実施例では、第 1 及び第 2 寄生キャパシタ (C_{gdha} 、 C_{gdhb} 、 C_{gdla} 、 C_{gd1b}) の容量を調節することによって、各液晶キャパシタ (C_{lch} 、 C_{lc1}) の両端子におけるキックバック電圧の大きさを変え、結果的に各副画素 (PX_h 、 PX_l) の充電電圧が異なるように構成する。

30

【0148】

例えば、第 1 及び第 2 データ線 (D_j 、 D_{j+1}) に各々 7 V と - 7 V が印加され、第 1 副画素 (PX_h) の第 2 寄生キャパシタ (C_{gdhb}) と第 2 副画素 (PX_l) の第 1 寄生キャパシタ (C_{gdla}) におけるキックバック電圧の大きさが 0.5 V であり、第 1 副画素 (PX_h) の第 1 寄生キャパシタ (C_{gdha}) と第 2 副画素 (PX_l) の第 2 寄生キャパシタ (C_{gd1b}) におけるキックバック電圧の大きさが 1 V の場合を説明する。ゲート線 (G_i) にゲートオフ電圧 (V_{off}) が印加されると、液晶キャパシタ (C_{lch} 、 C_{lc1}) の両端の電圧が各々キックバック電圧だけ低くなって、液晶キャパシタ (C_{lch}) の両端に 6 V と - 7.5 V が印加されて、充電電圧が 13.5 V になり、液晶キャパシタ (C_{lc1}) の両端には 6.5 V と - 8 V が印加されて、充電電圧が 14.5 V になる。これにより、第 1 及び第 2 副画素 (PX_h 、 PX_l) の画素電圧は、各々 13.5 V と 14.5 V になり液晶分子の傾斜角度をそれぞれ異なるようにし、第 1 及び第 2 副画素 (PX_h 、 PX_l) における光透過率がそれぞれ異なるよう構成することができる。このように第 1 及び第 2 寄生キャパシタ (C_{gdha} 、 C_{gdhb} 、 C_{gdla} 、 C_{gd1b}) の容量を調節することで、液晶表示装置の視認性を向上させることができ、データ電圧を小さくしなくて済むので液晶表示装置の透過率を向上させることができる。

40

【0149】

液晶キャパシタ (C_{lch} 、 C_{lc1}) 及び第 1 及び第 2 ストレージキャパシタ (C_{stha} 、 C_{sthb} 、 C_{stla} 、 C_{stlb}) については、既に説明したので詳細な説

50

明は省略する。

以下、図 2 8 A 及び図 2 8 B を参照して図 2 7 に示す液晶表示板組立体の一例について説明する。

【0150】

図 2 8 A は本発明の一実施例に係る液晶表示板組立体の配置図であり、図 2 8 B は図 2 8 A の液晶表示板組立体のスイッチング素子を拡大した配置図である。

本実施例による液晶表示板組立体の層状構造は、図 2 1 及び図 2 2 に示す液晶表示板組立体の層状構造とほぼ同様である。

まず、下部表示板（図示せず）について説明する。絶縁基板（図示せず）の上に複数対の第 1 ゲート電極（124ha、124la）と第 2 ゲート電極（124hb、124lb）を有する複数のゲート線 121 及び複数の維持電極（133h、133l）を含む複数対の上部及び下部維持電極線（131h、131l）が形成されている。その上にはゲート絶縁膜（図示せず）、複数対の第 1 半導体（154ha、154la）と第 2 半導体（154hb、154lb）、複数対の第 1 島状オーミックコンタクト部材（図示せず）と第 2 島状オーミックコンタクト部材（図示せず）、第 1 ソース電極（173ha、173la）と第 2 ソース電極（173hb、173lb）を含む複数対の第 1 及び第 2 データ線（171a、171b）と複数対の第 1 ドレイン電極（175ha、175la）と第 2 ドレイン電極（175hb、175lb）、保護膜（図示せず）、並びに複数対の第 1 副画素電極（191ha、191la）と第 2 副画素電極（191hb、191lb）が順に形成されている。

【0151】

次に、上部表示板（図示せず）について説明する。絶縁基板（図示せず）の上に遮光部材（図示せず）、カラーフィルタ（図示せず）、蓋膜（図示せず）と配向膜（図示せず）が順に形成されている。

ゲート線 121、維持電極線（131h、131l）は、画素（PX）領域の中心を横切って延長され、ゲート線 121 は維持電極線（131h、131l）の間に位置する。

【0152】

第 1 副画素（PXh）の第 1 及び第 2 副画素電極（191ha、191hb）はゲート線 121 を基準に上部に位置し、第 2 副画素（PXl）の第 1 及び第 2 副画素電極（191la、191lb）はゲート線 121 を基準に下部に位置する。第 1 / 第 2 副画素領域（PXh / PXl）で第 1 及び第 2 副画素電極（191ha、191hb / 191la、191lb）はゲート線 121 に対して斜めに延長される複数の枝部を含み、第 1 及び第 2 副画素電極（191ha、191hb / 191la、191lb）の枝部は交互に配置されている。

【0153】

本実施例では図 2 8 B に示すように、第 1 副画素（PXh）の第 2 スwitching 素子（Qhb）を構成する第 2 ゲート電極 124hb と第 2 ドレイン電極 175hb 間の重畳面積が、第 1 副画素（PXh）の第 1 スwitching 素子（Qha）を構成する第 1 ゲート電極 124ha と第 1 ドレイン電極 175ha 間の重畳面積より小さくてもよい。例えば、第 2 スwitching 素子（Qhb）を構成する第 2 ゲート電極 124hb と第 2 ドレイン電極 175hb 間の重畳面積と、第 1 スwitching 素子（Qha）を構成する第 1 ゲート電極 124ha と第 1 ドレイン電極 175ha 間の重畳面積の比率は 1 : 1、1 ~ 1 : 10、又は 1 : 2 ~ 1 : 6 である。さらに、ゲート電極（124ha、124hb）とオーバーラップするドレイン電極（175a、175b）が線状（line shape）である場合、重畳面積の比率はドレイン電極（175a、175b）の幅の比率と一致する。即ち、第 2 ドレイン電極 175hb の幅 D2 と第 1 ドレイン電極 175ha の幅 D1 の比率は 1 : 1、1 ~ 1 : 10 であってもよく、1 : 2 ~ 1 : 6 であってもよい。

【0154】

また、第 2 副画素（PXl）の第 1 スwitching 素子（Qla）を構成する第 1 ゲート電極 124la と第 1 ドレイン電極 175la 間の重畳面積が第 2 スwitching 素子（Q

1 b) を構成する第 2 ゲート電極 1 2 4 1 b と第 2 ドレイン電極 1 7 5 1 b 間の重畳面積より小さくてもよい。例えば、第 1 スイッチング素子 (Q 1 a) の第 1 ゲート電極 1 2 4 1 a と第 1 ドレイン電極 1 7 5 1 a 間の重畳面積と、第 2 スイッチング素子 (Q 1 b) の第 2 ゲート電極 1 2 4 1 b と第 2 ドレイン電極 1 7 5 1 b 間の重畳面積の比率は 1 : 1 . 1 ~ 1 : 1 0 であってもよく、1 : 2 ~ 1 : 6 であってもよい。さらに、ゲート電極 1 2 4 1 a、1 2 4 1 b とオーバーラップするドレイン電極 (1 7 5 1 a、1 7 5 1 b) が線状である場合、重畳面積の比率はドレイン電極 (1 7 5 1 a、1 7 5 1 b) の幅の比率と一致する。即ち、第 1 ドレイン電極 1 7 5 1 a の幅 D 3 と第 2 ドレイン電極 1 7 5 1 b の幅 D 4 の比率は、1 : 1 . 1 ~ 1 : 1 0 であってもよく、1 : 2 ~ 1 : 6 であってもよい。

10

【0 1 5 5】

このように、第 1 及び第 2 ゲート電極 (1 2 4 h a、1 2 4 h b、1 2 4 1 a、1 2 4 1 b) と第 1 及び第 2 ドレイン電極 (1 7 5 h a、1 7 5 h b、1 7 5 1 a、1 7 5 1 b) の重畳面積の比率を調節して、寄生キャパシタ (C g d h a、C g d h b、C g d 1 a、C g d 1 b) の容量を調節することができる。

このような重畳面積の比率を保持する場合、第 1 副画素 (P X h) の第 1 寄生キャパシタ (C g d h a) の容量が第 2 寄生キャパシタ (C g d h b) の容量より 1 . 1 ~ 1 0 倍大きくするか、第 2 副画素 (P X l) の第 2 寄生キャパシタ (C g d 1 b) の容量が第 1 寄生キャパシタ (C g d 1 a) の容量より 1 . 1 ~ 1 0 倍大きくすることができる。

20

【0 1 5 6】

また第 1 副画素 (P X h) の第 1 寄生キャパシタ (C g d h a) の容量は、第 2 副画素 (P X l) の第 2 寄生キャパシタ (C g d 1 b) の容量と実質的に同一にすることができる。そして、第 1 副画素 (P X h) の第 2 寄生キャパシタ (C g d h b) の容量は、第 2 副画素 (P X l) の第 1 寄生キャパシタ (C g d 1 a) の容量と実質的に同一にすることができる。

【0 1 5 7】

このようにして第 1 及び第 2 副画素 (P X h、P X l) の充電電圧、つまり、画素電圧の大きさを变化させて側面視認性を向上させることができる。

また第 1 及び第 2 データ線 (1 7 1 a、1 7 1 b) に印加されるデータ電圧の極性が反対であるため、駆動電圧を上昇させて液晶分子の応答速度を高めることができ、液晶表示装置の透過率を向上させることができる。

30

【0 1 5 8】

なお、図 2 1 及び図 2 2 に示す実施例における色々な特徴は、本実施例にも適用可能である。

以下、図 2 9 を参照して図 2 6 に示す液晶表示板組立体の他の例について説明する。

図 2 9 は本発明の他の実施例に係る液晶表示板組立体の 2 つの副画素の等価回路図である。

【0 1 5 9】

本実施例による液晶表示板組立体は、図 2 7 に示す液晶表示板組立体とは異なり、第 1 / 第 2 副画素 (P X h / P X l) が 1 つのストレージキャパシタ (C s t h / C s t l) を有する。このように各副画素 (P X h、P X l) に 1 つのストレージキャパシタ (C s t h、C s t l) を形成することで、共通電圧 (V c o m) の伝達のための配線を別に形成しなくて済み、開口率が向上する。

40

【0 1 6 0】

以下、図 3 0 ~ 図 3 3 及び図 1 を参照して図 2 6 に示す液晶表示板組立体の他の例について説明する。

図 3 0 ~ 図 3 3 は、各々本発明の他の実施例に係る液晶表示板組立体の 2 つの副画素の等価回路図である。

図 3 0 を参照すると、本実施例による液晶表示板組立体は、ゲート線 (G_i) 及び隣接する第 1 ~ 第 4 データ線 (D_j、D_{j+1}、D_{j+2}、D_{j+3}) を含む信号線と、これに

50

接続された画素 (PX) を有する。

【0161】

画素 (PX) は一対の第1及び第2副画素 (PXh、PXl) を含み、各副画素 (PXh / PXl) は、各々ゲート線 (G_i) 及びデータ線 (D_j 、 D_{j+1} / D_{j+2} 、 D_{j+3}) に接続される第1及び第2スイッチング素子 (Qha、Qhb / Qla、Qlb) と、これに接続された液晶キャパシタ (Clch / Clcl)、ストレージキャパシタ (Csth / Cstl) を含む。

【0162】

このような液晶表示板組立体を含む液晶表示装置において、信号制御部600が1つの画素 (PX) に対する入力画像信号 (R、G、B) を受信して、2つの副画素 (PXh、PXl) に対する出力画像信号 (DAT) に変換してデータ駆動部500に伝送する。他に、階調電圧生成部800で2つの副画素 (PXh、PXl) に対する階調電圧群を別途形成し、これを交互にデータ駆動部500に提供するか、データ駆動部500でこれを交互に選択することによって、2つの副画素 (PXh、PXl) にそれぞれ異なる電圧を印加するように構成できる。しかしこの場合、2つの副画素 (PXh、PXl) の合成ガンマ曲線が正面の基準ガンマ曲線に近づくように画像信号を補正したり階調電圧群を形成してもよい。例えば、正面の合成ガンマ曲線は、該液晶表示板組立体に最適に決められた正面の基準ガンマ曲線と一致するようにし、側面の合成ガンマ曲線は正面の基準ガンマ曲線と最も近づくようにする。このようにして、液晶表示装置の側面視認性を向上させることができる。

10

20

【0163】

また第1 / 第2副画素 (PXh / PXl) に接続されるデータ線 (D_j 、 D_{j+1} / D_{j+2} 、 D_{j+3}) に印加されるデータ電圧の極性を反対にして、駆動電圧を高めて透過率及び応答速度を向上させることができる。

図31に示すように、本実施例による液晶表示板組立体は、図30に示す液晶表示板組立体と異なり、第1 / 第2副画素 (PXh / PXl) が1つのストレージキャパシタ (Csth / Cstl) を含む。さらに、図13又は図30に示す実施例のおける説明は本実施例にも適用可能である。

【0164】

図32に示すように、本実施例による液晶表示板組立体は、隣接する第1及び第2ゲート線 (G_i 、 G_{i+1})、第1及び第2データ線 (D_j 、 D_{j+1}) を含む信号線とこれに接続される画素 (PX) を有する。

30

画素 (PX) は一対の第1及び第2副画素 (PXh、PXl) を含み、第1 / 第2副画素 (PXh / PXl) は、第1及び第2スイッチング素子 (Qha、Qhb / Qla、Qlb) とこれに接続された液晶キャパシタ (Clch / Clcl)、並びに第1及び第2ストレージキャパシタ (Cstha、Csthb / Cstla、Cstlb) を含む。

【0165】

本実施例による液晶表示板組立体は、図31に示す液晶表示板組立体と異なり、1つの画素 (PX) をなす第1及び第2副画素 (PXh、PXl) が列方向に隣接し、それぞれ異なるゲート線 (G_i 、 G_{i+1}) に接続されている。図26に示す実施例では、第1及び第2副画素 (PXh、PXl) に同一時間にそれぞれ異なるデータ電圧が印加されるが、本実施例では、第1及び第2副画素 (PXh、PXl) に時差を置いてそれぞれ異なるデータ電圧が印加される。このように2つの副画素 (PXh、PXl) の画素電圧を異なるようにして視認性を向上させることができる。また上記実施例と同様に、第1及び第2副画素 (PXh、PXl) の液晶キャパシタ (Clch、Clcl) の両端に印加される電圧が共通電圧 (Vcom) に対してそれぞれ異なる極性を有するように構成することで、同じ効果を得ることができる。

40

【0166】

一方、図33に示す液晶表示板組立体は、図32に示した液晶表示板組立体と異なり、第1 / 第2副画素 (PXh / PXl) が1つのストレージキャパシタ (Csth / Cstl) を含む。

50

1)を含む。

以下、図34を参照して図26に示す液晶表示板組立体の他の例について説明する。

図34は本発明の他の実施例に係る液晶表示板組立体の2つの副画素の等価回路図である。

【0167】

図34に示すように、本実施例による液晶表示板組立体は、ゲート線(G_i)及び隣接する第1及び第2データ線(D_j 、 D_{j+1})を含む信号線と、これに接続された画素(PX)を有する。以下では上記実施例と異なる点を中心に説明する。

画素(PX)は一对の第1及び第2副画素(PX_h 、 PX_l)と2つの副画素(PX_h 、 PX_l)に接続される結合キャパシタ(C_{cp})を含む。第1副画素(PX_h)は、第1及び第2スイッチング素子(Q_a 、 Q_b)とこれに接続される液晶キャパシタ(C_{lc_h})と、第1及び第2ストレージキャパシタ(C_{sta} 、 C_{stb})を含む。第2副画素(PX_l)は、結合キャパシタ(C_{cp})に接続される第2スイッチング素子(Q_b)とこれに接続される液晶キャパシタ(C_{lc_l})と、第2ストレージキャパシタ(C_{stb})を含む。

【0168】

第1スイッチング素子(Q_a)は、ゲート線(G_i)からのゲート信号に従ってデータ線(D_j)からのデータ電圧を液晶キャパシタ(C_{lc_h})及び結合キャパシタ(C_{cp})に印加し、第2スイッチング素子(Q_b)は、データ線(D_j)のデータ電圧と反対極性のデータ電圧をデータ線(D_{j+1})から受信して、2つの液晶キャパシタ(C_{lc_h} 、 C_{lc_l})に印加する。これによって第2副画素(PX_l)の液晶キャパシタ(C_{lc_l})の両端に印加される電圧は、第1副画素(PX_h)の液晶キャパシタ(C_{lc_h})の両端に印加される電圧より結合キャパシタ(C_{cp})の両端に印加される電圧だけ小さいので、液晶キャパシタ(C_{lc_l})に充電された電圧は、液晶キャパシタ(C_{lc_h})に充電された電圧に比べて常に小さい。

【0169】

液晶キャパシタ(C_{lc_h} 、 C_{lc_l})の充電電圧の適正比率は、結合キャパシタ(C_{cp})の静電容量を調節することによって得ることができる。このようにして、液晶表示装置の側面視認性を向上させることができる。

上記実施例における色々な特徴は本実施例による液晶表示板組立体にも適用可能である。

【0170】

以下、図35を参照して図34に示す液晶表示板組立体の一例について説明する。

図35は本発明の一実施例に係る液晶表示板組立体の配置図である。

本実施例による液晶表示板組立体の層状構造もまた、図21及び図22に示す液晶表示板組立体の層状構造とほぼ同様である。

まず、下部表示板(図示せず)について説明する。絶縁基板(図示せず)の上に複数対の第1及び第2ゲート電極(124a、124b)を含む複数のゲート線121、複数の維持電極線131及び横電極137を含む複数の連結電極135が形成されている。その上にはゲート絶縁膜(図示せず)、複数対の第1及び第2半導体(154a、154b)、複数対の第1及び第2島状オーミックコンタクト部材(図示せず)、複数対の第1及び第2データ線(171a、171b)と複数対の第1及び第2ドレイン電極(175a、175b)、保護膜(図示せず)、並びに複数対の第1及び第2副画素電極(191ha、191la)を含む第1画素電極191aと第2画素電極191bとが順に形成されている。

【0171】

第1副画素電極191haは上部及び下部副画素電極(191ha_u、191ha_d)を含み、第2副画素電極191laは上部及び下部副画素電極(191ha_u、191ha_d)の間に位置する。上部及び下部副画素電極(191ha_u、191ha_d)は、コンタクトホール(187d、187u)を介して下層の連結電極135に接続されて同一

電圧が印加される。

【0172】

第1副画素電極191haの上部及び下部副画素電極(191ha_u、191ha_d)は、各々縦部及び複数の枝部を含み、第2副画素電極(191laは横部197la及び枝部を含み、第2画素電極191bは図の上下に長く延長された縦部、横部及び複数の枝部を含む。第1画素電極191aの枝部と第2画素電極191bの枝部が交互に配置されている。隣接する第1及び第2画素電極(191a、191b)の枝部とその間の液晶層3は、液晶キャパシタ(C1ch、C1cl)を構成し、第2副画素電極191laの横部197laは、第1副画素電極191haと同一電圧が印加される下層の連結電極135の横電極137とオーバーラップして結合キャパシタ(Ccp)を構成する。また維持電極線131と第1及び第2画素電極(191a、191b)が各々オーバーラップして、第1及び第2ストレージキャパシタ(Csta、Cstb)を構成する。

10

【0173】

一方、図34の液晶表示板組立体及び上記実施例の特徴は本実施例にも適用可能である。

以下、図36を参照して図26に示す液晶表示板組立体の他の例について詳細に説明する。

図36は本発明の他の実施例に係る液晶表示板組立体の2つの副画素の等価回路図である。

【0174】

20

図36に示すように、本実施例による液晶表示板組立体は、隣接する2つのゲート線(G_i 、 G_{i+1})、第1及び第2データ線(D_j 、 D_{j+1})及び共通電圧線(図示せず)を含む信号線とこれに接続される複数の画素(PX)を有する。

各画素(PX)は第1及び第2副画素(PX_h、PX_l)及び昇圧部(BU)を含む。第1/第2副画素(PX_h/PX_l)は第1スイッチング素子(Qha/Qla)及び第2スイッチング素子(Qb)、液晶キャパシタ(C1ch/C1cl)、第1ストレージキャパシタ(Cstha/Cstla)及び第2ストレージキャパシタ(Cstb)を含む。昇圧部(BU)は第3スイッチング素子(Qc)と第4スイッチング素子(Qb)及び昇圧キャパシタ(Cb)を含む。

【0175】

30

第1/第2副画素(PX_h/PX_l)の第1スイッチング素子(Qha/Qla)の制御端子はゲート線(G_i)に接続されており、入力端子は第1データ線(D_j)に接続されており、出力端子は液晶キャパシタ(C1ch/C1cl)及び第1ストレージキャパシタ(Cstha/Cstla)に接続される。第2スイッチング素子(Qb)の制御端子はゲート線(G_i)に接続されており、入力端子は第2データ線(D_{j+1})に接続されており、出力端子は液晶キャパシタ(C1ch/C1cl)及び第2ストレージキャパシタ(Cstb)に接続される。

【0176】

第3スイッチング素子(Qc)の制御端子はゲート線(G_i)に接続されており、入力端子は共通電圧を伝達する別個の共通電圧線(図示せず)に接続されており、出力端子は第4スイッチング素子(Qb)及び昇圧キャパシタ(Cb)に接続される。

40

第4スイッチング素子(Qb)の制御端子は後端ゲート線(G_{i+1})に接続されており、入力端子は第1スイッチング素子(Qla)の出力端子、液晶キャパシタ(C1cl)及び第1ストレージキャパシタ(Cstla)に接続されており、出力端子は第3スイッチング素子(Qc)の出力端子及び昇圧キャパシタ(Cb)に接続される。

【0177】

本実施例による液晶表示板組立体を含む液晶表示装置の動作は以下のとおりである。

まず、データ線(D_j)に共通電圧(V_{com})を基準に極性がプラス(+)のデータ電圧が印加され、データ線(D_{j+1})には極性がマイナス(-)のデータ電圧が印加されることを例として説明する。

50

ゲート線 (G_i) にゲートオン電圧 (V_{on}) が印加されると、これに接続される第 1 ~ 第 3 薄膜トランジスタ (Q_{ha} 、 Q_{la} 、 Q_b 、 Q_c) がターンオンする。これによって、データ線 (D_j) のデータ電圧 (+) は、ターンオンした第 1 スイッチング素子 (Q_{ha} 、 Q_{la}) を介して液晶キャパシタ (C_{lch} 、 C_{lcl}) の一端に印加され、第 2 スイッチング素子 (Q_b) を介して、データ線 (D_{j+1}) のデータ電圧 (-) が液晶キャパシタ (C_{lch} 、 C_{lcl}) の他の端子に印加される。

【0178】

一方、共通電圧 (V_{com}) が第 3 薄膜トランジスタ (Q_c) を介して、昇圧キャパシタ (C_b) の一端に印加され、昇圧キャパシタ (C_b) は、第 1 スイッチング素子 (Q_{ha}) の出力端子の電圧と共通電圧 (V_{com}) との差が充電される。

10

その後、ゲート線 (G_i) にゲートオフ電圧 (V_{off}) が印加され、次のゲート線 (G_{i+1}) にゲートオン電圧 (V_{on}) が印加されると、第 1 ~ 第 3 薄膜トランジスタ (Q_{ha} 、 Q_{la} 、 Q_b 、 Q_c) はターンオフし、第 4 薄膜トランジスタ (Q_b) がターンオンする。すると第 1 スイッチング素子 (Q_{la}) の出力端子に集約されたプラス (+) 電荷と、第 3 スイッチング素子 (Q_c) の出力端子に集約されたマイナス (-) 電荷が互いに混合され、これによって第 1 スイッチング素子 (Q_{la}) の出力端子の電圧は低くなり、第 3 スイッチング素子 (Q_c) の出力端子の電圧が上昇する。昇圧キャパシタ (C_b) の一端の第 3 スイッチング素子 (Q_c) の出力端子の電圧が上昇すると、孤立状態の第 1 スイッチング素子 (Q_{ha}) の出力端子の電圧もともに上昇し、これによって液晶キャパシタ (C_{lch}) の両端の電圧差が大きくなる。これに対して、第 1 スイッチング素子 (Q_{la}) の出力端子の電圧は下降するので、液晶キャパシタ (C_{lcl}) 両端の電圧も下降する。

20

【0179】

これと反対に、第 1 データ線 (D_j) に共通電圧 (V_{com}) を基準に極性がマイナス (-) のデータ電圧が印加される場合は、キャパシタ (C_{lch} 、 C_{lcl} 、 C_{stha} 、 C_{stla} 、 C_b 、 C_{stb}) の両端に集約された電荷が上記説明と逆になる。

本実施例では、印加されるデータ電圧の極性に関係なく、第 1 副画素 (PX_h) の液晶キャパシタ (C_{lch}) の充電電圧を第 2 副画素 (PX_l) の液晶キャパシタ (C_{lcl}) の充電電圧より常に高く維持することができる。従って、全体的な輝度及び透過率の減少なしに液晶キャパシタ (C_{lch} 、 C_{lcl}) の充電電圧を異ならせて 2 つの副画素 (PX_h 、 PX_l) の輝度を異ならせることができる。

30

【0180】

また、ゲート線 (G_i) にゲートオン電圧が印加されるたびに第 3 薄膜トランジスタ (Q_c) によって昇圧キャパシタ (C_b) の電圧が共通電圧 (V_{com}) に更新 ($refresh$) されるので前フレーム ($frame$) による残像を除去することができる。

同時に第 1 及び第 2 データ線 (D_j 、 D_{j+1}) にそれぞれ異なる極性のデータ電圧が印加されて、液晶表示装置の透過率及び応答速度等を高めることができ、上記実施例による効果は本実施例にも適用できる。

【0181】

なお、他の実施例においては、第 1 ストレージキャパシタ (C_{stha}/C_{stla}) と第 2 ストレージキャパシタ (C_{stb}) の代わりに、第 1 / 第 2 副画素 (PX_h/PX_l) が 1 つのストレージキャパシタ (図示せず) を含むことができる。

40

以下、図 37 を参照して図 2 に示す液晶表示板組立体の他の例について説明する。

図 37 は、本発明の一実施例に係る液晶表示板組立体の 2 つの画素の等価回路図である。

【0182】

まず、図 2 及び図 37 を参照すると、本実施例による液晶表示板組立体も互いに対向する下部及び上部表示板 (100、200) とその間に挟持された液晶層 3 を有する。

本実施例による液晶表示板組立体は、ゲート線 (G_i) 及び隣接する第 1、第 2 及び第 3 データ線 (D_j 、 D_{j+1} 、 D_{j+2}) を含む信号線と、これに接続される第 1 及び第 2

50

画素 (PX_n 、 PX_{n+1}) を有する。

【 0 1 8 3 】

ゲート線 (G_i)、データ線 (D_j 、 D_{j+1} 、 D_{j+2})、第 1 画素電極 (PEa) 及び第 2 画素電極 (PEb) は金属層をパターンニングして形成する。ゲート線 (G_i) とデータ線 (D_j 、 D_{j+1} 、 D_{j+2}) はそれぞれ異なる層に形成されており、その間には絶縁体が存在する。第 1 及び第 2 画素電極 (PEa 、 PEb) はそれぞれ異なる層に形成するか、あるいは同一層に形成することができる。図 3 7 の液晶表示板組立体では、第 1 ~ 第 3 データ線 (D_j 、 D_{j+1} 、 D_{j+2}) をいずれも同一層に形成している。

【 0 1 8 4 】

各画素 (PX_n 、 PX_{n+1}) は、第 1 及び第 2 スイッチング素子 (Qa 、 Qb)、液晶キャパシタ (Clc) と、第 1 及び第 2 ストレージキャパシタ ($Csta$ 、 $Cstb$) を含む。

第 1 画素 (PX_n) の第 1 スイッチング素子 (Qa) は、ゲート線 (G_i) 及び第 1 データ線 (D_j) に接続されており、第 1 画素 (PX_n) の第 2 スイッチング素子 (Qb) は、ゲート線 (G_i) 及び第 2 データ線 (D_{j+1}) に接続されており、第 2 画素 (PX_{n+1}) の第 1 スイッチング素子 (Qa) は、ゲート線 (G_i) 及び第 3 データ線 (D_{j+2}) に接続されており、第 2 画素 (PX_{n+1}) の第 2 スイッチング素子 (Qb) は、ゲート線 (G_i) 及び第 2 データ線 (D_{j+1}) に接続されている。即ち、隣接する第 1 画素 (PX_n) の第 2 スイッチング素子 (Qb) と第 2 画素 (PX_{n+1}) の第 2 スイッチング素子 (Qb) は、同一のデータ線 (D_{j+1}) (以下、共有データ線という) に接続されている。

【 0 1 8 5 】

第 1 及び第 2 スイッチング素子 (Qa 、 Qb) は、下部表示板 1 0 0 に設けられた薄膜トランジスタ等の三端子素子とすることができ、その制御端子はゲート線 (G_i) に接続されており、入力端子はデータ線 (D_j 、 D_{j+1} 、 D_{j+2}) に接続されており、出力端子は液晶キャパシタ (Clc) と第 1 及び第 2 ストレージキャパシタ ($Csta$ 、 $Cstb$) に各々接続されている。

【 0 1 8 6 】

再び図 2 を参照すると、液晶層 3 に含まれる液晶分子は誘電率異方性を有し、液晶層 3 の液晶分子は電場のない状態でその長軸が 2 つの表示板 (1 0 0、2 0 0) の表面に対して垂直に配向されている。また、液晶分子は電場のない状態でその長軸が表示板 (1 0 0、2 0 0) に対して水平に配向される。

なお、液晶キャパシタ (Clc) 及びストレージキャパシタ ($Csta$ 、 $Cstb$) 等については既に説明したので詳細な説明は省略する。

【 0 1 8 7 】

以下、図 3 8 及び図 3 9 を参照して、本発明の一実施例に係る液晶表示装置の動作について説明する。

図 3 8 及び図 3 9 は、本発明の一実施例に係る液晶表示装置において、液晶表示装置が利用できる最低電圧が 0 V、最高電圧が 1 4 V、共通電圧 (V_{com}) が 7 V である場合、各々連続する 2 フレームで隣接する 4 つの画素の液晶キャパシタの充電電圧と各データ線に印加される電圧を示す図である。

【 0 1 8 8 】

図 3 8 及び図 3 9 を参照すると、隣接する 2 つの画素の間には 1 つのデータ線 (D_{j+1} 、 D_{j+4}) があり、2 つの画素 (PX) がこれらデータ線 (D_{j+1} 、 D_{j+4})、即ち、共有データ線 (D_{j+1} 、 D_{j+4}) に共通に接続されている。共有データ線 (D_{j+1} 、 D_{j+4}) にはフレームごとに最高駆動電圧 (例えば 1 4 V) と最低駆動電圧 (0 V) が交互に印加される。即ち、1 フレームにおいて図 3 8 に示すように、共有データ線 (D_{j+1} 、 D_{j+4}) に 0 V が印加されると、次のフレームにおいて図 3 9 に示すように、共有データ線 (D_{j+1} 、 D_{j+4}) に 1 4 V が印加される。

【 0 1 8 9 】

10

20

30

40

50

まず、図 38 を参照すると、共有データ線 (D_{j+1} 、 D_{j+4}) に 0 V が印加される。第 1 画素の目標充電電圧は 14 V として第 1 データ線 (D_j) には 14 V のデータ電圧が印加され、第 2 画素の目標充電電圧は 10 V として第 2 データ線 (D_{j+2}) には 10 V が印加され、第 3 画素の目標充電電圧は 5 V として第 3 データ線 (D_{j+3}) には 5 V が印加され、第 4 画素の目標充電電圧は 1 V として第 4 データ線 (D_{j+5}) には 1 V が印加される。この場合、隣接する画素は左側に印加される電圧を基準に互いに反対極性の電圧が印加されて反転駆動が可能であり、表示特性を向上させることができる。

【0190】

次のフレームにおいて、図 39 に示すように、共有データ線 (D_{j+1} 、 D_{j+4}) には最高駆動電圧の 14 V が印加される。第 1 画素の目標充電電圧は 13 V として第 1 データ線 (D_j) には 1 V のデータ電圧が印加され、第 2 画素の目標充電電圧は 8 V として第 2 データ線 (D_{j+2}) には 6 V が印加され、第 3 画素の目標充電電圧は 6 V として第 3 データ線 (D_{j+3}) には 8 V が印加され、第 4 画素の目標充電電圧は 3 V として第 4 データ線 (D_{j+5}) には 11 V が印加される。従って各画素には直前フレームの極性と反対極性の電圧が印加され、隣接する画素にも同様に互いに反対極性の電圧が印加される。

10

【0191】

本実施例において、隣接する画素の間に共有データ線が配置されており、データ線の数減らして液晶表示板組立体の開口率を向上させることができ、データ駆動部の数を減らして液晶表示装置の製造費用を節減することができる。

以下、図 40 を参照して、本発明の他の実施例に係る液晶表示板組立体について詳細に説明する。

20

【0192】

図 40 は本発明の他の実施例に係る液晶表示板組立体の 2 つの画素の等価回路図である。

図 40 に示すように、本実施例による液晶表示板組立体も同様に、ゲート線 (G_i)、隣接する第 1、第 2 及び第 3 データ線 (D_j 、 D_{j+1} 、 D_{j+2}) を含む信号線とこれに接続された第 1 及び第 2 画素 (PX_n 、 PX_{n+1}) を含み、各画素 (PX_n 、 PX_{n+1}) は第 1 及び第 2 スイッチング素子 (Qa 、 Qb)、液晶キャパシタ ($C1c$) を含む。

【0193】

図 40 の液晶表示板組立体は、図 37 の液晶表示板組立体と異なり、各画素 (PX_n 、 PX_{n+1}) が 1 つのストレージキャパシタ (Cst) を含み、共通電圧 ($Vcom$) の伝達のための配線を別に形成しなくて済むので開口率が向上する。ストレージキャパシタ (Cst) は、第 1 及び第 2 スイッチング素子 (Qa 、 Qb) の出力端子が絶縁体を介在してオーバーラップするように形成することができる。

30

【0194】

以下、図 41 及び図 42 と、図 1 を参照して、本発明の他の実施例に係る液晶表示板組立体について説明する。

図 41 及び図 42 は、本発明の他の実施例に係る液晶表示板組立体の 2 つの画素の等価回路図である。

図 41 及び図 42 に示すように、本実施例に係る液晶表示板組立体は、ゲート線 (G_i)、隣接する第 1 及び第 2 データ線 (D_j 、 D_{j+1}) を含む信号線と、これに接続された第 1 及び第 2 画素 (PX_n 、 PX_{n+1}) を含み、各画素 (PX_n 、 PX_{n+1}) は第 1 及び第 2 スイッチング素子 (Qa 、 Qb)、液晶キャパシタ ($C1c$) を含む。

40

【0195】

図 41 及び図 42 の液晶表示板組立体は、各画素 (PX_n 、 PX_{n+1}) がストレージキャパシタ (Cst) を有する。これに対し、各画素 (PX_n 、 PX_{n+1}) が第 1 及び第 2 スイッチング素子 (Qa 、 Qb) に各々接続された第 1 及び第 2 ストレージキャパシタ (図示せず) を含むように構成できる。

図 41 及び図 42 の液晶表示板組立体は、図 37 又は図 40 の液晶表示板組立体と異なり、各画素の間にデータ線が形成されず、ゲート線 (G_i) と水平に形成される共有デー

50

タ線 (D_k) を含む構成である。共有データ線 (D_k) は、他のデータ線 (D_j 、 D_{j+1}) と同一層に形成されず、ゲート線 (G_i) と同一層に形成されている。共有データ線 (D_k) は、他のデータ線 (D_j 、 D_{j+1}) と異なり、データ駆動部 500 に接続されていない。従って、データ駆動部 500 から電圧が印加されるのではなく、外部から最高電圧及び最低電圧について 1 フレーム単位で変動する電圧が別に印加される。

【0196】

なお、図 4 1 の液晶表示板組立体は、共有データ線 (D_k) が該当画素 (PX_n) を中心にゲート線 (G_i) と同一側に配置されており、図 4 2 の液晶表示板組立体は、共有データ線 (D_k) が該当画素 (PX_n) を中心にゲート線 (G_i) と反対側に配置されている。

10

図 4 1 及び図 4 2 の液晶表示板組立体は、図 3 7 又は図 4 0 の液晶表示板組立体に比べてデータ線及びデータ駆動部 500 の数を減らすことができ、液晶表示板組立体の開口率を向上させ、かつ製造費用を節減することができる。

【0197】

以下、図 2 及び図 4 2 を参照して、本発明の他の実施例に係る液晶表示板組立体について詳細に説明する。

図 4 3 は本発明の一実施例に係る液晶表示板組立体の 2 つの画素の等価回路図である。

図 2 及び図 4 3 に示すように、本実施例による液晶表示板組立体は、図 3 7 に示す液晶表示板組立体とほぼ同様であるが、各画素 (PX_n 、 PX_{n+1}) がそれぞれ異なる静電容量を有する第 1 及び第 2 液晶キャパシタ ($C1ch$ 、 $C1cl$) を含む点で異なる。図 4 3 に示すように、第 1 液晶キャパシタ ($C1ch$) は、二端子の間の距離が第 2 液晶キャパシタ ($C1cl$) に比べて長い。このため、第 1 及び第 2 液晶キャパシタ ($C1ch$ 、 $C1cl$) の両端に同一電圧が印加されても誘電体として作用する液晶層 3 に生成される電場の強さが異なるため、2 つの液晶キャパシタ ($C1ch$ 、 $C1cl$) の液晶分子の傾斜程度が異なる。従って液晶キャパシタ ($C1ch$ 、 $C1cl$) の両端子間の距離を調節することにより、液晶表示装置の側面からの画像を正面からの画像に最大限近づけることができ、側面視認性を向上させることができる。

20

【0198】

なお、ゲート線 (G_i)、データ線 (D_j 、 D_{j+1} 、 D_{j+2})、第 1 及び第 2 スイッチング素子 (Qa 、 Qb) と、ストレージキャパシタ ($Csta$ 、 $Cstb$) 等については図 3 7 に示す実施例と同様であるので詳細な説明は省略する。

30

以下、図 4 4 ~ 図 4 7 をそれぞれ参照して図 4 3 に示す液晶表示板組立体の一例について詳細に説明する。

【0199】

図 4 4 ~ 図 4 7 は、各々本発明の一実施例に係る液晶表示板組立体の 2 つの画素 (PX_n 、 PX_{n+1}) に関する配置図である。

まず、図 4 4 に示すように、本実施例による液晶表示板組立体の平面構造及び層状構造は、図 2 1 及び図 2 2 に示す液晶表示板組立体とほぼ同様である。以下、図 2 1 及び図 2 2 に示す実施例と異なる点を中心に説明する。

【0200】

40

図 2 1 及び図 2 2 と異なる点は、本実施例による液晶表示板組立体は、複数のデータ線 171 と隣接する画素 (PX_n 、 PX_{n+1}) の間に位置する複数の共有データ線 172 を含む点である。

次に、各画素 (PX_n 、 PX_{n+1}) が含む第 1 及び第 2 画素電極 (191a、191b) についてさらに説明する。

【0201】

第 1 画素電極 191a は、図の上下に長く延長された左側縦部 192a、左側縦部 192a の中央部分から図の右側に延長された中央横部 193a と、複数の上部及び下部枝部 (194a、195a) を含む。上部枝部 194a は中央横部 193a を基準に図の上部に位置し、左側縦部 192a と中央横部 193a から図の右側上方に斜めに延長される。

50

下部枝部 195 a は中央横部 193 a を基準に図の下部に位置し、左側縦部 192 a と中央横部 193 a から図の右側下方に斜めに延長される。上部及び下部枝部 (194 a、195 a) 間の間隔は、画素 (PX_n 、 PX_{n+1}) の図の上部及び下部と中央部分では狭く、その他の低階調領域 (LA) では広い。

【0202】

第2画素電極 191 b は、図の上下に長く延長される右側縦部 192 b、右側縦部 192 b の上端及び下端から図の左に延長される上部及び下部横部 (193 b1、193 b2) と、複数の上部及び下部枝部 (194 b、195 b) を含む。上部枝部 194 b は、中央横部 193 a を基準に図の上部に位置し、右側縦部 192 b と上部横部 193 b1 から図の左側下方に斜めに延長され、下部枝部 195 b は中央横部 193 a を基準に図の下部に位置し、右側縦部 192 b と下部横部 193 b2 から図の左側上方に斜めに延長される。上部及び下部枝部 (194 b、195 b) 間の間隔も同様に、画素 (PX_n 、 PX_{n+1}) の図の上部及び下部と中央部分では狭く、その他の低階調領域 (LA) では広い。

10

【0203】

さらに、第1及び第2画素電極 (191 a、191 b) の枝部 (194 a、194 b、195 a、195 b) は交互に配置されており、低階調領域 (LA) では他の領域に比べて枝部 (194 a、194 b、195 a、195 b) 間の間隔が広い。これによる効果については、図21及び図22をはじめとする他の実施例と同様であるので詳細な説明は省略する。

【0204】

また各画素 (PX_n 、 PX_{n+1}) において、第1/第2ゲート電極 (124 a / 124 b)、第1/第2ソース電極 (173 a / 173 b) 及び第1/第2ドレイン電極 (175 a / 175 b) は、第1/第2半導体 (154 a、154 b) とともに第1/第2薄膜トランジスタ (Qa / Qb) を構成し、第1/第2薄膜トランジスタ (Qa / Qb) のチャンネルは、第1/第2ソース電極 (173 a / 173 b) と第1/第2ドレイン電極 (175 a / 175 b) の間の第1/第2半導体 (154 a / 154 b) に形成される。

20

【0205】

隣接する2つの画素 (PX_n 、 PX_{n+1}) は、各々図の右側及び左側において共有データ線 172 に接続される。左側画素 (PX_n) の第1画素電極 191 a は、第1薄膜トランジスタ (Qa) を介してデータ線 171 からデータ電圧が印加され、第2画素電極 191 b は、第2薄膜トランジスタ (Qb) を介して共有データ線 172 から最高駆動電圧又は最低駆動電圧が印加される。また右側画素 (PX_{n+1}) の第1画素電極 191 a は、第2薄膜トランジスタ (Qb) を介して共有データ線 172 から最高駆動電圧又は最低駆動電圧が印加され、第2画素電極 191 b は、第1薄膜トランジスタ (Qa) を介してデータ線 171 からデータ電圧が印加される。

30

【0206】

次に、図45に示すように、本実施例による液晶表示板組立体は、上記図44に示した液晶表示板組立体とほぼ同様であるが、第1及び第2画素電極 (191 a、191 b) の枝部間の間隔は長く、低階調領域 (LA) には第1及び第2画素電極 (191 a、191 b) の枝部間の間隔は短い部分がある点で相違する。

40

次に、図46に示すように、本実施例による液晶表示板組立体の層状構造もまた図24に示した液晶表示板組立体の層状構造とほぼ同様である。以下、図24に示す実施例と異なる点を中心に説明する。

【0207】

本実施例による液晶表示板組立体は、複数のデータ線 171 と隣接する画素 (PX_n 、 PX_{n+1}) の間に位置する共有データ線 172 を含む。

次に、各画素 (PX_n 、 PX_{n+1}) が含む第1及び第2画素電極 (191 a、191 b) について説明する。

第1画素電極 191 a は、各画素 (PX_n 、 PX_{n+1}) の下端に位置する横部 193 a と横部 193 a から図の上方に斜めに延長され、左右に3回折曲されて図の上下に連結

50

された逆くの字形状の複数の屈曲枝部 196 a を有する。第 2 画素電極 191 b もまた図の上端に位置する横部 193 b と横部 193 b から図の下方に斜めに延長され、左右に 3 回折曲されて図の上下に連結された逆くの字形状の複数の屈曲枝部 196 b を有する。第 1 及び第 2 画素電極 (191 a、191 b) の屈曲枝部 (196 a、196 b) は交互に配置されており、画素 (PX_n 、 PX_{n+1}) の左側の部分では屈曲枝部 (196 a、196 b) 間の間隔が短く、右側領域では屈曲枝部 (196 a、196 b) 間の間隔が長い。これによる効果については、図 2 1 及び図 2 2 をはじめとする他の実施例と同様であるので詳細な説明は省略する。

【0208】

なお、データ線 171 及び共有データ線 172 と第 1 及び第 2 画素電極 (191 a、191 b) については、上記実施例と同様であるので詳細な説明は省略する。

以下、図 4 7 に示すように、本実施例による液晶表示板組立体の層状構造もまた図 2 5 に示した液晶表示板組立体の層状構造とほぼ同様である。ここでは、図 2 5 に示した実施例と異なる点を中心に説明する。

【0209】

本実施例による液晶表示板組立体も同様に、複数のデータ線 171 と隣接する画素 (PX_n 、 PX_{n+1}) の間に位置する複数の共有データ線 172 を含む。

各画素 (PX_n 、 PX_{n+1}) が含む第 1 及び第 2 画素電極 (191 a、191 b) について説明する。

第 1 画素電極 191 a は図の上下に長く延長される左側縦部 192 a、上端横部 193 a、上端横部 193 a から図の下方に延長され、左右に 3 回折曲された一対の縦屈曲部 196 a、右側縦屈曲部 196 a の中間から図の右側に延長される横部 197 a、右側縦屈曲部 196 a の下側屈曲点からの図の下方に延長される縦部 198 a、そして複数の斜線枝部を含む。第 2 画素電極 191 b は、右側縦部 192 b、下端横部 193 b、下端横部 193 b からの図の上方に延長され、左右に 3 回折曲された一対の縦屈曲部 196 b、縦屈曲部 196 b の上側屈曲点から図の左方に延長される上部横部 197 b、縦屈曲部 196 b の下側屈曲点から図の左方に延長される下部横部 198 b、そして複数の斜線枝部を含む。第 1 及び第 2 画素電極 (191 a、191 b) の斜線枝部は、ゲート線 121 に対してほぼ 45 度の角度をなす。

【0210】

第 1 及び第 2 画素電極 (191 a、191 b) の斜線枝部は、交互に配置されており間隔が一定である。第 1 及び第 2 画素電極 (191 a、191 b) の縦屈曲部 (196 a、196 b) 間の間隔は、隣接する第 1 及び第 2 画素電極 (191 a、191 b) の斜線枝部間の間隔より短く、液晶層 3 の液晶分子の傾斜角度がより大きいので透過率も高い。なお、図 2 1 及び図 2 2 をはじめとする他の実施例の説明が適用できる。

【0211】

またデータ線 171 及び共有データ線 172 と第 1 及び第 2 画素電極 (191 a、191 b) については、上記実施例と同様であるので詳細な説明は省略する。

このように、図 4 4 ~ 図 4 7 に示す実施例において、1つの画素 (PX_n 、 PX_{n+1}) の第 1 画素電極 191 a と第 2 画素電極 191 b の間の距離が長い部分と短い部分を交互に位置させて、液晶層 3 に生成される電場の強さを異なるようにすることができ、液晶分子 31 の傾斜角度も異なるようにすることができ、液晶表示装置の側面視認性を向上させ、かつ透過率を向上させることができる。

【0212】

他に、第 1 及び第 2 画素電極 (191 a、191 b) 間の間隔の短い部分の後に、間隔の長い部分を複数位置させることができる。又は第 1 及び第 2 画素電極 (191 a、191 b) の間の間隔の長い部分の後に、間隔の短い部分を複数位置させることも可能である。さらに、第 1 及び第 2 画素電極 (191 a、191 b) の間の距離を調節するか、間隔の短い部分と長い部分の配置を調節して、透過率を最大化し、側面視認性を向上させることができる。

10

20

30

40

50

【0213】

以下、図48を参照して、本発明の他の実施例に係る液晶表示板組立体について詳細に説明する。

図48は本発明の他の実施例に係る液晶表示板組立体の構造とともに1つの画素を示す等価回路図である。

図48を参照すると、各画素(PX)は一对の副画素を含み、各副画素は液晶キャパシタ(C1ch、C1cl)及びストレージキャパシタ(Csth、Cstl)を含む。2つの副画素のうちの少なくとも1つはゲート線、データ線及び液晶キャパシタ(C1ch、C1cl)に接続される2つのスイッチング素子(図示せず)を含む。

【0214】

液晶キャパシタ(C1ch/C1cl)は、下部表示板100の第1副画素電極(PEha/PEla)と第2副画素電極(PEhb/PElb)を2つの端子とし、第1副画素電極(PEha/PEla)と第2副画素電極(PEhb/PElb)の間の液晶層3は誘電体として機能する。第2副画素電極(PEhb、PElb)は、各々別途のスイッチング素子(図示せず)に接続されており、第1副画素電極(PEha、PEla)のうちの少なくとも1つについても別途のスイッチング素子(図示せず)に接続されている。又は第2副画素電極(PEhb、PElb)が互いに分離されておらず、1つの電極として1つのスイッチング素子(図示せず)に接続されるように構成できる。また、第2副画素電極(PEhb、PElb)を上部表示板200に設けることもでき、この場合、第2副画素電極(PEhb、PElb)は、スイッチング素子に接続されずに別途の共通電圧(Vcom)が印加される。一方、液晶層3の液晶分子は誘電率異方性を有し、表示板(100、200)に垂直に配向されている。液晶分子は表示板(100、200)に水平に配向することも可能である。

【0215】

液晶キャパシタ(C1ch/C1cl)の補助的な役割を果たすストレージキャパシタ(Csth/Cstl)は、下部表示板100の第1副画素電極(PEha/PEla)と第2副画素電極(PEhb/PElb)が絶縁体を介在してオーバーラップするように構成できる。

なお、カラーフィルタ(CF)及び偏光子(図示せず)については、上記実施例と同様であるので詳細な説明は省略する。

【0216】

以下、図49～図51を参照して図48に示す液晶表示板組立体の一例について詳細に説明する。

図49～図51は、各々本発明の他の実施例に係る液晶表示板組立体の2つの副画素の等価回路図である。

まず、図49に示すように、本実施例による液晶表示板組立体は、ゲート線(G_i)、隣接する第1及び第2データ線(D_j 、 D_{j+1})、ゲート線(G_i)と隣接する共有データ線(D_k)を含む信号線と、これに接続される画素(PX)を有する。

【0217】

画素(PX)は一对の副画素(PXh、PXl)を含み、各副画素(PXh/PXl)は、各々対応するゲート線(G_i)及びデータ線(D_j / D_{j+1})に接続されている。第1及び第2スイッチング素子(Qha、Qhb/Qla、Qlb)とこれに接続される液晶キャパシタ(C1ch/C1cl)、第1及び第2ストレージキャパシタ(Cstha、Csthb/Cstla、Cstlb)を含む。

【0218】

第1及び第2ストレージキャパシタ(Cstha、Csthb/Cstla、Cstlb)は、別途備える電極と第1及び第2画素電極(PEha、PEhb/PEla、PElb)の各々が絶縁体を介在することで形成できる。また、各副画素(PXh/PXl)は1つのストレージキャパシタ(Csth/Cstl)を含むように構成できる。

第1副画素(PXh)の第1スイッチング素子(Qha)は、ゲート線(G_i)及び第

10

20

30

40

50

1 データ線 (D_j) に接続されており、第 1 副画素 (PX_h) の第 2 スイッチング素子 (Q_{hb}) は、ゲート線 (G_i) 及び共有データ線 (D_k) に接続されており、第 2 副画素 (PX_l) の第 1 スイッチング素子 (Q_{la}) は、ゲート線 (G_i) 及び第 2 データ線 (D_{j+1}) に接続されており、第 2 副画素 (PX_l) の第 2 スイッチング素子 (Q_{lb}) はゲート線 (G_i) 及び共有データ線 (D_k) に接続されている。即ち、隣接するスイッチング素子 (Q_{hb} 、 Q_{lb}) は、同一のデータ線 (D_k) に接続されている。共有データ線 (D_k) については、既に説明したので詳細な説明は省略する。第 1 及び第 2 スイッチング素子 (Q_{ha} 、 Q_{lb}) についても既に説明したので詳細な説明は省略する。

【0219】

このような液晶表示板組立体を含む液晶表示装置において、信号制御部 600 が 1 つの画素 (PX) に対する入力画像信号 (R 、 G 、 B) を受信して、2 つの副画素 (PX_h 、 PX_l) に対する出力画像信号 (DAT) に変換し、データ駆動部 500 に伝送できる。また、階調電圧生成部 800 において、2 つの副画素 (PX_h 、 PX_l) に対する階調電圧群を別に形成し、これを交互にデータ駆動部 500 に提供するか、データ駆動部 500 でこれを交互に選択することによって 2 つの副画素 (PX_h 、 PX_l) にそれぞれ異なる電圧を印加することができる。この場合、2 つの副画素 (PX_h 、 PX_l) の合成ガンマ曲線が正面の基準ガンマ曲線に近づくように画像信号を補正したり、階調電圧群を形成することが望ましい。例えば、正面の合成ガンマ曲線は、該液晶表示板組立体に最適に決められた正面の基準ガンマ曲線と一致するようにし、側面の合成ガンマ曲線は正面の基準ガンマ曲線に最も近づくようにする。

【0220】

次に、図 50 に示すように、本実施例による液晶表示板組立体は、隣接する第 1 及び第 2 ゲート線 (G_i 、 G_{i+1})、データ線 (D_j)、ゲート線 (G_i) と隣接する共有データ線 (D_k) を含む信号線と、これに接続された画素 (PX) を有する。画素 (PX) は、一対の副画素 (PX_h 、 PX_l) を含み、各副画素 (PX_h / PX_l) は、スイッチング素子 (Q_{ha} 、 Q_{hb} / Q_{la} 、 Q_{lb}) とこれに接続された液晶キャパシタ (C_{lch} / C_{lcl})、第 1 及び第 2 ストレージキャパシタ (C_{stha} 、 C_{sthb} / C_{stla} 、 C_{stlb}) を含む。

【0221】

図 50 の液晶表示板組立体が図 49 の液晶表示板組立体と異なる点は、2 つの副画素が列方向に隣接し、それぞれ異なるゲート線 (G_i 、 G_{i+1}) に接続される点である。即ち、第 1 副画素 (PX_h) の第 1 スイッチング素子 (Q_{ha}) は第 1 ゲート線 (G_i) 及びデータ線 (D_j) に接続されており、第 1 副画素 (PX_h) の第 2 スイッチング素子 (Q_{hb}) は第 1 ゲート線 (G_i) 及び共有データ線 (D_k) に接続されており、第 2 副画素 (PX_l) の第 1 スイッチング素子 (Q_{la}) は第 2 ゲート線 (G_{i+1}) 及びデータ線 (D_j) に接続されており、第 2 副画素 (PX_l) の第 2 スイッチング素子 (Q_{lb}) は第 2 ゲート線 (G_{i+1}) 及び共有データ線 (D_k) に接続されている。即ち、各副画素 (PX_h 、 PX_l) の第 1 / 第 2 スイッチング素子 (Q_{ha} 、 Q_{la} / Q_{hb} 、 Q_{lb}) は同一のデータ線 (D_j / D_k) に接続されている。

【0222】

液晶キャパシタ (C_{lch} 、 C_{lcl}) と第 1 及び第 2 ストレージキャパシタ (C_{stha} 、 C_{sthb} / C_{stla} 、 C_{stlb})、並びにこのような液晶表示板組立体を含む液晶表示装置の動作等については上記実施例と実質的に同様であるので詳細な説明は省略する。しかし、図 49 に示す液晶表示装置において、1 つの画素 (PX) をなす 2 つの副画素 (PX_h 、 PX_l) に同一の時間にデータ電圧が印加されるのに対し、本実施例では 2 つの副画素 (PX_h 、 PX_l) に時間差を置いてデータ電圧が印加される。

【0223】

次に、図 51 に示すように、本実施例による液晶表示板組立体は、ゲート線 (G_i)、隣接する第 1 ~ 第 3 データ線 (D_j 、 D_{j+1} 、 D_{j+2}) を含む信号線とこれに接続された画素 (PX) を有する。

10

20

30

40

50

画素 (PX) は、一対の副画素 (PX_h 、 PX_l) を含み、各副画素 (PX_h / PX_l) は、各々対応するゲート線 (G_i) 及びデータ線 (D_j / D_{j+2}) に接続されている第1スイッチング素子 (Q_{ha} / Q_{la})、ゲート線 (G_i) 及び共有データ線 (D_{j+1}) に接続されている第2スイッチング素子 (Q_{hb} / Q_{lb})、これに接続される液晶キャパシタ (C_{lch} / C_{lcl})、並びに第1及び第2ストレージキャパシタ (C_{sth_a} 、 C_{sth_b} / C_{stl_a} 、 C_{stl_b}) を含む。

【0224】

本実施例による液晶表示板組立体は、図49に示す液晶表示板組立体とほぼ同様であるが、共有データ線 (D_{j+1}) がゲート線 (G_i) と水平に形成されず、副画素 (PX_h 、 PX_l) の間に形成されている点で相違する。共有データ線 (D_{j+1}) は、他のデータ線 (D_j 、 D_{j+2}) と同じ層に形成され、データ駆動部500に接続されて電圧が印加される。

10

【0225】

以下、図52～図58を参照して図48に示す液晶表示板組立体の他の例について詳細に説明する。

図52～図58は、各々本発明の他の実施例に係る液晶表示板組立体の2つの画素の等価回路図である。

まず、図52に示すように、本実施例による液晶表示板組立体は、第1及び第2ゲート線 (G_i 、 G_{i+1})、第1、第2及び第3データ線 (D_j 、 D_{j+1} 、 D_{j+2}) を含む信号線と、これに接続された2つの画素 (PX_n 、 PX_{n+1}) を含み、各画素 (PX_n 、 PX_{n+1}) は一対の副画素 (PX_h 、 PX_l) を含み、各副画素 (PX_h / PX_l) はスイッチング素子 (Q_{ha} 、 Q_{hb} / Q_{la} 、 Q_{lb}) とこれに接続された液晶キャパシタ (C_{lch} / C_{lcl})、並びに第1及び第2ストレージキャパシタ (C_{sth_a} 、 C_{sth_b} / C_{stl_a} 、 C_{stl_b}) を含む。

20

【0226】

図52の液晶表示板組立体が図49の液晶表示板組立体と異なるのは、行方向に隣接するスイッチング素子 (Q_{hb} 、 Q_{lb}) は、第2データ線 (D_{j+1})、つまり共有データ線 (D_{j+1}) に共通に接続される点である。即ち、第1画素 (PX_n) の第1副画素 (PX_h) の第2スイッチング素子 (Q_{hb})、第2画素 (PX_{n+1}) の第1副画素 (PX_h) の第2スイッチング素子 (Q_{hb})、第1画素 (PX_n) の第2副画素 (PX_l) の第2スイッチング素子 (Q_{lb}) 及び第2画素 (PX_{n+1}) の第2副画素 (PX_l) の第2スイッチング素子 (Q_{lb}) はいずれも共有データ線 (D_{j+1}) に接続されている。

30

【0227】

また図52の液晶表示板組立体が図51の液晶表示板組立体と異なる点は、1つの画素 (PX_n / PX_{n+1}) をなす2つの副画素 (PX_h 、 PX_l) が列方向に隣接し、それぞれ異なるゲート線 (G_i 、 G_{i+1}) に接続されることである。これについては図50の実施例と実質的に同様であるので詳細な説明は省略する。

次に、図53に示すように、本実施例による液晶表示板組立体は、ゲート線 (G_i)、隣接する第1～第3データ線 (D_j 、 D_{j+1} 、 D_{j+2}) を含む信号線とこれに接続される2つの画素 (PX_n 、 PX_{n+1}) を有する。各画素 (PX_n 、 PX_{n+1}) については、上記図34に示す液晶表示板組立体と同様であるので詳細な説明は省略する。

40

【0228】

本実施例では、隣接する2つの画素 (PX_n 、 PX_{n+1}) の第2スイッチング素子 (Q_b) がゲート線 (G_i) 及び共有データ線 (D_{j+1}) に接続されている。

本実施例による液晶表示板組立体は、共有データ線 (D_{j+1}) がゲート線 (G_i) と水平に形成されず、2つの画素 (PX_n 、 PX_{n+1}) の間に形成されている。共有データ線 (D_{j+1}) については既に説明したので詳細な説明は省略する。

【0229】

次に、図54に示す液晶表示板組立体は図53に示す液晶表示板組立体での説明と同様

50

であるが、本実施例では、共有データ線 (D_k) が各画素 (PX_n 、 PX_{n+1}) の間に形成されず、ゲート線 (G_i) と水平に形成されている点で相違する。共有データ線 (D_k) は、他のデータ線 (D_j 、 D_{j+1}) と同じ層に形成されず、ゲート線 (G_i) と同じ層に形成されている。共有データ線 (D_k) は、他のデータ線 (D_j 、 D_{j+1}) と異なって、データ駆動部 500 に接続されていない。従ってデータ駆動部 500 から電圧が印加されるのではなく、外部から最高電圧及び最低電圧が 1 フレーム単位で変動する電圧が別途印加される。

【0230】

次に、図 55 に示すように、本実施例による液晶表示板組立体は、ゲート線 (G_i)、隣接する第 1 ~ 第 3 データ線 (D_j 、 D_{j+1} 、 D_{j+2}) を含む信号線とこれに接続される 2 つの画素 (PX_n 、 PX_{n+1}) を有する。

各画素 (PX_n 、 PX_{n+1}) については、上記図 29 に示す液晶表示板組立体と同様であるので詳細な説明は省略する。

【0231】

本実施例では、隣接する 2 つの画素 (PX_n 、 PX_{n+1}) の第 2 スイッチング素子 (Q_{hb} 、 Q_{lb}) がゲート線 (G_i) 及び共有データ線 (D_{j+1}) に接続されている。2 つの画素 (PX_n 、 PX_{n+1}) の間に形成される共有データ線 (D_{j+1}) については、既に説明したので詳細な説明は省略する。

次に、図 56 に示すように、本実施例による液晶表示板組立体は、図 55 に示す液晶表示板組立体とほぼ同様であるが、共有データ線 (D_k) が各画素 (PX_n 、 PX_{n+1}) の間に形成されず、ゲート線 (G_i) と水平に形成されている。次に、図 57 を参照すると、本実施例による液晶表示板組立体は、ゲート線 (G_i)、隣接する第 1 ~ 第 3 データ線 (D_j 、 D_{j+1} 、 D_{j+2}) 及び共通電圧線 (図示せず) を含む信号線とこれに接続される 2 つの画素 (PX_n 、 PX_{n+1}) を有する。

【0232】

各画素 (PX_n 、 PX_{n+1}) については、上記図 36 に示す液晶表示板組立体と同様であるので詳細な説明は省略する。

本実施例では、隣接する 2 つの画素 (PX_n 、 PX_{n+1}) の第 2 スイッチング素子 (Q_b) がゲート線 (G_i) 及び共有データ線 (D_{j+1}) に接続されている。

次に、図 58 を参照すると、本実施例による液晶表示板組立体は、図 57 に示す液晶表示板組立体とほぼ同様であるが、共有データ線 (D_k) が各画素 (PX_n 、 PX_{n+1}) の間に形成されず、ゲート線 (G_i) と水平に形成されている。

【0233】

図 37 ~ 図 57 に示す液晶表示板組立体を含む液晶表示装置にも、図 38 及び図 39 に示される駆動方法が適用できる。また液晶層の液晶分子は正の誘電率異方性を有し、電場のない状態で表示板 (100、200) に垂直に配向される。この場合、液晶層に電場が生成されると液晶分子が電場方向に平行に傾斜して、光の偏光状態を変化させる。正の誘電率異方性を有する液晶分子を使用する場合、負の誘電率異方性を有する液晶分子に比べて回転粘度が低く、より速い応答速度を得ることができる。さらに、液晶分子 31 の傾斜方向が電場の方向に確実に定義されるので、外部の影響による液晶分子 31 の配列に乱れが生じて、速やかに再整列して、良好な表示特性を実現することができる。

【0234】

以上、本発明の好ましい実施例について詳細に説明したが、本発明の技術的範囲は上記の実施例には限定されない。特許請求の範囲で定義されている本発明の基本概念を利用して多様な変形及び改良が可能であろう。それらの変形及び改良形態も本発明の技術的範囲に属すると解されるべきである。

【符号の説明】

【0235】

300 液晶表示板組立体
400 ゲート駆動部

10

20

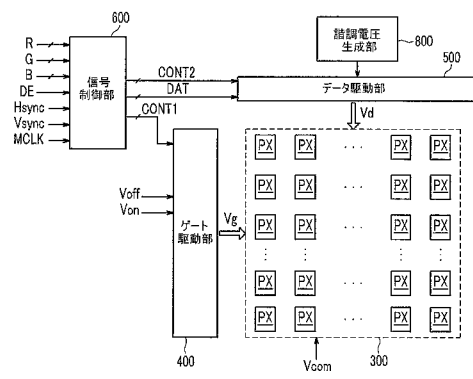
30

40

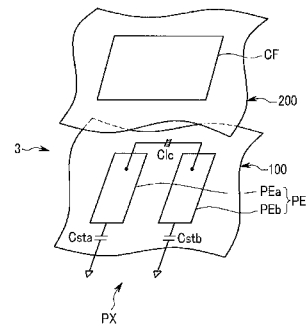
50

5 0 0	データ駆動部	
8 0 0	階調電圧生成部	
6 0 0	信号制御部	
1 0 0、2 0 0	表示板	
3 1	液晶分子	
1 9 1 a	第 1 画素電極	
1 9 1 b	第 2 画素電極	
1 2 4 a	第 1 ゲート電極	
1 2 4 b	第 2 ゲート電極	
1 1 0	絶縁基板	10
1 2 1	ゲート線	
1 3 1	維持電極線	
1 3 3 a	第 1 維持電極	
1 3 3 b	第 2 維持電極	
1 2 1、1 3 1	ゲート導電体	
1 5 4 a	第 1 島状半導体	
1 5 4 b	第 2 島状半導体	
1 6 3 a、1 6 5 a	島状オーミックコンタクト部材	
1 7 1 a	第 1 データ線	
1 7 1 b	第 2 データ線	20
1 7 5 a	第 1 ドレイン電極	
1 7 5 b	第 2 ドレイン電極	
1 7 3 a	第 1 ソース電極	
1 7 3 b	第 2 ソース電極	
1 7 7 a	第 1 拡張部	
1 7 7 b	第 2 拡張部	
2 3 0	カラーフィルタ	
2 2 0	遮光部材	
2 5 0	蓋膜	
1 8 0	保護膜	30
2 7 0	共通電極	
2 1	配向膜	

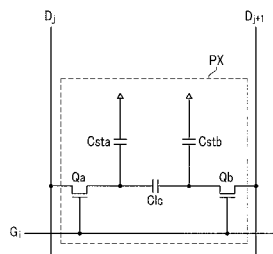
【図 1】



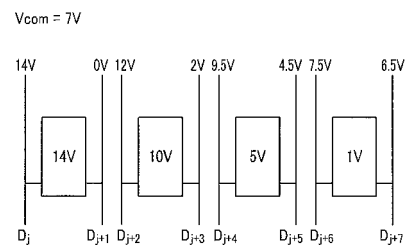
【図 2】



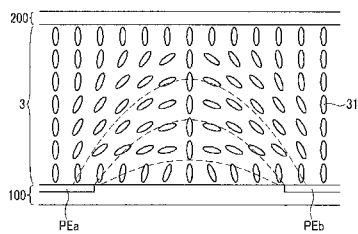
【図 3】



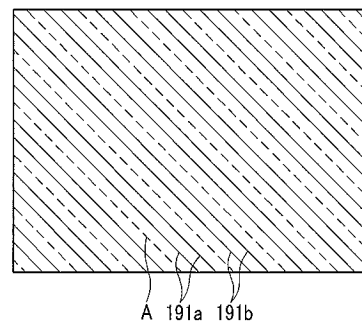
【図 5】



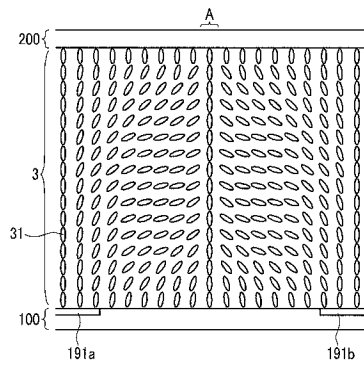
【図 4】



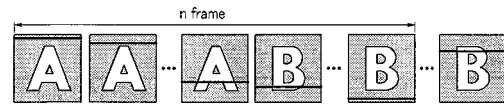
【図 6】



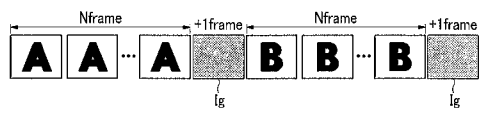
【図 7】



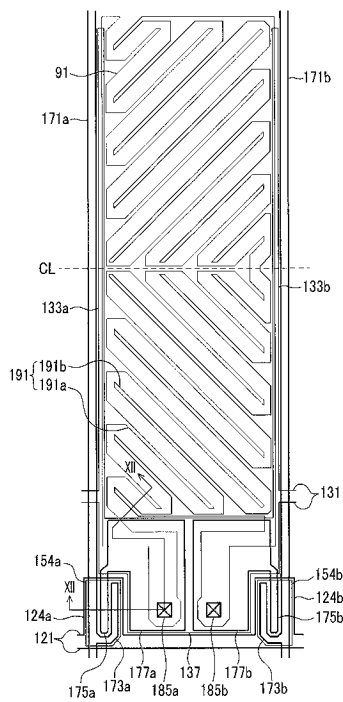
【図 10】



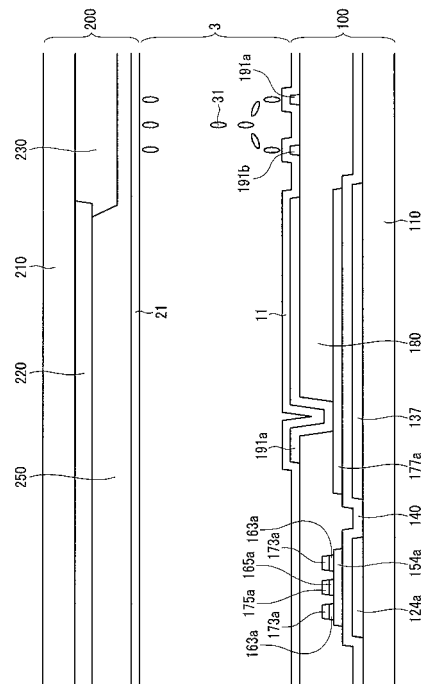
【図 9】



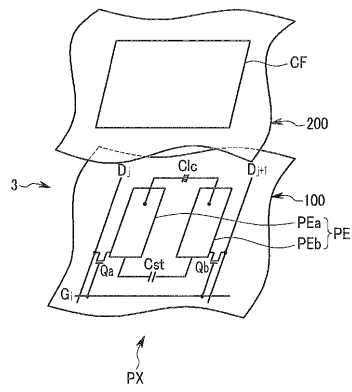
【図 11】



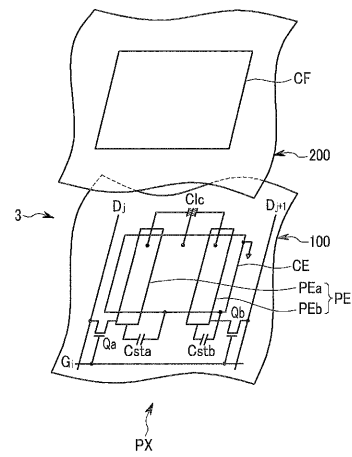
【図 12】



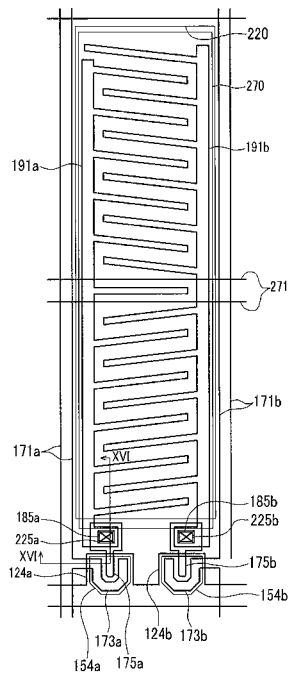
【図 13】



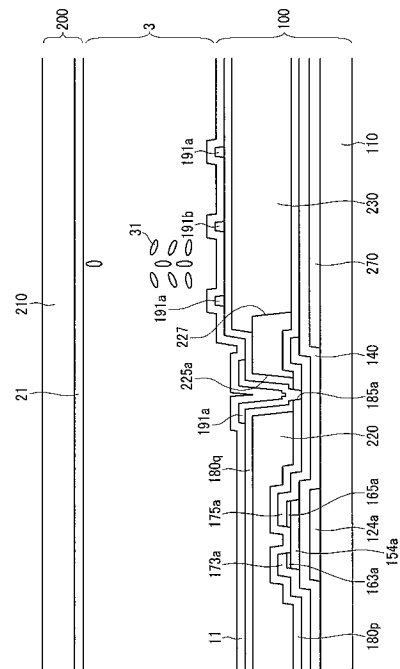
【図 14】



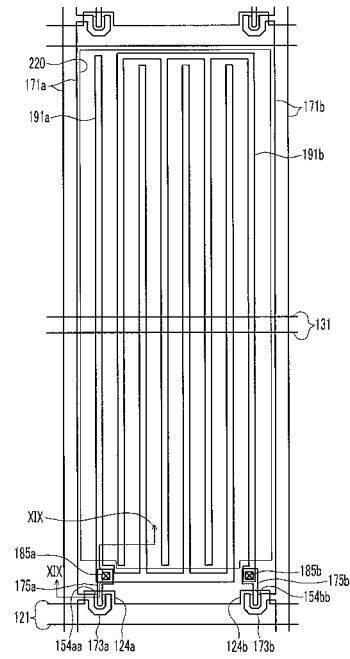
【図 15】



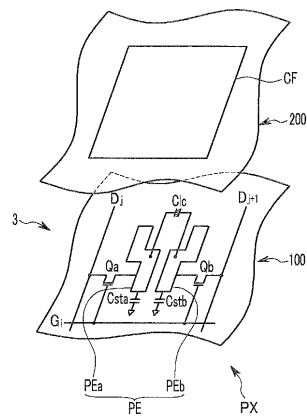
【図 16】



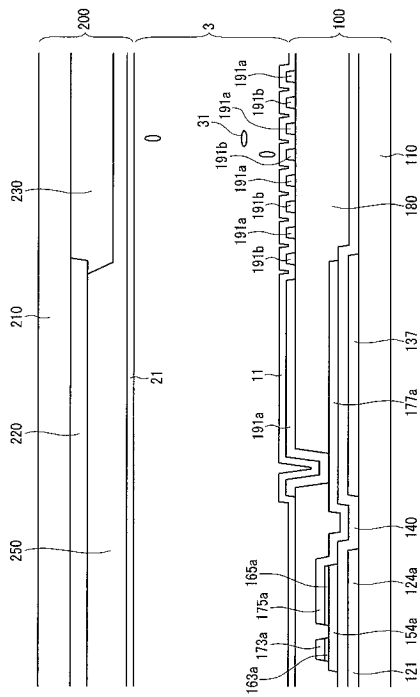
【 図 1 8 】



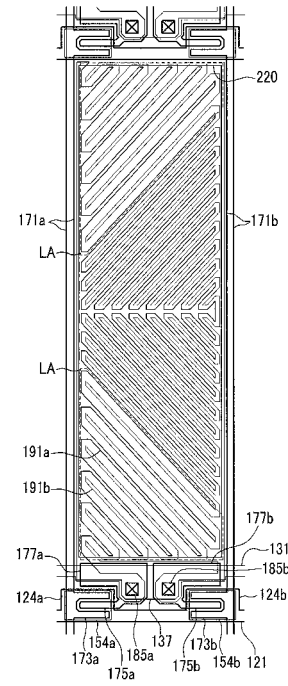
【 ㊦ 2 0 】



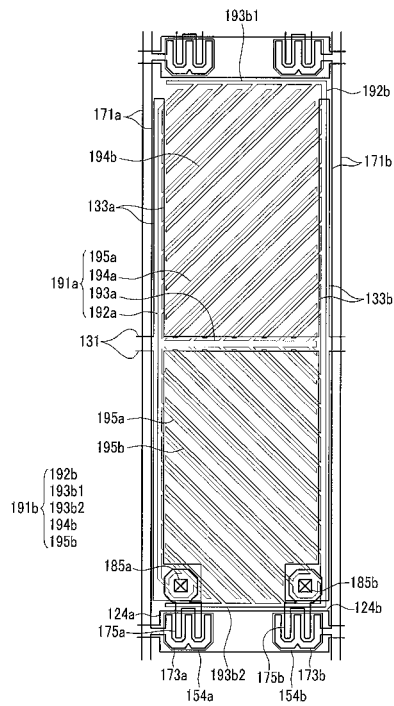
【図 2 2】



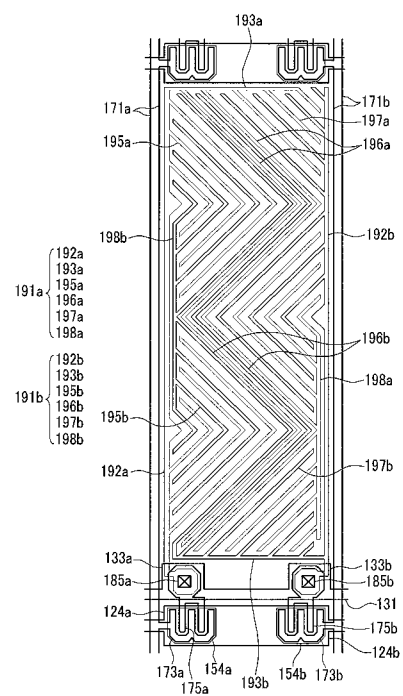
【図 2 3】



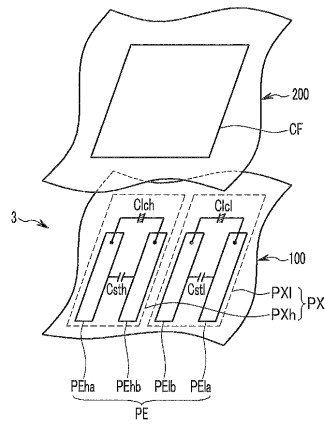
【図 2 4】



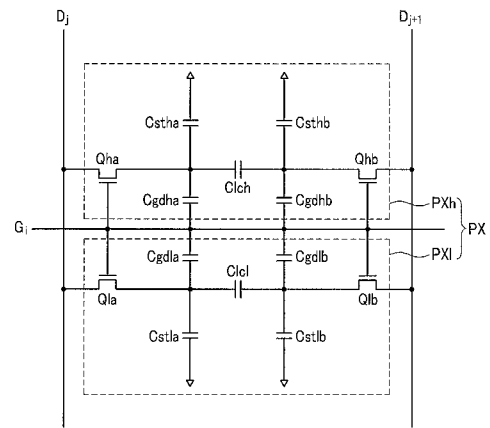
【図 2 5】



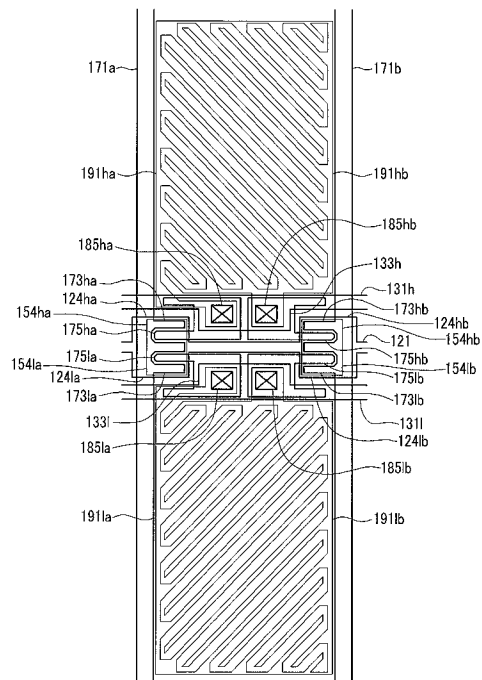
【図 26】



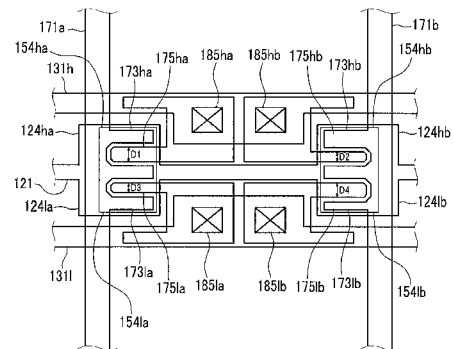
【図 27】



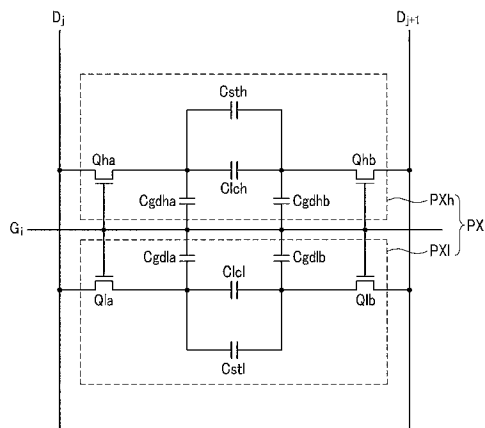
【図 28 A】



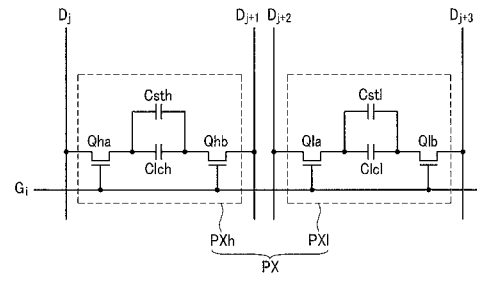
【図 28 B】



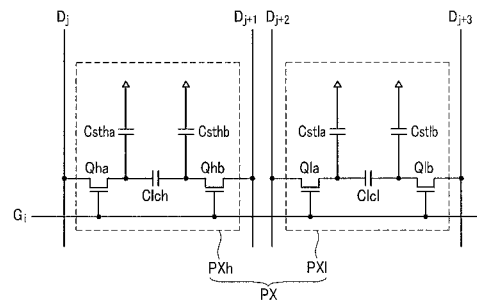
【図 29】



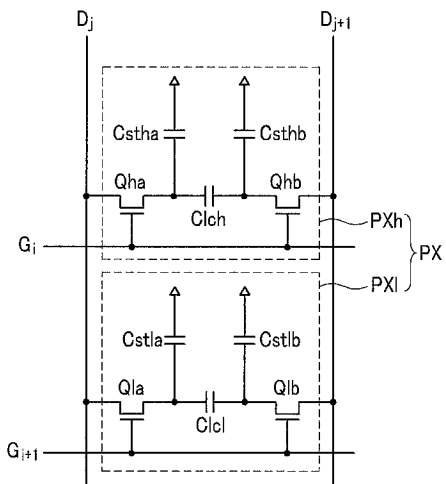
【図 30】



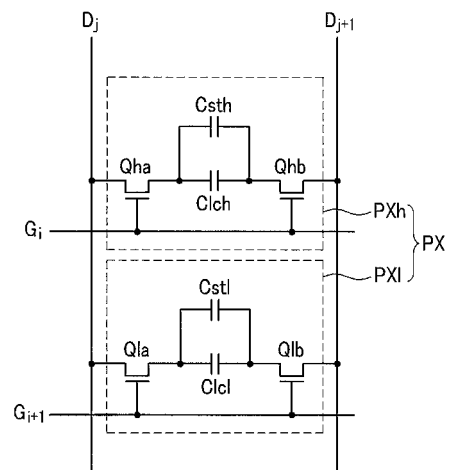
【図 31】



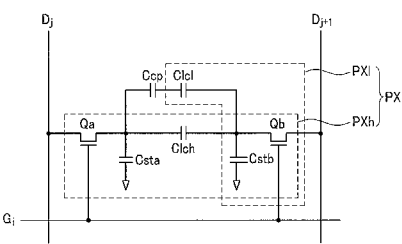
【図 32】



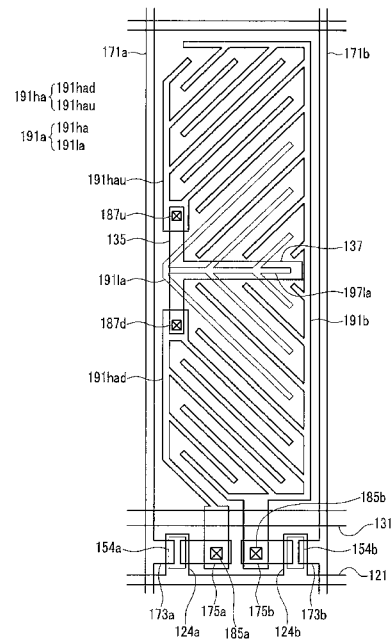
【図 33】



【図 3 4】



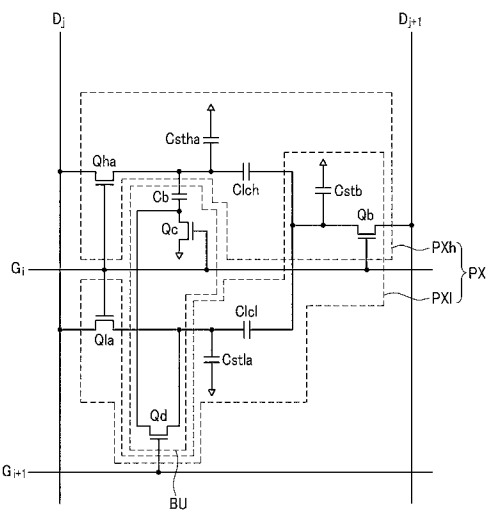
【図 3 5】



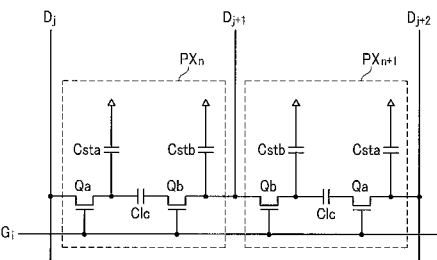
v1

32

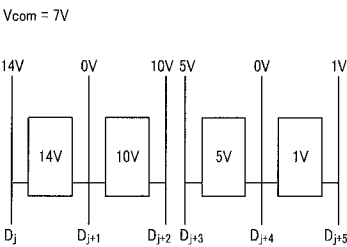
【図 3 6】



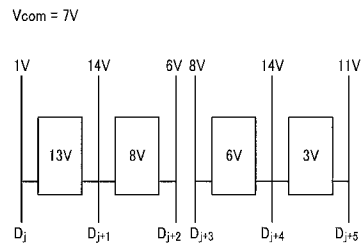
【図 3 7】



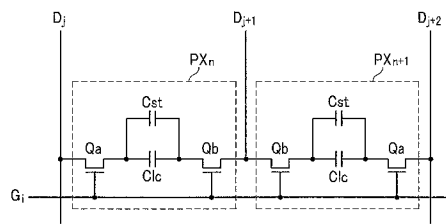
【図 3 8】



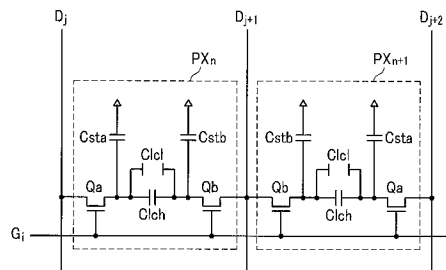
【図 39】



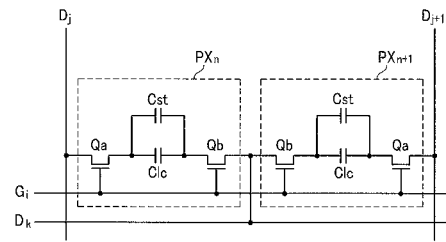
【図 40】



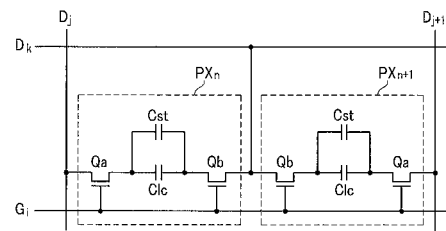
【図 43】



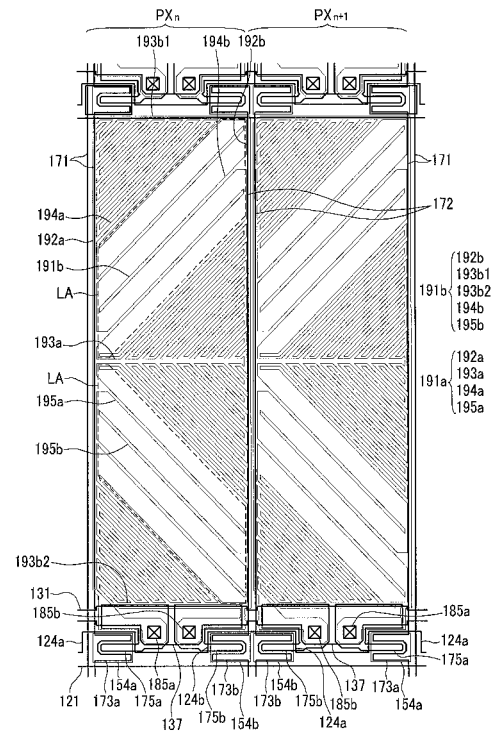
【図 41】



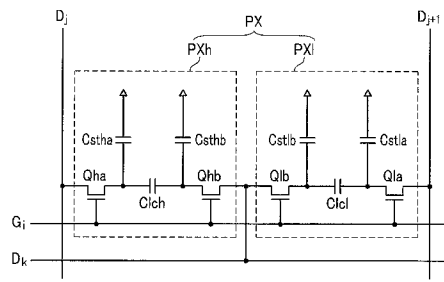
【図 42】



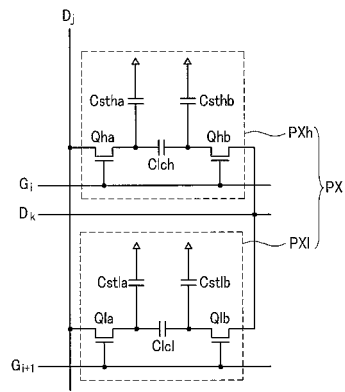
【図 44】



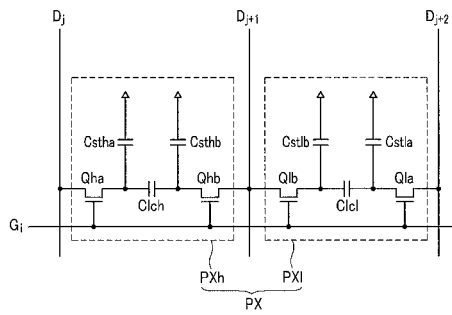
【図 49】



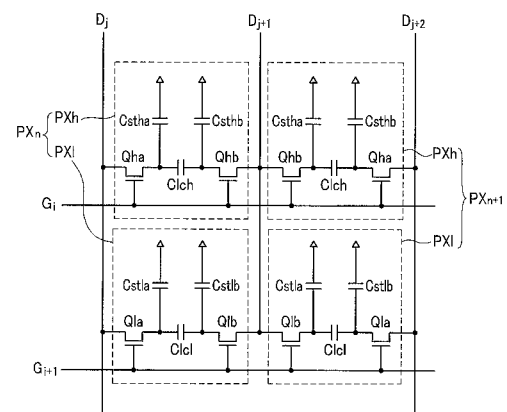
【図 50】



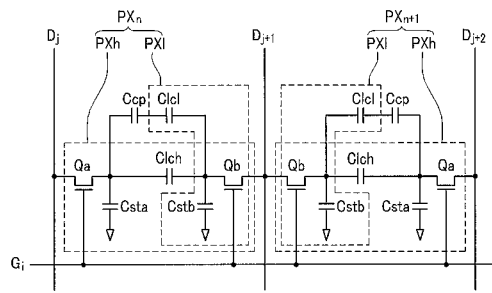
【図 51】



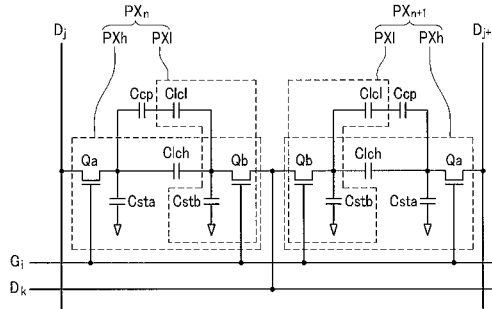
【図 52】



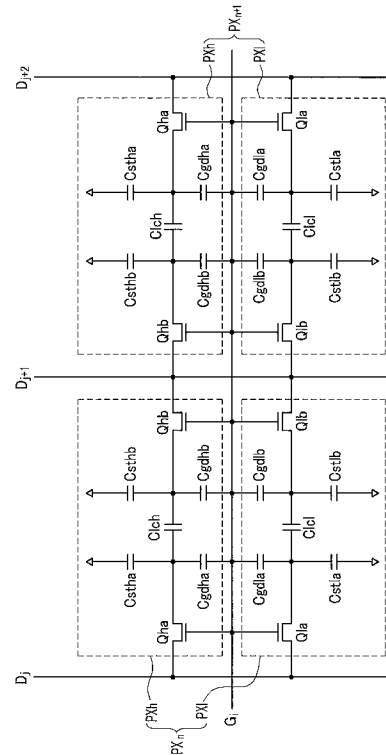
【図 5 3】



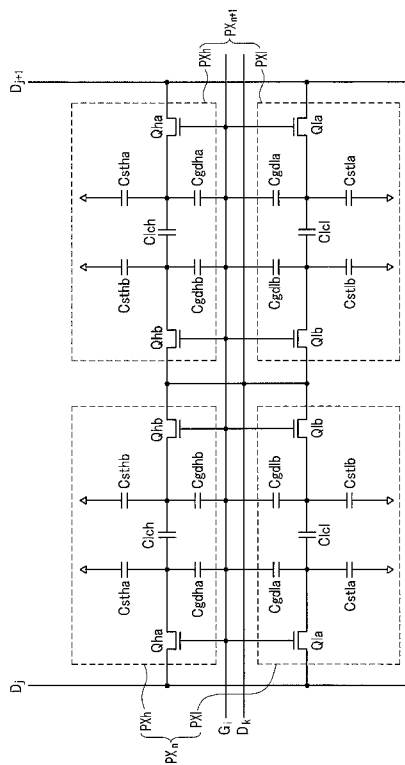
【図 5 4】



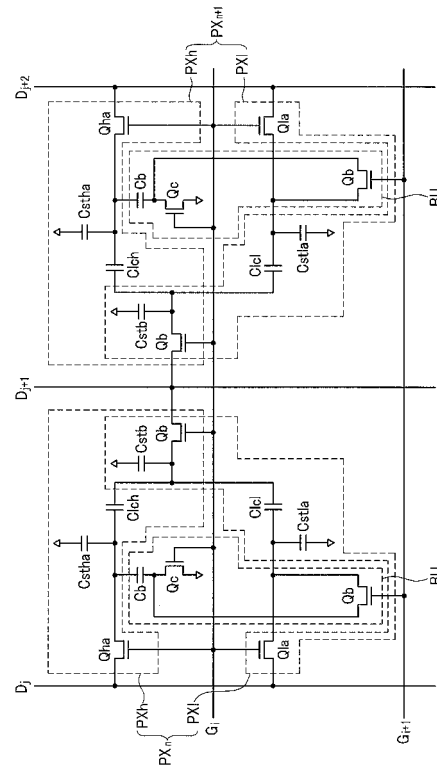
【図 5 5】



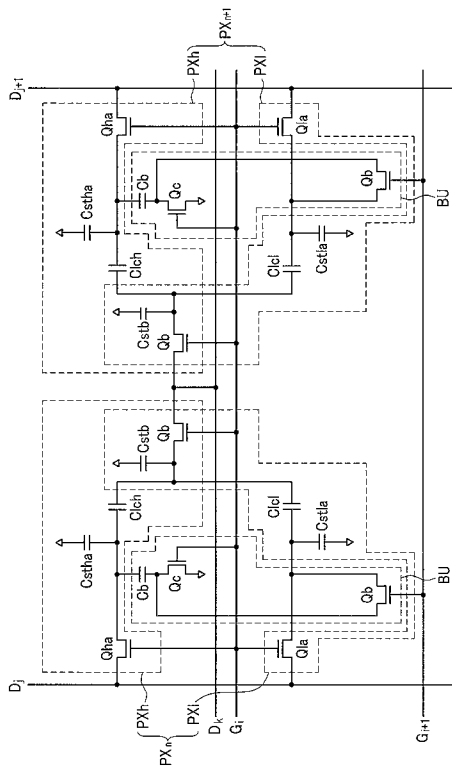
【図 5 6】



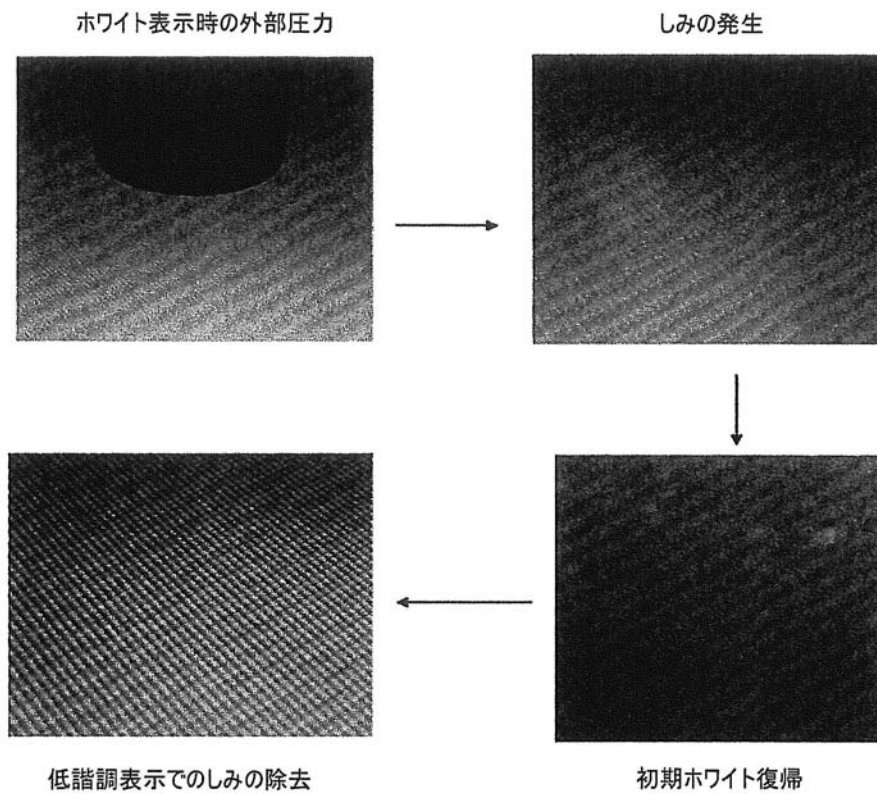
【図 5 7】



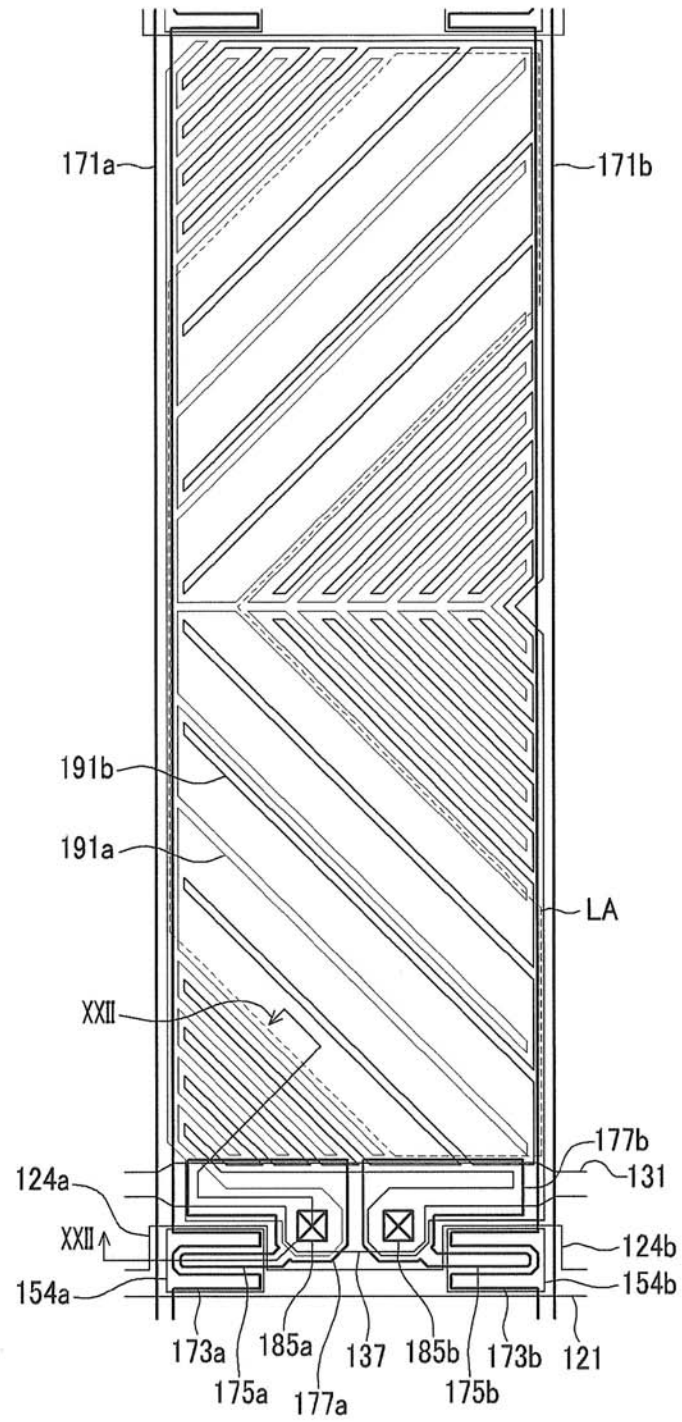
【図 58】



【図 8】



【図 21】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)

G 0 9 G	3/20	6 2 1 B
G 0 9 G	3/20	6 4 2 E

- (72)発明者 愼 庸 桓
大韓民国京畿道龍仁市器興区甫羅洞現代モーニングサイド1次アパート301棟1404号
- (72)発明者 禹 和 成
大韓民国京畿道水原市靈通区梅灘1洞住公4団地アパート419棟107号
- (72)発明者 鄭 光 哲
大韓民国京畿道城南市壽井区太平1洞7115-4番地
- (72)発明者 蔡 鍾 哲
大韓民国ソウル市麻浦区鹽里洞エルジザイアパート106棟1902号
- (72)発明者 鄭 美 惠
大韓民国京畿道水原市長安区亭子洞大林進興アパート824棟1402号

Fターム(参考) 2H092 GA14 HA04 JA26 JB05 JB14 JB42 JB63 KA12 NA01 NA05
2H093 NA16 NC10 NC12 NC34 NC35 NC40 ND05 ND09 NE03 NF04
2H193 ZA04 ZD32 ZD34 ZF22 ZF36 ZP03
5C006 AC11 AC21 AC25 AC26 AF24 AF43 AF44 AF59 BB16 BC06
BF34 BF37 FA14 FA23 FA41 FA51 FA54 FA55
5C080 AA10 BB05 DD01 DD22 DD27 EE29 FF11 JJ01 JJ03 JJ06

专利名称(译)	液晶表示装置		
公开(公告)号	JP2009301010A	公开(公告)日	2009-12-24
申请号	JP2009046737	申请日	2009-02-27
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	慎庸桓 禹和成 郑光哲 蔡鍾哲 鄭美惠		
发明人	慎 庸 桓 禹 和 成 鄭 光 哲 蔡 鍾 哲 鄭 美 惠		
IPC分类号	G02F1/1368 G02F1/133 G09G3/36 G09G3/20		
CPC分类号	G02F1/136286 G09G3/3614 G09G3/3659 G09G2300/0434 G09G2300/0465 G09G2320/0252 G09G2320/0257 G09G2320/028		
FI分类号	G02F1/1368 G02F1/133.550 G09G3/36 G09G3/20.624.B G09G3/20.623.C G09G3/20.621.B G09G3/20.642.E G02F1/1343		
F-TERM分类号	2H092/GA14 2H092/HA04 2H092/JA26 2H092/JB05 2H092/JB14 2H092/JB42 2H092/JB63 2H092/KA12 2H092/NA01 2H092/NA05 2H093/NA16 2H093/NC10 2H093/NC12 2H093/NC34 2H093/NC35 2H093/NC40 2H093/ND05 2H093/ND09 2H093/NE03 2H093/NF04 2H193/ZA04 2H193/ZD32 2H193/ZD34 2H193/ZF22 2H193/ZF36 2H193/ZP03 5C006/AC11 5C006/AC21 5C006/AC25 5C006/AC26 5C006/AF24 5C006/AF43 5C006/AF44 5C006/AF59 5C006/BB16 5C006/BC06 5C006/BF34 5C006/BF37 5C006/FA14 5C006/FA23 5C006/FA41 5C006/FA51 5C006/FA54 5C006/FA55 5C080/AA10 5C080/BB05 5C080/DD01 5C080/DD22 5C080/DD27 5C080/EE29 5C080/FF11 5C080/JJ01 5C080/JJ03 5C080/JJ06 2H192/AA24 2H192/BB03 2H192/BB31 2H192/BB33 2H192/BB54 2H192/BB64 2H192/BB91 2H192/BC23 2H192/BC24 2H192/BC26 2H192/BC31 2H192/BC42 2H192/CB05 2H192/CB12 2H192/CC04 2H192/CC42 2H192/CC55 2H192/DA02 2H192/DA12 2H192/DA65 2H192/DA71 2H192/DA73 2H192/DA81 2H192/EA02 2H192/EA22 2H192/EA42 2H192/EA43 2H192/FB02 2H192/FB22 2H192/FB46 2H192/GD61 2H192/JA34 2H193/ZA05 2H193/ZA06 2H193/ZA07 2H193/ZA19 2H193/ZB18 2H193/ZB24 2H193/ZC03 2H193/ZC12 2H193/ZC16 2H193/ZC25 2H193/ZD13 2H193/ZD23 2H193/ZD31 2H193/ZE21 2H193/ZF04 2H193/ZF05 2H193/ZF11 2H193/ZF21 2H193/ZF31 2H193/ZF34 2H193/ZF42 2H193/ZF43 2H193/ZF44 2H193/ZQ11 2H193/ZQ12 2H193/ZQ16		
优先权	1020080056321 2008-06-16 KR 1020080057043 2008-06-17 KR		
其他公开文献	JP5735731B2		
外部链接	Espacenet		

摘要(译)

增加，其中所述的液晶显示装置可以在不改变数据驱动器等来使用的像素电压范围内，则能够提高透光率，并降低了驱动单元，所述显示面板的开口率的制造成本一种能够改善液晶显示装置的液晶显示装置。一种液晶显示装置包括第一基板和面对彼此的第二基板，并且包括设置在所述第一基板和所述第二基板之间的液晶分子的液晶层，其形成在所述第一基板的栅极信号第一和第二数据线

形成在第一基板上并分别传输不同极性的第一和第二数据电压，第一和第二数据线连接到栅极线和第一数据线第一开关元件，连接到栅极线和第二数据线的第二开关元件，分别连接到第一开关元件和第二开关元件并彼此分开的第一和第二开关元件，并且液晶层包括具有正介电各向异性的液晶分子。点域

