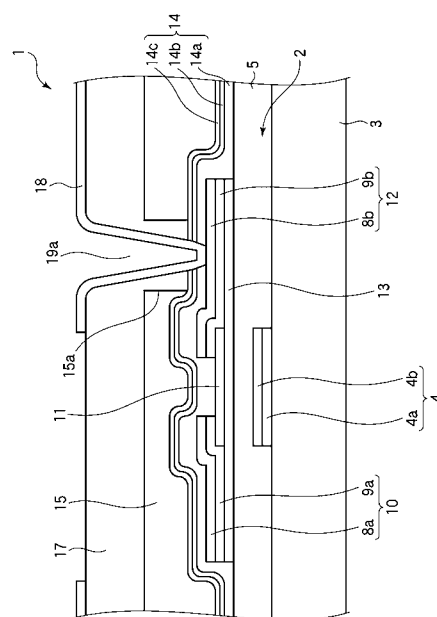




【特許請求の範囲】

【請求項 1】

複数の画素領域にそれぞれ形成された画素電極と前記画素電極を駆動するスイッチング素子との間に形成されたパッシベーション膜と、前記パッシベーション膜上に形成されたカラーフィルタ層と、を有する液晶表示装置用基板において、

前記パッシベーション膜は、窒化シリコン層と酸化シリコン層または酸窒化シリコン層との積層構造を有し、前記カラーフィルタ層に接して前記酸化シリコン層または前記酸窒化シリコン層が形成されていることを特徴とする液晶表示装置用基板。

【請求項 2】

前記窒化シリコン層は、前記カラーフィルタ層に接する前記酸化シリコン層若しくは前記酸窒化シリコン層に近い領域ほどシリコン原子濃度が高くなるように形成され、または、前記カラーフィルタ層に接する前記酸化シリコン層若しくは前記酸窒化シリコン層に近い領域ほどシリコン原子に結合する水素原子の濃度が高くなるように形成されていることを特徴とする請求項 1 記載の液晶表示装置用基板。

【請求項 3】

複数の画素領域にそれぞれ形成された画素電極と前記画素電極を駆動するスイッチング素子との間に形成されたパッシベーション膜と、前記パッシベーション膜上に形成されたカラーフィルタ層と、を有する液晶表示装置用基板と、前記液晶表示装置用基板に対向配置される対向基板と、前記液晶表示装置用基板と前記対向基板との間に挟まれた液晶層と、を有する液晶表示装置において、

前記液晶表示装置用基板は、前記パッシベーション膜が窒化シリコン層と酸化シリコン層または酸窒化シリコン層との積層構造を有し、前記カラーフィルタ層に接して前記酸化シリコン層または前記酸窒化シリコン層が形成されていることを特徴とする液晶表示装置。

【請求項 4】

対向基板に液晶層を挟んで対向配置される絶縁性基板と、

前記絶縁性基板上に配置されてスイッチング素子と窒化シリコン層と酸化シリコン層または酸窒化シリコン層と樹脂カラーフィルタ層と画素電極とが順に形成された複数の画素領域からなる表示領域と、

前記表示領域の前記樹脂カラーフィルタ層と前記画素電極との間に形成された絶縁性樹脂材料からなるオーバーコート層と、を有し、

前記スイッチング素子上の各層に開口されたコンタクトホールは開口断面積が、前記樹脂カラーフィルタ層 > 前記オーバーコート層 $\geq$ 前記酸化シリコン層または前記酸窒化シリコン層 $\geq$ 前記窒化シリコン層の関係性を有していることを特徴とする液晶表示装置用基板。

【請求項 5】

画素領域に形成されたスイッチング素子と、

前記画素領域に形成された樹脂カラーフィルタ層と、

前記樹脂カラーフィルタ層上に形成された画素電極と、

前記スイッチング素子と前記画素電極とを電氣的に接続するために前記樹脂カラーフィルタ層を貫通して形成され、底部輪郭の縦方向と横方向の長さが異なり、角部が丸みを帯びたコンタクトホールと

を有することを特徴とする液晶表示装置用基板。

【請求項 6】

請求項 5 記載の液晶表示装置用基板において、

前記底部輪郭の長軸と短軸の長さの比（長短軸長比＝短軸長／長軸長）は 0.5 以下であること

を特徴とする液晶表示装置用基板。

【請求項 7】

画素領域に形成されたスイッチング素子と、

前記画素領域に形成された樹脂カラーフィルタ層と、

前記樹脂カラーフィルタ層上に形成された画素電極と、
前記スイッチング素子と前記画素電極とを電氣的に接続するために前記樹脂カラーフィルタ層を貫通して底部輪郭を形成したコンタクト用溝と
を有することを特徴とする液晶表示装置用基板。

【請求項 8】

請求項 7 記載の液晶表示装置用基板において、
前記画素領域内を横断する蓄積容量バスラインを有し、
前記コンタクト用溝の底部輪郭は、前記蓄積容量バスライン上方に形成され、前記蓄積容量バスラインの幅より狭いこと
を特徴とする液晶表示装置用基板。

10

【請求項 9】

請求項 5 乃至 7 のいずれか 1 項に記載の液晶表示装置用基板において、
前記樹脂カラーフィルタ層の色毎に、前記底部輪郭内の開口面積が異なること
を特徴とする液晶表示装置用基板。

【請求項 10】

請求項 5 乃至 9 のいずれか 1 項に記載の液晶表示装置用基板において、
前記樹脂カラーフィルタ層の形成材料は、ネガ型であること
を特徴とする液晶表示装置用基板。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は液晶表示装置用基板及びそれを用いた液晶表示装置に関し、特に薄膜トランジスタなどのスイッチング素子が形成されたアレイ基板側にカラーフィルタが形成された液晶表示装置用基板およびそのような液晶表示装置用基板を用いた液晶表示装置に関する。

【背景技術】

【0002】

従来、薄膜トランジスタ (Thin Film Transistor; TFT) をスイッチング素子として用いたアクティブマトリクス型の液晶表示装置 (Liquid Crystal Display; LCD) としては、逆スタガ型の TFT-LCD などが提案されている (例えば特許文献 1 参照)。近年では、広開口率の実現のため、TFT などのスイッチング素子が形成されたアレイ基板側にカラーフィルタ (Color Filter; CF) を形成した CF-on-TFT 構造の LCD 用基板を用いた LCD も提案されている (例えば特許文献 2 参照)。このような CF-on-TFT 構造の LCD 用基板には、通常、画素電極とのコンタクト部分を除いた TFT 上に無機絶縁材料からなるパッシベーション膜が形成される。

30

【0003】

図 13 は従来の CF-on-TFT 構造の LCD 用基板の 1 画素領域の一例の平面図、図 14 は図 13 の B-B 断面図である。TFT 基板 100 には、透明絶縁性基板 101 上にゲートバスライン (GB) 102 が形成されている。その上には全面に絶縁膜 103 が形成され、絶縁膜 103 を介してゲートバスライン 102 に交差してドレインバスライン (DB) 104 が形成されている。ゲートバスライン 102 およびドレインバスライン 104 によって画定される領域が画素領域となる。そして、ゲートバスライン 102 およびドレインバスライン 104 の交差位置近傍に TFT 105 が形成される。

40

【0004】

TFT 105 は、上部金属層 106 a およびオーミックコンタクト層 107 a で構成されるドレイン電極 108 を有し、その端部がゲートバスライン 102 上方に形成されたチャネル保護膜 109 上の端部に位置するように形成されている。上部金属層 106 b およびオーミックコンタクト層 107 b で構成されるソース電極 110 は、ドレイン電極 108 と同様にしてチャネル保護膜 109 の他端部側に形成されている。絶縁膜 103 とチャネル保護膜 109 の間には動作半導体層 111 が形成され、動作半導体層 111 は、オー

50

ミックコンタクト層 107a, 107b と接続されている。このような構成の TFT 105 において、チャンネル保護膜 109 直下のゲートバスライン 102 領域がゲート電極として機能し、これらの間の領域にある絶縁膜 103 がゲート絶縁膜として機能する。

【0005】

TFT 105 の上層には、窒化シリコン (Si_3N_x ; 以下「 SiN 」と記す。) のパッシベーション膜 112 が形成され、パッシベーション膜 112 を介して画素領域内に樹脂 CF 層 113 が形成されている。樹脂 CF 層 113 上にはオーバーコート (OC) 層 114 が形成され、OC 層 114 上に透明酸化電極膜をパターンニングして画素電極 115 が形成されている。画素電極 115 は、OC 層 114 およびパッシベーション膜 112 を貫通するコンタクトホール 116a を介してソース電極 110 に接続されている。同様に、画素電極 115 は、蓄積容量バスライン (CB) 117 上に絶縁膜 103 を介して形成された蓄積容量電極 118 にもコンタクトホール 116b を介して接続されている。

10

【0006】

このように、従来の CF-on-TFT 構造の TFT 基板においては、TFT 105 と樹脂 CF 層 113 との間に SiN のパッシベーション膜 112 が形成される。樹脂 CF 層 113 には例えば色成分として顔料を分散した樹脂が用いられるため、パッシベーション膜 112 を形成することによって、顔料の無機成分が動作半導体層 111 などへ拡散するのを防止している。

【0007】

しかし、TFT の上層に SiN のパッシベーション膜を介して樹脂 CF 層を形成すると、 SiN 表面の水酸基 (OH 基) の状態が経時的に変化することによってパッシベーション膜と樹脂 CF 層との密着力が低下してしまい、樹脂 CF 層形成時には SiN 表面から CF が剥がれてしまったり、TFT に達するコンタクトホール形成時には樹脂 CF 層のエッチング残渣がコンタクトホール内に残ってしまったりするという問題があった。このような CF の残渣や剥離により、色純度不良といった問題が発生し、また、コンタクトホール内に成膜する画素電極材料のパターン不良によって画素電極と TFT がコンタクトされないといった問題が発生する場合もある。

20

【発明の概要】

【発明が解決しようとする課題】

【0008】

本発明はこのような点に鑑みてなされたものであり、CF の残渣や剥離がなく、導通不良のない CF-on-TFT 構造の LCD 用基板およびそのような LCD 用基板を用いた LCD を提供することを目的とする。

30

【課題を解決するための手段】

【0009】

本発明では上記課題を解決するために、図 1 に例示する構成で実現可能な LCD 用基板が提供される。本発明の LCD 用基板は、複数の画素領域にそれぞれ形成された画素電極と前記画素電極を駆動するスイッチング素子との間に形成されたパッシベーション膜と、前記パッシベーション膜上に形成された CF 層と、を有する LCD 用基板において、前記パッシベーション膜は、 SiN 層と酸化シリコン (SiO_x ; 以下「 SiO 」と記す。) 層または酸窒化シリコン (SiO_xN_y ; 以下「 SiON 」と記す。) 層との積層構造を有し、前記 CF 層に接して前記 SiO 層または前記 SiON 層が形成されていることを特徴とする。

40

【0010】

LCD 用基板として図 1 に示すような構成の TFT 基板 1 によれば、画素電極 18 とスイッチング素子である TFT 2 との間に形成されるパッシベーション膜 14 が、 SiN 層 14a, 14b、 SiO 層 14c の積層構造を有している。そのうち、 SiO 層 14c は最上層に形成され、上層に形成されている樹脂 CF 層 15 に接している。 SiO 層 14c はその表面状態の経時変化が小さく、安定しているので、その上に樹脂 CF 層 15 を形成しても CF の剥離が起こり難く、また、樹脂 CF 層 15 をエッチングしても CF の残渣が

50

発生し難い。S i O 層 1 4 c に代えて S i O N 層を用いても同様である。

【0011】

また、本発明では、複数の画素領域にそれぞれ形成された画素電極と前記画素電極を駆動するスイッチング素子との間に形成されたパッシベーション膜と、前記パッシベーション膜上に形成されたC F 層と、を有するL C D 用基板と、前記L C D 用基板に対向配置される対向基板と、前記L C D 用基板と前記対向基板との間に挟まれた液晶層と、を有するL C D において、前記L C D 用基板は、前記パッシベーション膜がS i N 層とS i O 層またはS i O N 層との積層構造を有し、前記C F 層に接して前記S i O 層または前記S i O N 層が形成されていることを特徴とするL C D が提供される。

【0012】

このようなL C D によれば、L C D 用基板にC F の残渣や剥離が発生し難いので、その導通不良の発生が抑えられ、これを用いて製造されるL C D の表示特性、信頼性が向上するようになる。

【発明の効果】

【0013】

本発明では、L C D 用基板の画素電極とスイッチング素子との間に形成されるパッシベーション膜を、S i N 層とS i O 層またはS i O N 層との積層構造とし、C F 層がS i O 層またはS i O N 層に接するようにした。これにより、C F の剥離や残渣の発生を抑え、導通不良の発生を抑えることができ、表示特性に優れた信頼性の高いL C D 用基板およびL C D を実現することができる。

【0014】

さらに、S i O 層またはS i O N 層の膜厚、S i N 層の内部構造を制御することにより、パッシベーション膜に形成されるコンタクトホールを断面順テーパ形状にすることができ、導通不良のない高性能なL C D 用基板およびL C D を実現することができる。

【図面の簡単な説明】

【0015】

【図1】本発明の第1の実施の形態のT F T 基板のT F T 部分の要部断面図である。

【図2】本発明の第1の実施の形態のT F T 基板の1画素領域の平面図である。

【図3】G B 形成工程の説明図である。

【図4】絶縁膜形成工程の説明図である。

【図5】チャネル保護膜形成工程の説明図である。

【図6】オーミック層および金属層形成工程の説明図である。

【図7】電極および動作半導体層形成工程の説明図である。

【図8】パッシベーション膜形成工程の説明図である。

【図9】C F 層形成工程の説明図である。

【図10】O C 層形成工程の説明図である。

【図11】画素電極接続用のコンタクトホール形成工程の説明図である。

【図12】画素電極形成工程の説明図である。

【図13】従来のC F - o n - T F T 構造のL C D 用基板の1画素領域の一例の平面図である。

【図14】図13のB - B 断面図である。

【図15】本発明の第2の実施の形態の前提となる従来の液晶表示装置用基板の構成を示す図である。

【図16】本発明の第2の実施の形態の実施例2 - 1 による液晶表示装置用基板の構成を示す図である。

【図17】本発明の第2の実施の形態の実施例2 - 1 による液晶表示装置用基板の構成を示す断面図である。

【図18】本発明の第2の実施の形態の実施例2 - 1 による液晶表示装置用基板の製造方法を示す工程断面図である。

【図19】本発明の第2の実施の形態の実施例2 - 1 による液晶表示装置用基板の製造方

10

20

30

40

50

法を示す工程断面図である。

【図 20】本発明の第 2 の実施の形態の実施例 2-1 による液晶表示装置用基板の製造方法を示す工程断面図である。

【図 21】本発明の第 2 の実施の形態の実施例 2-1 による液晶表示装置用基板の製造方法を示す工程断面図である。

【図 22】本発明の第 2 の実施の形態の実施例 2-2 による液晶表示装置用基板の構成を示す図である。

【図 23】本発明の第 2 の実施の形態の実施例 2-2 による液晶表示装置用基板の構成を示す断面図である。

【図 24】本発明の第 2 の実施の形態の実施例 2-2 による液晶表示装置用基板の製造方法を示す工程断面図である。

10

【図 25】本発明の第 2 の実施の形態の実施例 2-2 による液晶表示装置用基板の製造方法を示す工程断面図である。

【図 26】本発明の第 2 の実施の形態の実施例 2-2 による液晶表示装置用基板の製造方法を示す工程断面図である。

【図 27】本発明の第 2 の実施の形態の実施例 2-2 による液晶表示装置用基板の製造方法を示す工程断面図である。

【図 28】本発明の第 2 の実施の形態の実施例 2-2 による液晶表示装置用基板の製造方法を示す工程断面図である。

【図 29】本発明の第 2 の実施の形態の実施例 2-3 による液晶表示装置用基板の構成を示す図である。

20

【発明を実施するための形態】

【0016】

〔第 1 の実施の形態〕

以下、本発明の第 1 の実施の形態を、TFT が形成された TFT 基板を LCD 用基板として用いる LCD に適用した場合を例に、図面を参照して詳細に説明する。

【0017】

(実施例 1-1)

まず実施例 1-1 について説明する。

図 1 は実施例 1-1 の TFT 基板の TFT 部分の要部断面図、図 2 は実施例 1-1 の TFT 基板の 1 画素領域の平面図である。ただし、図 1 は図 2 の A-A 断面を図示している。実施例 1-1 の LCD は、スイッチング素子として図 1 および図 2 に示すような TFT 2 が形成された TFT 基板 1 と、共通電極などが形成された対向基板とを貼り合わせ、その間に液晶を封入した構造を有する。

30

【0018】

このような LCD に用いられる TFT 基板 1 には、透明絶縁性基板としてのガラス基板 3 上に、アルミニウム (Al) 系金属層 4a を介してチタン (Ti)、クロム (Cr)、モリブデン (Mo) などの高融点金属層 4b が積層して形成され、複数のゲートバスライン 4 (ただし図 2 には 1 本のみ図示する。) が形成されている。その上には全面に SiN からなる絶縁膜 5 が形成され、絶縁膜 5 を介してゲートバスライン 4 に交差して高融点金属からなる複数のドレインバスライン 6 (ただし図 2 には 2 本のみ図示する。) が形成されている。ゲートバスライン 4 およびドレインバスライン 6 によって画定される領域が TFT 基板 1 の画素領域となる。TFT 2 は、これらゲートバスライン 4 およびドレインバスライン 6 の交差位置近傍に形成されている。このように TFT 2 が形成された各画素領域には、そのほぼ中央を横切る蓄積容量バスライン 7 がゲートバスライン 4 と平行に形成されている。蓄積容量バスライン 7 は、ゲートバスライン 4 と同様、Al 系金属層および高融点金属層の積層構造で構成されている。

40

【0019】

TFT 2 は、高融点金属からなる上部金属層 8a および n⁺ 型アモルファスシリコン (a-Si) からなるオーミックコンタクト層 9a で構成されるドレイン電極 10 を有し、

50

その端部がゲートバスライン4上に形成されたチャネル保護膜11上の一端部に位置するように形成されている。上部金属層8aはドレインバスライン6に接続され、TF T2のドレイン電極10がドレインバスライン6に接続された状態になっている。一方、上部金属層8bおよびオーミックコンタクト層9bで構成されるソース電極12は、ドレイン電極10と同様にしてチャネル保護膜11の他端部側に形成されている。絶縁膜5とチャネル保護膜11の間にはa-Siからなる動作半導体層13が形成され、動作半導体層13は、オーミックコンタクト層9a, 9bと接続されている。このような構成のTF T2において、チャネル保護膜11直下のゲートバスライン4領域がゲート電極として機能し、これらの間の領域にある絶縁膜5がゲート絶縁膜として機能する。

【0020】

TF T2の上層には、SiN層14a, 14bおよびSiO層14cを積層したパッシベーション膜14が形成され、パッシベーション膜14を介して画素領域内に樹脂CF層15が形成されている。樹脂CF層15には、ソース電極12の直上、および蓄積容量バスライン7上に絶縁膜5を介して形成された蓄積容量電極16の直上のパッシベーション膜14に達するコンタクトホール15a, 15bがそれぞれ形成されている。コンタクトホール15a, 15bが形成された樹脂CF層15上には絶縁性有機樹脂材料を用いてOC層17が形成されている。OC層17上にITO (Indium Tin Oxide) 等からなる透明導電膜がパターンニングされて画素電極18が形成されている。画素電極18は、樹脂CF層15のコンタクトホール15aが形成された領域に、さらにOC層17およびパッシベーション膜14を貫通して形成されたコンタクトホール19aを介してソース電極12に接続されている。同様に、画素電極18は、OC層17およびパッシベーション膜14を貫通するコンタクトホール19bを介して蓄積容量電極16にも接続されている。

【0021】

上記構成のTF T基板1において、樹脂CF層15のコンタクトホール15aを除く領域でTF T2と樹脂CF層15との間に形成されるパッシベーション膜14は、ガラス基板3側から順にSiN層14a, 14bおよびSiO層14cが積層された構造を有している。そのうち、最上層に形成されるSiO層14cは、その表面OH基の状態がTF T基板1の製造環境下において経時的にほとんど変化しない。そのため、パッシベーション膜14の最上層をSiO層14cとすることにより、樹脂CF層15は直接SiO層14c上に形成され、パッシベーション膜14と樹脂CF層15との間の密着力の低下を抑制することができる。これにより、樹脂CF層15の形成時に発生するCFのパッシベーション膜14からの剥離を大幅に抑制し、コンタクトホール15a, 15bの形成時に発生するCFの残渣や剥離の発生を大幅に抑制することができる。

【0022】

ただし、SiO層14cを厚く形成すると、その膜厚によっては、パッシベーション膜14が断面逆テーパ形状にエッチングされてしまう場合が起こり得る。これは、パッシベーション膜14のエッチングには通常フッ素系ガスが用いられるが、SiO層14cはその下層に形成されたSiN層14a, 14bに比べてエッチングレートが遅いためである。パッシベーション膜14がこのような断面逆テーパ形状になると、その後の画素電極18形成時に透明導電膜材料が成膜されない部分ができてしまい、TF T2のソース電極12と画素電極18、あるいは蓄積容量電極16と画素電極18がコンタクトされない場合が起こり得る。そのため、全体で200nm~400nm程度の膜厚でパッシベーション膜14を形成する場合、その最上層に形成するSiO層14cの膜厚は20nm以下とすることが好ましい。また、SiO層14cは、その表面状態の効果を確実に得るためには膜厚3nm以上に形成することが好ましい。

【0023】

さらに、パッシベーション膜14のSiN層14a, 14bは、上層側のSiN層14bよりも下層側のSiN層14aを厚膜で形成し、それらに含まれるSi原子の濃度 (Si濃度) について、上層側>下層側、の関係を満たすように形成する。あるいは、SiN

10

20

30

40

50

層14a, 14b内のSi原子に結合するH原子の濃度(Si-H濃度)について、上層側>下層側、の関係を満たすように形成する。このように、パッシベーション膜14に含まれるSiNのSi原子とN原子の組成を変化させ、上下層のSi濃度あるいはSi-H濃度を調整することにより、それらのエッチングレートを制御して、パッシベーション膜14が断面順テーパ形状にエッチングされるようにする。

【0024】

次に上記TF T基板1の製造方法を図3から図12を参照して詳細に説明する。図3はゲートバスライン形成工程の説明図、図4は絶縁膜形成工程の説明図、図5はチャネル保護膜形成工程の説明図、図6はオーミック層および金属層形成工程の説明図、図7は電極および動作半導体層形成工程の説明図、図8はパッシベーション膜形成工程の説明図、図9はCF層形成工程の説明図、図10はOC層形成工程の説明図、図11は画素電極接続用のコンタクトホール形成工程の説明図、図12は画素電極形成工程の説明図である。ただし、図3から図12では、図1および図2に示した要素については同一の符号を付し、その説明の詳細は省略する。

【0025】

まず、ゲートバスライン形成工程について述べる。ゲートバスライン4の形成は、図3に示すように、ガラス基板3上に、必要に応じてSiO_xなどの保護膜を形成し、全面に例えばAlまたはAl合金をスパッタリング法により膜厚約130nmで成膜する。さらにその上に例えばTiまたはTi合金などの高融点金属をスパッタリング法により膜厚約70nmで連続的に成膜する。これにより、ガラス基板3上に合計約200nmの膜厚の金属層が形成される。この金属層形成に用いるAl合金としては、Alに、ネオジウム(Nd)、ケイ素(Si)、銅(Cu)、Ti、タングステン(W)、タンタル(Ta)、スカンジウム(Sc)などを1種または2種以上含む材料を用いることができる。また、金属層形成に用いる高融点金属としては、上記Ti、Ti合金のほか、Cr、Mo、Ta、Wおよびそれらを含む合金などを用いることができる。

【0026】

続いて、基板全面にレジスト層を形成した後、フォトリソグラフィあるいはレチクルといった第1のマスクを用いて露光してレジストマスクを形成する。そして、塩素系ガスを用いたドライエッチングにより、図3に示したようなAl系金属層4aと高融点金属層4bの積層構造を形成し、ゲートバスライン4を形成する。その際、図2に示した蓄積容量バスライン7も同時に形成し、また、図示しないがゲートバスライン4および蓄積容量バスライン7の端子形成位置に端子電極を同時に形成する。

【0027】

次に絶縁膜形成工程について述べる。図3に示したようにゲートバスライン4を形成し、図2に示した蓄積容量バスライン7を形成した後、図4に示すように、SiNをプラズマCVD(Chemical Vapor Deposition)法により膜厚約400nmで基板全面に成膜して絶縁膜5を形成する。この絶縁膜5は、前述のように、一部がゲート絶縁膜として機能するようになる。続いて、a-Si層13aをプラズマCVD法により膜厚約30nmで基板全面に成膜し、さらに、SiN層11aをプラズマCVD法により膜厚約120nmで基板全面に成膜する。

【0028】

次にチャネル保護膜形成工程について述べる。図4に示した絶縁膜5、a-Si層13aおよびSiN層11aの形成後は、スピコートなどにより基板全面にフォトリソレジストを塗布し、ガラス基板3に対してゲートバスライン4および蓄積容量バスライン7をマスクにした背面露光を行い、自己整合的にゲートバスライン4直上および蓄積容量バスライン7直上の領域だけを未露光領域にする。次いで、順方向から第2のマスクを用いて露光し、チャネル保護膜11を形成する領域上のみフォトリソレジストが残存するレジストパターンを形成する。これをエッチングマスクにして図4に示したSiN層11aに対してフッ素系ガスを用いたドライエッチングを行ない、図5に示すように、チャネル保護膜11を形成する。

10

20

30

40

50

【0029】

次にオーミック層および金属層形成工程について述べる。図5に示したチャネル保護膜11の形成後は、希フッ酸を用いてa-Si層13a表面を洗浄して自然酸化膜を除去し、その後速やかに、図6に示すように、 n^+ 型a-Si層9cをプラズマCVD法により膜厚約30nmで基板全面に形成する。続いて、 n^+ 型a-Si層9c上に、図1または図2に示したドレインバスライン6、ドレイン電極10、ソース電極12、蓄積容量電極16を形成するためのTi（またはTi合金）/Al（またはAl合金）/Ti（またはTi合金）からなる金属層20をスパッタリング法によりそれぞれ膜厚約20nm/約75nm/約40nmに成膜する。なお、この金属層20には、Ti以外にも、Cr, Mo, Ta, Wなどの高融点金属およびそれらを含む合金も用いることができる。 n^+ 型a-Si層9cは、金属層20とa-Si層13aとを良好に接続するためのオーミック層として機能する。

10

【0030】

次に電極および動作半導体層形成工程について述べる。図6に示したように n^+ 型a-Si層9c上に金属層20を形成した後、基板全面にフォトリソスト層を形成し、第3のマスクを用いてフォトリソスト層を露光した後、現像してレジストパターンを形成する。このレジストパターンをマスクにして、図6に示した金属層20、 n^+ 型a-Si層9cおよびa-Si層13aに対して塩素系ガスを用いたドライエッチングを行なう。これにより、図7に示すように、上部金属層8a, 8bおよびオーミックコンタクト層9a, 9bを形成してドレイン電極10およびソース電極12を形成し、動作半導体層13を形成する。その際には、図2に示したドレインバスライン6および蓄積容量電極16も形成する。このエッチング処理において、チャネル保護膜11はエッチングストップパとして機能する。以上の工程により、ガラス基板3上にTFET2が形成される。

20

【0031】

次にパッシベーション膜形成工程について述べる。図7に示したTFET2を形成した後、図8に示すように、基板全面にSiN層14a, 14b、SiO層14cをこの順でプラズマCVD法によりそれぞれ膜厚約180nm, 約20nm, 約5nmで成膜し、パッシベーション膜14を形成する。このパッシベーション膜14は、別の方法を用いて形成することも可能である。例えば、SiN層14a, 14bをプラズマCVD法によりそれぞれ約180nm, 約20nmで成膜した後、基板全面にa-Si層を膜厚約5nmで成膜してアッシング処理、高圧酸化、熱酸化、 N_2O プラズマ処理、 $N_2 + O_2$ プラズマ処理の少なくとも1つを施し、表面に膜厚約5nmのSiO層を形成することもできる。また、SiN層14a, 14bをプラズマCVD法によりそれぞれ約180nm, 約20nmで成膜した後、基板全面にアッシング処理、高圧酸化、熱酸化、 O_2 プラズマ処理、UV照射の少なくとも1つを施し、表面に膜厚約5nmのSiO層を形成することもできる。

30

【0032】

なお、SiO層14cは、ここでは膜厚約5nmとしたが、前述のように、膜厚3nm~20nmの範囲で形成することができ、それに応じてSiN層14a, 14bの膜厚を適当に変更するようにしてもよい。また、SiN層14a, 14bは、適当な成膜条件で1層目のSiN層14aを成膜した後、成膜条件を変更して2層目のSiN層14bを連続成膜し、これら両層のSi濃度またはSi-H濃度が、前述のように、上層側>下層側、となるように形成する。

40

【0033】

次にCF層形成工程について述べる。図8に示したパッシベーション膜14の形成後は、図9に示すように、それぞれの画素領域に対して所定の色の樹脂CF層15を形成する。樹脂CF層15は、基板上にストライプ状に形成する。例えば赤色樹脂を樹脂CF層15として形成する場合には、まず、赤色の顔料を分散させたアクリル系ネガ型感光性樹脂をスピンコートやスリットコートなどを用いて基板全面に膜厚約170nmで塗布する。次いで、大型マスクを用いた近接露光によって、赤色樹脂を形成する所定の複数列にスト

50

ライプ状に赤色樹脂が残るようにパターンを露光する。最後に、水酸化カリウム（KOH）などのアルカリ現像液を用いて現像し、赤色の樹脂CF層15を形成する。その際、この所定列への樹脂CF層15の形成と同時に、樹脂CF層15にソース電極12の直上のパッシベーション膜14に達するコンタクトホール15aを形成する。さらに、樹脂CF層15には、図2に示した蓄積容量電極16の直上の領域においても、パッシベーション膜14に達するようにコンタクトホール15bを同時に形成する。これにより、この画素領域に赤色の分光特性が付与されるとともに、外光のTF T 2への入射を阻害する遮光機能が付与されるようになる。

【0034】

青色、緑色の画素領域についても同様に形成される。すなわち、青色の画素領域については、青色の顔料を分散させたアクリル系ネガ型感光性樹脂を塗布してパターンニングし、赤色樹脂を形成した列の隣の列にストライプ状に青色の樹脂CF層を形成する。同時に、この青色画素領域のTF Tのソース電極および蓄積容量電極に達するコンタクトホールをそれぞれ開口する。また、緑色の画素領域については、緑色の顔料を分散させたアクリル系ネガ型感光性樹脂を塗布してパターンニングし、青色樹脂を形成した列の隣の列にストライプ状に緑色の樹脂CF層を形成する。同時に、この緑色画素領域のTF Tのソース電極および蓄積容量電極に達するコンタクトホールをそれぞれ開口する。これにより、それぞれの画素領域に青色または緑色の分光特性が付与されるとともに、外光のTF Tへの入射を阻害する遮光機能が付与されるようになる。

【0035】

このように樹脂CF層15にコンタクトホール15a、15bを開口するときには、樹脂CF層15がパッシベーション膜14の最上層に形成されたSiO層14c上に直接形成されているため、樹脂CF層15の密着性が良く、CFの残渣や剥離の発生が抑制される。

【0036】

次にOC層形成工程について述べる。図9に示したように樹脂CF層15を形成した後、図10に示すように、OC層17を形成する。OC層17は、樹脂CF層15の形成と同様、OC樹脂をスピンコートやスリットコートなどを用いて樹脂CF層15形成後の基板全面に塗布し、温度140℃以下で加熱処理する。ここで使用するOC樹脂は、絶縁性でネガ型の感光性を有するアクリル系樹脂である。次いで、大型マスクを用いて近接露光し、KOHなどを用いて現像してOC層17を形成する。OC層17は、少なくとも端子形成領域の電極つなぎ換え領域が開口され、端子形成領域では底部から端子電極、絶縁膜5、パッシベーション膜14を露出させるようにする。さらに、OC層17には、図10に示したように、樹脂CF層15に形成したコンタクトホール15aに位置を合わせてコンタクトホール21を形成する。その際には、図2に示した蓄積容量電極16領域においても同様に、コンタクトホール15bに位置を合わせてOC層17にコンタクトホールを形成する。

【0037】

次に画素電極接続用のコンタクトホール形成工程について述べる。図10に示したようにOC層17にコンタクトホール21を形成した後、図11に示すように、このOC層17をマスクにしてフッ素系ガスを用いたドライエッチングを行なう。これにより、コンタクトホール21で開口された領域のパッシベーション膜14を除去し、ソース電極12に達するコンタクトホール22を形成する。その際には、図2に示した蓄積容量電極16領域においても同様に、パッシベーション膜14を除去して蓄積容量電極16に達するコンタクトホールを形成する。OC層17のコンタクトホール21とパッシベーション膜14のコンタクトホール22によって、OC層17表面からソース電極12まで貫通する画素電極接続用のコンタクトホール19aが形成される。同様に、蓄積容量電極16領域においても、OC層17のコンタクトホールとパッシベーション膜14のコンタクトホールによって、OC層17表面から蓄積容量電極16まで貫通する図2に示したような画素電極接続用のコンタクトホール19bが形成される。

【0038】

ここでパッシベーション膜14は、上層側からSiO層14c、SiN層14b、14aの順に形成されていて、SiO層14cは膜厚が3nm~20nmの範囲で形成され、SiN層14b、14aはそのSi濃度またはSi-H濃度が調整されている。これにより、各層のエッチングレートが制御され、パッシベーション膜14に形成されるコンタクトホール22が断面順テーパー形状に形成される。すなわち、画素電極接続用のコンタクトホール19aの開口断面積は、樹脂CF層15>OC層17>SiO層14c>SiN層14aの順になる。コンタクトホール19bについても同じである。なお、ここでいう開口断面積とは、各層に形成されている開口部分の中でその開口断面積が最小になる部分での値を示している。また、コンタクトホール19aの開口断面積は、樹脂CF層15>OC層17 $\geq$ SiO層14c $\geq$ SiN層14aの関係を満たしていればよい。

10

【0039】

次に画素電極形成工程について述べる。図11に示したようにOC層17表面からソース電極12まで貫通する画素電極接続用のコンタクトホール19aを形成した後は、まず、ITOをスパッタリングなどの薄膜形成方法により膜厚約70nmで形成する。次いで、形成したITO上に所定パターンのレジストマスクを形成し、シュウ酸系エッチャントを用いたウェットエッチングを行ない、図12に示すように、コンタクトホール19aを介してソース電極12に接続された画素電極18を形成する。同様に、図2に示した蓄積容量電極16と画素電極18は、コンタクトホール19bに形成されたITOにより接続される。

20

【0040】

最後に、温度150℃~230℃の範囲内、好ましくは温度約200℃で熱処理を行ない、TFT基板1を完成する。

このように形成されたTFT基板1は、そのTFT2形成面側に配向膜が形成された後、コモン電極が形成された対向基板と貼り合わせられ、さらに、それらの間に液晶が封入される。そして、TFT基板1および対向基板の外面側にそれぞれ偏光フィルムを貼り付け、LCDが形成される。

【0041】

(実施例1-2)

次に実施例1-2について説明する。

30

上記実施例1-1においては、パッシベーション膜14をSiN層14a、14bおよびSiO層14cの積層構造としたが、TFT基板1に形成するパッシベーション膜14は、SiN層14a、14bおよびSiON層の積層構造とすることもできる。SiON層は、上記SiO層14cと同じく、その膜厚が3nm~20nmとなるように形成することが好ましい。このようにパッシベーション膜14にSiO層14cに代えてSiON層を用いても、SiO層14cの場合と同様の効果が得られる。このSiON層は、SiO層14cと同じく、SiN層14a、14b形成後にプラズマCVD法により形成することができる。また、a-Si層形成後にアッシング処理、高圧酸化、熱酸化、N₂Oプラズマ処理、N₂+O₂プラズマ処理の少なくとも1つを施してSiON層を形成することもできる。さらに、SiN層14a、14b形成後にアッシング処理、高圧酸化、熱酸化、O₂プラズマ処理、UV照射の少なくとも1つを施してSiON層を形成することもできる。

40

【0042】

なお、上記の実施例1-1、1-2においては、パッシベーション膜が2層構造のSiN層を有している場合について述べたが、パッシベーション膜のSiN層を3層以上で構成することも可能であり、また、1層で構成することも可能である。

【0043】

以上説明したように、LCDに用いるTFT基板において、TFTと樹脂CF層の間に形成するパッシベーション膜をSiN層とSiO層またはSiON層との積層構造とし、その最上層にSiO層またはSiON層を形成するようにした。これにより、パッシベ

50

ション膜と樹脂CF層との密着力の低下が抑えられるようになる。そのため、樹脂CF層を形成する際のCFの剥離の発生を抑え、樹脂CF層にコンタクトホールを形成する際のCFの残渣や剥離の発生を抑えることができるようになる。

【0044】

さらに、SiO層あるいはSiON層の膜厚を制御することにより、パッシベーション膜に形成するコンタクトホールを、断面順テーパ形状になるように形成することができる。また、2層以上のSiN層を有するパッシベーション膜においては、それらのSiN層についてSi濃度またはSi-H濃度を調整することにより、コンタクトホールを断面順テーパ形状に形成することが可能になる。これにより、ソース電極と画素電極の間、蓄積容量電極と画素電極の間の接続が良好であり、導通不良のないTFT基板を高歩留りで形成することができるようになる。

10

【0045】

このようなTFT基板によれば、CF層に新規な樹脂を用いることなく、表示特性に優れた、信頼性の高い、高性能なTFT基板が実現され、さらに、LCDが実現される。また、アレイ基板側に樹脂CF層を設けるとともに、それに遮光機能を付加したので、LCDの製造工程を全体として簡略化することができる。さらに、対向基板との貼り合わせ精度が多少低くても、広開口率で高精細のLCDを量産することが可能になる。そのため、従来提案されているような、例えば、CF層とパッシベーション膜との間にCFの剥離防止のためヘキサメチルジシラザン(HMDS)などの密着材を形成したり、特別な遮光パターンを形成した構造としたりすることが不要になる。

20

【0046】

また、上記のパッシベーション膜の積層構造は、CF-on-TFT構造のTFT基板のほか、CF-on-TFT構造をとらないTFT基板にも適用することができる。すなわち、CF-on-TFT構造をとらないTFT基板においても、TFTと画素電極との間に形成されるパッシベーション膜を上記のようなSiN層とSiO層の積層構造あるいはSiN層とSiON層の積層構造とする。それにより、パッシベーション膜表面の安定性を維持することが可能になり、また、コンタクトホールを断面順テーパ形状になるように形成することが可能になるため、画素電極形成後の導通不良の発生を抑制することができるようになる。

【0047】

なお、CF-on-TFT構造をとらないTFT基板において、SiNといった無機絶縁材料からなるパッシベーション膜に代えて、絶縁性有機樹脂材料を用いたOC層を形成すると、その膜厚を3000nm程度まで厚くすることができる。さらに、OC層はその誘電率が3以下程度であることから、TFTの寄生容量を低減し、広開口率を実現することが可能になる。しかしながら、TFT基板内にこのように厚膜の層が含まれるとその層にコンタクトホール形成後に大きな段差が形成され、また、コンタクトホールを良好に断面順テーパ形状にできない。それにより、上層に形成される画素電極の段切れなどを引き、導通不良を引き起こし易くなるので、上記のようなSiN層とSiO層の積層構造あるいはSiN層とSiON層の積層構造を有するパッシベーション膜を用いるのが有効である。

30

40

【0048】

〔第2の実施の形態〕

本発明の第2の実施の形態による液晶表示装置用基板及びそれを備えた液晶表示装置及びその製造方法について図15乃至図29を用いて説明する。近年、液晶表示装置はノートパソコン、TV、モニタ、投射型プロジェクタ等に用いられ、その需要は増加すると共に要求も多様化している。液晶表示装置は一般に、透明電極を備えた2枚の基板と当該基板間に挟持された液晶層とで構成されており、透明電極間に電圧を印加することにより液晶を駆動してバックライトユニットからの光の透過率を制御して画像を表示する。バックライトを射出した光は種々の要因により減衰し、パネル表面での最大透過率は3%~10%程度に低下する。透過率低下の原因としては、偏光板やカラーフィルタでの光吸収と共

50

に画素開口率の大きさが挙げられる。画素開口率を向上させる構造として、TFT基板上にカラーフィルタを形成するCF-on-TFT構造がある。CF-on-TFT構造にするとTFT基板と対向基板とを貼り合わせる際の位置ずれマージンが不要になるため、画素開口率を向上することができる。

【0049】

図15は従来のTFT基板100上の3画素分の平面構成を示している。図15に示すように、TFT基板100は、ガラス基板上に図中左右方向に延びる複数のゲートバスライン102（図15では1本のみ示している）と、ゲートバスライン102に交差して図中上下方向に延びる複数のドレインバスライン104とを有している。両バスライン102、104の交差位置近傍にはTFT105が形成されている。図15に示すように、TFT105は、ドレインバスライン104から分岐したドレイン電極108と、ドレイン電極108に所定の間隙で対向して配置されたソース電極110と、ゲートバスライン102のうちドレイン電極108及びソース電極110と一部オーバーラップする部分（ゲート電極）とを有している。ゲート電極上には動作半導体層とその上層のチャネル保護膜109とが形成されている。ゲートバスライン102とドレインバスライン104とで画素領域が画定される。各画素領域のほぼ中央を横切って蓄積容量バスライン117がゲートバスライン102と平行に形成されている。各画素領域には樹脂CF層113が形成されている。また、各画素領域の樹脂CF層113上には画素電極115が形成されている。

10

【0050】

画素電極115は、樹脂CF層113を貫通して形成されたコンタクトホール116aを介してソース電極110に接続されている。同様に、画素電極115は、樹脂CF層113を貫通して形成されたコンタクトホール116bを介して蓄積容量電極118に接続されている。ソース電極110上のコンタクトホール116aと蓄積容量電極118上のコンタクトホール116bの底部は、TFT基板100表面に向かって見て、縦横の寸法が $20\mu\text{m} \times 20\mu\text{m}$ のほぼ正方形の輪郭形状を有している。このため、ソース電極110はコンタクトホール116aの底部開口での接続用領域を画素内方に延ばして設ける必要が生じ、蓄積容量電極118はコンタクトホール116bの底部開口での接続用領域を余分に設ける必要が生じている。これらの接続用領域により画素開口率が低下してしまっている。

20

30

【0051】

樹脂CF層113の形成材料（ネガ型のカラーレジスト）は解像度が低く、また露光に必要なエネルギーも大きい。しかしながら、樹脂CF層113には高精細なパターンニングや微細なパターンニングは要求されないため、一般にカラーフィルタの形成工程では、フォトリソグラフィをレジスト層に近接配置して露光するプロキシミティ（近接）露光装置が用いられる。プロキシミティ露光装置によれば高照度の露光光を照射して露光できるため短いタクトタイムで高い生産能力が得られる。しかしながら、近接露光方式ではフォトリソグラフィを透過した光の回折により高い解像能力が得られないため、穴形状や大きさのバラツキを抑えて樹脂CF層113に小径のコンタクトホール116a、116bを形成するのが困難である。 $20\mu\text{m} \times 20\mu\text{m}$ のほぼ正方形の底部輪郭を有するコンタクトホールを開口するには、例えば $28\mu\text{m} \times 28\mu\text{m}$ の一回り大きな正方形の遮光パターンを形成したフォトリソグラフィを用いる。このように、コンタクトホール116aを介してソース電極110と画素電極115とを電氣的に確実に接続させるには、コンタクトホール116a底部の開口面積を大きくせざるを得ない。同様に、コンタクトホール116bを介して蓄積容量電極118と画素電極115とを電氣的に確実に接続させるには、コンタクトホール116b底部の開口面積を大きくせざるを得ない。このため、コンタクトホール116a、116bの存在により画素開口率が低下してしまう。解像能力を向上させるには、高精度なステッパやミラープロジェクション方式のアライナ等を用いることが考えられるが、これらの装置は高価で生産設備に要する費用がかさんでしまう共にタクトタイムが長くなってしまいうためCF-on-TFT構造の製造コストが上昇してしまう。

40

50

【0052】

そこで、本実施の形態では、プロキシミティ露光装置を用いて低コストで画素開口率を向上させたCF-on-TFT構造を得ることができる液晶表示装置用基板及びそれを備えた液晶表示装置を提供することを目的とする。以下、実施例2-1乃至2-3を用いて具体的に説明する。

【0053】

(実施例2-1)

実施例2-1による液晶表示装置用基板及びそれを備えた液晶表示装置及びその製造方法について図16乃至図21を用いて説明する。図16は本実施例によるTFT基板1上の3画素分の平面構成を示している。図17は、TFT基板1のR画素の一部断面を示している。図17(a)は図16のA-A線で切断したTFT基板1の断面を示しており、図17(b)は図16のB-B線で切断したTFT基板1の断面を示している。図16に示すように、TFT基板1は、ガラス基板3上に、図中左右方向に延びる複数のゲートバスライン4(図16では1本のみ示している)と、ゲートバスライン4と絶縁膜5を介して交差して図中上下方向に延びる複数のドレインバスライン6とを有している。ゲートバスライン4とドレインバスライン6とで画素領域が画定される。両バスライン4、6の交差位置近傍にはTFT2が形成されている。図16及び図17に示すように、TFT2は、直線状のゲートバスライン4の一部領域をゲート電極4として利用し、ゲート電極4上の絶縁膜(ゲート絶縁膜)5を介して動作半導体層13を有している。ゲート電極4上方の動作半導体層13上面にはチャンネル保護膜11が形成されている。チャンネル保護膜11上で電氣的に分離されてドレイン電極10とソース電極12とが形成されている。ドレイン電極10はドレインバスライン6に接続されている。各画素領域のほぼ中央を横切って蓄積容量バスライン7がゲートバスライン4と平行に形成されている。蓄積容量バスライン7は、ゲートバスライン4と同一の形成金属で形成されている。蓄積容量バスライン7上には、絶縁膜5を介して蓄積容量電極16が形成されている。各画素領域には樹脂CF層15が形成されている。図17(a)、(b)に示すように、樹脂CF層15はTFT2及びドレインバスライン6上にも形成されている。また、各画素領域の樹脂CF層15上には画素電極18が形成されている。

【0054】

画素電極18は、樹脂CF層15を貫通して形成されたコンタクトホール19aを介してソース電極12に接続されている。同様に、画素電極18は、樹脂CF層15を貫通して形成されたコンタクトホール19bを介して蓄積容量電極16に接続されている。ソース電極12上のコンタクトホール19a及び蓄積容量電極16上のコンタクトホール19bの底部は、図16に示すように、TFT基板1表面に向かって見て、ほぼ平行な2線分と当該2線分の対向端部間が外側に凸の曲線で結ばれて角部が丸みを帯びた輪郭形状を有している。さらに、平行2線分に平行な方向を例えば横方向とし、それに直交する方向を縦方向とすると、コンタクトホール19a、19bの底部輪郭は、縦方向と横方向の長さが異なっている。本実施例におけるコンタクトホール19a、19bは、図16に示すようにゲートバスライン4にほぼ平行な平行2線分が形成され、当該2線分の対向端部間が外側に凸状の半円で結ばれた、例えば陸上競技用トラックと同様の輪郭形状を有している。長軸(本例では横方向)と短軸(本例では縦方向)の長さの比(長短軸長比=短軸長/長軸長)は0.5以下となることが望ましい。特に、底部輪郭内の面積が $600\mu\text{m}^2$ 以下のコンタクトホールについて上記の長短軸長比を適用することが望ましい。本実施例では、コンタクトホール19a、19bの短軸の長さは $10\mu\text{m}$ であり長軸の長さは $40\mu\text{m}$ である。ここで、長軸の長さは従来のコンタクトホール116a、116bの $20\mu\text{m}$ より長く、短軸の長さは $20\mu\text{m}$ より短くしている。なお、図17に示すように、コンタクトホール19a、19bは、開口端側輪郭が底部輪郭より一回り大きく形成され、深さ方向に狭くなるテーパ状に形成されている。

【0055】

コンタクトホール19aは短軸長が $10\mu\text{m}$ で長軸長が $40\mu\text{m}$ であるが、長軸両端側

は半円状に形成されているため、底部開口面積は約 $375 \mu\text{m}^2$ 程度になり従来の $400 \mu\text{m}^2$ に対して6%減となる。また、コンタクトホール19bでは長軸が蓄積容量バスライン7に沿って形成され、短軸が蓄積容量バスライン7の幅より狭く形成されている。このため蓄積容量電極16にコンタクトホール19bの底部開口での接続用領域を特別に設ける必要がない。このため、従来に比して画素開口率を向上できる。

【0056】

次に、本実施例による液晶表示装置用基板の製造方法について、図18乃至図21の製造工程断面図を用いて説明する。図18乃至図21において、(a)は図16に示すA-A線で切断したTF T基板1の断面を示しており、(b)は図16に示すB-B線で切断したTF T基板1の断面を示している。まず、図18(a)、(b)に示すように、ガラス基板3上の全面に、例えば膜厚100nmのアルミニウム(A1)層と膜厚50nmのチタン(Ti)層とをこの順に成膜してパターニングし、ゲートバスライン4と蓄積容量バスライン7とを形成する。パターニングは、被パターニング層上に所定のレジストパターンを形成し、得られたレジストパターンをエッチングマスクとして用いて被パターニング層をエッチングして、レジストパターンを剥離するフォトリソグラフィ法を用いて行われる。

【0057】

次に、例えば膜厚350nmのシリコン窒化膜(SiN膜)5、膜厚30nmのa-Si層13a及び膜厚120nmのSiN膜を連続成膜する。次に、全面にレジスト層を形成してゲートバスライン4をマスクにして背面露光し、さらに順方向からマスクを用いて露光してレジスト層をパターニングする。パターニングされたレジスト層をエッチングマスクとしてSiN膜をエッチングして、図19(a)に示すようにチャネル保護膜11を形成する。

【0058】

次に、図20(a)、(b)に示すように、例えば膜厚30nmの n^+ a-Si層、膜厚20nmのTi層、膜厚75nmのAl層及び膜厚40nmのTi層をこの順に成膜し、チャネル保護膜11をエッチングストップとして用いてパターニングし、ドレイン電極10、ソース電極12及びドレインバスライン6(図20では現れない)と、蓄積容量電極16とを形成する。以上の工程でTF T2が完成する。

【0059】

次に、ネガ型の感光性顔料分散タイプのR(赤)レジスト(JSR社製)を例えば膜厚 $3.0 \mu\text{m}$ に塗布する。次いで、プロキシミティ露光装置に基板3をセットすると共に赤色画素用のフォトマスクを例えばギャップ約 $100 \mu\text{m}$ で基板3表面に近接配置して約 100mJ の露光量で露光する。赤色画素用のフォトマスクには、基板3表面の赤色の画素領域以外と赤色の画素領域内のコンタクトホール19a、19bの形成領域を遮光するパターンが描画されている。赤色画素用のフォトマスクに描画されたコンタクトホール19a、19b形成用の遮光パターンは、形成すべきコンタクトホール19a、19bの底部輪郭とほぼ相似形であるが、光の回折現象を考慮して所定のオフセット量だけ大きく形成されている。コンタクトホール19a、19bの長短軸長比は0.25で、短軸の長さは $10 \mu\text{m}$ で長軸の長さは $40 \mu\text{m}$ である。このため、例えば平行2線分の対向端部間が外側に凸状の半円で結ばれた輪郭を有し、短軸長が $18 \mu\text{m}$ で長軸長が $48 \mu\text{m}$ の遮光パターンが形成されたフォトマスクを用いる。当該遮光パターンの短軸長($=18 \mu\text{m}$)は、従来の遮光パターンの1辺の長さの $28 \mu\text{m}$ より短いため、コンタクトホール19a、19b形成領域のカラーレジスト層に短軸両端側から露光光の回折光が回り込む可能性があるが、一方で、当該遮光パターンの長軸長($=48 \mu\text{m}$)は、従来の遮光パターンの1辺の長さの $28 \mu\text{m}$ より十分長いため、長軸両端側から露光光の回折光の回り込みが全く生じない領域ができる。このため、他の露光条件を調整することにより、コンタクトホール19a、19b形成領域のカラーレジスト層に基板3面に垂直方向に未感光領域を形成することができる。長軸両端側からの回折光の回り込みが全く生じない領域を確保しつつコンタクトホール底部の開口面積を最小にするには、長軸と短軸の長さの比(長短軸長比=

短軸長／長軸長)は0.5以下となることが望ましい。特に、底部輪郭内の面積が $600\mu\text{m}^2$ 以下の小径のコンタクトホール19a、19bの形成に際して上記の長短軸長比を適用することが望ましい。露光後、現像して未感光のレジスト層領域を溶解して除去する。洗浄後、 230°C で40分間のポストバーク処理を施し、図21(a)、(b)に示すように、ソース電極12及び蓄積容量電極16を露出して開口されたコンタクトホール19a、19bを有する樹脂CF層15(R)が赤色の画素領域に形成される。形成されたコンタクトホール19a、19bは、角部が丸みを帯びており、短軸の長さは $10\mu\text{m}$ であり長軸の長さは $40\mu\text{m}$ である。また、コンタクトホール19a、19bは、開口端側輪郭が底部輪郭より一回り大きく形成され、深さ方向に狭くなるテーパ状に形成される。

【0060】

同様にして、ネガ型の感光性顔料分散タイプのB(青)レジストを例えば膜厚 $3.0\mu\text{m}$ に塗布して、プロキシミティ露光装置に基板3をセットすると共に青色画素用のフォトマスクを基板3表面に近接配置して露光する。青色画素用のフォトマスクには、基板3表面の青色の画素領域以外と青色の画素領域内のコンタクトホール19a、19bの形成領域を遮光するパターンが描画されている。青色画素用のフォトマスクに描画されたコンタクトホール19a、19b形成用の遮光パターンは、形成すべきコンタクトホール19a、19bの底部輪郭とほぼ相似形であるが所定のオフセット量だけ大きく形成されている。露光後、現像し、ポストバーク処理を施してソース電極12及び蓄積容量電極16上で開口されたコンタクトホール19a、19bを有する樹脂CF層15(B)を青色の画素領域に形成する。

【0061】

同様にして、ネガ型の感光性顔料分散タイプのG(緑)レジストを例えば膜厚 $3.0\mu\text{m}$ に塗布して、プロキシミティ露光装置に基板3をセットして緑色画素用のフォトマスクを基板3表面に近接配置して露光する。緑色画素用のフォトマスクには、基板3表面の緑色の画素領域以外と緑色の画素領域内のコンタクトホール19a、19bの形成領域を遮光するパターンが描画されている。緑色画素用のフォトマスクに描画されたコンタクトホール19a、19b形成用の遮光パターンは、形成すべきコンタクトホール19a、19bの底部輪郭とほぼ相似形であるが所定のオフセット量だけ大きく形成されている。露光後、現像して、ポストバーク処理を施してソース電極12及び蓄積容量電極16上で開口されたコンタクトホール19a、19bを有する樹脂CF層15(G)を緑色の画素領域に形成する。

【0062】

次に、例えば膜厚 70nm のITOを全面に成膜してパターンニングし、図17に示すように、画素領域内の樹脂CF層15上面、樹脂CF層15を貫通するコンタクトホール19a、19b内壁面、及びコンタクトホール19a、19b底部に露出したソース電極12、蓄積容量電極16に接触する画素電極18を形成する。

【0063】

以上説明したように、本実施の形態によれば、樹脂CF層15に形成するコンタクトホール19a、19bにおいて、縦方向と横方向の長さが異なる底部輪郭パターンにすることにより、プロキシミティ露光装置を用いて低コストで画素開口率を向上させたCF-on-TFT構造を得ることができる。

なお、本実施例では、図16に示すようにトラック状の底部輪郭のコンタクトホール19a、19bとしたが、本発明はこれに限られない。ゲートバスライン4にほぼ平行な平行2線分に代えて、外側に凸状の曲線で結ばれた、例えば楕円形状の底部輪郭を有するコンタクトホール19a、19bにしてももちろんよい。

【0064】

なお、本実施例では、ドレイン電極10、ソース電極12及びドレインバスライン6等のソース／ドレイン形成層上に直接、樹脂CF層15(R、G、B)を形成したが、ソース／ドレイン形成層上に保護膜を形成し、当該保護膜上に樹脂CF層15(R、G、B)を形成してもよい。また、樹脂CF層15(R、G、B)上に保護膜を形成し、当該保護

膜上に画素電極 18 を形成してもよい。TFT 2 や樹脂 CF 層 15 (R、G、B) 等の形成材料や製造工程は上記以外でももちろんよい。

【0065】

(実施例 2-2)

実施例 2-2 による液晶表示装置用基板及びそれを備えた液晶表示装置及びその製造方法について図 22 乃至図 28 を用いて説明する。図 22 は本実施例による TFT 基板 1 上の 3 画素分の平面構成を示している。図 23 は、TFT 基板 1 の R 画素の一部断面を示している。図 23 (a) は図 22 の A-A 線で切断した TFT 基板 1 の断面を示しており、図 23 (b) は図 22 の B-B 線で切断した TFT 基板 1 の断面を示している。図 22 に示すように、TFT 基板 1 は、ガラス基板 3 上に、図中左右方向に延びる複数のゲートバスライン 4 (図 22 では 1 本のみ示している) と、ゲートバスライン 4 と絶縁膜 5 を介して交差して図中上下方向に延びる複数のドレインバスライン 6 とを有している。ゲートバスライン 4 とドレインバスライン 6 とで画素領域が画定される。両バスライン 4、6 の交差位置近傍には TFT 2 が形成されている。図 22 及び図 23 に示すように、TFT 2 は、直線状のゲートバスライン 4 の一部領域をゲート電極 4 として利用し、ゲート電極 4 上の絶縁膜 (ゲート絶縁膜) 5 を介して動作半導体層 13 を有している。ゲート電極 4 上方の動作半導体層 13 上面にはチャネル保護膜 11 が形成されている。チャネル保護膜 11 上で電氣的に分離されてドレイン電極 10 とソース電極 12 とが形成されている。ドレイン電極 10 はドレインバスライン 6 に接続されている。各画素領域のほぼ中央を横切って蓄積容量バスライン 7 がゲートバスライン 4 と平行に形成されている。蓄積容量バスライン 7 は、ゲートバスライン 4 と同一の形成金属で形成されている。蓄積容量バスライン 7 上には、絶縁膜 5 を介して蓄積容量電極 16 が形成されている。ソース電極 12 は接続配線 12a により蓄積容量電極 16 に接続されている。各画素領域には樹脂 CF 層 15 が形成されている。図 23 (a)、(b) に示すように、樹脂 CF 層 15 は TFT 2 及びドレインバスライン 6 上にも形成されている。また、図 22 に示すように、各画素領域の樹脂 CF 層 15 には、蓄積容量バスライン 7 上方で蓄積容量バスライン 7 に沿って設けられ、蓄積容量電極 16 に達するコンタクト用溝 19c が形成されている。樹脂 CF 層 15 は、コンタクト用溝 19c により各画素領域内で 2 領域に分割されている。蓄積容量電極 16 上で樹脂 CF 層 15 を開口したコンタクト用溝 19c の底部は、図 22 に示すように、TFT 基板 1 表面に向かって見て、幅 10 μm で蓄積容量バスライン 7 に沿って各画素間を跨って直線状に形成されている。

【0066】

コンタクト用溝 19c が形成された樹脂 CF 層 15 上にはポジ型の感光性樹脂を用いて OC 層 17 が形成されている。OC 層 17 上に画素電極 18 が形成されている。画素電極 18 は、樹脂 CF 層 15 のコンタクト用溝 19c が形成された領域に、さらに OC 層 17 を貫通して形成されたコンタクトホール 19d を介して蓄積容量電極 16 に接続されている。コンタクトホール 19d は内径が約 8 μm の円形の底部輪郭を有している。

【0067】

本実施例の構成は、接続配線 12a を介してソース電極 12 を蓄積容量電極 16 に接続しているので、画素電極 18 との接続はコンタクトホール 19d だけで済む。さらに、蓄積容量バスライン 7 の幅内にコンタクト用溝 19c が形成され、コンタクト用溝 19c 内方にコンタクトホール 19d が形成されている。このため、コンタクト用溝 19c 及びコンタクトホール 19d の底部開口の接続用領域を別途余分に設けなくて済むので従来に比して画素開口率を向上できる。

【0068】

次に、本実施例による液晶表示装置用基板の製造方法について、図 23 乃至図 28 の製造工程断面図を用いて説明する。図 23 乃至図 28 において、(a) は図 22 に示す A-A 線で切断した TFT 基板 1 の断面を示しており、(b) は図 22 に示す B-B 線で切断した TFT 基板 1 の断面を示している。まず、図 24 (a)、(b) に示すように、ガラス基板 3 上の全面に、例えば膜厚 100 nm のアルミニウム (Al) 層と膜厚 50 nm の

チタン (Ti) 層とをこの順に成膜してパターンニングし、ゲートバスライン 4 と蓄積容量バスライン 7 とを形成する。

【0069】

次に、例えば膜厚 350 nm のシリコン窒化膜 (SiN 膜) 5、膜厚 30 nm の a-Si 層 13a 及び膜厚 120 nm の SiN 膜を連続成膜する。次に、全面にレジスト層を形成してゲートバスライン 4 をマスクにして背面露光し、さらに順方向からマスクを用いて露光してレジスト層をパターンニングする。パターンニングされたレジスト層をエッチングマスクとして SiN 膜をエッチングして、図 25 (a) に示すようにチャネル保護膜 11 を形成する。

【0070】

次に、図 26 (a)、(b) に示すように、例えば膜厚 30 nm の n⁺a-Si 層、膜厚 20 nm の Ti 層、膜厚 75 nm の Al 層及び膜厚 40 nm の Ti 層をこの順に成膜し、チャネル保護膜 11 をエッチングストップとして用いてパターンニングし、ドレイン電極 10、ソース電極 12 及びドレインバスライン 6 (図 26 では現れない) と、蓄積容量電極 16 とを形成する。また、同時に、ソース電極 12 と蓄積容量電極 16 とを接続する接続配線 12a (図 26 では現れない) を形成する。以上の工程で TFT 2 が完成する。

【0071】

次に、ネガ型の感光性顔料分散タイプの R レジストを例えば膜厚 1.8 µm に塗布する。次いで、プロキシミティ露光装置に基板 3 をセットすると共に赤色画素用のフォトマスクを例えばギャップ約 100 µm で基板 3 表面に近接配置して約 100 mJ の露光量で露光する。赤色画素用のフォトマスクには、基板 3 表面の赤色の画素領域以外と赤色の画素領域内のコンタクト用溝 19c の形成領域を遮光するパターンが描画されている。赤色画素用のフォトマスクに描画されたコンタクト用溝 19c 形成用の遮光パターンは、形成すべきコンタクト用溝 19c の底部輪郭とほぼ相似形であるが、光の回折現象を考慮して所定のオフセット量だけ大きく形成されている。コンタクト用溝 19c の底部幅は 10 µm である。フォトマスクに形成されたコンタクト用溝 19c 形成用の遮光パターンの幅は 18 µm 程度であり、従来の遮光パターンの 1 辺の長さの 28 µm より短いため、コンタクト用溝 19c 形成領域のカラーレジスト層に遮光パターンの幅方向から露光光の回折光が回り込む可能性があるが、一方で、当該遮光パターンの長さ方向から露光光の回折光の回り込みは全く生じない。このため、露光強度等を調整することにより、コンタクト用溝 19c 形成領域のカラーレジスト層に基板 3 面の垂直方向に未感光領域を形成することができる。露光後、現像して未感光のレジスト層領域を溶解して除去する。洗浄後、230 °C で 40 分間のポストバーク処理を施し、図 27 (b) に示すように、蓄積容量電極 16 を露出して開口されたコンタクト用溝 19c を有する樹脂 CF 層 15 (R) が赤色の画素領域に形成される。形成されたコンタクト用溝 19c は、画素領域を横断する底部幅が 10 µm のストライプ状になる。また、コンタクト用溝 19c は、開口端側幅が底部幅より一回り大きく形成され、深さ方向に狭くなるテーパ状に形成される。

【0072】

同様にして、ネガ型の感光性顔料分散タイプの B レジストを例えば膜厚 1.8 µm に塗布して、プロキシミティ露光装置に基板 3 をセットすると共に青色画素用のフォトマスクを基板 3 表面に近接配置して露光する。青色画素用のフォトマスクには、基板 3 表面の青色の画素領域以外と青色の画素領域内のコンタクト用溝 19c の形成領域を遮光するパターンが描画されている。青色画素用のフォトマスクに描画されたコンタクト用溝 19c 形成用の遮光パターンは、形成すべきコンタクト用溝 19c の底部幅とほぼ相似形であるが所定のオフセット量だけ大きく形成されている。露光後、現像し、ポストバーク処理を施して蓄積容量電極 16 上で開口されたコンタクト用溝 19c を有する樹脂 CF 層 15 (B) を青色の画素領域に形成する。

【0073】

同様にして、ネガ型の感光性顔料分散タイプの G レジストを例えば膜厚 1.8 µm に塗布して、プロキシミティ露光装置に基板 3 をセットして緑色画素用のフォトマスクを基板

10

20

30

40

50

3 表面に近接配置して露光する。緑色画素用のフォトマスクには、基板 3 表面の緑色の画素領域以外と緑色の画素領域内のコンタクト用溝 19 c の形成領域を遮光するパターンが描画されている。緑色画素用のフォトマスクに描画されたコンタクト用溝 19 c 形成用の遮光パターンは、形成すべきコンタクト用溝 19 c の底部輪郭とほぼ相似形であるが所定のオフセット量だけ大きく形成されている。露光後、現像して、ポストバーク処理を施して蓄積容量電極 16 上で開口されたコンタクト用溝 19 c を有する樹脂 CF 層 15 (G) を緑色の画素領域に形成する。

【0074】

次に、樹脂 CF 層 15 形成後の基板全面にポジ型の感光性樹脂を膜厚 2.0 μm 程度塗布し、コンタクトホール 19 d 形成用パターンが描画されたフォトマスクを用いて近接露光し、現像して OC 層 17 を形成する。OC 層 17 には、図 28 に示すように、樹脂 CF 層 15 に形成したコンタクト用溝 19 c に位置を合わせてコンタクトホール 19 d が形成される。ポジ型の感光性樹脂を用いているため、プロキシミティ露光装置を用いた近接露光でも内径約 8 μm の円形の底部輪郭を有するコンタクトホール 19 d を確実に形成できる。

【0075】

次に、例えば膜厚 70 nm の ITO を全面に成膜してパターニングし、図 23 に示すように、画素領域内の樹脂 CF 層 15 上面、樹脂 CF 層 15 を貫通するコンタクトホール 19 d 内壁面、及びコンタクトホール 19 d 底部に露出した蓄積容量電極 16 に接触する画素電極 18 を形成する。

【0076】

以上説明したように、本実施の形態によれば、樹脂 CF 層 15 に形成するコンタクト用溝 19 c において、蓄積容量バスライン 7 に沿って画素領域内を横断する底部輪郭パターンにすることにより、プロキシミティ露光装置を用いて低コストで画素開口率を向上させた CF-on-TFT 構造を得ることができる。

【0077】

なお、本実施例では、ドレイン電極 10、ソース電極 12 及びドレインバスライン 6 等のソース／ドレイン形成層上に直接、樹脂 CF 層 15 (R、G、B) を形成したが、ソース／ドレイン形成層上に保護膜を形成し、当該保護膜上に樹脂 CF 層 15 (R、G、B) を形成してもよい。また、樹脂 CF 層 15 (R、G、B) 上に保護膜を形成し、当該保護膜上に画素電極 18 を形成してもよい。TFT 2 や樹脂 CF 層 15 (R、G、B) 等の形成材料や製造工程は上記以外でももちろんよい。

【0078】

なお、本実施例ではドレイン金属形成層上に直接 CF レジスト層を形成したが、ドレイン金属形成層上にパッシベーション膜を形成した上に CF レジスト層を形成するようにしてももちろんよい。また、本実施例では CF 樹脂上に OC 層を形成したが、OC 層を設けずに樹脂 CF 層上に直接画素電極 18 を形成してもよい。

【0079】

(実施例 2-3)

実施例 2-3 による液晶表示装置用基板について図 29 を用いて説明する。図 29 は本実施例による TFT 基板 1 上の 3 画素分の平面構成を示している。本実施例による液晶表示装置用基板は、実施例 2-2 と同様にソース電極 12 と蓄積容量電極 16 とを接続配線 12 a で接続した構造を有している。本実施例による液晶表示装置用基板は実施例 2-2 で用いられている OC 層が形成されておらず、このため実施例 2-1 とほぼ同一の製造方法で製造される。

【0080】

図 29 に示す構成は、画素領域内に形成された蓄積容量電極 16 と画素電極 18 とを接続するためのコンタクトホールの底部開口の輪郭の形状や面積が異なっている点に特徴を有している。すなわち、赤色の画素領域に形成されたコンタクトホール 19 b は、実施例 2-1 で示したものと同一底部輪郭形状及び寸法を有している。これに対し、緑色の画素

10

20

30

40

50

領域に形成されたコンタクトホール19b'は、コンタクトホール19bより長軸の長さが短く形成されており、従って、底部輪郭の開口面積がコンタクトホール19bより小さく形成されている。また、青色の画素領域にはコンタクトホールに代えて実施例2-2で示したコンタクト用溝19cが形成されている。

【0081】

このように色毎にコンタクトホール（コンタクト用溝を含む）の底部輪郭形状及び開口面積を変更することにより、樹脂CF層15（R、G、B）を形成する各カラーレジストの解像能力の相違に対応させて、必要最小限の底部開口面積を得ることができる。本実施例では、一般に最も解像能力の低い青（B）色のカラーレジスト層には、確実に底部開口を開けるためにコンタクト用溝19cを形成している。一方、解像能力が高い緑（G）色のカラーレジスト層には、コンタクトホール底部開口に露出する金属層の面積をできる限り小さくしたコンタクトホール19b'を形成している。こうすることにより、液晶表示装置の表示パネル側から入射した光の反射量をできる限り減らして、表示品位を向上させることができる。

【0082】

また、色毎に一律にコンタクトホールやコンタクト用溝の底部輪郭形状及び開口面積を変更するのではなく、ガラス基板3上の各所に形成されるコンタクトホールやコンタクト用溝のそれぞれについて、レジスト層の解像能力の相違に基づいて最適な底部輪郭形状及び開口面積に変更するようにしてももちろんよい。

【0083】

以上説明したように、本実施の形態によれば、TF基板の上にCFが形成されている液晶表示用基板において、CF層を挟む上下電極（ソース電極及び画素電極）を電氣的にコンタクトさせるためにCF層に形成する穴形状を縦方向と横方向の長さが異なる形状にすることになっている。これにより、高開口率による輝度向上を達成しつつ、プロキシミティ露光装置等の通常のCF形成装置やプロセスを用いても、画素開口率ロスを最低限にしながらCF層の解像能力を向上させ、簡便なプロセス設計と安定したプロセスを提供することが可能となる。

【0084】

さらに、RGB毎にコンタクト用の穴もしくは溝の大きさを変更することにより、CFレジストの色毎に解像能力が異なる現象に対応し、CFで覆われていないメタル面積が大きくなり過ぎることによるパネル表示時の反射率向上を抑制し、高品位な液晶表示装置を提供することができる。また、形成プロセスの特徴に合わせてパネル内でコンタクト用の穴もしくは溝の大きさを変更することにより同様の効果が得られる。

【0085】

以上説明した本発明の第1の実施の形態による液晶表示装置用基板および液晶表示装置は、以下のようにまとめられる。

（付記1）

複数の画素領域にそれぞれ形成された画素電極と前記画素電極を駆動するスイッチング素子との間に形成されたパッシベーション膜と、前記パッシベーション膜上に形成されたカラーフィルタ層と、を有する液晶表示装置用基板において、

前記パッシベーション膜は、窒化シリコン層と酸化シリコン層または酸窒化シリコン層との積層構造を有し、前記カラーフィルタ層に接して前記酸化シリコン層または前記酸窒化シリコン層が形成されていることを特徴とする液晶表示装置用基板。

（付記2）

前記酸化シリコン層または前記酸窒化シリコン層は、膜厚が3nm以上20nm以下であることを特徴とする付記1記載の液晶表示装置用基板。

（付記3）

前記窒化シリコン層は、シリコン原子および窒素原子の組成を変えた2種以上の窒化シリコンを積層した構造を有していることを特徴とする付記1記載の液晶表示装置用基板。

（付記4）

前記窒化シリコン層は、前記カラーフィルタ層に接する前記酸化シリコン層若しくは前記酸窒化シリコン層に近い領域ほどシリコン原子濃度が高くなるように形成され、または、前記カラーフィルタ層に接する前記酸化シリコン層若しくは前記酸窒化シリコン層に近い領域ほどシリコン原子に結合する水素原子の濃度が高くなるように形成されていることを特徴とする付記 1 記載の液晶表示装置用基板。

(付記 5)

複数の画素領域にそれぞれ形成された画素電極と前記画素電極を駆動するスイッチング素子との間に形成されたパッシベーション膜と、前記パッシベーション膜上に形成されたカラーフィルタ層と、を有する液晶表示装置用基板と、前記液晶表示装置用基板に対向配置される対向基板と、前記液晶表示装置用基板と前記対向基板との間に挟まれた液晶層と、を有する液晶表示装置において、

前記液晶表示装置用基板は、前記パッシベーション膜が窒化シリコン層と酸化シリコン層または酸窒化シリコン層との積層構造を有し、前記カラーフィルタ層に接して前記酸化シリコン層または前記酸窒化シリコン層が形成されていることを特徴とする液晶表示装置。

(付記 6)

対向基板に液晶層を挟んで対向配置される絶縁性基板と、

前記絶縁性基板上に配置されてスイッチング素子と窒化シリコン層と酸化シリコン層または酸窒化シリコン層と樹脂カラーフィルタ層と画素電極とが順に形成された複数の画素領域からなる表示領域と、

前記表示領域の前記樹脂カラーフィルタ層と前記画素電極との間に形成された絶縁性樹脂材料からなるオーバーコート層と、を有し、

前記スイッチング素子上の各層に開口されたコンタクトホールは、前記樹脂カラーフィルタ層 > 前記オーバーコート層 $\geq$ 前記酸化シリコン層または前記酸窒化シリコン層 $\geq$ 前記窒化シリコン層の関係を有していることを特徴とする液晶表示装置用基板。

【0086】

以上説明した本発明の第 2 の実施の形態による液晶表示装置用基板および液晶表示装置は、以下のようにまとめられる。

(付記 7)

画素領域に形成されたスイッチング素子と、

前記画素領域に形成された樹脂カラーフィルタ層と、

前記樹脂カラーフィルタ層上に形成された画素電極と、

前記スイッチング素子と前記画素電極とを電気的に接続するために前記樹脂カラーフィルタ層を貫通して形成され、底部輪郭の縦方向と横方向の長さが異なり、角部が丸みを帯びたコンタクトホールと

を有することを特徴とする液晶表示装置用基板。

(付記 8)

付記 7 記載の液晶表示装置用基板において、

前記底部輪郭の長軸と短軸の長さの比（長短軸長比 = 短軸長 / 長軸長）は 0.5 以下であること

を特徴とする液晶表示装置用基板。

(付記 9)

付記 7 記載の液晶表示装置用基板において、

前記底部輪郭内の面積は、 $600 \mu\text{m}^2$ 以下であること

を特徴とする液晶表示装置用基板。

(付記 10)

画素領域に形成されたスイッチング素子と、

前記画素領域に形成された樹脂カラーフィルタ層と、

前記樹脂カラーフィルタ層上に形成された画素電極と、

前記スイッチング素子と前記画素電極とを電気的に接続するために前記樹脂カラーフィ

10

20

30

40

50

ルタ層を貫通して底部輪郭を形成したコンタクト用溝とを有することを特徴とする液晶表示装置用基板。

(付記 1 1)

付記 1 0 記載の液晶表示装置用基板において、
前記画素領域内を横断する蓄積容量バスラインを有し、
前記コンタクト用溝の底部輪郭は、前記蓄積容量バスライン上方に形成され、前記蓄積容量バスラインの幅より狭いことを特徴とする液晶表示装置用基板。

(付記 1 2)

付記 1 0 又は 1 1 に記載の液晶表示装置用基板において、
前記コンタクト用溝は、前記画素領域内で前記樹脂カラーフィルタ層を分割していることを特徴とする液晶表示装置用基板。 10

(付記 1 3)

付記 7 乃至 1 2 のいずれか 1 項に記載の液晶表示装置用基板において、
前記樹脂カラーフィルタ層の配置位置に応じて、前記底部輪郭内の開口面積が異なることを特徴とする液晶表示装置用基板。

(付記 1 4)

付記 1 3 記載の液晶表示装置用基板において、
前記樹脂カラーフィルタ層の色毎に、前記底部輪郭内の開口面積が異なることを特徴とする液晶表示装置用基板。 20

(付記 1 5)

付記 7 乃至 1 4 のいずれか 1 項に記載の液晶表示装置用基板において、
前記樹脂カラーフィルタ層の形成材料は、ネガ型であることを特徴とする液晶表示装置用基板。

(付記 1 6)

各画素領域に形成された画素電極と、前記画素電極を駆動するスイッチング素子と、前記スイッチング素子と前記画素電極との間に形成されたカラーフィルタ層とを有する液晶表示装置用基板と、前記液晶表示装置用基板に対向配置される対向基板と、前記液晶表示装置用基板と前記対向基板との間に挟まれた液晶層とを有する液晶表示装置において、
前記液晶表示装置用基板として、付記 7 乃至 1 5 のいずれか 1 項に記載された液晶表示装置用基板を用いることを特徴とする液晶表示装置。 30

【符号の説明】

【0 0 8 7】

- 1 TFT 基板
- 2 TFT
- 3 ガラス基板
- 4 ゲートバスライン 40
- 4 a Al 系金属層
- 4 b 高融点金属層
- 5 絶縁膜
- 6 ドレインバスライン
- 7 蓄積容量バスライン
- 8 a, 8 b 上部金属層
- 9 a, 9 b オーミックコンタクト層
- 9 c n^+ 型 a-Si 層
- 1 0 ドレイン電極
- 1 1 チャネル保護膜 50

- 11a, 14a, 14b SiN層
- 12 ソース電極
- 12a 接続配線
- 13 動作半導体層
- 13a a-Si層
- 14 パッシベーション膜
- 14c SiO層
- 15 樹脂CF層
- 15a, 15b, 19a, 19b, 19b', 21, 22 コンタクトホール
- 16 蓄積容量電極
- 17 OC層
- 18 画素電極
- 19c コンタクト用溝
- 20 金属層

【先行技術文献】

【特許文献】

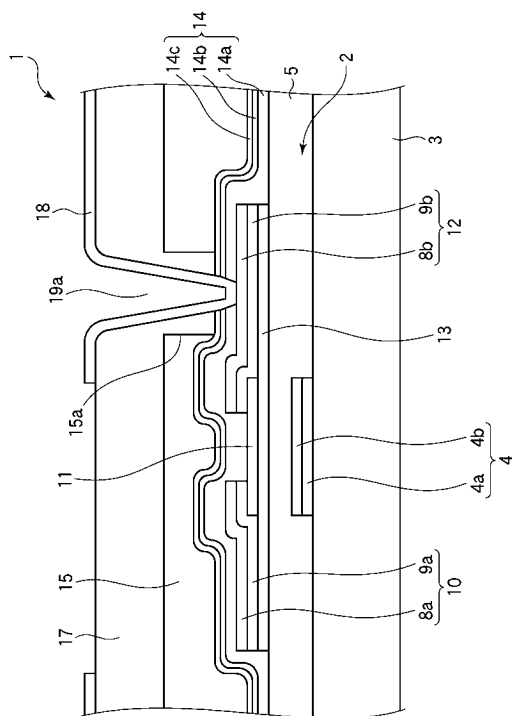
【0088】

【特許文献1】特開平6-202153号公報

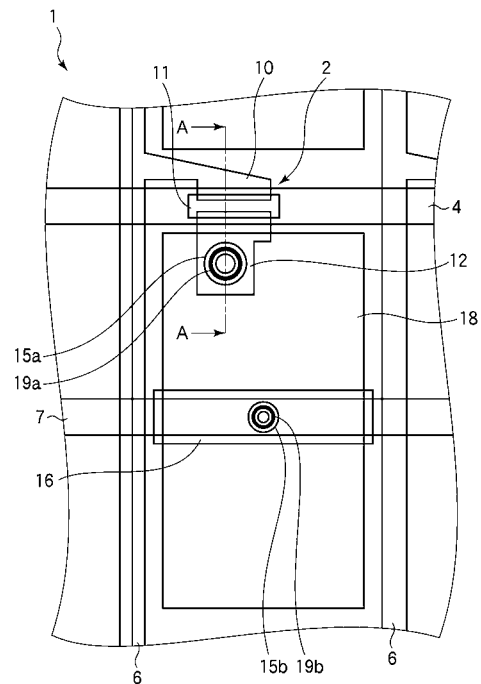
【特許文献2】特開平10-39292号公報

10

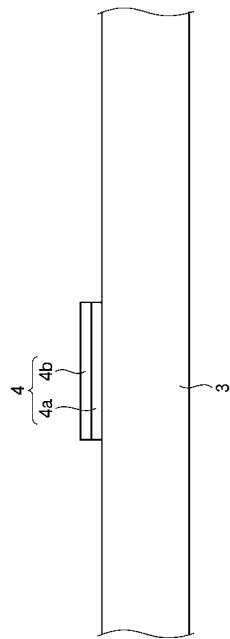
【図1】



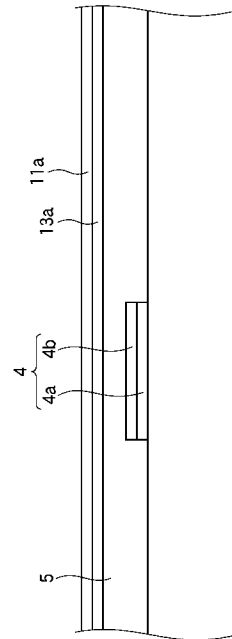
【図2】



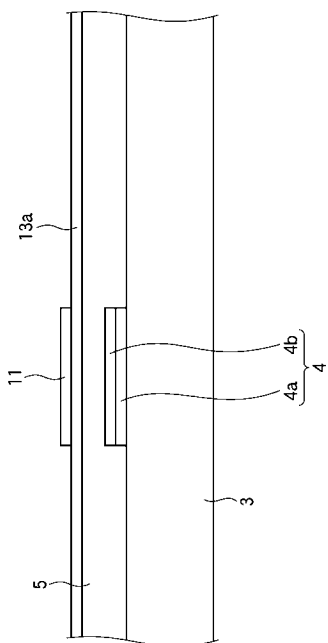
【図 3】



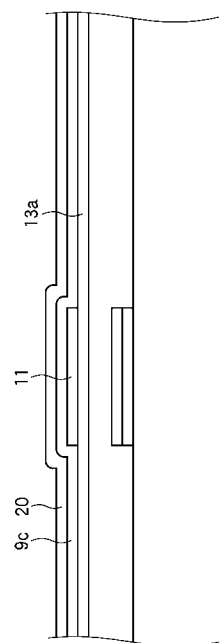
【図 4】



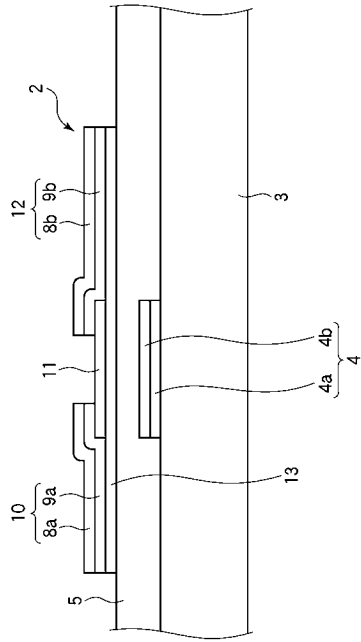
【図 5】



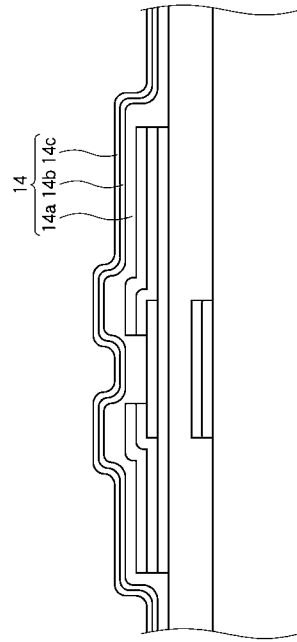
【図 6】



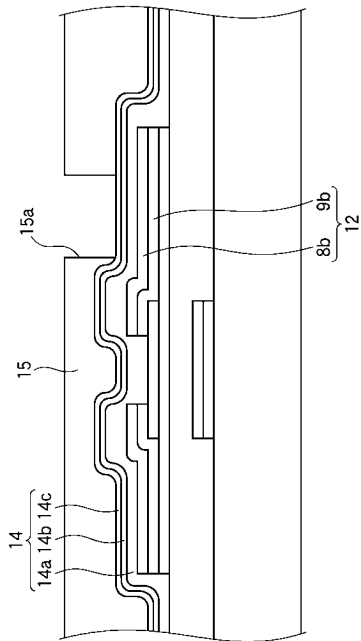
【図 7】



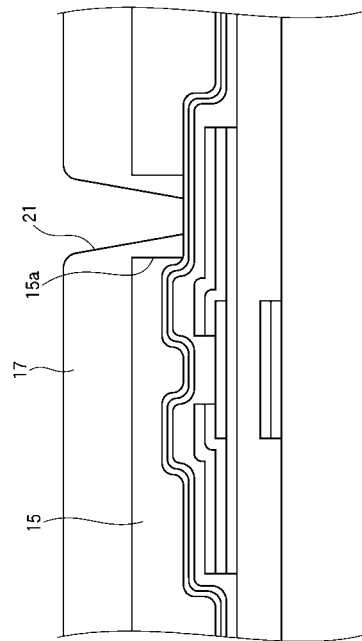
【図 8】



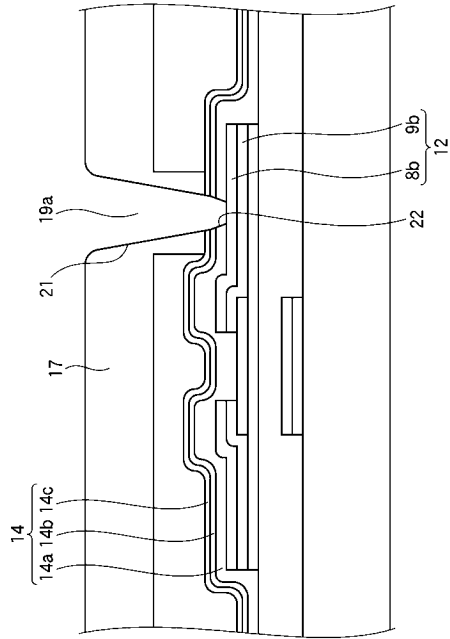
【図 9】



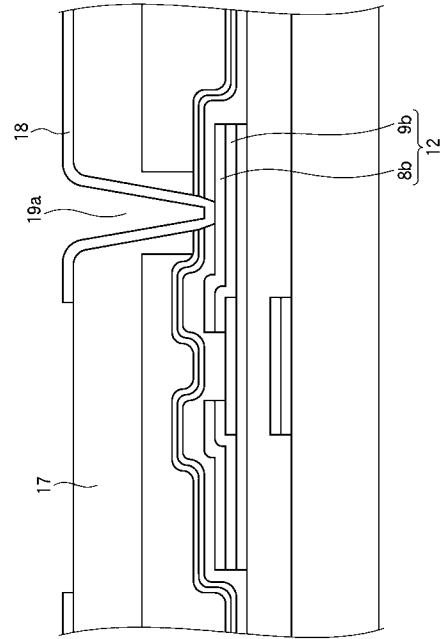
【図 10】



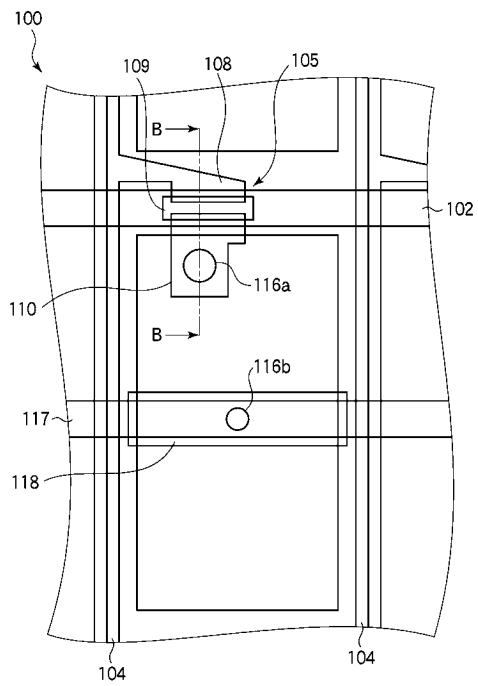
【図 1 1】



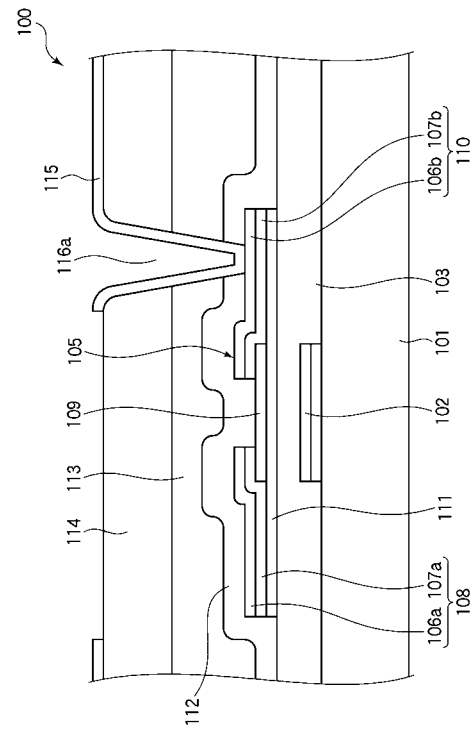
【図 1 2】



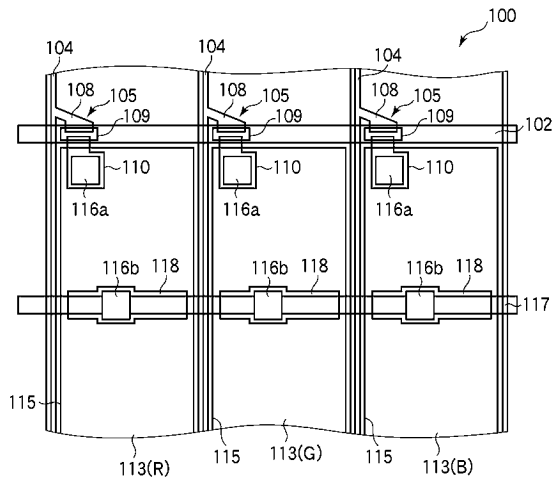
【図 1 3】



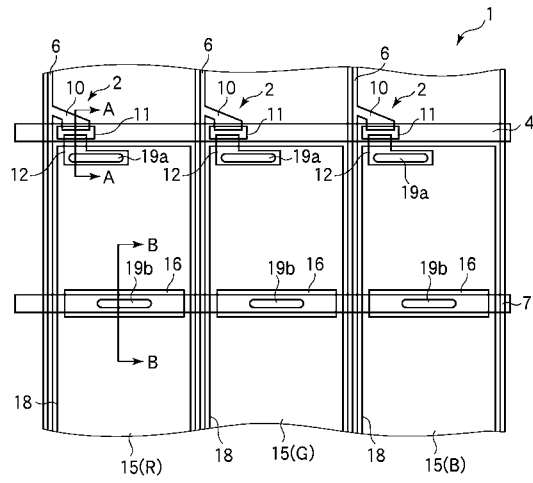
【図 1 4】



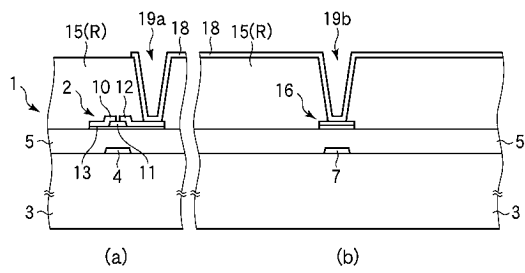
【図 15】



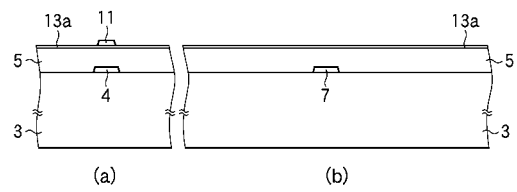
【図 16】



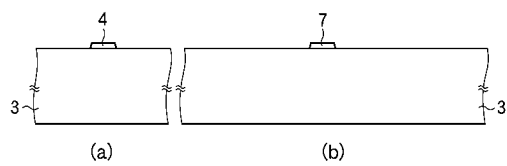
【図 17】



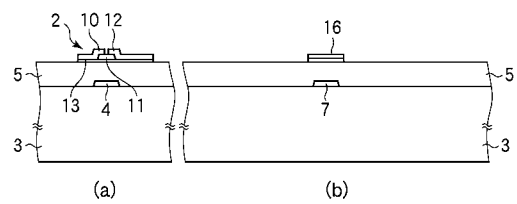
【図 19】



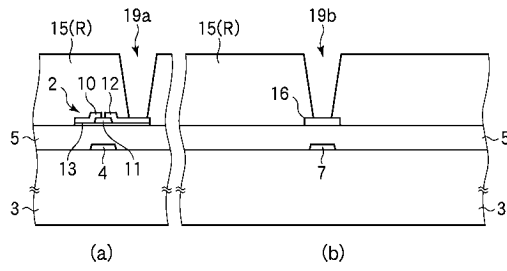
【図 18】



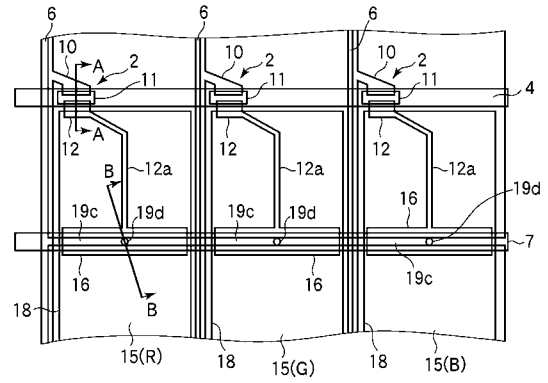
【図 20】



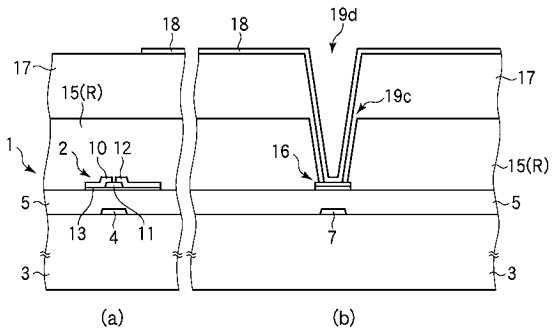
【図 2 1】



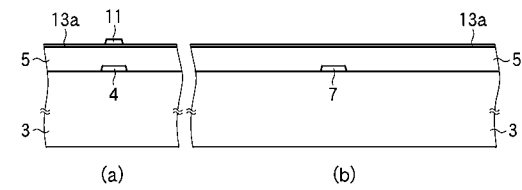
【図 2 2】



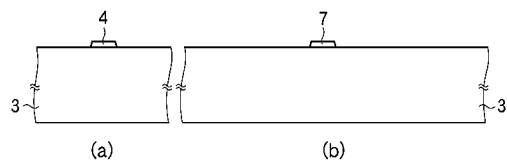
【図 2 3】



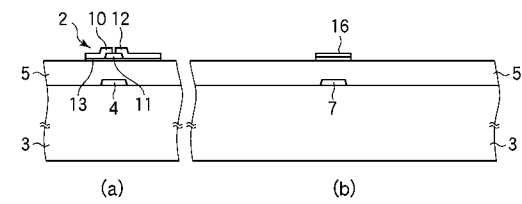
【図 2 5】



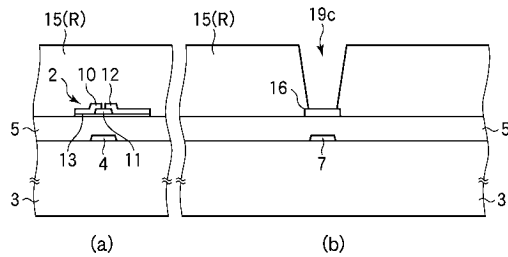
【図 2 4】



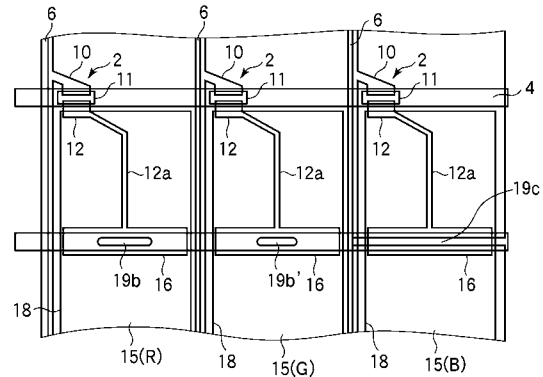
【図 2 6】



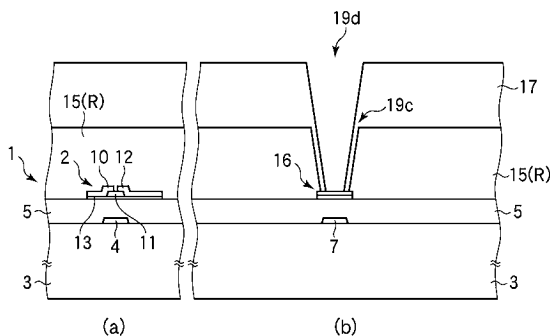
【図 27】



【図 29】



【図 28】



【手続補正書】

【提出日】平成21年8月25日(2009.8.25)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

画素領域に形成されたスイッチング素子と、
 前記画素領域に形成された樹脂カラーフィルタ層と、
 前記樹脂カラーフィルタ層上に形成された画素電極と、
 前記スイッチング素子と前記画素電極とを電気的に接続するために前記樹脂カラーフィルタ層を貫通して形成され、底部輪郭の縦方向と横方向の長さが異なり、角部が丸みを帯びたコンタクトホールと
 を有することを特徴とする液晶表示装置用基板。

【請求項2】

請求項1記載の液晶表示装置用基板において、
 前記底部輪郭の長軸と短軸の長さの比（長短軸長比＝短軸長／長軸長）は0.5以下であること
 を特徴とする液晶表示装置用基板。

【請求項3】

画素領域に形成されたスイッチング素子と、
 前記画素領域に形成された樹脂カラーフィルタ層と、
 前記樹脂カラーフィルタ層上に形成された画素電極と、

前記スイッチング素子と前記画素電極とを電氣的に接続するために前記樹脂カラーフィルタ層を貫通して底部輪郭を形成したコンタクト用溝とを有することを特徴とする液晶表示装置用基板。

【請求項 4】

請求項 3 記載の液晶表示装置用基板において、
前記画素領域内を横断する蓄積容量バスラインを有し、
前記コンタクト用溝の底部輪郭は、前記蓄積容量バスライン上方に形成され、前記蓄積容量バスラインの幅より狭いことを特徴とする液晶表示装置用基板。

【請求項 5】

請求項 1 乃至 3 のいずれか 1 項に記載の液晶表示装置用基板において、
前記樹脂カラーフィルタ層の色毎に、前記底部輪郭内の開口面積が異なることを特徴とする液晶表示装置用基板。

【請求項 6】

請求項 1 乃至 5 のいずれか 1 項に記載の液晶表示装置用基板において、
前記樹脂カラーフィルタ層の形成材料は、ネガ型であることを特徴とする液晶表示装置用基板。

フロントページの続き

(72)発明者 田野瀬 友則

神奈川県川崎市中原区上小田中4丁目1番1号 富士通ディスプレイテクノロジーズ株式会社内

Fターム(参考) 2H092 JA26 JA40 JA44 JA46 JA47 JB24 JB33 JB57 JB64 JB69

KA22 KA24 KB04 KB24 NA18 NA29 PA08

2H191 FA06Y FB04 FC10 FD04 FD07 FD20 GA10 GA19 LA13

专利名称(译)	用于液晶显示装置的基板和使用该基板的液晶显示装置		
公开(公告)号	JP2009276788A	公开(公告)日	2009-11-26
申请号	JP2009194070	申请日	2009-08-25
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	美崎克紀 澤崎学 田野瀬友則		
发明人	美崎 克紀 澤崎 学 田野瀬 友則		
IPC分类号	G02F1/1368 G02F1/1335 G02F1/136 G02F1/1362 H01L29/786		
CPC分类号	G02F1/136227 G02F2001/136222 F16K25/02 F16K31/0668 F16K47/023		
FI分类号	G02F1/1368 G02F1/1335.505 G02F1/1343		
F-TERM分类号	2H092/JA26 2H092/JA40 2H092/JA44 2H092/JA46 2H092/JA47 2H092/JB24 2H092/JB33 2H092/JB57 2H092/JB64 2H092/JB69 2H092/KA22 2H092/KA24 2H092/KB04 2H092/KB24 2H092/NA18 2H092/NA29 2H092/PA08 2H191/FA06Y 2H191/FB04 2H191/FC10 2H191/FD04 2H191/FD07 2H191/FD20 2H191/GA10 2H191/GA19 2H191/LA13 2H192/AA24 2H192/BC33 2H192/BC35 2H192/BC42 2H192/CB05 2H192/CB35 2H192/CB71 2H192/CC04 2H192/CC32 2H192/CC42 2H192/CC72 2H192/DA12 2H192/DA23 2H192/DA43 2H192/DA72 2H192/EA42 2H192/EA56 2H192/EA74 2H192/HA36 2H192/HA62 2H291/FA06Y 2H291/FB04 2H291/FC10 2H291/FD04 2H291/FD07 2H291/FD20 2H291/GA10 2H291/GA19 2H291/LA13		
代理人(译)	盛冈正树		
优先权	2003090834 2003-03-28 JP		
其他公开文献	JP5101580B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：在阵列基板侧的具有CF的LCD基板中抑制CF的残留和剥离，以消除导电故障。 解决方案：在形成于多个像素区域中的每一个中的像素电极与用于驱动像素电极的TFT 2之间形成的钝化膜14具有SiN层14a，14b和SiO₂层14c的层叠结构最上层称为SiO₂层14c。在具有这种层叠结构的钝化膜14上形成树脂CF层15。由于树脂CF层15直接形成在SiO₂层14c上，因此可以抑制其粘附性的降低，并且当形成树脂CF层15时CF变得难以剥离，从而到树脂CF层15的接触孔在形成时，CF的残留物不太可能产生。因此，抑制了导电不良，并且实现了具有优异显示特性的高可靠性TFT基板1和LCD。 点域1

