

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-265615

(P2009-265615A)

(43) 公開日 平成21年11月12日(2009.11.12)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1343 (2006.01)	G02F 1/1343	2H092
G09G 3/36 (2006.01)	G09G 3/36	5C006
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
G09F 9/30 (2006.01)	G09G 3/20 641C	5C094
G02F 1/1368 (2006.01)	G09G 3/20 680F	

審査請求 未請求 請求項の数 9 O L (全 17 頁) 最終頁に続く

(21) 出願番号 特願2009-17622 (P2009-17622)
 (22) 出願日 平成21年1月29日 (2009.1.29)
 (31) 優先権主張番号 10-2008-0037776
 (32) 優先日 平成20年4月23日 (2008.4.23)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839
 三星電子株式会社
 SAMSUNG ELECTRONICS
 CO., LTD.
 大韓民国京畿道水原市靈通区梅灘洞 416
 416, Maetan-dong, Yeongtong-gu, Suwon-si,
 Gyeonggi-do 442-742
 (KR)

(74) 代理人 110000408
 特許業務法人高橋・林アンドパートナーズ

(72) 発明者 陸 建 綱
 大韓民国京畿道水原市靈通区靈通洞 ピョ
 ックチョックゴル8団地アパートメント8
 33棟404号

最終頁に続く

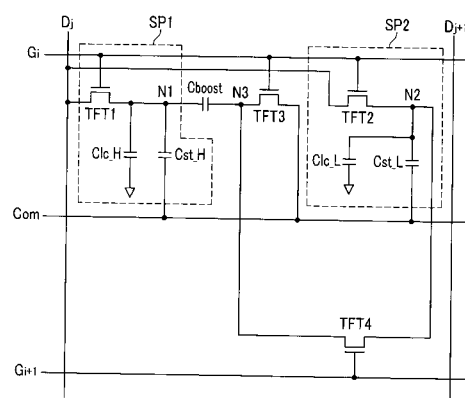
(54) 【発明の名称】 表示装置

(57) 【要約】 (修正有)

【課題】基板上に形成された薄膜トランジスタによって駆動される表示装置において、側面視認性に優れた液晶表示装置を提供する。

【解決手段】第1副画素部SP1、第2副画素部SP2、及び電荷分配キャパシタCboostを含む複数の画素を含む。前記電荷分配キャパシタCboostは第1副画素部SP1及び第2副画素部SP2と接続して、前記第1副画素部SP1に充電された電圧と前記第2副画素部SP2に充電された電圧とを互いに異ならせることにより、側面視認性を改善する役割を果たす。前記電荷分配キャパシタCboostの一つの電極であるカップリング電極は、不透明な金属からなる維持電極ラインの上に形成されることによって、前記画素の開口率を増加させる。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

第 1 ゲート線及び第 2 ゲート線と、
前記第 1 ゲート線及び前記第 2 ゲート線と交差するデータ線と、
第 1 画素電極と、
前記第 1 ゲート線、前記データ線、及び前記第 1 画素電極と接続された第 1 薄膜トランジスタと、
第 2 画素電極と、
前記第 1 ゲート線、前記データ線、及び第 2 画素電極と接続された第 2 薄膜トランジスタと、
維持電極と、
前記第 1 ゲート線及び前記維持電極と接続された第 3 薄膜トランジスタと、
前記第 1 画素電極と重畳して電荷分配キャパシタを形成し、前記維持電極の上に形成されたカップリング電極 と、
前記第 2 ゲート線、前記カップリング電極、及び前記第 2 画素電極と接続された第 4 薄膜トランジスタと、
を有することを特徴とする表示装置。

10

【請求項 2】

前記第 3 薄膜トランジスタは、前記カップリング電極と接続されたソース電極と、前記維持電極と接続されたドレイン電極とを有し、
前記第 4 薄膜トランジスタは、前記カップリング電極と接続されたソース電極と、前記第 2 画素電極と接続されたドレイン電極とを有することを特徴とする請求項 1 に記載の表示装置。

20

【請求項 3】

前記第 3 薄膜トランジスタの前記ドレイン電極は、前記維持電極と接続電極によって互いに接続することを特徴とする請求項 2 に記載の表示装置。

【請求項 4】

前記第 3 薄膜トランジスタの前記ドレイン電極と前記維持電極とは、互いに異なる層に互いに異なる金属で形成されたことを特徴とする請求項 3 に記載の表示装置。

30

【請求項 5】

前記接続電極は前記画素電極の切開部と重畳することを特徴とする請求項 3 に記載の表示装置。

【請求項 6】

前記維持電極は、前記第 1 画素電極と重畳して第 1 補助容量キャパシタを形成し、前記第 2 画素電極と重畳して第 2 補助容量キャパシタを形成することを特徴とする請求項 1 に記載の表示装置。

【請求項 7】

前記維持電極と前記第 1 補助容量キャパシタを形成し、第 1 コンタクトホールによって前記第 1 画素電極と接続する第 1 補助電極と、

前記維持電極と前記第 2 補助容量キャパシタを形成し、第 2 コンタクトホールによって前記第 2 画素電極と接続する第 2 補助電極とを有することを特徴とする請求項 5 に記載の表示装置。

40

【請求項 8】

前記維持電極は、
前記第 2 画素電極と重畳して前記第 2 補助容量キャパシタを形成する第 1 部分と、
前記第 1 画素電極と重畳して第 1 補助容量キャパシタを形成し、前記第 1 領域より幅の狭い第 2 部分とを有することを特徴とする請求項 1 に記載の表示装置。

【請求項 9】

前記維持電極の前記第 1 部分と重畳して前記第 2 補助容量キャパシタを形成する補助電極をさらに有し、

50

前記第3補助電極はコンタクトホールによって前記第2画素電極と接続することを特徴とする請求項8に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は表示装置に関し、より詳しくは、薄膜トランジスタによって駆動される液晶表示装置に関する。

【背景技術】

【0002】

10

一般に、映像表示装置は外部から入力される映像情報を処理して、目で知覚できる映像を表示する装置であって、液晶表示装置(liquid crystal display、LCD)、プラズマ表示パネル(plasma display panel、PDP)、有機発光ダイオード(organic light emitting diode、OLED)による表示装置などがある。かかる映像表示装置の中で液晶表示装置は高解像度の実現及び画質に優れており、ノートパソコン、コンピュータ及びテレビに幅広く使用されている。

【0003】

液晶表示装置は、画素電極、共通電極を含む二枚の基板、及び基板の間に挟まれた液晶層を含む。液晶表示装置は、電界形成電極の画素電極及び共通電極に所定の電圧を印加して液晶分子の配列を変更して入射光の偏光方向を制御することで、所望の映像を表わす。

20

【0004】

このような液晶表示装置のうち、電界が印加されない状態で液晶分子の長軸を上下表示板に対して垂直となるように配列した垂直配向(vertically aligned、VA)方式の液晶表示装置は、コントラスト比が大きく、かつ広い基準視野角の実現が容易であるので、注目を集めている。ここで基準視野角とは、コントラスト比が1:10の視野角または階調間輝度反転限界角度を意味する。

【0005】

垂直配向方式の液晶表示装置は、広い側面視認性を有するように、電界生成電極に開口部または突起を形成して液晶分子の配向方向を制御する。しかし、電界生成電極に形成された開口部または突起は、画素の開口率を減少させるという問題がある。

30

【0006】

また、従来の垂直配向方式の液晶表示装置は、前面視認性に比べて側面視認性が落ちるという問題がある。例えば、切開部が具備されたPVA(patterned vertically aligned)方式の液晶表示装置の場合には側面に向かうほど映像が明るくなり、極端な場合には高い階調間の輝度差がなくなって画像がぼやけて見えることもある。

【発明の概要】

【発明が解決しようとする課題】

【0007】

40

そこで、本発明の目的は、側面視認性を高めつつ、画素の開口率の確保に有利な表示装置を提供することにある。

【0008】

なお、本発明の目的は上述したことに限定されず、他の目的は下記から当業者に明らかに理解されるであろう。

【課題を解決するための手段】

【0009】

上記目的を達成するための本発明の一実施形態による液晶表示装置は、第1ゲート線及び第2ゲート線と、第1ゲート線及び第2ゲート線と交差するデータ線と、第1画素電極と、第1ゲート線、データ線、及び第1画素電極と接続された第1薄膜トランジスタと、

50

第2画素電極と、第1ゲート線、データ線、及び第2画素電極と接続された第2薄膜トランジスタと、維持電極と、第1ゲート線及び維持電極と接続された第3薄膜トランジスタと、第1画素電極と重畳して電荷分配キャパシタを形成し、維持電極の上に形成されたカップリング電極と、第2ゲート線、カップリング電極、及び第2画素電極と接続された第4薄膜トランジスタとを有する。

【0010】

その他の実施形態の具体的な事項は、以下の詳細な説明及び図面に示されている。

【発明の効果】

【0011】

本発明による液晶表示装置によれば、一つの画素電極を一对の副画素電極に分割した後、電荷分配 (charge sharing) によって各副画素電極の画素電圧に差を生じさせることにより、側面視認性を高めることができる。また、電荷分配を起こす電荷分配キャパシタの一端にスイッチング素子を接続することにより一对の副画素電極の画素電圧の差が大きくなり、側面視認性をさらに向上させることができる。

10

【0012】

さらに、電荷分配キャパシタの一つの電極であるカップリング電極を、不透明な金属からなる維持電極ラインの上に形成することにより、画素の開口率を増加させることができる。

【図面の簡単な説明】

【0013】

20

【図1】本発明の実施形態による液晶表示装置を説明するためのブロック図である。

【図2】図1に示された本発明の実施形態による液晶表示装置の画素部を簡略に示した透視図である。

【図3】本発明の第1の実施形態による液晶表示装置の等価回路図である。

【図4】本発明の第1の実施形態による液晶表示装置の平面図である。

【図5】図4に示されたV-V'線に沿った本発明の第1の実施形態に係る第1ストレージキャパシタC_{st}-H及び第2ストレージキャパシタC_{st}-Lの断面図である。

【図6】図4に示されたVI-VI'線に沿った本発明の第1の実施形態による液晶表示装置の断面図である。

30

【図7】本発明の第2の実施形態による液晶表示装置の等価回路図である。

【図8】本発明の第2の実施形態による液晶表示装置の平面図である。

【図9】図8に示されたIX-IX'線に沿った本発明の第2の実施形態による液晶表示装置の断面図である。

【図10】図8に示されたX-X'線に沿った本発明の第2の実施形態による液晶表示装置の断面図である。

【発明を実施するための形態】

【0014】

本発明の利点及び特徴、そして、それらを達成する方法は、添付した図面と共に詳細に後述する実施形態を参照すれば明確になる。しかし、本発明は以下に開示する実施形態に限定されず、本実施形態は本発明の開示が完全になるようにし、また、本発明が属する技術分野における通常の知識を有する者が発明の範疇を完全に理解できるように提供されたものであり、本発明は請求項の範疇によって定義されるべきである。明細書の全体にわたって同一の参照符号は同一の構成要素を指す。

40

【0015】

一つの素子が他の素子と“接続された (connected to)”または“カップリングされた (coupled to)”とは、他の素子と直接接続、またはカップリングされた場合、または中間に他の素子を介在した場合を全て含む。一方、一つの素子が他の素子と“直接接続された (directly connected to)”または“直接カップリングされた (directly coupled to)”とは、中間に他の素子を介在しないことを示す。“及び/または”は、言及されたアイテムの各々及び一

50

つ以上の全ての組み合わせを含む。

【0016】

たとえば、第1、第2などが、多様な素子、構成要素及び/またはセクションを述べるために使用されるが、これら素子、構成要素及び/またはセクションはこれら用語によって制限されないことは勿論である。これら用語は、単に、一つの素子、構成要素またはセクションを他の素子、構成要素またはセクションと区別するために使用したものである。したがって、以下における第1素子、第1構成要素または第1セクションは、本発明の技術的な思想内においては第2素子、第2構成要素または第2セクションであり得る。

【0017】

本明細書で使用した用語は本発明の実施形態を説明するためのものであり、本発明を制限するわけではない。本明細書において、単数型は特に言及しない限り複数型も含む。また、明細書で使用する“含む (comprises)”及び/または“含む (comprising)”は言及された構成要素、段階、動作及び/または素子は一つ以上の他の構成要素、段階、動作及び/または素子の存在または追加を排除しない。

【0018】

他の定義がないならば、本明細書で使用する全ての用語（技術及び科学的用語を含む）は本発明が属する技術分野における通常の知識を有する者に共通に理解される意味で使用される。また、一般に使用される辞書に定義されている用語は、本明細書で特に定義されていない限り理想的にまたは過度に解釈されない。

【0019】

以下、表示装置の例として、液晶表示装置を説明するが、本発明はこれに限定されず、プラズマ表示パネル (plasma display panel: PDP)、有機発光ダイオード (organic light emitting diodes: OLED) による表示装置など、全ての表示装置に適用してもよい。

【0020】

以下、図1乃至図6を参照して、本発明の第1の実施形態による液晶表示装置について説明する。

【0021】

図1は本発明の実施形態による液晶表示装置のブロック図であり、図2は図1に示された本発明の実施形態による液晶表示装置の画素部を簡略に示した透視図である。

【0022】

図1に示すように、本発明の実施形態による液晶表示装置は、液晶表示パネルアセンブリ300、ゲート駆動部400、データ駆動部500、階調電圧生成部800、及び信号制御部600を含む。

【0023】

液晶表示パネルアセンブリ300は、等価回路から見ると、複数の信号線と、これに接続されてほぼ行列状に配列された複数の画素PXとを含む。一方、図2に示した構造から見ると、液晶表示パネルアセンブリ300は、対向する下部表示板100及び上部表示板200と、その間に挟まれた液晶層3とを含む。

【0024】

信号線は、ゲート信号（“走査信号”ともいう）を伝達する複数のゲート線 $G_1 \sim G_n$ と、データ電圧を伝達する複数のデータ線 $D_1 \sim D_m$ と、維持電極線（図示せず）とを含む。ゲート線 $G_1 \sim G_n$ と維持電極線はほぼ行方向に延びて互いにほとんど平行し、データ線 $D_1 \sim D_m$ はほぼ列方向に延びて互いにほとんど平行する。

【0025】

各画素PXは一对の副画素を含み、一对の副画素は各々、液晶キャパシタ (liquid crystal capacitor) $C1ca$ 、 $C1cb$ を含む。二つの副画素のうちの少なくとも一つは、ゲート線 $G_1 \sim G_n$ 、データ線 $D_1 \sim D_m$ 、及び液晶キャパシタ $C1ca$ 、 $C1cb$ と接続されたスイッチング素子（図示せず）を含む。

【0026】

10

20

30

40

50

液晶キャパシタ C_{1ca}/C_{1cb} は、下部表示板 100 の副画素電極 PE_a/PE_b と上部表示板 200 の共通電極 CE とを二つの端子とし、副画素電極 PE_a/PE_b と共通電極 CE との間の液晶層 3 は誘電体として機能する。一对の副画素電極 PE_a/PE_b は互いに分離されており、一つの画素電極 PE をなす。共通電極 CE は上部表示板 200 の全面に形成されており、共通電圧 V_{com} の印加を受ける。液晶層 3 は負の誘電率異方性を有し、液晶層 3 の液晶分子は電場のない状態でその長軸が二つの表示板 100、200 の表面に対して垂直をなすように配向されてもよい。図 2 とは異なって、共通電極 CE が下部表示板 100 に備えられる場合もあり、このときには二つの電極 PE 、 CE のうちの少なくとも一つが線状または棒状でありうる。

【0027】

一方、色表示を実現するためには、各画素 PX が基本色 (primary color) のうちの一つを固有に表すか (空間分割)、または各画素 PX が時間によって交互に基本色を表わすように (時間分割) して、これら基本色の空間的、時間的な合計によって所望の色が認識されるようにする。基本色の例としては、赤色、緑色、青色など三原色が挙げられる。図 2 は、空間分割の一例として、各画素 PX が上部表示板 200 の領域に基本色のうちの一つを表すカラーフィルタ CF を備えることを示している。図 2 とは異なって、カラーフィルタ CF は下部表示板 100 の副画素電極 PE_a 、 PE_b の上または下に形成してもよい。

【0028】

液晶表示パネルアセンブリ 300 の外側面には、光を偏光させる少なくとも一つの偏光子 (図示せず) が付着されてもよい。

【0029】

再び図 1 を参照すると、階調電圧生成部 800 は、画素 PX の透過率に係わる全体階調電圧または限定された数の階調電圧 (以下、“基準階調電圧” という) を生成する。(基準) 階調電圧は、共通電圧 V_{com} に対して正の値を有するものと負の値を有するものを含んでもよい。

【0030】

ゲート駆動部 400 は、液晶表示パネルアセンブリ 300 のゲート線 $G_1 \sim G_n$ と接続し、ゲートオン電圧 V_{on} とゲートオフ電圧 V_{off} との組み合わせによってなるゲート信号をゲート線 $G_1 \sim G_n$ に印加する。

【0031】

データ駆動部 500 は、液晶表示パネルアセンブリ 300 のデータ線 $D_1 \sim D_m$ と接続し、階調電圧生成部 800 からの階調電圧を選択し、これをデータ電圧としてデータ線 $D_1 \sim D_m$ に印加する。しかし、階調電圧生成部 800 が階調電圧を全て提供するわけではなく限定された数の基準階調電圧だけを提供する場合、データ駆動部 500 は基準階調電圧を分圧して所望のデータ電圧を生成する。

【0032】

信号制御部 600 は、ゲート駆動部 400 及びデータ駆動部 500などを制御する。

【0033】

このような駆動装置 400、500、階調電圧生成部 800 それぞれは、一つ以上の集積回路チップの形態で液晶表示パネルアセンブリ 300 の上に直接装着されたり、または可撓性印刷回路膜 (flexible printed circuit film) (図示せず) の上に装着されて TCP (tape carrier package) の形態で液晶表示パネルアセンブリ 300 に付着されたり、別途のプリント基板 (printed circuit board) (図示せず) の上に装着されてもよい。これとは異なって、これら駆動装置 400、500 が信号線 $G_1 \sim G_n$ 、 $D_1 \sim D_m$ 及び薄膜トランジスタスイッチング素子 Q などと共に液晶表示パネルアセンブリ 300 に集積されてもよい。また、駆動装置 400、500、信号制御部 600、階調電圧生成部 800 は単一チップで集積でき、この場合、これらのうちの少なくとも一つまたはこれらをなす少なくとも一つの回路素子が単一チップの外側にあってもよい。

10

20

30

40

50

【 0 0 3 4 】

図 3 は本発明の第 1 の実施形態による液晶表示装置における一画素の等価回路図であり、図 4 は図 3 と同様な等価回路を有する液晶表示装置の薄膜トランジスタ表示板の一例を示す配置図である。

【 0 0 3 5 】

図 3 及び図 4 に示すように、本発明の第 1 の実施形態による液晶表示装置は、複数の薄膜トランジスタ (thin film transistor、TFT) に走査信号を伝達する複数のゲート線 G_i 、 G_{i+1} と、ゲート線 G_i 、 G_{i+1} と交差してデータ電圧を薄膜トランジスタに伝達する複数のデータ線 D_j 、 D_{j+1} と、ゲート線 G_i 、 G_{i+1} 及びデータ線と接続されている複数の画素とを含む。

10

【 0 0 3 6 】

各画素は第 1 副画素 SP1 及び第 2 副画素 SP2 を含む。第 1 副画素 SP1 は、第 1 薄膜トランジスタ TFT1、第 1 液晶キャパシタ C_{LC_H} 、及び第 1 ストレージキャパシタ C_{st_H} を含む。また、第 2 副画素 SP2 は、第 2 薄膜トランジスタ TFT2、第 2 液晶キャパシタ C_{LC_L} 、及び第 2 ストレージキャパシタ C_{st_L} を含む。

【 0 0 3 7 】

第 1 薄膜トランジスタ TFT1 は、ゲート線 G_i 、111 と接続されたゲート電極 113、データ線 D_j 、130 に接続されたソース電極 131、コンタクトホール 173 によって第 1 画素電極 161 と接続されたドレイン電極 135、及び第 1 半導体層 141 を含む。第 1 画素電極 161 は上部表示板 200 に形成された共通電極 CE (図 2 参照) と共に第 1 液晶キャパシタ C_{LC_H} をなし、ゲート線 G_i 、 G_{i+1} と平行に延びた維持電極 C_{om} 、120 と共に第 1 ストレージキャパシタ C_{st_H} を形成する。

20

【 0 0 3 8 】

第 2 薄膜トランジスタ TFT2 は、ゲート線 G_i 、111 と接続されたゲート電極 113、ソース電極 131 と接続されたソース電極 132、コンタクトホール 174 によって第 2 画素電極 162 と接続されたドレイン電極 136、及び第 2 半導体層 142 を含む。第 2 画素電極 162 は共通電極 CE と共に第 2 液晶キャパシタ C_{LC_L} をなし、維持電極 120 と共に第 2 ストレージキャパシタ C_{st_L} を形成する。

【 0 0 3 9 】

第 1 ストレージキャパシタ C_{st_H} は第 1 補助電極 152 と維持電極 120 との間に形成され、第 2 ストレージキャパシタ C_{st_L} は第 2 補助電極 151 と維持電極 120 との間に形成される。第 1 補助電極 152 はコンタクトホール 172 によって第 1 画素電極 161 と接続され、第 2 補助電極 151 はコンタクトホール 171 によって第 2 画素電極 162 と接続される。

30

【 0 0 4 0 】

各画素は、第 3 薄膜トランジスタ TFT3、第 4 薄膜トランジスタ TFT4、及び電荷分配キャパシタ C_{boot} をさらに含む。第 3 薄膜トランジスタ TFT3 は、ゲート線 G_i 、111 と接続されたゲート電極 113、ソース電極 133、ドレイン電極 137、及び第 3 半導体層 143 を含む。ソース電極 133 は第 1 画素電極 161 と重畳して電荷分配キャパシタ C_{boot} を形成するカップリング電極 153 と接続され、ドレイン電極 137 は維持電極 120 と接続される。

40

【 0 0 4 1 】

第 4 薄膜トランジスタ TFT4 は、ゲート線 G_i に隣接した次の段のゲート線 G_{i+1} と接続されたゲート電極 114、ソース電極 134、ドレイン電極 138、及び第 4 半導体層 144 を含む。ソース電極 134 はカップリング電極 153 と接続され、ドレイン電極 138 はコンタクトホール 177 によって第 2 画素電極 162 と接続される。

【 0 0 4 2 】

第 1 ~ 第 4 半導体層 141、142、143、144 は、アモルファスシリコン、多結晶シリコンまたは単結晶シリコンのうちの一つで形成されてもよい。

【 0 0 4 3 】

50

第1液晶キャパシタ C_{1c_H} 及び第2液晶キャパシタ C_{1c_L} に充電されたデータ電圧は、第1画素電極161及び第2画素電極162と共通電極CEとの間の液晶分子の配向方向を制御する。また、第1ストレージキャパシタ C_{st_H} 及び第2ストレージキャパシタ C_{st_L} は、1フレームの間に第1液晶キャパシタ C_{1c_H} 及び第2液晶キャパシタ C_{1c_L} に充電された電圧を維持する役割を果たす。維持電極120には共通電圧 V_{com} のような固定された電圧が印加され得る。

【0044】

電荷分配キャパシタ C_{boost} は、維持電極120の上に形成されたカップリング電極153、第1画素電極161、及び保護層(図示せず)で形成される。本発明の第1の実施形態による液晶表示装置は、カップリング電極153をゲート電極を形成する金属層のように不透明な金属からなる維持電極120の上に形成することによって開口率を増加させる。

10

【0045】

電荷分配キャパシタ C_{boost} 及び第3薄膜トランジスタ TFT_3 は、第2液晶キャパシタ C_{1c_L} に充電された電圧は減少させ、第1液晶キャパシタ C_{1c_H} に充電された電圧は増加させることにより、液晶表示装置の側面視認性を強化する。

【0046】

第1ゲート線111にゲートオン電圧が印加されると、第1薄膜トランジスタ~第3薄膜トランジスタ $TFT_1 \sim TFT_3$ が同時にターンオンされて第1画素電極161及び第2画素電極162に同一のデータ電圧が印加され、カップリング電極153には共通電圧 V_{com} が印加される。また、電荷分配キャパシタ C_{boost} には第1画素電極161とカップリング電極153との電圧差に相当する電圧が充電される。

20

【0047】

その後、第1ゲート線111にゲートオフ電圧が印加されると、第1副画素 SP_1 と第2副画素 SP_2 とは互いに電氣的に分離される。

【0048】

これと同時に、第2ゲート線112にゲートオン電圧が印加されると、第4薄膜トランジスタ TFT_4 がターンオンされて第2画素電極162とカップリング電極153とが接続され、第2画素電極162とカップリング電極153の電圧が同一になる。これにより、同一の電圧であった第1画素電極161と第2画素電極162とが互いに異なる電圧を有するようになる。

30

【0049】

以下、電荷保存則に基づいて第1画素電極161と第2画素電極162で発生する電圧の変化についてさらに詳細に説明する。

【0050】

図3を参照すると、第1ノード N_1 は第1薄膜トランジスタ TFT_1 の出力端子と電荷分配キャパシタ C_{boost} との間のノードであり、第2ノード N_2 は第2薄膜トランジスタ TFT_2 の出力端子と第4薄膜トランジスタ TFT_4 との間のノードであり、第3ノード N_3 は電荷分配キャパシタ C_{boost} 及び第4薄膜トランジスタ TFT_4 の出力端子との間のノードである。

40

【0051】

第1ゲート線 G_1 を通じてゲートオン電圧が印加されると、第1薄膜トランジスタ TFT_1 及び第2薄膜トランジスタ TFT_2 を通じて第1ノード N_1 及び第2ノード N_2 にデータ電圧 V_d が印加される。そして、第3薄膜トランジスタ TFT_3 を通じて共通電圧 V_{com} が第3ノード N_3 に印加される。説明の便宜上、共通電圧 V_{com} を0Vと仮定するとき、第1ノード N_1 及び第2ノード N_2 には V_d が印加され、第3ノード N_3 には0Vが印加される。

【0052】

電荷保存則により、第1液晶キャパシタ C_{1c_H} と第1ストレージキャパシタ C_{st_H} に充電された電荷量 Q_h 、第2液晶キャパシタ C_{1c_L} と第2ストレージキャパシ

50

タ C_{st_L} に充電された電荷量 Q_l 、及び電荷分配キャパシタ C_{boost} に充電された電荷量 Q_b は、下記の [数 1] の通りである。

【数 1】

$$Q_h = C_h \times V_d$$

$$Q_l = C_l \times V_d$$

$$Q_b = C_b \times V_d \quad (\text{数式 1})$$

(ここで、 $C_h = C_{lc_H} + C_{st_H}$ 、 $C_l = C_{lc_L} + C_{st_L}$ 、 C_b は電荷分配キャパシタの静電容量である。) 10

【0053】

次に、第 1 ゲート線 G_i にゲートオフ電圧が印加され、第 2 ゲート線 G_{i+1} にゲートオン電圧が印加されると、第 1 薄膜トランジスタ～第 3 薄膜トランジスタ $TFT_1 \sim TFT_3$ はターンオフの状態となり、第 4 薄膜トランジスタ TFT_4 はターンオンの状態となる。

【0054】

第 1 液晶キャパシタ C_{lc_H} と第 1 ストレージキャパシタ C_{st_H} の電荷量 Q_h' 、第 2 液晶キャパシタ C_{lc_L} と第 2 ストレージキャパシタ C_{st_L} の電荷量 Q_l' 、及び電荷分配キャパシタ C_{boost} の電荷量 Q_b' を、電荷保存則に基づいて下記の [数 2] の通り表す。 20

【数 2】

$$Q_h' = C_h \times V_1$$

$$Q_l' = C_l \times V_2$$

$$Q_b' = C_b \times (V_1 - V_2) \quad (\text{数式 2})$$

(ここで、 V_1 は第 1 ノード N_1 に印加される電圧であり、 V_2 は第 2 ノード N_2 に印加される電圧である。) 30

【0055】

第 1 ノード N_1 と接続された第 1 液晶キャパシタ C_{lc_H} 、第 1 ストレージキャパシタ C_{st_H} 、及び電荷分配キャパシタ C_{boost} に充電された総電荷量は保存されるので、下記の [数 3] が得られる。

【数 3】

$$Q_h + Q_b = Q_h' + Q_b' \quad (\text{数式 3})$$

【0056】

また、第 3 ノード N_3 と接続された第 2 液晶キャパシタ C_{lc_L} 、第 2 ストレージキャパシタ C_{st_L} 、及び電荷分配キャパシタ C_{boost} に充電された総電荷量もまた保存されるので、下記の [数 4] が得られる。 40

【数 4】

$$Q_l - Q_b = Q_l' - Q_b' \quad (\text{数式 4})$$

【0057】

数式 1～数式 4 によって、第 1 ノード N_1 と第 3 ノード N_3 の電圧 V_1 、 V_2 は下記の [数 5] の通りである。

【数 5】

$$V1 = Vd \left(1 + \frac{Cl \cdot Cb}{Cl \cdot Ch + Ch \cdot Cb + Cb \cdot Cl} \right)$$

$$V2 = Vd \left(1 - \frac{Ch \cdot Cb}{Cl \cdot Ch + Ch \cdot Cb + Cb \cdot Cl} \right) \quad (\text{数式 5})$$

【0058】

データ電圧 V_d が共通電圧 V_{com} より大きい正極性電圧の場合、第 1 副画素 $SP1$ の画素電圧 $V1$ はデータ電圧 V_d より上昇し、第 2 副画素 $SP2$ の画素電圧 $V2$ はデータ電圧 V_d より下降する。データ電圧 V_d が共通電圧 V_{com} より小さい負極性電圧の場合はこれと反対になる。したがって、第 1 副画素 $SP1$ の画素電圧 $V1$ の絶対値が第 2 副画素 $SP2$ の画素電圧 $V2$ の絶対値より常に大きくなる。

10

【0059】

このように、一つの画素内に位置する第 1 副画素 $SP1$ 及び第 2 副画素 $SP2$ の画素電圧 $V1$ 、 $V2$ が互いに異なる値を有するようになる場合、側面視認性が向上できる。つまり、第 1 副画素 $SP1$ 及び第 2 副画素 $SP2$ に一つの映像情報から得られた互いに異なるガンマ曲線を有する一对の階調電圧集合が保存され、第 1 副画素 $SP1$ 及び第 2 副画素 $SP2$ からなる一つの画素のガンマ曲線はこれらを合成したガンマ曲線となる。一对の階調電圧集合を決定するときには、正面での合成ガンマ曲線が正面での基準ガンマ曲線に近くなるようにし、側面での合成ガンマ曲線が正面での基準ガンマ曲線と最も近くなるようにすることにより、側面視認性を向上させることができる。

20

【0060】

図 5 は、図 4 に示された $V - V'$ 線に沿った第 1 ストレージキャパシタ Cst_H 及び第 2 ストレージキャパシタ Cst_L の断面図である。

【0061】

維持電極 120 はゲート線 111、112 と同一の金属で下部基板の上に形成される。第 1 補助電極 152 と第 2 補助電極 151 は、データ線 130 と同一の金属からなり、ゲート絶縁膜 GI を介在して維持電極 120 と絶縁されて形成される。ゲート絶縁膜 GI は窒化ケイ素 ($SiNx$) または酸化ケイ素 ($SiOx$) で形成される。

【0062】

カップリング電極 153 もゲート絶縁膜 GI の上にデータ線 130 と同一の金属で形成される。保護膜は、第 1 補助電極 152、第 2 補助電極 151、及びカップリング電極 153 の上に形成され、窒化ケイ素 ($SiNx$) または酸化ケイ素 ($SiOx$) で形成される。

30

【0063】

保護膜には第 1 コンタクトホール 172 及び第 2 コンタクトホール 171 が形成され、これによって第 1 画素電極 161 及び第 2 画素電極 162 は第 1 補助電極 152 と第 2 補助電極 151 に接続される。

【0064】

第 1 ストレージキャパシタ Cst_H は、第 1 補助電極 152、維持電極 120、及びゲート絶縁膜 GI で構成され、第 2 ストレージキャパシタ Cst_L は、第 2 補助電極 151、維持電極 120、及びゲート絶縁膜 GI で構成される。

40

【0065】

第 1 ストレージキャパシタ Cst_H 及び第 2 ストレージキャパシタ Cst_L は、第 1 補助電極 151 及び第 2 補助電極 152 を省略し、それぞれ第 1 画素電極 161 及び第 2 画素電極 162 と維持電極 120 を介在して形成してもよい。

【0066】

第 1 画素電極 161 及び第 2 画素電極 162 は保護膜の上に形成され、酸化インジウム錫 ($indium\ tin\ oxide$ 、 ITO) または酸化インジウム亜鉛 ($indium\ zinc\ oxide$ 、 IZO) で形成できる。

50

【 0 0 6 7 】

電荷分配キャパシタ C b o o s t は、第 1 画素電極 1 6 1 と維持電極 1 2 0 の上に形成されたカップリング電極 1 5 3 との間に形成される。

【 0 0 6 8 】

図 6 は、第 3 薄膜トランジスタ T F T 3 のドレイン電極 1 3 7 と維持電極 1 2 0 との接続構造を示す。

【 0 0 6 9 】

データ金属線と同じ層に形成された 第 3 薄膜トランジスタ T F T 3 のドレイン電極 1 3 7 と、ゲート金属線と同じ層に形成された 維持電極 1 2 0 とは、接続電極 1 6 3 によって互いに電氣的に接続される。接続電極 1 6 3 は第 3 コンタクトホール 1 7 5 及び第 4 コンタクトホール 1 7 6 を含む保護膜の上に形成される。第 3 コンタクトホール 1 7 5 及び第 4 コンタクトホール 1 7 6 によって接続電極 1 6 3 は第 3 薄膜トランジスタ T F T 3 のドレイン電極 1 3 7 と維持電極 1 2 0 に接続される。接続電極 1 6 3 は第 1 画素電極 1 6 1 及び第 2 画素電極 1 6 2 と同一の材料で形成してもよい。

【 0 0 7 0 】

次に、図 7 乃至図 1 0 を参照して、本発明の第 2 の実施形態による液晶表示装置について詳細に説明する。

【 0 0 7 1 】

本発明の第 2 の実施形態による液晶表示装置は、複数の薄膜トランジスタに走査信号を伝達する複数のゲート線 G_i 、 G_{i+1} と、ゲート線と交差して映像信号を伝達する複数のデータ線 D_j 、 D_{j+1} と、隣接するゲート線 G_i 、 G_{i+1} 及び複数のデータ線 D_j 、 D_{j+1} に接続されている複数の画素とを含む。

【 0 0 7 2 】

各画素は第 1 副画素 S P 1 及び第 2 副画素 S P 2 を含む。第 1 副画素は第 1 薄膜トランジスタ T F T 1 及び第 1 液晶キャパシタ C l c _ H を含み、第 2 副画素は第 2 薄膜トランジスタ T F T 2、第 2 液晶キャパシタ C l c _ L、及びストレージキャパシタ C s t _ L を含む。

【 0 0 7 3 】

本発明の第 1 の実施形態と比べ、本発明の第 2 の実施形態による液晶表示装置は、第 1 副画素 S P 1 と第 2 副画素 S P 2 との間の電圧差を増加させて側面視認性をさらに良くするために、第 1 ストレージキャパシタ C s t _ H が省略される。

【 0 0 7 4 】

電荷保存則に基づいて計算される下記 [数 6] を参照すれば、第 1 副画素 S P 1 の総電荷量 C h が減少する場合、第 1 ノード N 1 の電圧は増加し、第 3 ノード N 3 の電圧は減少することが分かる。つまり、第 1 ストレージキャパシタ C s t _ H が省略されることによって第 1 副画素 S P 1 と第 2 副画素 S P 2 との電圧差が増加するようになり、これによって側面視認性が向上する。

【 数 6 】

$$V1 = Vd \left(1 + \frac{1/Ch}{1/Ch + 1/Cl + 1/Cb} \right)$$

$$VL = Vd \left(1 - \frac{1/Ch}{1/Ch + 1/Cl + 1/Cb} \right)$$

(数式 6)

【 0 0 7 5 】

維持電極 1 2 0 は、第 2 画素電極 1 6 2 の下部に位置した第 1 部分 1 2 1 と、第 1 部分

121より幅が狭く第1画素電極161の下部に位置した第2部分122とを含む。維持電極120の第1部分121は第2画素電極162と重畳して第2ストレージキャパシタCst__Lをなす。維持電極120の第2部分122も第1画素電極161と重畳してストレージキャパシタをなすが、第2ストレージキャパシタCst__Lに比べてその大きさが小さいため無視しても差し支えない。(図面には誇張して示した。)

【0076】

第1薄膜トランジスタTFT1は、ゲート線G_iと接続されたゲート電極113、データ線D_jと接続されたソース電極131、コンタクトホール173によって第1画素電極161と接続されたドレイン電極135、及び第1半導体層141を含む。第1画素電極161は上部基板200に形成された共通電極CEと共に第1液晶キャパシタClc__Hを形成する。第2薄膜トランジスタTFT2は、ゲート線G_iと接続されたゲート電極113、ソース電極131と接続されたソース電極131、コンタクトホール174によって第2画素電極162と接続されたドレイン電極136、及び第2半導体層142を含む。第2画素電極162は、上部基板200に形成された共通電極CEと共に第2液晶キャパシタClc__Lを形成し、維持電極Com、120と第2ストレージキャパシタCst__Lを形成する。

10

【0077】

第2ストレージキャパシタCst__Lは充電容量を増加させるために、補助電極154と維持電極Com、120との間に形成されることもある。このとき、補助電極154はコンタクトホール178によって第2画素電極162と接続され、維持電極120の第1部分の上に形成される。

20

【0078】

各画素は、第3薄膜トランジスタTFT3、第4薄膜トランジスタTFT4、及び電荷分配キャパシタCboostをさらに含む。

【0079】

第3薄膜トランジスタTFT3は、ゲート線G_i、111と接続されたゲート電極113、ソース電極133、ドレイン電極137、及び第3半導体層143を含む。ソース電極133は第1画素電極161と重畳して電荷分配キャパシタCboostを形成する接続電極163と接続される。

30

【0080】

第4薄膜トランジスタTFT4は、ゲート線G_{i+1}と接続されたゲート電極114、ソース電極134、ドレイン電極138、及び第4半導体層144を含む。ソース電極134はカップリング電極153と接続し、ドレイン電極138はコンタクトホール177によって第2画素電極162と接続される。

【0081】

第1～第4半導体層141、142、143、144は、アモルファスシリコン、多結晶シリコンまたは単結晶シリコンで形成してもよい。

【0082】

電荷分配キャパシタCboostは、カップリング電極153、第1画素電極161、及び保護層で形成される。カップリング電極153を不透明な金属からなる維持電極120の上に形成することによって、画素の開口率を高めることができる。

40

【0083】

電荷分配キャパシタCboost及び第3薄膜トランジスタTFT3は、第2液晶キャパシタClc__Lに充電された電圧は減少させ、第1液晶キャパシタClc__Hに充電された電圧は増加させ、液晶表示装置の側面視認性を強化させる。

【0084】

第1ゲート線111にゲートオン電圧が印加されると、第1～第3薄膜トランジスタTFT1～TFT3が同時にターンオンされて第1画素電極161及び第2画素電極162に同一のデータ電圧が印加され、カップリング電極153には共通電圧Vcomが印加される。また、電荷分配キャパシタCboostには第1画素電極161とカップリング電

50

極 1 5 3 との間の電圧差に相当する電圧が充電される。

【 0 0 8 5 】

その後、第 1 ゲート線 1 1 1 にゲートオフ電圧が印加されると、第 1 副画素 S P 1 と第 2 副画素 S P 2 とは互いに電氣的に分離される。

【 0 0 8 6 】

これと同時に、第 2 ゲート線 1 1 2 にゲートオン電圧が印加されると、第 4 薄膜トランジスタ T F T 4 がターンオンされて第 2 画素電極 1 6 2 とカップリング電極 1 5 3 の充電電圧が同一になる。これにより、同一の電圧であった第 1 画素電極 1 6 1 と第 2 画素電極 1 6 2 とが互いに異なる電圧を有するようになる。

【 0 0 8 7 】

上述の通り、本発明の第 2 の実施形態による液晶表示装置は、第 1 副画素 S P 1 のストレージキャパシタを省略することによって、第 1 副画素 S P 1 の電圧と第 2 副画素 S P 2 の電圧との差をさらに増加させることで側面視認性をさらに向上させる。

【 0 0 8 8 】

必要に応じて側面視認性の向上のために、第 2 副画素 S P 2 のストレージキャパシタを減らして第 1 副画素 S P 1 の電圧と第 2 副画素 S P 2 の電圧との差をさらに増加させることができる。

【 0 0 8 9 】

図 9 は、図 8 の I X - I X ' 線に沿った第 2 ストレージキャパシタ C s t _ L と電荷分配キャパシタ C b o o s t の断面図である。

【 0 0 9 0 】

維持電極 1 2 0 はゲート金属線と同じ層に形成され、補助電極 1 5 4 はデータ金属線と同じ層に形成される。維持電極 1 2 0 と補助電極 1 5 4 とはゲート絶縁膜 G I によって互いに絶縁される。ゲート絶縁膜 G I は窒化ケイ素 (S i N x) または酸化ケイ素 (S i O x) で形成される。

【 0 0 9 1 】

カップリング電極 1 5 3 はゲート絶縁膜 G I の上に形成され、データ金属層からなる。

【 0 0 9 2 】

第 2 画素電極 1 6 2 は保護膜に形成されたコンタクトホール 1 7 8 によって補助電極 1 5 4 と接続される。

【 0 0 9 3 】

第 2 ストレージキャパシタ C s t _ L は、補助電極 1 5 4 、維持電極 1 2 0 、及びゲート絶縁膜 G I で構成される。

【 0 0 9 4 】

第 1 画素電極 1 6 1 及び第 2 画素電極 1 6 2 は保護膜の上に形成され、透明な酸化インジウム錫 (I T O) または酸化インジウム亜鉛 (I Z O) で形成される。

【 0 0 9 5 】

電荷分配キャパシタ C b o o s t は、第 1 画素電極 1 6 1 及び維持電極 1 2 0 の上に形成されたカップリング電極 1 5 3 によって形成される。

【 0 0 9 6 】

図 1 0 は、第 3 薄膜トランジスタ T F T 3 のドレイン電極 1 3 7 と維持電極 1 2 0 との接続構造であって、図 6 とほとんど同一である。

【 0 0 9 7 】

本発明の第 1 の実施形態による液晶表示装置と同様に第 2 の実施形態による液晶表示装置においても、データ金属線と同じ層の第 3 薄膜トランジスタ T F T 3 のドレイン電極は接続電極 1 6 3 を通じてゲート金属線と同じ層の維持電極 1 2 0 と接続される。接続電極 1 6 3 は第 3 コンタクトホール 1 7 5 及び第 4 コンタクトホール 1 7 6 を含む保護膜の上に形成される。第 3 薄膜トランジスタ T F T 3 のドレイン電極と維持電極 1 2 0 は、第 3 コンタクトホール 1 7 5 及び第 4 コンタクトホール 1 7 6 によって接続電極 1 6 3 と接続される。接続電極 1 6 3 は第 1 画素電極 1 6 1 及び第 2 画素電極 1 6 2 と同一の透明な金

10

20

30

40

50

属からなる。

【 0 0 9 8 】

以上、添付した図面を参照して本発明の実施形態について説明したが、本発明が属する技術分野における通常の知識を有する者であれば、本発明がその技術的な思想や本質的特徴を変更せずに他の具体的な形態で実施できることが理解できる。したがって、上述の実施形態は例示的なものであり、限定的なものではない。

【 符号の説明 】

【 0 0 9 9 】

3 液晶層

1 0 0 下部表示板

10

1 1 1、1 1 2 ゲート線

1 2 0 維持電極

1 3 0 データ線

1 4 1 ~ 1 4 4 半導体層

1 5 1 第2補助電極

1 5 2 第1補助電極

1 5 3 カップリング電極

1 6 1 第1画素電極

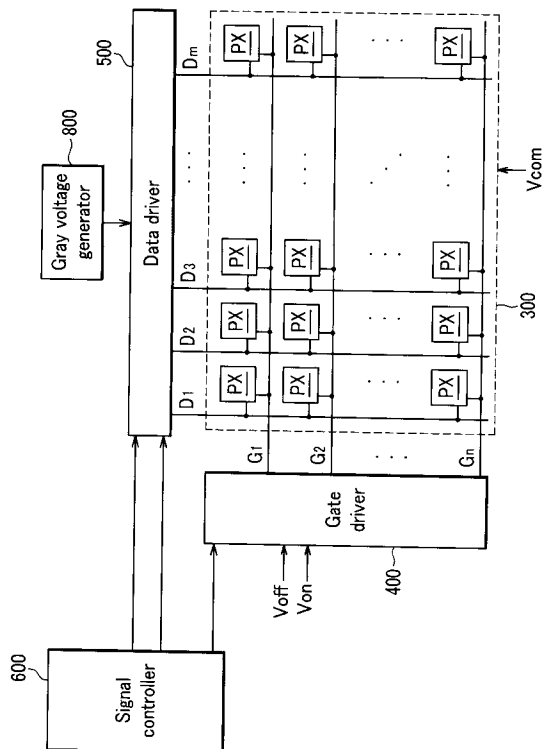
1 6 2 第2画素電極

1 6 3 結合電極

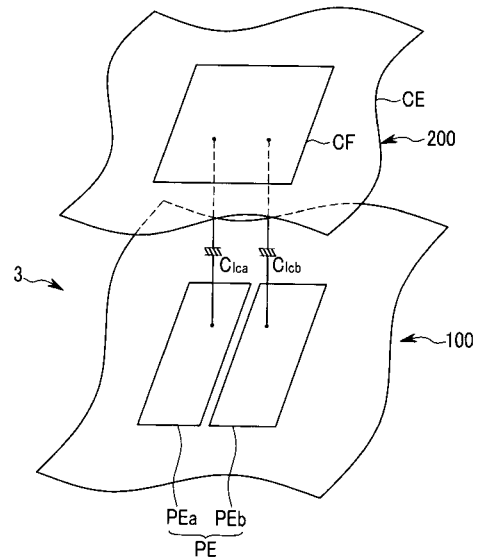
20

1 7 1 ~ 1 7 7 コンタクトホール

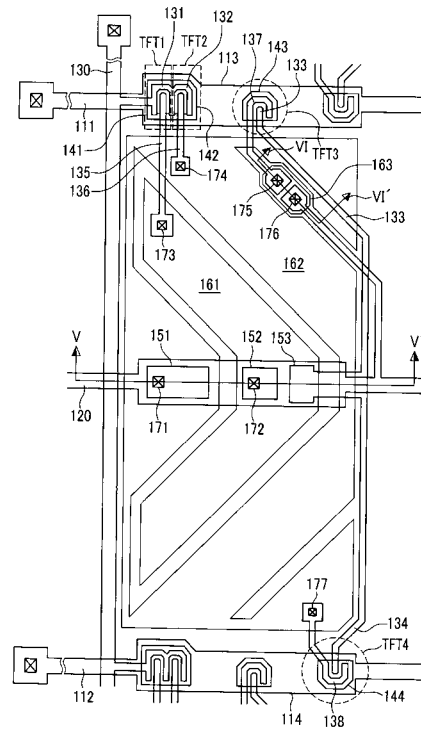
【 図 1 】



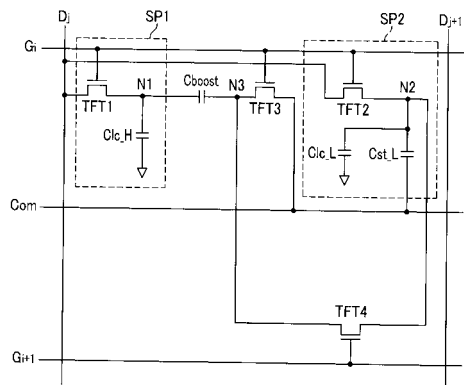
【 図 2 】



【 図 4 】

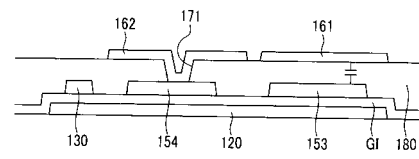


【 図 7 】



A cross-sectional view of a semiconductor device. It shows a substrate with a gate structure. The gate structure includes a gate dielectric layer (GI) and a gate electrode. The gate electrode is divided into three regions labeled 175, 163, and 176. Below the gate electrode, there are three regions labeled 137, 120, and 180. The regions 137 and 180 are separated by a region labeled 120. The regions 175 and 176 are separated by a region labeled 163.

【 図 9 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
 G 0 9 F 9/30 3 3 8
 G 0 2 F 1/1368

- (72)発明者 金 成 雲
 大韓民国京畿道水原市靈通区靈通洞 9 9 1 - 1 0 番地 2 0 2 号
- (72)発明者 李 承 勳
 大韓民国京畿道龍仁市器興区貢税洞 青 丘アパートメント 1 0 2 棟 1 1 0 4 号
- (72)発明者 金 熙 燮
 大韓民国京畿道華城市台安邑半月洞 8 6 5 - 1 番地 新靈通現代アパートメント 1 1 0 棟 3 0 4 号
- (72)発明者 高 春 錫
 大韓民国京畿道華城市盤松洞 ソルビットマウルキョンナムアノスビルアパートメント 4 0 4 棟 1 9 0 2 号
- (72)発明者 鄭 美 惠
 大韓民国京畿道水原市長安区亭子洞 テリムジンフンアパートメント 8 2 4 棟 1 4 0 2 号
- (72)発明者 成 始 徳
 大韓民国ソウル特別市江東区明逸洞 エルジアアパートメント 1 0 1 棟 1 1 2 3 号
- (72)発明者 鄭 光 哲
 大韓民国京畿道城南市壽井区太平 1 洞 7 1 1 5 - 4 番地

F ターム(参考) 2H092 GA13 GA50 HA04 JA46 JB13 JB46 JB64 JB69 KA12 KA18
 NA01 NA07
 5C006 AA16 AA22 BB16 BC06 FA54 FA55
 5C080 AA10 BB05 CC03 DD01 FF11 JJ03 JJ06
 5C094 AA02 AA06 AA12 AA21 AA53 BA03 BA43 CA19 DB04 EA04
 EA10

专利名称(译)	表示装置		
公开(公告)号	JP2009265615A	公开(公告)日	2009-11-12
申请号	JP2009017622	申请日	2009-01-29
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	陸建鋼 金成雲 李承勳 金熙燮 高春錫 鄭美惠 成始德 鄭光哲		
发明人	陸 建 鋼 金 成 雲 李 承 勳 金 熙 燮 高 春 錫 鄭 美 惠 成 始 ▲德▼ 鄭 光 哲		
IPC分类号	G02F1/1343 G09G3/36 G09G3/20 G09F9/30 G02F1/1368		
CPC分类号	G02F1/134309 G02F1/136213 G02F1/13624 G02F2001/134345		
FI分类号	G02F1/1343 G09G3/36 G09G3/20.624.B G09G3/20.641.C G09G3/20.680.F G09F9/30.338 G02F1/1368		
F-TERM分类号	2H092/GA13 2H092/GA50 2H092/HA04 2H092/JA46 2H092/JB13 2H092/JB46 2H092/JB64 2H092/JB69 2H092/KA12 2H092/KA18 2H092/NA01 2H092/NA07 5C006/AA16 5C006/AA22 5C006/BB16 5C006/BC06 5C006/FA54 5C006/FA55 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD01 5C080/FF11 5C080/JJ03 5C080/JJ06 5C094/AA02 5C094/AA06 5C094/AA12 5C094/AA21 5C094/AA53 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DB04 5C094/EA04 5C094/EA10 2H092/JB42 2H192/AA24 2H192/BA25 2H192/BC24 2H192/BC26 2H192/BC31 2H192/CB12 2H192/CC04 2H192/CC22 2H192/CC42 2H192/DA12 2H192/DA42 2H192/DA81 2H192/JA13		
优先权	1020080037776 2008-04-23 KR		
其他公开文献	JP5368125B2		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种在由形成在基板上的薄膜晶体管驱动的显示装置中的侧面可视性优异的液晶显示装置。包括包括第一子像素部分SP1，第二子像素部分SP2和电荷分配电容器Cboost的多个像素。电荷分配电容器Cboost连接到第一子像素单元SP1和第二子像素单元SP2，并且在第一子像素单元SP1中充电的电压和在第二子像素单元SP2中充电的电压。通过使它们彼此不同，侧面可见度得到改善。作为电荷分配电容器Cboost的一个电极的耦合电极形成在由不透明金属制成的维持电极线上，以增加像素的开口率。[选择图]图3

