

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02011/055573

発行日 平成25年3月28日(2013.3.28)

(43) 国際公開日 平成23年5月12日(2011.5.12)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	5C006
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
G09G 3/30 (2006.01)	G09G 3/20 622C	5C380
	G09G 3/20 623C	
	G09G 3/30 J	
審査請求 有 予備審査請求 未請求 (全 66 頁) 最終頁に続く		

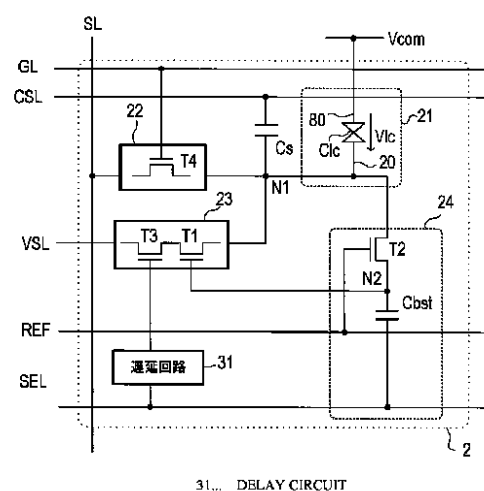
出願番号	特願2011-539307 (P2011-539307)	(71) 出願人	000005049
(21) 国際出願番号	PCT/JP2010/062319		シャープ株式会社
(22) 国際出願日	平成22年7月22日(2010.7.22)		大阪府大阪市阿倍野区長池町22番22号
(31) 優先権主張番号	特願2009-255346 (P2009-255346)	(74) 代理人	100114476
(32) 優先日	平成21年11月6日(2009.11.6)		弁理士 政木 良文
(33) 優先権主張国	日本国(JP)	(72) 発明者	山内 祥光
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		Fターム(参考)	5C006 AA22 AC23 AC24 BB16 BC06
			BF07 EC06 FA04 FA41 FA44
			FA47
			5C080 AA06 AA10 BB05 CC01 CC03
			DD01 DD26 FF11 JJ02 JJ03
			JJ04 KK02 KK47
		最終頁に続く	

(54) 【発明の名称】 画素回路及び表示装置

(57) 【要約】

低移動度のトランジスタを有する画素回路を備える表示装置において、開口率の低下を招くことなく消費電力の低減を実現する。液晶容量素子(C1c)は画素電極(20)と対向電極(80)に挟まれることで形成される。画素電極(20)、第1スイッチ回路(22)の一端、第2スイッチ回路(23)の一端、第2トランジスタ(T2)の第1端子が内部ノード(N1)を形成する。第1スイッチ回路(22)の他端はソース線(SL)に接続する。第2スイッチ回路(23)は、他端を電圧供給線(VSL)に接続し、トランジスタ(T1)とトランジスタ(T3)の直列回路で構成され、トランジスタ(T1)の制御端子、トランジスタ(T2)の第2端子、及びブースト容量素子(Cbst)の一端で出力ノード(N2)を形成する。ブースト容量素子(Cbst)の他端は選択線(SEL)に、トランジスタ(T2)の制御端子はリファレンス線(REF)に、トランジスタ(T3)の制御端子は遅延回路(31)を介して選択線(SEL)に接続される。

【図7】



31... DELAY CIRCUIT

【特許請求の範囲】

【請求項 1】

単位表示素子を含む表示素子部と、

前記表示素子部の一部を構成し、前記表示素子部に印加される画素データの電圧を保持する内部ノードと、

少なくとも所定のスイッチ素子を経由して、データ信号線から供給される前記画素データの電圧を前記内部ノードに転送する第 1 スwitch回路と、

所定の電圧供給線に供給される電圧を、前記所定のスイッチ素子を経由せずに前記内部ノードに転送する第 2 スwitch回路と、

前記内部ノードが保持する前記画素データの電圧に応じた所定の電圧を第 1 容量素子の一端に保持すると共に、前記第 2 スwitch回路の導通非導通を制御する制御回路と、を備えてなり、

第 1 端子、第 2 端子、並びに、前記第 1 及び第 2 端子間の導通を制御する制御端子を有する第 1 ~ 第 3 トランジスタ素子のうち、前記第 1 及び第 3 トランジスタ素子を前記第 2 スwitch回路が、前記第 2 トランジスタ素子を前記制御回路がそれぞれ有し、

前記第 2 スwitch回路は、前記第 1 トランジスタ素子と前記第 3 トランジスタ素子の直列回路で構成され、

前記制御回路は、前記第 2 トランジスタ素子と前記第 1 容量素子の直列回路で構成され、

前記第 1 スwitch回路の一端が前記データ信号線に接続し、

前記第 2 スwitch回路の一端が前記電圧供給線に接続し、

前記第 1 及び第 2 スwitch回路の各他端、及び前記第 2 トランジスタ素子の第 1 端子が前記内部ノードに接続し、

前記第 1 トランジスタ素子の制御端子、前記第 2 トランジスタ素子の第 2 端子、及び前記第 1 容量素子の一端が相互に接続し、

前記第 2 トランジスタ素子の制御端子が第 1 制御線に接続し、

前記第 3 トランジスタ素子の制御端子が遅延回路を介して第 2 制御線に接続し、

前記第 1 容量素子の他端が、前記遅延回路を介さずに前記第 2 制御線に接続していることを特徴とする画素回路。

【請求項 2】

単位表示素子を含む表示素子部と、

前記表示素子部の一部を構成し、前記表示素子部に印加される画素データの電圧を保持する内部ノードと、

少なくとも所定のスイッチ素子を経由して、データ信号線から供給される前記画素データの電圧を前記内部ノードに転送する第 1 スwitch回路と、

所定の電圧供給線に供給される電圧を、前記所定のスイッチ素子を経由せずに前記内部ノードに転送する第 2 スwitch回路と、

前記内部ノードが保持する前記画素データの電圧に応じた所定の電圧を第 1 容量素子の一端に保持すると共に、前記第 2 スwitch回路の導通非導通を制御する制御回路と、を備えてなり、

第 1 端子、第 2 端子、並びに、前記第 1 及び第 2 端子間の導通を制御する制御端子を有する第 1 ~ 第 3 トランジスタ素子のうち、前記第 1 及び第 3 トランジスタ素子を前記第 2 スwitch回路が、前記第 2 トランジスタ素子を前記制御回路がそれぞれ有し、

前記第 2 スwitch回路は、前記第 1 トランジスタ素子と前記第 3 トランジスタ素子の直列回路で構成され、

前記制御回路は、前記第 2 トランジスタ素子と前記第 1 容量素子の直列回路で構成され、

前記第 1 スwitch回路の一端が前記データ信号線に接続し、

前記第 2 スwitch回路の一端が前記電圧供給線に接続し、

前記第 1 及び第 2 スwitch回路の各他端、及び前記第 2 トランジスタ素子の第 1 端子が

前記内部ノードに接続し、

前記第1トランジスタ素子の制御端子、前記第2トランジスタ素子の第2端子、及び前記第1容量素子の一端が相互に接続し、

前記第2トランジスタ素子の制御端子が第1制御線に接続し、

前記第3トランジスタ素子の制御端子が遅延回路を介して第2制御線に接続し、

前記第1容量素子の他端が、前記遅延回路を介さずに第3制御線に接続していることを特徴とする画素回路。

【請求項3】

前記遅延回路が、第1端子、第2端子、並びに、前記第1及び第2端子間の導通を制御する制御端子を有する第1及び第2遅延用トランジスタ素子を備え、

前記第1遅延用トランジスタ素子が、第1端子を前記第3トランジスタ素子の制御端子に接続し、第2端子及び制御端子を前記第2制御線に接続し、

前記第2遅延用トランジスタ素子が、第1端子を前記第3トランジスタ素子の制御端子に接続し、第2端子を前記第2制御線に接続し、制御端子を前記第1制御線に接続する構成であることを特徴とする請求項1又は2に記載の画素回路。

【請求項4】

前記遅延回路が、第1端子、第2端子、並びに、前記第1及び第2端子間の導通を制御する制御端子を有する第1及び第2遅延用トランジスタ素子と、遅延用容量素子を備え、

前記第1遅延用トランジスタ素子が、第1端子を前記第3トランジスタ素子の制御端子に接続し、第2端子を前記第2制御線に接続し、

前記第2遅延用トランジスタ素子が、第1端子及び制御端子を前記第1制御線に接続し

、
前記遅延用容量素子が、一端を前記第2制御線に接続し、他端を前記第1遅延用トランジスタ素子の制御端子及び前記第2遅延用トランジスタ素子の第2端子に接続する構成であることを特徴とする請求項1又は2に記載の画素回路。

【請求項5】

一端が前記内部ノードに接続し、他端が第4制御線又は固定電圧線に接続する第2容量素子を更に備えることを特徴とする請求項1又は2に記載の画素回路。

【請求項6】

前記第1制御線が、前記電圧供給線として兼用されることを特徴とする請求項1又は2に記載の画素回路。

【請求項7】

前記データ信号線が、前記電圧供給線として兼用されることを特徴とする請求項1又は2に記載の画素回路。

【請求項8】

前記第4制御線が、前記電圧供給線として兼用されることを特徴とする請求項5に記載の画素回路。

【請求項9】

前記所定のスイッチ素子が、第1端子、第2端子、並びに前記第1及び第2端子間の導通を制御する制御端子を有する第4トランジスタ素子で構成され、

前記第4トランジスタ素子の制御端子が走査信号線にそれぞれ接続していることを特徴とする請求項1又は2に記載の画素回路。

【請求項10】

前記第1スイッチ回路が、前記所定のスイッチ素子以外のスイッチ素子を含まない構成であることを特徴とする請求項1又は2に記載の画素回路。

【請求項11】

前記第1スイッチ回路が、前記第2スイッチ回路内の前記第3トランジスタ素子と前記所定のスイッチ素子との直列回路、又は前記第2スイッチ回路内の前記第3トランジスタ素子の制御端子に制御端子が接続する第5トランジスタと前記所定のスイッチ素子との直列回路で構成されることを特徴とする請求項1又は2に記載の画素回路。

10

20

30

40

50

【請求項 1 2】

少なくとも前記第 2 トランジスタ素子がアモルファス T F Tであることを特徴とする請求項 1 又は 2 に記載の画素回路。

【請求項 1 3】

請求項 1 に記載の画素回路を行方向及び列方向にそれぞれ複数配置して画素回路アレイを構成し、

前記列毎に前記データ信号線を 1 本ずつ備えており、

同一列に配置される前記画素回路は、前記第 1 スイッチ回路の一端が共通の前記データ信号線に接続し、

同一行又は同一列に配置される前記画素回路は、前記第 2 トランジスタ素子の制御端子が共通の前記第 1 制御線に接続し、

同一行又は同一列に配置される前記画素回路は、前記第 3 トランジスタ素子の制御端子が、前記遅延回路を介して共通の前記第 2 制御線に接続し、

同一行又は同一列に配置される前記画素回路は、前記第 1 容量素子の前記他端が前記遅延回路を介することなく共通の前記第 2 制御線に接続する構成であって、

前記データ信号線を各別に駆動するデータ信号線駆動回路、並びに前記第 1 及び第 2 制御線を各別に駆動する制御線駆動回路を備え、

前記第 1 制御線が前記電圧供給線として兼用される場合、又は前記電圧供給線が独立した配線である場合は、前記制御線駆動回路が前記電圧供給線を駆動し、前記データ信号線が前記電圧供給線として兼用される場合は、前記データ信号線駆動回路が前記電圧供給線を駆動することを特徴とする表示装置。

10

20

【請求項 1 4】

請求項 2 に記載の画素回路を行方向及び列方向にそれぞれ複数配置して画素回路アレイを構成し、

前記列毎に前記データ信号線を 1 本ずつ備えており、

同一列に配置される前記画素回路は、前記第 1 スイッチ回路の一端が共通の前記データ信号線に接続し、

同一行又は同一列に配置される前記画素回路は、前記第 2 トランジスタ素子の制御端子が共通の前記第 1 制御線に接続し、

同一行又は同一列に配置される前記画素回路は、前記第 3 トランジスタ素子の制御端子が、前記遅延回路を介して共通の前記第 2 制御線に接続し、

同一行又は同一列に配置される前記画素回路は、前記第 1 容量素子の前記他端が前記遅延回路を介することなく共通の前記第 3 制御線に接続する構成であって、

前記データ信号線を各別に駆動するデータ信号線駆動回路、並びに前記第 1、第 2、及び第 3 制御線を各別に駆動する制御線駆動回路を備え、

前記第 1 制御線が前記電圧供給線として兼用される場合、又は前記電圧供給線が独立した配線である場合は、前記制御線駆動回路が前記電圧供給線を駆動し、前記データ信号線が前記電圧供給線として兼用される場合は、前記データ信号線駆動回路が前記電圧供給線を駆動することを特徴とする表示装置。

30

40

【請求項 1 5】

画素回路を行方向及び列方向にそれぞれ複数配置して画素回路アレイを構成してなる表示装置であって、

前記画素回路は、

単位表示素子を含む表示素子部と、

前記表示素子部の一部を構成し、前記表示素子部に印加される画素データの電圧を保持する内部ノードと、

少なくとも所定のスイッチ素子を経由して、データ信号線から供給される前記画素データの電圧を前記内部ノードに転送する第 1 スイッチ回路と、

所定の電圧供給線に供給される電圧を、前記所定のスイッチ素子を経由せずに前記内部ノードに転送する第 2 スイッチ回路と、

50

前記内部ノードが保持する前記画素データの電圧に応じた所定の電圧を第 1 容量素子の一端に保持すると共に、前記第 2 スイッチ回路の導通非導通を制御する制御回路と、を備えてなり、

第 1 端子、第 2 端子、並びに、前記第 1 及び第 2 端子間の導通を制御する制御端子を有する第 1 ~ 第 3 トランジスタ素子のうち、前記第 1 及び第 3 トランジスタ素子を前記第 2 スイッチ回路が、前記第 2 トランジスタ素子を前記制御回路がそれぞれ有し、

前記第 2 スイッチ回路は、前記第 1 トランジスタ素子と前記第 3 トランジスタ素子の直列回路で構成され、

前記制御回路は、前記第 2 トランジスタ素子と前記第 1 容量素子の直列回路で構成され、

10

前記第 1 スイッチ回路の一端が前記データ信号線に接続し、

前記第 2 スイッチ回路の一端が前記電圧供給線に接続し、

前記第 1 及び第 2 スイッチ回路の各他端、及び前記第 2 トランジスタ素子の第 1 端子が前記内部ノードに接続し、

前記第 1 トランジスタ素子の制御端子、前記第 2 トランジスタ素子の第 2 端子、及び前記第 1 容量素子の一端が相互に接続し、

前記第 2 トランジスタ素子の制御端子が第 1 制御線に接続し、

前記第 3 トランジスタ素子の制御端子が第 2 制御線に接続し、

前記第 1 容量素子の他端が第 3 制御線に接続する構成であり、

前記列毎に前記データ信号線を 1 本ずつ備えており、

20

同一列に配置される前記画素回路は、前記第 1 スイッチ回路の一端が共通の前記データ信号線に接続し、

同一行又は同一列に配置される前記画素回路は、前記第 2 トランジスタ素子の制御端子が共通の前記第 1 制御線に接続し、

同一行又は同一列に配置される前記画素回路は、前記第 3 トランジスタ素子の制御端子が、共通の前記第 2 制御線に接続し、

同一行又は同一列に配置される前記画素回路は、前記第 1 容量素子の前記他端が共通の前記第 3 制御線に接続し、

前記データ信号線を各別に駆動するデータ信号線駆動回路、並びに前記第 1 ~ 第 3 制御線を各別に駆動する制御線駆動回路を備え、

30

前記第 1 制御線が前記電圧供給線として兼用される場合、又は前記電圧供給線が独立した配線である場合は、前記制御線駆動回路が前記電圧供給線を駆動し、前記データ信号線が前記電圧供給線として兼用される場合は、前記データ信号線駆動回路が前記電圧供給線を駆動する構成であり、

前記制御線駆動回路は、前記第 3 制御線に対して電位変動を生じさせた後、所定の遅延時間経過後に、前記第 2 制御線に対して同極性の電位変動を生じさせることが可能な構成であることを特徴とする表示装置。

【請求項 16】

前記所定のスイッチ素子は、第 1 端子、第 2 端子、並びに前記第 1 及び第 2 端子間の導通を制御する制御端子を有する第 4 トランジスタ素子であって、前記制御端子が走査信号線に接続する構成であり、

40

前記行毎に前記走査信号線を 1 本ずつ備えると共に、同一行に配置される前記画素回路が共通の前記走査信号線に接続する構成であり、

前記走査信号線を各別に駆動する走査信号線駆動回路を備えていることを特徴とする請求項 13 に記載の表示装置。

【請求項 17】

前記所定のスイッチ素子は、第 1 端子、第 2 端子、並びに前記第 1 及び第 2 端子間の導通を制御する制御端子を有する第 4 トランジスタ素子であって、前記制御端子が走査信号線に接続する構成であり、

前記行毎に前記走査信号線を 1 本ずつ備えると共に、同一行に配置される前記画素回路

50

が共通の前記走査信号線に接続する構成であり、

前記走査信号線を各別に駆動する走査信号線駆動回路を備えていることを特徴とする請求項 14 に記載の表示装置。

【請求項 18】

前記所定のスイッチ素子は、第 1 端子、第 2 端子、並びに前記第 1 及び第 2 端子間の導通を制御する制御端子を有する第 4 トランジスタ素子であって、前記制御端子が走査信号線に接続する構成であり、

前記行毎に前記走査信号線を 1 本ずつ備えると共に、同一行に配置される前記画素回路が共通の前記走査信号線に接続する構成であり、

前記走査信号線を各別に駆動する走査信号線駆動回路を備えていることを特徴とする請求項 15 に記載の表示装置。

10

【請求項 19】

前記電圧供給線が独立した配線である場合において、

同一行又は同一列に配置される前記画素回路は、前記第 2 スイッチ回路の一端が共通の前記電圧供給線と接続していることを特徴とする請求項 13 ~ 15 のいずれか 1 項に記載の表示装置。

【請求項 20】

複数の前記画素回路に対して、前記第 2 スイッチ回路と前記制御回路を作動させて前記内部ノードの電圧変動を同時に補償するセルフリフレッシュ動作時に、

前記走査信号線駆動回路が、前記画素回路アレイ内の全部の前記画素回路に接続する前記走査信号線に所定の電圧を印加して前記第 4 トランジスタ素子を非導通状態とし、

20

前記制御線駆動回路が、

前記第 1 制御線に対し、前記内部ノードが保持する 2 値の画素データの電圧状態が第 1 電圧状態の場合には前記第 2 トランジスタ素子によって前記第 1 容量素子の一端から前記内部ノードに向けての電流が遮断され、第 2 電圧状態の場合には前記第 2 トランジスタ素子を導通状態とする所定の電圧を印加し、

前記第 2 制御線に対して所定の電圧振幅の電圧パルスを印加することにより、前記第 1 容量素子の一端に対して前記第 1 容量素子を介した容量結合による電圧変化を与えることで、前記内部ノードの電圧が前記第 1 電圧状態の場合には前記電圧変化が抑制されずに前記第 1 トランジスタ素子を導通状態とする一方、前記内部ノードの電圧が前記第 2 電圧状態の場合には前記電圧変化が抑制されて前記第 1 トランジスタ素子を非導通状態とすると共に、前記遅延回路を介して前記電圧パルスを前記第 3 トランジスタ素子の制御端子に与えて前記第 3 トランジスタ素子を導通状態とし、

30

前記電圧供給線が前記第 1 制御線と兼用される場合又は独立した信号線である場合には、前記制御線駆動回路が、前記電圧供給線が前記データ信号線と兼用される場合には前記データ信号線駆動回路が、前記セルフリフレッシュ動作の対象である複数の前記画素回路に接続する全部の前記電圧供給線に、前記第 1 電圧状態の前記画素データの電圧を供給することを特徴とする請求項 16 に記載の表示装置。

【請求項 21】

複数の前記画素回路に対して、前記第 2 スイッチ回路と前記制御回路を作動させて前記内部ノードの電圧変動を同時に補償するセルフリフレッシュ動作時に、

40

前記走査信号線駆動回路が、前記画素回路アレイ内の全部の前記画素回路に接続する前記走査信号線に所定の電圧を印加して前記第 4 トランジスタ素子を非導通状態とし、

前記制御線駆動回路が、

前記第 1 制御線に対し、前記内部ノードが保持する 2 値の画素データの電圧状態が第 1 電圧状態の場合には前記第 2 トランジスタ素子によって前記第 1 容量素子の一端から前記内部ノードに向けての電流が遮断され、第 2 電圧状態の場合には前記第 2 トランジスタ素子を導通状態とする所定の電圧を印加し、

前記第 2 制御線及び前記第 3 制御線に対して所定の電圧振幅の電圧パルスを印加することにより、前記第 1 容量素子の一端に対して前記第 1 容量素子を介した容量結合による

50

電圧変化を与えることで、前記内部ノードの電圧が前記第 1 電圧状態の場合には前記電圧変化が抑制されずに前記第 1 トランジスタ素子を導通状態とする一方、前記内部ノードの電圧が前記第 2 電圧状態の場合には前記電圧変化が抑制されて前記第 1 トランジスタ素子を非導通状態とすると共に、前記遅延回路を介して前記電圧パルスを実記第 3 トランジスタ素子の制御端子に与えて前記第 3 トランジスタ素子を導通状態とし、

前記電圧供給線が前記第 1 制御線と兼用される場合又は独立した信号線である場合には、前記制御線駆動回路が、前記電圧供給線が前記データ信号線と兼用される場合には前記データ信号線駆動回路が、前記セルフリフレッシュ動作の対象である複数の前記画素回路に接続する全部の前記電圧供給線に、前記第 1 電圧状態の前記画素データの電圧を供給することを特徴とする請求項 17 に記載の表示装置。

10

【請求項 22】

複数の前記画素回路に対して、前記第 2 スイッチ回路と前記制御回路を作動させて前記内部ノードの電圧変動を同時に補償するセルフリフレッシュ動作時に、

前記走査信号線駆動回路が、前記画素回路アレイ内の全部の前記画素回路に接続する前記走査信号線に所定の電圧を印加して前記第 4 トランジスタ素子を非導通状態とし、

前記制御線駆動回路が、

前記第 1 制御線に対し、前記内部ノードが保持する 2 値の画素データの電圧状態が第 1 電圧状態の場合には前記第 2 トランジスタ素子によって前記第 1 容量素子の一端から前記内部ノードに向けての電流が遮断され、第 2 電圧状態の場合には前記第 2 トランジスタ素子を導通状態とする所定の電圧を印加し、

20

前記第 2 制御線に対して所定の電圧振幅の電圧パルスを印加することにより、前記第 1 容量素子の一端に対して前記第 1 容量素子を介した容量結合による電圧変化を与えることで、前記内部ノードの電圧が前記第 1 電圧状態の場合には前記電圧変化が抑制されずに前記第 1 トランジスタ素子を導通状態とする一方、前記内部ノードの電圧が前記第 2 電圧状態の場合には前記電圧変化が抑制されて前記第 1 トランジスタ素子を非導通状態とし、

前記第 2 制御線に対する電圧パルスの印加から所定の遅延時間経過後に、前記第 3 制御線に対して所定の電圧振幅の電圧パルスを印加して前記第 3 トランジスタ素子の制御端子に与えて前記第 3 トランジスタ素子を導通状態とし、

前記電圧供給線が前記第 1 制御線と兼用される場合又は独立した信号線である場合には、前記制御線駆動回路が、前記電圧供給線が前記データ信号線と兼用される場合には前記データ信号線駆動回路が、前記セルフリフレッシュ動作の対象である複数の前記画素回路に接続する全部の前記電圧供給線に、前記第 1 電圧状態の前記画素データの電圧を供給することを特徴とする請求項 18 に記載の表示装置。

30

【請求項 23】

前記セルフリフレッシュ動作終了直後に待機状態に移行し、

前記待機状態において、前記制御線駆動回路が、前記第 2 制御線に対する電圧パルスの印加を終了して前記第 3 トランジスタ素子を非導通状態にすることを特徴とする請求項 20 に記載の表示装置。

【請求項 24】

前記セルフリフレッシュ動作終了直後に待機状態に移行し、

前記待機状態において、前記制御線駆動回路が、前記第 2 制御線及び前記第 3 制御線に対する電圧パルスの印加を終了して前記第 3 トランジスタ素子を非導通状態にすることを特徴とする請求項 21 に記載の表示装置。

40

【請求項 25】

前記セルフリフレッシュ動作を、前記セルフリフレッシュ動作期間より 10 倍以上長い前記待機状態を介して繰り返すことを特徴とする請求項 23 又は 24 に記載の表示装置。

【請求項 26】

前記待機状態において、

前記データ信号線駆動回路が、前記データ信号線に固定電圧を印加することを特徴とする請求項 23 に記載の表示装置。

50

【請求項 27】

前記待機状態において、

前記データ信号線駆動回路が、前記データ信号線に前記第2電圧状態の電圧を印加することを特徴とする請求項26に記載の表示装置。

【請求項 28】

前記第1スイッチ回路が、前記第4トランジスタ素子以外のスイッチ素子を含まない構成である場合において、

前記セルフリフレッシュ動作対象の複数の前記画素回路を1又は複数の列単位に区分し、

少なくとも前記第2制御線を前記区分毎に駆動可能に設け、

10

前記制御線駆動回路が、前記セルフリフレッシュ動作の対象でない区分については前記第2制御線に対する電圧パルスの印加を行わず、

前記セルフリフレッシュ動作対象の前記区分を順次切り替えて、前記セルフリフレッシュ動作を前記区分毎に分割して実行することを特徴とする請求項23に記載の表示装置。

【請求項 29】

前記第1スイッチ回路が、前記第4トランジスタ素子以外のスイッチ素子を含まない構成である場合において、

前記セルフリフレッシュ動作対象の複数の前記画素回路を1又は複数の列単位に区分し、

少なくとも前記第2制御線及び前記第3制御線を前記区分毎に駆動可能に設け、

20

前記制御線駆動回路が、前記セルフリフレッシュ動作の対象でない区分については前記第2制御線及び前記第3制御線に対する電圧パルスの印加を行わず、

前記セルフリフレッシュ動作対象の前記区分を順次切り替えて、前記セルフリフレッシュ動作を前記区分毎に分割して実行することを特徴とする請求項24に記載の表示装置。

【請求項 30】

前記画素回路が、一端を前記内部ノードに接続し、他端を第4制御線に接続する第2容量素子を備えると共に、同一行又は同一列に配置される前記画素回路が、前記第2容量素子の他端を共通の前記第4制御線に接続し、

前記制御線駆動回路が、前記第4制御線を各別に駆動する構成であって、

前記電圧供給線が前記第4制御線と兼用される場合には、前記制御線駆動回路が、前記セルフリフレッシュ動作の対象である複数の前記画素回路に接続する全部の前記電圧供給線に、前記第1電圧状態の前記画素データの電圧を供給することを特徴とする請求項20～22に記載の表示装置。

30

【請求項 31】

前記画素回路が、アモルファスシリコン基板上に形成されていることを特徴とする請求項13～15のいずれか1項に記載の表示装置。

【発明の詳細な説明】**【技術分野】****【0001】**

40

本発明は、画素回路及びこれを備えた表示装置に関し、特にアクティブマトリクス型の表示装置に関する。

【背景技術】**【0002】**

携帯電話や携帯型ゲーム機等の携帯用端末は、その表示手段として液晶表示装置を用いるのが一般的である。また、携帯電話等は、バッテリーで駆動されることから、消費電力の低減が強く要請される。このため、時刻や電池残量といった常時表示を必要とする情報については、反射型サブパネルに表示している。また、最近では、同一メインパネルにて、フルカラー表示による通常表示と反射型での常時表示との両立が要求されるようになってきている。

50

【 0 0 0 3 】

図 4 5 に、一般的なアクティブマトリクス型の液晶表示装置の画素回路の等価回路を示す。また、図 4 6 に、 $m \times n$ 画素のアクティブマトリクス型の液晶表示装置の回路配置例を示す。なお、 m 、 n はいずれも 2 以上の整数である。

【 0 0 0 4 】

図 4 6 に示すように、 m 本のソース線 $S L 1$ 、 $S L 2$ 、...、 $S L m$ と、 n 本の走査線 $G L 1$ 、 $G L 2$ 、...、 $G L n$ の各交点に、薄膜トランジスタ (T F T) からなるスイッチ素子を設ける。図 4 5 では、各ソース線 $S L 1$ 、 $S L 2$ 、...、 $S L m$ を、ソース線 $S L$ で代表し、同様に、各走査線 $G L 1$ 、 $G L 2$ 、...、 $G L n$ を代表して $G L$ と符号を付している。

10

【 0 0 0 5 】

図 4 5 に示すように、T F T を介して液晶容量素子 $C 1 c$ と補助容量素子 $C s$ が並列に接続されている。液晶容量素子 $C 1 c$ は画素電極 2 0 と対向電極 8 0 の間に液晶層を設けた積層構造で構成される。対向電極は共通 (コモン) 電極とも呼ばれる。

【 0 0 0 6 】

なお、図 4 6 では、各画素回路については、簡略的に T F T と画素電極 (黒色の矩形部分) だけを表示している。

【 0 0 0 7 】

補助容量 $C s$ は、一端 (一方の電極) が画素電極 2 0 に、他端 (他方の電極) が補助容量線 $C S L$ に接続しており、画素電極 2 0 に保持される画素データの電圧を安定化する。補助容量 $C s$ は、T F T のリーク電流、液晶分子の有する誘電率異方性により黒表示と白表示で液晶容量素子 $C 1 c$ の電気容量が変動すること、及び、画素電極と周辺配線間の寄生容量を介して生じる電圧変動等に起因して、画素電極に保持する画素データの電圧が変動するのを抑制する効果がある。走査線の電圧を順次制御することで、1 本の走査線に接続する T F T が導通状態となり、走査線単位で各ソース線に供給される画素データの電圧が対応する画素電極に書き込まれる。

20

【 0 0 0 8 】

フルカラー表示による通常表示では、表示内容が静止画の場合でも、1 フレーム毎に、同じ画素に同じ表示内容が繰り返し書き込まれる。このように、画素電極に保持する画素データの電圧が更新されることで、画素データの電圧変動が最小限に抑制され、高品質な静止画の表示が担保される。

30

【 0 0 0 9 】

液晶表示装置を駆動するための消費電力は、ソースドライバによるソース線駆動のための消費電力にほぼ支配され、概ね、以下の数 1 に示す関係式によって表される。なお、数 1 において、 P は消費電力、 f はリフレッシュレート (単位時間当たりの 1 フレーム分のリフレッシュ動作回数)、 C はソースドライバによって駆動される負荷容量、 V はソースドライバの駆動電圧、 n は走査線数、 m はソース線数をそれぞれ示す。ここで、リフレッシュ動作とは、表示内容を保持しながらソース線を介して画素電極に対して電圧を印加する動作を指す。

【 0 0 1 0 】

(数 1)

$$P = f \cdot C \cdot V^2 \cdot n \cdot m$$

40

【 0 0 1 1 】

ところで、常時表示の場合は、表示内容が静止画であることから、必ずしも画素データの電圧を 1 フレーム毎に更新する必要はない。このため、液晶表示装置の消費電力を更に低減するために、この常時表示時のリフレッシュ周波数を下げることが行われている。しかし、リフレッシュ周波数を下げると、T F T のリーク電流により、画素電極に保持されている画素データ電圧が変動する。当該電圧変動が、各画素の表示輝度 (液晶の透過率) の変動となり、フリッカとして観測されるようになる。また、各フレーム期間における平均電位も低下するので、十分なコントラストを得られない等の表示品位の低下を招くおそ

50

れもある。

【 0 0 1 2 】

ここで、電池残量や時刻表示等の静止画の常時表示において、リフレッシュ周波数の低下により表示品質が低下する問題の解決と低消費電力化とを同時に実現する方法として、例えば、下記特許文献 1 に記載の構成が開示されている。特許文献 1 に開示の構成では、透過型と反射型の両機能による液晶表示が可能であり、更に、反射型による液晶表示が可能な画素領域内の画素回路にはメモリ部を有している。このメモリ部は、反射型液晶の表示部において表示すべき情報を電圧信号として保持している。反射型による液晶表示時には、画素回路がメモリ部内に保持された電圧を読み出すことで、当該電圧に応じた情報を表示する。

10

【 0 0 1 3 】

特許文献 1 では、上記メモリ部が S R A M で構成されており、上記電圧信号が静的に保持されるため、リフレッシュ動作が不要となり、表示品質の維持と低消費電力化が同時に実現できる。

【 先行技術文献 】

【 特許文献 】

【 0 0 1 4 】

【 特許文献 1 】 特開 2 0 0 7 - 3 3 4 2 2 4 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

20

【 0 0 1 5 】

しかし、携帯電話等で使用される液晶表示装置において、上記のような構成を採用した場合には、通常動作時にアナログ情報としての各画素データの電圧を保持するための補助容量素子に加えて、画素データを記憶するためのメモリ部を画素毎或いは画素群毎に備える必要がある。これにより、液晶表示装置における表示部を構成するアレイ基板（アクティブマトリクス基板）に形成すべき素子数や信号線数が増えるため、透過モードでの開口率が低下する。また、液晶を交流駆動するための極性反転駆動回路を上記メモリ部と共に設ける場合には、更に開口率の低下を招く。このように素子数や信号線数の増加によって開口率が低下すると通常表示モードでの表示画像の輝度が低下する。

30

【 0 0 1 6 】

また、近年、ノートパソコンよりも一回り小型の、いわゆるネットブックと呼ばれるコンピュータの普及が目覚ましい。このような小型のコンピュータは、携帯電話よりも液晶表示領域が大きいので、T F T 基板としてアモルファスシリコン（ a - S i ）が利用されることが主流となってくると考えられている。

【 0 0 1 7 】

しかし、アモルファスシリコンは、携帯電話の液晶基板に用いられるポリシリコンと比べて移動度が 3 桁程度小さく、応答速度が遅い。このため、アモルファスシリコン基板上にトランジスタ素子を設けた場合、トランジスタ素子の制御端子に接続された信号線に電圧を印加するタイミングと、同トランジスタ素子が導通するタイミングにずれが生じ、これによって書き込み後の画素電圧に影響を及ぼす可能性がある。

40

【 0 0 1 8 】

本発明は、上記の問題点に鑑みてなされたもので、その目的は、開口率の低下を招くことなく低消費電力で液晶の劣化及び表示品質の低下を防止できる画素回路及び表示装置を提供する点にある。特に、移動度の遅いアモルファスシリコン基板上に画素回路を構成した場合においても、書き込み後の画素電圧に影響を及ぼすことなく、当該電圧を維持することができる画素回路及び表示装置を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 1 9 】

上記の目的を達成すべく、本発明に係る画素回路は、以下のような構成とする点に特徴がある。

50

【 0 0 2 0 】

まず、本発明に係る画素回路は、

単位表示素子を含む表示素子部と、

前記表示素子部の一部を構成し、前記表示素子部に印加される画素データの電圧を保持する内部ノードと、

少なくとも所定のスイッチ素子を経由して、データ信号線から供給される前記画素データの電圧を前記内部ノードに転送する第 1 スwitch回路と、

前記データ信号線から供給される電圧を、前記所定のスイッチ素子を経由せずに前記内部ノードに転送する第 2 スwitch回路と、

前記内部ノードが保持する前記画素データの電圧に応じた所定の電圧を第 1 容量素子の一端に保持すると共に、前記第 2 スwitch回路の導通非導通を制御する制御回路と、を備えている。

10

【 0 0 2 1 】

この画素回路は、第 1 端子、第 2 端子、並びに、前記第 1 及び第 2 端子間の導通を制御する制御端子を有する第 1 ~ 第 3 トランジスタ素子を備えており、これらのうち、第 1 及び第 3 トランジスタ素子を第 2 スwitch回路内に、第 2 トランジスタ素子を制御回路内にそれぞれ備えている。第 2 スwitch回路は、第 1 トランジスタ素子と第 3 トランジスタ素子の直列回路で構成されており、制御回路は、第 2 トランジスタ素子と第 1 容量素子の直列回路で構成されている。

【 0 0 2 2 】

20

第 1 スwitch回路は、一端をデータ信号線に接続し、第 2 スwitch回路は、一端を電圧供給線に接続する。これらの両スwitch回路は、各他端をいずれも内部ノードに接続する。この内部ノードには、第 2 トランジスタ素子の第 1 端子も接続している。

【 0 0 2 3 】

第 1 トランジスタ素子の制御端子、第 2 トランジスタ素子の第 2 端子、第 1 容量素子の一端が相互に接続して制御回路の出力ノードを形成している。また、第 2 トランジスタ素子の制御端子が第 1 制御線に接続し、第 3 トランジスタ素子の制御端子が遅延回路を介して第 2 制御線に接続している。更に、第 1 容量素子の他端、すなわち前記出力ノードを形成しない側の端子が、前記遅延回路を介さずに第 2 制御線に接続している。

【 0 0 2 4 】

30

また、別の構成としては、前記第 1 容量素子の他端が、前記遅延回路を介さずに第 3 制御線に接続する構成とすることもできる。

【 0 0 2 5 】

ここで、前記遅延回路としては、

第 1 端子、第 2 端子、並びに、前記第 1 及び第 2 端子間の導通を制御する制御端子を有する第 1 及び第 2 遅延用トランジスタ素子を備え、

前記第 1 遅延用トランジスタ素子が、第 1 端子を前記第 3 トランジスタ素子の制御端子に接続し、第 2 端子及び制御端子を前記第 2 制御線に接続し、

前記第 2 遅延用トランジスタ素子が、第 1 端子を前記第 3 トランジスタ素子の制御端子に接続し、第 2 端子を前記第 2 制御線に接続し、制御端子を前記第 1 制御線に接続する構成とすることができる。

40

【 0 0 2 6 】

また、遅延回路の別の構成としては、

第 1 端子、第 2 端子、並びに、前記第 1 及び第 2 端子間の導通を制御する制御端子を有する第 1 及び第 2 遅延用トランジスタ素子と、遅延用容量素子を備え、

前記第 1 遅延用トランジスタ素子が、第 1 端子を前記第 3 トランジスタ素子の制御端子に接続し、第 2 端子を前記第 2 制御線に接続し、

前記第 2 遅延用トランジスタ素子が、第 1 端子及び制御端子を前記第 1 制御線に接続し、

前記遅延用容量素子が、一端を前記第 2 制御線に接続し、他端を前記第 1 遅延用トラン

50

ジスタ素子の制御端子及び前記第 2 遅延用トランジスタ素子の第 2 端子に接続する構成とすることができる。

【0027】

電圧供給線は、独立した信号線とすることもできるし、第 1 制御線、或いはデータ信号線によって兼ねることもできる。

【0028】

この構成に加え、一端が前記内部ノードに接続し、他端が第 4 制御線又は所定の固定電圧線に接続する第 2 容量素子を更に備えるものとしても良い。このとき、第 4 制御線が電圧供給線を兼ねることもできる。

【0029】

また、前記所定のスイッチ素子は、第 1 端子、第 2 端子、並びに前記第 1 及び第 2 端子間の導通を制御する制御端子を有する第 4 トランジスタ素子で構成され、

前記第 4 トランジスタ素子は、第 1 端子が前記内部ノードに、第 2 端子が前記データ信号線又は前記第 3 トランジスタ素子の第 1 端子に、制御端子が走査信号線にそれぞれ接続する構成とするのも好適である。

【0030】

また、前記第 1 スイッチ回路が、前記所定のスイッチ素子以外のスイッチ素子を含まない構成とするのも好適である。

【0031】

また、前記第 1 スイッチ回路が、前記第 2 スイッチ回路内の前記第 3 トランジスタ素子と前記所定のスイッチ素子との直列回路、又は前記第 2 スイッチ回路内の前記第 3 トランジスタ素子の制御端子に制御端子が接続する第 5 トランジスタと前記所定のスイッチ素子との直列回路で構成されるのも好適である。

【0032】

また、画素回路内の前記第 1 容量素子の他端が、前記遅延回路を介さずに前記第 2 制御線に接続している場合、

本発明に係る表示装置は、画素回路を行方向及び列方向にそれぞれ複数配置して画素回路アレイを構成し、

前記列毎に前記データ信号線を 1 本ずつ備えており、

同一列に配置される前記画素回路は、前記第 1 スイッチ回路の一端が共通の前記データ信号線に接続し、

同一行又は同一列に配置される前記画素回路は、前記第 2 トランジスタ素子の制御端子が共通の前記第 1 制御線に接続し、

同一行又は同一列に配置される前記画素回路は、前記第 3 トランジスタ素子の制御端子が、前記遅延回路を介して共通の前記第 2 制御線に接続し、

同一行又は同一列に配置される前記画素回路は、前記第 1 容量素子の前記他端が前記遅延回路を介することなく共通の前記第 2 制御線に接続する構成であって、

前記データ信号線を各別に駆動するデータ信号線駆動回路、並びに前記第 1 及び第 2 制御線を各別に駆動する制御線駆動回路を備え、

前記第 1 制御線が前記電圧供給線として兼用される場合、又は前記電圧供給線が独立した配線である場合は、前記制御線駆動回路が前記電圧供給線を駆動し、前記データ信号線が前記電圧供給線として兼用される場合は、前記データ信号線駆動回路が前記電圧供給線を駆動することを特徴とする。

【0033】

また、画素回路内の前記第 1 容量素子の他端が前記遅延回路を介さずに前記第 3 制御線に接続している場合には、上記構成に代えて、同一行又は同一列に配置される前記画素回路の前記第 3 トランジスタ素子の制御端子が、前記遅延回路を介して共通の前記第 2 制御線に接続することを特徴とする。

【0034】

また、少なくとも第 2 トランジスタ素子がアモルファス TFT で構成されるものとする

10

20

30

40

50

ことができる。このとき、他の第 1 及び第 3 トランジスタ素子も同様にアモルファス TFT で構成しても良く、更に遅延回路内に遅延用トランジスタ素子を有する場合には、この遅延用トランジスタ素子もアモルファス TFT で構成して良い。

【 0 0 3 5 】

また、本発明の表示装置は、画素回路を行方向及び列方向にそれぞれ複数配置して画素回路アレイを構成してなる表示装置であって、

前記画素回路は、

単位表示素子を含む表示素子部と、

前記表示素子部の一部を構成し、前記表示素子部に印加される画素データの電圧を保持する内部ノードと、

少なくとも所定のスイッチ素子を経由して、データ信号線から供給される前記画素データの電圧を前記内部ノードに転送する第 1 スイッチ回路と、

所定の電圧供給線に供給される電圧を、前記所定のスイッチ素子を経由せずに前記内部ノードに転送する第 2 スイッチ回路と、

前記内部ノードが保持する前記画素データの電圧に応じた所定の電圧を第 1 容量素子の一端に保持すると共に、前記第 2 スイッチ回路の導通非導通を制御する制御回路と、を備えてなり、

第 1 端子、第 2 端子、並びに、前記第 1 及び第 2 端子間の導通を制御する制御端子を有する第 1 ~ 第 3 トランジスタ素子のうち、前記第 1 及び第 3 トランジスタ素子を前記第 2 スイッチ回路が、前記第 2 トランジスタ素子を前記制御回路がそれぞれ有し、

前記第 2 スイッチ回路は、前記第 1 トランジスタ素子と前記第 3 トランジスタ素子の直列回路で構成され、

前記制御回路は、前記第 2 トランジスタ素子と前記第 1 容量素子の直列回路で構成され、

前記第 1 スイッチ回路の一端が前記データ信号線に接続し、

前記第 2 スイッチ回路の一端が前記電圧供給線に接続し、

前記第 1 及び第 2 スイッチ回路の各他端、及び前記第 2 トランジスタ素子の第 1 端子が前記内部ノードに接続し、

前記第 1 トランジスタ素子の制御端子、前記第 2 トランジスタ素子の第 2 端子、及び前記第 1 容量素子の一端が相互に接続し、

前記第 2 トランジスタ素子の制御端子が第 1 制御線に接続し、

前記第 3 トランジスタ素子の制御端子が第 2 制御線に接続し、

前記第 1 容量素子の他端が第 3 制御線に接続する構成であり、

前記列毎に前記データ信号線を 1 本ずつ備えており、

同一列に配置される前記画素回路は、前記第 1 スイッチ回路の一端が共通の前記データ信号線に接続し、

同一行又は同一列に配置される前記画素回路は、前記第 2 トランジスタ素子の制御端子が共通の前記第 1 制御線に接続し、

同一行又は同一列に配置される前記画素回路は、前記第 3 トランジスタ素子の制御端子が、共通の前記第 2 制御線に接続し、

同一行又は同一列に配置される前記画素回路は、前記第 1 容量素子の前記他端が共通の前記第 3 制御線に接続し、

前記データ信号線を各別に駆動するデータ信号線駆動回路、並びに前記第 1 ~ 第 3 制御線を各別に駆動する制御線駆動回路を備え、

前記第 1 制御線が前記電圧供給線として兼用される場合、又は前記電圧供給線が独立した配線である場合は、前記制御線駆動回路が前記電圧供給線を駆動し、前記データ信号線が前記電圧供給線として兼用される場合は、前記データ信号線駆動回路が前記電圧供給線を駆動する構成であり、

前記制御線駆動回路は、前記第 3 制御線に対して電位変動を生じさせた後、所定の遅延時間経過後に、前記第 2 制御線に対して同極性の電位変動を生じさせることが可能な構成

10

20

30

40

50

であることを特徴とする。

【0036】

また、本発明の表示装置は、上記特徴に加えて、前記第1スイッチ回路が、前記所定のスイッチ素子以外のスイッチ素子を含まない構成であると共に、前記所定のスイッチ素子は、第1端子、第2端子、並びに前記第1及び第2端子間の導通を制御する制御端子を有する第4トランジスタ素子であって、前記制御端子が走査信号線に接続する構成であり、

前記行毎に前記走査信号線を1本ずつ備えると共に、同一行に配置される前記画素回路が共通の前記走査信号線に接続する構成であり、

前記走査信号線を各別に駆動する走査信号線駆動回路を備えていることを特徴とする。

【0037】

また、前記電圧供給線が独立した配線である場合において、同一行又は同一列に配置される前記画素回路を、前記第2スイッチ回路の一端が共通の前記電圧供給線と接続する構成とすることも可能である。

【0038】

また、本発明の表示装置は、

複数の前記画素回路に対して、前記第2スイッチ回路と前記制御回路を作動させて前記内部ノードの電圧変動を同時に補償するセルフリフレッシュ動作時に、

前記走査信号線駆動回路が、前記画素回路アレイ内の全部の前記画素回路に接続する前記走査信号線に所定の電圧を印加して前記第4トランジスタ素子を非導通状態とし、

前記制御線駆動回路が、

前記第1制御線に対し、前記内部ノードが保持する2値の画素データの電圧状態が第1電圧状態の場合には前記第2トランジスタ素子によって前記第1容量素子の一端から前記内部ノードに向けての電流が遮断され、第2電圧状態の場合には前記第2トランジスタ素子を導通状態とする所定の電圧を印加し、

前記第2制御線に対して所定の電圧振幅の電圧パルスを印加することにより、前記第1容量素子の一端に対して前記第1容量素子を介した容量結合による電圧変化を与えることで、前記内部ノードの電圧が前記第1電圧状態の場合には前記電圧変化が抑制されずに前記第1トランジスタ素子を導通状態とする一方、前記内部ノードの電圧が前記第2電圧状態の場合には前記電圧変化が抑制されて前記第1トランジスタ素子を非導通状態とすると共に、前記遅延回路を介して前記電圧パルスを前記第3トランジスタ素子の制御端子に与えて前記第3トランジスタ素子を導通状態とし、

前記電圧供給線が前記第1制御線と兼用される場合又は独立した信号線である場合には、前記制御線駆動回路が、前記電圧供給線が前記データ信号線と兼用される場合には前記データ信号線駆動回路が、前記セルフリフレッシュ動作の対象である複数の前記画素回路に接続する全部の前記電圧供給線に、前記第1電圧状態の前記画素データの電圧を供給することを特徴とする。

【0039】

なお、前記第3トランジスタ素子の制御端子が、遅延回路を介して前記第3制御線に接続する構成である場合には、上記構成に代えて、前記制御線駆動回路が、前記第2制御線及び前記第3制御線に対して所定の電圧振幅の電圧パルスを印加することにより、前記第1容量素子の一端に対して前記第1容量素子を介した容量結合による電圧変化を与えることで、前記内部ノードの電圧が前記第1電圧状態の場合には前記電圧変化が抑制されずに前記第1トランジスタ素子を導通状態とする一方、前記内部ノードの電圧が前記第2電圧状態の場合には前記電圧変化が抑制されて前記第1トランジスタ素子を非導通状態とすると共に、前記遅延回路を介して前記電圧パルスを前記第3トランジスタ素子の制御端子に与えて前記第3トランジスタ素子を導通状態とする構成とするのが好適である。

【0040】

また、前記第3トランジスタ素子の制御端子が、遅延回路を介することなく前記第3制御線に接続する構成である場合には、上記構成に代えて、前記制御線駆動回路が、前記第2制御線に対して所定の電圧振幅の電圧パルスを印加することにより、前記第1容量素子

10

20

30

40

50

の一端に対して前記第 1 容量素子を介した容量結合による電圧変化を与えることで、前記内部ノードの電圧が前記第 1 電圧状態の場合には前記電圧変化が抑制されずに前記第 1 トランジスタ素子を導通状態とする一方、前記内部ノードの電圧が前記第 2 電圧状態の場合には前記電圧変化が抑制されて前記第 1 トランジスタ素子を非導通状態とし、前記第 2 制御線に対する電圧パルスの印加から所定の遅延時間経過後に、前記第 3 制御線に対して所定の電圧振幅の電圧パルスを印加して前記第 3 トランジスタ素子の制御端子に与えて前記第 3 トランジスタ素子を導通状態とするのが好適である。

【0041】

また、第 3 トランジスタ素子の制御端子が遅延回路を介して第 2 制御線に接続している構成の場合、本発明の表示装置は、前記セルフリフレッシュ動作終了直後に待機状態に移行し、前記待機状態において、前記制御線駆動回路が、前記第 2 制御線に対する電圧パルスの印加を終了して前記第 3 トランジスタ素子を非導通状態にするのを別の特徴とする。

10

【0042】

また、第 3 トランジスタ素子の制御端子が遅延回路を介して、若しくは遅延回路を介することなく第 3 制御線に接続している構成の場合、本発明の表示装置は、前記セルフリフレッシュ動作終了直後に待機状態に移行し、前記待機状態において、前記制御線駆動回路が、前記第 2 制御線及び前記第 3 制御線に対する電圧パルスの印加を終了して前記第 3 トランジスタ素子を非導通状態にするのを別の特徴とする。

【0043】

また、上記特徴に加えて、前記セルフリフレッシュ動作を、前記セルフリフレッシュ動作期間より 10 倍以上長い前記待機状態を介して繰り返すものとするのが好適である。

20

【0044】

また、前記待機状態において、

前記データ信号線駆動回路が、前記データ信号線に固定電圧を印加する構成とするのが好適である。このとき、前記固定電圧として、前記第 2 電圧状態の電圧を印加することができる。

【0045】

また、第 3 トランジスタ素子の制御端子が遅延回路を介して第 2 制御線に接続し、画素回路を構成する前記第 1 スイッチ回路が、前記第 4 トランジスタ素子以外のスイッチ素子を含まない構成である場合において、

30

前記セルフリフレッシュ動作対象の複数の前記画素回路を 1 又は複数の列単位に区分し、

少なくとも前記第 2 制御線を前記区分毎に駆動可能に設け、

前記制御線駆動回路が、前記セルフリフレッシュ動作の対象でない区分に対し、前記第 2 制御線に、前記第 3 トランジスタ素子を非導通状態とする所定の電圧を印加するするか、或いは、前記第 1 容量素子の他端に接続する前記第 2 制御線又は前記第 3 制御線に前記電圧パルスを印加せず、

前記セルフリフレッシュ動作対象の前記区分を順次切り替えて、前記セルフリフレッシュ動作を前記区分毎に分割して実行する構成としても良い。

【0046】

40

一方、第 3 トランジスタ素子の制御端子が遅延回路を介して、若しくは遅延回路を介することなく第 3 制御線に接続している構成の場合、少なくとも前記第 2 制御線及び前記第 3 制御線を前記区分毎に駆動可能に設け、

前記制御線駆動回路が、前記セルフリフレッシュ動作の対象でない区分については前記第 2 制御線及び前記第 3 制御線に対する電圧パルスの印加を行わず、

前記セルフリフレッシュ動作対象の前記区分を順次切り替えて、前記セルフリフレッシュ動作を前記区分毎に分割して実行する構成としても良い。

【0047】

また、前記画素回路が、一端を前記内部ノードに接続し、他端を第 4 制御線に接続する第 2 容量素子を備えると共に、同一行又は同一列に配置される前記画素回路が、前記第 2

50

容量素子の他端を共通の前記第 4 制御線に接続し、

前記制御線駆動回路が、前記第 4 制御線を各別に駆動する構成であって、

前記電圧供給線が前記第 4 制御線と兼用される場合には、前記制御線駆動回路が、前記セルフリフレッシュ動作の対象である複数の前記画素回路に接続する全部の前記電圧供給線に、前記第 1 電圧状態の前記画素データの電圧を供給することを特徴とする。

【 0 0 4 8 】

なお、本発明の表示装置は、アモルファスシリコン基板上に実装された画素回路を備える構成とすることができる。

【発明の効果】

【 0 0 4 9 】

本発明の構成により、通常書き込み動作の他、書き込み動作によることなく表示素子部両端間の電圧の絶対値を直前の書き込み動作時の値に復帰させる動作（セルフリフレッシュ動作）を実行することができる。特に、本発明によれば、1 回のパルス電圧の印加によって、複数の画素回路の中から対象となる階調の電圧状態に復帰させるべき内部ノードを備えた画素回路のみを自動的にリフレッシュさせることができ、内部ノードに多値レベルの電圧状態が保持される状況下でのセルフリフレッシュ動作が可能となる。

【 0 0 5 0 】

画素回路が複数配列されている場合において、通常書き込み動作は、一般的に行毎に実行される。このため、最大で、配列された画素回路の行数分だけドライバ回路を駆動させる必要がある。これに対し、本発明の画素回路によれば、セルフリフレッシュ動作を行うことにより、配置された複数の画素に対して、保持されている電圧状態毎に一括してリフレッシュ動作を実行することができる。このため、リフレッシュ動作の開始から終了までに必要なドライバ回路の駆動回数を大きく削減することができ、低消費電力を実現できる。そして、画素回路内に S R A M 等のメモリ部を別途備える必要がないため、従来技術のように開口率を大きく低下させるといことがない。

【 0 0 5 1 】

そして、特に本発明の構成によれば、セルフリフレッシュ動作時において、第 2 スイッチ回路を構成する第 1 トランジスタ素子と第 3 トランジスタ素子のオンオフ制御を、意図的に遅らせて実行することができる。このことは、以下の効果を生む。

【 0 0 5 2 】

セルフリフレッシュ動作時において、第 2 トランジスタ素子の制御端子には、内部ノードが第 1 電圧状態の場合には前記第 1 容量素子の一端から前記内部ノードに向けての電流を遮断し、第 2 電圧状態の場合には前記第 2 トランジスタ素子を導通状態とするような電圧が印加される。そして、このような状況下において、前記第 2 制御線に対して所定の電圧振幅の電圧パルスを印加することにより、前記第 1 容量素子の一端に対して前記第 1 容量素子を介した容量結合による電圧変化を与えることで、第 1 トランジスタ素子の制御端子が接続するノード（制御回路の出力ノード）に電位変動を与える。

【 0 0 5 3 】

ここで、内部ノードが第 1 電圧状態であれば、第 2 トランジスタ素子によって第 1 容量素子の一端から前記内部ノードに向けての電流が遮断されているため、前記第 2 制御線に対してパルス電圧が与えられると、第 1 容量素子の容量と制御回路の前記出力ノードに寄生する総容量の比率に応じた電位変動分が前記出力ノードに反映され、これによって同ノードの電位が大きく変動する。この結果、第 1 トランジスタ素子が導通する。一方で、内部ノードが第 2 電圧状態であれば、第 2 トランジスタ素子が導通しているため、前記第 2 制御線に対してパルス電圧が与えられても、出力ノードに寄生する容量に加えて内部ノードに寄生する容量の合計に対する第 1 容量素子の容量値の比率に応じた電位変動しか出力ノードには与えられず、第 1 電圧状態の場合と比べて出力ノードの電位変動分は大幅に低下する。つまり、出力ノードにはパルス電圧による電位変動分がほとんど反映されず、第 1 トランジスタ素子は非導通状態となる。

【 0 0 5 4 】

実際のところ、内部ノードが第2電圧状態であっても、第2制御線に対して与えられたパルス電圧により、第1容量素子の一端の電位、すなわち制御回路の出力ノードの電位は一瞬突き上げられる。しかし、このように出力ノードの電位が突き上げられても、導通している第2トランジスタ素子を介して内部ノードに向かう電流が瞬時に流れ、両ノードが同電位となるため、結果的に出力ノードの電位はほとんど変化しない。

【0055】

ところが、第2トランジスタ素子の電子移動度が低い場合、出力ノードの電位が突き上げられてから、出力ノードから内部ノードに向かう電流が流れて両ノードが同電位になるまでに一定の時間を要する。そして、この間は、出力ノードは、第2制御線に対して与えられたパルス電圧の影響により高電位状態となる。従って、この間に第3トランジスタ素子の制御端子に高電位が与えられると、第3トランジスタ素子と第1トランジスタ素子の双方が導通することで、第2スイッチ回路が導通してしまい、この結果、電圧供給線から第2スイッチ回路を介して内部ノードに電圧が与えられ、内部ノードの電位、つまりは画素電圧が変化してしまう。

10

【0056】

本発明のように、第3トランジスタ素子の制御端子が、遅延回路を介して第2制御線又は第3制御線に接続される構成とすることで、第2制御線に対してパルス電圧が印加されてから、第3トランジスタ素子の制御端子に対して電圧が与えられるまでの間を遅延させることができる。これにより、内部ノードが第2電圧状態である場合であっても、出力ノードの電位が内部ノードの電位と同電位になるまでの間を待機してから第3トランジスタ素子の制御端子に電圧を与えることにより、出力ノードが高電位となっている間は第3トランジスタ素子を非導通状態に、つまり第2スイッチ回路を非導通状態に設定できる。よって、電圧供給線から第2スイッチ回路を介して内部ノードに電圧供給されることがない。

20

【0057】

同様の効果は、第3トランジスタ素子の制御端子を第3制御線に接続し、第2接続線へのパルス電圧印加から、所定の遅延時間経過後に、第3制御線に対して電圧印加を行うことによっても実現できる。

【図面の簡単な説明】

【0058】

30

【図1】本発明の表示装置の概略構成の一例を示すブロック図

【図2】液晶表示装置の一部断面概略構造図

【図3】本発明の表示装置の概略構成の一例を示すブロック図

【図4】本発明の表示装置の概略構成の一例を示すブロック図

【図5】本発明の表示装置の概略構成の一例を示すブロック図

【図6】本発明の画素回路の基本回路構成を示す回路図

【図7】本発明の画素回路の他の基本回路構成を示す回路図

【図8】本発明の画素回路のうち、グループXに属する第1タイプの回路構成例を示す回路図

【図9】本発明の画素回路のうち、グループXに属する第1タイプの別の回路構成例を示す回路図

40

【図10】本発明の画素回路のうち、グループXに属する第1タイプの別の回路構成例を示す回路図

【図11】本発明の画素回路のうち、グループXに属する第2タイプの回路構成例を示す回路図

【図12】本発明の画素回路のうち、グループXに属する第3タイプの回路構成例を示す回路図

【図13】本発明の画素回路のうち、グループXに属する第4タイプの回路構成例を示す回路図

【図14】本発明の画素回路のうち、グループXに属する第5タイプの回路構成例を示す回

50

路図

【図 1 5】本発明の画素回路のうち、グループ X に属する第 5 種類の別の回路構成例を示す回路図

【図 1 6】本発明の画素回路のうち、グループ X に属する第 5 種類の別の回路構成例を示す回路図

【図 1 7】本発明の画素回路のうち、グループ X に属する第 6 種類の回路構成例を示す回路図

【図 1 8】本発明の画素回路のうち、グループ X に属する第 7 種類の回路構成例を示す回路図

【図 1 9】本発明の画素回路のうち、グループ X に属する第 7 種類の回路構成例を示す回路図 10

【図 2 0】本発明の画素回路のうち、グループ X に属する第 7 種類の回路構成例を示す回路図

【図 2 1】本発明の画素回路のうち、グループ X に属する第 8 種類の回路構成例を示す回路図

【図 2 2】本発明の画素回路のうち、グループ Y に属する第 1 種類の回路構成例を示す回路図

【図 2 3】本発明の画素回路のうち、グループ Y に属する第 2 種類の回路構成例を示す回路図

【図 2 4】本発明の画素回路のうち、グループ Y に属する第 3 種類の回路構成例を示す回路図 20

【図 2 5】本発明の画素回路のうち、グループ Y に属する第 4 種類の回路構成例を示す回路図

【図 2 6】本発明の画素回路のうち、グループ Y に属する第 5 種類の回路構成例を示す回路図

【図 2 7】本発明の画素回路のうち、グループ Y に属する第 6 種類の回路構成例を示す回路図

【図 2 8】本発明の画素回路のうち、グループ Y に属する第 7 種類の回路構成例を示す回路図

【図 2 9】本発明の画素回路のうち、グループ Y に属する第 8 種類の回路構成例を示す回路図 30

【図 3 0】本発明の画素回路のうち、グループ Y に属する第 1 種類の別の回路構成例を示す回路図

【図 3 1】グループ X の第 1 , 第 5 種類の画素回路によるセルフリフレッシュ動作のタイミング図

【図 3 2】グループ X の第 2 , 第 6 種類の画素回路によるセルフリフレッシュ動作のタイミング図

【図 3 3】グループ X の第 3 , 第 7 種類の画素回路によるセルフリフレッシュ動作のタイミング図

【図 3 4】グループ X の第 4 , 第 8 種類の画素回路によるセルフリフレッシュ動作のタイミング図 40

【図 3 5】グループ Y の第 1 , 第 5 種類の画素回路によるセルフリフレッシュ動作のタイミング図

【図 3 6】グループ Y の第 2 , 第 6 種類の画素回路によるセルフリフレッシュ動作のタイミング図

【図 3 7】グループ Y の第 3 , 第 7 種類の画素回路によるセルフリフレッシュ動作のタイミング図

【図 3 8】グループ Y の第 4 , 第 8 種類の画素回路によるセルフリフレッシュ動作のタイミング図

【図 3 9】グループ X の第 1 種類の画素回路による常時表示モード時の書き込み動作のタ 50

イミング図

【図 4 0】グループ X の第 5 種類の画素回路による常時表示モード時の書き込み動作のタイミング図

【図 4 1】常時表示モードにおける書き込み動作とセルフリフレッシュ動作の実行手順を示すフローチャート

【図 4 2】第 1 種類の画素回路による通常表示モード時の書き込み動作のタイミング図

【図 4 3】本発明の画素回路の更に別の基本回路構成を示す回路図

【図 4 4】本発明の画素回路の更に別の基本回路構成を示す回路図

【図 4 5】一般的なアクティブマトリクス型の液晶表示装置の画素回路の等価回路図

【図 4 6】 $m \times n$ 画素のアクティブマトリクス型の液晶表示装置の回路配置例を示すブロック図

【発明を実施するための形態】

【0059】

本発明の画素回路及び表示装置の各実施形態につき、以下において図面を参照して説明する。なお、図 4 5 及び図 4 6 と同一の構成要素については、同一の符号を付している。

【0060】

[第 1 実施形態]

第 1 実施形態では、本発明の表示装置（以下、単に「表示装置」という）と本発明の画素回路（以下、単に「画素回路」という）の構成について説明する。

【0061】

《表示装置》

図 1 に、表示装置 1 の概略構成を示す。表示装置 1 は、アクティブマトリクス基板 1 0、対向電極 8 0、表示制御回路 1 1、対向電極駆動回路 1 2、ソースドライバ 1 3、ゲートドライバ 1 4、及び後述する種々の信号線を備える。アクティブマトリクス基板 1 0 上には、画素回路 2 が、行及び列方向にそれぞれ複数配置され、画素回路アレイが形成されている。

【0062】

なお、図 1 では、図面が煩雑になるのを避けるため、画素回路 2 はブロック化して表示している。また、アクティブマトリクス基板 1 0 上に各種の信号線が形成されていることを明確化するために、便宜的に、アクティブマトリクス基板 1 0 を対向電極 8 0 の上側に図示している。

【0063】

本実施形態では、表示装置 1 は、同じ画素回路 2 を用いて、通常表示モードと常時表示モードの 2 つの表示モードで画面表示を行うことができる構成である。通常表示モードは、動画若しくは静止画をフルカラー表示で表示する表示モードで、バックライトを利用した透過型液晶表示を利用する。一方、本実施形態の常時表示モードは、画素回路単位で 2 階調（白黒）表示し、3 つの隣接する画素回路 2 を 3 原色（R、G、B）の各色に割り当てて、8 色を表示する表示モードである。更に、常時表示モードでは、隣接する 3 つの画素回路を更に複数セット組み合わせ、面積階調により表示色の数を増やすことも可能である。なお、本実施形態の常時表示モードは、透過型液晶表示でも反射型液晶表示でも利用可能な技術である。

【0064】

以下の説明では、便宜的に、1 つの画素回路 2 に対応する最小表示単位を「画素」と呼び、各画素回路に書き込む「画素データ」は、3 原色（R、G、B）によるカラー表示の場合には各色の階調データとなる。3 原色に加えて白黒の輝度データを含めてカラー表示する場合には、当該輝度データも画素データに含まれる。

【0065】

図 2 は、アクティブマトリクス基板 1 0 と対向電極 8 0 の関係を示す概略断面構造図であり、画素回路 2 の構成要素である表示素子部 2 1（図 6 参照）の構造を示している。アクティブマトリクス基板 1 0 は、光透過性の透明基板であり、例えばガラスやプラスチック

10

20

30

40

50

クからなる。

【0066】

図1に図示したように、アクティブマトリクス基板10上には各信号線を含む画素回路2が形成されている。図2では、画素回路2の構成要素を代表して画素電極20を図示している。画素電極20は、光透過性の透明導電材料、例えばITO（インジウムスズ酸化物）からなる。

【0067】

アクティブマトリクス基板10に対向するように、光透過性の対向基板81が配置されており、これら両基板の間隙には液晶層75が保持される。両基板の外表面には偏光板（不図示）が貼り付けられている。

10

【0068】

液晶層75は、両基板の周辺部分においてはシール材74によって封止されている。対向基板81には、ITO等の光透過性の透明導電材料からなる対向電極80が、画素電極20と対向するように形成されている。この対向電極80は、対向基板81上をほぼ一面に広がるように単一膜として形成されている。ここで、1つの画素電極20と対向電極80とその間に挟持された液晶層75によって単位液晶表示素子C1c（図6参照）が形成される。

【0069】

また、バックライト装置（不図示）がアクティブマトリクス基板10の背面側に配置されており、アクティブマトリクス基板10から対向基板81に向かう方向に光を放射することができる。

20

【0070】

図1に示すように、アクティブマトリクス基板10上には複数の信号線が縦横方向に形成されている。そして、縦方向（列方向）に延伸するm本のソース線（SL1, SL2, ..., SLm）と、横方向（行方向）に延伸するn本のゲート線（GL1, GL2, ..., GLn）が交差する箇所において、画素回路2がマトリクス状に複数形成されている。m, nはいずれも2以上の自然数である。また、各ソース線を「ソース線SL」で代表し、各ゲート線を「ゲート線GL」で代表する。

【0071】

ここで、ソース線SLが「データ信号線」に対応し、ゲート線GLが「走査信号線」に対応する。また、ソースドライバ13が「データ信号線駆動回路」に対応し、ゲートドライバ14が「走査信号線駆動回路」に対応し、対向電極駆動回路12が「対向電極電圧供給回路」に対応し、表示制御回路11の一部が「制御線駆動回路」に対応する。

30

【0072】

なお、図1では、表示制御回路11, 対向電極駆動回路12が、それぞれソースドライバ13やゲートドライバ14とは別個独立して存在するように図示されているが、これらのドライバ内に表示制御回路11や対向電極駆動回路12が含まれる構成であっても構わない。

【0073】

本実施形態では、画素回路2を駆動する信号線として、上述のソース線SLとゲート線GL以外に、リファレンス線REF、選択線SEL、補助容量線CSL、電圧供給線VSL、及びブースト線BSTを備える。

40

【0074】

ブースト線BSTは、選択線SELとは別の信号線として備えることもできるし、選択線SELと共通化することも可能である。ブースト線BSTと選択線SELを共通化することで、アクティブマトリクス基板10上に配置すべき信号線の本数を低減でき、各画素の開口率を向上できる。図3に、選択線SELとブースト線BSTが共通化した場合における表示装置の構成を示す。

【0075】

更に、電圧供給線VSLは、図1及び図3のように独立した信号線とすることもできる

50

し、補助容量線 C S L , 或いはリファレンス線 R E F と共通化することも可能である。図 1 及び図 3 の構成において、電圧供給線 V S L が補助容量線 C S L 或いはリファレンス線 R E F と共通化された場合の構成を、それぞれ図 4 及び図 5 に示す。また、電圧供給線 V S L をソース線 S L と共通化することも可能である。その場合の表示装置 1 の構成は図 4 或いは図 5 と同じである。

【 0 0 7 6 】

図 3 又は図 5 のように、選択線 S E L とブースト線 B S T を共通化させたり、図 4 又は図 5 のように、電圧供給線 V S L を補助容量線 C S L 或いはリファレンス線 R E F と共通化させることで、アクティブマトリクス基板 1 0 上に配置すべき信号線の本数を低減でき、各画素の開口率を向上できる。

10

【 0 0 7 7 】

リファレンス線 R E F , 選択線 S E L , ブースト線 B S T は、それぞれ「第 1 制御線」, 「第 2 制御線」, 「第 3 制御線」に対応し、表示制御回路 1 1 によって駆動される。また、補助容量線 C S L は、「第 4 制御線」又は「固定電圧線」に対応し、一例として表示制御回路 1 1 によって駆動される。

【 0 0 7 8 】

図 1、及び図 3 ~ 図 5 において、リファレンス線 R E F , 選択線 S E L , 及び補助容量線 C S L は、いずれも行方向に延伸するように各行に設けられており、画素回路アレイの周辺部で各行の配線が相互に接続して一本化されているが、各行の配線は個別に駆動され、動作モードに応じて共通の電圧が印加可能に構成されても良い。また、後述する画素回路 2 の回路構成の類型によっては、リファレンス線 R E F、選択線 S E L、及び、補助容量線 C S L の一部又は全てを、列方向に延伸するように各列に設けることもできる。基本的に、リファレンス線 R E F、選択線 S E L、及び補助容量線 C S L のそれぞれは、複数の画素回路 2 で共通に使用される構成となっている。なお、ブースト線 B S T を選択線 S E L とは別に備える構成の場合には、選択線 S E L と同様に設けられるものとして良い。

20

【 0 0 7 9 】

表示制御回路 1 1 は、後述する通常表示モード及び常時表示モードにおける各書き込み動作と、常時表示モードにおけるセルフリフレッシュ動作を制御する回路である。

【 0 0 8 0 】

書き込み動作時には、表示制御回路 1 1 は、外部の信号源から表示すべき画像を表すデータ信号 D v とタイミング信号 C t を受け取り、当該信号 D v , C t に基づき、画像を画素回路アレイの表示素子部 2 1 (図 6 参照) に表示させるための信号として、ソースドライバ 1 3 に与えるデジタル画像信号 D A 及びデータ側タイミング制御信号 S t c と、ゲートドライバ 1 4 に与える走査側タイミング制御信号 G t c と、対向電極駆動回路 1 2 に与える対向電圧制御信号 S e c と、リファレンス線 R E F , 選択線 S E L , 補助容量線 C S L , ブースト線 B S T , 及び電圧供給線 V S L にそれぞれ印加する各信号電圧を生成する。

30

【 0 0 8 1 】

ソースドライバ 1 3 は、表示制御回路 1 1 からの制御により、書き込み動作、及びセルフリフレッシュ動作時に、各ソース線 S L に対して所定のタイミングで所定の電圧振幅のソース信号を印加する回路である。

40

【 0 0 8 2 】

書き込み動作時、ソースドライバ 1 3 は、デジタル画像信号 D A 及びデータ側タイミング制御信号 S t c に基づき、デジタル信号 D A の表わす 1 表示ライン分の画素値に相当する、対向電圧 V c o m の電圧レベルに適合した電圧をソース信号 S c 1 , S c 2 , ... , S c m として 1 水平期間 (「 1 H 期間 」 ともいう) 毎に生成する。当該電圧は、通常表示モードでは多階調のアナログ電圧であり、常時表示モードでは、2 階調 (2 値) の電圧となる。そして、これらのソース信号を、それぞれ対応するソース線 S L 1 , S L 2 , ... , S L m に印加する。

【 0 0 8 3 】

50

また、セルフリフレッシュ動作時には、ソースドライバ 13 は、表示制御回路 11 からの制御により、対象となる画素回路 2 に接続する全てのソース線 S L に対して、同一のタイミングで同一の電圧印加を行う（詳細は後述する）。

【0084】

ゲートドライバ 14 は、表示制御回路 11 からの制御により、書き込み動作、及びセルフリフレッシュ動作時に、各ゲート線 G L に対して所定のタイミングで所定の電圧振幅のゲート信号を印加する回路である。なお、このゲートドライバ 14 は、画素回路 2 と同様に、アクティブマトリクス基板 10 上に形成されても構わない。

【0085】

書き込み動作時、ゲートドライバ 14 は、走査側タイミング制御信号 G t c に基づき、ソース信号 S c 1 , S c 2 , ... , S c m を各画素回路 2 に書き込むために、デジタル画像信号 D A の各フレーム期間において、ゲート線 G L 1 , G L 2 , ... , G L n をほぼ 1 水平期間ずつ順次選択する。

【0086】

また、セルフリフレッシュ動作時には、ゲートドライバ 14 は、表示制御回路 11 からの制御により、対象となる画素回路 2 に接続する全てのゲート線 G L に、同一のタイミングで同一の電圧印加を行う（詳細は後述する）。

【0087】

対向電極駆動回路 12 は、対向電極 80 に対して対向電極配線 C M L を介して対向電圧 V c o m を印加する。本実施形態では、対向電極駆動回路 12 は、通常表示モード及び常時表示モードにおいて、対向電圧 V c o m を所定の高レベル（5 V）と所定の低レベル（0 V）の間で交互に切り換えて出力する。このように、対向電圧 V c o m を高レベルと低レベルの間で切り換えながら対向電極 80 を駆動することを「対向 A C 駆動」と呼ぶ。

【0088】

通常表示モードにおける「対向 A C 駆動」は、1 水平期間毎及び 1 フレーム期間毎に、対向電圧 V c o m を高レベルと低レベルの間で切り換える。つまり、ある 1 フレーム期間では、相前後する 2 つの水平期間で、対向電極 80 と画素電極 20 間の電圧極性が変化する。また、同じ 1 水平期間においても、相前後する 2 つのフレーム期間では、対向電極 80 と画素電極 20 間の電圧極性が変化する。

【0089】

一方、常時表示モードでは、1 フレーム期間中は、同じ電圧レベルが維持されるが、相前後する 2 つの書き込み動作で対向電極 80 と画素電極 20 間の電圧極性が変化する。

【0090】

対向電極 80 と画素電極 20 間に同一極性の電圧を印加し続けると、表示画面の焼き付き（面焼き付き）が発生するため、極性反転動作が必要となるが、「対向 A C 駆動」を採用することで、極性反転動作における画素電極 20 に印加する電圧振幅が低減できる。

【0091】

《画素回路》

次に、画素回路 2 の構成について図 6 ~ 図 30 の各図を参照して説明する。

【0092】

図 6 及び図 7 に、本発明の画素回路 2 の基本回路構成を示す。画素回路 2 は、全ての回路構成に共通して、単位液晶表示素子 C l c を含む表示素子部 21 , 第 1 スイッチ回路 22 , 第 2 スイッチ回路 23 , 制御回路 24 , 及び補助容量素子 C s を備える構成である。補助容量素子 C s は「第 2 容量素子」に対応する。

【0093】

なお、図 6 は後述するグループ X に属する各画素回路の基本構成に対応し、図 7 は後述するグループ Y に属する各画素回路の基本構成に対応する。単位液晶表示素子 C l c は、図 2 を参照して既に説明したとおりであり、説明は割愛する。

【0094】

画素電極 20 は、第 1 スイッチ回路 22 , 第 2 スイッチ回路 23 , 及び制御回路 24 の

10

20

30

40

50

各一端に接続して、内部ノードN 1を形成している。内部ノードN 1は、書き込み動作時にソース線S Lから供給される画素データの電圧を保持する。

【0095】

補助容量素子C sは、一端が内部ノードN 1に、他端が補助容量線C S Lに接続する。この補助容量素子C sは、内部ノードN 1が画素データの電圧を安定的に保持できるように追加的に設けられたものである。

【0096】

第1スイッチ回路22は、内部ノードN 1を構成しない側の一端が、ソース線S Lと接続する。第1スイッチ回路22は、スイッチ素子として機能するトランジスタT 4を備えている。トランジスタT 4は、制御端子がゲート線に接続するトランジスタを指し、「第4トランジスタ」に対応する。少なくともトランジスタT 4のオフ時には、第1スイッチ回路22は非導通状態となり、ソース線S Lと内部ノードN 1間の導通が遮断される。

10

【0097】

第2スイッチ回路23は、内部ノードN 1を構成しない側の一端が、電圧供給線V S Lと接続する。第2スイッチ回路23は、トランジスタT 1とトランジスタT 3の直列回路で構成される。なお、トランジスタT 1は、制御端子が制御回路24の出力ノードN 2に接続するトランジスタを指し、「第1トランジスタ素子」に対応する。また、トランジスタT 3は、制御端子が選択線S E Lに接続するトランジスタを指し、「第3トランジスタ素子」に対応する。トランジスタT 1とトランジスタT 3の両方がオン時に、第2スイッチ回路21は導通状態となり、電圧供給線V S Lと内部ノードN 1間が導通状態となる。

20

【0098】

制御回路24は、トランジスタT 2とブースト容量素子C b s tの直列回路で構成される。トランジスタT 2の第1端子が内部ノードN 1に接続し、制御端子がリファレンス線R E Fに接続する。また、トランジスタT 2の第2端子は、ブースト容量素子C b s tの第1端子、及びトランジスタT 1の制御端子と接続して出力ノードN 2を形成する。ブースト容量素子C b s tの第2端子は、図6に示すようにブースト線B S Tに接続するか(グループX)、又は図7に示すように選択線S E Lに接続する(グループY)。

【0099】

ところで、内部ノードN 1には、補助容量素子C sの一端、並びに液晶容量素子C l cの一端が接続されている。符号の煩雑化を避けるべく、補助容量素子の静電容量(「補助容量」と呼ぶ)をC s、液晶容量素子の静電容量(「液晶容量」と呼ぶ)をC l cと表す。このとき、内部ノードN 1に寄生する全容量、すなわち画素データを書き込んで保持すべき画素容量C pは、ほぼ液晶容量C l cと補助容量C sの和で表わされる($C p = C l c + C s$)。

30

【0100】

このとき、ブースト容量素子C b s tは、当該素子の静電容量(「ブースト容量」と呼ぶ)をC b s tと記載すれば、 $C b s t < C p$ が成立するように設定されている。

【0101】

出力ノードN 2は、トランジスタT 2がオン時に、内部ノードN 1の電圧レベルに応じた電圧を保持し、トランジスタT 2がオフ時には、内部ノードN 1の電圧レベルが変化しても当初の保持電圧を維持する。出力ノードN 2の保持電圧によって、第2スイッチ回路23のトランジスタT 1のオンオフが制御される構成となっている。

40

【0102】

上記4種類のトランジスタT 1~T 4は、いずれもアクティブマトリクス基板10上に形成される薄膜トランジスタであり、第1及び第2端子の一方がドレイン電極、他方がソース電極、制御端子がゲート電極に相当する。更に、各トランジスタT 1~T 4は、それぞれ単体のトランジスタ素子で構成されても良いが、オフ時のリーク電流を抑制する要請が高い場合は、複数のトランジスタを直列に接続し、制御端子を共通化して構成されても良い。以下の画素回路2の動作説明では、トランジスタT 1~T 4が、全てNチャネル型のアモルファスシリコンT F Tで、閾値電圧が2V程度のものを想定する。

50

【 0 1 0 3 】

画素回路 2 は、後述するように多様な回路構成が可能であるが、これらは以下のようにパターン化することができる。

【 0 1 0 4 】

1) 第 1 スイッチ回路 2 2 の構成についてみれば、トランジスタ T 4 だけで構成される場合、トランジスタ T 4 と他のトランジスタ素子の直列回路で構成される場合、の 2 通りが可能である。後者の場合、直列回路を構成する他のトランジスタ素子としては、第 2 スイッチ回路 2 3 内のトランジスタ T 3 を用いることもできるし、第 2 スイッチ回路 2 3 内のトランジスタ T 3 と制御端子同士が接続している別のトランジスタ素子とすることもできる。

10

【 0 1 0 5 】

2) ブースト容量素子 C b s t の第 2 端子に接続する信号線についてみれば、ブースト線 B S T に接続される場合、選択線 S E L に接続される場合、の 2 通りが可能である。後者の場合、選択線 S E L がブースト線 B S T を兼ねることとなる。なお、前者が図 6 (グループ X) に対応し、後者が図 7 (グループ Y) に対応することは上述した。

【 0 1 0 6 】

3) 電圧供給線 V S L についてみれば、リファレンス線 R E F と兼用して共通化させるか、補助容量線 C S L と兼用して共通化させるか、ソース線 S L と兼用して共通化させるか、独立した信号線とするか、の 4 通りが可能である。

【 0 1 0 7 】

20

以下では、上記 1) ~ 3) に基づいて、画素回路 2 を類型別に整理する。具体的には、ブースト容量素子 C b s t の第 2 端子に接続する信号線がブースト線 B S T か選択線 S E L かによって 2 つのグループ (X , Y) に分けた上で、各グループ毎に、第 1 スイッチ回路 2 2 の構成並びに電圧供給線 V S L の構成の組み合わせについて、8 つの類型に分ける。

【 0 1 0 8 】

すなわち、第 1 スイッチ回路 2 2 がトランジスタ T 4 だけで構成されている場合を第 1 ~ 第 4 類型、第 1 スイッチ回路 2 2 がトランジスタ T 4 と他のトランジスタ素子の直列回路で構成されている場合を第 5 ~ 第 8 類型とする。このうち、第 1 及び第 5 類型は、電圧供給線 V S L がリファレンス線 R E F と共通化した構成であり、第 2 及び第 6 類型は、電圧供給線 V S L が補助容量線 C S L と共通化した構成であり、第 3 及び第 7 類型は、電圧供給線 V S L がソース線 S L と共通化した構成であり、第 4 及び第 8 類型は、電圧供給線 V S L が独立した信号線で構成されている。

30

【 0 1 0 9 】

なお、同一グループ内で同一種類の画素回路であっても、第 2 スイッチ回路 2 3 内のトランジスタ T 3 の配置箇所の相違に応じて複数の変形パターンが考えられる。

【 0 1 1 0 】

また、後述するように、本発明の画素回路は、ブースト容量素子 C b s t の第 2 端子に対して電圧を印加するタイミングと、トランジスタ T 3 の制御端子に対して電圧を印加するタイミングに時間差を設けることができる構成である。つまり、ブースト容量素子 C b s t の第 2 端子にブースト線 B S T が接続される場合、すなわち、トランジスタ T 3 の制御端子に接続される選択線 S E L とは異なる線が接続される場合であれば、ブースト線 B S T への電圧印加タイミングと、選択線 S E L への電圧印加タイミングをずらすことができる構成である。一方、ブースト容量素子 C b s t の第 2 端子に選択線 S E L が接続される場合、すなわち、トランジスタ T 3 の制御端子に接続される信号線と同一の信号線が接続される場合であれば、トランジスタ T 3 の制御端子は、遅延回路 3 1 を介して選択線 S E L と接続される。

40

【 0 1 1 1 】

図 7 に示すように、ブースト容量素子 C b s t の第 2 端子に選択線 S E L が接続される構成では、遅延回路 3 1 を設けている。一方、選択線 S E L とは別にブースト線 B S T を

50

備える図 6 の構成の場合は、上述したように両線への電圧印加タイミングを異ならせることで実現できるため、遅延回路 3 1 が必ずしも必要ではない。よって、図 6 では遅延回路 3 1 を備えない構成を図示している。無論、図 6 の構成においても遅延回路 3 1 を備えても良い。

【 0 1 1 2 】

< 1 . グループ X >

まず、ブースト容量素子 C b s t の第 2 端子にブースト線 B S T が接続される、グループ X に属する画素回路について説明する。この場合、上述したように、ブースト線 B S T への電圧印加タイミングと、選択線 S E L への電圧印加タイミングをずらすことができるものとする。

10

【 0 1 1 3 】

このとき、上述したように、電圧供給線 V S L 並びに第 1 スイッチ回路 2 2 の構成に応じて、図 8 ~ 図 2 1 に示す第 1 ~ 第 8 種類の画素回路 2 A ~ 2 H が想定される。

【 0 1 1 4 】

図 8 に示す第 1 種類の画素回路 2 A は、第 1 スイッチ回路 2 2 がトランジスタ T 4 だけで構成され、電圧供給線 V S L がリファレンス線 R E F と共通化している。リファレンス線 R E F は、一例としてゲート線 G L と平行に横方向（行方向）に延伸しているが、ソース線 S L と平行に縦方向（列方向）に延伸しても良い。

【 0 1 1 5 】

ここで、図 8 では、第 2 スイッチ回路 2 3 が、トランジスタ T 1 とトランジスタ T 3 の直列回路で構成され、一例として、トランジスタ T 1 の第 1 端子が内部ノード N 1 に接続し、トランジスタ T 1 の第 2 端子がトランジスタ T 3 の第 1 端子に接続し、トランジスタ T 3 の第 2 端子がソース線 S L に接続する構成例を示している。しかし、当該直列回路のトランジスタ T 1 とトランジスタ T 3 の配置は入れ替わっても良く、また、2 つのトランジスタ T 3 の間にトランジスタ T 1 を挟んだ回路構成でも構わない。当該 2 つの変形回路構成例を、図 9 及び図 1 0 に示す。

20

【 0 1 1 6 】

図 1 1 に示す第 2 種類の画素回路 2 B は、第 1 スイッチ回路 2 2 がトランジスタ T 4 だけで構成され、電圧供給線 V S L が補助容量線 C S L と共通化している。補助容量線 C S L は、一例としてゲート線 G L と平行に横方向（行方向）に延伸しているが、ソース線 S L と平行に縦方向（列方向）に延伸しても良い。

30

【 0 1 1 7 】

図 1 2 に示す第 3 種類の画素回路 2 C は、第 1 スイッチ回路 2 2 がトランジスタ T 4 だけで構成され、電圧供給線 V S L がソース線 S L と共通化している。

【 0 1 1 8 】

図 1 3 に示す第 4 種類の画素回路 2 D は、第 1 スイッチ回路 2 2 がトランジスタ T 4 だけで構成され、電圧供給線 V S L が独立した信号線で構成されている。図 1 3 では、一例としてゲート線 G L と平行に横方向（行方向）に延伸しているが、ソース線 S L と平行に縦方向（列方向）に延伸しても良い。

【 0 1 1 9 】

なお、第 2 ~ 第 4 種類においても、第 1 種類の場合と同様、図 9 や図 1 0 に示したような、第 2 スイッチ回路 2 3 の構成に応じた変形回路の実現が可能である。

40

【 0 1 2 0 】

図 1 4 に示す第 5 種類の画素回路 2 E は、第 1 スイッチ回路 2 2 がトランジスタ T 4 と他のトランジスタ素子の直列回路で構成される点を除けば、図 9 に示す第 1 種類の画素回路 2 A と共通である。

【 0 1 2 1 】

ここで、図 1 4 では、第 1 スイッチ回路 2 2 を構成するトランジスタ T 4 以外のトランジスタ素子として、第 2 スイッチ回路 2 3 内のトランジスタを兼用する構成が示されている。すなわち、第 1 スイッチ回路 2 2 が、トランジスタ T 4 とトランジスタ T 3 の直列回

50

路で構成され、第2スイッチ回路23が、トランジスタT1とトランジスタT3の直列回路で構成される。そして、トランジスタT3の第1端子が内部ノードN1に接続し、トランジスタT3の第2端子がトランジスタT1の第1端子とトランジスタT4の第1端子に接続し、トランジスタT4の第2端子がソース線SLに接続し、トランジスタT1の第2端子がリファレンス線REFに接続している。

【0122】

つまり、第5種類の画素回路2Eでは、第1スイッチ回路22が、ゲート線GLに加えて、選択線SELによって導通制御がなされる構成である。

【0123】

この第5種類の変形例として、図15に示すように、第1スイッチ回路22を構成するトランジスタT4以外のトランジスタ素子として、第2スイッチ回路23内のトランジスタT3と制御端子同士が接続するトランジスタT5を用いる構成を実現することもできる。このトランジスタT5は、「第5トランジスタ素子」に対応する。

10

【0124】

図15に示す画素回路2Eにおいて、トランジスタT5とトランジスタT3の制御端子同士が接続するため、トランジスタT5は、トランジスタT3と同様に選択線SELによってオンオフ制御がされる。第1スイッチ回路22を構成するトランジスタT4以外のトランジスタ素子が、選択線SELによってオンオフ制御がされるという点で、図14の構成と共通する。

【0125】

20

なお、第5種類では、トランジスタT3が第1スイッチ回路22と第2スイッチ回路23とで共有されている。このため、図13のように、第2スイッチ回路23内のトランジスタT3は内部ノードN1側に、トランジスタT3はリファレンス線REF側にそれぞれ位置する必要がある。つまり、図8のようにトランジスタT1とT3の配置を入れ替えることはできない。一方、図10のようにトランジスタT1をトランジスタT3で挟むことは可能である。この場合の変形例を図16に示す。

【0126】

図17に示す第6種類の画素回路2Fは、第2種類の画素回路2Bにおいて、第1スイッチ回路22をトランジスタT4とトランジスタT3の直列回路で構成したものである。図14に示す第5種類の画素回路2Eと同様、第2スイッチ回路23内においてトランジスタT3を内部ノードN1側に配置する必要があるため、図11からT1とT3の配置を入れ替えている。

30

【0127】

図18及び図19に示す第7種類の画素回路2Gは、第3種類の画素回路2Cにおいて、第1スイッチ回路22をトランジスタT4とトランジスタT3の直列回路で構成したものである。第7種類の場合、第1スイッチ回路22と第2スイッチ回路23は、共に一方を内部ノードN1に、他方をソース線SLに接続する構成であるため、図18及び図19に示すように、第2スイッチ回路23内のトランジスタ素子T1及びT3の配置は入れ替えることが可能である。更には、図20のような変形回路も可能である。

【0128】

40

図21に示す第8種類の画素回路2Hは、第4種類の画素回路2Dにおいて、第1スイッチ回路22をトランジスタT4とトランジスタT3の直列回路で構成したものである。第5、第6種類の画素回路と同様、第2スイッチ回路23内においてトランジスタT3を内部ノードN1側に配置する必要があるため、図13からT1とT3の配置を入れ替えている。

【0129】

なお、第6～第8種類においても、第5種類の図15及び図16に示すような変形回路の実現が可能である。

【0130】

< 2. グループY >

50

次に、ブースト容量素子 C_{bst} の第 2 端子に選択線 SEL が接続される、グループ Y に属する画素回路について説明する。

【0131】

上述したように、グループ Y の第 1 ～ 第 8 類型に属する各画素回路は、グループ X の第 1 ～ 第 8 類型に属する各画素回路に対して、トランジスタ T_3 の制御端子に遅延回路 31 を介して選択線 SEL を接続することでブースト線 BST と選択線 SEL を共通化させた点のみが異なる。これらの画素回路 2a ～ 2h の回路図を、図 22 ～ 図 29 に示す。

【0132】

なお、グループ X と Y とで画素回路を区別するため、グループ Y の画素回路の符号を 2a ～ 2h と小文字のアルファベットで表記している。また、第 2 実施形態での説明の都合上、トランジスタ T_3 の制御端子に接続するノードを N_3 と表記している。

10

【0133】

図 22 ～ 図 29 の例では、遅延回路 31 として、第 1 端子、第 2 端子及び制御端子を備えた遅延用トランジスタ TD_1 及び TD_2 で構成している。遅延用トランジスタ TD_1 の第 1 端子はトランジスタ T_3 の制御端子に接続し、第 2 端子及び制御端子は選択線 SEL に接続している。遅延用トランジスタ TD_2 の第 1 端子はトランジスタ T_3 の制御端子に接続し、第 2 端子は選択線 SEL に接続し、制御端子はリファレンス線 REF に高電圧に接続している。遅延用トランジスタ TD_1 が「第 1 遅延用トランジスタ」に対応し、遅延用トランジスタ TD_2 が「第 2 遅延用トランジスタ」に対応する。

【0134】

20

ここで、遅延用トランジスタ TD_1 及び TD_2 を、アモルファスシリコン基板上に形成する。アモルファスシリコンは、電子移動度が比較的低いため（ポリシリコンより 3 桁程度低い）、選択線 SEL に電圧が印加されてから遅延用トランジスタ TD_1 が導通するまでに一定の時間がかかる。従って、選択線 SEL に電圧を印加する際に、遅延用トランジスタ TD_2 を選択線 SEL からトランジスタ T_3 の制御端子に向かう方向に非導通としておけば、選択線 SEL に電圧が印加されるタイミングから、トランジスタ T_3 の制御端子に電圧が印加されるタイミングを一定時間遅らせることができる。

【0135】

第 2 実施形態で後述するように、この遅延回路 31 は、セルフリフレッシュ動作において、トランジスタ T_2 の制御端子に高レベル電圧を印加した状態で、出力ノード N_2 を内部ノード N_1 よりも高電位としたときに、これら両ノードの電位をほぼ等しくするのに要する時間分だけ遅延させれば良い。そして、この時間とは、オン状態のトランジスタ T_2 の一方端から他方端へ電子が流れるのに要する時間にほぼ相当する。一方、遅延回路 31 によって生じる遅延時間（選択線 SEL にパルス電圧を印加してからトランジスタ T_3 の制御端子に同電圧が供給されるまでに要する時間）は、オン状態の遅延用トランジスタ TD_1 の一方端から他方端へ電子が流れるのに要する時間にほぼ相当する。このため、トランジスタ T_2 と遅延用トランジスタ TD_1 を同一の材料（アモルファス TFT）で形成しておくことで、単純な回路によって必要十分な遅延時間を確保することができる。

30

【0136】

そして、選択線 SEL への電圧印加が終了すると、この終了時においてリファレンス線 REF に対して所定の電圧を与えておくことで、トランジスタ T_3 の制御端子に与えられていた電圧は、遅延用トランジスタ TD_2 を介して選択線 SEL に流れる。これによりトランジスタ T_3 の制御端子の電位も低下し、選択線 SEL に対するパルス電圧印加前の状態に復帰する。

40

【0137】

なお、遅延回路 31 は、図 22 ～ 図 29 に示した構成に限られず、別の構成も可能である。図 30 に、グループ Y の第 1 類型の画素回路 2a を例に挙げて一構成例を示す。選択線 SEL にパルス電圧が印加されると、遅延用容量素子 CD を介してノード ND の電位が突き上げられる。前記パルス電圧印加前にノード ND に一定程度の電位を与えておくことで、この電位突き上げにより遅延用トランジスタ TD_1 が導通し、この遅延用トランジス

50

タ T D 1 を介して、トランジスタ T 3 の制御端子にパルス電圧が遅延して与えられる。

【 0 1 3 8 】

そして、この構成の場合、選択線 S E L へのパルス電圧印加が終了すると、ノード N D の電位が低下し、遅延用トランジスタ T D 1 が非導通となる。一方で、予めリファレンス線 R E F に所定の電圧を与えておくことで、遅延用トランジスタ T D 2 のソース - ゲート間に閾値電圧以上の電圧が生じるため、T D 2 が導通する。これにより、トランジスタ T 3 の制御端子に与えられていた電圧は、遅延用トランジスタ T D 2 を介して選択線 S E L に流れる。よって、トランジスタ T 3 の制御端子の電位が低下し、選択線 S E L に対するパルス電圧印加前の状態に復帰する。

【 0 1 3 9 】

なお、以下では、これらの遅延用トランジスタ T D 1 及び T D 2 についても、トランジスタ T 1 ~ T 4 と同様、その閾値電圧を 2 V とする。

【 0 1 4 0 】

[第 2 実施形態]

第 2 実施形態では、上述した各グループ X , Y の第 1 ~ 第 8 種類の画素回路によるセルフリフレッシュ動作につき、図面を参照して説明する。

【 0 1 4 1 】

セルフリフレッシュ動作とは、常時表示モードにおける動作で、複数の画素回路 2 に対して、第 1 スイッチ回路 2 2 と第 2 スイッチ回路 2 3 と制御回路 2 4 を所定のシーケンスで作動させ、画素電極 2 0 の電位（これは内部ノード N 1 の電位でもある）を直前の書き込み動作で書き込まれた電位に同時に一括して復元させる動作である。セルフリフレッシュ動作は、上記各画素回路による本発明に特有の動作であり、従来のように通常の書き込み動作を行って画素電極 2 0 の電位を復元させる「外部リフレッシュ動作」に対して大幅な低消費電力化を可能とするものである。なお、上記「同時に一括して」の「同時」とは、一連のセルフリフレッシュ動作の時間幅を有する「同時」である。

【 0 1 4 2 】

ところで、従来においては、書き込み動作を行って、画素電極 2 0 と対向電極 8 0 の間の印加される液晶電圧 V c 1 の絶対値を維持しながら極性のみを反転させる動作（外部極性反転動作）が行われていた。この外部極性反転動作が行われると、極性が反転すると共に、液晶電圧 V c 1 の絶対値も直前の書き込み時の状態に更新される。つまり、極性反転とリフレッシュが同時に行われることとなる。このため、書き込み動作によって、極性を反転させずに液晶電圧 V c 1 の絶対値のみを更新させる目的でリフレッシュ動作を実行するということは通常はあまり行われないが、以下では、説明の都合上、セルフリフレッシュ動作と比較する観点から、このようなリフレッシュ動作のことを「外部リフレッシュ動作」と呼ぶこととする。

【 0 1 4 3 】

なお、外部極性反転動作によってリフレッシュ動作を実行する場合においても、書き込み動作が行われることには変わらない。つまり、この従来方法と比較した場合においても、本実施形態のセルフリフレッシュ動作によって大幅な低消費電力化が可能となるものである。

【 0 1 4 4 】

セルフリフレッシュ動作の対象となる画素回路 2 に接続する全てのゲート線 G L 、ソース線 S L 、選択線 S E L 、リファレンス線 R E F 、補助容量線 C S L 、ブースト線 B S T 、及び対向電極 8 0 には、全て同じタイミングで電圧印加が行われる。電圧供給線 V S L が独立した信号線として設けられている場合には、この電圧供給線 V S L に対しても同じタイミングで電圧印加が行われる。そして、同一タイミング下では、全てのゲート線 G L に対して同一電圧が印加され、全てのリファレンス線 R E F に対して同一電圧が印加され、全ての補助容量線 C S L に対して同一電圧が印加され、全てのブースト線 B S T に対して同一電圧が印加され、電圧供給線 V S L が独立した信号線として設けられている場合には、全ての電圧供給線 V S L に対して同一電圧が印加される。これらの電圧印加のタイミ

10

20

30

40

50

ング制御は、表示制御回路 11 によって行われ、個々の電圧印加は、表示制御回路 11、対向電極駆動回路 12、ソースドライバ 13、ゲートドライバ 14 によって行われる。

【0145】

本実施形態の常時表示モードは、画素回路単位で 2 階調 (2 値) の画素データを保持するため、画素電極 20 (内部ノード N1) に保持されている電位 V_{N1} は、第 1 電圧状態と第 2 電圧状態の 2 つの電圧状態を示す。本実施形態では、上述の対向電圧 V_{com} と同様に、第 1 電圧状態を高レベル (5 V)、第 2 電圧状態を低レベル (0 V) として説明する。

【0146】

セルフリフレッシュ動作の実行直前の状態において、画素電極 20 が高レベル電圧に書き込まれている画素と、低レベル電圧に書き込まれている画素の双方が混在することが想定される。しかしながら、本実施形態のセルフリフレッシュ動作によれば、画素電極 20 が高低いずれの電圧に書き込まれていても、同一のシーケンスに基づく電圧印加処理を行うことで、全ての画素回路に対するリフレッシュ動作を実行することができる。この内容につき、タイミング図及び回路図を参照して説明する。

10

【0147】

なお、以下では、直前の書き込み動作で第 1 電圧状態の電圧 (高レベル電圧) が書き込まれており、当該高レベル電圧を復元させる場合を「ケース H」と呼び、直前の書き込み動作で第 2 電圧状態 (低レベル電圧) が書き込まれており、当該低レベル電圧を復元させる場合を「ケース L」と呼ぶ。

20

【0148】

< 1. グループ X >

まず、ブースト容量素子 C_{bst} の第 2 端子にブースト線 BST が接続される、グループ X に属する各画素回路についてのセルフリフレッシュ動作につき説明する。

【0149】

(第 1 類型)

図 31 に、第 1 類型の画素回路 2A におけるセルフリフレッシュ動作のタイミング図を示す。図 31 に示すように、セルフリフレッシュ動作は、ブースト線 BST に対してパルス電圧が印加されているか否かによって、2 つのフェーズ P1, P2 に分解される。

【0150】

フェーズ P1 では、ブースト線 BST に対してパルス電圧の印加開始後 (時刻 t_1)、少し遅れて選択線 SEL に対してパルス電圧が印加されている (時刻 t_2)。また、フェーズ P2 の開始時刻を t_3 とする。

30

【0151】

図 31 には、セルフリフレッシュ動作の対象となる画素回路 2A に接続する全てのゲート線 GL 、ソース線 SL 、選択線 SEL 、リファレンス線 REF 、補助容量線 CSL 、ブースト線 BST の各電圧波形と、対向電圧 V_{com} の電圧波形を図示している。なお、本実施形態では、画素回路アレイの全画素回路が、セルフリフレッシュ動作の対象とする。

【0152】

更に、図 31 では、ケース H, L それぞれにおける内部ノード N1 の電位 (画素電圧) V_{N1} 、及び出力ノード N2 の電位 V_{N2} の変化を示す波形、並びにトランジスタ T1 ~ T4 のオンオフ状態を示している。なお、図 31 では、どのケースに該当するかを括弧付きで明記している。例えば、 $V_{N1}(H)$ は、ケース H における電位 V_{N1} の変化を示す波形である。

40

【0153】

なお、セルフリフレッシュ動作を開始する時刻 (t_1) より前の時点で、ケース H では高レベル書き込みがなされており、ケース L では低レベル書き込みがなされているものとする。

【0154】

書き込み動作が実行された後、時間が経過すると、画素回路内の各トランジスタのリー

50

ク電流の発生に伴い、内部ノードN 1の電位 V_{N1} は変動する。ケースHの場合、書き込み動作直後においては V_{N1} が5 Vであったが、この値は時間が経過することで当初よりも低い値を示す。これは、主としてオフ状態のトランジスタを介してリーク電流が低電位（例えば接地線）に向かって流れることによる。

【0155】

また、ケースLの場合においては、書き込み動作直後においては、電位 V_{N1} は0 Vであったが、時間経過と共に少し上昇することがある。これは、例えば他の画素回路への書き込み動作時においてソース線SLに書込電圧が印加されることにより、非選択の画素回路であっても、非導通のトランジスタを介してソース線SLから内部ノードN 1に向けてリーク電流が流れることによる。

10

【0156】

図31では、時刻 t_1 において、 $V_{N1}(H)$ が5 Vより少し低く、 $V_{N1}(L)$ が0 Vより少し高く表示されている。これらは上記の電位変動を考慮したものである。

【0157】

以下、各フェーズ毎に各線に印加する電圧レベルにつき、説明する。

【0158】

《フェーズP 1》

時刻 t_1 より開始されるフェーズP 1では、ゲート線GL 1にトランジスタT 4が完全にオフ状態となるような電圧を印加する。ここでは- 5 Vとする。

【0159】

20

また、リファレンス線REFには、第1電圧状態に対応する電圧（5 V）を印加する。この電圧は、内部ノードN 1の電圧状態が高レベル（ケースH）の場合にはトランジスタT 2が非導通状態となり、低レベル（ケースL）の場合にはトランジスタT 2が導通状態となるような電圧値でもある。

【0160】

ソース線SLには、第2電圧状態に対応する電圧（0 V）を印加する。

【0161】

対向電極80に印加する対向電圧 V_{com} 、及び補助容量線CSLに印加する電圧は、0 Vとする。これは0 Vに限る趣旨ではなく、時刻 t_1 より前の時点における電圧値をそのまま維持するものとして良い。

30

【0162】

第3実施形態で後述するように、書き込み動作時にはトランジスタT 2は導通しているため、高レベル書き込みがなされるケースHでは、ノードN 1及びN 2が高レベル電位（5 V）となり、低レベル書き込みがなされるケースLでは、ノードN 1及びN 2が低レベル電位（0 V）となる。

【0163】

書き込み動作が完了すると、トランジスタT 2は非導通状態となるが、ノードN 1はソース線SLとは遮断されるため、引き続きノードN 1及びN 2の電位は保持される。すなわち、時刻 t_1 の直前におけるノードN 1及びN 2の電位は、ケースHではほぼ5 Vであり、ケースLではほぼ0 Vである。「ほぼ」というのは、リーク電流が発生したことによる電位の変動を考慮した記載である。

40

【0164】

そして、時刻 t_1 でリファレンス線REFに5 Vを印加すると、ケースHでは、ノードN 1及びN 2がほぼ5 Vであるため、トランジスタT 2のゲート-ソース間電圧 V_{gs} がほぼ0 Vとなって閾値電圧の2 Vを下回り、非導通状態となる。これに対し、ケースLでは、トランジスタT 2のドレイン又はソースを構成するノードN 1及びN 2がほぼ0 Vであるため、トランジスタT 2のゲート-ソース間電圧 V_{gs} がほぼ5 Vとなって閾値電圧の2 Vを上回り、導通状態となる。

【0165】

なお、厳密に言えば、ケースHの場合、トランジスタT 2は完全に非導通である必要は

50

なく、少なくともノードN2からN1に向かって導通しないような状態であれば良い。

【0166】

ブースト線BSTには、ノードN1の電圧状態が高レベル(ケースH)の場合にはトランジスタT1が導通状態となり、低レベル(ケースL)の場合にはトランジスタT1が非導通状態となるような高レベル電圧を印加する。

【0167】

ブースト線BSTは、ブースト容量素子Cbstの一端に接続されている。このため、ブースト線BSTに高レベル電圧を印加すると、ブースト容量素子Cbstの他端の電位、すなわち出力ノードN2の電位が突き上げられる。このように、ブースト線BSTに印加する電圧を上昇させることで出力ノードN2の電位を突き上げることを、以下では、「ブースト突き上げ」と呼ぶ。

10

【0168】

上述したように、ケースHの場合、時刻t1においてトランジスタT2が非導通である。このため、ブースト突き上げによるノードN2の電位変動量は、ブースト容量CbstとノードN2に寄生する全容量の比率によって決定する。一例として、この比率を0.7とすると、ブースト容量素子の一方の電極が ΔV_{bst} 上昇すれば、他方の電極すなわちノードN2は、ほぼ0.7 ΔV_{bst} だけ上昇することとなる。

【0169】

時刻t1において内部ノード電位VN1(H)はほぼ5Vを示すため、トランジスタT1のゲート、すなわち出力ノードN2に、VN1よりも閾値電圧2V以上高い電位を与えればトランジスタT1は導通する。本実施例では、時刻t1においてブースト線BSTに印加する電圧を10Vとする。この場合、出力ノードN2は7V上昇することとなる。時刻t1の直前の時点で出力ノードN2の電位VN2(H)は、VN1(H)とほぼ同電位(5V)を示すため、ブースト突き上げによって当該ノードN2は12V程度を示す。よって、トランジスタT1にはゲートとノードN1の間に閾値電圧以上の電位差が生じるため、当該トランジスタT1が導通する。

20

【0170】

他方、ケースLの場合、時刻t1においてトランジスタT2は導通している。つまり、ケースHとは異なり、出力ノードN2と内部ノードN1が電氣的に接続している。この場合、ブースト突き上げによる出力ノードN2の電位VN2(L)の変動量は、ブースト容量Cbst及びノードN2の全寄生容量に加えて、内部ノードN1の全寄生容量の影響を受ける。

30

【0171】

内部ノードN1には、補助容量素子Csの一端、並びに液晶容量素子Clcの一端が接続されており、この内部ノードN1に寄生する全容量Cpは、ほぼ液晶容量Clcと補助容量Csの和で表わされることは上述した通りである。そして、ブースト容量Cbstは液晶容量Cpと比べてはるかに小さい値である。従って、これらの総容量に対するブースト容量の比率は極めて小さく、例えば0.01以下程度の値となる。この場合、ブースト容量素子の一方の電極が ΔV_{bst} 上昇すれば、他方の電極、すなわち出力ノードN2は、高々0.01 ΔV_{bst} 程度しか上昇しない。つまり、 $\Delta V_{bst} = 10V$ としても、出力ノードN2の電位VN2(L)は理論的にはほとんど上昇しないこととなる。

40

【0172】

しかし、実際には、図31に示すように、VN2(L)は、ブースト線BSTへのパルス電圧の印加が開始される時刻t1から一定の短い時間の間、電位変動が生じることが想定される。これは、画素回路2a内のトランジスタT2は、電子の移動度が低いアモルファスシリコンTFTで構成されていることに起因するものである。この点につき、トランジスタT2が電子の移動度が高いポリシリコンTFTで形成されている場合と対比して説明する。

【0173】

内部ノードN1が第2電圧状態である場合にブースト線BSTに対してパルス電圧が印

50

加されると、トランジスタT2がポリシリコンTFTであってもアモルファスシリコンTFTであっても、極めて短い時間においては出力ノードの電位VN2は一瞬突き上げられる。

【0174】

しかし、トランジスタT2が電子移動度の高いポリシリコンで形成されている場合、瞬時に、電位が突き上げられた出力ノードN2から導通しているトランジスタT2を介して内部ノードN1に向かう電流が流れ、両ノードが同電位となるため、結果的に出力ノードの電位VN2はパルス電圧印加前とほとんど変化しない。

【0175】

これに対し、トランジスタT2の電子移動度の低いアモルファスシリコンで形成されている場合、出力ノードの電位VN2が突き上げられた後、出力ノードN2から内部ノードN1に向かう電流が流れて両ノードが同電位になるまでに一定の時間を要する。そして、この間は、出力ノードの電位VN2は、ブースト線BSTに対して与えられたパルス電圧の影響を受けて電位が上昇する。その後一定の時間が経過することで、再び内部ノードの電位VN1(L)まで低下し、パルス電圧印加前の状態に復帰する。図31のVN2(L)が、時刻t1から上昇し、その後再びパルス電圧印加前の状態に復帰するような変化を示しているのは、このような理由に基づくものである。

10

【0176】

トランジスタT1の導通状態は出力ノードN2の電位VN2に影響を受ける。ケースHであれば、上述したように時刻t1~t2の間にわたってVN2(H)が高電位であるため、トランジスタT1は導通状態を継続する。一方、ケースLの場合、VN2(L)が上昇している間はトランジスタT1が導通する可能性があるが、その後VN2(L)がパルス電圧印加前の状態に復帰するため、非導通状態を示す。このように、時刻t1~t2の間にわたって継続して非導通を示すとは限らず、一定期間は導通する可能性があることを示唆すべく、図31では、T1(L)を括弧付きで「(OFF)」と記載し、単に「OFF」と記載したものと区別している。

20

【0177】

その後、時刻t2で選択線SELにパルス電圧を与える。この電圧値は、トランジスタT3を導通させるのに必要な値であれば良い。ここでは8Vとした。

【0178】

なお、時刻t2は、少なくともケースLの出力ノードN2の電位VN2が、ブースト線BSTへのパルス電圧印加前の電位(ここでは約0V)に復帰する時刻より後である必要がある。ブースト線BSTに対してパルス電圧を印加後、VN2(L)が約0Vに復帰するまでに要する時間とは、出力ノードN2の電位が上昇後、出力ノードN2と内部ノードN1がほぼ同電位になるまでに要する時間に対応し、これは、トランジスタT2のソース・ドレイン間を電子が移動するのに要する時間にほぼ対応する。従って、予めトランジスタT2と同材料(アモルファスシリコン)で形成されたトランジスタを用いて、ソース・ドレイン間を電子が移動するのに要する時間t1を計測しておき、時刻t1から少なくともこの時間t1以上経過した時刻をt2として設定すれば良い。

30

【0179】

時刻t2で選択線SELに対して8Vが与えられると、ケースH,L共にトランジスタT3が導通する。ここで、ケースHはトランジスタT1も導通しているため、第2スイッチ回路23が導通する。よって、リファレンス線REFから、この第2スイッチ回路23を介して内部ノードN1に5Vが供給され、内部ノードN1の電位VN1が第1電圧状態に復帰する。図31において、時刻t2から少しだけ時間経過した時点で、VN1(H)が5Vに復帰しているのは、このことを示している。

40

【0180】

一方、ケースLの場合、時刻t2の時点ではVN2(L)は低電位状態であるため、トランジスタT1が非導通である。よって、第2スイッチ回路23は非導通であり、リファレンス線REFに印加された5Vが第2スイッチ回路23を介してノードN1に与えられ

50

るということはない。つまり、ノードN 1の電位 $V_{N1}(L)$ は依然として時刻 t_1 の時点とほぼ同レベルの値、すなわちほぼ0 Vを示すこととなる。

【0181】

以上のように、フェーズP 1では、第1電圧状態に書き込まれていた内部ノードN 1(H)に対して自動選択的にリフレッシュ動作が行われる。

【0182】

なお、図31のタイミングチャートに変えて、選択線SELへのパルス電圧の印加をブースト線BSTへの印加と同タイミングに設定すると、ケースLにおいて $V_{N2}(L)$ が高電位を示している間に第2スイッチ回路23が導通し、リファレンス線REFから5 Vが内部ノードN 1に供給される可能性がある。このとき、内部ノードの電位 $V_{N1}(L)$ が第2電圧状態から第1電圧状態に変更してしまい、液晶表示に影響を与えることになってしまう。トランジスタT 2の電子移動度が低く、出力ノードの電位 V_{N2} と内部ノードの電位 V_{N1} がほぼ同電位になるまでに時間を要する場合には、本実施形態のように選択線SELへのパルス電圧印加を、ブースト線BSTへのパルス電圧印加から一定時間(t_1 から t_2 へと)ずらすことが必要となる。グループXの各画素回路では、これを電圧印加タイミングそのものをずらすことで実現している。

10

【0183】

《フェーズP 2》

時刻 t_2 より開始されるフェーズP 2では、ゲート線GL, ソース線SL, リファレンス線REF, 補助容量線CSLに印加する電圧、並びに対向電圧 V_{com} を、フェーズP 1と引き続き同じ値とする。

20

【0184】

選択線SELには、トランジスタT 3が非導通状態となるような電圧を印加する。ここでは- 5 Vとする。これにより、第2スイッチ回路23は非導通となる。

【0185】

ブースト線BSTに印加する電圧を、ブースト突き上げを行う前の状態に低下させる。ここでは0 Vとする。ブースト線BSTの電圧が低下することで、ノードN 1の電位は突き下げされる($V_{N2}(H)$)。

【0186】

フェーズP 2において、ケースLの場合にはトランジスタT 2が導通状態である。このため、ブースト線BSTの電圧が低下しても、ノードN 2の電位 $V_{N2}(L)$ にはほとんど影響せず、ほぼ0 Vを維持する。ノードN 1もノードN 2と同電位を示す。

30

【0187】

フェーズP 2では、フェーズP 1よりもはるかに長い時間同一の電圧状態が維持される。この間、ソース線SLには低レベル電圧(0 V)が印加されている。このため、この間に発生するトランジスタT 4を介したリーク電流により、ケースLの内部ノード電位 $V_{N1}(L)$ は、0 Vに接近する方向に経時的に変化する。つまり、時刻 t_1 の直前の時点において、ケースLにおける内部ノードN 1の電位 $V_{N1}(L)$ が0 Vより高い電位であっても、フェーズP 2の期間にこの電位が0 Vに向かう方向に変化する。

【0188】

一方で、ケースHの場合、フェーズP 1によって内部ノード電位 $V_{N1}(H)$ は5 Vに復帰したが、その後のリーク電流の存在によって、時間経過と共に徐々に減少する。

40

【0189】

以上のように、フェーズP 2では、第2電圧状態に書き込まれていた内部ノードN 1の電位を、徐々に0 Vに近づける動作が行われる。いわば第2電圧状態に書き込まれていた内部ノードN 1に対する間接的なリフレッシュ動作が行われる。

【0190】

その後は、このフェーズP 1とP 2を繰り返すことで、ケースH及びLの双方の内部ノードN 1の電位、すなわち画素電圧を直前の書き込み状態に復帰させることができる。

【0191】

50

従来のように、ソース線 S L を介した電圧印加による書き込みによってリフレッシュ動作を行う場合、ゲート線 G L を 1 本ずつ垂直方向に走査する必要がある。このため、ゲート線 G L に対しゲート線の数 (n) だけ高レベル電圧を印加する必要がある。また、直前の書き込み動作において書き込まれた電位レベルと同一の電位レベルを、各ソース線 S L に印加する必要があるため、各ソース線 S L に対してもそれぞれ最大 n 回の充放電動作を必要とする。

【 0 1 9 2 】

これに対し、本実施形態によれば、リファレンス線 R E F には一定の電圧 (5 V) を与えておきながら、選択線 S E L 及びブースト線 B S T に対してはそれぞれ 1 回のパルス電圧を印加し、その後に低レベル電位を維持するのみで、全ての画素に対し、内部ノード電位 V N 1 (画素電極 2 0 の電位) を書き込み動作時の電位状態に復帰することが可能となる。つまり、1 フレーム期間内において、各画素の内部ノード電位 V N 1 を復帰させるために各線に印加する印加電圧を変化させる回数は 2 ターン (時刻 t 1 ~ t 2 , t 2 ~ t 3) で足りる。この間、全てのゲート線 G L には低レベル電圧を印加し続けるのみで良い。

10

【 0 1 9 3 】

よって、本実施形態のセルフリフレッシュ動作によれば、通常の外部リフレッシュ動作と比べ、ゲート線 G L に対する電圧印加、及びソース線 S L に対する電圧印加の回数を大幅に削減でき、更には、その制御内容も簡素化できる。このため、ゲートドライバ 1 4 及びソースドライバ 1 3 の消費電力量を大きく削減することができる。

20

【 0 1 9 4 】

(第 2 類型)

図 1 1 に示す第 2 類型の画素回路 2 B は、電圧供給線 V S L が補助容量線 C S L と共通化した構成である。このため、第 1 類型と比較した場合、フェーズ P 1 において補助容量線 C S L に第 1 電圧状態の高レベル電圧 (5 V) を印加する点異なる。第 2 類型の画素回路のセルフリフレッシュ動作時のタイミング図を図 3 2 に示す。

【 0 1 9 5 】

第 2 類型の場合、後述するように、常時表示モード時における書き込み動作では、補助容量線 C S L に印加する電圧は、第 1 電圧状態 (5 V) か第 2 電圧状態 (0 V) のいずれかに固定される。そして、この類型は、書き込み時に補助容量線 C S L に対して 5 V が印加されている場合において、セルフリフレッシュ動作の実行が可能である。このとき、セルフリフレッシュ動作時においても、この補助容量線 C S L への印加電圧 (5 V) を固定しておく。その他は、図 3 1 に示す第 1 類型の場合と共通である。図 3 2 では、補助容量線 C S L への印加電圧として 0 V を採用できないことを明示すべく、補助容量線 C S L の印加電圧の欄に「 5 V (限定) 」と表記している。

30

【 0 1 9 6 】

このように構成することで、ケース H の場合、時刻 t 2 ~ t 3 にわたってトランジスタ T 1 及び T 3 の双方が導通するため、第 1 電圧状態の電圧 (5 V) が補助容量線 C S L から第 2 スイッチ回路 2 3 を介して内部ノード N 1 に与えられ、リフレッシュ動作が行われる。ケース L の場合、時刻 t 2 ~ t 3 にわたってトランジスタ T 1 が非導通であるため、第 2 スイッチ回路 2 3 が非導通であり、これによって内部ノード N 1 が低レベル電圧が維持される。

40

【 0 1 9 7 】

(第 3 類型)

図 1 2 に示す第 3 類型の画素回路 2 C は、電圧供給線 V S L がソース線 S L と共通化した構成である。このため、第 1 類型と比較した場合、時刻 t 2 ~ t 3 にわたってソース線 S L に第 1 電圧状態の高レベル電圧 (5 V) を供給する点異なる。第 3 類型の画素回路のセルフリフレッシュ動作時のタイミング図を図 3 3 に示す。

【 0 1 9 8 】

なお、図 1 2 では、時刻 t 2 ~ t 3 にのみソース線 S L に 5 V を供給したが、t 1 ~ t 3 にかけて 5 V を与えても良い。

50

【 0 1 9 9 】

ケースHの場合、時刻 $t_2 \sim t_3$ にわたってトランジスタ T_1 及び T_3 の双方が導通するため、第1電圧状態の電圧 (5V) がソース線 S_L から第2スイッチ回路23を介して内部ノード N_1 に与えられ、リフレッシュ動作が行われる。ケースLの場合、時刻 $t_2 \sim t_3$ にわたってトランジスタ T_1 が非導通であるため、第2スイッチ回路23が非導通であり、これによって内部ノード N_1 が低レベル電圧が維持される。

【 0 2 0 0 】

(第4類型)

図13に示す第4類型の画素回路2Dは、電圧供給線 V_{SL} を他の信号線と共通化せず、個別に有する構成である。このため、第1類型と比較した場合、時刻 $t_2 \sim t_3$ にかけて電圧供給線 V_{SL} に第1電圧状態の高レベル電圧 (5V) を印加し、フェーズ P_2 において第2電圧状態の低レベル電圧 (0V) を印加する点が異なる。第4類型の画素回路のセルフリフレッシュ動作時のタイミング図を図34に示す。

10

【 0 2 0 1 】

なお、図34では、時刻 $t_2 \sim t_3$ にのみ電圧供給線 V_{SL} に5Vを供給したが、 $t_1 \sim t_3$ にかけて5Vを与えても良い。また、時刻 $t_1 \sim t_4$ にわたって電圧供給線 V_{SL} に5Vを供給し続けても構わない。

【 0 2 0 2 】

ケースHの場合、時刻 $t_2 \sim t_3$ にわたってトランジスタ T_1 及び T_3 の双方が導通するため、第1電圧状態の電圧 (5V) が電圧供給線 V_{SL} から第2スイッチ回路23を介して内部ノード N_1 に与えられ、リフレッシュ動作が行われる。ケースLの場合、時刻 $t_2 \sim t_3$ にわたってトランジスタ T_1 が非導通であるため、第2スイッチ回路23が非導通であり、これによって内部ノード N_1 が低レベル電圧が維持される。

20

【 0 2 0 3 】

(第5類型)

図14に示す第5類型の画素回路2Eは、リファレンス線 REF が電圧供給線 V_{SL} を兼ねている点において、第1類型の画素回路2Aと共通する。すなわち、フェーズ P_1 の時刻 $t_2 \sim t_3$ の間において、ケースHの場合に第2スイッチ回路23を介してリファレンス線 REF から内部ノード N_1 に5Vを与えてリフレッシュ動作を実行する。一方、ケースLの場合は、時刻 $t_2 \sim t_3$ の間において、トランジスタ T_1 を非導通とすることで第2スイッチ回路23を非導通とし、リファレンス線 REF から内部ノード N_1 に5Vが供給されないようにする。

30

【 0 2 0 4 】

第5類型の場合、トランジスタ T_3 は、第1スイッチ回路22の一素子をも構成している。しかしながら、フェーズ P_1 ではトランジスタ T_4 を非導通としておくことで、第1スイッチ回路22を非導通とすることができるため、このトランジスタ T_3 を導通しても問題ない。このことは、図15及び図16に示した第5類型の画素回路の変形例においても同様である。

【 0 2 0 5 】

以上を踏まえると、第5類型の画素回路2Eは、図31のタイミング図に示した第1類型の画素回路2Aと同じ電圧印加方法によって、セルフリフレッシュ動作の実行が可能である。

40

【 0 2 0 6 】

(第6類型)

図17に示す第6類型の画素回路2Fは、補助容量線 CS_L が電圧供給線 V_{SL} を兼ねている点において、第2類型の画素回路2Bと共通する。そして、第2類型と第6類型の画素回路の相違点は、第1類型と第5類型の画素回路の相違点と同じである。

【 0 2 0 7 】

従って、第5類型の場合と同様の理屈により、第6類型の画素回路2Fは、図32のタイミング図に示した第2類型の画素回路2Bと同じ電圧印加方法によって、セルフリフレ

50

ッシュ動作の実行が可能である。

【0208】

(第7類型)

図18に示す第7類型の画素回路2Gは、ソース線SLが電圧供給線VSLを兼ねている点において、第3類型の画素回路2Cと共通する。そして、第3類型と第7類型の画素回路の相違点は、第1類型と第5類型の画素回路の相違点と同じである。

【0209】

従って、第5類型の場合と同様の理屈により、第7類型の画素回路2Fは、図33のタイミング図に示した第3類型の画素回路2Cと同じ電圧印加方法によって、セルフリフレッシュ動作の実行が可能である。図19及び図20の回路構成においても同じである。

10

【0210】

(第8類型)

図21に示す第8類型の画素回路2Hは、電圧供給線VSLが独立した信号線で構成されている点において、第4類型の画素回路2Dと共通する。そして、第4類型と第8類型の画素回路の相違点は、第1類型と第5類型の画素回路の相違点と同じである。

【0211】

従って、第4類型の場合と同様の理屈により、第8類型の画素回路2Hは、図34のタイミング図に示した第4類型の画素回路2Dと同じ電圧印加方法によって、セルフリフレッシュ動作の実行が可能である。

20

【0212】

<2. グループY>

次に、ブースト容量素子Cbstの第2端子に選択線SELが接続されると共に、この選択線SELに対して遅延回路31を介してトランジスタT3の制御端子が接続される構成である、グループYに属する各画素回路についてのセルフリフレッシュ動作につき説明する。

【0213】

図31～図34に示した、グループXの各画素回路におけるセルフリフレッシュ動作のタイミング図では、ブースト線BSTに対してパルス電圧を印加後、VN2(L)が確実に低電位に復帰するのを待ってから選択線SELに対してパルス電圧を印加していた。これは、ブースト線BSTと選択線SELが異なる信号線である場合にのみ実現できる方法である。

30

【0214】

グループYの場合、ブースト容量素子Cbstの第2端子と、トランジスタT3の制御端子が、共に選択線SELに接続される構成である。従って、ブースト突き上げにより出力ノードの電位VN2が上昇するタイミングと、トランジスタT3が導通するタイミングを、信号線への電圧印加タイミングをずらすことで実現することはできない。このため、前述したように、グループYの各画素回路は、選択線SELとトランジスタT3の間に遅延回路31を設け、選択線SELに対してパルス電圧が印加されてから、トランジスタT3の制御端子にこのパルス電圧が与えられるまでに一定の遅延時間がかかるような構成としている。

40

【0215】

つまり、選択線SELに対して、「ブースト突き上げ」用のパルス電圧を印加する時刻をt1とし、この電圧が遅延回路31を介してトランジスタT3の制御端子に供給され、ノードN3(トランジスタT3の制御端子が形成するノード)の電位がトランジスタT3を導通させるのに必要なレベルまで上昇した時点の時刻をt2とすれば、グループXと同様の論理によりセルフリフレッシュ動作が実現できることが分かる。

【0216】

図35に、第1類型の画素回路2aの場合におけるタイミング図を示す。なお、グループXとの対比のため、図35ではノードN3の電位をVN3の変化についても図示している。グループXの場合、トランジスタT3の制御端子に選択線SELが直接接続する構成

50

であるため、トランジスタ T 3 の制御端子の電位の変化はそのまま選択線 S E L への印加電圧の変化に対応する。

【 0 2 1 7 】

なお、図 3 5 では、選択線 S E L への印加電圧を時刻 t_1 において 0 V から 1 0 V に上昇するものとした。これは、比較のためにグループ X の場合のブースト線 B S T への印加電圧の振幅 (1 0 V) と等しくする意図であるが、必ずしも振幅を 1 0 V に設定する必要はないことは言うまでもない。グループ X の場合と同様、時刻 t_1 より前、及び時刻 t_3 より後の時点では、トランジスタ T 3 を確実に非導通にすべく、選択線 S E L に負電圧 (- 5 V) を印加するものとしても良い。ただしこの場合であっても、時刻 $t_2 \sim t_3$ の時点ではトランジスタ T 3 を導通すべく、少なくとも 7 V 程度の電圧を印加する必要がある。この場合、出力ノード N 1 に対するブースト突き上げはグループ X の場合よりも大きくなる。

10

【 0 2 1 8 】

時刻 t_1 において選択線 S E L に 1 0 V を印加する。このとき、遅延用トランジスタ T D 2 には制御端子にリファレンス線 R E F から 5 V が与えられているため、この T D 2 を介して選択線 S E L からノード N 3 に向かって電流が生じ、ノード N 3 の電位 V_{N3} が上昇し始める。ただし、遅延用トランジスタ T D 2 は電子移動度の低いアモルファス T F T であるため、ノード N 3 の電位は時刻 t_1 から少し遅れて徐々に上昇し始める。

【 0 2 1 9 】

また、遅延用トランジスタ T D 1 は、選択線 S E L からノード N 3 に向かう方向にダイオード接続を形成しているため、この T D 1 を介してもノード N 3 の電位は上昇する。なお、ノード N 3 の電位が 3 V 以上になると、遅延用トランジスタ T D 2 はカットオフし、専ら T D 1 を介して選択線 S E L から電圧供給される。遅延用トランジスタ T D 1 も電子移動度の低いアモルファス T F T であるため、選択線 S E L からこのトランジスタ T D 1 を介してノード N 3 に向かう電流が発生するまでには一定の時間を要する。

20

【 0 2 2 0 】

このようにノード N 3 は時刻 t_1 から時間遅れで徐々にその電位を上昇させ、ある時刻 t_2 の時点においてトランジスタ T 3 を導通させるのに必要な電位を超える。その後、ノード N 3 は、選択線 S E L の印加電位から、遅延用トランジスタ T D 1 の閾値電圧分だけ低下した電位に達すると、その電位が維持される。

30

【 0 2 2 1 】

そして、グループ Y の場合、選択線 S E L にブースト容量素子 C_{bst} の一端が接続する構成であるため、時刻 t_1 で選択線 S E L にパルス電圧が印加されると、出力ノード N 2 に対してブースト突き上げが生じる。ケース H の場合にはトランジスタ T 2 が非導通であるため、 $V_{N2}(H)$ が突き上げられ、その電位が維持される。一方、ケース L の場合、トランジスタ T 2 の低移動度に由来して $V_{N2}(L)$ が一時的に電位上昇した後、導通状態のトランジスタ T 2 を介して内部ノード N 1 と同電位 (ほぼ 0 V) に低下し、その値を保持する。なお、 $V_{N2}(H)$ 及び $V_{N2}(L)$ の電位変動の態様はグループ X の場合と変わりはないので、詳細な説明は省略する。

【 0 2 2 2 】

40

つまり、時刻 t_1 から、少なくとも $V_{N2}(L)$ がトランジスタ T 1 を非導通とする電位レベルまで低下するのに要する時間が経過した後、トランジスタ T 3 が導通すれば、ケース L においてトランジスタ T 1 と T 3 が同時に導通するということはない。従って、トランジスタ T 3 を導通させるのに必要な電位まで V_{N3} が上昇するのに要する時間 ($t_1 \sim t_2$ の時間) を、 $V_{N2}(L)$ がトランジスタ T 1 を非導通とする電位レベルまで低下するのに要する時間以上に確保することで、グループ X と同様の電圧状態を実現することが可能である。時刻 t_1 から t_2 までに要する時間は、遅延用トランジスタ T D 1 及び T D 2 の設計値により調整することができる。

【 0 2 2 3 】

以上のように、遅延回路 3 1 を設けることで、選択線 S E L に対してパルス電圧が印加

50

される時刻 t_1 と、ノード N_3 (トランジスタ T_3 の制御端子) にトランジスタ T_3 を導通させるのに必要な電位を供給する時刻 t_2 とを、意図的にずらすことができ、これによってグループ X と同様の効果を得ることができる。第 2 ~ 第 8 類型においても全く同様の原理により説明できるので、タイミング図のみを図示し、その説明を割愛する。図 3 6 ~ 図 3 8 に第 2 ~ 第 4 類型の画素回路におけるタイミング図を示す。

【0224】

このとき、第 3 類型 (図 3 7) の場合、グループ X において上述したように、ソース線 S_L に 5 V を供給するタイミングを、時刻 $t_1 \sim t_3$ としても良い。また、第 4 類型 (図 3 8) の場合、グループ X において上述したように、電圧供給線 V_{SL} に 5 V を供給するタイミングを、時刻 $t_1 \sim t_3$ としても構わないし、時刻 $t_1 \sim t_4$ としても構わない。

10

【0225】

また、第 5 ~ 第 8 類型のタイミング図は、グループ X において上述したのと同様の理由により、それぞれ第 1 ~ 第 4 類型と同一のタイミング図になり、すなわち図 3 5 ~ 図 3 8 に対応する。

【0226】

なお、図 3 0 に示すような遅延回路 3 1 の場合においても、同様の電圧印加方法によりセルフリフレッシュ動作を実行できる。図 3 0 に示す第 1 類型の画素回路 2 a を例に挙げて説明する。

【0227】

図 3 5 に示すタイミング図のように、リファレンス線 REF に 5 V を印加する。遅延用トランジスタ T_{D2} は、第 1 端子 (ノード N_D とは反対側の端子) 及び制御端子がリファレンス線 REF に接続しているため、リファレンス線 REF からノード N_D に向かうダイオード接続が形成され、ノード N_D には、遅延用トランジスタ T_{D2} の閾値電圧分だけ低下した 3 V 程度の電位が与えられる。

20

【0228】

そして、時刻 t_1 において選択線 SEL に 10 V のパルス電圧を印加する。このとき、前述したように、ノード N_2 の電位が突き上げられると共に、遅延用容量素子 CD を介してノード N_D の電位も突き上げられる。ノード N_D に寄生する全容量に対する遅延用容量素子 CD の容量の比率が 0.8 程度であるとすれば、このノード N_D はほぼ 8 V 程度上昇し、11 V 程度の電位を示す。

30

【0229】

これにより、ノード N_D が制御端子に接続している遅延用トランジスタ T_{D1} が導通し始める。しかし、上述したように、遅延用トランジスタ T_{D1} は電子移動度が低いアモルファス TFT で構成されているため、選択線 SEL の電圧が直にはノード N_3 に供給されない。すなわち、ノード N_3 の電位 V_{N3} は経時的に電位を上昇させ、ある時刻 t_2 を超えた時点で、トランジスタ T_3 を導通させ得る電位レベルに達する。その後、ノード N_3 は、ノード N_D の電位から、遅延用トランジスタ T_{D1} の閾値電圧分だけ低下した電位に達すると、その電位が維持される。

【0230】

なお、図 3 5 のタイミング図では、 V_{N3} の最高値は 8 V 程度を示しているが、これは図 2 2 のように選択線 SEL が遅延用トランジスタ T_{D1} の制御端子と接続している構成であることによるものである。図 3 0 の構成の場合、選択線 SEL に対してパルス電圧が印加されている間、ノード N_D の電位は選択線 SEL の電位よりも高電位であるため、図 3 5 のタイミング図に示す値よりも少し高電位を示す。なお、この V_{N3} の値は、ノード N_D に寄生する全容量に対する遅延用容量素子 CD の容量の比率にも依存する。例えば、この比率が前述したように 0.8 であり、遅延用トランジスタ T_{D1} 及び T_{D2} の閾値電圧が共に 2 V であるとすれば、 V_{N3} の最高値はほぼ 9 V を示すこととなる。

40

【0231】

この時刻 t_2 までの間に、ケース L のトランジスタ T_2 が導通し、ノード N_2 の電位 $V_{N2}(L)$ がノード N_1 の電位 $V_{N1}(L)$ とほぼ等しい電位となっていれば、ケース L

50

においてトランジスタ T_1 が導通することではなく、すなわち、第 2 スイッチ回路 23 が導通することではなく、電圧供給線（ここではリファレンス線 REF ）から 5 V が内部ノード N_1 に供給されることはない。一方、ケース H の場合には、トランジスタ T_1 及び T_3 が導通しているため、この 5 V が内部ノード N_1 に供給され、リフレッシュ動作が実行される。

【0232】

その後、時刻 t_3 において、選択線 SEL へのパルス電圧印加を終了すると、ノード N_D の電位が再び 3 V 程度に低下する。しかし、この値は、選択線 SEL の電位（0 V）に閾値電圧を加えた値（2 V）より高電位であるため、遅延用トランジスタ T_{D1} は、ノード N_3 から選択線 SEL に向かう方向に導通する。これにより、ノード N_3 から選択線 SEL に向かう電流が生じ、ノード N_3 の電位は 0 V に向けて低下を開始する。

10

【0233】

以上のように、図 30 の回路構成においても、図 22 の回路構成と同様、選択線 SEL にパルス電圧を印加してからトランジスタ T_3 の制御端子に当該電圧を供給するまでに遅延時間を形成することができる。これにより、ケース L において選択線 SEL へのパルス電圧印加直後にノード N_2 の電位 $V_{N2}(L)$ が一時的に上昇することでトランジスタ T_1 が導通しても、この間にトランジスタ T_3 を非導通にできるため、電圧供給線（図 30 であればリファレンス線 REF ）に印加されている第 1 電圧状態の電圧（5 V）が内部ノード N_1 に供給されるのを防ぐことができる。第 2 ～ 第 8 種類の画素回路に対して、図 30 に示す遅延回路 31 を備える構成とした場合においても同様の効果を得ることができる。

20

【0234】

[第3実施形態]

第 3 実施形態では、常時表示モードにおける書き込み動作につき、各類型毎に図面を参照して説明する。

【0235】

常時表示モードにおける書き込み動作では、1 フレーム分の画素データを水平方向（行方向）の表示ライン毎に分割し、1 水平期間毎に、各列のソース線 SL に 1 表示ライン分の各画素データに対応した 2 値の電圧、すなわち高レベル電圧（5 V）又は低レベル電圧（0 V）を印加する。そして、選択された表示ライン（選択行）のゲート線 GL に選択行電圧 8 V を印加して、当該選択行の全ての画素回路 2 の第 1 スイッチ回路 22 を導通状態にして、各列のソース線 SL の電圧を、選択行の各画素回路 2 の内部ノード N_1 に転送する。

30

【0236】

選択された表示ライン以外（非選択行）のゲート線 GL には、当該選択行の全ての画素回路 2 の第 1 スイッチ回路 22 を非導通状態にするため、非選択行電圧 - 5 V を印加する。なお、以下に説明する書き込み動作における各信号線の電圧印加のタイミング制御は、表示制御回路 11 によって行われ、個々の電圧印加は、表示制御回路 11、対向電極駆動回路 12、ソースドライバ 13、ゲートドライバ 14 によって行われる。

【0237】

<1. グループ X>

まず、トランジスタ T_3 の制御端子にブースト線 BST が接続される、グループ X に属する各画素回路についての常時表示モードにおける書き込み動作につき説明する。

40

【0238】

（第 1 類型）

図 39 に、第 1 種類の画素回路 2A（図 8）を使用した書き込み動作のタイミング図を示す。図 39 では、1 フレーム期間における 2 本のゲート線 GL_1 、 GL_2 、2 本のソース線 SL_1 、 SL_2 、選択線 SEL 、リファレンス線 REF 、補助容量線 CSL 、ブースト線 BST の各電圧波形と、対向電圧 V_{com} の電圧波形を図示している。更に、図 39 では、2 つの画素回路 2A の内部ノード N_1 の電位 V_{N1} の変動波形を併せて表示してい

50

る。2つの画素回路2Aの一方は、ゲート線GL1とソース線SL1で選択される画素回路2A(a)で、他方は、ゲート線GL1とソース線SL2で選択される画素回路2A(b)で、図中のVN1の後ろに、それぞれ(a)と(b)を付して区別している。

【0239】

1フレーム期間は、ゲート線GLの本数分の水平期間に分割され、各水平期間に選択されるゲート線GL1~GLnが順番に割り当てられている。図39では、最初の2水平期間における2本のゲート線GL1, GL2の電圧変化を図示している。第1水平期間では、ゲート線GL1に選択行電圧8Vが、ゲート線GL2に非選択行電圧-5Vが印加され、第2水平期間では、ゲート線GL2に選択行電圧8Vが、ゲート線GL1に非選択行電圧-5Vが印加され、それ以後の水平期間では、両ゲート線GL1, GL2に非選択行電圧-5Vが印加される。

10

【0240】

各列のソース線SLには、水平期間毎に対応する表示ラインの画素データに対応した電圧(5V, 0V)が印加されている。図39では、各ソース線SLを代表して2本のソース線SL1, SL2を図示している。なお、図39に示す例では、内部ノード電位VN1の変化を説明するため、最初の1水平期間の2本のソース線SL1, SL2の電圧を5Vと0Vに分けて設定している。

【0241】

第1タイプの画素回路2Aは、第1スイッチ回路22がトランジスタT4だけで構成されているので、第1スイッチ回路22の導通非導通の制御は、トランジスタT4だけのオンオフ制御で十分である。また、第2スイッチ回路23は、書き込み動作では導通状態にする必要がなく、非選択行の画素回路2Aで第2スイッチ回路23が導通状態となるのを防止するために、1フレーム期間の間、全ての画素回路2Aに接続する選択線SELに非選択用電圧0V(-5Vでも良い)を印加する。なお、ブースト線BSTにも選択線SELと同一の電圧を印加する。

20

【0242】

また、リファレンス線REFには、1フレーム期間の間、トランジスタT2を内部ノードN1の電圧状態に関係なく常時オン状態とするために、高レベルの電圧(5V)より閾値電圧(2V程度)以上高い8Vを印加する。これにより、出力ノードN2と内部ノードN1が電氣的に接続され、内部ノードN1に接続する補助容量素子Csを内部ノードの電位VN1の保持に利用することができ、この安定化に資する。また、補助容量線CSLは所定の固定電圧(例えば、0V)に固定する。対向電圧Vcomは、上述した対向AC駆動がなされるが、1フレーム期間の間は0V又は5Vに固定される。図39では、対向電圧Vcomは0Vに固定されている。

30

【0243】

(第2~第4類型)

図39に示した、第1タイプの画素回路2Aにおける書き込み動作のタイミング図を見れば、1フレーム期間にわたって選択線SELには常に低レベル電圧が印加されている。つまり、第2スイッチ回路23は常に非導通である。

【0244】

従って、第2スイッチ回路23の一端が補助容量線CSLに接続する第2タイプの画素回路2Bや、ソース線SLに接続する第3タイプの画素回路2C、電圧供給線VSLに接続する第4タイプの画素回路2Dにおいても、第1タイプのタイミング図と同様の電圧印加により書き込み動作が可能である。なお、第4類型の場合、電圧供給線VSLへの印加電圧は、0Vとすれば良い。

40

【0245】

また、第4類型の場合、電圧供給線VSLに5V(第1電圧状態)を印加することで、選択線SELに0Vを印加してトランジスタT3をオフ状態としなくても、トランジスタT1の制御端子の電圧が内部ノードN1と同電圧であるので、ダイオード接続状態のトランジスタT1が逆バイアス状態(オフ状態)となり、第2スイッチ回路23が非導通状態

50

となる。

【 0 2 4 6 】

(第 5 類型)

図 1 4 に示す第 5 類型の画素回路 2 E は、第 1 スイッチ回路 2 2 がトランジスタ T 4 とトランジスタ T 3 の直列回路で構成されるため、書き込み時には、トランジスタ T 4 のみならず T 3 をも導通させる必要がある。この点で、第 1 類型の画素回路 2 A とは異なるシーケンスとなる。

【 0 2 4 7 】

図 4 0 に、第 5 類型の画素回路 2 E を使用した書き込み動作のタイミング図を示す。図 4 0 では、2 本の選択線 S E L 1 , S E L 2 を図示している点以外は、図 3 9 と図示している項目は共通する。

10

【 0 2 4 8 】

ゲート線 G L (G L 1 , G L 2)、及び、ソース線 S L (S L 1 , S L 2) の電圧印加タイミング及び電圧振幅は、図 3 9 と全く同じである。

【 0 2 4 9 】

画素回路 2 E では、第 1 スイッチ回路 2 2 が、トランジスタ T 4 とトランジスタ T 3 の直列回路で構成されているので、第 1 スイッチ回路 2 2 の導通 / 非導通を制御するに際しては、トランジスタ T 4 のオンオフ制御に加え、トランジスタ T 3 のオンオフ制御が必要となる。従って、本類型では、全ての選択線 S E L を一括して制御するのではなく、ゲート線 G L と同様に、行単位に個別に制御する必要がある。つまり、選択線 S E L は行毎に 1 本ずつ、ゲート線 G L 1 ~ G L n と同数設けられ、ゲート線 G L 1 ~ G L n と同様に順番に選択される。

20

【 0 2 5 0 】

図 4 0 では、最初の 2 水平期間における 2 本の選択線 S E L 1 , S E L 2 の電圧変化を図示している。第 1 水平期間では、選択線 S E L 1 に選択用電圧 8 V が、選択線 S E L 2 に非選択用電圧 - 5 V が印加され、第 2 水平期間では、選択線 S E L 2 に選択用電圧 8 V が、選択線 S E L 1 に非選択用電圧 - 5 V が印加され、それ以後の水平期間では、両選択線 S E L 1 , S E L 2 に非選択用電圧 - 5 V が印加される。

【 0 2 5 1 】

リファレンス線 R E F、補助容量線 C S L、ブースト線 B S T への印加電圧、並びに対向電圧 V c o m については、図 3 9 に示す第 1 類型と同じである。なお、非選択行において、第 1 スイッチ回路 2 2 を非導通状態とする場合、トランジスタ T 4 が完全にオフ状態となっているので、トランジスタ T 3 をオフにするための選択線 S E L の非選択用電圧は、- 5 V でなく 0 V でも良い。

30

【 0 2 5 2 】

なお、本類型の画素回路の場合、書き込み時にトランジスタ T 3 が導通するが、リファレンス線 R E F に 8 V が印加されているため、内部ノード N 1 が第 1 電圧状態であってもトランジスタ T 1 がリファレンス線 R E F からトランジスタ T 3 に向かう方向に導通することはない。このため、リファレンス線 R E F に印加された 8 V が、第 2 スイッチ回路 2 3 を介して内部ノード N 1 に与えられるということではなく、ノード N 1 にはソース線 S L に与えられた正しい書き込み電圧が与えられる。

40

【 0 2 5 3 】

(第 6 類型)

図 1 7 に示す第 6 類型の画素回路 2 F においても、第 5 類型の場合と同様、選択線 S E L を一括して制御するのではなく、ゲート線 G L と同様に、行単位に個別に制御する必要がある。つまり、選択線 S E L は行毎に 1 本ずつ、ゲート線 G L 1 ~ G L n と同数設けられ、ゲート線 G L 1 ~ G L n と同様に順番に選択される。

【 0 2 5 4 】

そして、本類型の構成の場合、書き込み時にトランジスタ T 3 が導通するため、第 2 スイッチ回路 2 3 が導通することで内部ノード N 1 の電位 V N 1 が変動しないように、補助

50

容量線 C S L には 5 V を与えておく必要がある。その他は第 5 類型の画素回路 2 E と同様の電圧印加方法によって書き込み動作が可能である。

【 0 2 5 5 】

(第 7 類型)

図 1 8 に示す第 7 類型の画素回路 2 G においても、第 5 類型の場合と同様、選択線 S E L を一括して制御するのではなく、ゲート線 G L と同様に、行単位に個別に制御する必要がある。つまり、選択線 S E L は行毎に 1 本ずつ、ゲート線 G L 1 ~ G L n と同数設けられ、ゲート線 G L 1 ~ G L n と同様に順番に選択される。

【 0 2 5 6 】

なお、本類型の構成の場合、第 2 スイッチ回路 2 3 は第 1 スイッチ回路 2 2 と共にソース線 S L に接続する構成であるため、書き込み時にトランジスタ T 3 が導通しても内部ノードの電位 V N 1 が変動することがないため、そのことへの手当ては特段必要ない。図 4 0 に示す第 5 類型の場合と同様の電圧印加方法によって書き込み動作が可能である。

10

【 0 2 5 7 】

(第 8 類型)

図 2 1 に示す第 8 類型の画素回路 2 H においても、第 5 類型の場合と同様、選択線 S E L を一括して制御するのではなく、ゲート線 G L と同様に、行単位に個別に制御する必要がある。つまり、選択線 S E L は行毎に 1 本ずつ、ゲート線 G L 1 ~ G L n と同数設けられ、ゲート線 G L 1 ~ G L n と同様に順番に選択される。

【 0 2 5 8 】

本類型の構成の場合、書き込み時にトランジスタ T 3 が導通する可能性がある。つまり、仮に、書き込み動作中に、同時に導通状態となっている第 1 スイッチ回路 2 2 と第 2 スイッチ回路 2 3 の各一端に接続するソース線 S L と電圧供給線 V S L の電圧に差があれば、ソース線 S L と電圧供給線 V S L 間に電流経路が発生し、その中間に位置するノードの電圧が変動し、内部ノード N 1 に書き込みデータに対応した正しい電圧が書き込まれない可能性がある。

20

【 0 2 5 9 】

このため、電圧供給線 V S L が、ソース線 S L と平行に縦方向 (列方向) に延伸し、列単位に個別に駆動可能に設けられている場合には、第 2 スイッチ回路 2 3 の一端に接続する電圧供給線 V S L を、対となる第 1 スイッチ回路 2 2 の一端に接続するソース線 S L と同電圧にする駆動することで、ソース線 S L と電圧供給線 V S L の電位差を生じなくすることで、上記問題を解決する方法がある。

30

【 0 2 6 0 】

また、上記方法とは別に、選択行の第 1 スイッチ回路 2 2 を非導通にすることで上記問題を解決する駆動方法がある。

【 0 2 6 1 】

リファレンス線 R E F に 8 V が印加され、トランジスタ T 2 がオン状態であるため、トランジスタ T 1 の制御端子の電圧が内部ノード N 1 と同電圧である。従って、電圧供給線 V S L に 5 V (第 1 電圧状態) を印加することにより、ダイオード接続状態のトランジスタ T 1 が逆バイアス状態 (オフ状態) となり、選択行の第 1 スイッチ回路 2 2 を非導通状態にすることができる。この方法によれば、電圧供給線 V S L をソース線 S L と同電圧に駆動する必要があるため、電圧供給線 V S L をゲート線 G L と平行に横方向 (行方向) に延伸させる回路構成においても、書き込み動作が可能である。

40

【 0 2 6 2 】

< 2 . グループ Y >

次に、ブースト容量素子 C b s t の第 2 端子に選択線 S E L が接続される、グループ Y に属する各画素回路についての常時表示モードにおける書き込み動作につき説明する。

【 0 2 6 3 】

(第 1 ~ 第 4 類型)

図 3 9 に示したグループ X の第 1 類型の画素回路 2 A における書き込み動作のタイミン

50

グ図を見れば、1フレーム期間にわたって選択線SELには常に低レベル電圧が印加されている。つまり、第2スイッチ回路23は常に非導通であり、更にはブースト容量素子Cbstの一端に与えられる電圧も変化しない。この点は、第2～第4類型においても同じである。

【0264】

従って、グループYの第1～第4類型の画素回路2a～2dにおいても、グループXの第1類型のタイミング図と同様の電圧印加により書き込み動作が可能である。なお、第4類型の場合、電圧供給線VSLへの印加電圧は、固定電圧とすれば良い。ここでは、ダイオード接続を形成するトランジスタT1が逆バイアス状態となるよう、例えば5Vを印加しておくのが良い。

10

【0265】

(第5～第8類型)

図40に示したグループXの第4類型の画素回路2Dにおける書き込み動作のタイミング図を見れば、選択行には選択線SELに高レベル電圧が印加され、非選択行には低レベル電圧が印加される。

【0266】

ここで、グループYの第5類型の画素回路2eの場合、選択線SELに高レベル電圧が印加されると、ブースト容量素子Cbstの一端に与えられる電圧もこれに伴って上昇する。しかしながら、書き込み動作時においてリファレンス線REFには高レベル電圧(8V)が与えられ、トランジスタT2がオン状態である。よって、寄生容量の大きいノードN1がノードN2と電氣的に接続するため、ノードN2の電位はほとんど上昇しない。

20

【0267】

一方で、グループYの場合、遅延回路31を備える構成であるため、選択線SELに高レベル電圧を印加してから、トランジスタT3の制御端子に同トランジスタを導通させるのに必要な電圧が供給されるまでに一定程度の時間 τ_2 がかかる。このため、1水平期間をこの τ_2 より短い時間で設定した場合、画素回路2A(a)と接続するソース線SLを共通にし(ソース線SL1)、接続するゲート線GLを異ならせる、ある画素回路を2A(c)とすれば、画素回路2A(a)に対する書き込み動作が完了していないのに、ゲート線GL1の印加電圧は低レベルとなり、ソース線SL1への印加電圧は既に画素回路2A(c)に対する書き込みデータに対応した電圧に変化してしまう。この結果、画素回路2A(a)に対して正しい書き込みが実行されないということが起こり得る。

30

【0268】

このようなことが起こらないよう、正しい書き込み動作を実行するためには、少なくとも1水平期間の長さを前記時間 τ_2 よりも長く設定する必要がある。このように設定することで、書き込み対象となる画素回路に接続されたゲート線GLに高レベル電圧が印加されている間、当該画素回路への書き込みデータに対応する電圧がソース線SLに印加されており、この印加電圧が、トランジスタT4及びT3(又はT5)の直列回路からなる第1スイッチ回路22を介して内部ノードN1に与えられる。

【0269】

第6～第8類型においても、1水平期間の長さを τ_2 より長く設定することを除けば、グループXの第6～第8類型と同様の電圧印加方法によって書き込み動作が実現可能である。

40

【0270】

なお、第6～第8類型において、遅延回路が図30の構成の場合、リファレンス線REFに10Vを印加すると、ノードNDの電位は8V程度を示す。この状態で、選択線SELに対して選択行電圧8Vを印加すると、ノードNDの電位は大きく突き上がることはなくなる。しかし、トランジスタTD2は、リファレンス線REFからノードNDに向かう方向に整流するダイオード接続を形成しており、このノードNDの電位がリファレンス線REFに向かって抜けることはない。トランジスタTD1を介して選択線SELから8VがトランジスタT3の制御端子に与えられ、トランジスタT3を導通させる。

50

【 0 2 7 1 】

その後、選択線 S E L に対して非選択行電圧 (- 5 V) が印加されると、ノード N D の電位は突き下がるが、その電位は、リファレンス線 R E F に印加されている電圧 (1 0 V) から遅延用トランジスタ T D 2 の閾値電圧 (2 V) だけ低下した 8 V 程度を示す。この状態において、遅延用トランジスタ T D 1 は導通しているため、トランジスタ T 3 の制御端子から選択線 S E L に向かう電流が発生し、ノード N 3 の電位は選択線 S E L の印加電圧 (- 5 V) に向かって低下する。これによって、非選択行のトランジスタ T 3 は非導通となる。

【 0 2 7 2 】

[第 4 実施形態]

第 4 実施形態では、常時表示モードにおけるセルフリフレッシュ動作と書き込み動作の関係について説明する。

【 0 2 7 3 】

常時表示モードでは、1 フレーム分の画像データに対して書き込み動作を実行した後、一定期間は書き込み動作を行わずに、直前に行われた書き込み動作によって得られる表示内容を維持させる。

【 0 2 7 4 】

書き込み動作によって、ソース線 S L を介して各画素内の画素電極 2 0 に電圧が与えられる。その後、ゲート線 G L が低レベルとなり、トランジスタ T 4 が非導通状態となる。しかし、直前の書き込み動作によって画素電極 2 0 に蓄積された電荷の存在により画素電極 2 0 の電位が保持される。すなわち、画素電極 2 0 と対向電極 8 0 との間には電圧 V 1 c が維持される。これにより、書き込み動作が完了した後においても、液晶容量 C 1 c 両端に対して画像データの表示に必要な電圧が印加された状態が継続する。

【 0 2 7 5 】

対向電極 8 0 の電位が固定されている場合、液晶電圧 V 1 c は画素電極 2 0 の電位に依存する。この電位は、画素回路 2 内のトランジスタのリーク電流の発生に伴って、時間経過と共に変動する。例えば、ソース線 S L の電位が内部ノード N 1 の電位より低い場合には、内部ノード N 1 からソース線 S L に向かうリーク電流が生じ、内部ノード N 1 の電位 V N 1 は経時的に減少する。逆に、ソース線 S L の電位が内部ノード N 1 の電位より高い場合には、ソース線 S L から内部ノード N 1 に向かうリーク電流が生じ、画素電極 2 0 の電位が経時的に増加する。つまり、外部からの書き込み動作を行うことなく時間が経過すると、液晶電圧 V 1 c が徐々に変化していき、この結果、表示画像も変化してしまう。

【 0 2 7 6 】

通常表示モードの場合、静止画像であっても 1 フレーム毎に全ての画素回路 2 に対して書き込み動作を実行する。従って、画素電極 2 0 に蓄積された電荷量は 1 フレーム期間だけ維持できれば良い。高々 1 フレーム期間内における画素電極 2 0 の電位変動量はごくわずかであるため、この間の電位変動は、表示される画像データに対して視覚的に確認できる程度の影響を与えるものではない。このため、通常表示モードでは、画素電極 2 0 の電位変動はあまり問題とはならない。

【 0 2 7 7 】

これに対し、常時表示モードでは、1 フレーム毎に書き込み動作を実行する構成ではない。従って、対向電極 8 0 の電位が固定されている間、場合によって数フレームにわたって画素電極 2 0 の電位 (内部ノード電位 V N 1) を保持する必要がある。しかし、数フレーム期間にわたって書き込み動作を行わずに放置しておく、前述したリーク電流の発生によって画素電極 2 0 の電位は断続的に変動する。この結果、表示される画像データが、視覚的に確認できる程度に変化するおそれもある。

【 0 2 7 8 】

このような現象が生じるのを避けるべく、常時表示モードでは、図 4 1 のフローチャートに示す要領で、セルフリフレッシュ動作と書き込み動作を組み合わせることで、画素電極の電位変動を抑制しながらも大幅な電力消費の低減を図る。

10

20

30

40

50

【 0 2 7 9 】

まず、常時表示モードにおける 1 フレーム分の画素データの書き込み動作を、第 3 実施形態で上述した要領で実行する（ステップ # 1）。

【 0 2 8 0 】

ステップ # 1 の書き込み動作後、第 2 実施形態で上述した要領によりセルフリフレッシュ動作を実行する（ステップ # 2）。セルフリフレッシュ動作は、パルス電圧を印加するフェーズ P 1 と、待機するフェーズ P 2 で実現される。

【 0 2 8 1 】

ここで、セルフリフレッシュ動作期間のフェーズ P 2 の期間中に、新たな画素データの書き込み動作（データ書き換え）、外部リフレッシュ動作、又は外部極性反転動作の要求を受け取ると（ステップ # 3 の Y E S）、ステップ # 1 に戻り、新たな画素データ又は従前の画素データの書き込み動作を実行する。上記フェーズ P 2 の期間中に、当該要求を受け取らない場合（ステップ # 3 の N O）は、ステップ # 2 に戻り再びセルフリフレッシュ動作を実行する。これにより、リーク電流の影響による表示画像の変化を抑制することができる。

10

【 0 2 8 2 】

セルフリフレッシュ動作を行わずに、書き込み動作によってリフレッシュ動作を行うとすると、上述の数 1 に示す関係式で表わされる消費電力となるが、同じリフレッシュレートでセルフリフレッシュ動作を繰り返す場合は、全てのソース線電圧の駆動回数が 1 回であるため、数 1 中の変数 m が 1 となり、表示解像度（画素数）として VGA を想定すると、 $m = 1920$ 、 $n = 480$ であるので、1920 分の 1 程度の消費電力の低減が期待される。

20

【 0 2 8 3 】

本実施形態において、セルフリフレッシュ動作と、外部リフレッシュ動作又は外部極性反転動作を併用する理由は、仮に、当初正常に動作していた画素回路 2 であっても、経年変化により、第 2 スイッチ回路 2 3 又は制御回路 2 4 に不具合が生じ、書き込み動作は支障なく実施できるが、セルフリフレッシュ動作を正常に実行できない状態が、一部の画素回路 2 に発生する場合に対処するためである。つまり、セルフリフレッシュ動作だけに依存すると、当該一部の画素回路 2 の表示に劣化が現れ、それが固定されるが、外部極性反転動作を併用することで、当該表示欠陥の固定化を防止することができる。

30

【 0 2 8 4 】

なお、第 2 種類の画素回路（2 B , 2 b）及び第 6 種類の画素回路（2 F , 2 f）の場合、本実施形態のフローを実現するためには、ステップ # 1 において補助容量線 CSL を 5 V にして書き込み動作を実行する必要がある点は第 2 実施形態で上述した。

【 0 2 8 5 】

[第 5 実施形態]

第 5 実施形態では、通常表示モードにおける書き込み動作につき、各類型毎に図面を参照して説明する。

【 0 2 8 6 】

通常表示モードにおける書き込み動作では、1 フレーム分の画素データを水平方向（行方向）の表示ライン毎に分割し、1 水平期間毎に、各列のソース線 SL に 1 表示ライン分の各画素データに対応した多階調のアナログ電圧を印加すると共に、選択された表示ライン（選択行）のゲート線 GL に選択行電圧 8 V を印加して、当該選択行の全ての画素回路 2 の第 1 スイッチ回路 2 2 を導通状態にして、各列のソース線 SL の電圧を、選択行の各画素回路 2 の内部ノード $N 1$ に転送する動作である。選択された表示ライン以外（非選択行）のゲート線 GL には、当該選択行の全ての画素回路 2 の第 1 スイッチ回路 2 2 を非導通状態にするため、非選択行電圧 - 5 V を印加する。

40

【 0 2 8 7 】

以下に説明する書き込み動作における各信号線の電圧印加のタイミング制御は、表示制御回路 1 1 によって行われ、個々の電圧印加は、表示制御回路 1 1、対向電極駆動回路 1

50

2、ソースドライバ13、ゲートドライバ14によって行われる。

【0288】

図42に、グループXの第1タイプの画素回路2Aを使用した書き込み動作のタイミング図を示す。図42では、1フレーム期間における2本のゲート線GL1、GL2、2本のソース線SL1、SL2、選択線SEL、リファレンス線REF、補助容量線CSL、及びブースト線BSTの各電圧波形と、対向電圧Vcomの電圧波形を図示している。

【0289】

1フレーム期間は、ゲート線GLの本数分の水平期間に分割され、各水平期間に選択されるゲート線GL1～GLnが順番に割り当てられている。図42では、最初の2水平期間における2本のゲート線GL1、GL2の電圧変化を図示している。第1水平期間では、ゲート線GL1に選択行電圧8Vが、ゲート線GL2に非選択行電圧-5Vがそれぞれ印加され、第2水平期間では、ゲート線GL2に選択行電圧8Vが、ゲート線GL1に非選択行電圧-5Vがそれぞれ印加され、それ以後の水平期間では、両ゲート線GL1、GL2には非選択行電圧-5Vが印加される。

【0290】

各列のソース線SLには、水平期間毎に対応する表示ラインの画素データに対応した多階調のアナログ電圧が印加されている。なお、通常表示モードではアナログ表示ラインの画素データに対応した多階調のアナログ電圧が印加され、印加電圧が一義的には特定されないため、図42では斜線により塗りつぶすことでこれを表現している。なお、図42では、各ソース線SL1、SL2、...SLmを代表して2本のソース線SL1、SL2を図示している。

【0291】

対向電圧Vcomは、1水平期間毎に変化するため(対向AC駆動)、当該アナログ電圧は、同じ水平期間中の対向電圧Vcomに対応した電圧値となっている。つまり、対向電圧Vcomが5Vか0Vかによって、数2で与えられる液晶電圧Vlcの絶対値は変わらず極性のみが変わるように、ソース線SLに印加されるアナログ電圧が設定される。

【0292】

第1～第4タイプの画素回路は、第1スイッチ回路22がトランジスタT4だけで構成されているので、第1スイッチ回路22の導通非導通の制御は、トランジスタT4だけのオンオフ制御で十分である。また、第2スイッチ回路23は、書き込み動作では導通状態にする必要がなく、非選択行の画素回路2Aで第2スイッチ回路23が導通状態となるのを防止するために、1フレーム期間の間、全ての画素回路2Aに接続する選択線SELに非選択用電圧-5Vを印加する。この非選択用電圧は負電圧に限られるものではなく、0Vでも良い。

【0293】

また、リファレンス線REFには、1フレーム期間の間、トランジスタT2を内部ノードN1の電圧状態に関係なく常時オン状態とする電圧を印加する。この電圧値は、多階調のアナログ電圧としてソース線SLから与えられる電圧値の中での最大値よりも、トランジスタT2の閾値電圧以上高い電圧であれば良い。図42では、前記最大値を5Vとし、閾値電圧を2Vとして、それらの和よりも大きい8Vを印加している。

【0294】

対向電圧Vcomは1水平期間毎に対向AC駆動されるため、補助容量線CSLは、対向電圧Vcomと同電圧となるように駆動される。画素電極20は、対向電極80と液晶層を介して容量結合していると共に、補助容量素子Csを介して補助容量線CSLとも容量結合している。このため、補助容量素子C2の補助容量線CSL側の電圧を固定すると、対向電圧Vcomの変化が、補助容量線CSLと補助容量素子C2間で分配されて画素電極20に現れ、非選択行の画素回路2の液晶電圧Vlcが変動してしまう。従って、全ての補助容量線CSLを対向電圧Vcomと同電圧に駆動することで、対向電極80と画素電極20の電圧が同じ電圧方向に変化し、上記非選択行の画素回路2の液晶電圧Vlcの変動を抑制することができる。

10

20

30

40

50

【0295】

第3実施形態で説明したように、常時表示モードの書き込み動作の場合と同様の理由により、第2～第4種類の画素回路においても、第1種類と同様の電圧印加方法によって書き込み動作が実現できる。また、第5～第8種類の画素回路においては、常時表示モードの書き込み動作と同様に、選択線SELを行単位に個別に制御すれば良く、他は第1種類と同様の電圧印加方法によって書き込み動作が実現できる。なお、第3及び第6種類の場合、電圧供給線VSLへの印加電圧は、0Vとすれば良い。

【0296】

また、グループYの第1～第4種類の各画素回路(2a～2d)は、同一種類のグループXの各画素回路(2A～2D)と同様の電圧印加を行うことで書き込み動作が実現できる。グループYの第5～第8種類の画素回路(2e～2h)は、第3実施形態で説明したように、1水平期間の長さを時間 τ_2 より長く設定することを除けば、やはり同一種類のグループXの各画素回路(2E～2H)と同様の電圧印加を行うことで書き込み動作が実現できる。これらの点は、第3実施形態で説明した、常時表示モードの書き込み動作の場合と同様の理由により説明できるため、詳細は省略する。

【0297】

なお、通常表示モードにおける書き込み動作において、1水平期間毎に各表示ラインの極性を反転させる方法として、上述の「対向AC駆動」以外に、対向電圧Vcomとして所定の固定電圧を対向電極80に印加する方法がある。この方法によれば、画素電極20に印加される電圧は、対向電圧Vcomを基準として正電圧となる場合と負電圧となる場合が1水平期間毎に交替する。

【0298】

この場合、当該画素電圧を、ソース線SLを介して直接書き込む方法と、対向電圧Vcomを中心とした電圧範囲の電圧を書き込んだ後に、補助容量素子Csを用いた容量結合により、対向電圧Vcomを基準として正電圧又は負電圧のいずれか一方となるように電圧調整する方法もある。この場合、補助容量線CSLは対向電圧Vcomとは同電圧に駆動せずに、行単位で個別にパルス駆動することになる。

【0299】

また、本実施形態では、通常表示モードにおける書き込み動作において、1水平期間毎に各表示ラインの極性を反転させる方法を採用したが、これは、1フレーム単位で極性反転した場合に発生する以下に示す不都合を解消するためである。なお、このような不都合を解消する方法としては、列毎に極性反転駆動する方法や、行及び列方向同時に画素単位で極性反転駆動する方法もある。

【0300】

あるフレームF1で全ての画素において正極性の液晶電圧V1cを印加し、次のフレームF2で全ての画素において負極性の液晶電圧V1cを印加した場合を想定する。液晶層75に対して同一絶対値の電圧が印加された場合であっても、正極性が負極性によって光の透過率に微少な差異が生じる場合がある。高画質の静止画を表示している場合、この微少な差異の存在が、フレームF1とフレームF2で表示態様に微細な変化を生む可能性がある。また、動画表示時においても、フレーム間で同一内容の表示内容となるべき表示領域内において、その表示態様に微細な変化を生む可能性がある。高画質の静止画や動画の表示時には、このような微細な変化でも視覚的に認識することができる場合が想定される。

【0301】

そして、通常表示モードは、このような高画質の静止画や動画を表示するモードであるため、上述のような微細な変化が視覚的に認識される可能性がある。このような現象を回避すべく、本実施形態では、同一フレーム内において表示ライン毎に極性を反転させている。これにより、同一フレーム内でも表示ライン間で異なる極性の液晶電圧V1cが印加されているため、液晶電圧V1cの極性に基づく表示画像データへの影響を抑制できる。

【0302】

10

20

30

40

50

〔別実施形態〕

以下、別実施形態につき説明する。

【0303】

1 グループXに属する画素回路2A～2Hに関しては、通常表示モード及び常時表示モードの書き込み動作時において、リファレンス線REFに低レベル電圧を与え、トランジスタT2をオフ状態としても良い。このようにすることで、内部ノードN1と出力ノードN2が電氣的に分離される結果、画素電極20の電位が書き込み動作前の出力ノードN2の電圧の影響を受けなくなる。これにより、画素電極20の電圧は、ソース線SLの印加電圧を正しく反映し、画像データを誤差なく表示することができる。

【0304】

ただし、上述したように、ノードN1の総寄生容量は、ノードN2に比べて遙かに大きく、ノードN2の初期状態の電位が画素電極20の電位に影響を与えることはほとんどないため、トランジスタT2は常時オン状態にしておくのも好ましい。

【0305】

2 上記実施形態では、アクティブマトリクス基板10上に構成される全ての画素回路2に対し、第2スイッチ回路23と制御回路24を備える構成とした。これに対し、アクティブマトリクス基板10上において、透過液晶表示を行う透過画素部と反射液晶表示を行う反射画素部の2種類の画素部を備える構成の場合には、反射画素部の画素回路にのみ第2スイッチ回路23と制御回路24を備え、透過表示部の画素回路には第2スイッチ回路23と制御回路24を備えない構成としても良い。

【0306】

この場合、通常表示モード時には透過画素部によって画像表示がなされ、常時表示モード時には反射画素部によって画像表示がなされることとなる。このように構成することで、アクティブマトリクス基板10全体に形成される素子数を削減することができる。

【0307】

3 上記実施形態では、各画素回路2は、補助容量素子Csを備える構成であったが、補助容量素子Csを備えない構成であっても良い。ただし、内部ノードN1の電位をより安定化させ、表示画像の確実な安定化を図るためには、この補助容量素子Csを備える方が好ましい。

【0308】

4 上記実施形態では、各画素回路2の表示素子部21は、単位液晶表示素子C1cだけで構成される場合を想定したが、図43に示すように、内部ノードN1と画素電極20の間にアナログアンプAmp（電圧増幅器）を備える構成としても良い。図43では一例として、アナログアンプAmpの電源用ラインとして、補助容量線CSLと電源線Vccが入力される構成とした。

【0309】

この場合、内部ノードN1に与えられた電圧は、アナログアンプAmpによって設定された増幅率ηによって増幅され、増幅後の電圧が画素電極20に供給される。よって、内部ノードN1の微少な電圧変化を表示画像に反映することができる構成である。

【0310】

5 上記実施形態では、常時表示モードにおける内部ノードN1の電位VN1及び対向電圧Vcomの第1及び第2電圧状態の電圧値として、0Vと5Vを想定し、各信号線に印加する電圧値も、それに応じて、-5V, 0V, 5V, 8V, 10Vと設定したが、これらの電圧値は、使用する液晶素子及びトランジスタ素子の特性（閾値電圧等）に応じて、適宜変更可能である。

【0311】

6 上記実施形態では、液晶表示装置を例に挙げて説明したが、本発明はこれに限定されるものではなく、画素データを保持するための画素容量Cpに対応する容量を有し、当該容量に保持される電圧に基づき画像を表示する表示装置であれば、本発明を適用することができる。

10

20

30

40

50

【 0 3 1 2 】

例えば、画素容量に相当する容量に画素データに相当する電圧を保持させて画像表示する有機 E L (Electroluminescence) 表示装置の場合、特にセルフリフレッシュ動作に関して本発明を適用することができる。図 4 4 は、このような有機 E L 表示装置の画素回路の一例を示す回路図である。この画素回路では、画素データとして補助容量 C s に保持された電圧が、T F T で構成された駆動用トランジスタ T d v のゲート端子に与えられ、その電圧に応じた電流が駆動用トランジスタ T d v を介して発光素子 O L E D に流れる。従って、この補助容量 C s が上記各実施形態における画素容量 C p に相当する。

【 0 3 1 3 】

7 上記各実施形態では、画素回路が、電子の移動度が低いアモルファス T F T を有する構成である場合を想定して説明した。しかし、本発明の技術は、電子移動度が高いポリシリコン T F T 等のトランジスタを備える場合には適用できないというものではなく、電子移動度の低いトランジスタを備える場合に、より高い効果を発揮するというものである。

【 符号の説明 】

【 0 3 1 4 】

- 1 : 液晶表示装置
- 2 : 画素回路
- 2 A , 2 B , 2 C , 2 D , 2 E , 2 F , 2 G , 2 H : 画素回路
- 2 a , 2 b , 2 c , 2 d , 2 e , 2 f , 2 g , 2 h : 画素回路
- 1 0 : アクティブマトリクス基板
- 1 1 : 表示制御回路
- 1 2 : 対向電極駆動回路
- 1 3 : ソースドライバ
- 1 4 : ゲートドライバ
- 2 0 : 画素電極
- 2 1 : 表示素子部
- 2 2 : 第 1 スイッチ回路
- 2 3 : 第 2 スイッチ回路
- 2 4 : 制御回路
- 3 1 : 遅延回路
- 7 4 : シール材
- 7 5 : 液晶層
- 8 0 : 対向電極
- 8 1 : 対向基板
- A m p : アナログアンプ
- B S T : ブースト線
- C b s t : ブースト容量素子
- C D : 遅延用容量素子
- C l c : 液晶表示素子
- C M L : 対向電極配線
- C S L : 補助容量線
- C s : 補助容量素子
- C t : タイミング信号
- D A : デジタル画像信号
- D v : データ信号
- G L (G L 1 , G L 2 , ... , G L n) : ゲート線
- G t c : 走査側タイミング制御信号
- N 1 : 内部ノード
- N 2 : 出力ノード

10

20

30

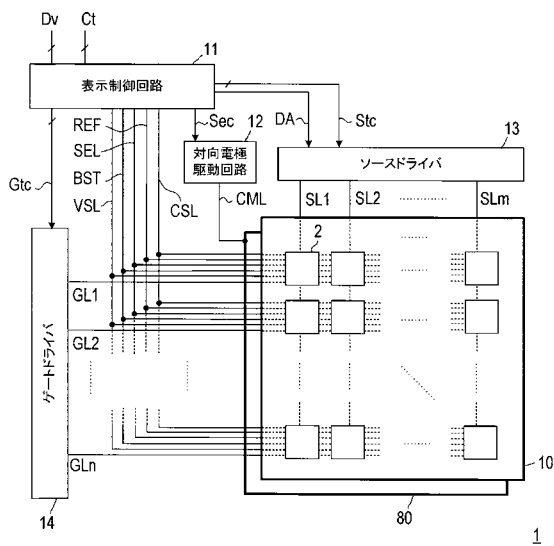
40

50

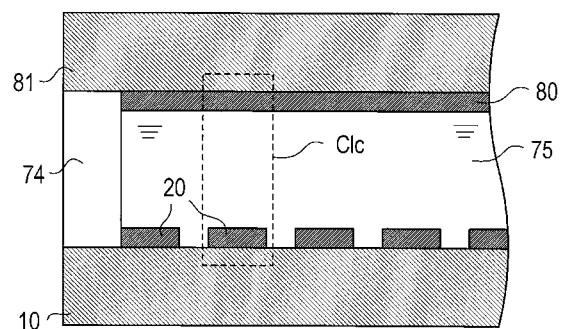
O L E D : 発光素子
 P 1 , P 2 : フェーズ
 P 1 0 , P 1 1 , , P 1 8 : フェーズ
 P 2 0 , P 2 1 , , P 2 7 : フェーズ
 R E F : リファレンス線
 S c 1 , S c 2 , , S c m : ソース信号
 S E L : 選択線
 S L (S L 1 , S L 2 , , S L m) : ソース線
 S t c : データ側タイミング制御信号
 T 1 , T 2 , T 3 , T 4 , T 5 : トランジスタ
 T D 1 , T D 2 : 遅延用トランジスタ
 T d v : 駆動用トランジスタ
 V c o m : 対向電圧
 V l c : 液晶電圧
 V N 1 : 内部ノード電位
 V N 2 : 出力ノード電位

10

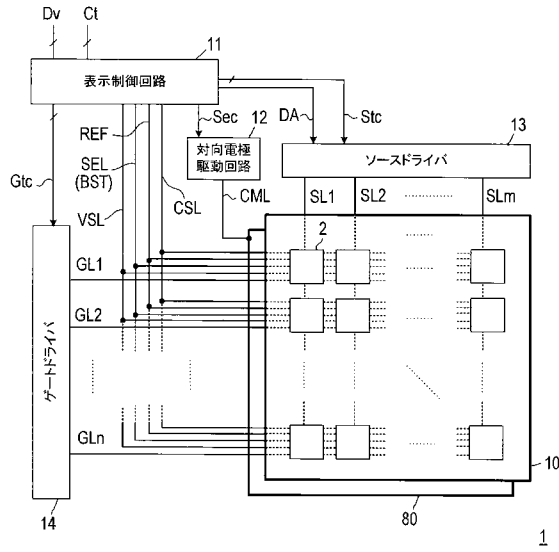
【 図 1 】



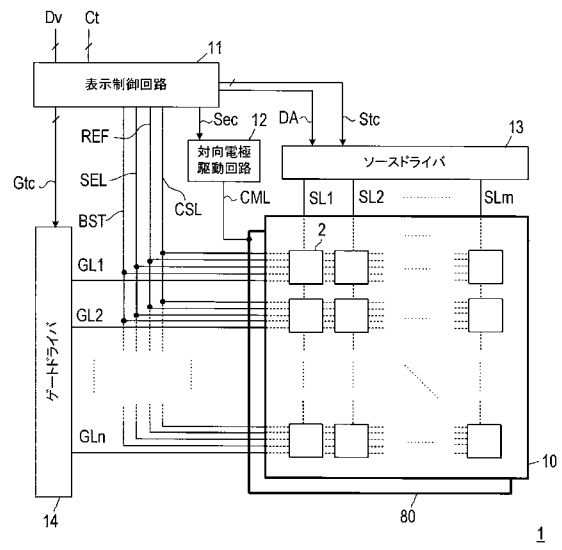
【 図 2 】



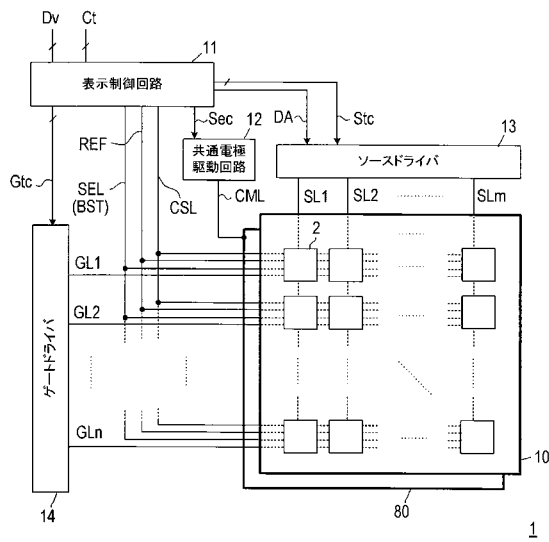
【図 3】



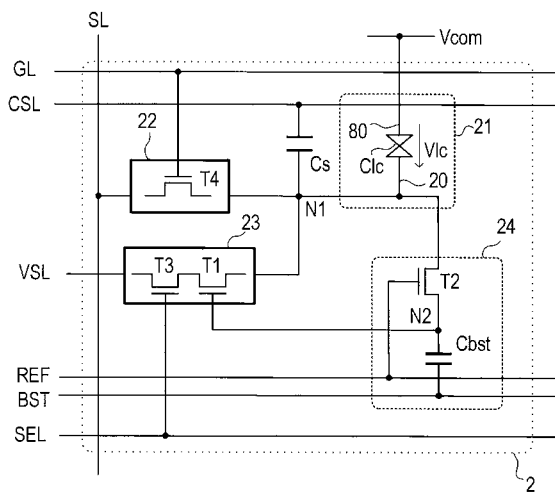
【図 4】



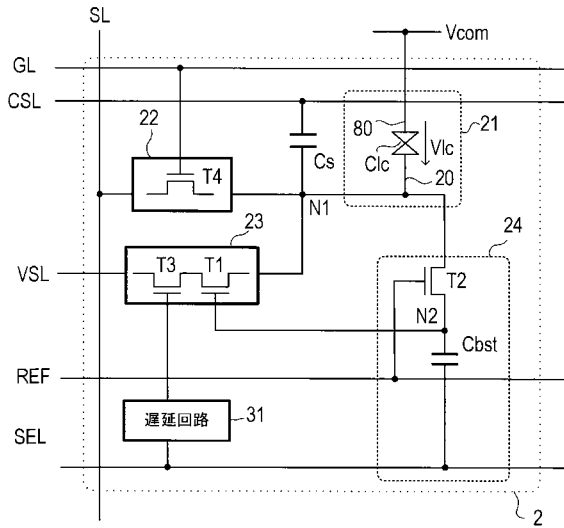
【図 5】



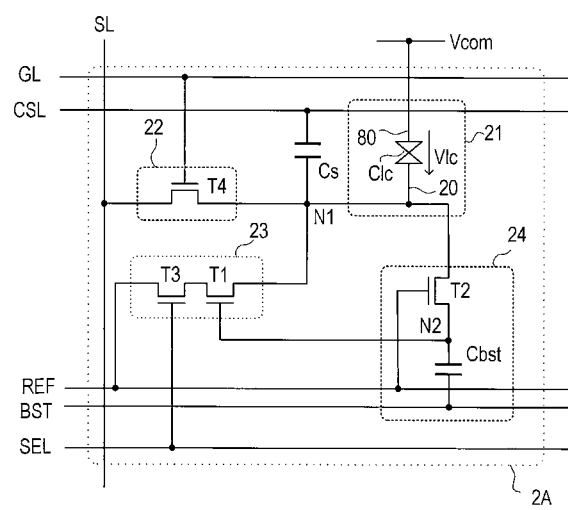
【図 6】



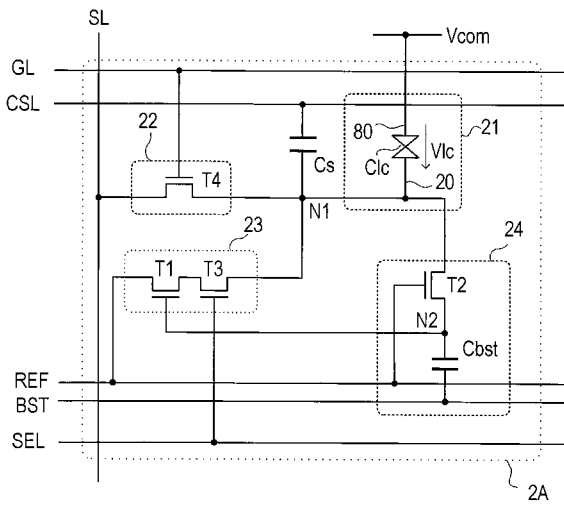
【図 7】



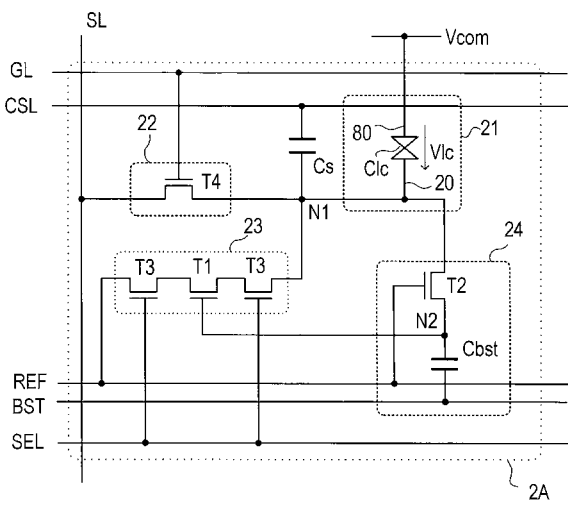
【図 8】



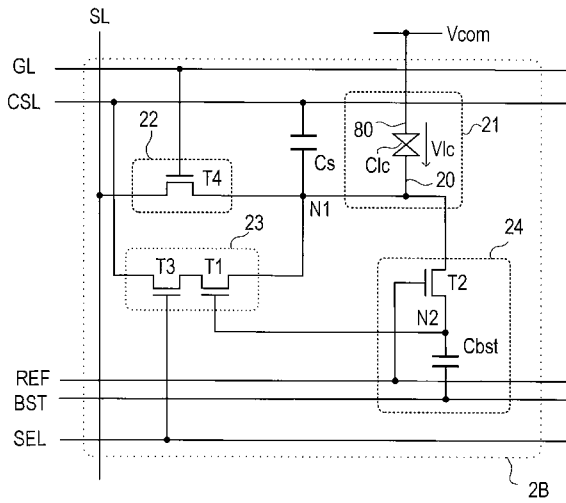
【図 9】



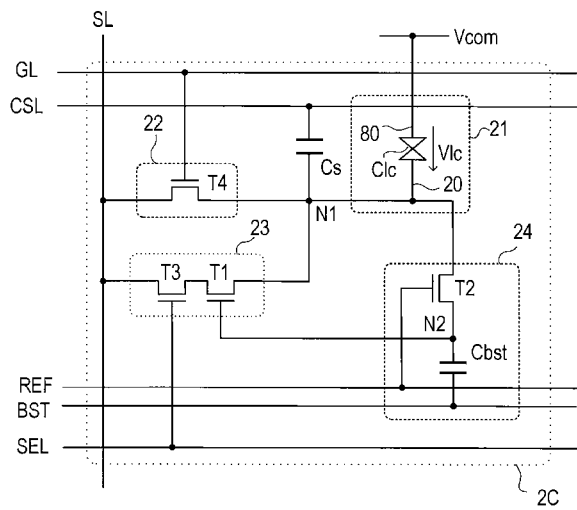
【図 10】



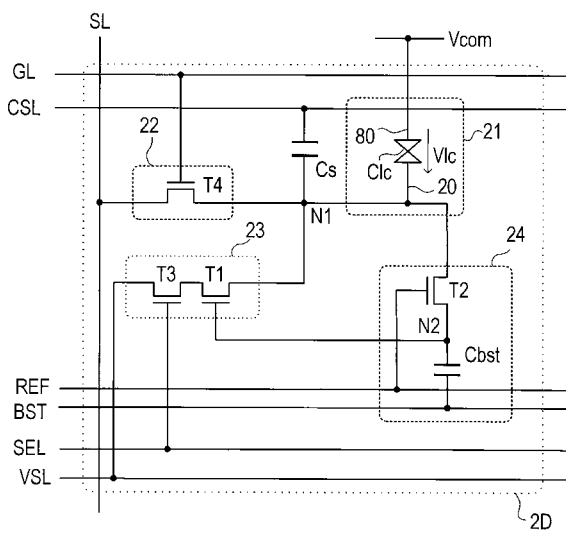
【図 1 1】



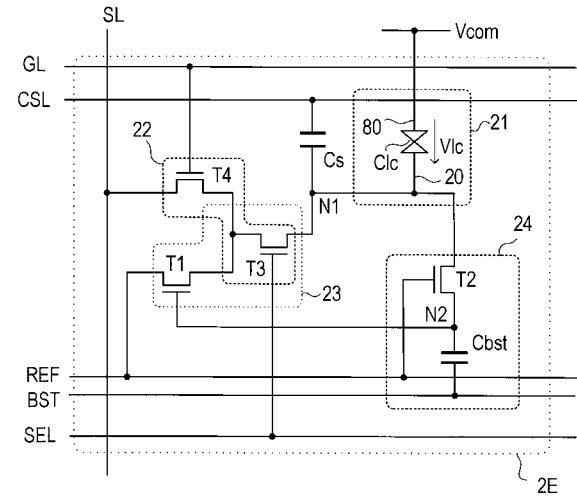
【図 1 2】



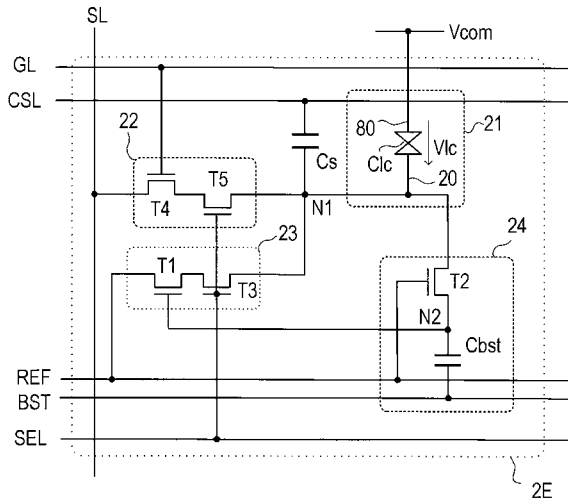
【図 1 3】



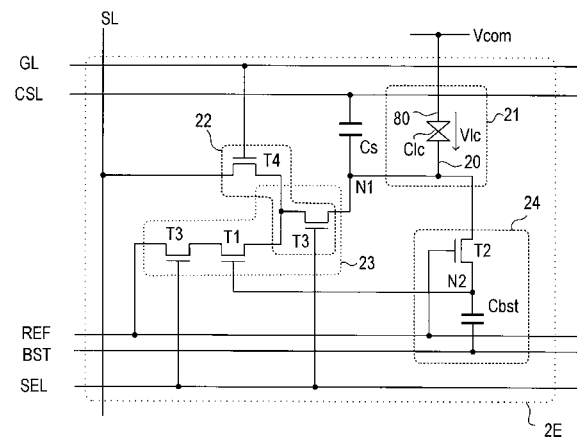
【図 1 4】



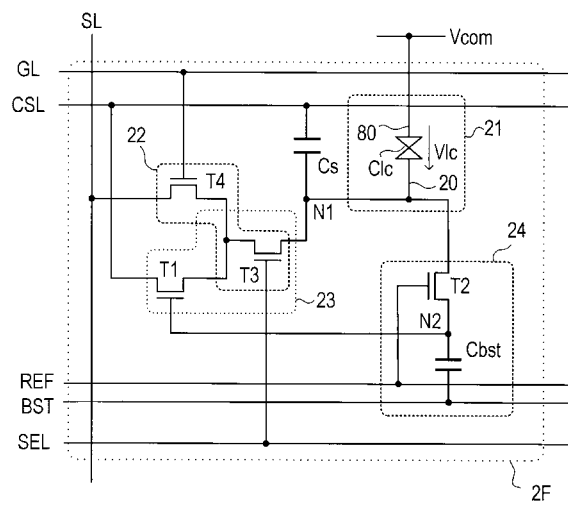
【図 15】



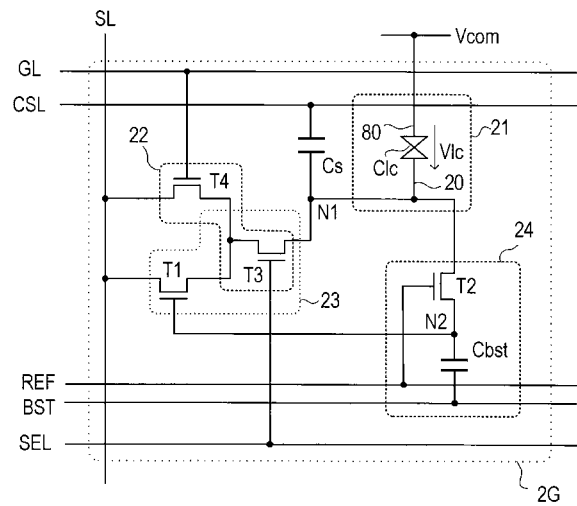
【図 16】



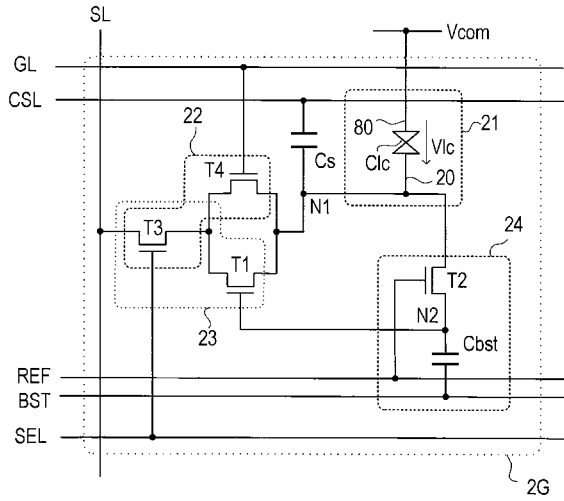
【図 17】



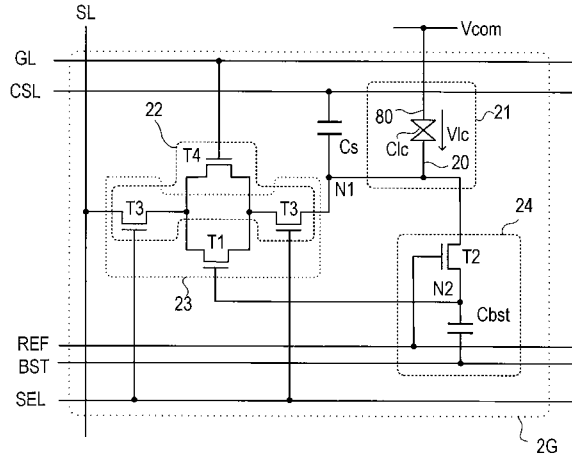
【図 18】



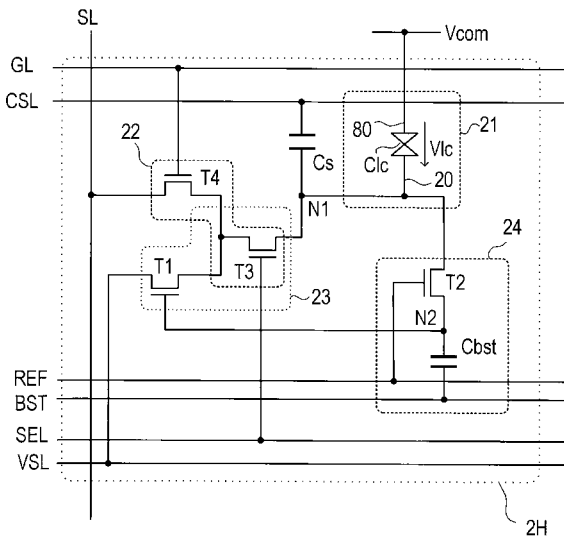
【図 19】



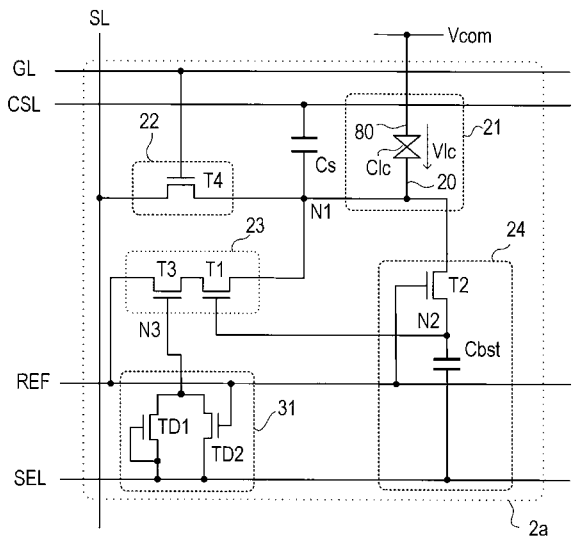
【図 20】



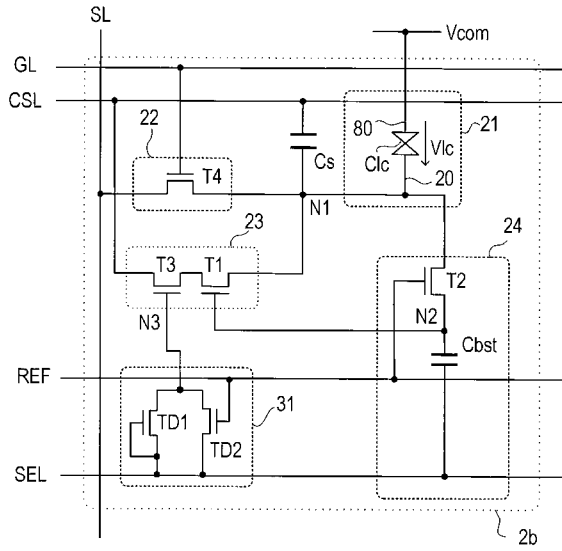
【図 21】



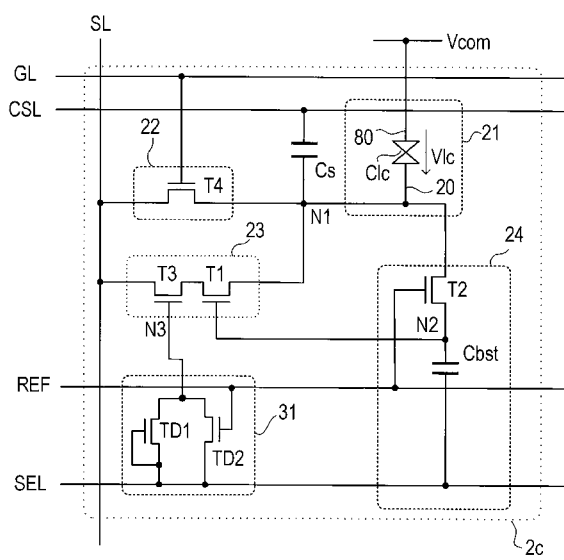
【図 22】



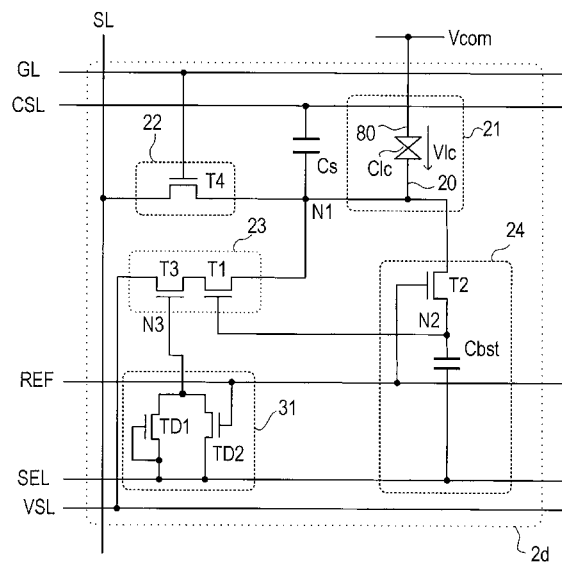
【図 2 3】



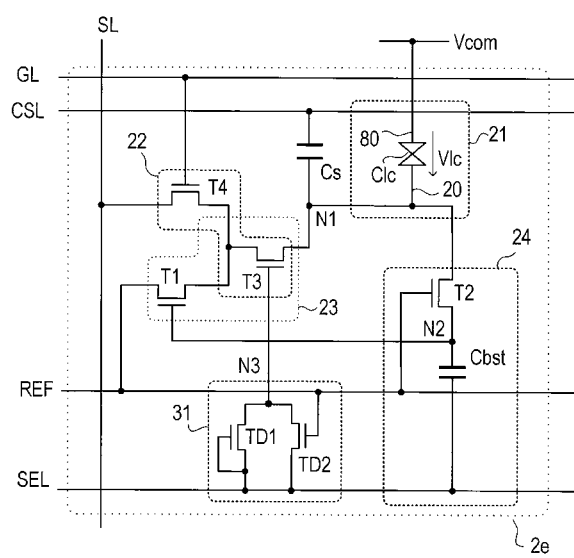
【図 2 4】



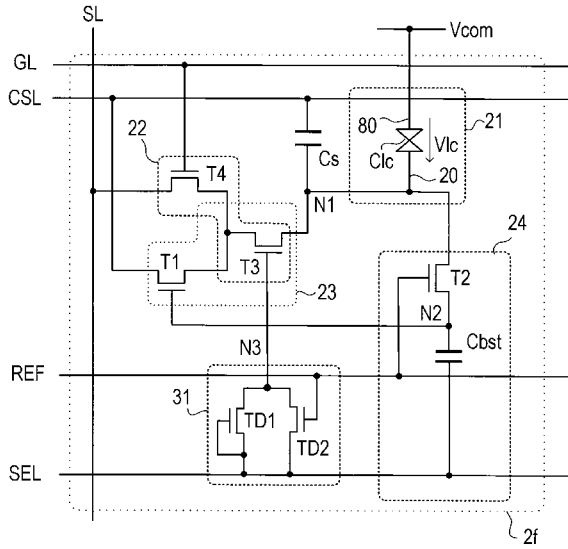
【図 2 5】



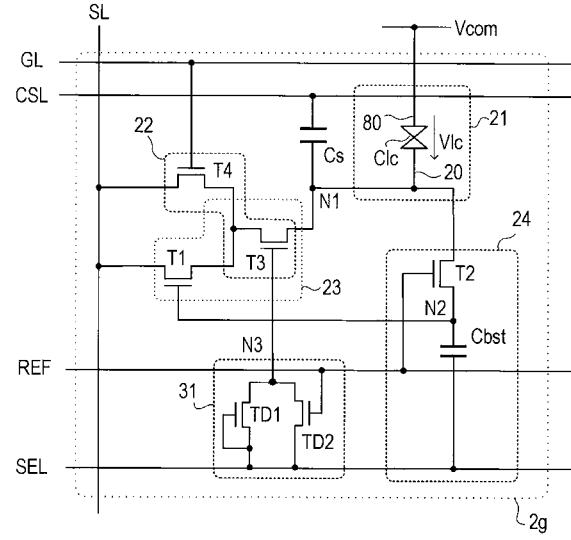
【図 2 6】



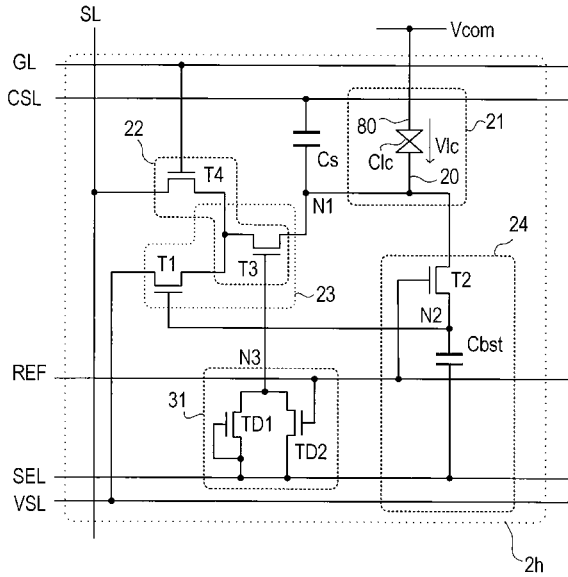
【図 27】



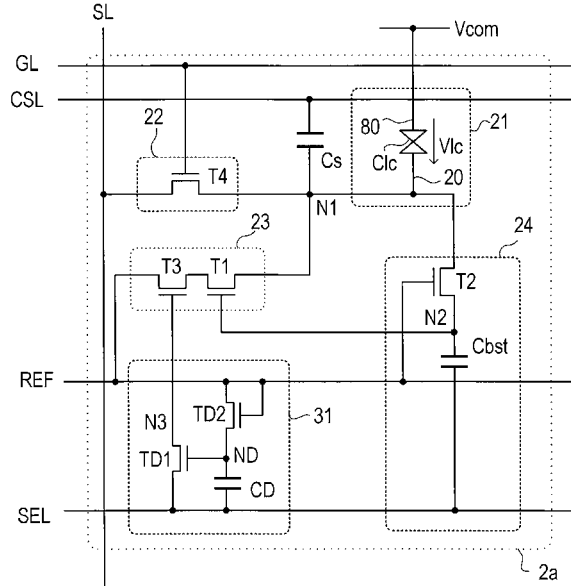
【図 28】



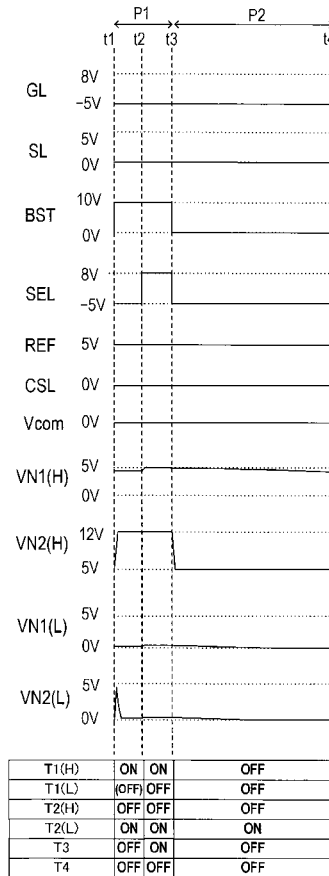
【図 29】



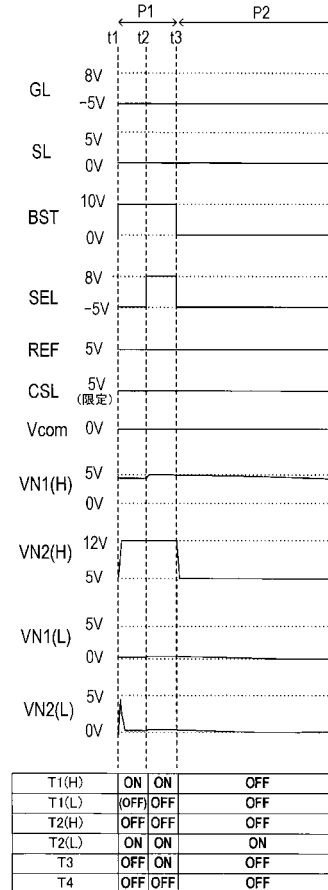
【図 30】



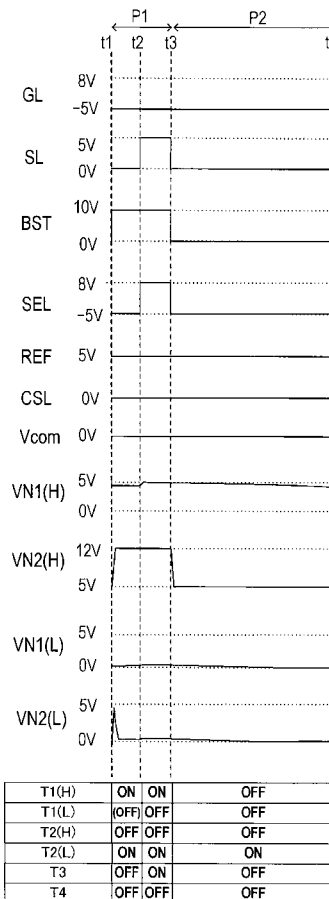
【図 3 1】



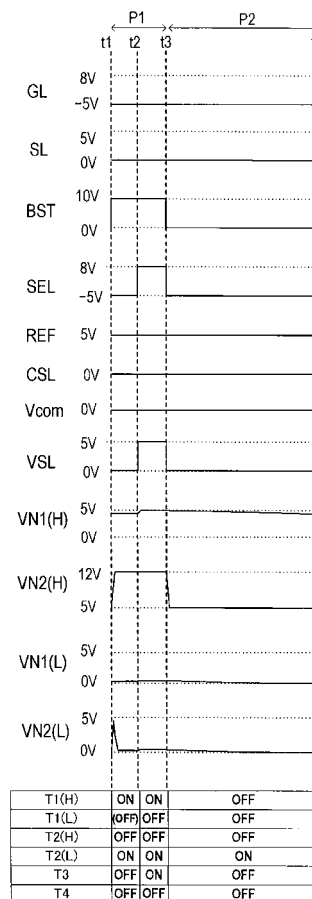
【図 3 2】



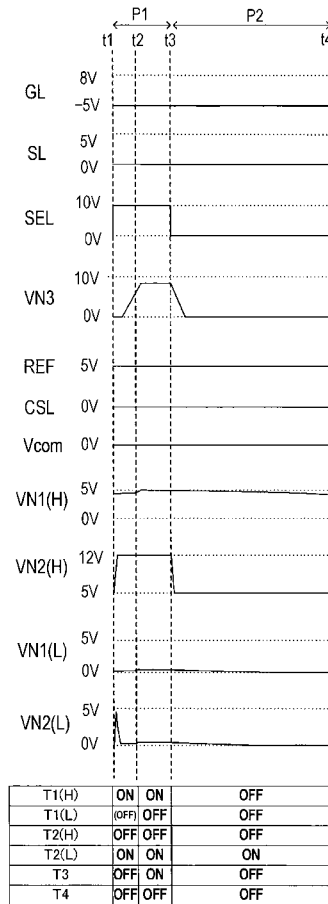
【図 3 3】



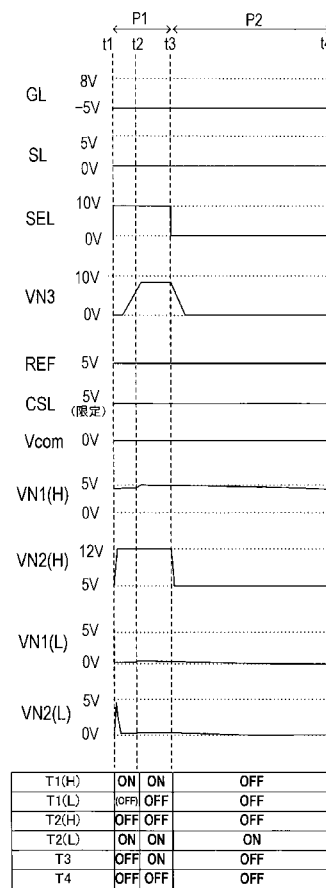
【図 3 4】



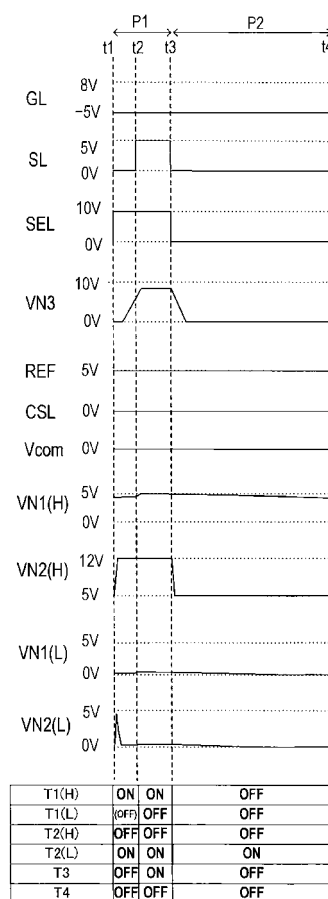
【図 3 5】



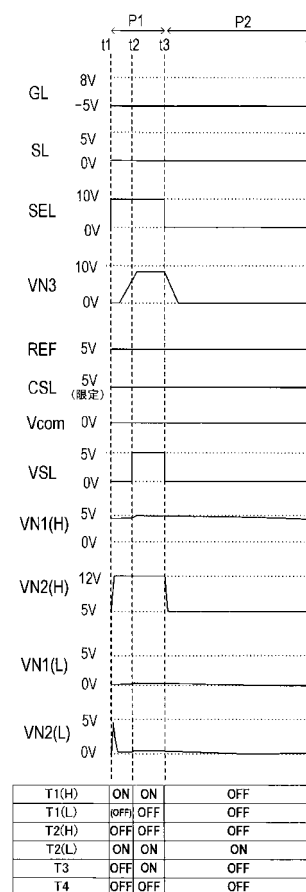
【図 3 6】



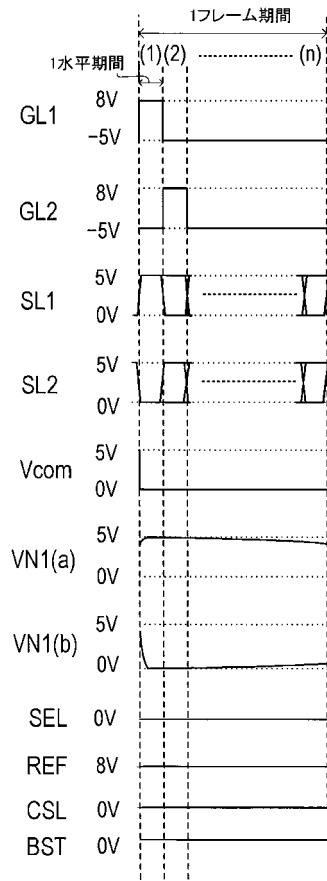
【図 3 7】



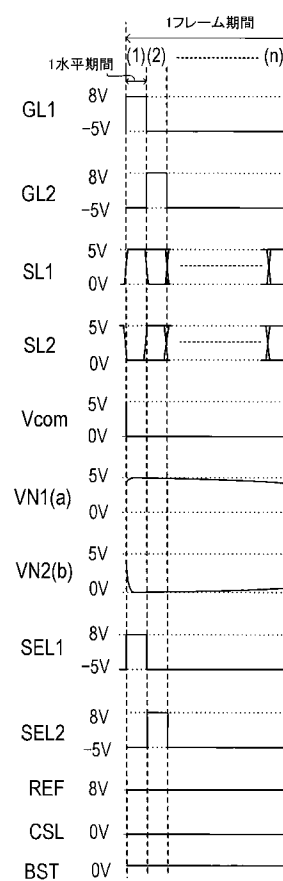
【図 3 8】



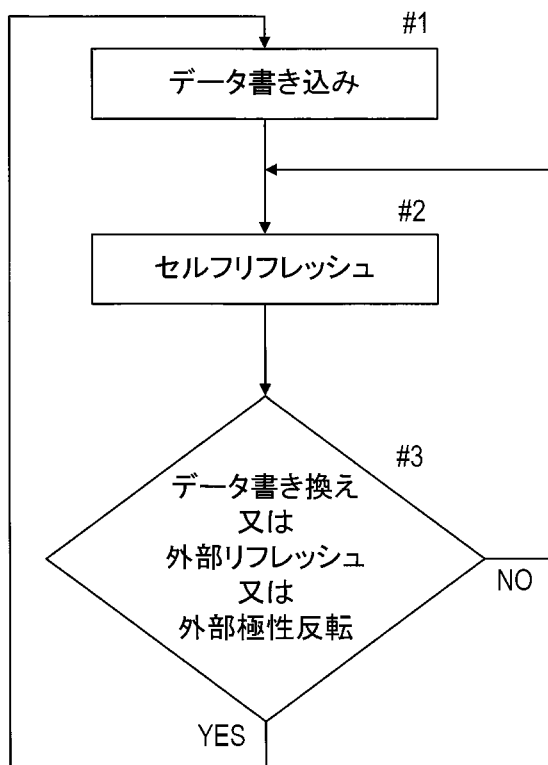
【図 39】



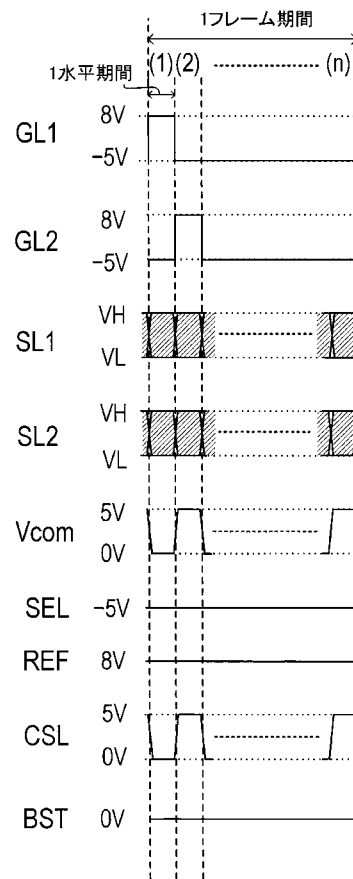
【図 40】



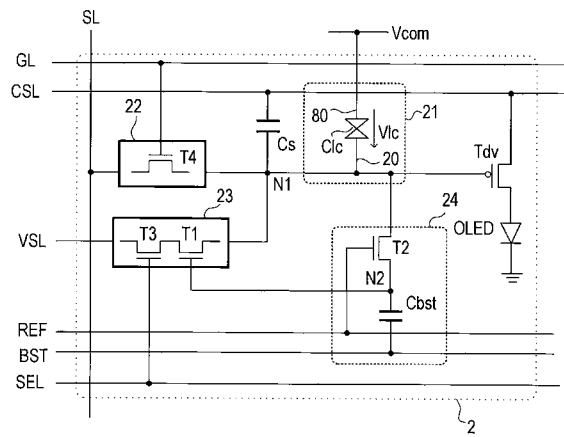
【図 41】



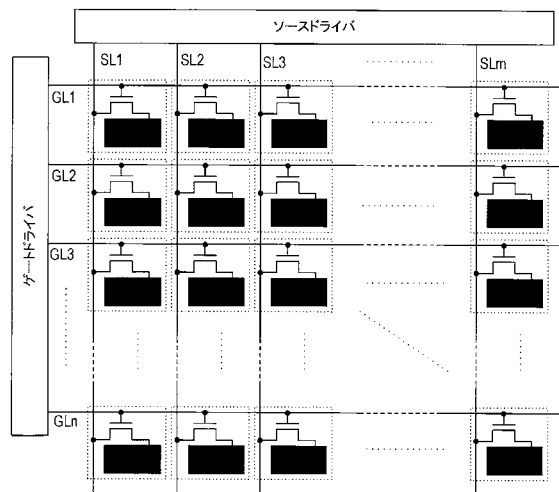
【図 42】



【 図 4 4 】



【 ㊦ 4 6 】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/062319

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i, G09G3/30(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G09G3/00-3/38, G02F1/133

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-502068 A (Koninklijke Philips Electronics N.V.), 01 February 2007 (01.02.2007), entire text; fig. 1 to 25 & US 2006/0232577 A1 & GB 318611 D & EP 1654723 A & WO 2005/015532 A1 & DE 602004011521 D & KR 10-2006-0065671 A & CN 1833269 A & AT 385023 T	1-31
A	JP 61-69283 A (Sony Corp.), 09 April 1986 (09.04.1986), entire text; fig. 1 to 5 (Family: none)	1-31

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
05 August, 2010 (05.08.10)Date of mailing of the international search report
17 August, 2010 (17.08.10)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/062319

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 61-74481 A (Sony Corp.), 16 April 1986 (16.04.1986), entire text; fig. 1 to 5 (Family: none)	1-31
A	JP 2005-18088 A (Toshiba Corp.), 20 January 2005 (20.01.2005), entire text; fig. 1 to 21 (Family: none)	1-31
A	JP 2004-212924 A (AU Optronics Corp.), 29 July 2004 (29.07.2004), entire text; fig. 1 to 8 & US 2004/0130544 A1 & TW 578124 B	1-31
A	JP 2006-343563 A (Sharp Corp.), 21 December 2006 (21.12.2006), entire text; fig. 1 to 5 (Family: none)	1-31

国際調査報告		国際出願番号 PCT/J P 2 0 1 0 / 0 6 2 3 1 9	
A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i, G09G3/30(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. G09G3/00-3/38, G02F1/133			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2010年 日本国実用新案登録公報 1996-2010年 日本国登録実用新案公報 1994-2010年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
A	JP 2007-502068 A（コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ）2007.02.01, 全文, 図1-25 & US 2006/0232577 A1 & GB 318611 D & EP 1654723 A & WO 2005/015532 A1 & DE 602004011521 D & KR 10-2006-0065671 A & CN 1833269 A & AT 385023 T	1-31	
A	JP 61-69283 A（ソニー株式会社）1986.04.09, 全文, 第1-5図 （ファミリーなし）	1-31	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 05.08.2010		国際調査報告の発送日 17.08.2010	
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 中村 直行	2G 9214 電話番号 03-3581-1101 内線 3226

国際調査報告		国際出願番号 PCT/J P 2 0 1 0 / 0 6 2 3 1 9
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 61-74481 A (ソニー株式会社) 1986. 04. 16, 全文, 第 1 - 5 図 (ファミリーなし)	1-31
A	JP 2005-18088 A (株式会社東芝) 2005. 01. 20, 全文, 図 1 - 2 1 (ファミリーなし)	1-31
A	JP 2004-212924 A (友達光電股▼ふん▲有限公司) 2004. 07. 29, 全文, 図 1 - 8 & US 2004/0130544 A1 & TW 578124 B	1-31
A	JP 2006-343563 A (シャープ株式会社) 2006. 12. 21, 全文, 図 1 - 5 (ファミリーなし)	1-31

フロントページの続き

(51) Int. Cl.

F I

テーマコード (参考)

G 0 9 G	3/20	6 1 1 A
G 0 9 G	3/20	6 2 1 K
G 0 9 G	3/20	6 2 2 D

(81) 指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

F ターム(参考) 5C380 AA01 AB06 AB22 AB23 AB31 AB34 AC08 AC11 BA03 BA10
 BA11 BA15 CA04 CA08 CA12 CA14 CA54 CB01 CB04 CB31
 CC26 CC33 CC51 CC63 CC64 CD025 CF15 DA06 DA11 DA16
 DA58 HA02 HA05 HA08

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	像素电路和显示设备		
公开(公告)号	JPWO2011055573A1	公开(公告)日	2013-03-28
申请号	JP2011539307	申请日	2010-07-22
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	山内祥光		
发明人	山内 祥光		
IPC分类号	G09G3/36 G09G3/20 G09G3/30		
CPC分类号	G09G3/3648 G09G3/3614 G09G3/3655 G09G3/3659 G09G2300/0417 G09G2300/0465 G09G2300/0809 G09G2300/0814 G09G2300/0876 G09G2320/0247 G09G2330/021		
FI分类号	G09G3/36 G09G3/20.624.B G09G3/20.622.C G09G3/20.623.C G09G3/30.J G09G3/20.611.A G09G3/20.621.K G09G3/20.622.D		
F-TERM分类号	5C006/AA22 5C006/AC23 5C006/AC24 5C006/BB16 5C006/BC06 5C006/BF07 5C006/EC06 5C006/FA04 5C006/FA41 5C006/FA44 5C006/FA47 5C080/AA06 5C080/AA10 5C080/BB05 5C080/CC01 5C080/CC03 5C080/DD01 5C080/DD26 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK02 5C080/KK47 5C380/AA01 5C380/AB06 5C380/AB22 5C380/AB23 5C380/AB31 5C380/AB34 5C380/AC08 5C380/AC11 5C380/BA03 5C380/BA10 5C380/BA11 5C380/BA15 5C380/CA04 5C380/CA08 5C380/CA12 5C380/CA14 5C380/CA54 5C380/CB01 5C380/CB04 5C380/CB31 5C380/CC26 5C380/CC33 5C380/CC51 5C380/CC63 5C380/CC64 5C380/CD025 5C380/CF15 5C380/DA06 5C380/DA11 5C380/DA16 5C380/DA58 5C380/HA02 5C380/HA05 5C380/HA08		
优先权	2009255346 2009-11-06 JP		
其他公开文献	JP5351975B2		
外部链接	Espacenet		

摘要(译)

在包括具有具有低迁移率的晶体管的像素电路的显示装置中，可以在不降低开口率的情况下降低功耗。液晶电容元件（C_{lc}）被夹在像素电极（20）和对电极（80）之间而形成。像素电极（20），第一开关电路（22）的一端，第二开关电路（23）的一端以及第二晶体管（T₂）的第一端子形成内部节点（N1）。第一开关电路（22）的另一端连接到源极线（SL）。第二开关电路（23）的另一端连接到电源线（VSL），由晶体管（T₁）和晶体管（T₃）的串联电路组成。晶体管（T₁）和晶体管（T₂）的控制端在升压电容元件（C_{bst}）的第二端和一端处形成输出节点（N2）。经由延迟电路（31），升压电容元件（C_{bst}）的另一端是选择线（SEL），晶体管（T₂）的控制端是参考线（REF），晶体管（T₃）的控制端是选择线。已连接至（SEL）。

【图7】

